

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
CAMPUS CURITIBA
CURSO SUPERIOR DE BACHARELADO EM ENGENHARIA ELÉTRICA

HIURI FRACHINCONI BIAVA
MARIANA SALAMONI FRANCISCO
MICHELLA AGUIAR COELHO

**IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL MONOFÁSICO
COM SEIS CHAVES SEMICONDUTORAS CONTROLADO POR
DISPOSITIVO FPGA**

TRABALHO DE CONCLUSÃO DE CURSO

CURITIBA

2016

HIURI FRACHINCONI BIAVA
MARIANA SALAMONI FRANCISCO
MICHELLA AGUIAR COELHO

**IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL MONOFÁSICO
COM SEIS CHAVES SEMICONDUTORAS CONTROLADO POR
DISPOSITIVO FPGA**

Trabalho de Conclusão de Curso de Graduação, apresentado à disciplina de TCC2 do curso de Bacharelado em Engenharia Elétrica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR), como requisito parcial para obtenção do título de Engenheiro Eletricista.

Orientador: Prof. Dr. Amauri Amorin Assef

CURITIBA

2016

Hiuri Frachinconi Biava
Mariana Salamoni Francisco
Michella Aguiar Coelho

IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL MONOFÁSICO COM SEIS CHAVES SEMICONDUTORAS CONTROLADO POR DISPOSITIVO FPGA

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheiro Eletricista, do curso de Engenharia Elétrica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 16 de junho de 2016.

Prof. Emerson Rigoni, Dr.
Coordenador de Curso
Engenharia Elétrica

Profa. Annemarlen Gehrke Castagna, Mestre
Responsável pelos Trabalhos de Conclusão de Curso
de Engenharia Elétrica do DAELT

ORIENTAÇÃO

Mauro Amorin Asséf, Dr.
Universidade Tecnológica Federal do Paraná
Orientador

BANCA EXAMINADORA

Mauro Amorin Asséf, Dr.
Universidade Tecnológica Federal do Paraná

Alceu Andre Badin, Dr.
Universidade Tecnológica Federal do Paraná

Roger Gules, Dr.
Universidade Tecnológica Federal do Paraná

AGRADECIMENTOS

Agradecemos primeiramente a Deus por nos conceder a graça da vida e a força para superar os obstáculos ao longo dessa trajetória.

Aos familiares em especial aos pais por todo o apoio emocional, psicológico e financeiro. Aos amigos que ao longo de todo o curso contribuíram de alguma forma para o enriquecimento profissional e pessoal.

À Universidade Tecnológica Federal do Paraná por proporcionar conhecimento, experiência de vida e uma ótima formação profissional.

Ao professor Amauri Amorin Assef por sua valiosa e impreterível orientação ao longo desse tempo, apoiando e despertando em cada dia a vontade de fazer melhor e a perseverança de que tudo sairia como planejado.

Aos membros da banca examinadora: Prof. Alceu Andre Badin e ao Prof. Roger Gules pelas importantes contribuições dadas à essa versão do trabalho e no decorrer de todo aprendizado.

Ao professor Eduardo Felix Romaneli e todos os membros do grupo de pesquisa em eletrônica de potência da UTFPR Curitiba pela oportunidade de utilização das instalações do laboratório de pesquisa, disponibilização de componentes e acima de tudo atenção e imensa disponibilidade em ajudar no que fosse necessário.

Também agradecemos à fabricante de FPGAs Altera pela doação do kit DE0-Nano utilizado durante o desenvolvimento deste trabalho.

“Que os vossos esforços desafiem as impossibilidades, lembrai-vos de que as grandes coisas do homem foram conquistadas do que parecia impossível”.

Charles Chaplin

RESUMO

Biava, Hiuri Frachinconi; Francisco, Mariana Salamoni; Coelho, Michella Aguiar. Implementação de um Inversor Multinível Monofásico com Seis Chaves Semicondutoras Controlado por Dispositivo FPGA, 2016. 103f. Trabalho de Conclusão de Curso (Engenharia Elétrica) - Universidade Tecnológica Federal do Paraná. Curitiba, 2016.

Nas aplicações contemporâneas a conversão de energia elétrica eficiente tem se tornado cada vez mais importante. Nesse contexto, os conversores multiníveis se destacam dentre os principais sistemas de eletrônica de potência para conversões CC-CA. Este trabalho apresenta o estudo e implementação de um inversor monofásico de tensão, utilizando a topologia multinível em cascata com cinco níveis e seis chaves semicondutoras. O circuito é controlado por um dispositivo de lógica reconfigurável FPGA com a técnica de modulação por largura de pulsos implementada com uso da linguagem VHDL. Foram realizadas simulações com diferentes fatores de modulação de amplitude para verificar o comportamento do código de controle e também do projeto como um todo. Foi validado o circuito driver responsável pela transferência isolada do sinal lógico das saídas programadas no FPGA. Esse mecanismo aciona diretamente os gates de cada IGBT que compõe o circuito do inversor. Além disso, foi desenvolvido o layout para geração do arquivo PCB utilizado na produção da placa. Os resultados foram obtidos pelo carregamento puramente resistivo e resistivo-indutivo do circuito, simulando a aplicação de um motor como carga. As análises de resultados consideraram fatores de modulação de amplitude diferentes, assim como, estudo do espectro harmônico em carga resistiva-indutiva. Por fim, observou-se o funcionamento adequado do circuito conforme esperado segundo as simulações.

Palavras-chave: Inversor multinível. Eletrônica de Potência. Modulação por largura de pulsos. FPGA.

ABSTRACT

Biava, Hiuri Frachinconi; Francisco, Mariana Salamoni; Coelho, Michella Aguiar. Implementation of a Single Phase Multilevel Inverter with Six Power Semiconductors Controlled by FPGA Device, 2016. 103f. Trabalho de Conclusão de Curso (Engenharia Elétrica) - Universidade Tecnológica Federal do Paraná. Curitiba, 2016.

In nowadays applications the efficient conversion of electrical energy has become greatly important. In this context, multilevel converters stand out among the main power electronics components for DC-AC conversion. This paper presents a study and implementation of a single-phase voltage inverter, using the multilevel topology cascaded with five levels and six semiconductor switches. The circuit is controlled by FPGA with the pulse width modulation technique implemented using VHDL language. Simulations were performed with different amplitude modulation factors to verify the control code's behaviour and also the complete project. The driver circuit was validated. It is responsible for isolated transfer of the outputs programmed's logic signal in the FPGA. This mechanism directly drives the gates of each IGBT that compose the inverter circuit. Moreover, the layout was developed to generate the PCB file used in board production. The results were obtained by resistive and resistive-inductive loading of circuit, simulating the motor's application as a load. Results of analyzes considered different amplitude modulation factors, as well as harmonic spectrum study on resistive-inductive load. Finally, it was observed the proper operation of the circuit as expected according to the simulations.

Keywords: Multilevel Inverter. Power Electronics. Pulse-Width Modulation. FPGA.

LISTA DE ABREVIATURAS, SIGLAS E ACRÔNIMOS

A/D	Analógico para Digital
ASIC	<i>Application Specific Integrated Circuit</i>
CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
CPLD	<i>Complex Programmable Logic Devices</i>
CSC	<i>Current Source Converters</i>
DAELT	Departamento Acadêmico de Eletrotécnica
DSP	<i>Digital Signal Processor</i>
EDA	<i>Electronic Design Automation</i>
EEPROM	<i>Electrically-Erasable Programmable Read-Only Memory</i>
EMI	<i>Electromagnetic Interference</i>
FFT	<i>Fast Fourier Transform</i>
FLC	<i>Flying Capacitor</i>
FPGA	<i>Field Programmable Gate Array</i>
GCT	<i>Integrated Gate-Commutated Thyristor</i>
GPIO	<i>General Purpose Input/Output</i>
I/O	<i>Input/Output</i>
IEEE	<i>Institute of Electric and Electronic Engineers</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LED	<i>Light Emitting Diode</i>
M	Número de níveis do inversor multinível
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MVA	Mega volt-ampere
NPC	<i>Neutral Point Clamped</i>
PCB	<i>Printed Circuit Board</i>
PLD	<i>Programmable Logic Device</i>
PLL	<i>Phase locked-loop</i>
PWM	<i>Pulse-Width Modulation</i>
R	Resistivo
RL	Resistivo-indutivo

RTL	<i>Register-transfer level</i>
SDC	<i>Source Direct Current</i>
SDRAM	<i>Static Random Access Memory</i>
TCC	Trabalho de conclusão de curso
THD	<i>Total Harmonic Distortion</i>
UTFPR	Universidade Tecnológica Federal do Paraná
Var	Volt-Ampere reativo
Vcc	Tensão contínua de um barramento
VHDL	<i>VHSIC Hardware Description Language</i>
VHSIC	<i>Very High Speed Integrated Circuits</i>
VLSI	<i>Very-Large-Scale Integration</i>
VSC	<i>Voltage Source Converters</i>

LISTA DE TABELAS

Tabela 1 - Comparação entre as topologias de inversores multiníveis realizada pelos principais fabricantes de acionamento para máquinas no âmbito industrial – a maioria operando em médias tensões (3,3 kV - 6,6 kV).....	25
Tabela 2 - Estágios de saída do inversor grampeado a diodo de três níveis.	28
Tabela 3 - Estágios de saída do conversor cascata de cinco níveis.	30
Tabela 4 - Estágios de saída do inversor grampeado a capacitores de três níveis...	32
Tabela 5 - Modos de operação do inversor multinível e níveis de tensão do inversor através da carga.....	36
Tabela 6 - Estado das chaves do inversor multinível e o estado do inversor através da carga.	37
Tabela 8 - Lista de componentes eletrônicos utilizados na montagem do <i>driver</i>	102
Tabela 9 - Lista de componentes eletrônicos utilizados no circuito de chaveamento	102
Tabela 7 - Descrição dos custos para produção do protótipo.	103

LISTA DE FIGURAS

Figura 1 - Exemplo de topologia de inversor multinível em cascata com fontes CC separadas. (a) Diagrama do circuito com quatro SDCs. (b) Forma de onda gerada pelo conversor de tensão com nove níveis.	17
Figura 2 - Diagrama de um conversor multinível conectado a um sistema de energia para compensação de reativos.	26
Figura 3 - Exemplo de inversor com diodos grampeados (NPC). a) Conversor de três níveis grampeado a diodo. b) Respectiva forma de onda na saída.....	27
Figura 4 - Conversor multinível em cascata de cinco níveis e respectiva forma de onda de saída <i>Van</i>	29
Figura 5 - Conversor de três níveis <i>Flying capacitor</i>	32
Figura 6 - Tensão de saída com níveis igualmente espaçados.....	34
Figura 7 - Lógica para obter uma tensão de saída modulada. (a) Estratégia de controle. (b) Pulsos para acionamento do gatilho. (c) Tensão modulada na saída do inversor.....	34
Figura 8 - Circuito inversor monofásico multinível controlado com seis chaves semicondutoras e divisor capacitivo.	35
Figura 9 - Modos de comutação do inversor multinível em p.u.	36
Figura 10 - Exemplo de três estratégias de defasamento angular entre as portadoras triangulares da modulação. (a) Modulação PD. (b) Modulação POD. (c) Modulação APO.....	38
Figura 11 - Fluxo VHDL.....	41
Figura 12 - Circuito esquemático do inversor de cinco níveis utilizando seis IGBTs elaborado com o <i>software</i> Altium Designer.....	43
Figura 13 - Circuito esquemático do inversor de cinco níveis utilizando seis IGBTs elaborado com o <i>software</i> Altium Designer.....	44
Figura 14 - Circuito esquemático do <i>driver</i> para acionamento das chaves semicondutoras.	46
Figura 15 - Exemplo de circuito <i>driver</i> utilizando o optoacoplador HP 2601.	47
Figura 16 - Diagrama de blocos da placa Terasic DE0-Nano.	48
Figura 17 - Placa DE0-Nano: vista superior.	48
Figura 18 - Placa DE0-Nano: vista inferior.	49
Figura 19 - Disposição dos pinos barramento GPIO_1 da placa DE0-Nano.....	49
Figura 20 - Esquemático dos blocos utilizados para geração dos sinais portadoras triangulares.....	51
Figura 21 - Esquemático do bloco utilizado para geração da senoide de referência.....	52
Figura 22 - Esquemático dos blocos utilizados para geração dos sinais de composição C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5 e R6.	52
Figura 23 - Circuito digital responsável pela combinação entre os sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5 e R6 para geração dos	

sinais que controlam as seis chaves do inversor multinível (S1, S2, S3, S4, SON e SOP).	53
Figura 24 - Forma de onda na entrada do circuito <i>driver</i> – sinal gerado pela FPGA.	54
Figura 25 - Forma de onda na saída do circuito <i>driver</i> .	55
Figura 26 - Circuito simulado no Simulink (MATLAB) – Parte 1.	56
Figura 27 - Circuito simulado no Simulink (MATLAB) – Parte 2.	57
Figura 28 - Circuito simulado no Simulink (MATLAB) – Parte 3.	58
Figura 29 - Circuito simulado no Simulink (MATLAB) – Parte 4.	58
Figura 30 - Senoide de referência e sinais triangulares utilizados na etapa de comparação, onde a escala vertical representa tensão e a escala horizontal o tempo em segundos.	59
Figura 31 - Comparação entre os sinais triangulares e a senoide de referência realizados na Parte 1 da simulação – C1, C2, C3 e C4, respectivamente.	59
Figura 32 - Sinais quadrados a serem utilizados na Parte 3 e realizados na Parte 2 da simulação – R1, R2, R3, R4, R5 e R6, respectivamente.	60
Figura 33 - Sinais de controle das chaves do circuito inversor de frequência multinível – SOP, SON, S1, S2, S3 e S4, respectivamente, resultantes da Parte 3 da simulação.	60
Figura 34 - Formas de onda de tensão (figura superior) e corrente (figura inferior) na carga geradas na Parte 4 da simulação no Simulink considerando uma carga de 12 Ω .	61
Figura 35 - Simulação VHDL das portadoras e senoide de referência para índice de modulação de amplitude 0,8.	62
Figura 36 - Simulação VHDL dos sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5, R6, S1, S2, S3, S4, SON e SOP para índice de modulação de amplitude 0,8.	63
Figura 37 - Simulação VHDL das portadoras e senoide de referência para índice de modulação de amplitude 0,4.	64
Figura 38 - Simulação VHDL dos sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5, R6, S1, S2, S3, S4, SON e SOP para índice de modulação de amplitude 0,4.	65
Figura 39 - <i>Layout</i> desenvolvido com os componentes em 3D no <i>software</i> Altium Designer para produção da placa protótipo do inversor multinível com 6 chaves.	66
Figura 40 - Placa protótipo montada do inversor multinível com 6 chaves. (a) Vista superior da placa. (b) Vista lateral com visualização dos IBGTs parafusados no dissipador de alumínio.	66
Figura 41 - Placa do inversor multinível com 6 chaves montada e em processo de testes e aquisição de resultados com carga RL.	67
Figura 42 - Sinais lógicos de comando gerados pela FPGA da placa DE0_Nano.	67
Figura 43 - Forma de onda de tensão na carga R com fator de modulação de 0,99.	68
Figura 44 - Forma de onda de tensão na carga R com fator de modulação de 0,8.	68
Figura 45 - Forma de onda de tensão na carga R com fator de modulação de 0,6.	69
Figura 46 - Forma de onda de tensão na carga R com fator de modulação de 0,4.	69
Figura 47 - Forma de onda de tensão na carga R com fator de modulação de 0,2.	69

Figura 48 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,99.	70
Figura 49 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,8.	70
Figura 50 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,6.	71
Figura 51 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,4.	71
Figura 52 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,2.	71
Figura 53 - Espectro harmônico da corrente na carga RL para índice de modulação 0,8.	72
Figura 54 - Espectro harmônico da tensão na carga RL para índice de modulação 0,8.	72
Figura 55 - Tensão e corrente no reostato para índice de modulação de amplitude 0,99.	73
Figura 56 - Tensão e corrente no reostato para índice de modulação de amplitude 0,8.	73
Figura 57 - Tensão e corrente no reostato para índice de modulação de amplitude 0,6.	73
Figura 58 - Tensão e corrente no reostato para índice de modulação de amplitude 0,4.	74
Figura 59 - Tensão e corrente no reostato para índice de modulação de amplitude 0,2.	74
Figura 60 - Formas de onda de tensão e corrente na entrada do circuito considerando o reostato como carga de saída.	75
Figura 61 - Formas de onda de tensão e corrente na saída e tensão retificada na entrada utilizando como alimentação principal a rede.	75

SUMÁRIO

1	INTRODUÇÃO	16
1.1	DELIMITAÇÃO DO TEMA.....	19
1.2	PROBLEMAS E PREMISSAS.....	19
1.3	OBJETIVOS	20
1.3.1	<i>OBJETIVO GERAL.....</i>	<i>20</i>
1.3.2	<i>OBJETIVOS ESPECÍFICOS</i>	<i>20</i>
1.4	JUSTIFICATIVA	20
1.5	PROCEDIMENTOS METODOLÓGICOS.....	22
1.6	ESTRUTURA DO TRABALHO.....	23
2	FUNDAMENTOS TEÓRICOS	24
2.1	INVERSORES MULTINÍVEIS	24
2.2	APLICAÇÕES DOS INVERSORES MULTINÍVEIS.....	25
2.3	PRINCIPAIS TOPOLOGIAS MULTINÍVEIS DE TENSÃO	26
2.3.1	<i>INVERSOR COM DIODOS GRAMPEADOS (NPC).....</i>	<i>27</i>
2.3.2	<i>INVERSOR MULTINÍVEL EM CASCATA SIMÉTRICO.....</i>	<i>29</i>
2.3.3	<i>INVERSOR FLYING CAPACITOR (FLC).....</i>	<i>31</i>
2.4	MODULAÇÃO EM INVERSORES MULTINÍVEIS.....	34
2.4.1	<i>ESTUDO SOBRE MODULAÇÃO POR LARGURA DE PULSO</i>	<i>35</i>
2.5	CONCEITOS BÁSICOS SOBRE LINGUAGEM VHDL.....	40
2.5.1	<i>FLUXO DE UM PROJETO VHDL.....</i>	<i>41</i>
2.5.2	<i>FERRAMENTAS EDA</i>	<i>42</i>
3	MATERIAIS E MÉTODOS.....	43
3.1	TOPOLOGIA UTILIZADA.....	43
3.2	DRIVER PARA ACIONAMENTO DAS CHAVES	45
3.3	MÓDULO DE0-NANO (ALTERA CYCLONE IV FPGA)	47
3.4	PROJETO DO CÓDIGO DA FPGA.....	50
3.4.1	IMPLEMENTAÇÃO DO PROJETO.....	50
4	RESULTADOS	54
4.1	VALIDAÇÃO DO CIRCUITO <i>DRIVER</i>	54
4.2	SIMULAÇÃO DO MODELO NO SIMULINK	55
4.3	SIMULAÇÃO NO MODELSIM.....	62
4.3.1	<i>SIMULAÇÃO PARA ÍNDICE DE MODULAÇÃO DE AMPLITUDE 0,8 ..</i>	<i>62</i>
4.3.2	<i>SIMULAÇÃO PARA ÍNDICE DE MODULAÇÃO DE AMPLITUDE 0,4 ..</i>	<i>63</i>
4.4	HARDWARE DESENVOLVIDO	65
5	CONSIDERAÇÕES FINAIS	76
6	REFERÊNCIAS	78

APÊNDICE A – CÓDIGO VHDL.....82

APÊNDICE B – RELAÇÃO DE MATERIAIS E CUSTOS DO PROJETO 102

1 INTRODUÇÃO

A conversão de energia elétrica pode ser encontrada em várias aplicações modernas, desde eletrodomésticos até utilizações industriais. Como consequência da diversidade de aplicações, é necessário que a conversão de energia seja a mais eficiente possível, a fim de não usar em excesso recursos valiosos e para reduzir o impacto ambiental das atividades humanas. Grandes progressos têm sido feitos nos últimos anos no sentido de aumentar a eficiência da conversão de energia de sistemas eletrônicos, tais como novas topologias, métodos de controle, e até mesmo novos materiais são investigados (ANTONOPOULOS, 2011).

Os recentes avanços na área de conversão de alta potência mostram uma tendência focada em conversão de fontes de tensão. Os conversores de fontes de tensão para aplicações de alta potência, com classificações superiores a algumas dezenas de MVA (mega volt-ampere), geralmente são projetados para atender às demandas relativas à injeção harmônica em torno do sistema elétrico ou conectado a um motor elétrico.

Usando a tecnologia bastante conhecida de conversão de dois níveis, mesmo com a implementação de técnicas de modulação complexas e modernas, as soluções mantêm altas frequências de comutação ou muitos filtros harmônicos. Frequências de comutação elevadas originam grandes perdas, que em aplicações de alta potência são difíceis de tratar, exigindo projetos de resfriamento caros, e também aumento nos custos, tanto relacionados às características ambientais e de funcionamento, como nas perdas de energia. Muitos filtros harmônicos, por outro lado, aumentam significativamente a complexidade do sistema, o que também aumenta o custo e pode influenciar na confiabilidade (ANTONOPOULOS, 2011). Como resultado, estruturas conversoras de energia com vários níveis têm sido introduzidas como uma alternativa em situações de alta potência e de média tensão (SURIN & LEON, 2000).

O conceito fundamental de um conversor multinível, para atingir uma potência maior, é utilizar uma série de interruptores semicondutores de potência com várias fontes de tensão contínuas (CC) mais baixas para executar a conversão de energia através da síntese de uma forma de onda de tensão em escada (SURIN & LEON, 2000).

Segundo Lai & Peng (1996), o inversor em cascata é uma estrutura de conversor com fontes CC isoladas que possibilita evitar diodos de grampeamento extras e capacitores de balanceamento de tensão. Como exemplo, na Figura 1(a) é ilustrada a estrutura básica do inversor multinível em cascata com estruturas SDCs (*Source Direct Current*) em uma configuração monofásica. Neste caso, cada SDC é associado com um inversor monofásico de ponte completa e os terminais de tensões alternadas (CA) de inversores de diferentes níveis são conectados em série. A Figura 1(b) mostra a forma de onda concatenada da tensão de fase de um inversor em cascata de nove níveis com quatro SDCs (LAI & PENG, 1996).

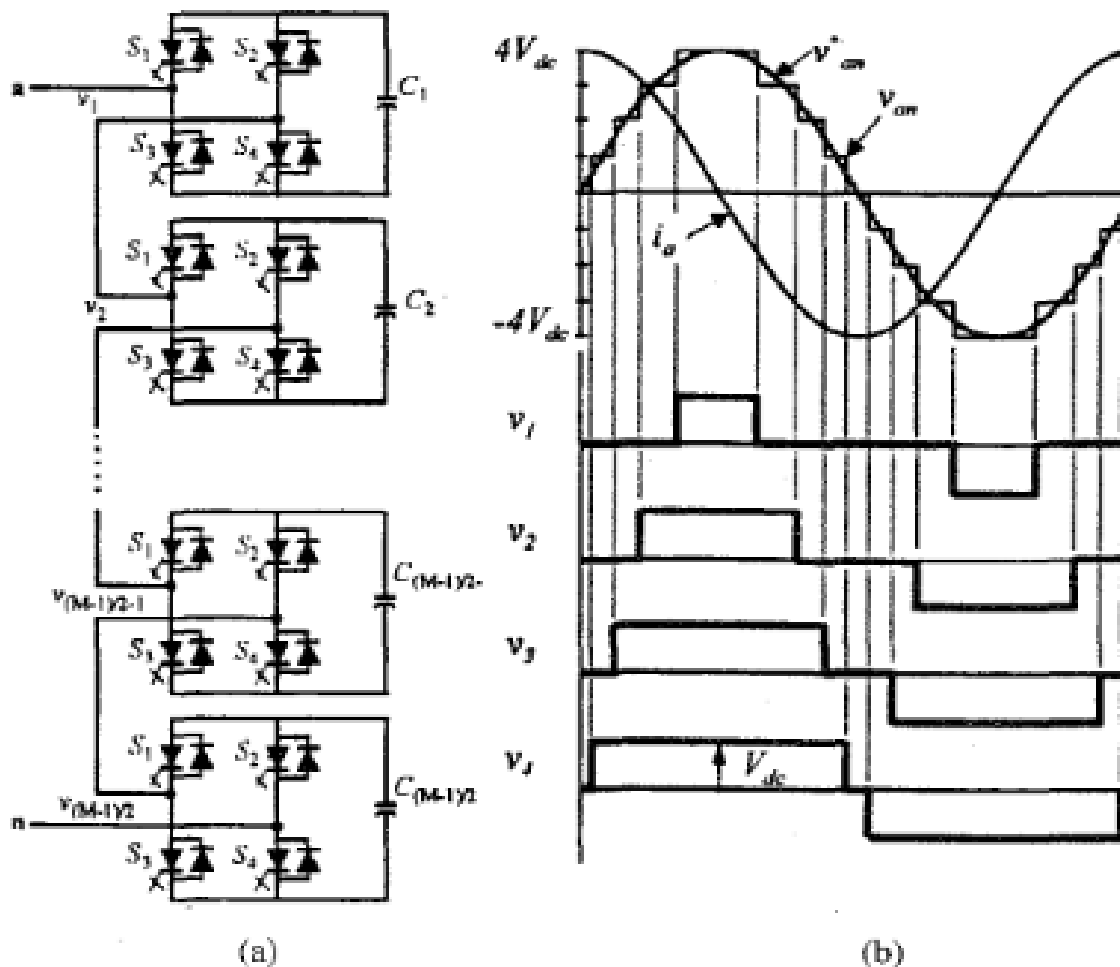


Figura 1 - Exemplo de topologia de inversor multinível em cascata com fontes CC separadas. (a) Diagrama do circuito com quatro SDCs. (b) Forma de onda gerada pelo conversor de tensão com nove níveis.

Fonte: Lai & Peng (1996).

Um outro exemplo de topologia simplificada de inversor monofásico multinível controlado por PWM (*Pulse-Width Modulation* - Modulação por Largura de Pulso) é apresentado por Agelidis et al. (1997) e Mekhilef & Masaoud (2006). O modelo, que é foco deste trabalho, consiste em um inversor de seis chaves semicondutoras capaz de gerar cinco níveis de tensão de saída em índices de modulação diferentes, resultando em uma economia de duas chaves, em comparação com as topologias clássicas em cascata, além dos respectivos circuitos de acionamento.

A geração de sinais de controle através de PWM é considerada a mais importante etapa na concepção do inversor, sendo que várias técnicas têm sido desenvolvidas para reduzir a distorção em inversores multiníveis (MWINYIWIWA; WOLANSKI; OOI, 1997). Tipicamente, microprocessados – incluindo microcontroladores e dispositivos DSP (*Digital Signal Processor*) – têm sido empregados para a geração dos sinais PWM necessários para controle das chaves semicondutoras, apesar de muitas regras hierárquicas e comandos de entrada e saída. Por outro lado, os circuitos integrados (CIs) com lógica reconfigurável PLDs (*Programmable Logic Devices*), utilizados em operações relativamente simples, e, mais recentemente, os dispositivos FPGA (*Field Programmable Gate Array*) de alto desempenho, estão cada vez mais presente durante a implementação do controle digital de diferentes topologias de inversores (AGELIDIS et al., 1997; MEKHILEF & MASAOUUD, 2006; NAZARE, 2013).

Os dispositivos FPGAs são CIs largamente utilizados para o processamento de informações digitais em alta velocidade, nos quais o usuário tem a liberdade de realizar a programação e interligação de diversos blocos lógicos reconfiguráveis de *hardware* de forma específica para cada aplicação. Dessa forma, tais dispositivos possibilitam a implementação de diferentes técnicas de modulação digital, com capacidade de realização de tarefas de forma paralela, em diferentes frequências e com inúmeros pinos de saída digital PWM.

Quando o projeto é implementado na FPGA, este pode ser facilmente modificado de acordo com necessidades futuras, apenas alterando a interligação entre os blocos lógicos internos. Esta característica de capacidade de reprogramação a torna adequada para tal projeto. Além disso, a FPGA também é indicada para implementações dentro de um curto espaço de tempo e *hardware* eficiente para prototipagem rápida. Assim, essa tecnologia representa uma ótima solução para o projeto de geradores PWM digitais, com esquemas de controle mais

baratos e, portanto, economicamente adequadas para pequenos projetos (NAZARE, 2013).

1.1 DELIMITAÇÃO DO TEMA

Este trabalho apresenta um estudo e análise das principais topologias aplicadas a conversores multiníveis, buscando diferenciá-las e evidenciar suas vantagens e desvantagens em determinadas aplicações. Além disso, descreve o projeto, simulação, desenvolvimento e testes do protótipo de um inversor multinível monofásico de cinco níveis controlado por FPGA. Como principal diferencial, o protótipo foi desenvolvido utilizando seis IGBTs (*Insulated Gate Bipolar Transistor*) de potência, sendo que as vantagens e dificuldades de implementação também são abordadas no presente trabalho.

1.2 PROBLEMAS E PREMISSAS

Para o completo entendimento da topologia do inversor monofásico multinível com cinco níveis, é importante o conhecimento das características das principais topologias multiníveis. Esse estudo é de extrema importância para a caracterização do inversor com cinco níveis utilizando seis IGBTs de potência, haja vista que a maior parte dos estudos na literatura utilizam oito chaves, sendo que as diferenças nas análises e implementações são apresentadas neste trabalho.

A partir de uma sólida base de conceitos dos inversores multiníveis, outras análises foram realizadas, como o estudo da linguagem de programação VHDL (*Very High Speed Integrated Circuits Hardware Description*) para a programação da FPGA. Também foram estudados com detalhes os elementos de potência, como MOSFETs, IGBTs e *drivers* de potência, assim como toda a metodologia de desenvolvimento experimental e análise de resultados.

Os parâmetros de qualidade de um inversor multinível, como perdas por chaveamento e conteúdo harmônico da tensão gerada, são altamente dependentes do método de modulação PWM escolhido para sua operação (COLAK; KABALCI; BAYINDI, 2011). Dessa forma, um dos principais problemas das topologias multiníveis é a quantidade elevada de chaves, característica que pode ocasionar

perdas significativas. A topologia implementada neste trabalho buscou reduzir duas chaves mantendo a mesma quantidade de níveis, de modo a minimizar as perdas, bem como a complexidade do conversor.

1.3 OBJETIVOS

1.3.1 OBJETIVO GERAL

O objetivo geral deste trabalho é analisar e desenvolver um protótipo da topologia multinível de tensão com cinco níveis utilizando seis chaves semicondutoras e controlado por FPGA.

1.3.2 OBJETIVOS ESPECÍFICOS

- Estudar as principais topologias multiníveis;
- Aprender a linguagem de programação e dos *softwares* de simulação;
- Desenvolver o algoritmo de controle para o dispositivo FPGA;
- Estudar e determinar as especificações dos elementos de potência;
- Projetar e confeccionar uma placa protótipo com 6 IGBTs, *drivers* e conectores para *kits* com FPGA;
- Realizar a montagem do circuito de potência;
- Implementar o controle por FPGA;
- Testar o sistema com cargas resistiva (R) e resistiva-indutiva (RL) para aquisições dos dados experimentais;
- Analisar os resultados obtidos e comparar com a literatura.

1.4 JUSTIFICATIVA

Um dos mais importantes enfoques de pesquisa na indústria de componentes usados em Eletrônica de Potência consiste na busca de dispositivos semicondutores de potência capazes de conduzir elevadas correntes e, paralelamente, suportar grandes valores de tensão quando bloqueados. Neste sentido, foram desenvolvidos novos dispositivos na última década, cada um dos quais apresentando

características máximas de tensão, corrente e frequência, qualificando-os para diferentes aplicações (BRAGA & BARBI, 2000; POMILO, 2013).

Conversores multiníveis têm chamado cada vez mais a atenção da indústria e da área acadêmica como escolha dentre os componentes de eletrônica de potência, tratando-se de conversões CC-CA aplicadas à altas potências (KOURO et al., 2010).

Com altos níveis de tensão e/ou corrente em aplicações de alta potência, faz-se necessário o uso de dispositivos em série e/ou paralelo, de forma a superar as limitações dos semicondutores. No entanto, conversores que utilizam interruptores com elevadas frequências tipicamente não operam a altos níveis de tensão, sendo utilizados, na maioria dos casos, em aplicações de baixa tensão. Para contornar este problema, pode-se fazer uso de conversores multinível, que permitem sintetizar uma forma de onda com vários níveis de tensão (MEIRELES, 2010).

Ainda segundo Braga e Barbi (2000), a ideia principal por trás desta técnica consiste em repartir a tensão ou corrente total de um conversor – em geral um inversor – entre um número determinado de conversores menores. Em determinados casos é possível, ainda, obter níveis intermediários de tensão ou corrente que viabilizam a síntese de uma forma de onda alternada em degraus, com baixa distorção harmônica. O principal objetivo deste procedimento é a redução de perdas e melhoria da estabilidade mecânica dos acionamentos de motores CA. A conformação das formas de onda em degraus suaves (multiníveis) minimiza os efeitos sobre o torque da máquina, quando se compara com um acionamento empregando onda quadrada simples. Esta técnica deu origem ao termo multinível, que tem sido largamente utilizado para designar níveis intermediários de tensão em conversores.

Segundo pesquisa realizada por Nordvall (2011), na Universidade de Chalmers, Suécia, inversores de frequência multiníveis produzem 22% a 32% de THD (*Total Harmonic Distortion* - Taxa de distorção Harmônica) na tensão, enquanto um inversor de dois níveis, para a mesma frequência de testes, 1 kHz, produz 115% de THD na tensão. Outra simulação realizada pelo mesmo autor mostra que, enquanto o inversor de frequência de dois níveis perde a potência de 25,1 W nas comutações, o inversor de frequência multinível (5 níveis) perde apenas 2,1 W nas comutações.

Sabendo-se da significância das perdas nas comutações das chaves é importante a busca de um método de conversão de energia utilizando o menor

número de chaves possível, de modo a minimizar as perdas e reduzir os custos, fato que reforça a escolha da topologia multinível com a utilização de seis chaves.

Os conversores multiníveis apresentam vantagens sobre conversores PWM convencionais, especialmente para aplicações de média e alta potência, tais como: possibilidade de conexão direta com a rede sem que seja necessário o uso de transformadores; redução dos níveis de Interferência Eletromagnética (EMI - *Electromagnetic Interference*) devido à menor taxa de variação da tensão de saída; possibilidade de obtenção de níveis mais altos de potência sem a necessidade de associações de chaves em série e/ou paralelo, etc. (POMÍLIO, 2013).

Devido a necessidade de utilização de diversos pinos digitais para chaveamento do inversor multinível, optou-se pelo dispositivo FPGA como sistema de controle, visto que são dispositivos lógicos programáveis com grande capacidade de processamento e paralelismo. As FPGAs são a última evolução de PLDs (*Programmable Logic Devices*), podendo estas serem reprogramadas em campo. Desta forma, uma FPGA não está restringida a uma função qualquer de *hardware* predeterminada na sua fabricação, podendo ser programada de acordo com a aplicação desejada. As FPGAs contêm um grande número de blocos lógicos configuráveis, contidos num único CI, de maneira a suportar a implementação de circuitos lógicos com complexidade elevada (MEIRELES, 2010).

Neste Trabalho de Conclusão de Curso (TCC), optou-se pela tecnologia FPGA da família Cyclone IV (fabricante Altera Corporation), para controle da comutação das chaves de potência, devido a disponibilidade do equipamento e familiaridade da equipe com o mesmo.

1.5 PROCEDIMENTOS METODOLÓGICOS

Na primeira etapa de desenvolvimento deste trabalho, foram utilizadas referências bibliográficas retiradas dos principais bancos de dados de dissertações e teses acadêmicas, incluindo principalmente o IEEE (*Institute of Electric and Electronic Engineers*) e o próprio banco de dados da Universidade Tecnológica Federal do Paraná (UTFPR).

Após a investigação teórica a respeito dos inversores de frequência multiníveis, foi necessário o estudo da linguagem de programação VHDL (*Very High Speed Integrated Circuits Hardware Description Language*), utilizada para a

programação da placa com FPGA. Para a implementação e desenvolvimento do sistema foi adotado o *kit* DE0-Nano, com uma FPGA Cyclone IV, fornecido pelo professor orientador Amauri Amorin Assef, e programada através do *software* Quartus II da Altera.

Após a etapa de controle do chaveamento realizado pela FPGA, foram feitas análises pré-protótipo no *software* de simulação Simulink (MATLAB) e ModelSim. Após a conclusão das simulações, foi iniciada a pesquisa e o desenvolvimento do protótipo. Esta fase englobou todas as etapas de modelagem do circuito, a fim de que o mesmo seja capaz de acionar, inicialmente, uma carga resistiva de até 250 W.

Por fim, os resultados obtidos tanto na simulação quanto nas medições experimentais com o protótipo são comparados e discutidos.

1.6 ESTRUTURA DO TRABALHO

No capítulo 2, faz-se uma revisão da literatura na qual são apresentados os principais conceitos sobre os inversores multiníveis, princípio de funcionamento das diversas topologias e tipos de modulação necessários para o desenvolvimento da pesquisa. O capítulo 3 descreve, em detalhes, os materiais e métodos para o desenvolvimento da plataforma didática contendo o inversor multinível, as placas de *driver* e o controle por FPGA, especificando os componentes e tecnologias utilizadas, assim como os *softwares* empregados nas simulações. No capítulo 4 são apresentados os resultados obtidos para caracterização do correto funcionamento do inversor multinível. O capítulo 5 apresenta as discussões e conclusões do trabalho.

2 FUNDAMENTOS TEÓRICOS

Neste capítulo serão apresentados os principais conceitos sobre os inversores multiníveis, bem como a descrição de funcionamento das principais topologias relacionadas com este trabalho. Dessa forma, será enfatizada a estratégia de controle da topologia de inversor com cinco níveis utilizando seis chaves semicondutoras.

2.1 INVERSORES MULTINÍVEIS

Os conversores estáticos são os responsáveis pela síntese das tensões alternadas inseridas em sincronismo com o sistema elétrico a partir de um determinado algoritmo de controle. Estes conversores são basicamente dispositivos de eletrônica de potência formados por chaves semicondutoras comutadas e podem ser divididos em Conversores Fonte de Tensão (VSC - *Voltage Source Converters*) e Conversores Fonte de Corrente (CSC - *Current Source Converters*). Enquanto o primeiro utiliza uma fonte de tensão em seu lado CC, o segundo utiliza uma fonte de corrente unidirecional nesta posição (MOHAN, 2006).

Em relação ao VSC, o CSC é menos eficiente devido ao fluxo constante de corrente contínua através de suas chaves semicondutoras, o que ocasiona maiores perdas, sendo que estas perdas são ainda maiores quando a carga atendida pelo conversor é baixa (BARBOSA, 2000).

Atualmente os inversores multiníveis têm chamado muita atenção devido as suas importantes vantagens como, por exemplo, alta qualidade de energia com reduzido conteúdo harmônico e reduzidas perdas por comutação nas chaves (ABHISHEK; REJOROY; DIXIT, 2015).

Segundo Silva (2007), um conversor com mais níveis permite também a síntese de tensões a partir de modulações com frequências mais baixas, diminuindo as perdas por chaveamento, e com menos conteúdo harmônico, demandando a utilização de filtros passivos com componentes menores.

Tendo em vista as vantagens encontradas nos conversores multiníveis, neste trabalho serão apresentadas algumas análises, características e topologias dos principais conversores multiníveis de tensão.

2.2 APLICAÇÕES DOS INVERSORES MULTINÍVEIS

Atualmente os conversores multiníveis são amplamente utilizados em aplicações de média tensão, como acionamento de motores, laminadores, bombas, ventiladores, compressores, entre outras aplicações (ENCARNAÇÃO, 2009; ABHISHEK; REJOROY; DIXIT, 2015).

Segundo pesquisa realizada por Bin WU et al. (2010), no âmbito industrial entre os maiores fabricantes de inversores multiníveis, foi demonstrado que grande parte das aplicações em médias tensões para *drives* de acionamento de máquinas se efetua na faixa de potência de 0,4 MW com nível de tensão variando de 2,3 kV a 13,8 kV. As principais topologias de inversores e faixas de potências mostradas nessa pesquisa são apresentadas na Tabela 1 – a maioria operando em médias tensões (3,3 kV - 6,6 kV) (BIN WU et al., 2010; MESQUITA, 2011).

Tabela 1 - Comparação entre as topologias de inversores multiníveis realizada pelos principais fabricantes de acionamento para máquinas no âmbito industrial – a maioria operando em médias tensões (3,3 kV - 6,6 kV).

Configuração do Inversor	Componente de chaveamento	Faixa de Potencia (MVA)	Fabricante
<i>Two-Level Voltage</i>	IGBT	1,4-7,2	Alstom (VDM5000)
NPC (<i>Neutral Point Clamped</i>)	GCT	0,3-5 3-27	ABB (ACS1000) (AC6000)
	GCT	3-20	General Electric (Innovation Series MV-SP)
	IGBT	0,6-7,2	Siemens (SIMOVERT-MV)
	IGBT	0,3-2,4	General Electric – Toshiba (Dura – Bilts MV)
CHC (<i>Cells H-bridge Cascaded</i>)	IGBT	0,3-22	ASI Robicon (Perfect Harmony)
		0,5-6	Toshiba (TOSVERT - MV)
		0,45-7,5	General Electric (Innovation MV-GP Type H)
<i>NPC/H-bridge inverter</i>	IGBT	0,4-4,8	Toshiba (TOSVERT 300MV)
<i>Flying-capacitor inverter</i>	IGBT	0,3-8	Alstom (VDM6000 Symphony)
<i>PWM Current Source Inverter</i>	<i>Symmetrical</i> GCT	0,2MVA – 20MVA	Rockwell Automation (PowerFlex 7000)
<i>Load Commutated Inverter</i>	SCR	>10MVA	Siemens (SIMOVERT S)
		>10MVA	ABB (LCI)
		>10MVA	Alstom(ALSPA SD7000)

Fonte: Mesquita (2011).

Outra importante aplicação é a compensação de potência reativa, visto que, segundo Lai & Peng (1996), quando um conversor multinível consome energia puramente reativa a tensão e a corrente estão defasadas em 90° . Neste caso, com o emprego de inversores multiníveis o controle da potência reativa pode ser feito sem que haja desbalanceamento nos capacitores.

Um conversor operando na compensação de reativos é chamado de gerador de var (Volt-Ampere reativo) estático. A estrutura com vários níveis permite que o conversor possa ser conectado diretamente a uma linha de alta tensão, sem a necessidade de um transformador abaixador, conforme exemplifica a Figura 2.

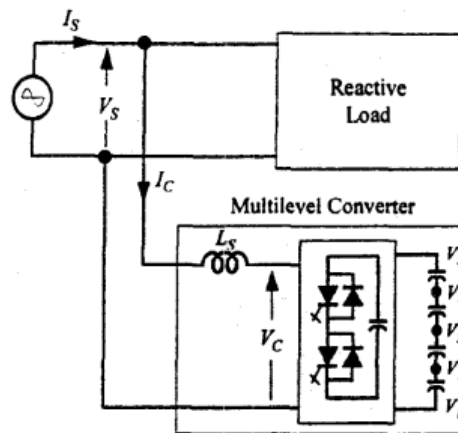


Figura 2 - Diagrama de um conversor multinível conectado a um sistema de energia para compensação de reativos.

Fonte: Lai & Peng (1996).

É importante salientar que, além da contribuição no controle de reativos, os inversores multiníveis também atuam na melhora da taxa de THD, sendo que, para isso, utiliza-se de diversas técnicas de modulação (YADAV & KUMAR, 2013).

2.3 PRINCIPAIS TOPOLOGIAS MULTINÍVEIS DE TENSÃO

Entre as topologias de conversores multiníveis mais conhecidas na literatura estão os conversores grampeados a diodo (*diode clamped converter*), os conversores grampeados a capacitor (*capacitor clamped converter*) e os conversores multiníveis com módulos em cascata (*cascaded multicell converter*) simétricos e assimétricos (ENCARNAÇÃO, 2009).

A seguir serão apresentadas as topologias multiníveis de tensão mais difundidas na literatura, listando as vantagens e desvantagens de cada uma, além de analisar em especial a topologia em cascata que será utilizada na implementação prática do inversor de 5 níveis utilizando seis chaves.

2.3.1 INVERSOR COM DIODOS GRAMPEADOS (NPC)

Um inversor de três níveis com diodo grampeado (NPC - *Neutral Point Clamped*) é mostrado na Figura 3. Nesse circuito, a tensão CC do barramento (V_{cc}) é dividida em três níveis sendo que, para isso, existem dois capacitores em série paralelos ao barramento ($C1$ e $C2$).

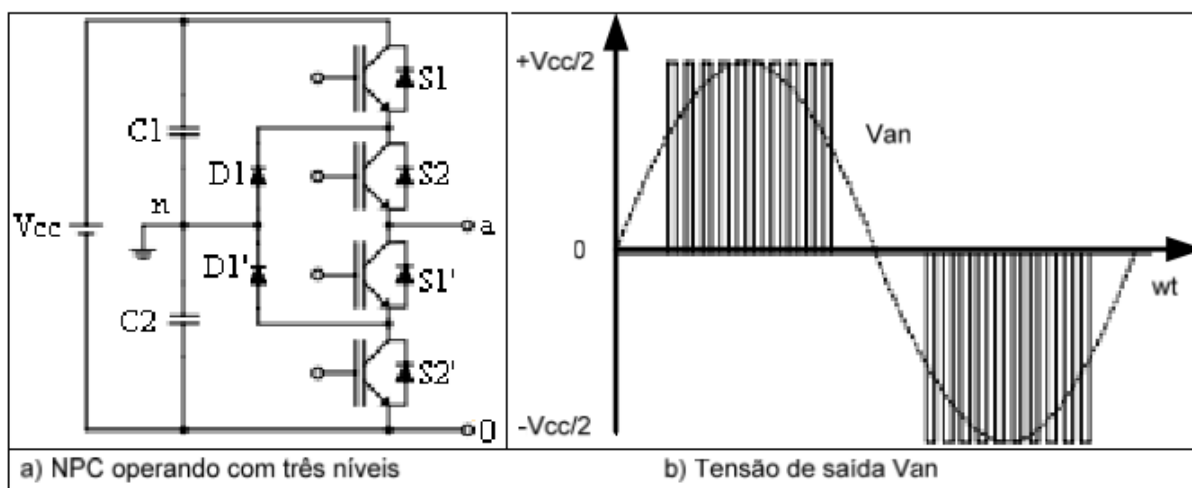


Figura 3 - Exemplo de inversor com diodos grampeados (NPC). a) Conversor de três níveis grampeado a diodo. b) Respectiva forma de onda na saída.

Fonte: Mesquita (2011).

O ponto médio entre os dois capacitores (n), pode ser definido como o neutro. Neste caso, a tensão de saída V_{an} possui três estados: $V_{cc}/2$, 0 e $-V_{cc}/2$. Para o nível de tensão $V_{cc}/2$, as chaves $S1$ e $S2$ precisam estar ligadas; para $-V_{cc}/2$, as chaves $S1'$ e $S2'$ precisam estar ligadas; e para o nível 0 , $S2$ e $S1'$ precisam estar ligadas (RODRÍGUEZ; LAI; PENG, 2002). Na Tabela 2 é apresentado o resumo dos respectivos estados das chaves do NPC de três níveis.

Tabela 2 - Estágios de saída do inversor grampeado a diodo de três níveis.

S1	S2	S1'	S2'	Van
1	1	0	0	+Vcc/2
0	1	1	0	0
0	0	1	1	-Vcc/2

Fonte: Adaptado de Mesquita (2011).

Os componentes fundamentais que distinguem este circuito de um conversor com dois níveis convencional são os dois diodos $D1$ e $D1'$. Estes dois diodos mantêm a tensão sobre a chave na metade do nível CC presente no barramento.

Quando ambas as chaves $S1$ e $S2$ estão ligadas, a tensão entre os terminais a e 0 é V_{dc} , isto é, $V_{a0} = V_{cc}$. Nesse caso, $D1'$ equilibra a tensão de saída dividindo entre $S1'$ e $S2'$, com $S1'$ bloqueando a tensão sobre $C1$ e $S2'$ bloqueando a tensão sobre $C2$. Observa-se que a tensão de saída V_{an} é CA, e V_{a0} é CC. A diferença entre V_{an} e V_{a0} é a tensão sobre $C2$, ou seja, $V_{cc}/2$. Outra importante observação é que, caso a tensão de saída fosse considerada entre o ponto a e 0 , o circuito tornar-se-ia um conversor CC-CC com três níveis de tensão de saída: V_{cc} , $V_{cc}/2$ e 0 (RODRÍGUEZ; LAI; PENG, 2002).

Segundo Encarnação (2009), com a vantagem de os diodos $D1$ e $D1'$ equilibrarem a tensão de saída, os resistores de equalização utilizados em conversores convencionais de dois níveis, podem ser removidos nessa topologia, uma vez que sempre um dos diodos manterá a tensão sobre uma das chaves controladas em $V_{cc}/2$.

Um grande problema do inversor de neutro grampeado é o desequilíbrio das tensões no divisor capacitivo. Esse desequilíbrio é responsável por distorções na forma de onda da tensão de saída, piorando seu conteúdo espectral, além de não distribuir igualmente a tensão aplicada nas chaves do mesmo braço. O desequilíbrio pode ser minimizado utilizando técnicas de modulação por largura de pulso específicas (LAI; PENG, 1996).

Outra desvantagem desse tipo de conversor é o aumento excessivo do número de componentes à medida que aumenta o número de níveis de saída do conversor (ENCARNAÇÃO, 2009).

2.3.2 INVERSOR MULTINÍVEL EM CASCATA SIMÉTRICO

De acordo com Encarnação (*apud* LAI & PENG, 1996, p10), os conversores multiníveis em cascata simétricos foram os primeiros conversores multiníveis propostos na história. Basicamente, apresentam uma grande potencialidade para aplicação em média tensão, sendo compostos pela conexão em série de dois ou mais conversores monofásicos em ponte completa com capacitores isolados de mesma tensão (V_{cc}). Na Figura 4 é apresentado um conversor multinível em cascata simétrico de cinco níveis.

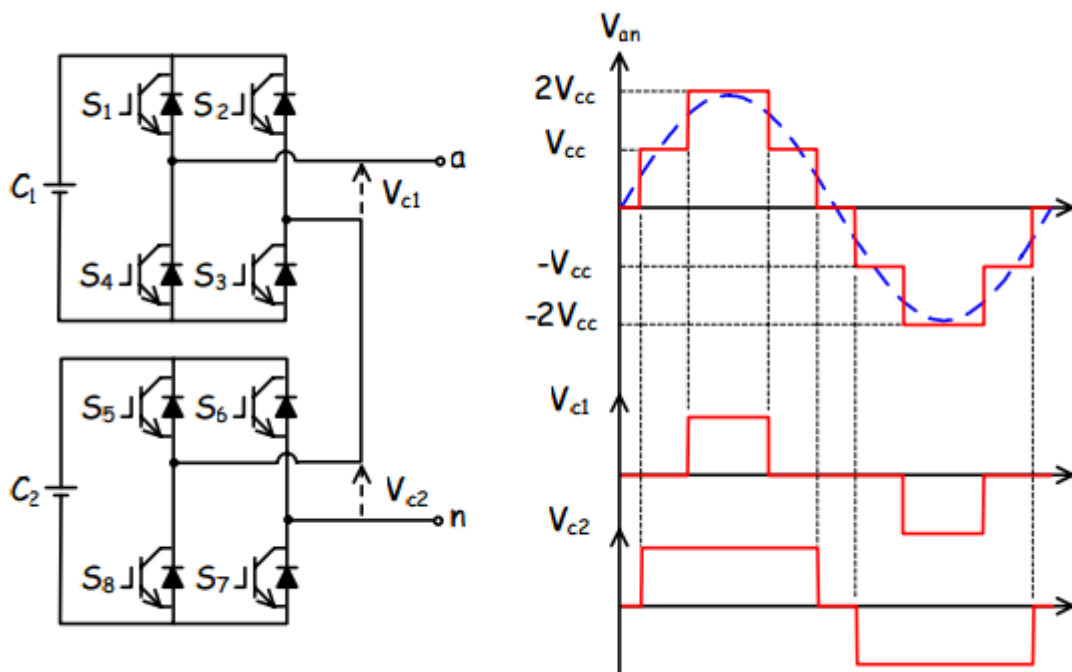


Figura 4 - Conversor multinível em cascata de cinco níveis e respectiva forma de onda de saída V_{an} .

Fonte: Encarnação (2009).

Nesta topologia, cada conversor monofásico pode ser interpretado como uma célula independente, contendo quatro dispositivos semicondutores (S_1, S_2, S_3 e S_4 ou S_5, S_6, S_7 e S_8), quatro diodos em antiparalelo e um capacitor (C_1 ou C_2). Cada célula pode produzir tensões com três níveis de saída 0 , $-V_{cc}$ e $+V_{cc}$. A tensão de saída do conversor vista pelos terminais a e n é definida pela soma das saídas de cada célula (ENCARNAÇÃO, 2009).

Tomando como exemplo o conversor de cinco níveis em cascata apresentado na Figura 4, quando as chaves S_1 e S_3 estão fechadas e as chaves S_2 e S_4 estão

abertas a tensão de saída da primeira célula ($VC1$) é V_{cc} . Considerando o mesmo procedimento para a segunda célula, a tensão de saída da mesma ($VC2$) também é V_{cc} , resultando na tensão de saída total do conversor (V_{an}) de $2V_{cc}$. As demais combinações e os seus níveis de tensão resultante estão apresentados na Tabela 3.

Tabela 3 - Estágios de saída do conversor cascata de cinco níveis.

S1	S2	S3	S4	S5	S6	S7	S8	Van
1	0	1	0	1	0	1	0	+2Vcc
1	0	1	0	1	1	0	0	+Vcc
1	0	1	0	0	0	1	1	+Vcc
1	1	0	0	1	0	1	0	+Vcc
0	0	1	1	1	0	1	0	+Vcc
1	1	0	0	1	1	0	0	0
1	1	0	0	0	0	1	1	0
0	0	1	1	1	1	0	0	0
0	0	1	1	0	0	1	1	0
1	0	1	0	0	1	0	1	0
0	1	0	1	1	0	1	0	0
0	1	0	1	1	1	0	0	-Vcc
0	1	0	1	0	0	1	1	-Vcc
1	1	0	0	0	1	0	1	-Vcc
0	0	1	1	0	1	0	1	-Vcc
0	1	0	1	0	1	0	1	-2Vcc

Fonte: Adaptado de Encarnação (2009).

Uma das vantagens de se utilizar a estrutura em cascata é que caso seja necessário trabalhar em aplicações de potências elevadas, o número de componentes utilizados não cresce excessivamente, ao contrário das outras topologias apresentadas. Devido a sua estrutura modular, para incrementar o número de níveis de saída é necessário apenas aumentar o número de células sem a necessidade de se preocupar com os circuitos de grampeamento de tensão. Isso ocorre porque as tensões submetidas aos dispositivos semicondutores são definidas pela tensão dos capacitores de cada célula, não necessitando de um circuito de grampeamento para garantir a divisão da tensão. Portanto, admitindo que todos os capacitores tenham a mesma tensão, todos os equipamentos são definidos para

uma mesma potência, o que simplifica a instalação e manutenção do mesmo, por apresentar uma estrutura modular. Dessa forma, a quantidade de componentes do circuito aumenta linearmente com o número de níveis desejados na saída do conversor. Genericamente, o conversor em cascata simétrico de m níveis de tensão é composto por $(m-1).2$ chaves semicondutoras, $(m-1).2$ diodos principais e $(m-1)/2$ capacitores do elo CC (ENCARNAÇÃO, 2009).

A desvantagem desta topologia é de apresentar capacitores isolados, o que além de limitar o uso da topologia em algumas aplicações, dificulta a regulação das tensões dos mesmos. Por exemplo, caso seja necessária a implementação de conversores conectados em *back-to-back*, ou seja, conectados através de um barramento CC, possibilitando aumento da capacidade do mesmo junto ao sistema de potência, um estudo de sincronismo de chaveamento entre as células deve ser realizado para que não haja curtos-circuitos entre os capacitores, que podem comprometer a forma de onda da tensão de saída e danificar algum componente (AKAGI; INOUE; YOSHII, 2007).

2.3.3 INVERSOR *FLYING CAPACITOR* (FLC)

Segundo Meynard (*apud* MESQUITA, 2011, p18), o princípio de funcionamento dessa topologia é simples e, assim como no NPC, são utilizados diodos para grampear a tensão sobre a chave. O *Flying capacitor* utiliza capacitores para manter fixa a tensão sobre a chave.

O circuito apresentado na Figura 5 fornece três níveis de tensão na saída entre os terminais a e n , ou seja, $V_{an}=V_{cc}/2$, 0 , ou $-V_{cc}/2$. Para a saída $V_{cc}/2$, as chaves $S1$ e $S2$ devem estar ligadas; para a saída 0 , o par de chaves $S1-S1'$ ou $S2-S2'$ devem estar ligados; para a saída $-V_{cc}/2$, $S1'$ e $S2'$ devem estar ligadas.

É importante notar que, conforme apresentado por Encarnação (2009), admitindo-se que todos os capacitores possuem o mesmo nível de tensão ($V_{cc}/2$), o nível da tensão de saída é definido pela quantidade de capacitores conectados em série.

Ainda segundo Encarnação (2009), em comparação com os conversores grampeados a diodo, os conversores grampeados a capacitor apresentam uma maior flexibilidade no controle das tensões dos capacitores. A flexibilidade do

controle é obtida por meio de redundâncias existentes na lógica de chaveamento para obter certos níveis de tensão na saída do conversor.

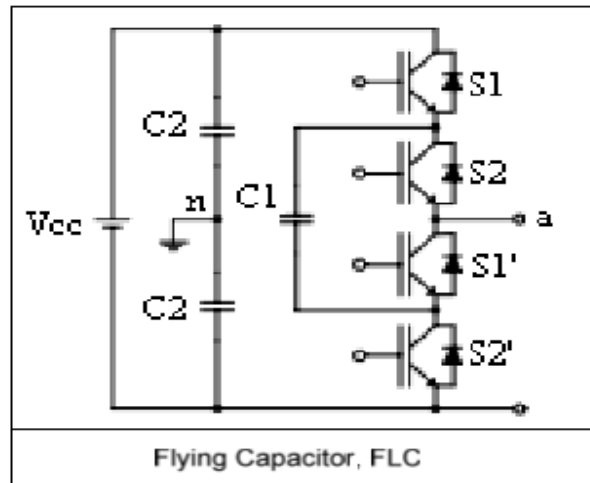


Figura 5 - Conversor de três níveis *Flying capacitor*.

Fonte: Mesquita (2011).

A liberdade obtida para sintetizar os níveis de tensão, significará uma maior liberdade para o controle das tensões dos capacitores sem comprometer o conteúdo harmônico de saída, resultando numa lógica mais eficiente em relação aos conversores grampeados a diodo. Por outro lado, nessa configuração há a necessidade de também manter reguladas as tensões dos capacitores utilizados para limitar a tensão sobre os IGBTs (*Insulated Gate Bipolar Transistors*), o que acaba por criar condições de restrição na técnica de chaveamento a ser implementada (RODRÍGUEZ; LAI; PENG, 2002).

Na Tabela 4 são apresentadas as combinações possíveis e os níveis da tensão de saída para o conversor multinível grampeado a capacitores de três níveis.

Tabela 4 - Estágios de saída do inversor grampeado a capacitores de três níveis

$S1$	$S2$	$S1'$	$S2'$	V_{an}
1	1	0	0	$+V_{cc}/2$
1	0	1	0	0
0	1	0	1	0
0	0	1	1	$-V_{cc}/2$

Fonte: Adaptado de Mesquita (2011).

Como já mostrado anteriormente, o controle de carga e descarga da energia dos capacitores pode ser realizado, comprometendo menos o conteúdo harmônico da tensão de saída, quando comparado aos conversores grampeados a diodo, a partir da escolha apropriada das combinações das chaves semicondutoras. Por exemplo, adotando uma corrente positiva saindo do terminal a , o capacitor $C1$ carrega quando as chaves $S1$ e $S3$ estão fechadas e descarrega quando as chaves $S2$ e $S4$ estão fechadas. É importante comentar que ambas as combinações irão sintetizar o mesmo nível de tensão de saída (zero), portanto não comprometendo a forma de onda da saída (ENCARNAÇÃO, 2009).

Os níveis de tensão dos capacitores definem os limites de tensão aplicados sobre os dispositivos semicondutores, neste caso, $+2V_{cc}$ e $-2V_{cc}$. Porém, a queda de tensão na chave $S3$ é definida pelo capacitor $C1$, que está carregado nominalmente com V_{cc} , pois tem a mesma tensão que os capacitores $C1$ e $C2$. Desse modo é possível garantir que a tensão de $2V_{cc}$ seja dividida igualmente entre as chaves $S3$ e $S4$, desde que a tensão sobre o capacitor $C1$ esteja regulada em V_{cc} (ENCARNAÇÃO, 2009).

Segundo Lai & Peng (*apud* ENCARNAÇÃO, 2009, p18), de forma semelhante ao conversor grampeado a diodo, caso seja necessário aumentar os níveis de tensão de saída do conversor basta aumentar o número de componentes do mesmo. Genericamente o conversor grampeado a capacitor de m níveis de tensão é composto por $(m-1).2$ chaves semicondutoras, $(m-1).2$ diodos em antiparalelo, $(m-1)$ capacitores do elo CC e $(m-1).(m-2)/2$ capacitores com tensão flutuante.

Além das vantagens de reduzir o conteúdo harmônico e a frequência de chaveamento e possibilitar a conexão *back-to-back*, utilizada nos conversores grampeados a diodos, os conversores multiníveis grampeados a capacitor apresentam a vantagem de possuir uma lógica de chaveamento flexível para a regulação da tensão dos capacitores (AKAGI; INOUE; YOSHII, 2007).

Contudo, em conversores com muitos níveis de potência, a lógica de controle pode se tornar muito complexa. Além disso, outras desvantagens dessa topologia são o número excessivo de capacitores flutuantes para conversores com níveis de tensão elevados e as altas frequências, necessários no circuito de chaveamento para o controle da potência ativa, sem contar a introdução de correntes parasitas em maior escala (LAI & PENG, 1996).

2.4 MODULAÇÃO EM INVERSORES MULTINÍVEIS

As topologias de inversores multiníveis podem gerar uma onda multinível com o formato apresentado na Figura 6. No entanto, devido à aplicação, quando se deseja diminuir o custo de filtros, algumas topologias apresentam a senoide com níveis modulados (Figura 7). A forma de obter os níveis modulados é dada pelas estratégias de modulação aplicadas em inversores multiníveis (MESQUITA, 2011).

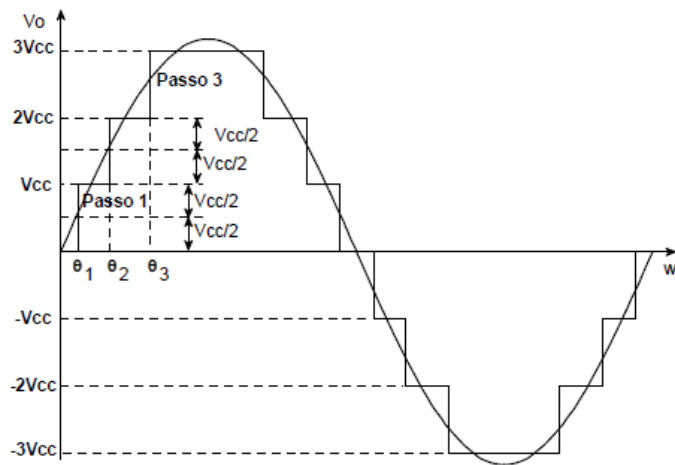


Figura 6 - Tensão de saída com níveis igualmente espaçados.

Fonte: Mesquita (2011).

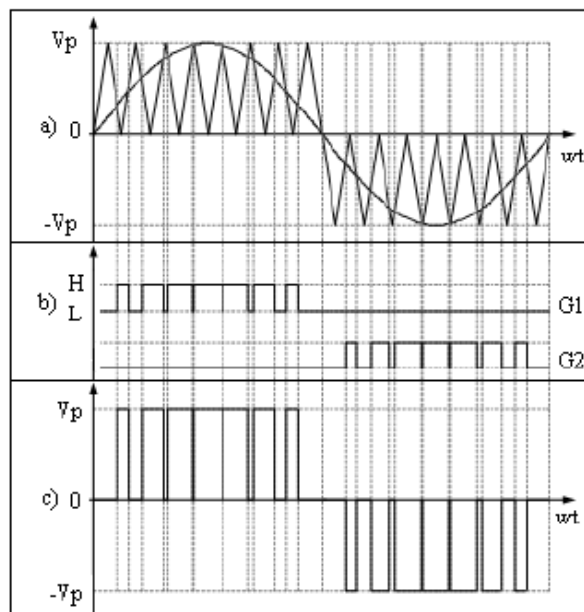


Figura 7 - Lógica para obter uma tensão de saída modulada. (a) Estratégia de controle. (b) Pulsos para acionamento do gatilho. (c) Tensão modulada na saída do inversor.

Fonte: Mesquita (2011).

Dessa forma, os valores aproximados para o cálculo dos tempos de transição de cada nível T_n consistem em:

$$T_n \cong \frac{\sin^{-1}\left[\frac{V_{CC}(n-0,5)}{V_p}\right]}{360f} \quad (1)$$

onde V_{CC} é o valor fixo de cada nível, V_p é o valor de pico da senoide desejada, f é a frequência em Hz e T_n é dado em segundos.

Assim, para a formação da senoide bastam os tempos de cada nível em 1/4 do período, sendo os outros obtidos por simetria, visto que a onda senoidal é perfeitamente simétrica nos outros quadrantes subsequentes (MESQUITA, 2011).

Na literatura podem ser encontradas diversas técnicas para modulação em inversores multiníveis. No entanto, neste trabalho será destacada a Modulação por Largura de Pulso (PWM - *Pulse Width Modulation*), empregada na pesquisa.

2.4.1 ESTUDO SOBRE MODULAÇÃO POR LARGURA DE PULSO

Para o presente trabalho, será utilizada a topologia de cinco níveis com seis chaves semicondutoras proposta por Agelidis et al. (1997) e Mekhilef & Masaoud (2006). Tal topologia, que necessita de um divisor capacitivo na entrada, é apresentada na Figura 8.

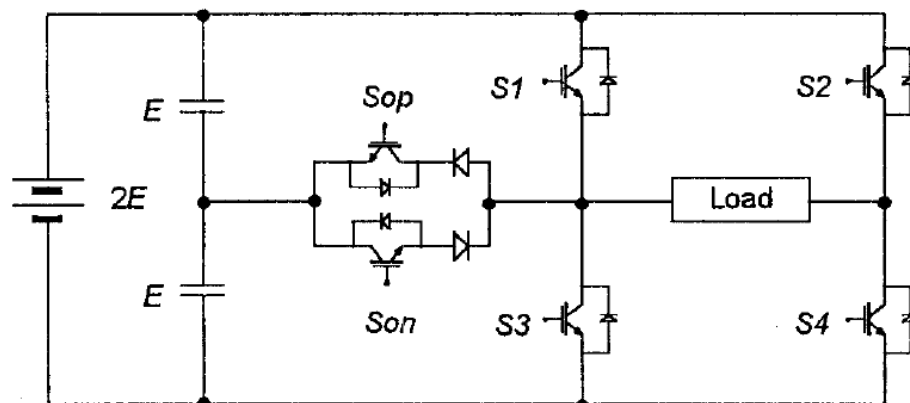


Figura 8 - Circuito inversor monofásico multinível controlado com seis chaves semicondutoras e divisor capacitivo.

Fonte: Agelidis et al. (1997).

Dessa forma, o controle do circuito de potência desse inversor pode aplicar sob a carga cinco níveis diferentes de tensão: $2E$, E , 0 , $-E$, $-2E$. Durante um ciclo da frequência de saída de 60 Hz o inversor opera através de quatro modos. Esses modos operacionais são mostrados na Figura 9 em relação ao sinal de tensão de saída por unidade (p.u.).

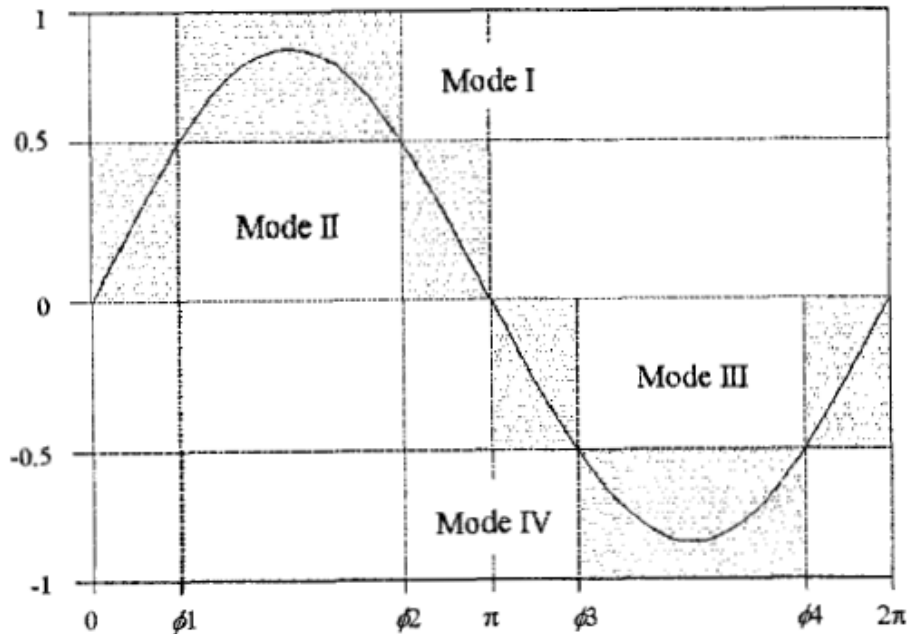


Figura 9 - Modos de comutação do inversor multinível em p.u.

Fonte: Agelidis et al. (1997).

Cada um desses modos operacionais tem um nível alto e um nível baixo de tensão, como mostrado na Tabela 5. Os cinco níveis de tensão de saída são obtidos pela combinação das chaves, apresentadas na Tabela 6.

Tabela 5 - Modos de operação do inversor multinível e níveis de tensão do inversor através da carga.

Modo	I	II	III	IV
Nível Alto	$2E$	E	0^*	$-E$
Nível Baixo	E	0	$-E$	$-2E$

Fonte: Agelidis et al. (1997).

Tabela 6 - Estado das chaves do inversor multinível e o estado do inversor através da carga.

Tensão Na Carga	2E	E	0	0*	-E	-2E
S_{op}	Off	On	On	Off	On	On
S_{on}	On	On	Off	On	On	Off
S_1	On	Off	Off	On	Off	Off
S_2	Off	Off	Off	On	On	On
S_3	Off	Off	On	Off	Off	On
S_4	On	On	On	Off	Off	Off

Fonte: Agelidis et al. (1997).

Os níveis de tensão “0” e “0*”, das Tabelas 5 e 6, possuem o mesmo valor. Contudo, para o mesmo objetivo a configuração da chave é diferente para o nível de tensão zero na primeira metade do ciclo da tensão de saída e na segunda metade do ciclo.

Como pode ser visto na Figura 9, o intervalo de cada modo varia com a amplitude da senoide de saída requerida. Os ângulos de fase da mudança dos modos ϕ_1 , ϕ_2 , ϕ_3 e ϕ_4 são definidos conforme os limites (AGELIDIS et al., 1997):

- Modo I: $\phi_1 < \omega t \leq \phi_2$
- Modo II: $0 < \omega t \leq \phi_1$ e $\phi_2 < \omega t \leq \pi$
- Modo III: $\pi < \omega t \leq \phi_3$ e $\phi_2 < \omega t \leq 2\pi$
- Modo IV: $\phi_3 < \omega t \leq \phi_4$

A fim de controlar o conversor, é utilizada uma técnica PWM por disposição das portadoras. Esse método implica a amostragem natural de uma única forma de onda de modulação ou referência tipicamente senoidal, através de vários sinais de portadora tipicamente triangulares. Para um sistema com m níveis é produzido uma forma de onda de tensão de fase com $m-1$ níveis acrescidos de zero. Para essa configuração, são necessários $m-1$ sinais de portadoras, todas com a mesma frequência e amplitude pico a pico.

Dessa forma, são apresentadas na Figura 10 três estratégias de defasamento angular entre as portadoras triangulares da modulação, respectivamente (MESQUITA, 2011):

- a) Todas as portadoras estão em fase (disposição PD);
- b) Todas as portadoras acima do valor de referência zero estão em fase, mas em oposição com os que estão abaixo (disposição POD);

c) As portadoras são alternadas em oposição (disposição APO).

Combinações adicionais de deslocamento de fase da portadora são possíveis para o modelo de cinco níveis. No entanto, as diferenças são pequenas entre estas e as técnicas anteriormente mencionadas, sendo que a análise resultaria em características semelhantes da forma de onda de saída (AGELIDIS et al., 1997).

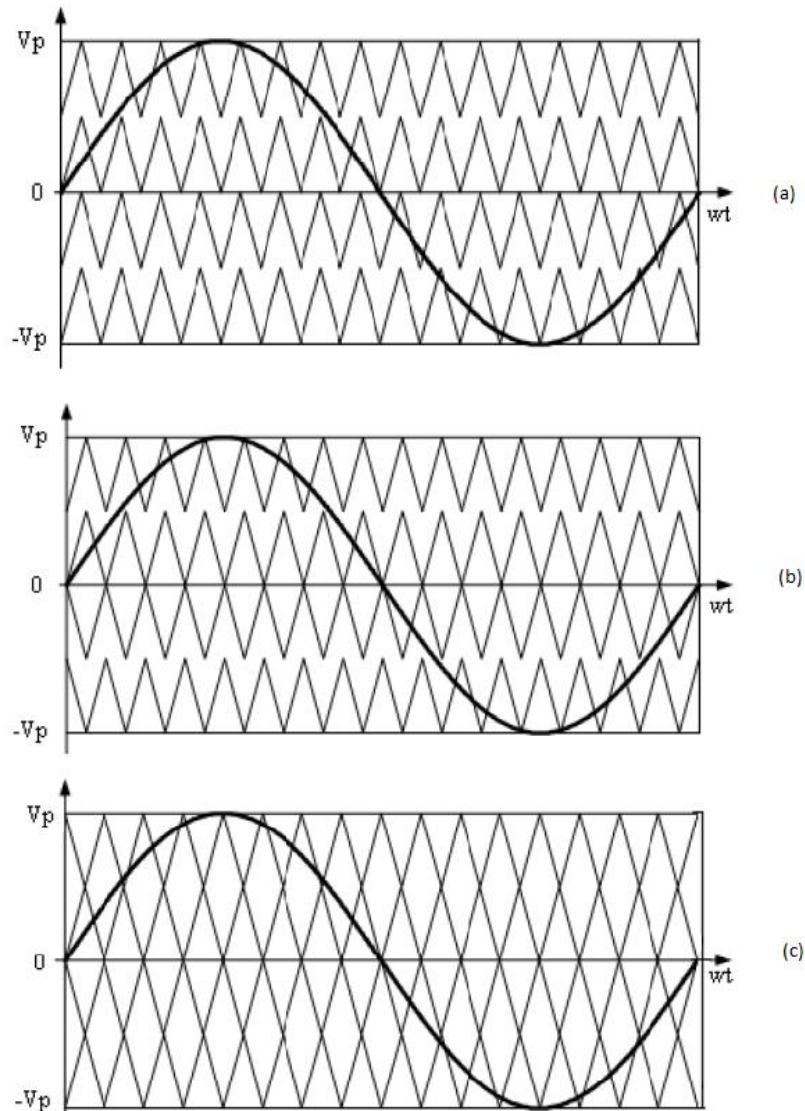


Figura 10 - Exemplo de três estratégias de defasamento angular entre as portadoras triangulares da modulação. (a) Modulação PD. (b) Modulação POD. (c) Modulação APO.

Fonte: Mesquita (2011).

A modulação por largura de pulsos para o inversor de cinco níveis tem dois parâmetros relacionados: o primeiro é o índice de frequência M_f , dada pela Equação 2 (CHOI; CHO; CHO, 1991).

$$M_f = \frac{f_c}{f_m} \quad (2)$$

onde f_c é a frequência do sinal da portadora triangular e f_m é a frequência do sinal da moduladora senoidal.

O segundo é o índice de modulação M_i , que é dado por:

$$M_i = \frac{A_m}{2A_c} \quad (3)$$

onde A_c é a amplitude por unidade (p.u.) pico-a-pico da portadora triangular e o valor A_m é o valor de pico em p.u. do sinal modulador (senoidal).

Quando o índice de modulação de amplitude é maior ou igual a 0,5, isto é, $A_m \geq A_c$, os ângulos de fase são definidos como a seguir:

$$\varphi_1 = \text{sen}^{-1} \left(\frac{A_c}{A_m} \right) \quad (4)$$

$$\varphi_2 = \pi - \varphi_1 \quad (5)$$

$$\varphi_3 = \pi + \varphi_1 \quad (6)$$

$$\varphi_4 = 2\pi - \varphi_1 \quad (7)$$

Para $A_m \leq A_c$, ou equivalentemente quando o índice de modulação da amplitude é menor que 0,5, os ângulos de mudança de fase são iguais a (AGELIDIS et al., 1997):

$$\varphi_1 = \varphi_2 = \frac{\pi}{2} \quad (8)$$

$$\varphi_3 = \varphi_4 = \frac{3\pi}{2} \quad (9)$$

2.5 CONCEITOS BÁSICOS SOBRE LINGUAGEM VHDL

VHDL é uma linguagem de descrição de *hardware*. Ela descreve o comportamento de um circuito ou sistema, pelo qual o mesmo pode ser fisicamente implementado. O termo significa Linguagem de Descrição de *Hardware* VHSIC (*VHSIC Hardware Description Language*). VHSIC por si só representa *Very High Speed Integrated Circuits*, uma iniciativa do Departamento de Defesa dos Estados Unidos, na década de 1980, que levou a criação do VHDL.

A primeira versão foi VHDL 87, a qual foi atualizada para VHDL 93. O VHDL foi originalmente a primeira linguagem de descrição de *hardware* a ser padronizada pelo Instituto de Engenheiros Eletricistas e Eletrônicos, através do padrão IEEE 1076. Um padrão seguinte foi o IEEE 1164 que foi adicionado para introduzir um sistema lógico de valores múltiplos (PEDRONI, 2004). Essa linguagem é direcionada para a síntese de circuitos, assim como simulação de circuitos. Contudo, mesmo que VHDL seja totalmente simulável, alguns construtores não são sintetizáveis.

Ainda segundo Pedroni (2004), a motivação fundamental para usar VHDL (ou seu concorrente, Verilog) é que VHDL é padronizada, independente da língua, e é portanto, portátil e reutilizável. As duas principais aplicações imediatas de VHDL estão no campo de Dispositivos Lógicos Programáveis (incluindo CPLDs - *Complex Programmable Logic Devices* e FPGAs) e no domínio de componentes ASICs (*Application Specific Integrated Circuits*). Uma vez que o código VHDL foi escrito, ele pode ser usado tanto para a execução do circuito num dispositivo programável, como por exemplo, dos fabricantes Altera, Xilinx, Atmel, etc., ou podem ser submetidos para a fabricação de um *chip* ASIC. Atualmente, muitos *chips* comerciais complexos (microcontroladores, por exemplo) foram concebidos utilizando esta abordagem.

Uma nota final sobre VHDL é que, contrariamente aos programas de computador regulares que são sequenciais, suas demonstrações são inerentemente simultâneas (paralelas). Por essa razão, VHDL é normalmente referida como um código em vez de um programa. Em VHDL, apenas declarações colocadas dentro de um processo, função ou procedimento são executado sequencialmente (PEDRONI, 2004).

2.5.1 FLUXO DE UM PROJETO VHDL

Uma das principais utilidades de VHDL é que a linguagem permite a síntese de um sistema ou circuito em um dispositivo programável (PLD ou FPGA) ou em um ASIC. As etapas seguidas durante um projeto como este estão resumidos na Figura 11 (PEDRONI, 2004).

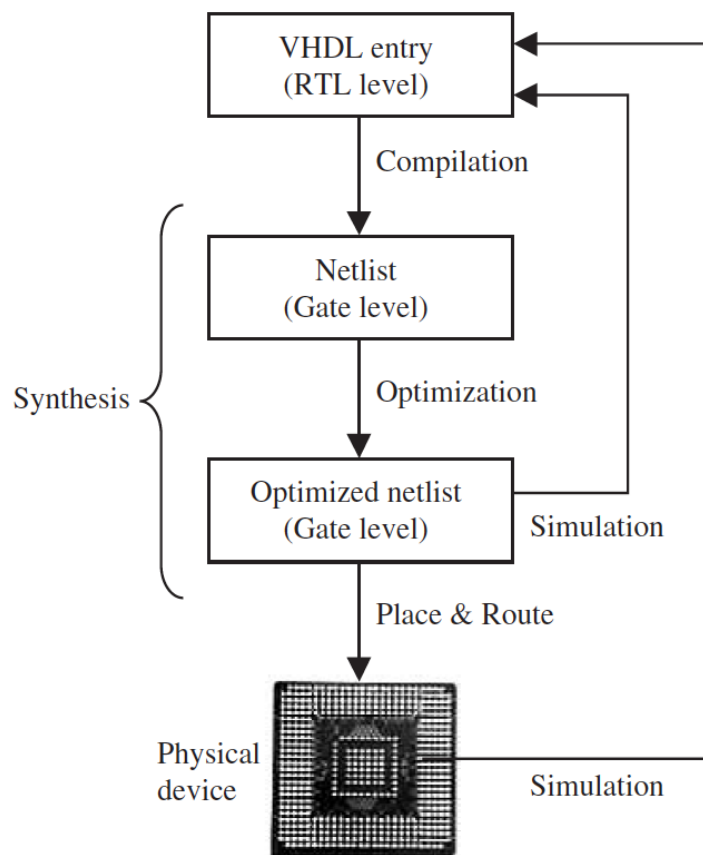


Figura 11 - Fluxo VHDL.

Fonte: Pedroni (2004).

Nas últimas décadas, graças aos vários desenvolvimentos em tecnologias VLSI (*Very-Large-Scale Integration*), FPGAs tornaram-se componentes-chave na implementação de processamento de alto desempenho de sinal digital de sistemas, especialmente nas áreas de comunicações digitais, redes de vídeo e de imagem. Entretanto, o seu potencial não é totalmente utilizado na área de controle de potência e conversões (CHINNAIYAN et al., 2009).

A constituição lógica das FPGAs não inclui apenas tabelas de consulta, registros, multiplexadores, distribuídos e memória bloco, mas também um circuito dedicado para somadores rápidos, multiplicadores e processamento de I/O (*Input/Output*) como, por exemplo, giga-bit I/O. A largura de banda de memória de uma FPGA excede em muito a de um processador ou microprocessador DSP rodando a taxas de *clock* de duas a dez vezes a da FPGA. Juntamente com uma capacidade para a implementação de arquiteturas aritméticas altamente paralelas, o que torna a FPGA adequada para tarefas como a filtragem digital, transformada rápida de Fourier (FFT), e correção adiantada de erros (PEDRONI, 2004).

2.5.2 FERRAMENTAS EDA

Existem várias ferramentas EDA (*Electronic Design Automation*) disponíveis para a síntese de circuitos, implementação e simulação usando VHDL. Algumas ferramentas são disponibilizadas como parte da série de um produto de um fornecedor como, por exemplo, o Quartus II da Altera, o qual permite a síntese de código para VHDL para as CPLD/FPGA da Altera, ou o ambiente de programação ISE, para *chips* CPLD/FPGA, da empresa Xilinx.

A ferramenta a ser utilizada para a implementação do VHDL neste TCC será a disponibilizada pelo fabricante da FPGA utilizada, o Quartus II da Altera.

3 MATERIAIS E MÉTODOS

Neste capítulo será apresentada a descrição da topologia multinível utilizando seis chaves de potência que irá compor o módulo didático de ensino e pesquisa.

Também serão apresentados os circuitos *drivers*, os materiais necessários para execução de todo o projeto, assim como a placa DE0-Nano com a FPGA Cyclone IV da Altera, evidenciando sua flexibilidade e abrangência.

3.1 TOPOLOGIA UTILIZADA

Inicialmente, o circuito de chaveamento utilizado era composto por 6 MOSFETS do tipo IRF640N, conforme apresentado na Figura 12:

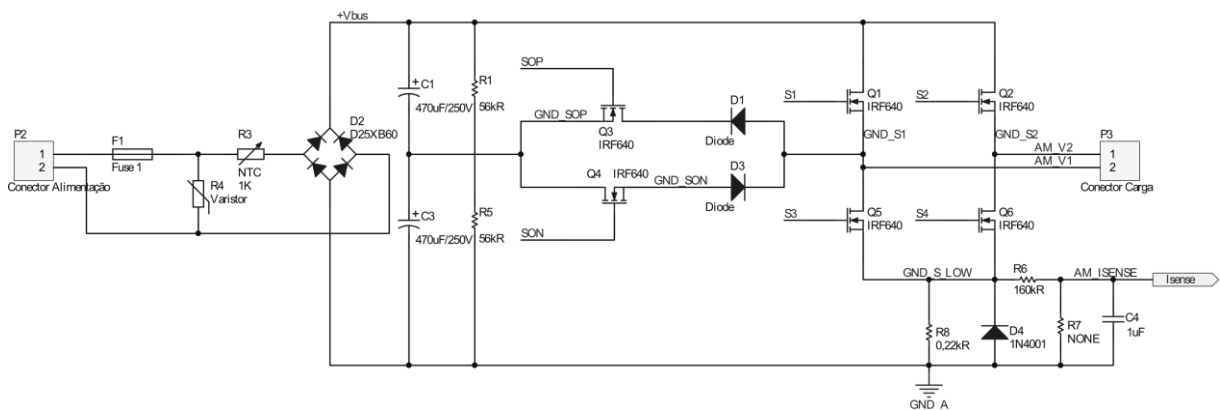


Figura 12 - Circuito esquemático do inversor de cinco níveis utilizando seis IGBTs elaborado com o *software* Altium Designer.

Após a validação do circuito em bancada, testou-se uma nova topologia utilizando IGBTs e eliminando os diodos de potência em antiparalelo. O IGBT escolhido foi o IRGB10B60KD que possui internamente um diodo ultra-rápido e, portanto, um tempo de recuperação reversa baixo. Os principais valores absolutos da chave semicondutora incluem:

- $V_{CES} = 600 V$ (Tensão entre coletor e emissor);
- $I_C = 12 A$ (Corrente contínua de coletor a $100^\circ C$);
- $t_{rr} = 90 ns$ (Tempo de recuperação reversa do diodo).

O esquemático desenvolvido no *software* Altium Designer para essa nova topologia pode ser visualizado na Figura 13.

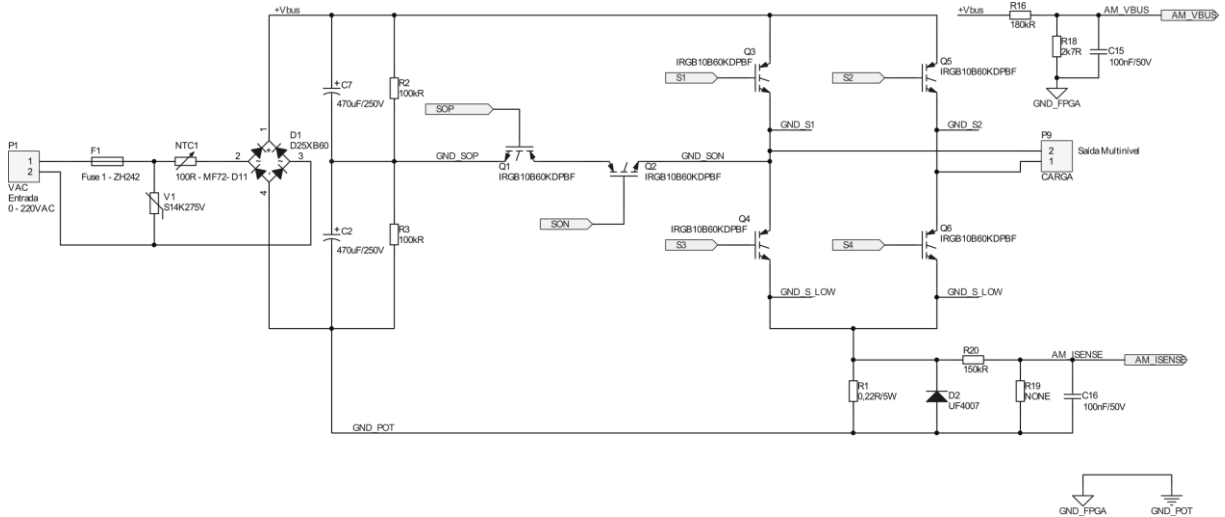


Figura 13 - Circuito esquemático do inversor de cinco níveis utilizando seis IGBTs elaborado com o *software* Altium Designer.

É importante notar que a mudança das chaves de MOSFETs para IGBTs foi realizada buscando tornar o circuito mais simples, ou seja, com menos componentes. Nesse sentido, foi possível eliminar dois diodos de potência, haja visto que cada IGBT possui internamente um diodo de recuperação ultra-rápido. Esse é um componente muito importante em inversores, já que o tempo de recuperação reversa nas chaves pode se tornar uma preocupação em circuitos com comutação em alta frequência. Além disso, a topologia original foi modificada através da estrutura bidirecional com dois IGBTs invertidos e em série (posições Q1 e Q2 no esquema).

Durante o desenvolvimento do trabalho, foram utilizadas quatro fontes CC de 30 V/3 A em série, de modo a fornecer 120 V na entrada do circuito. As fontes utilizadas foram do modelo MPL-3303 fabricadas pela empresa Minipa. Além da alimentação principal, o circuito de chaveamento conta com a alimentação de cada circuito *driver*, a cargo de cinco fontes CC isoladas de 15 V. Os *drivers* dos IGBTs Q4 e Q6 compartilham a mesma fonte isolada, pois estão na mesma referência.

Foi implementado um circuito *driver* para cada chave de potência, sendo que cada sinal de saída é enviado ao respectivo *gate* do IGBT. Visando a possibilidade de entrada AC, o projeto inclui uma ponte de diodos D25XB60 na entrada de

alimentação para retificação e geração da tensão do barramento CC (+Vbus). Essa ponte possui especificação de corrente máxima de 3,5 A a 25°C (sem dissipador), ou 25 A a 100°C (com dissipador), e tensão máxima reversa de 600 V.

O projeto também contempla circuitos para monitorar a corrente nas chaves (Isense) e a tensão no barramento (Vbus_sample). O circuito esquemático segue alguns detalhes conforme a nota de aplicação AN1660 (*A complete Low-Cost Design and Analysis for Single and Multi-Phase AC Induction Motor Using an 8-Bit PIC 16 Microcontroller*) da empresa Microchip Technology Inc. (2014).

3.2 DRIVER PARA ACIONAMENTO DAS CHAVES

Segundo Rech (2005), a implementação de circuitos de acionamento dos interruptores de potência pode ser efetuada de dois modos: isolamento óptico ou por meio de um pequeno transformador de pulso. Entretanto, ao se trabalhar com largura de pulso variável, como é o caso das estratégias PWM senoidais, o uso de um transformador de pulso não é o mais indicado.

Para se trabalhar com transformador de pulso, é necessário evitar a sua saturação. Assim, após a aplicação de um pulso de comando por um determinado tempo, é necessário aplicar uma tensão invertida sobre o transformador de pulso por um tempo proporcional ao tempo do pulso de comando, para desmagnetizar o núcleo. Com PWM senoidal, em alguns períodos a razão cíclica se aproxima da unidade, restando um intervalo de tempo muito pequeno e insuficiente para desmagnetizar o núcleo, levando-o à saturação.

No presente trabalho, os *drivers* de comando de cada IGBT foram implementados por meio de isolamento óptico utilizando o opto-acoplador HCPL 3180 (Avago Technologies, EUA). Tal componente possui a finalidade de promover a transferência isolada e condicionada do sinal lógico das saídas programadas no FPGA para o acionamento direto dos *gates* dos IGBTs, sendo que as principais características elétricas incluem:

- Corrente de pico de saída: 2,5 A;
- Máxima frequência de chaveamento: 250 kHz;
- Tensão de modo comum: 1500 V.

Na Figura 14 é apresentado o circuito esquemático de um canal do *driver* para conexão entre o *kit* de FPGA e o IGBT S1.

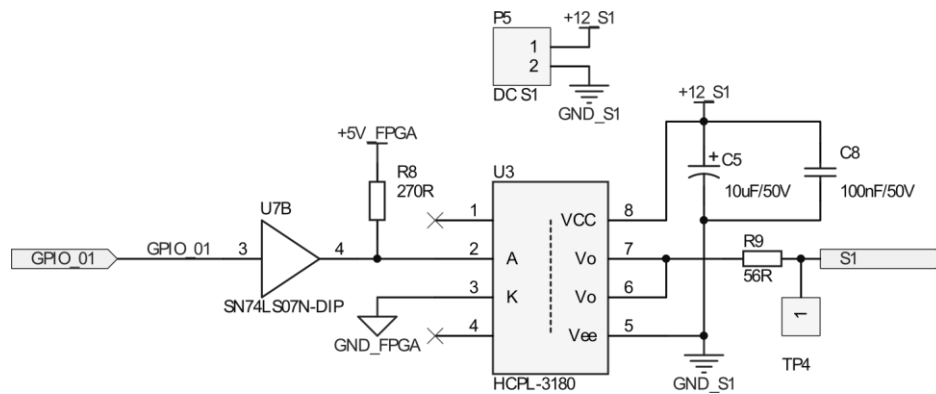


Figura 14 - Circuito esquemático do *driver* para acionamento das chaves semicondutoras.

Neste exemplo, o sinal de saída do *kit* de FPGA, definido como GPIO_01, é conectado ao CI 74LS07 – *buffer* com saída do tipo coletor aberto – que tem a função de excitar o LED (*Light Emitting Diode*) interno do HCPL 3180. A maior vantagem deste tipo de dispositivo no controle é que o comando passa do LED para o sensor na forma de um feixe ótico e, portanto, não há contato elétrico entre o circuito digital e o circuito de potência. Essa topologia de *driver* foi escolhida devido a sua simplicidade e reduzido número de componentes, além de ser um circuito com resposta rápida, não prejudicando o desempenho do chaveamento para altas frequências. Maiores detalhes sobre o optoacoplador, suas aplicações e especificações técnicas, podem ser encontrados no manual do componente fabricado pela Avago Technologies (2009).

É importante destacar que existem várias topologias de *driver* disponíveis na literatura, sendo que para cada aplicação em específico haverá uma topologia mais adequada. Um exemplo de circuito é apresentado por Rech (2005), conforme a Figura 15, no qual o optoacoplador utilizado é o HP 2601, porém com um maior número de componentes para excitação dos IGBTs.

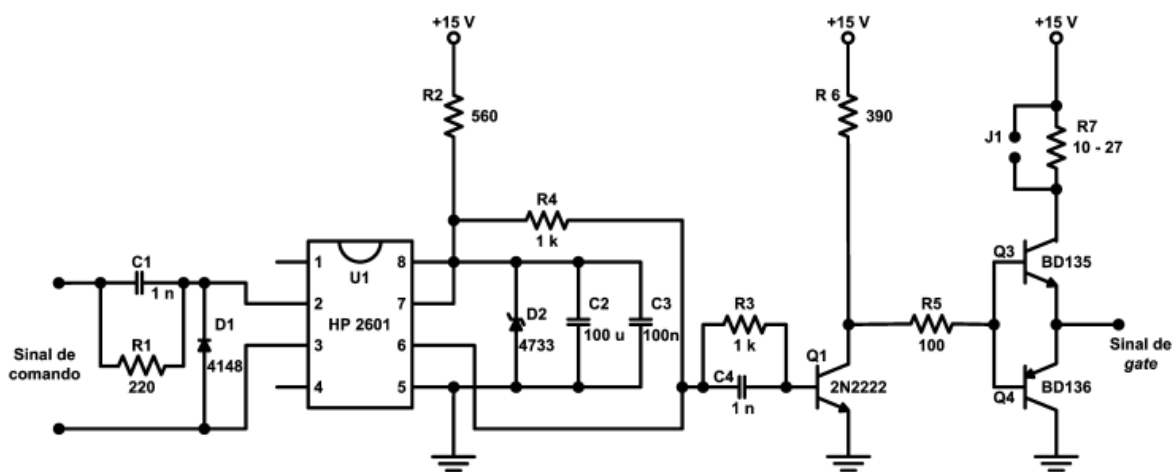


Figura 15 - Exemplo de circuito *driver* utilizando o optoacoplador HP 2601.

Fonte: Rech (2005).

3.3 MÓDULO DE0-NANO (ALTERA CYCLONE IV FPGA)

A placa escolhida para programação da FPGA foi a DE0-Nano fabricada pela Terasic Inc. e desenvolvida em parceria com a Altera Corp. A placa conta com a FPGA Altera Cyclone IV EP4CE22F17C6N e foi disponibilizada para utilização no presente trabalho pelo professor Amauri Amorin Assef. As principais características do *kit* são:

- FPGA Altera Cyclone IV EP4CE22F17C6N com 22.320 elementos lógicos;
- 32 MB de memória SDRAM;
- 2 KB de memória EEPROM;
- Memória Serial Flash Spansion EPCS64 de 64 KB para fins de programação;
- 8 LEDs, 2 botões (*pushbuttons*) e 4 *dip-switches*;
- 1 acelerômetro ADXL345 de três eixos com resolução de 13 *bits* da empresa Analog Devices;
- Conversor A/D da National Semiconductor com 8 canais e 12 *bits* e taxa de conversão entre 50 ksp/s e 200 ksp/s;
- Pinos de expansão, além de pinos de alimentação de 5 V, 3,3 V e referência;
- Sistema de *clock on-board* com um oscilador de 50 MHz;
- Alimentação por um conector USB tipo mini-AB ou por conector externo.

Para melhor visualização das características da placa, é apresentado na Figura 18 o diagrama de blocos do sistema digital.

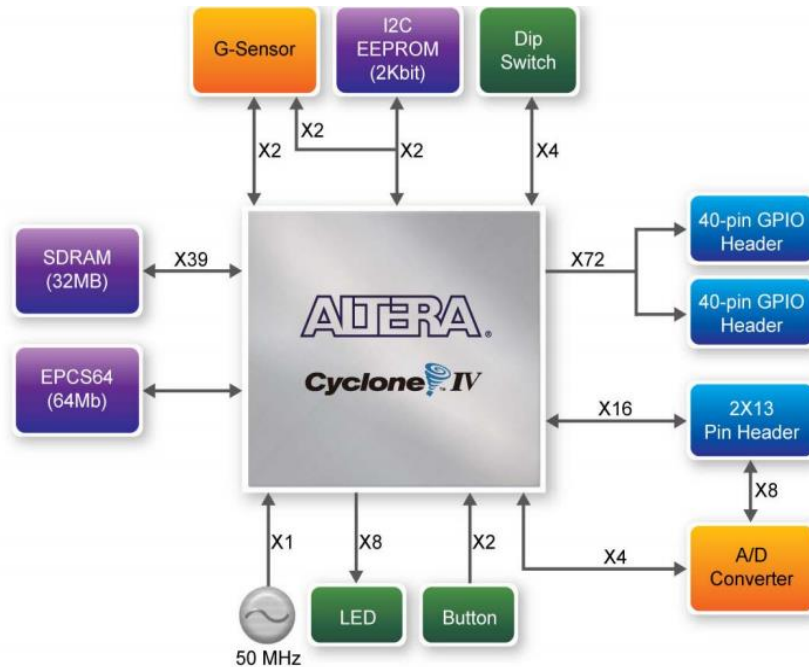


Figura 16 - Diagrama de blocos da placa Tercasic DE0-Nano.

Fonte: Tercasic Inc. & Altera Corp. (2012).

Além do diagrama de blocos da Figura 18, são mostradas nas Figuras 19 e 20, respectivamente, as vistas superior e inferior da placa DE0-Nano, de modo a visualizar todas as informações descritas.

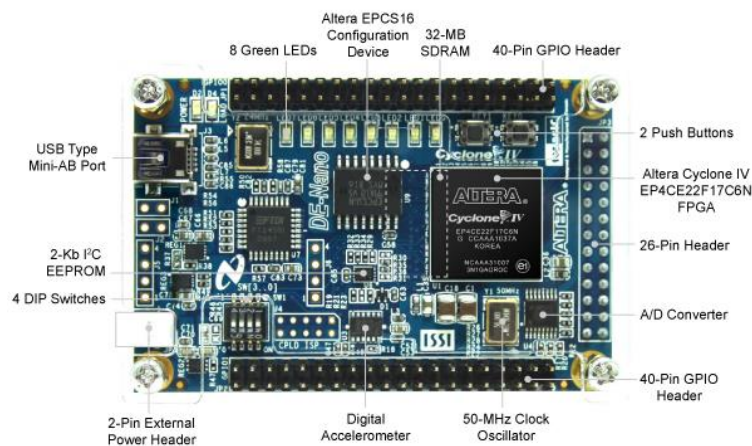


Figura 17 - Placa DE0-Nano: vista superior.

Fonte: Tercasic Inc. & Altera Corp. (2012).

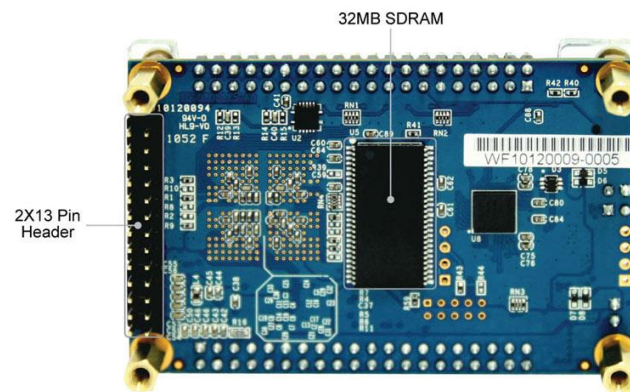


Figura 18 - Placa DE0-Nano: vista inferior.

Fonte: Terasic Inc. & Altera Corp. (2012).

Outro aspecto importante, tanto para programação quanto na montagem experimental do circuito de acionamento dos IGBTs, é a sequência de acionamento dos *gates*. Para a correta utilização das saídas digitais, a Figura 18 apresenta a disposição dos pinos que serão utilizados no barramento GPIO_1. Entretanto, outro conector da placa por ser utilizado, conforme a necessidade do projeto.

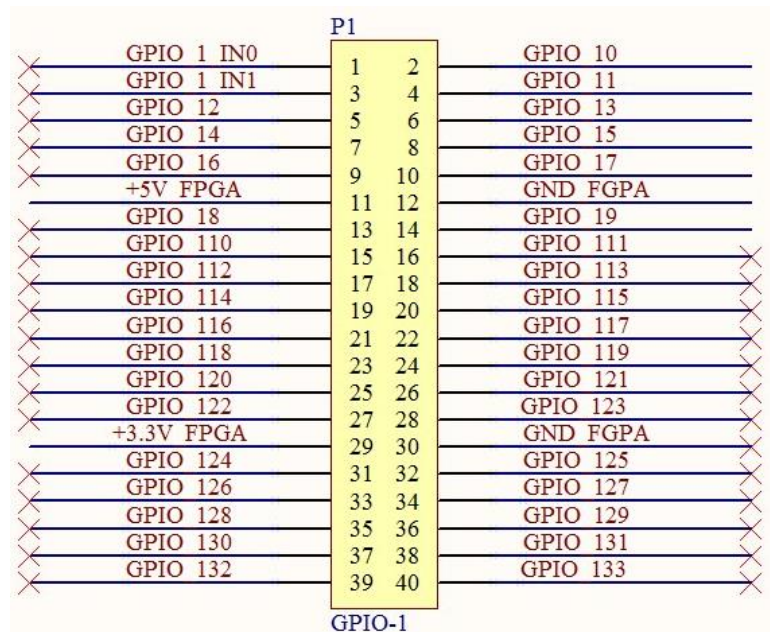


Figura 19 - Disposição dos pinos barramento GPIO_1 da placa DE0-Nano.

3.4 PROJETO DO CÓDIGO DA FPGA

Como destacado anteriormente, o *software* utilizado para desenvolvimento do projeto VHDL foi o Quartus II da Altera, juntamente com a ferramenta de simulação ModelSim Starter Edition 10.3d, também do fabricante de FPGA Altera Corp.

3.4.1 IMPLEMENTAÇÃO DO PROJETO

A implementação do projeto FPGA tem por objetivo controlar o funcionamento das seis chaves do inversor através da técnica PWM, exposta anteriormente na seção 2.4.1.

O projeto em VHDL realizado no Quartus II começa pelo diagrama de blocos, o qual é exposto nas figuras deste tópico. Os mesmos descrevem entradas e saídas assim como seus comportamentos individuais. Pode-se utilizar blocos pré-definidos no ambiente de desenvolvimento, como é o caso do bloco PLL (*Phase locked-loop*), comentado na sequência, ou ainda é possível criar blocos personalizados, os quais têm comportamento definido por um arquivo VHDL.

Para fins didáticos, o processo de modulação PWM pode ser dividido em três etapas. A etapa 1 é responsável pela geração da senoide de referência e das portadoras. Estando essas definidas, utiliza-se as mesmas na etapa 2, a qual é responsável pela comparação da senoide de referência com as portadoras, gerando os sinais C1, C2, C3 e C4. Ainda na etapa 2, é necessária a geração dos sinais R1, R2, R3, R4, R5 e R6, que também são utilizados na etapa seguinte. A etapa 3 caracteriza-se principalmente pelo circuito digital que combina os sinais gerados na etapa 2 para geração dos sinais que controlam as seis chaves, SOP, SON, S1, S2, S3 e S4.

O bloco pré-definido PLL, mostrado na Figura 20, utiliza uma frequência de entrada de 50 MHz para gerar o *clock* do sistema de 1,2 MHz. Isso pode ser verificado através do próprio modelo do bloco PLL, que multiplica a frequência do *clock* de entrada (50 MHz) por uma razão de 3/125. Este, por sua vez, é utilizado no bloco *portadora_triangular* (bloco customizado em VHDL) para geração das quatro portadoras necessárias para desenvolvimento da técnica de modulação PWM já citada.

Comparando o período do *clock* com o período da senoide de referência, nota-se que, para cada período da senoide de referência existem 20 mil períodos de *clock*. Para obter-se uma frequência de 2,4 kHz para as portadoras, definiu-se que o período da portadora seria quinhentas vezes o período do *clock* (250 *clocks* para subida e 250 *clocks* para descida da portadora triangular), o que gera 40 períodos de portadora por período de senoide de referência, isto é, índice de modulação de frequência igual a 40 (2,4 kHz/60 Hz).

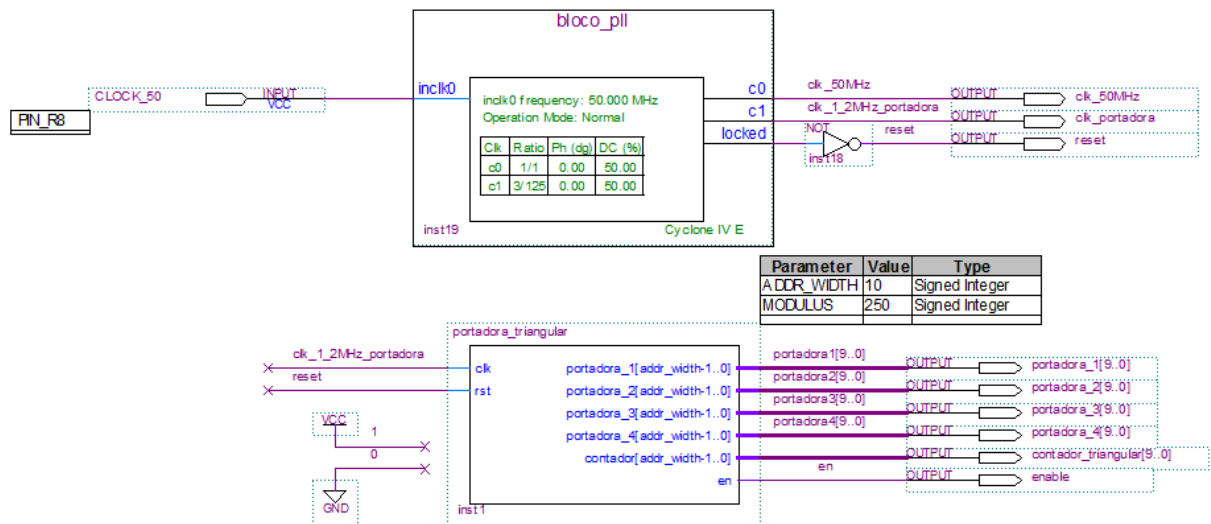


Figura 20 - Esquemático dos blocos utilizados para geração dos sinais portadoras triangulares.

Ainda referente à primeira etapa, a senoide de referência de frequência 60 Hz é gerada através do bloco customizado *referencia_vhdl*, mostrado na Figura 21. Para este sinal, definiu-se a utilização de 25 períodos de *clock* para cada amostra, gerando assim uma senoide de referência com 800 pontos para cada um dos seguintes índices de modulação de amplitude: 0,99, 0,8, 0,6, 0,4 e 0,2. Como o *kit* DE0-Nano possui 4 chaves do tipo *dip-switch*, denominada no esquema da Figura 21 como *key*, foram escolhidas 5 possibilidades das chaves para seleção da senoide de referência com os diferentes índices de modulação de amplitude. Dessa forma, foi possível avaliar o funcionamento do circuito com diferentes índices de modulação sem a necessidade de regravação do código na FPGA.

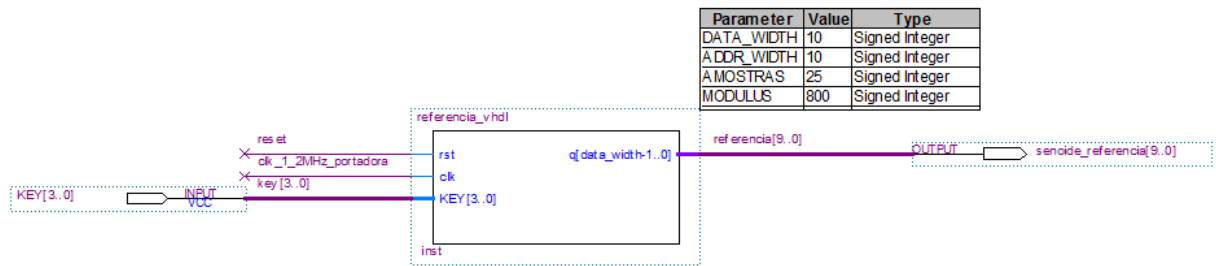


Figura 21 - Esquemático do bloco utilizado para geração da senoide de referência.

Os processos de geração dos sinais de comparação e dos sinais R1, R2, R3, R4, R5 e R6 pertencentes a segunda etapa encontram-se projetados na Figura 22. O bloco *sinais_r* é responsável pela geração dos sinais R1, R2, R3, R4, R5 e R6, que são relacionados com o tempo de atuação de cada chave.

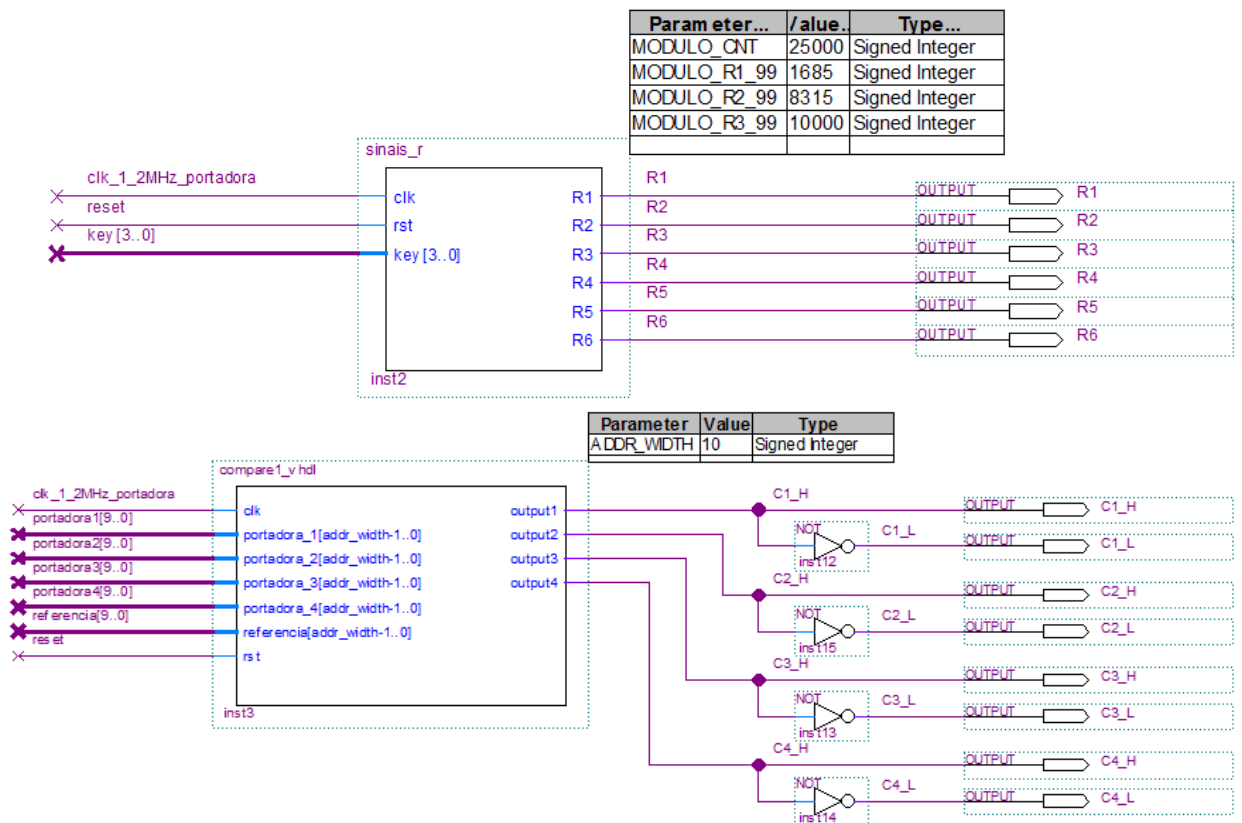


Figura 22 - Esquemático dos blocos utilizados para geração dos sinais de composição C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5 e R6.

Já o bloco *compare1_vhdl* realiza o processo de comparação da senoide de referência com as quatro portadoras triangulares, obtendo-se os sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L e C4_H.

A terceira e última etapa referente ao circuito digital que combina os sinais gerados nos blocos da Figura 22 (etapa 2), para geração dos sinais responsáveis pelo controle das seis chaves do inversor multinível, pode ser observada na Figura 23. Os pinos de saída foram replicados possibilitando a utilização de qualquer um dos dois conectores laterais de expansão da placa DE0-Nano

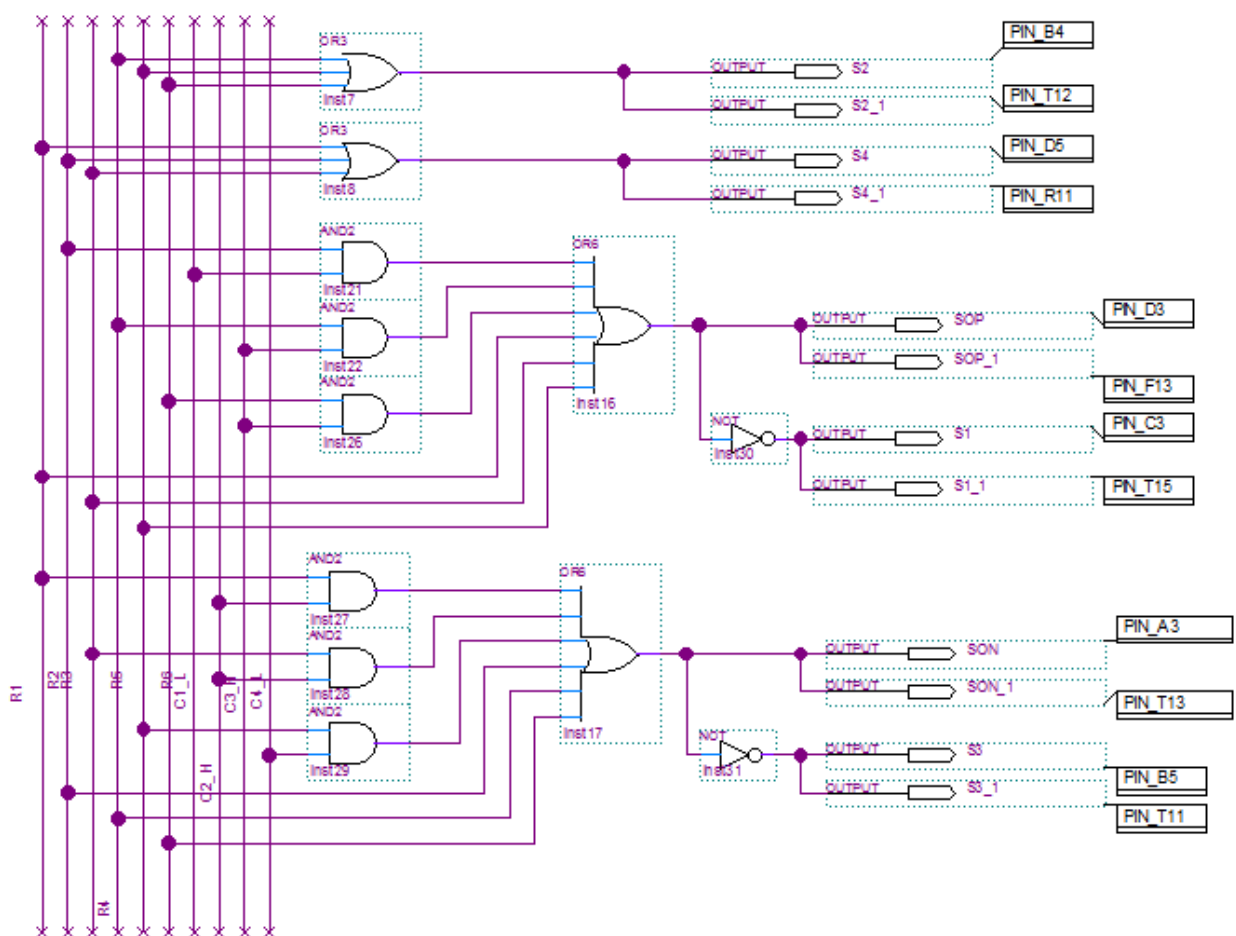


Figura 23 - Circuito digital responsável pela combinação entre os sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5 e R6 para geração dos sinais que controlam as seis chaves do inversor multinível (S1, S2, S3, S4, SON e SOP).

Cabe ressaltar que toda a implementação do código foi baseada nos trabalhos de Agelidis et al. (1997) e Mekhilef & Masaoud (2006). O código utilizado para implementação dos blocos encontra-se disponível no Apêndice A.

4 RESULTADOS

Neste capítulo são apresentados os resultados para validação experimental dos circuitos do sistema multinível. Também são mostrados os resultados das simulações da topologia com o *software* Simulink no MATLAB e do código da FPGA com o *software* ModelSim. Por fim, são apresentados os resultados experimentais com carga resistiva e carga resistiva-indutiva para diferentes índices de modulação.

4.1 VALIDAÇÃO DO CIRCUITO DRIVER

Após a definição da topologia do circuito *driver* e da montagem do mesmo, foi possível realizar os testes com cada um dos 6 *drivers* de modo a validá-los, garantindo o correto sinal de acionamento nos *gates* dos IGBTs. Como exemplo, na Figura 24 é apresentado um sinal quadrado de 60 Hz com razão de trabalho de 50% e amplitude de 3,3 V, gerado pela FPGA.

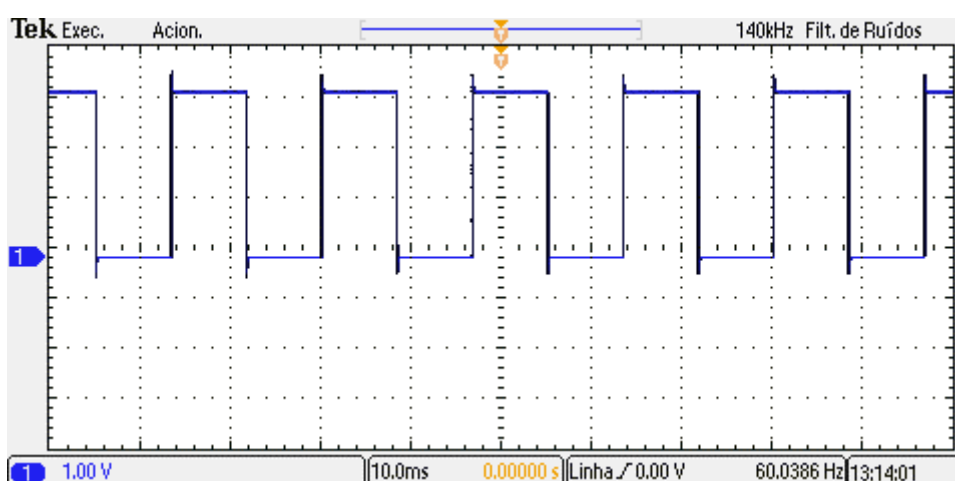


Figura 24 - Forma de onda na entrada do circuito *driver* – sinal gerado pela FPGA.

Na Figura 21 é mostrado o mesmo sinal, porém na saída do circuito *driver* e com amplitude de 15 V, indicando o perfeito funcionamento do circuito.

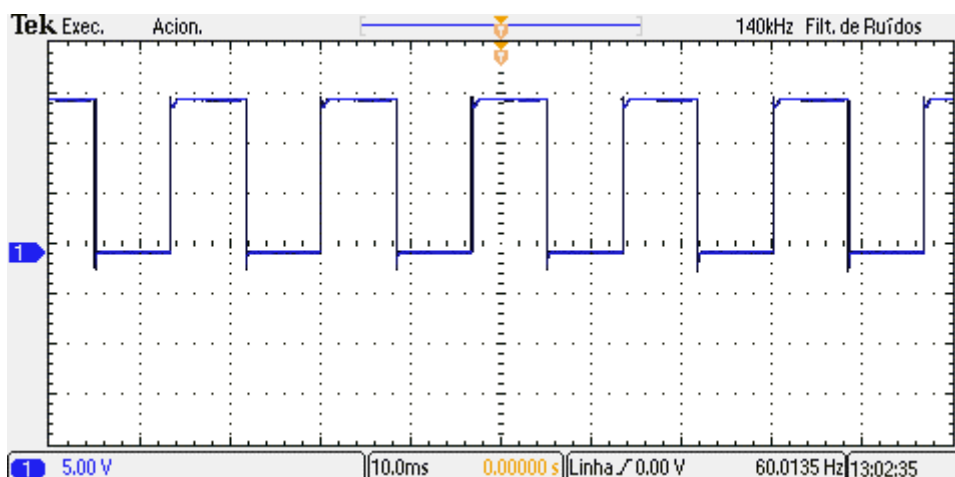


Figura 25 - Forma de onda na saída do circuito *driver*.

4.2 SIMULAÇÃO DO MODELO NO SIMULINK

De acordo com a teoria apresentada no Capítulo 2, foram realizadas inicialmente as simulações para o inversor de cinco níveis com seis chaves utilizando a modulação por largura de pulsos para controle. Esse procedimento foi realizado utilizando-se a ferramenta Simulink do *software* MATLAB.

Conforme proposto por Agelidis et. al., foi implementado o circuito digital de controle e potência para a simulação, a fim de verificar o funcionamento do inversor multinível com seis chaves semicondutoras. Esta simulação visa a possibilidade futura de geração do código VHDL diretamente através de modelagem no Simulink e conversão para código de descrição de *hardware*.

O circuito a ser simulado foi dividido em quatro partes. A primeira parte é onde ocorre a geração da senoide de referência e das portadoras triangulares e, também, a comparação entre as mesmas, a qual pode ser observada na Figura 26. As configurações dos sinais utilizados para realização das comparações são descritas a seguir:

- Senoide de referência:
 - Frequência: 60 Hz;
 - Amplitude: 240 V;
 - Índice de modulação de amplitude: 0,8.
- Sinais triangulares:
 - Frequência: 2,4 kHz;

- Amplitude: 120 V.
- Carga de teste: resistor de 12 Ω .

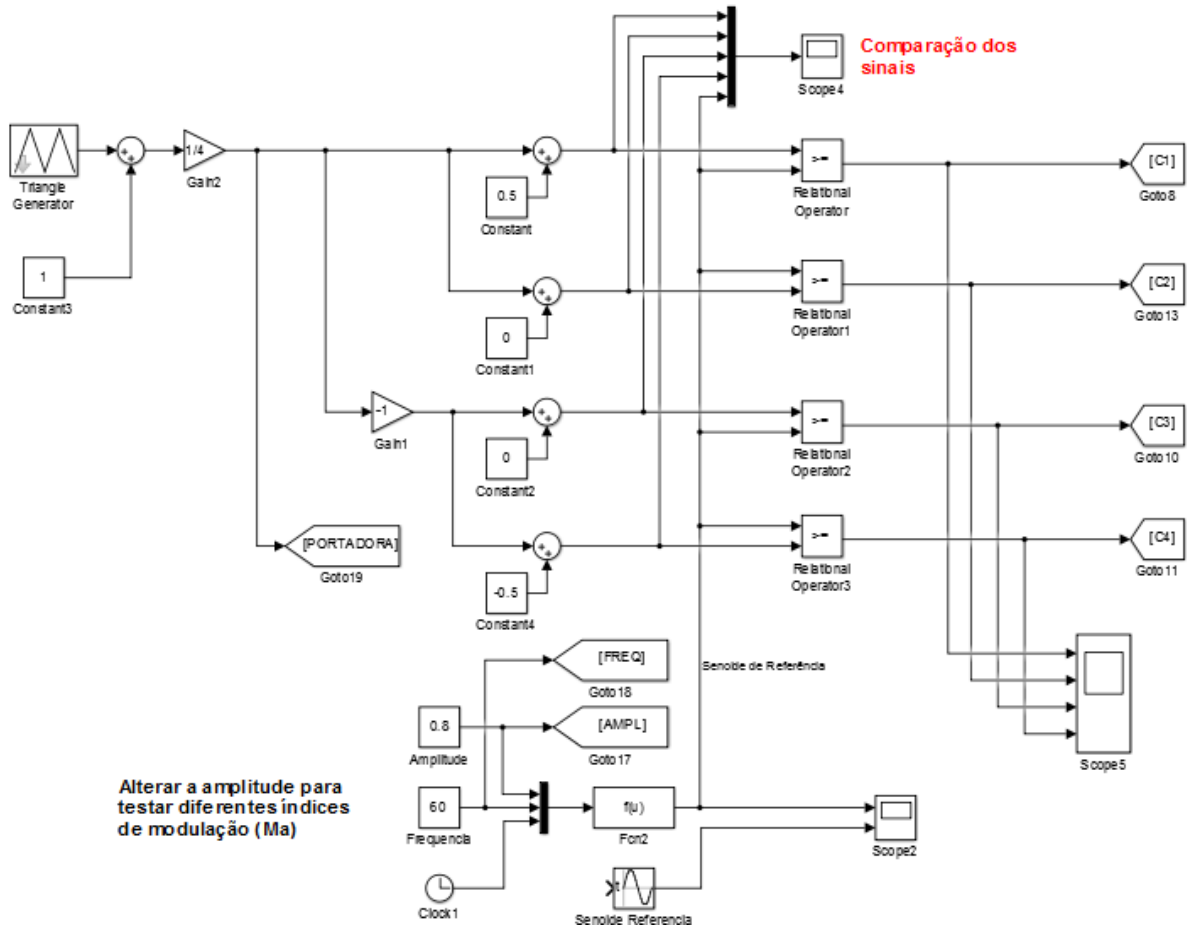


Figura 26 - Circuito simulado no Simulink (MATLAB) – Parte 1.

A Parte 2 da simulação constitui-se da geração dos sinais quadrados, os quais são utilizados para controlar as seis chaves do circuito inversor multinível, juntamente com as comparações executadas na Parte 1 da simulação. O esquema referente à Parte 2 pode ser observado na Figura 27.

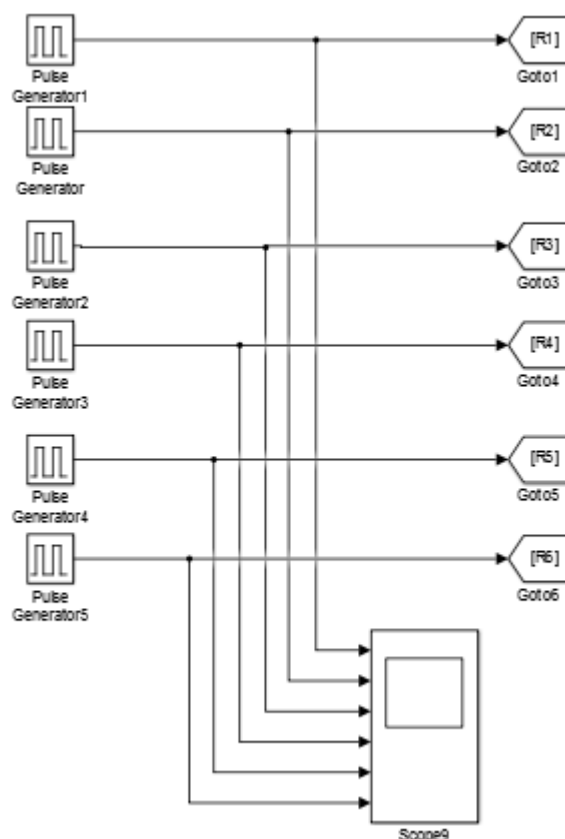


Figura 27 - Circuito simulado no Simulink (MATLAB) – Parte 2.

A próxima etapa constituinte da simulação é a Parte 3 (Figura 28), onde a combinação lógica dos sinais resultantes da Parte 1 e da Parte 2 gera o sinal de controle das chaves do inversor multinível.

Os sinais obtidos como resultado da Parte 3 – SOP, SON, S1, S2, S3 e S4 – são utilizados na etapa posterior (Figura 29) para controlar as chaves do inversor, sendo esta a última etapa que corresponde a topologia do inversor de frequência a ser implementada na simulação.

A senoide de referência e os sinais triangulares gerados que foram utilizados na etapa de comparação da simulação (Parte 1), encontram-se apresentados na Figura 30. Nas Figuras referentes às simulações com o Simulink, a escala vertical representa a tensão em Volts (V) e a escala horizontal o tempo em segundos (s).

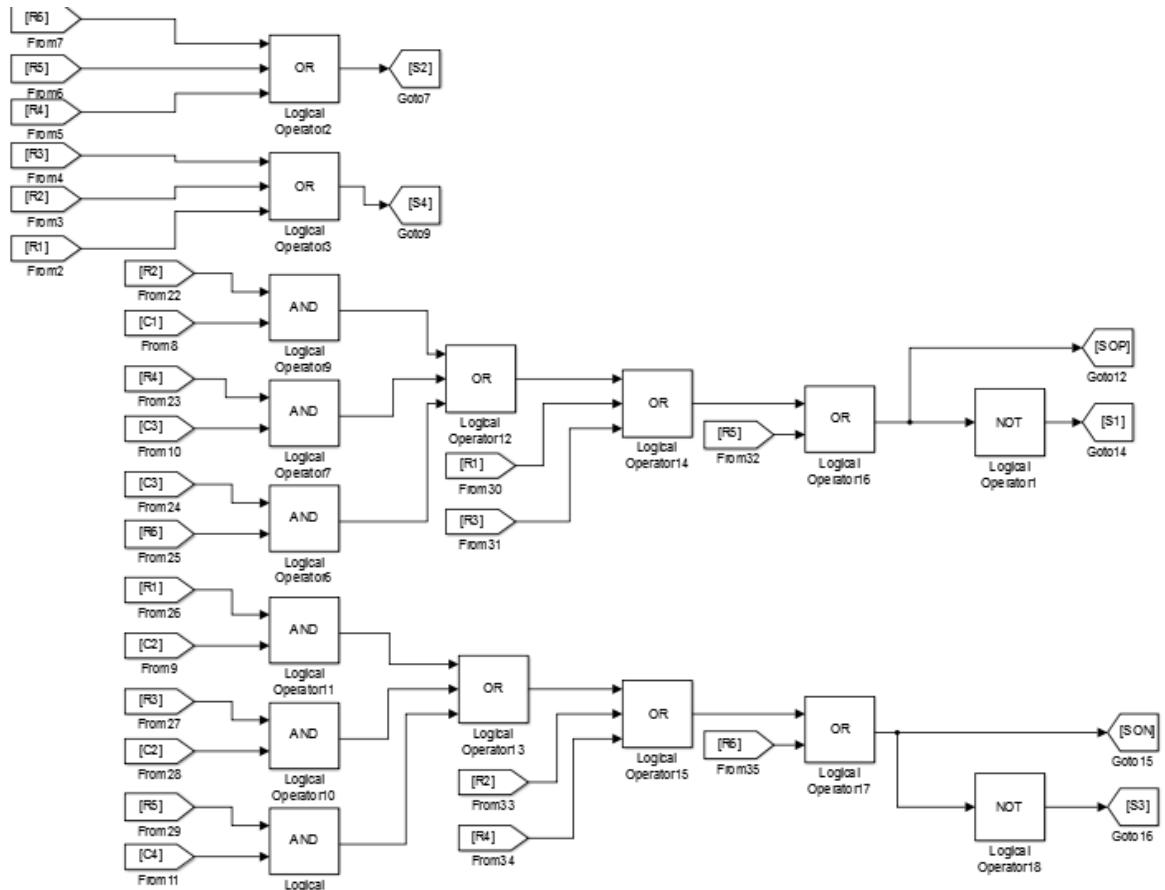


Figura 28 - Circuito simulado no Simulink (MATLAB) – Parte 3.

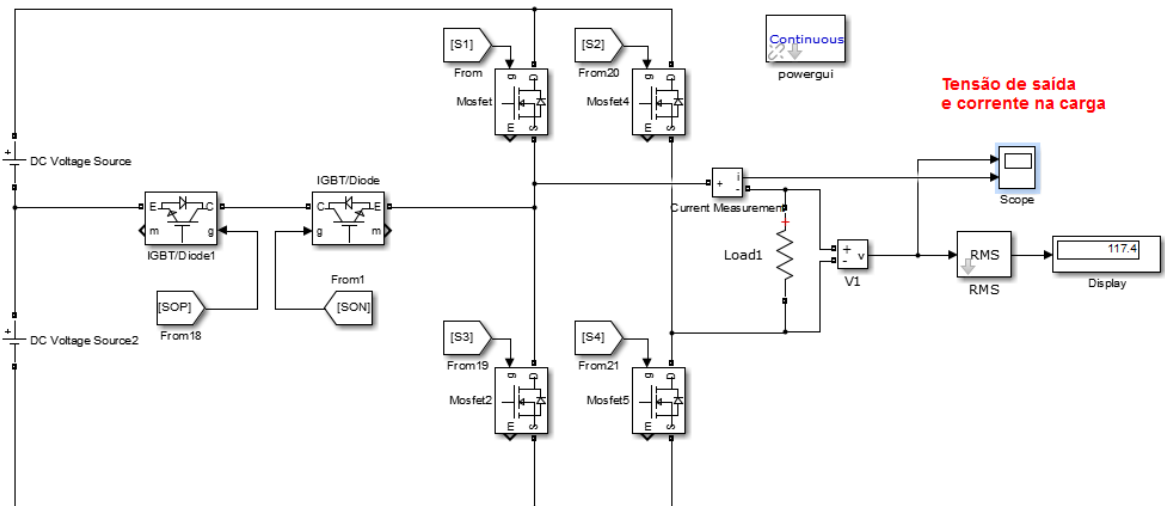


Figura 29 - Circuito simulado no Simulink (MATLAB) – Parte 4

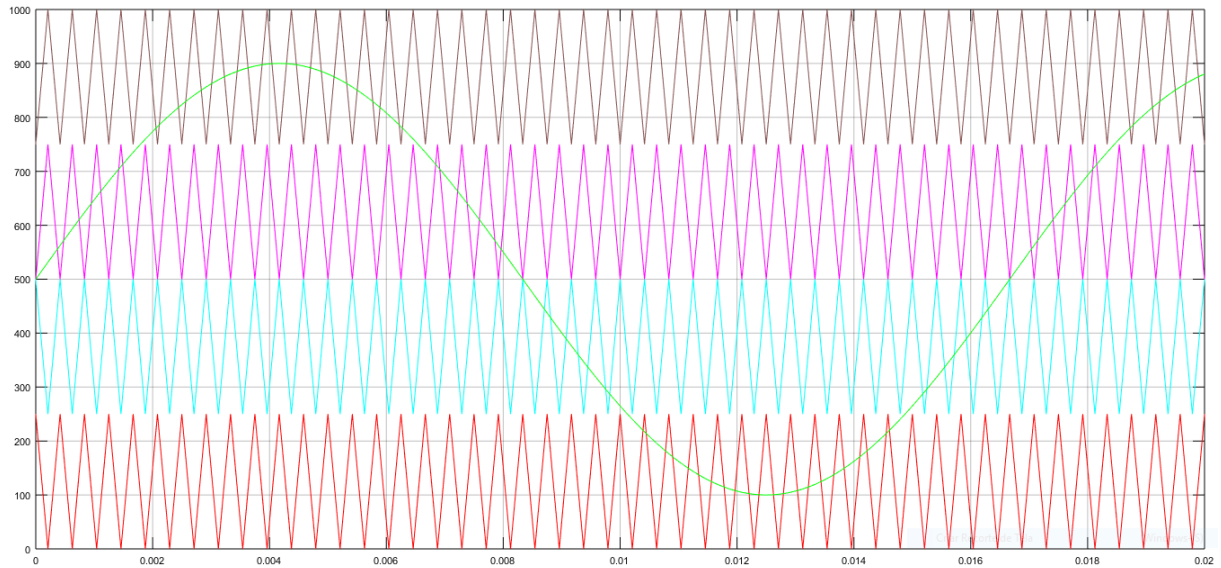


Figura 30 - Senoide de referência e sinais triangulares utilizados na etapa de comparação, onde a escala vertical representa tensão e a escala horizontal o tempo em segundos.

Também podem ser observadas na Figura 31 as componentes *C1*, *C2*, *C3* e *C4*, resultantes da Parte 1 da simulação.

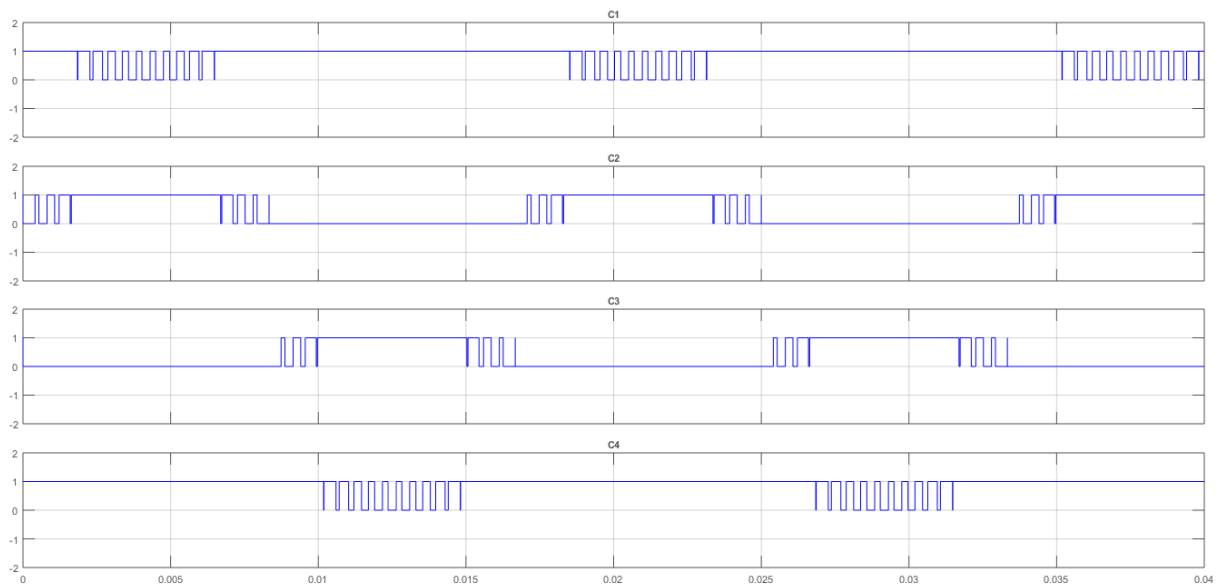


Figura 31 - Comparação entre os sinais triangulares e a senoide de referência realizados na Parte 1 da simulação – *C1*, *C2*, *C3* e *C4*, respectivamente.

Os sinais quadrados *R1*, *R2*, *R3*, *R4*, *R5* e *R6* resultantes da Parte 2 da simulação, encontram-se na Figura 32.

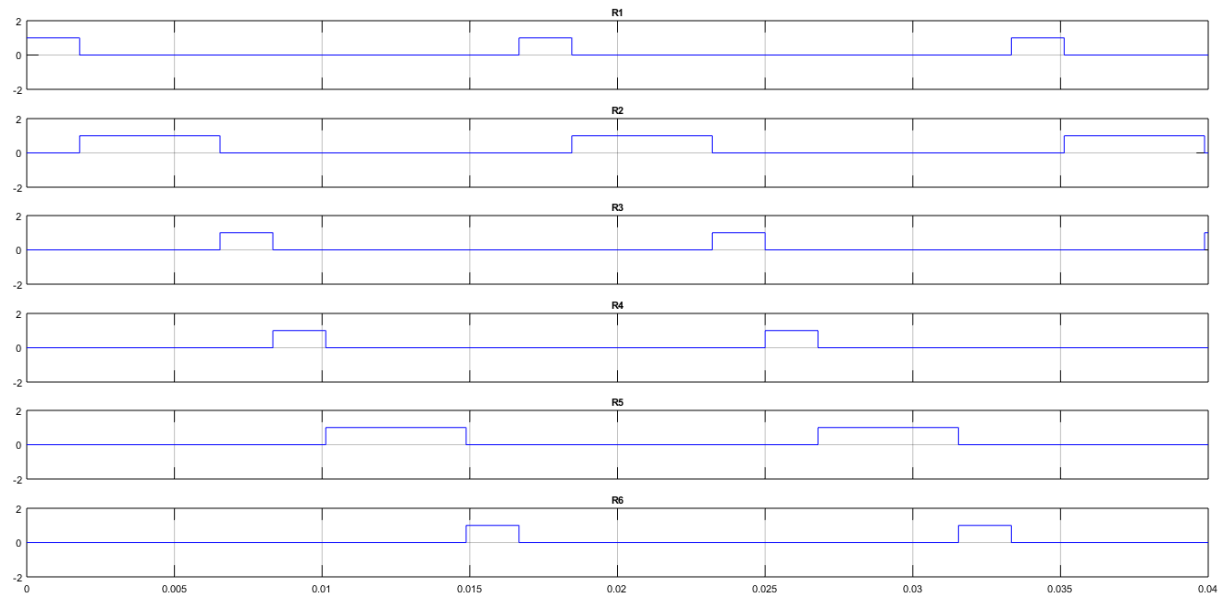


Figura 32 - Sinais quadrados a serem utilizados na Parte 3 e realizados na Parte 2 da simulação – R1, R2, R3, R4, R5 e R6, respectivamente.

Seguem na Figura 33 os sinais utilizados para controlar as chaves do circuito do inversor, resultantes da Parte 3 do processo de simulação.

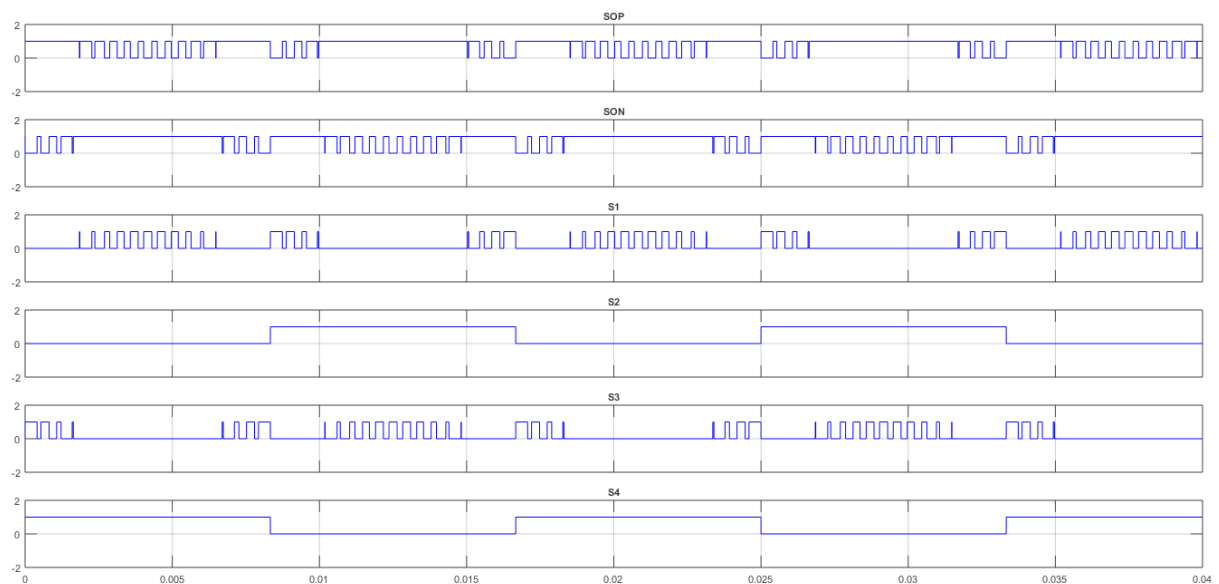


Figura 33 - Sinais de controle das chaves do circuito inversor de frequência multinível – SOP, SON, S1, S2, S3 e S4, respectivamente, resultantes da Parte 3 da simulação.

Na Figura 34 pode ser observado o sinal multinível da tensão e corrente na carga de 12Ω , respectivamente, resultantes da topologia de seis chaves utilizada com índice de modulação igual a 0,8.

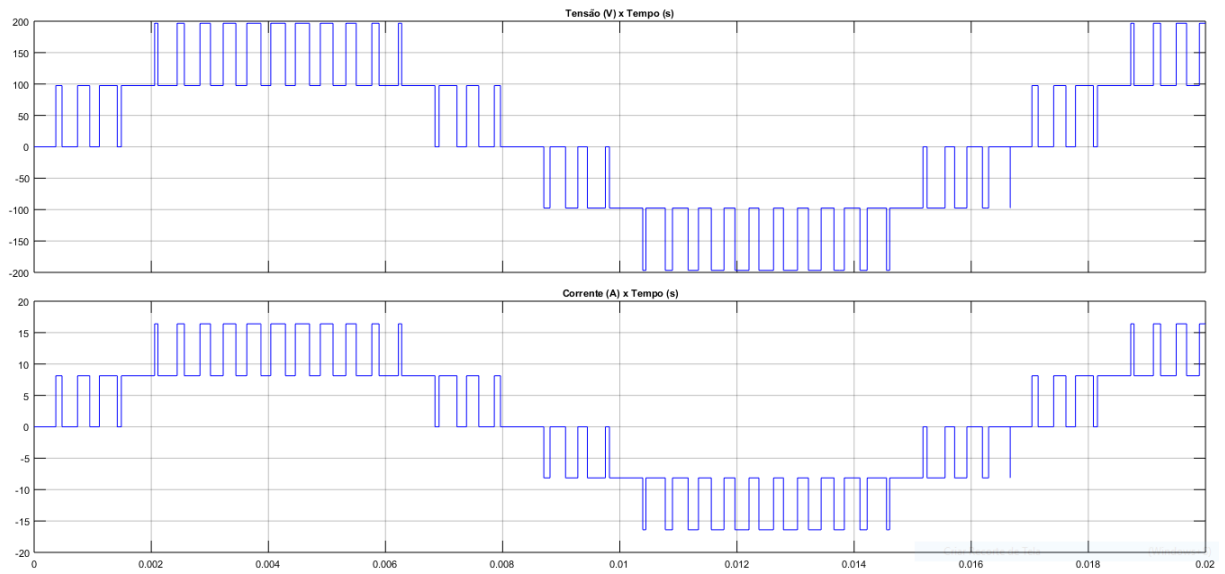


Figura 34 - Formas de onda de tensão (figura superior) e corrente (figura inferior) na carga geradas na Parte 4 da simulação no Simulink considerando uma carga de 12Ω .

4.3 SIMULAÇÃO NO MODELSIM

A simulação do projeto VHDL foi realizada no *software* ModelSim. Para efeito de comparação e devido ao tempo de simulação ser relativamente alto, foram realizadas duas simulações: uma para o índice de modulação de amplitude de 0,8 e outra para 0,4.

4.3.1 SIMULAÇÃO PARA ÍNDICE DE MODULAÇÃO DE AMPLITUDE 0,8

Na Figura 35 e Figura 36 são apresentados os sinais simulados referentes ao índice de modulação de amplitude 0,8, na qual o inversor de frequência opera com cinco níveis.

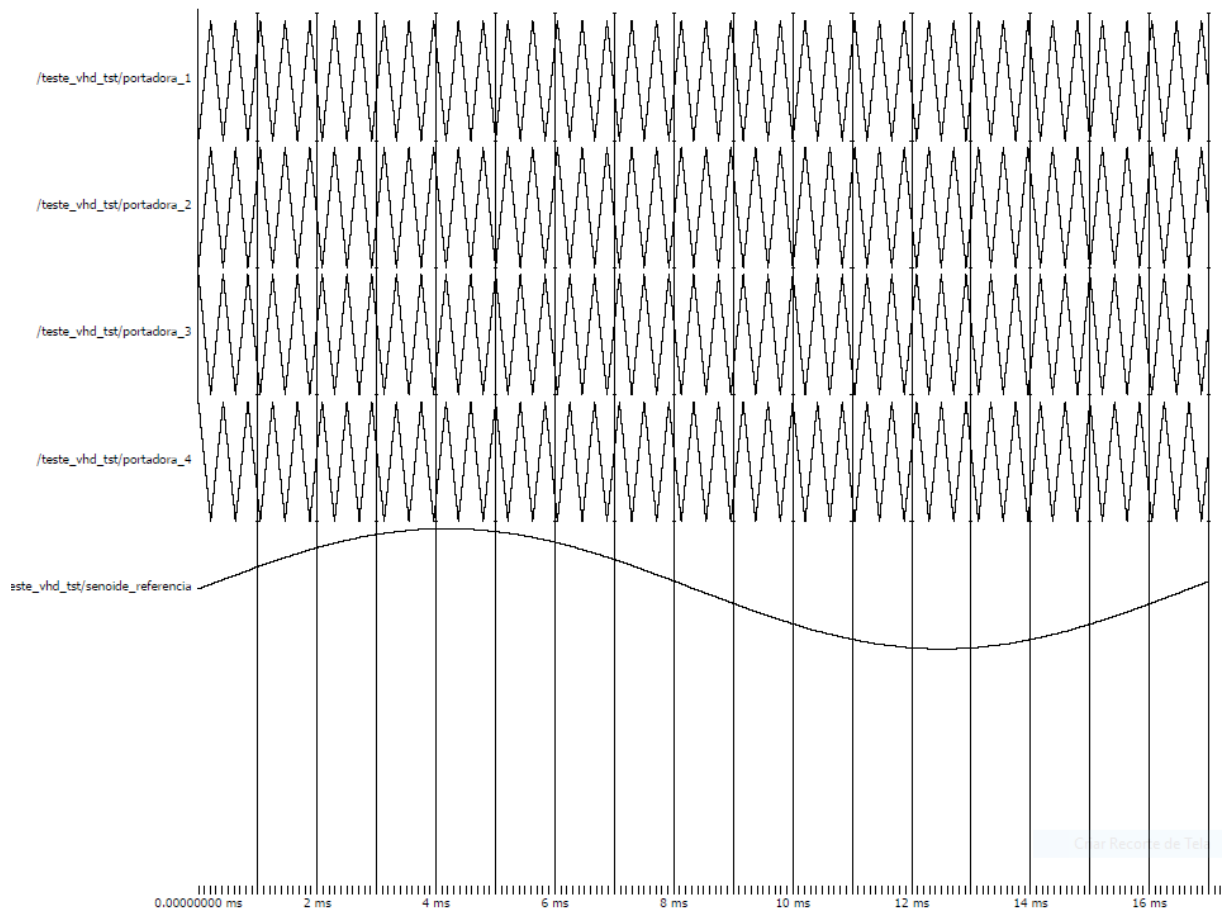


Figura 35 - Simulação VHDL das portadoras e senoide de referência para índice de modulação de amplitude 0,8.

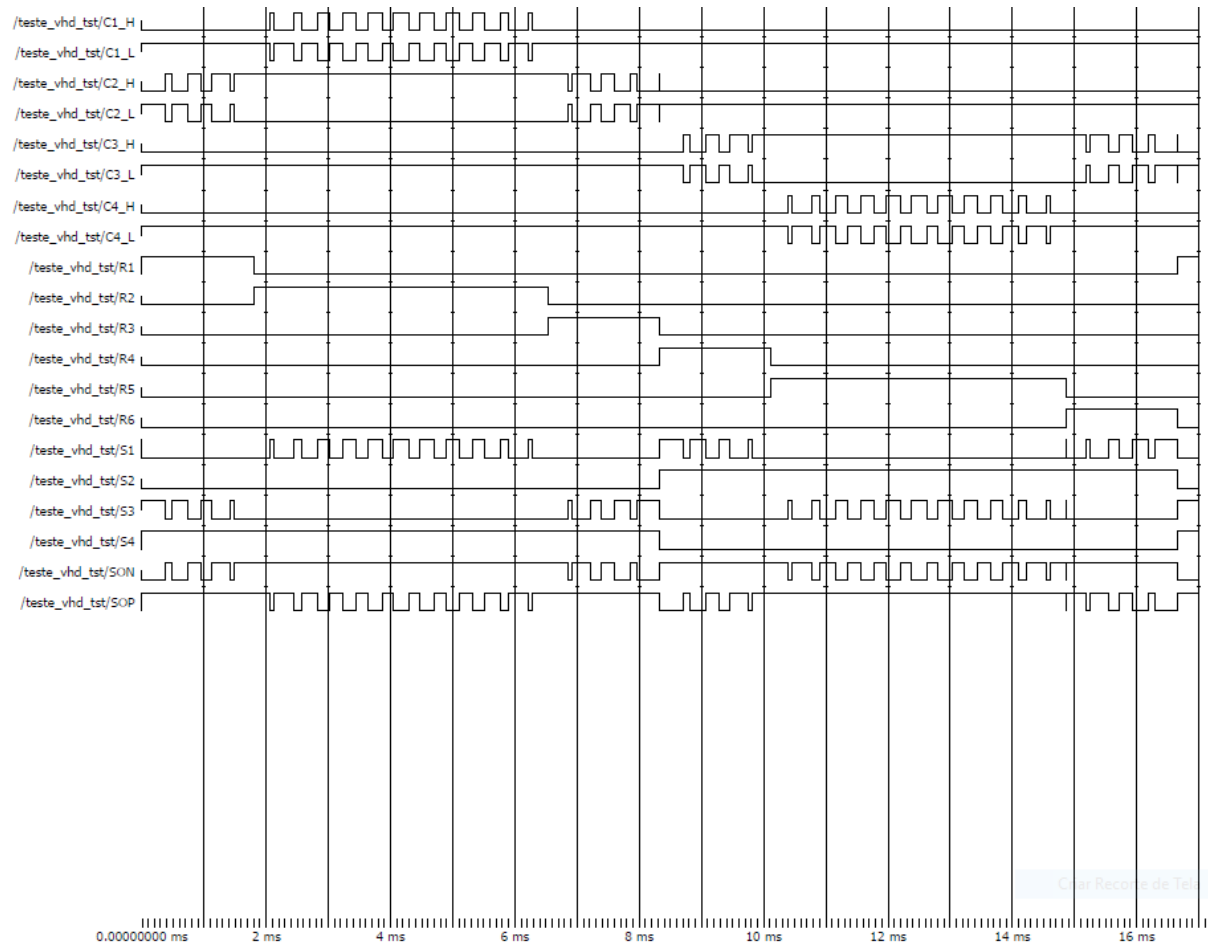


Figura 36 - Simulação VHDL dos sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5, R6, S1, S2, S3, S4, SON e SOP para índice de modulação de amplitude 0,8.

4.3.2 SIMULAÇÃO PARA ÍNDICE DE MODULAÇÃO DE AMPLITUDE 0,4

Os resultados da simulação para um índice de modulação de amplitude de 0,4, onde o inversor trabalha apenas com três níveis, são apresentados na Figura 37 e Figura 38.

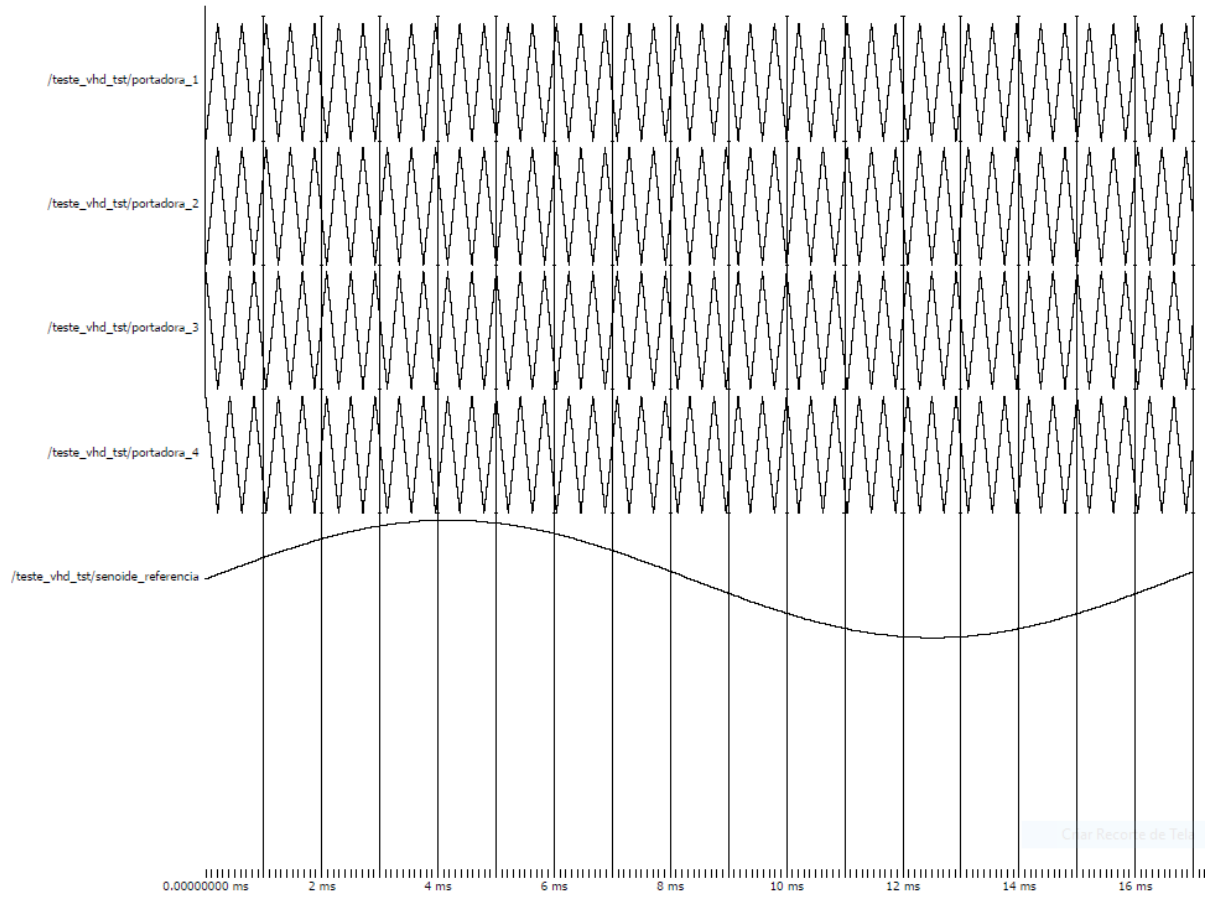


Figura 37 - Simulação VHDL das portadoras e senoide de referência para índice de modulação de amplitude 0,4.

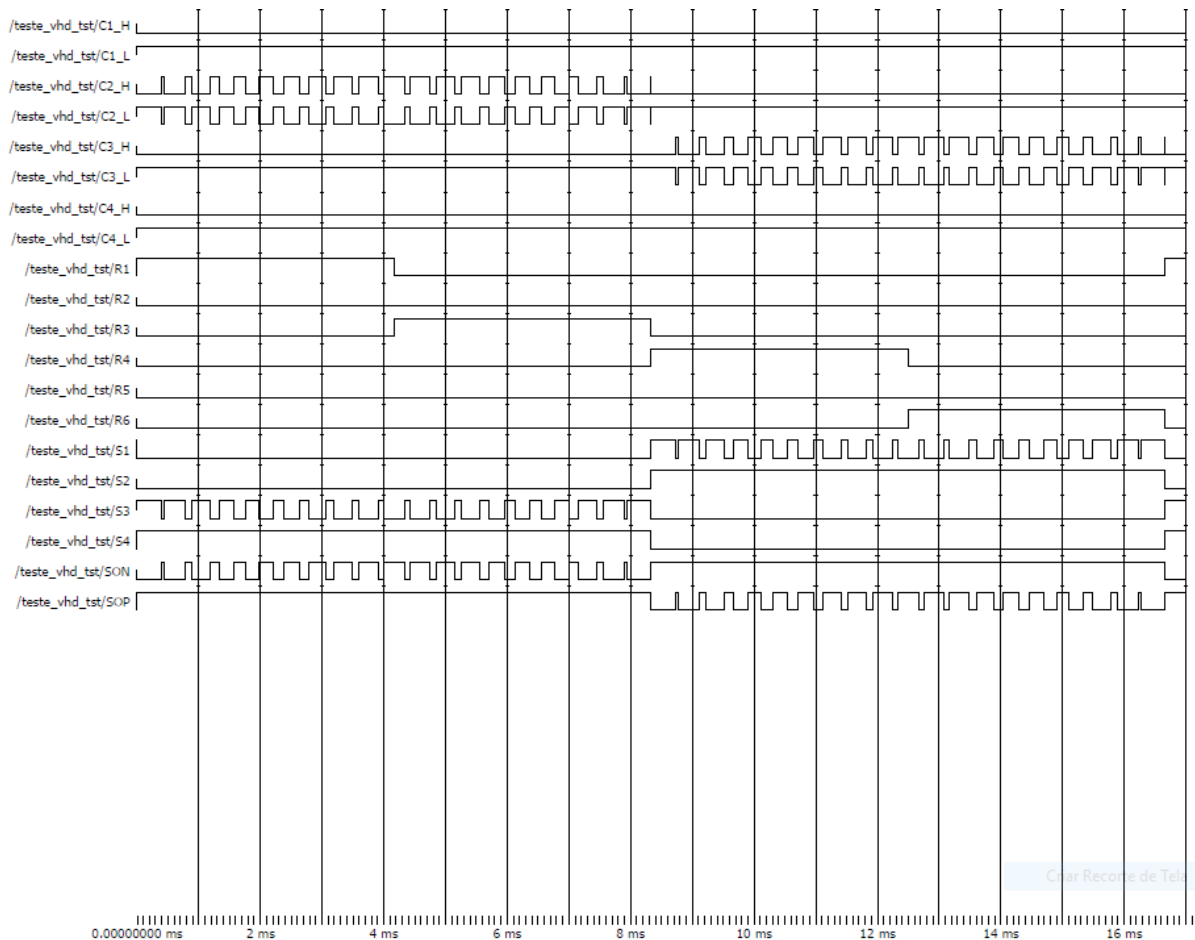


Figura 38 - Simulação VHDL dos sinais C1_L, C1_H, C2_L, C2_H, C3_L, C3_H, C4_L, C4_H, R1, R2, R3, R4, R5, R6, S1, S2, S3, S4, SON e SOP para índice de modulação de amplitude 0,4.

4.4 HARDWARE DESENVOLVIDO

Após as simulações, tanto do circuito de potência quanto do código VHDL, foi desenhado o circuito esquemático e realizado o projeto da placa de circuito impresso (PCB) protótipo do inversor multinível. O projeto da placa foi realizado no *software* Altium Designer. Na Figura 39 e Figura 40 são mostrados o *layout* desenvolvido com os componentes em 3D e a placa final montada, respectivamente.

Na Figura 40 (a) é apresentada a vista superior da placa montada, enquanto a Figura 40 (b) mostra a vista lateral da placa com os IGBTs parafusados no dissipador de alumínio.

Na Figura 41 é ilustrada a bancada de teste com as fontes de dois canais de 30 V/ 3 A ligadas em série, o *kit* DE0-Nano, o módulo de potência desenvolvido, a carga de teste, e o osciloscópio com ponteiros de tensão e corrente.

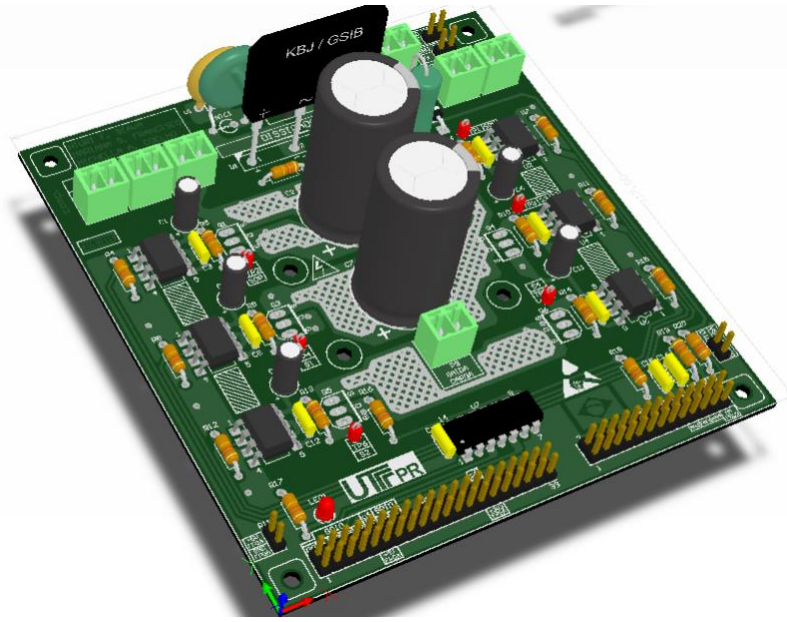
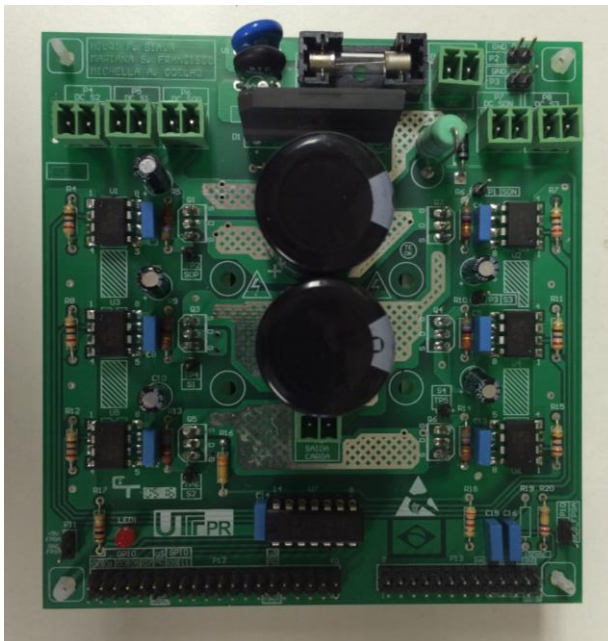
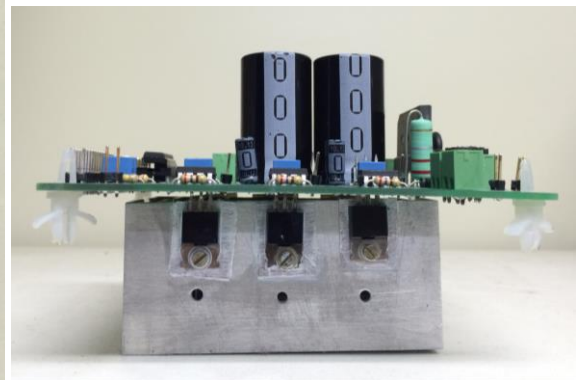


Figura 39 - *Layout* desenvolvido com os componentes em 3D no *software* Altium Designer para produção da placa protótipo do inversor multinível com 6 chaves.



(a)



(b)

Figura 40 - Placa protótipo montada do inversor multinível com 6 chaves. (a) Vista superior da placa. (b) Vista lateral com visualização dos IGBTs parafusados no dissipador de alumínio.

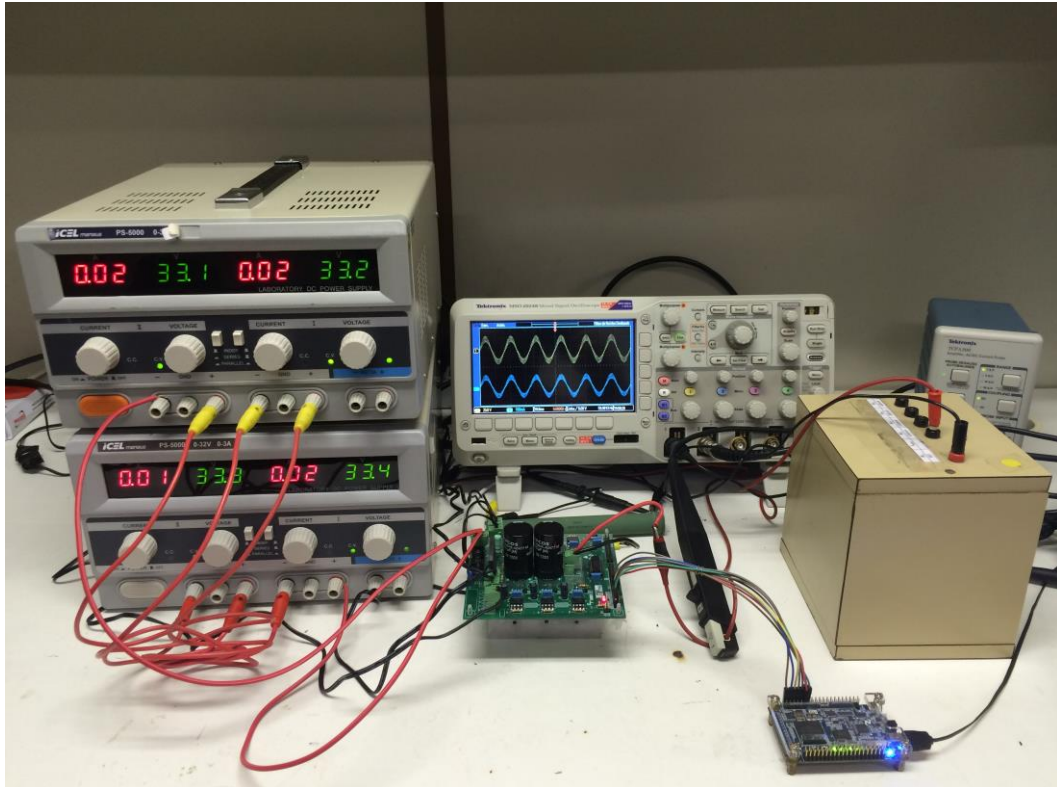


Figura 41 - Placa do inversor multinível com 6 chaves montada e em processo de testes e aquisição de resultados com carga RL.

O primeiro teste realizado foi com relação aos sinais lógicos de comando gerados na FPGA e enviados aos *gates* dos IGBTs. Para isso, utilizou-se o osciloscópio MSO 2024B da Tektronix com uma ponteira digital com 16 canais para aquisição dos 6 sinais lógicos simultaneamente.

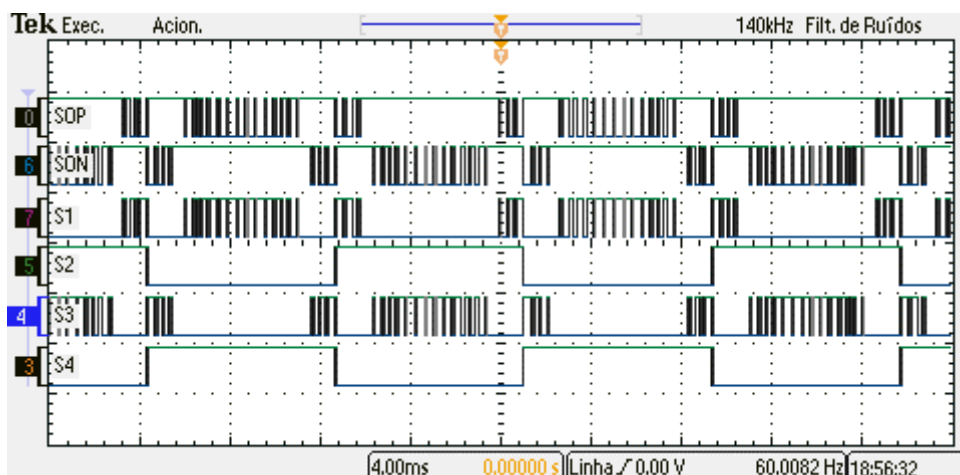


Figura 42 - Sinais lógicos de comando gerados pela FPGA da placa DE0_Nano.

Após a verificação dos sinais lógicos, as aquisições de dados experimentais foram feitas considerando diversos índices de modulação para fins de validação do inversor. Inicialmente, utilizou-se um resistor de $220\ \Omega/100\ \text{W}$ com carga de teste. Em seguida, adicionou-se um indutor de $100\ \text{mH}$ em série. Por último, utilizou-se um reostato (valor máximo de $300\ \Omega$), por meio do qual se obteve uma corrente de $2\ \text{A}$, com a resistência ajustada próxima de $60\ \Omega$. Em todos os testes experimentais apresentados neste capítulo, a tensão de entrada do módulo inversor foi ajustada para $120\ \text{V}$, sendo que primeiro foram utilizadas fontes CC e no último teste o circuito foi alimentado com a rede com amplitude próxima de $90\ \text{V}$.

Entre a Figura 43 e a Figura 47 são mostradas as formas de onda de tensão da saída multinível sintetizadas para os índices de modulação de amplitude $0,99$, $0,8$, $0,6$, $0,4$ e $0,2$, respectivamente, com carga resistiva ($220\ \Omega/100\ \text{W}$).

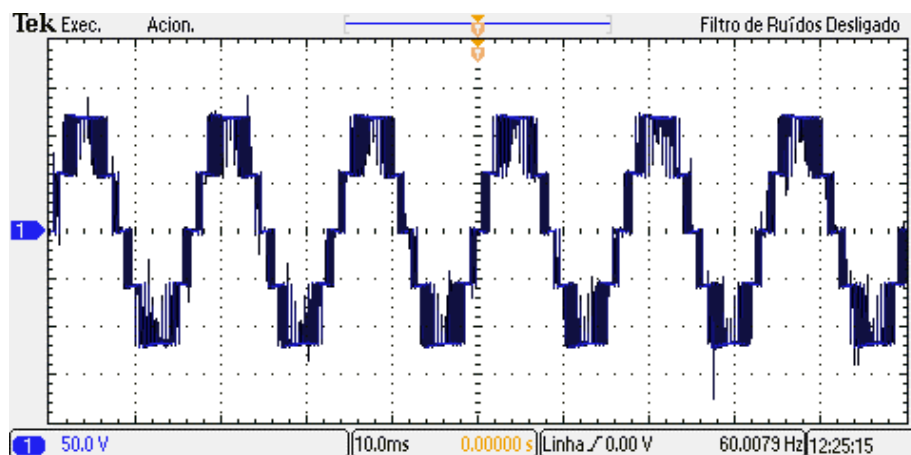


Figura 43 - Forma de onda de tensão na carga R com fator de modulação de $0,99$.

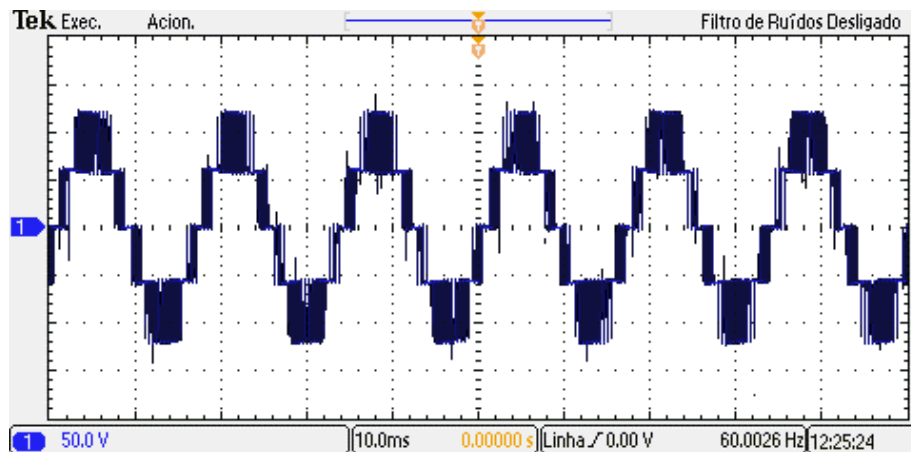


Figura 44 - Forma de onda de tensão na carga R com fator de modulação de $0,8$.

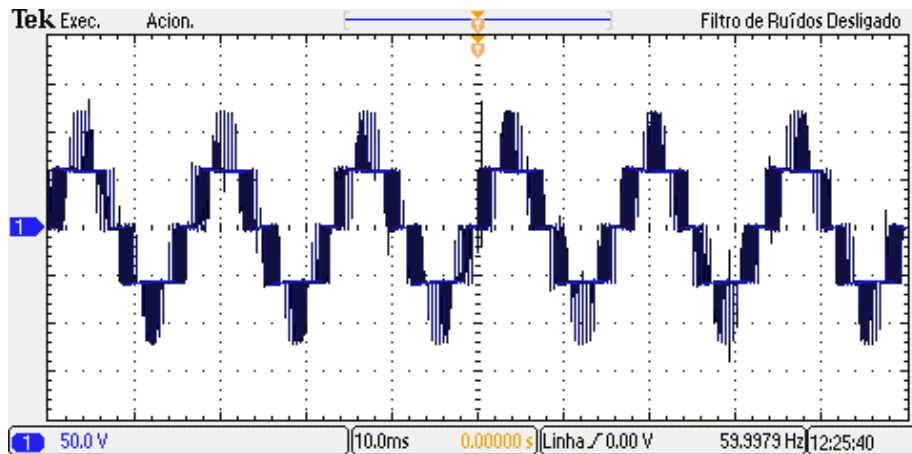


Figura 45 - Forma de onda de tensão na carga R com fator de modulação de 0,6.

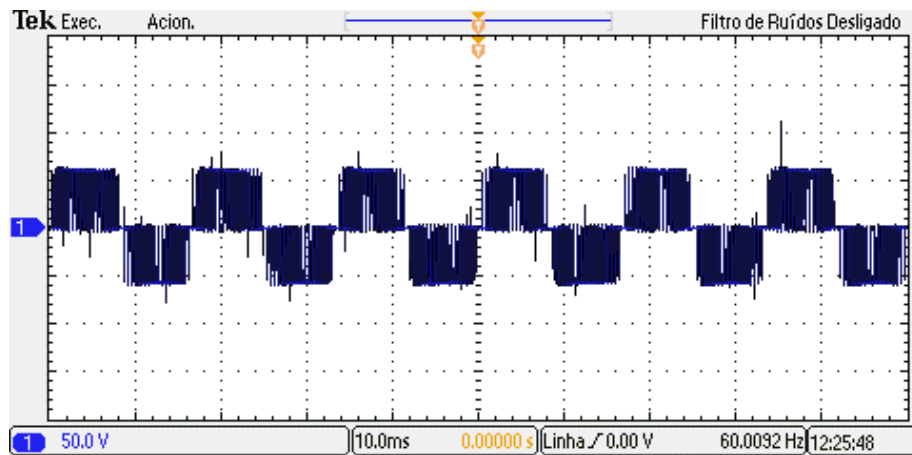


Figura 46 - Forma de onda de tensão na carga R com fator de modulação de 0,4.

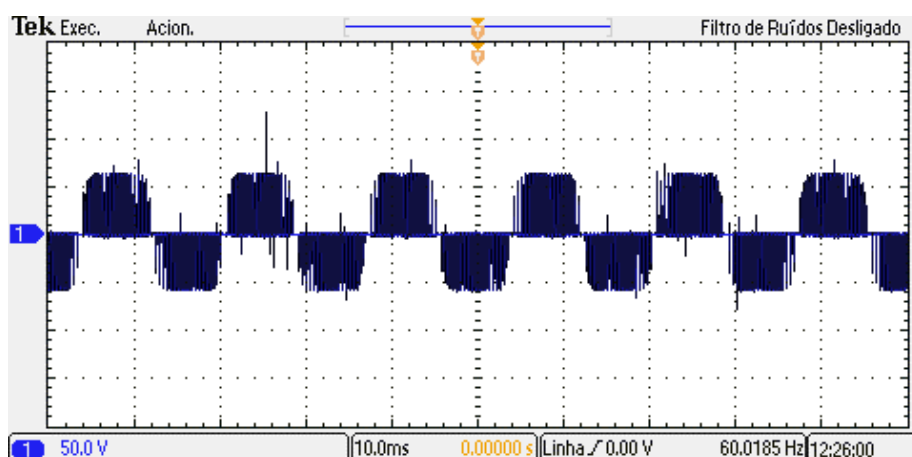


Figura 47 - Forma de onda de tensão na carga R com fator de modulação de 0,2.

Entre a Figura 48 e a Figura 52 são apresentadas as formas de onda de tensão e corrente na carga, formada pela resistência de $220 \Omega/100 \text{ W}$ em série com

o indutor de 100 mH, para os índices de modulação de amplitude de 0,99, 0,8, 0,6, 0,4 e 0,2, respectivamente.

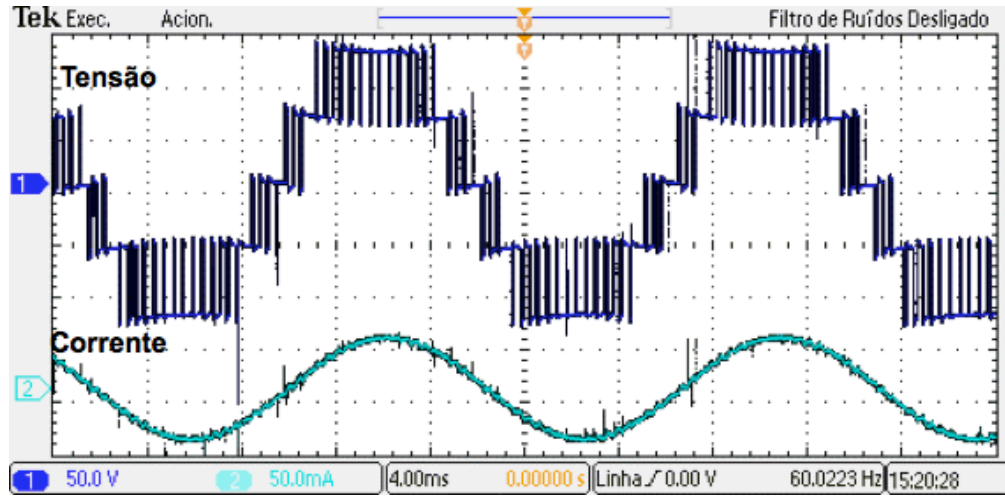


Figura 48 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,99.

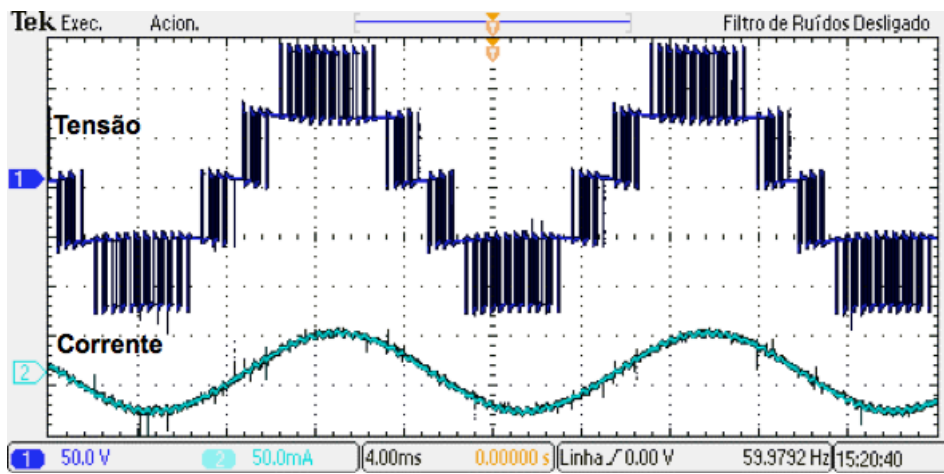


Figura 49 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,8.

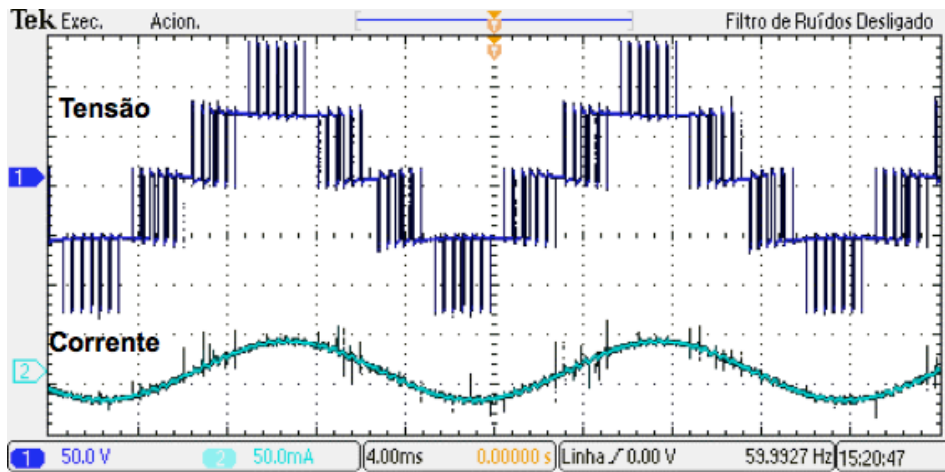


Figura 50 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,6.

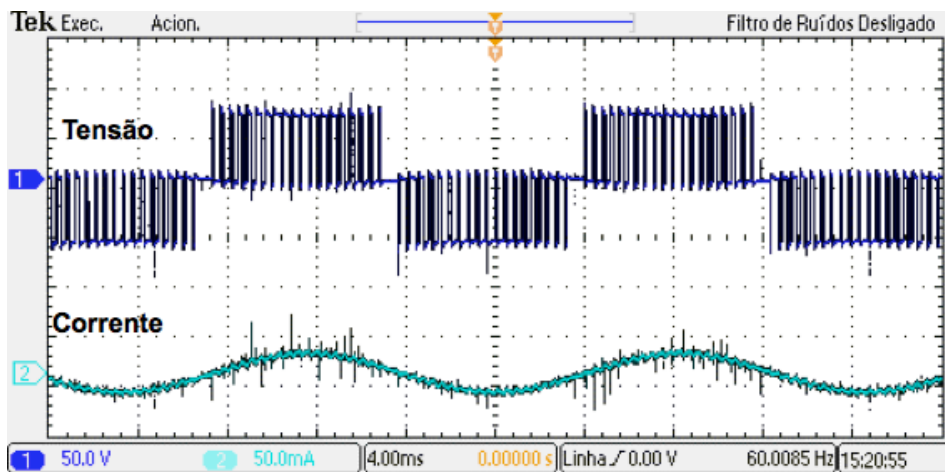


Figura 51 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,4.

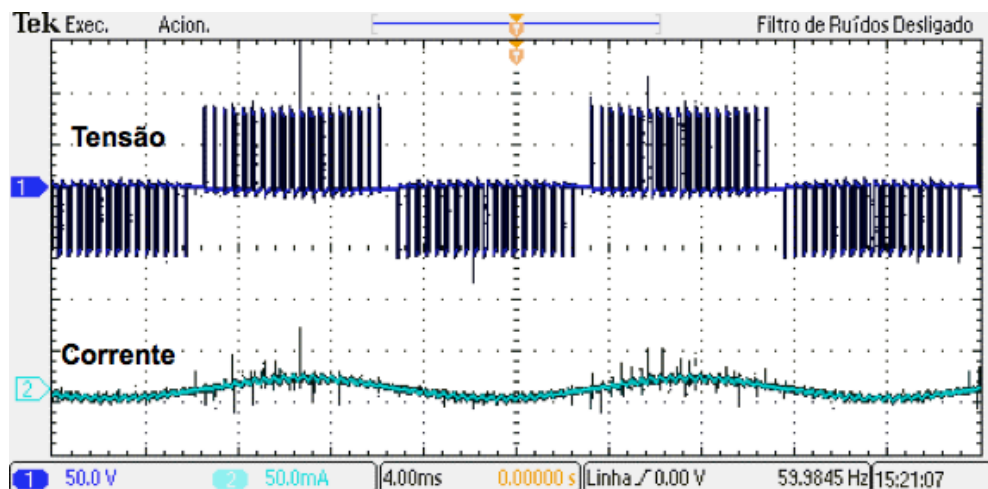


Figura 52 - Tensão e corrente na carga RL para índice de modulação de amplitude 0,2.

Na Figura 53 é apresentado o espectro harmônico da corrente para índice 0,8, comprovando o baixo índice de distorção harmônico.

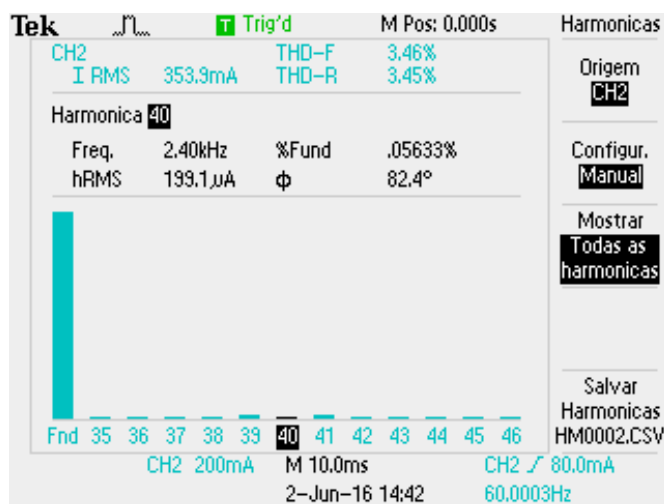


Figura 53 - Espectro harmônico da corrente na carga RL para índice de modulação 0,8.

Além do espectro harmônico da corrente, também foi realizada a aquisição do espectro harmônico da tensão considerando um fator de modulação de 0,8.

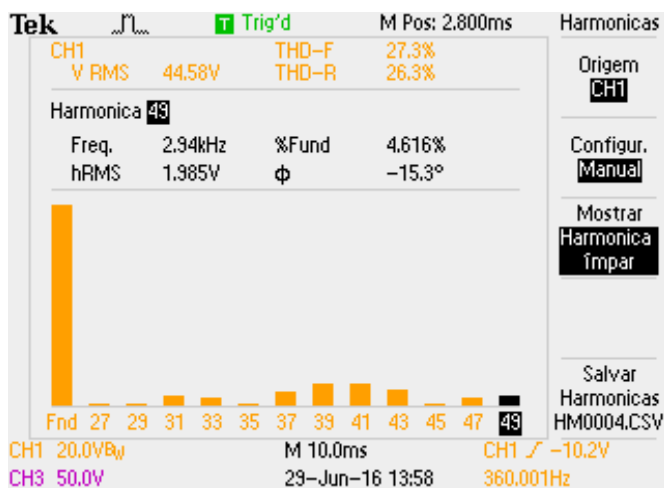


Figura 54 - Espectro harmônico da tensão na carga RL para índice de modulação 0,8.

Na 55 a 59 são mostradas as formas de onda de tensão e corrente na carga, representada pelo reostato com resistência ajustada para aproximadamente 60 Ω , para os índices de modulação de amplitude de 0,99, 0,8, 0,6, 0,4 e 0,2, respectivamente.

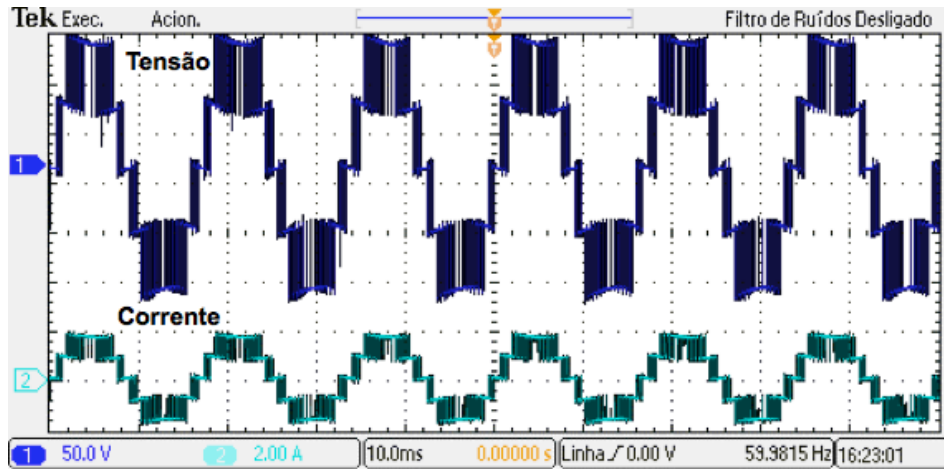


Figura 55 - Tensão e corrente no reostato para índice de modulação de amplitude 0,99.

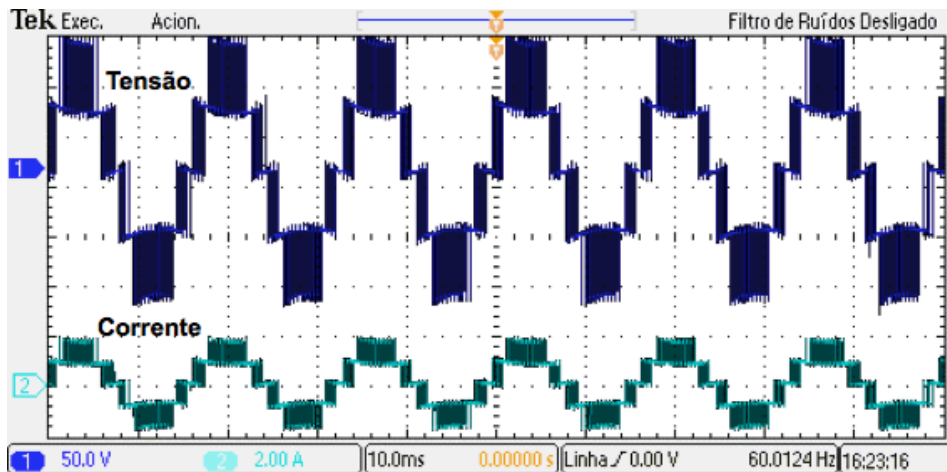


Figura 56 - Tensão e corrente no reostato para índice de modulação de amplitude 0,8.

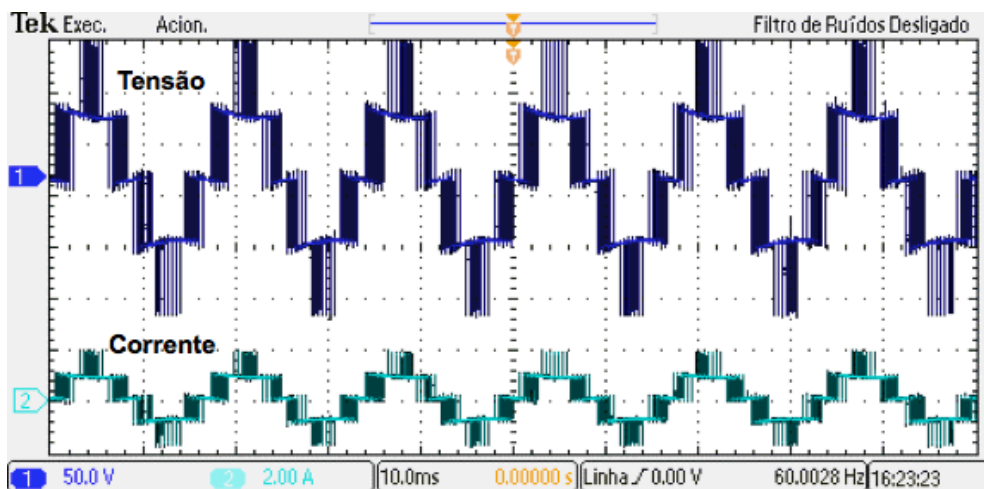


Figura 57 - Tensão e corrente no reostato para índice de modulação de amplitude 0,6.

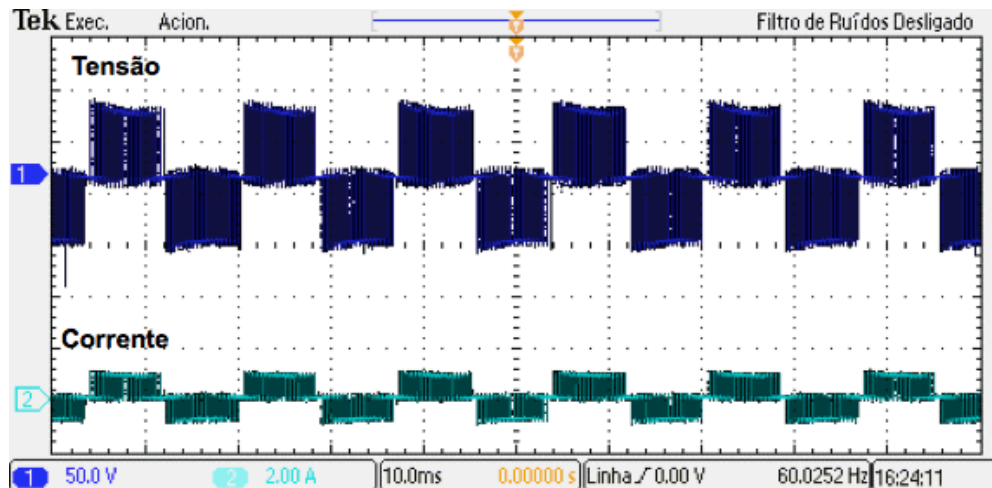


Figura 58 - Tensão e corrente no reostato para índice de modulação de amplitude 0,4.

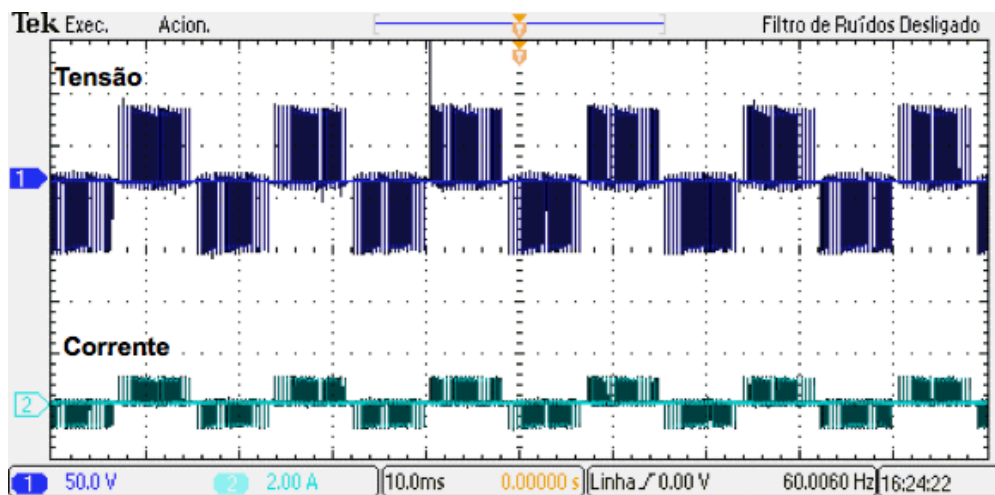


Figura 59 - Tensão e corrente no reostato para índice de modulação de amplitude 0,2.

Também foram realizadas as aquisições da tensão e corrente de entrada para verificação da operação do circuito. A Figura 60 apresenta a forma de onda da tensão, na saída do retificador ponte completa, e a corrente drenada da fonte. A forma de onda da corrente mostrada comprova que não há nenhum pico de corrente consumida da fonte, o que poderia indicar o cruzamento das chaves.

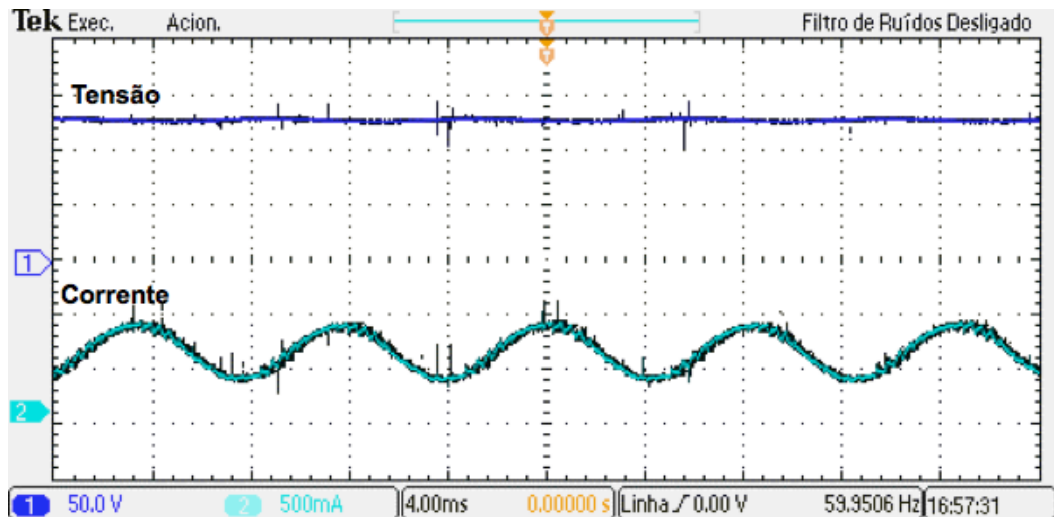


Figura 60 - Formas de onda de tensão e corrente na entrada do circuito considerando o reostato como carga de saída.

Como mencionado anteriormente, o último teste realizado foi alimentar o circuito com a rede, com amplitude de aproximadamente 90V.

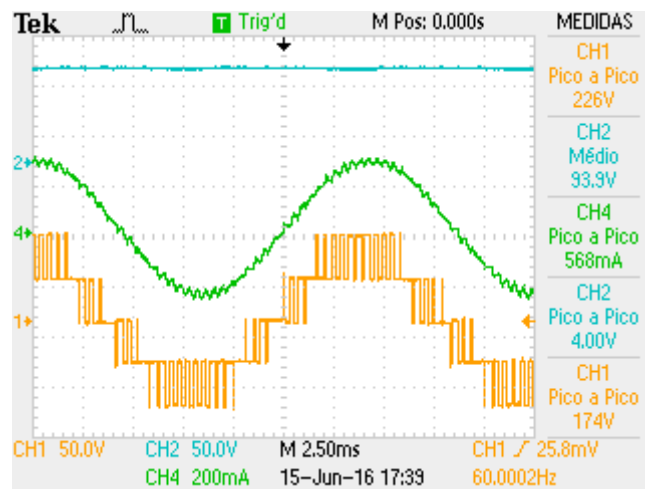


Figura 61 - Formas de onda de tensão e corrente na saída e tensão retificada na entrada utilizando como alimentação principal a rede.

5 CONSIDERAÇÕES FINAIS

O trabalho abordou nos capítulos iniciais os conceitos básicos de diversas topologias multiníveis, apresentando e exemplificando suas vantagens, desvantagens e aplicações. Além disso, buscou-se apresentar de forma clara e objetiva a teoria de modulação PWM utilizada, assim como os principais tópicos da linguagem VHDL aplicados ao projeto.

Após realizado o embasamento teórico necessário, foram apresentados nos capítulos posteriores o *layout* do circuito de potência e dos circuitos *drivers*, ambos utilizando o *software* Altium Designer. Com a topologia finalizada, utilizou-se os *softwares* Matlab e Modelsim para simular o funcionamento do sistema e do projeto FPGA, respectivamente, sendo que ambos funcionaram de forma adequada, conforme o esperado.

Com a topologia e a implementação na FPGA validados, o final do trabalho apresentou o teste do sistema e os resultados experimentais obtidos por meio da aplicação de cargas com características resistivas e resistivas-indutivas. Nos testes foi possível observar o perfeito funcionamento da lógica de controle e da placa de potência desenvolvida. Entre a Figura 43 e a Figura 47, foram apresentadas as formas de onda de tensão sintetizadas na carga R, comprovando que para índices de modulação de amplitude maiores que 0,5 o inversor opera no modo cinco níveis e, abaixo desse valor, opera como um inversor de três níveis. Já os testes com carga RL apresentam resultados bastante interessantes, haja visto que simula a aplicação de um motor como carga, ou seja, uma carga muito mais indutiva do que resistiva. Nesses casos, a carga RL atuou como um filtro e a forma de onda de corrente na carga foi senoidal quase sem nenhuma distorção, sendo comprovado com o espectro apresentado na Figura 53, com baixo índice de distorção harmônico.

Nos testes com o reostato para índice de modulação maior que 0,5 foi possível fornecer uma corrente máxima de 2 A, ou seja, 4 A pico-a-pico. Nessa condição a potência ativa exigida na saída foi de aproximadamente 200 W.

Apesar do presente TCC ser baseado nos trabalhos de Agelidis et al. (1997) e Mekhilef & Masaoud (2006), pode se considerar uma nova contribuição através da utilização de uma topologia bidirecional, sugerida pelos professores da banca de trabalho, aproveitando as características dos IGBTs utilizados. O protótipo

desenvolvido é funcional configurando-se como um aprimoramento ao inversor estudado. Além disso, as implementações em inversores multiníveis poderão ser aprimoradas, haja visto que o protótipo ficará disponível como módulo de ensino e pesquisa na Universidade Tecnológica Federal do Paraná do campus Curitiba.

Dessa forma, pode-se concluir que o presente trabalho, Implementação de um Inversor Multinível Monofásico com Seis Chaves Semicondutoras Controlado por Dispositivo FPGA, foi concluído com sucesso.

Como sugestões para trabalhos futuros, dando prosseguimento ao estudo apresentado nesse trabalho, pode-se citar:

- Aplicação de técnicas de controle digital do inversor em malha fechada;
- Implementação de novas topologias e novas estratégias de modulação;
- Estudo de tempo morto para evitar o cruzamento das chaves;
- Implementação de proteção contra picos de tensão nas chaves.

6 REFERÊNCIAS

ABHISHEK, T; REJOROY, T; DIXIT, V. **Novel 5 Level Cascaded H-Bridge Multilevel Inverter Topology**. International Journal of Engineering Trends and Technology (IJETT) – Volume 24 Number 5- June 2015.

AGELIDIS, V. G.; BAKER, D. M.; LAWRENCE, W. B.; NAYAR, C.V. **A Multilevel PWM Inverter Topology for Photovoltaic Applications**. Austrália, 1997.

AKAGI, H.; INOUE, S.; YOSHII, T. **Control and performance of a transformerless cascade PWM STATCOM with star configuration**. Industry Applications, IEEE Transactions on, v. 43, n. 4, p. 1041-1049, 2007.

ANTONOPOULOS, A. **Control, modulation and implementation of modular multilevel converters**. 2011. 75f. Tese (Licenciatura em Tecnologia em Sistemas Elétricos) – Departamento de Máquinas Elétricas e Eletrônica de Potência Faculdade de Engenharia Elétrica KTH, Estocolmo, Suécia, 2011.

AVAGO TECHNOLOGIES. **HCPL-3180: 2.5 Amp Output Current, High Speed, Gate Drive Optocoupler**, 2009. Disponível em: <http://www.avagotech.com/docs/AV02-0165EN>. Acesso em: 10 out. 2015.

BARBOSA, P. G. **Compensador Série Síncrono Estático baseado em Conversores VSI Multipulso**. 2000. Tese (Doutorado em Ciências em Engenharia Elétrica)- COPPE/ Universidade Federal do Rio de Janeiro (UFRJ), julho, 2000.

BRAGA, H. A. C., BARBI, I. **Conversores Estáticos Multiníveis - Uma Revisão**. SBA Controle & Automação, vol. 11, no. 01, pp. 20-28, 2000.

CHINNAIYAN, V. K.; JEROME, J.; KARPAGAM, J. **An FPGA Based Control Algorithm for Cascaded Multilevel Inverters**. IACSIT International Journal of Engineering and Technology, Singapore, v. 1, n. 5, p. 430-434, dez. 2009.

CHOI, N. S.; CHO, J. G.; CHO, G. H. **A General Circuit Topology of Multilevel Inverter**. Korea, 1991.

COLAK, I.; KABALCI, E.; BAYINDI, R. **“Review of multilevel voltage source inverter topologies and control schemes”**. Energy Conversion and Management 52 pp. 1114 –1128, 2011.

ENCARNAÇÃO, L. **Compensador Síncrono Estático em Média Tensão para Sistemas de Distribuição**. Rio de Janeiro, 2009.

KOURO, S.; MALINOWSKI, M.; GOPAKUMAR, K.; POU, J.; FRANQUELO, L.G.; BIN W. U.; RODRIGUEZ, J.; PEREZ, M.A.; LEON, J.I. "Recent Advances and Industrial Applications of Multilevel Converters", IEEE Trans. Ind. Ele., Vol. 57, No. 8, Aug 2010.

LAI, J. S.; PENG, F. Z. **Multilevel converters – A new breed of power converters**. IEEE Trans. Ind. Applicat., vol. 32, p. 509–517, mai./jun. 1996.

MATHUR, R. M.; VARMA, R. K. **Thyristor-based FACTS Controllers for Electrical Transmission Systems**. Ed. John Wiley & Sons, Inc., 2002.

MEIRELES, E.C. **Inversor Multinível Trifásico, Cascaded H-Bridge, Controlado por FPGA, 2010**. Tese (Mestrado Integrado em Engenharia Electrotécnica e de Computadores/Major Automação) - Faculdade de Engenharia da Universidade do Porto, 2010.

MEKHILEF, S.; MASAOUD, A.; Xilinx "FPGA Based Multilevel PWM Single Phase Inverter", IEEE International Conference on Industrial Technology. ICIT 2006. 15-17 Dez. 2006 p.259 – 264

MESQUITA, S. J. **Uma proposta de projeto para inversor multinível em cascata assimétrico com 63 níveis na tensão de saída e operação em baixa frequência**. Fortaleza, 2011.

MICROCHIP TECHNOLOGY INC. **A complete Low-Cost Design and Analysis for Single and Multi-Phase AC Induction Motor Using an 8-Bit PIC 16 Microcontroller**. 2014. Disponível em: <http://ww1.microchip.com/downloads/en/AppNotes/00001660B.pdf>. Acesso em: 28 nov. 2015.

MWINYIWIWA, B. N.; WOLANSKI Z.; OOI, B. T. **Microprocessor implemented SPWM for multiconverters with phase-shifted triangle carriers**. Conf Rec IEEE-IAS Annu. Meeting, NewOrleans, p. 1542-1549, Out. 1997.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. **A New Neutral-Point-Clamped PWM Inverter**. IEEE Trans. Ind. Applicat.17(5): 518-523. 1981.

NAZARE, A. M. **FPGA based single-phase multilevel inverter**. International conference on advances in computer, electronics and electrical engineering (CEEE), vol. 2, p. 116-120, India, 2013.

NORDVALL, A. **Multilevel Inverter Topology Survey**. Master of Science Thesis in Electric Power Engineering Department of Energy and Environment Division of Electric Power Engineering Chalmers University Of Technology Göteborg, Sweden, 2011.

OLIVEIRA, P. E. M; GABARDO, R. L; SUGAWARA, S. E. N. **Implementação de um Inversor Multinível Monofásico controlado por FPGA**, Curitiba, 2014.

PEDRONI, V. A. **Circuit Design with VHDL**. Cambridge, Massachusetts Institute of Technology, 376 p, Massachusetts, 2004.

POMILIO, J. A. **Conversores CC-CA como Fontes de Alimentação com Referência Fixa**. Eletrônica de Potência: Apostila. Disponível em: <http://www.dsce.fee.unicamp.br/~antenor/pdf/eltpot/cap6.pdf> Acesso em: 02/05/2015.

RECH, C. **Análise, Projeto e desenvolvimento de Sistemas Multiníveis Híbridos**. Santa Maria, 2005.

RODRIGUEZ, J; LAI, F; PENG, Z. **Multilevel Inverters: A Survey of Topologies, Controls, and Applications**. IEEE Transactions on Industrial Electronics, vol. 49, no. 4, August 2002.

SILVA, M. **Análise de Filtros Passivos de Harmônicos de Conversor CA/CC de Seis Pulsos**. Rio de Janeiro, 2007.

SURIN, K.; LEON, M. T. **Multilevel Power Converters**. Jornal publicado na Universidade de Tennessee, 2000, vol.31, p 150.

TERASIC INC; ALTERA CORP. **Cyclone IV Device Handbook**, 2012. Disponível em:

ftp://ftp.altera.com/up/pub/Altera_Material/12.1/Boards/DE0Nano/DE0_Nano_User_Manual.pdf. Acesso em: 10 out. 2015.

YADAV, A; KUMAR, J. **Harmonic Reduction in Cascaded Multilevel Inverter**. International Journal of Recent Technology and Engineering, 2013.

APÊNDICE A – CÓDIGO VHDL

```

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----
ENTITY portadora_triangular IS

    GENERIC
    (
        ADDR_WIDTH : NATURAL := 10;
        MODULUS     : NATURAL := (250) -- 500/2-1 = 255
    );

    PORT
    (
        clk:          IN STD_LOGIC;
        rst:          IN STD_LOGIC;
        portadora_1:  OUT STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
        portadora_2:  OUT STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
        portadora_3:  OUT STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
        portadora_4:  OUT STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
        contador:     OUT STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
        en:           OUT STD_LOGIC
    );

END portadora_triangular;
-----

ARCHITECTURE behavior OF portadora_triangular IS

    signal counter:          INTEGER RANGE 0 TO 2**ADDR_WIDTH-1;
    signal direcao:          STD_LOGIC := '0';
    crescente
    -----

BEGIN
    -----

    PROCESS (clk,counter,rst,direcao)
        BEGIN
            IF (rst = '1') THEN
                counter <= 0;
                direcao <= '0';
            ELSIF (RISING_EDGE (clk)) THEN
                IF (direcao = '0') THEN
                    en <= '1';
                    IF (counter < MODULUS) THEN
                        counter <= counter + 1;
                    ELSE
                        direcao <= '1';
                        counter <= counter - 1;
                    END IF;
                ELSE
                    IF (counter > 0) THEN
                        counter <= counter - 1;
                        en <= '0';
                    ELSE
                        direcao <= '0';
                        counter <= counter + 1;
                        en <= '1';
                    END IF;
                END IF;
            END IF;
        END IF;
    END PROCESS;

    contador <= std_logic_vector(to_unsigned(counter, ADDR_WIDTH));
    portadora_1 <= std_logic_vector(to_unsigned(3*MODULUS+counter, ADDR_WIDTH));
    portadora_2 <= std_logic_vector(to_unsigned(2*MODULUS+counter, ADDR_WIDTH));
    portadora_3 <= std_logic_vector(to_unsigned(2*MODULUS-counter, ADDR_WIDTH));
    portadora_4 <= std_logic_vector(to_unsigned(MODULUS-counter, ADDR_WIDTH));

```

```
-----
END behavior;
-----
```

```
-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----
```

```
ENTITY referencia_vhdl IS
```

```
    GENERIC
```

```
    (
      DATA_WIDTH : NATURAL := 10;
      ADDR_WIDTH  : NATURAL := 10;
      AMOSTRAS    : NATURAL := 25;
      MODULUS     : NATURAL := 800
    );
```

```
    PORT
```

```
    (
      rst: IN STD_LOGIC;
      clk: IN STD_LOGIC;
      q:   OUT STD_LOGIC_VECTOR (DATA_WIDTH-1 DOWNTO
0);
      KEY: IN STD_LOGIC_VECTOR (3 DOWNTO 0)
    );
```

```
END referencia_vhdl;
```

```
-----
ARCHITECTURE behavior OF referencia_vhdl IS
```

```
    SIGNAL addr_int      : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1;
    SIGNAL contador      : INTEGER RANGE 0 TO AMOSTRAS;
--    TYPE vetor IS ARRAY (MODULUS-1 DOWNTO 0) of INTEGER RANGE 0 TO 2**DATA_WIDTH-
1;
    TYPE vetor IS ARRAY (0 TO MODULUS-1 ) of INTEGER RANGE 0 TO 2**DATA_WIDTH-1;

    CONSTANT rom_99: vetor := (
500      /          634      /          759      /          863      /
504      /          638      /          762      /          866      /
508      /          642      /          765      /          869      /
512      /          646      /          769      /          871      /
516      /          649      /          772      /          874      /
519      /          653      /          775      /          876      /
523      /          657      /          778      /          879      /
527      /          660      /          781      /          881      /
531      /          664      /          785      /          884      /
535      /          668      /          788      /          886      /
539      /          671      /          791      /          889      /
543      /          675      /          794      /          891      /
547      /          679      /          797      /          893      /
550      /          682      /          800      /          896      /
554      /          686      /          803      /          898      /
558      /          689      /          806      /          900      /
562      /          693      /          809      /          903      /
566      /          697      /          813      /          905      /
570      /          700      /          816      /          907      /
574      /          704      /          819      /          909      /
577      /          707      /          821      /          912      /
581      /          711      /          824      /          914      /
585      /          714      /          827      /          916      /
589      /          718      /          830      /          918      /
593      /          721      /          833      /          920      /
597      /          725      /          836      /          922      /
600      /          728      /          839      /          924      /
604      /          732      /          842      /          926      /
608      /          735      /          844      /          928      /
612      /          738      /          847      /          930      /
616      /          742      /          850      /          932      /
619      /          745      /          853      /          934      /
623      /          749      /          855      /          936      /
627      /          752      /          858      /          937      /
631      /          755      /          861      /          939      /
```

941	,	991	,	866	,	612	,
943	,	990	,	863	,	608	,
945	,	989	,	861	,	604	,
946	,	989	,	858	,	600	,
948	,	988	,	855	,	597	,
950	,	988	,	853	,	593	,
951	,	987	,	850	,	589	,
953	,	986	,	847	,	585	,
954	,	985	,	844	,	581	,
956	,	985	,	842	,	577	,
957	,	984	,	839	,	574	,
959	,	983	,	836	,	570	,
960	,	982	,	833	,	566	,
962	,	981	,	830	,	562	,
963	,	980	,	827	,	558	,
964	,	979	,	824	,	554	,
966	,	978	,	821	,	550	,
967	,	977	,	819	,	547	,
968	,	976	,	816	,	543	,
970	,	975	,	813	,	539	,
971	,	974	,	809	,	535	,
972	,	973	,	806	,	531	,
973	,	972	,	803	,	527	,
974	,	971	,	800	,	523	,
975	,	970	,	797	,	519	,
976	,	968	,	794	,	516	,
977	,	967	,	791	,	512	,
978	,	966	,	788	,	508	,
979	,	964	,	785	,	504	,
980	,	963	,	781	,	500	,
981	,	962	,	778	,	496	,
982	,	960	,	775	,	492	,
983	,	959	,	772	,	488	,
984	,	957	,	769	,	484	,
985	,	956	,	765	,	481	,
985	,	954	,	762	,	477	,
986	,	953	,	759	,	473	,
987	,	951	,	755	,	469	,
988	,	950	,	752	,	465	,
988	,	948	,	749	,	461	,
989	,	946	,	745	,	457	,
989	,	945	,	742	,	453	,
990	,	943	,	738	,	450	,
991	,	941	,	735	,	446	,
991	,	939	,	732	,	442	,
992	,	937	,	728	,	438	,
992	,	936	,	725	,	434	,
992	,	934	,	721	,	430	,
993	,	932	,	718	,	426	,
993	,	930	,	714	,	423	,
993	,	928	,	711	,	419	,
994	,	926	,	707	,	415	,
994	,	924	,	704	,	411	,
994	,	922	,	700	,	407	,
994	,	920	,	697	,	403	,
995	,	918	,	693	,	400	,
995	,	916	,	689	,	396	,
995	,	914	,	686	,	392	,
995	,	912	,	682	,	388	,
995	,	909	,	679	,	384	,
995	,	907	,	675	,	381	,
995	,	905	,	671	,	377	,
995	,	903	,	668	,	373	,
995	,	900	,	664	,	369	,
995	,	898	,	660	,	366	,
995	,	896	,	657	,	362	,
994	,	893	,	653	,	358	,
994	,	891	,	649	,	354	,
994	,	889	,	646	,	351	,
994	,	886	,	642	,	347	,
993	,	884	,	638	,	343	,
993	,	881	,	634	,	340	,
993	,	879	,	631	,	336	,
992	,	876	,	627	,	332	,
992	,	874	,	623	,	329	,
992	,	871	,	619	,	325	,
991	,	869	,	616	,	321	,

318	,	88	,	5	,	97	,
314	,	86	,	5	,	100	,
311	,	84	,	5	,	102	,
307	,	82	,	5	,	104	,
303	,	80	,	6	,	107	,
300	,	78	,	6	,	109	,
296	,	76	,	6	,	111	,
293	,	74	,	6	,	114	,
289	,	72	,	7	,	116	,
286	,	70	,	7	,	119	,
282	,	68	,	7	,	121	,
279	,	66	,	8	,	124	,
275	,	64	,	8	,	126	,
272	,	63	,	8	,	129	,
268	,	61	,	9	,	131	,
265	,	59	,	9	,	134	,
262	,	57	,	10	,	137	,
258	,	55	,	11	,	139	,
255	,	54	,	11	,	142	,
251	,	52	,	12	,	145	,
248	,	50	,	12	,	147	,
245	,	49	,	13	,	150	,
241	,	47	,	14	,	153	,
238	,	46	,	15	,	156	,
235	,	44	,	15	,	158	,
231	,	43	,	16	,	161	,
228	,	41	,	17	,	164	,
225	,	40	,	18	,	167	,
222	,	38	,	19	,	170	,
219	,	37	,	20	,	173	,
215	,	36	,	21	,	176	,
212	,	34	,	22	,	179	,
209	,	33	,	23	,	181	,
206	,	32	,	24	,	184	,
203	,	30	,	25	,	187	,
200	,	29	,	26	,	191	,
197	,	28	,	27	,	194	,
194	,	27	,	28	,	197	,
191	,	26	,	29	,	200	,
187	,	25	,	30	,	203	,
184	,	24	,	32	,	206	,
181	,	23	,	33	,	209	,
179	,	22	,	34	,	212	,
176	,	21	,	36	,	215	,
173	,	20	,	37	,	219	,
170	,	19	,	38	,	222	,
167	,	18	,	40	,	225	,
164	,	17	,	41	,	228	,
161	,	16	,	43	,	231	,
158	,	15	,	44	,	235	,
156	,	15	,	46	,	238	,
153	,	14	,	47	,	241	,
150	,	13	,	49	,	245	,
147	,	12	,	50	,	248	,
145	,	12	,	52	,	251	,
142	,	11	,	54	,	255	,
139	,	11	,	55	,	258	,
137	,	10	,	57	,	262	,
134	,	9	,	59	,	265	,
131	,	9	,	61	,	268	,
129	,	8	,	63	,	272	,
126	,	8	,	64	,	275	,
124	,	8	,	66	,	279	,
121	,	7	,	68	,	282	,
119	,	7	,	70	,	286	,
116	,	7	,	72	,	289	,
114	,	6	,	74	,	293	,
111	,	6	,	76	,	296	,
109	,	6	,	78	,	300	,
107	,	6	,	80	,	303	,
104	,	5	,	82	,	307	,
102	,	5	,	84	,	311	,
100	,	5	,	86	,	314	,
97	,	5	,	88	,	318	,
95	,	5	,	91	,	321	,
93	,	5	,	93	,	325	,
91	,	5	,	95	,	329	,

```

332      ,      584      ,      792      ,      896      ,
336      ,      587      ,      794      ,      896      ,
340      ,      590      ,      796      ,      896      ,
343      ,      593      ,      798      ,      897      ,
347      ,      596      ,      800      ,      897      ,
351      ,      599      ,      802      ,      898      ,
354      ,      603      ,      804      ,      898      ,
358      ,      606      ,      806      ,      898      ,
362      ,      609      ,      808      ,      899      ,
366      ,      612      ,      810      ,      899      ,
369      ,      615      ,      812      ,      899      ,
373      ,      618      ,      814      ,      899      ,
377      ,      621      ,      816      ,      899      ,
381      ,      624      ,      818      ,      900      ,
384      ,      627      ,      820      ,      900      ,
388      ,      630      ,      822      ,      900      ,
392      ,      633      ,      824      ,      900      ,
396      ,      635      ,      825      ,      900      ,
400      ,      638      ,      827      ,      900      ,
403      ,      641      ,      829      ,      900      ,
407      ,      644      ,      831      ,      900      ,
411      ,      647      ,      833      ,      900      ,
415      ,      650      ,      834      ,      900      ,
419      ,      653      ,      836      ,      900      ,
423      ,      656      ,      838      ,      900      ,
426      ,      659      ,      839      ,      900      ,
430      ,      662      ,      841      ,      899      ,
434      ,      665      ,      843      ,      899      ,
438      ,      667      ,      844      ,      899      ,
442      ,      670      ,      846      ,      899      ,
446      ,      673      ,      847      ,      899      ,
450      ,      676      ,      849      ,      898      ,
453      ,      679      ,      851      ,      898      ,
457      ,      682      ,      852      ,      898      ,
461      ,      684      ,      854      ,      897      ,
465      ,      687      ,      855      ,      897      ,
469      ,      690      ,      856      ,      896      ,
473      ,      693      ,      858      ,      896      ,
477      ,      695      ,      859      ,      896      ,
481      ,      698      ,      861      ,      895      ,
484      ,      701      ,      862      ,      895      ,
488      ,      704      ,      863      ,      894      ,
492      ,      706      ,      865      ,      893      ,
496      ,      709      ,      866      ,      893      ,
);      712      ,      867      ,      892      ,
      714      ,      868      ,      892      ,
      717      ,      870      ,      891      ,
      720      ,      871      ,      890      ,
      722      ,      872      ,      890      ,
      725      ,      873      ,      889      ,
      727      ,      874      ,      888      ,
      730      ,      875      ,      887      ,
      733      ,      876      ,      887      ,
      735      ,      877      ,      886      ,
      738      ,      878      ,      885      ,
      740      ,      879      ,      884      ,
      743      ,      880      ,      883      ,
      745      ,      881      ,      882      ,
      748      ,      882      ,      881      ,
      750      ,      883      ,      880      ,
      753      ,      884      ,      879      ,
      755      ,      885      ,      878      ,
      757      ,      886      ,      877      ,
      760      ,      887      ,      876      ,
      762      ,      887      ,      875      ,
      765      ,      888      ,      874      ,
      767      ,      889      ,      873      ,
      769      ,      890      ,      872      ,
      772      ,      890      ,      871      ,
      774      ,      891      ,      870      ,
      776      ,      892      ,      868      ,
      778      ,      892      ,      867      ,
      781      ,      893      ,      866      ,
      783      ,      893      ,      865      ,
      785      ,      894      ,      863      ,
      787      ,      895      ,      862      ,
      789      ,      895      ,      861      ,

```

CONSTANT

rom_80:

vetor := (

859	,	695	,	462	,	243	,
858	,	693	,	459	,	240	,
856	,	690	,	456	,	238	,
855	,	687	,	453	,	235	,
854	,	684	,	450	,	233	,
852	,	682	,	447	,	231	,
851	,	679	,	444	,	228	,
849	,	676	,	441	,	226	,
847	,	673	,	437	,	224	,
846	,	670	,	434	,	222	,
844	,	667	,	431	,	219	,
843	,	665	,	428	,	217	,
841	,	662	,	425	,	215	,
839	,	659	,	422	,	213	,
838	,	656	,	419	,	211	,
836	,	653	,	416	,	208	,
834	,	650	,	413	,	206	,
833	,	647	,	410	,	204	,
831	,	644	,	407	,	202	,
829	,	641	,	404	,	200	,
827	,	638	,	401	,	198	,
825	,	635	,	397	,	196	,
824	,	633	,	394	,	194	,
822	,	630	,	391	,	192	,
820	,	627	,	388	,	190	,
818	,	624	,	385	,	188	,
816	,	621	,	382	,	186	,
814	,	618	,	379	,	184	,
812	,	615	,	376	,	182	,
810	,	612	,	373	,	180	,
808	,	609	,	370	,	178	,
806	,	606	,	367	,	176	,
804	,	603	,	365	,	175	,
802	,	599	,	362	,	173	,
800	,	596	,	359	,	171	,
798	,	593	,	356	,	169	,
796	,	590	,	353	,	167	,
794	,	587	,	350	,	166	,
792	,	584	,	347	,	164	,
789	,	581	,	344	,	162	,
787	,	578	,	341	,	161	,
785	,	575	,	338	,	159	,
783	,	572	,	335	,	157	,
781	,	569	,	333	,	156	,
778	,	566	,	330	,	154	,
776	,	563	,	327	,	153	,
774	,	559	,	324	,	151	,
772	,	556	,	321	,	149	,
769	,	553	,	318	,	148	,
767	,	550	,	316	,	146	,
765	,	547	,	313	,	145	,
762	,	544	,	310	,	144	,
760	,	541	,	307	,	142	,
757	,	538	,	305	,	141	,
755	,	535	,	302	,	139	,
753	,	531	,	299	,	138	,
750	,	528	,	296	,	137	,
748	,	525	,	294	,	135	,
745	,	522	,	291	,	134	,
743	,	519	,	288	,	133	,
740	,	516	,	286	,	132	,
738	,	513	,	283	,	130	,
735	,	509	,	280	,	129	,
733	,	506	,	278	,	128	,
730	,	503	,	275	,	127	,
727	,	500	,	273	,	126	,
725	,	497	,	270	,	125	,
722	,	494	,	267	,	124	,
720	,	491	,	265	,	123	,
717	,	487	,	262	,	122	,
714	,	484	,	260	,	121	,
712	,	481	,	257	,	120	,
709	,	478	,	255	,	119	,
706	,	475	,	252	,	118	,
704	,	472	,	250	,	117	,
701	,	469	,	247	,	116	,
698	,	465	,	245	,	115	,

```

114 , 123 , 265 , 491 ,
113 , 124 , 267 , 494 ,
113 , 125 , 270 , 497 ,
112 , 126 , 273 , );
111 , 127 , 275 ,
110 , 128 , 278 ,
110 , 129 , 280 ,
109 , 130 , 283 ,
108 , 132 , 286 ,
108 , 133 , 288 ,
107 , 134 , 291 ,
107 , 135 , 294 ,
106 , 137 , 296 ,
105 , 138 , 299 ,
105 , 139 , 302 ,
104 , 141 , 305 ,
104 , 142 , 307 ,
104 , 144 , 310 ,
103 , 145 , 313 ,
103 , 146 , 316 ,
102 , 148 , 318 ,
102 , 149 , 321 ,
102 , 151 , 324 ,
101 , 153 , 327 ,
101 , 154 , 330 ,
101 , 156 , 333 ,
101 , 157 , 335 ,
101 , 159 , 338 ,
100 , 161 , 341 ,
100 , 162 , 344 ,
100 , 164 , 347 ,
100 , 166 , 350 ,
100 , 167 , 353 ,
100 , 169 , 356 ,
100 , 171 , 359 ,
100 , 173 , 362 ,
100 , 175 , 365 ,
100 , 176 , 367 ,
100 , 178 , 370 ,
100 , 180 , 373 ,
100 , 182 , 376 ,
101 , 184 , 379 ,
101 , 186 , 382 ,
101 , 188 , 385 ,
101 , 190 , 388 ,
101 , 192 , 391 ,
102 , 194 , 394 ,
102 , 196 , 397 ,
102 , 198 , 401 ,
103 , 200 , 404 ,
103 , 202 , 407 ,
104 , 204 , 410 ,
104 , 206 , 413 ,
104 , 208 , 416 ,
105 , 211 , 419 ,
105 , 213 , 422 ,
106 , 215 , 425 ,
107 , 217 , 428 ,
107 , 219 , 431 ,
108 , 222 , 434 ,
108 , 224 , 437 ,
109 , 226 , 441 ,
110 , 228 , 444 ,
110 , 231 , 447 ,
111 , 233 , 450 ,
112 , 235 , 453 ,
113 , 238 , 456 ,
113 , 240 , 459 ,
114 , 243 , 462 ,
115 , 245 , 465 ,
116 , 247 , 469 ,
117 , 250 , 472 ,
118 , 252 , 475 ,
119 , 255 , 478 ,
120 , 257 , 481 ,
121 , 260 , 484 ,
122 , 262 , 487 ,
491 ,
494 ,
497 ,
);
CONSTANT
rom_60:
vetor := (
500 ,
502 ,
505 ,
507 ,
509 ,
512 ,
514 ,
516 ,
519 ,
521 ,
524 ,
526 ,
528 ,
531 ,
533 ,
535 ,
538 ,
540 ,
542 ,
545 ,
547 ,
549 ,
552 ,
554 ,
556 ,
559 ,
561 ,
563 ,
565 ,
568 ,
570 ,
572 ,
575 ,
577 ,
579 ,
581 ,
584 ,
586 ,
588 ,
590 ,
593 ,
595 ,
597 ,
599 ,
602 ,
604 ,
606 ,
608 ,
610 ,
613 ,
615 ,
617 ,
619 ,
621 ,
623 ,
626 ,
628 ,
630 ,
632 ,
634 ,
636 ,
638 ,
640 ,
642 ,
645 ,
647 ,
649 ,
651 ,

```


653	,	772	,	796	,	714	,
655	,	773	,	795	,	712	,
657	,	774	,	795	,	710	,
659	,	775	,	794	,	709	,
661	,	776	,	794	,	707	,
663	,	777	,	793	,	705	,
665	,	778	,	793	,	704	,
667	,	779	,	792	,	702	,
669	,	780	,	792	,	700	,
671	,	781	,	791	,	698	,
673	,	781	,	791	,	697	,
674	,	782	,	790	,	695	,
676	,	783	,	789	,	693	,
678	,	784	,	789	,	691	,
680	,	785	,	788	,	689	,
682	,	785	,	787	,	688	,
684	,	786	,	787	,	686	,
686	,	787	,	786	,	684	,
688	,	787	,	785	,	682	,
689	,	788	,	785	,	680	,
691	,	789	,	784	,	678	,
693	,	789	,	783	,	676	,
695	,	790	,	782	,	674	,
697	,	791	,	781	,	673	,
698	,	791	,	781	,	671	,
700	,	792	,	780	,	669	,
702	,	792	,	779	,	667	,
704	,	793	,	778	,	665	,
705	,	793	,	777	,	663	,
707	,	794	,	776	,	661	,
709	,	794	,	775	,	659	,
710	,	795	,	774	,	657	,
712	,	795	,	773	,	655	,
714	,	796	,	772	,	653	,
715	,	796	,	771	,	651	,
717	,	796	,	770	,	649	,
719	,	797	,	769	,	647	,
720	,	797	,	768	,	645	,
722	,	797	,	767	,	642	,
723	,	798	,	766	,	640	,
725	,	798	,	765	,	638	,
727	,	798	,	764	,	636	,
728	,	798	,	763	,	634	,
730	,	799	,	762	,	632	,
731	,	799	,	761	,	630	,
733	,	799	,	759	,	628	,
734	,	799	,	758	,	626	,
736	,	799	,	757	,	623	,
737	,	800	,	756	,	621	,
738	,	800	,	755	,	619	,
740	,	800	,	753	,	617	,
741	,	800	,	752	,	615	,
743	,	800	,	751	,	613	,
744	,	800	,	749	,	610	,
745	,	800	,	748	,	608	,
747	,	800	,	747	,	606	,
748	,	800	,	745	,	604	,
749	,	800	,	744	,	602	,
751	,	800	,	743	,	599	,
752	,	800	,	741	,	597	,
753	,	800	,	740	,	595	,
755	,	800	,	738	,	593	,
756	,	800	,	737	,	590	,
757	,	799	,	736	,	588	,
758	,	799	,	734	,	586	,
759	,	799	,	733	,	584	,
761	,	799	,	731	,	581	,
762	,	799	,	730	,	579	,
763	,	798	,	728	,	577	,
764	,	798	,	727	,	575	,
765	,	798	,	725	,	572	,
766	,	798	,	723	,	570	,
767	,	797	,	722	,	568	,
768	,	797	,	720	,	565	,
769	,	797	,	719	,	563	,
770	,	796	,	717	,	561	,
771	,	796	,	715	,	559	,

556	,	379	,	244	,	200	,
554	,	377	,	243	,	201	,
552	,	374	,	242	,	201	,
549	,	372	,	241	,	201	,
547	,	370	,	239	,	201	,
545	,	368	,	238	,	201	,
542	,	366	,	237	,	202	,
540	,	364	,	236	,	202	,
538	,	362	,	235	,	202	,
535	,	360	,	234	,	202	,
533	,	358	,	233	,	203	,
531	,	355	,	232	,	203	,
528	,	353	,	231	,	203	,
526	,	351	,	230	,	204	,
524	,	349	,	229	,	204	,
521	,	347	,	228	,	204	,
519	,	345	,	227	,	205	,
516	,	343	,	226	,	205	,
514	,	341	,	225	,	206	,
512	,	339	,	224	,	206	,
509	,	337	,	223	,	207	,
507	,	335	,	222	,	207	,
505	,	333	,	221	,	208	,
502	,	331	,	220	,	208	,
500	,	329	,	219	,	209	,
498	,	327	,	219	,	209	,
495	,	326	,	218	,	210	,
493	,	324	,	217	,	211	,
491	,	322	,	216	,	211	,
488	,	320	,	215	,	212	,
486	,	318	,	215	,	213	,
484	,	316	,	214	,	213	,
481	,	314	,	213	,	214	,
479	,	312	,	213	,	215	,
476	,	311	,	212	,	215	,
474	,	309	,	211	,	216	,
472	,	307	,	211	,	217	,
469	,	305	,	210	,	218	,
467	,	303	,	209	,	219	,
465	,	302	,	209	,	219	,
462	,	300	,	208	,	220	,
460	,	298	,	208	,	221	,
458	,	296	,	207	,	222	,
455	,	295	,	207	,	223	,
453	,	293	,	206	,	224	,
451	,	291	,	206	,	225	,
448	,	290	,	205	,	226	,
446	,	288	,	205	,	227	,
444	,	286	,	204	,	228	,
441	,	285	,	204	,	229	,
439	,	283	,	204	,	230	,
437	,	281	,	203	,	231	,
435	,	280	,	203	,	232	,
432	,	278	,	203	,	233	,
430	,	277	,	202	,	234	,
428	,	275	,	202	,	235	,
425	,	273	,	202	,	236	,
423	,	272	,	202	,	237	,
421	,	270	,	201	,	238	,
419	,	269	,	201	,	239	,
416	,	267	,	201	,	241	,
414	,	266	,	201	,	242	,
412	,	264	,	201	,	243	,
410	,	263	,	200	,	244	,
407	,	262	,	200	,	245	,
405	,	260	,	200	,	247	,
403	,	259	,	200	,	248	,
401	,	257	,	200	,	249	,
398	,	256	,	200	,	251	,
396	,	255	,	200	,	252	,
394	,	253	,	200	,	253	,
392	,	252	,	200	,	255	,
390	,	251	,	200	,	256	,
387	,	249	,	200	,	257	,
385	,	248	,	200	,	259	,
383	,	247	,	200	,	260	,
381	,	245	,	200	,	262	,

```

263      ,      410      ,      550      ,      651      ,
264      ,      412      ,      551      ,      652      ,
266      ,      414      ,      553      ,      653      ,
267      ,      416      ,      554      ,      654      ,
269      ,      419      ,      556      ,      655      ,
270      ,      421      ,      557      ,      656      ,
272      ,      423      ,      559      ,      657      ,
273      ,      425      ,      560      ,      658      ,
275      ,      428      ,      562      ,      659      ,
277      ,      430      ,      563      ,      660      ,
278      ,      432      ,      565      ,      661      ,
280      ,      435      ,      566      ,      662      ,
281      ,      437      ,      568      ,      663      ,
283      ,      439      ,      569      ,      664      ,
285      ,      441      ,      571      ,      665      ,
286      ,      444      ,      572      ,      665      ,
288      ,      446      ,      574      ,      666      ,
290      ,      448      ,      575      ,      667      ,
291      ,      451      ,      577      ,      668      ,
293      ,      453      ,      578      ,      669      ,
295      ,      455      ,      579      ,      670      ,
296      ,      458      ,      581      ,      671      ,
298      ,      460      ,      582      ,      671      ,
300      ,      462      ,      584      ,      672      ,
302      ,      465      ,      585      ,      673      ,
303      ,      467      ,      587      ,      674      ,
305      ,      469      ,      588      ,      674      ,
307      ,      472      ,      589      ,      675      ,
309      ,      474      ,      591      ,      676      ,
311      ,      476      ,      592      ,      677      ,
312      ,      479      ,      594      ,      677      ,
314      ,      481      ,      595      ,      678      ,
316      ,      484      ,      596      ,      679      ,
318      ,      486      ,      598      ,      680      ,
320      ,      488      ,      599      ,      680      ,
322      ,      491      ,      600      ,      681      ,
324      ,      493      ,      602      ,      682      ,
326      ,      495      ,      603      ,      682      ,
327      ,      498      ,      604      ,      683      ,
329      ,      );      606      ,      684      ,
331      ,      607      ,      684      ,
333      ,      CONSTANT      608      ,      685      ,
335      ,      rom_40:      610      ,      685      ,
337      ,      vetor := (      611      ,      686      ,
339      ,      612      ,      687      ,
341      ,      500      ,      614      ,      687      ,
343      ,      502      ,      615      ,      688      ,
345      ,      503      ,      616      ,      688      ,
347      ,      505      ,      618      ,      689      ,
349      ,      506      ,      619      ,      689      ,
351      ,      508      ,      620      ,      690      ,
353      ,      509      ,      621      ,      690      ,
355      ,      511      ,      623      ,      691      ,
358      ,      513      ,      624      ,      691      ,
360      ,      514      ,      625      ,      692      ,
362      ,      516      ,      626      ,      692      ,
364      ,      517      ,      627      ,      692      ,
366      ,      519      ,      629      ,      693      ,
368      ,      520      ,      630      ,      693      ,
370      ,      522      ,      631      ,      694      ,
372      ,      524      ,      632      ,      694      ,
374      ,      525      ,      633      ,      694      ,
377      ,      527      ,      635      ,      695      ,
379      ,      528      ,      636      ,      695      ,
381      ,      530      ,      637      ,      696      ,
383      ,      531      ,      638      ,      696      ,
385      ,      533      ,      639      ,      696      ,
387      ,      534      ,      640      ,      696      ,
390      ,      536      ,      641      ,      697      ,
392      ,      537      ,      643      ,      697      ,
394      ,      539      ,      644      ,      697      ,
396      ,      541      ,      645      ,      698      ,
398      ,      542      ,      646      ,      698      ,
401      ,      544      ,      647      ,      698      ,
403      ,      545      ,      648      ,      698      ,
405      ,      547      ,      649      ,      698      ,
407      ,      548      ,      650      ,      699      ,

```

699	,	676	,	591	,	473	,
699	,	675	,	589	,	472	,
699	,	674	,	588	,	470	,
699	,	674	,	587	,	469	,
699	,	673	,	585	,	467	,
700	,	672	,	584	,	466	,
700	,	671	,	582	,	464	,
700	,	671	,	581	,	463	,
700	,	670	,	579	,	461	,
700	,	669	,	578	,	459	,
700	,	668	,	577	,	458	,
700	,	667	,	575	,	456	,
700	,	666	,	574	,	455	,
700	,	665	,	572	,	453	,
700	,	665	,	571	,	452	,
700	,	664	,	569	,	450	,
700	,	663	,	568	,	449	,
700	,	662	,	566	,	447	,
700	,	661	,	565	,	446	,
700	,	660	,	563	,	444	,
700	,	659	,	562	,	443	,
700	,	658	,	560	,	441	,
700	,	657	,	559	,	440	,
700	,	656	,	557	,	438	,
699	,	655	,	556	,	437	,
699	,	654	,	554	,	435	,
699	,	653	,	553	,	434	,
699	,	652	,	551	,	432	,
699	,	651	,	550	,	431	,
699	,	650	,	548	,	429	,
698	,	649	,	547	,	428	,
698	,	648	,	545	,	426	,
698	,	647	,	544	,	425	,
698	,	646	,	542	,	423	,
698	,	645	,	541	,	422	,
697	,	644	,	539	,	421	,
697	,	643	,	537	,	419	,
697	,	641	,	536	,	418	,
696	,	640	,	534	,	416	,
696	,	639	,	533	,	415	,
696	,	638	,	531	,	413	,
696	,	637	,	530	,	412	,
695	,	636	,	528	,	411	,
695	,	635	,	527	,	409	,
694	,	633	,	525	,	408	,
694	,	632	,	524	,	406	,
694	,	631	,	522	,	405	,
693	,	630	,	520	,	404	,
693	,	629	,	519	,	402	,
692	,	627	,	517	,	401	,
692	,	626	,	516	,	400	,
692	,	625	,	514	,	398	,
691	,	624	,	513	,	397	,
691	,	623	,	511	,	396	,
690	,	621	,	509	,	394	,
690	,	620	,	508	,	393	,
689	,	619	,	506	,	392	,
689	,	618	,	505	,	390	,
688	,	616	,	503	,	389	,
688	,	615	,	502	,	388	,
687	,	614	,	500	,	386	,
687	,	612	,	498	,	385	,
686	,	611	,	497	,	384	,
685	,	610	,	495	,	382	,
685	,	608	,	494	,	381	,
684	,	607	,	492	,	380	,
684	,	606	,	491	,	379	,
683	,	604	,	489	,	377	,
682	,	603	,	487	,	376	,
682	,	602	,	486	,	375	,
681	,	600	,	484	,	374	,
680	,	599	,	483	,	373	,
680	,	598	,	481	,	371	,
679	,	596	,	480	,	370	,
678	,	595	,	478	,	369	,
677	,	594	,	476	,	368	,
677	,	592	,	475	,	367	,

365	,	305	,	314	,	389	,
364	,	305	,	315	,	390	,
363	,	304	,	315	,	392	,
362	,	304	,	316	,	393	,
361	,	304	,	316	,	394	,
360	,	304	,	317	,	396	,
359	,	303	,	318	,	397	,
357	,	303	,	318	,	398	,
356	,	303	,	319	,	400	,
355	,	302	,	320	,	401	,
354	,	302	,	320	,	402	,
353	,	302	,	321	,	404	,
352	,	302	,	322	,	405	,
351	,	302	,	323	,	406	,
350	,	301	,	323	,	408	,
349	,	301	,	324	,	409	,
348	,	301	,	325	,	411	,
347	,	301	,	326	,	412	,
346	,	301	,	326	,	413	,
345	,	301	,	327	,	415	,
344	,	300	,	328	,	416	,
343	,	300	,	329	,	418	,
342	,	300	,	329	,	419	,
341	,	300	,	330	,	421	,
340	,	300	,	331	,	422	,
339	,	300	,	332	,	423	,
338	,	300	,	333	,	425	,
337	,	300	,	334	,	426	,
336	,	300	,	335	,	428	,
335	,	300	,	335	,	429	,
335	,	300	,	336	,	431	,
334	,	300	,	337	,	432	,
333	,	300	,	338	,	434	,
332	,	300	,	339	,	435	,
331	,	300	,	340	,	437	,
330	,	300	,	341	,	438	,
329	,	300	,	342	,	440	,
329	,	300	,	343	,	441	,
328	,	300	,	344	,	443	,
327	,	301	,	345	,	444	,
326	,	301	,	346	,	446	,
326	,	301	,	347	,	447	,
325	,	301	,	348	,	449	,
324	,	301	,	349	,	450	,
323	,	301	,	350	,	452	,
323	,	302	,	351	,	453	,
322	,	302	,	352	,	455	,
321	,	302	,	353	,	456	,
320	,	302	,	354	,	458	,
320	,	302	,	355	,	459	,
319	,	303	,	356	,	461	,
318	,	303	,	357	,	463	,
318	,	303	,	359	,	464	,
317	,	304	,	360	,	466	,
316	,	304	,	361	,	467	,
316	,	304	,	362	,	469	,
315	,	304	,	363	,	470	,
315	,	305	,	364	,	472	,
314	,	305	,	365	,	473	,
313	,	306	,	367	,	475	,
313	,	306	,	368	,	476	,
312	,	306	,	369	,	478	,
312	,	307	,	370	,	480	,
311	,	307	,	371	,	481	,
311	,	308	,	373	,	483	,
310	,	308	,	374	,	484	,
310	,	308	,	375	,	486	,
309	,	309	,	376	,	487	,
309	,	309	,	377	,	489	,
308	,	310	,	379	,	491	,
308	,	310	,	380	,	492	,
308	,	311	,	381	,	494	,
307	,	311	,	382	,	495	,
307	,	312	,	384	,	497	,
306	,	312	,	385	,	498	,
306	,	313	,	386	,) ;	,
306	,	313	,	388	,		,

```

          CONSTANT      554      ,          592      ,          598      ,
          rom_20:      555      ,          593      ,          598      ,
vetor := (          556      ,          593      ,          597      ,
500      ,          556      ,          593      ,          597      ,
501      ,          557      ,          594      ,          597      ,
502      ,          558      ,          594      ,          597      ,
502      ,          558      ,          594      ,          597      ,
503      ,          559      ,          594      ,          596      ,
504      ,          559      ,          594      ,          596      ,
505      ,          560      ,          595      ,          596      ,
506      ,          561      ,          595      ,          596      ,
507      ,          561      ,          595      ,          596      ,
508      ,          562      ,          596      ,          595      ,
509      ,          563      ,          596      ,          595      ,
509      ,          563      ,          596      ,          595      ,
510      ,          564      ,          596      ,          594      ,
511      ,          564      ,          596      ,          594      ,
512      ,          565      ,          597      ,          594      ,
513      ,          566      ,          597      ,          594      ,
513      ,          567      ,          597      ,          593      ,
514      ,          567      ,          597      ,          593      ,
515      ,          568      ,          598      ,          592      ,
516      ,          568      ,          598      ,          592      ,
516      ,          569      ,          598      ,          592      ,
517      ,          570      ,          598      ,          592      ,
518      ,          570      ,          598      ,          591      ,
519      ,          571      ,          598      ,          591      ,
520      ,          571      ,          599      ,          591      ,
520      ,          572      ,          599      ,          590      ,
521      ,          572      ,          599      ,          590      ,
522      ,          573      ,          599      ,          589      ,
523      ,          573      ,          599      ,          589      ,
523      ,          574      ,          599      ,          589      ,
524      ,          574      ,          599      ,          589      ,
525      ,          575      ,          599      ,          588      ,
526      ,          575      ,          599      ,          588      ,
526      ,          576      ,          599      ,          588      ,
527      ,          576      ,          599      ,          588      ,
528      ,          577      ,          600      ,          587      ,
529      ,          577      ,          600      ,          587      ,
529      ,          578      ,          600      ,          586      ,
530      ,          578      ,          600      ,          586      ,
531      ,          579      ,          600      ,          586      ,
532      ,          579      ,          600      ,          585      ,
532      ,          579      ,          600      ,          585      ,
533      ,          580      ,          600      ,          584      ,
534      ,          580      ,          600      ,          584      ,
535      ,          581      ,          600      ,          584      ,
535      ,          581      ,          600      ,          583      ,
536      ,          582      ,          600      ,          583      ,
537      ,          582      ,          600      ,          582      ,
538      ,          583      ,          600      ,          582      ,
538      ,          583      ,          600      ,          581      ,
539      ,          584      ,          600      ,          581      ,
540      ,          584      ,          600      ,          580      ,
540      ,          584      ,          600      ,          580      ,
541      ,          585      ,          600      ,          579      ,
542      ,          585      ,          600      ,          579      ,
543      ,          586      ,          600      ,          579      ,
543      ,          586      ,          600      ,          578      ,
544      ,          586      ,          600      ,          578      ,
545      ,          587      ,          600      ,          577      ,
545      ,          587      ,          600      ,          577      ,
546      ,          588      ,          599      ,          576      ,
547      ,          588      ,          599      ,          576      ,
547      ,          588      ,          599      ,          576      ,
548      ,          589      ,          599      ,          575      ,
549      ,          589      ,          599      ,          575      ,
550      ,          589      ,          599      ,          574      ,
550      ,          589      ,          599      ,          574      ,
551      ,          590      ,          599      ,          573      ,
552      ,          590      ,          599      ,          573      ,
553      ,          590      ,          599      ,          572      ,
554      ,          591      ,          599      ,          572      ,
          591      ,          599      ,          571      ,
          591      ,          598      ,          571      ,
          591      ,          598      ,          570      ,
          592      ,          598      ,          570      ,
          592      ,          598      ,          569      ,

```

568	,	515	,	456	,	413	,
568	,	514	,	455	,	412	,
567	,	513	,	455	,	412	,
567	,	513	,	454	,	412	,
566	,	512	,	453	,	411	,
566	,	511	,	453	,	411	,
565	,	510	,	452	,	411	,
564	,	509	,	451	,	410	,
564	,	509	,	450	,	410	,
563	,	508	,	450	,	410	,
563	,	507	,	449	,	409	,
562	,	506	,	448	,	409	,
561	,	505	,	448	,	409	,
561	,	505	,	447	,	408	,
560	,	504	,	446	,	408	,
559	,	503	,	446	,	408	,
559	,	502	,	445	,	407	,
558	,	502	,	444	,	407	,
558	,	501	,	444	,	407	,
557	,	500	,	443	,	406	,
556	,	499	,	442	,	406	,
556	,	498	,	442	,	406	,
555	,	498	,	441	,	406	,
554	,	497	,	441	,	405	,
554	,	496	,	440	,	405	,
553	,	495	,	439	,	405	,
552	,	495	,	439	,	405	,
552	,	494	,	438	,	404	,
551	,	493	,	437	,	404	,
550	,	492	,	437	,	404	,
550	,	491	,	436	,	404	,
549	,	491	,	436	,	404	,
548	,	490	,	435	,	403	,
547	,	489	,	434	,	403	,
547	,	488	,	434	,	403	,
546	,	487	,	433	,	403	,
545	,	487	,	433	,	403	,
545	,	486	,	432	,	402	,
544	,	485	,	432	,	402	,
543	,	484	,	431	,	402	,
543	,	484	,	430	,	402	,
542	,	483	,	430	,	402	,
541	,	482	,	429	,	402	,
540	,	481	,	429	,	401	,
540	,	480	,	428	,	401	,
539	,	480	,	428	,	401	,
538	,	479	,	427	,	401	,
538	,	478	,	427	,	401	,
537	,	477	,	426	,	401	,
536	,	477	,	426	,	401	,
535	,	476	,	425	,	401	,
535	,	475	,	424	,	401	,
534	,	474	,	424	,	401	,
533	,	474	,	423	,	400	,
532	,	473	,	423	,	400	,
532	,	472	,	422	,	400	,
531	,	471	,	422	,	400	,
530	,	471	,	421	,	400	,
529	,	470	,	421	,	400	,
529	,	469	,	421	,	400	,
528	,	468	,	420	,	400	,
527	,	468	,	420	,	400	,
526	,	467	,	419	,	400	,
526	,	466	,	419	,	400	,
525	,	465	,	418	,	400	,
524	,	465	,	418	,	400	,
523	,	464	,	417	,	400	,
523	,	463	,	417	,	400	,
522	,	462	,	416	,	400	,
521	,	462	,	416	,	400	,
520	,	461	,	416	,	400	,
520	,	460	,	415	,	400	,
519	,	460	,	415	,	400	,
518	,	459	,	414	,	400	,
517	,	458	,	414	,	400	,
516	,	457	,	414	,	400	,
516	,	457	,	413	,	400	,

```

400 , 411 , 434 , 466 ,
401 , 411 , 434 , 467 ,
401 , 412 , 435 , 468 ,
401 , 412 , 436 , 468 ,
401 , 412 , 436 , 469 ,
401 , 413 , 437 , 470 ,
401 , 413 , 437 , 471 ,
401 , 414 , 438 , 471 ,
401 , 414 , 439 , 472 ,
401 , 414 , 439 , 473 ,
401 , 415 , 440 , 474 ,
402 , 415 , 441 , 474 ,
402 , 416 , 441 , 475 ,
402 , 416 , 442 , 476 ,
402 , 416 , 442 , 477 ,
402 , 417 , 443 , 477 ,
402 , 417 , 444 , 478 ,
403 , 418 , 444 , 479 ,
403 , 418 , 445 , 480 ,
403 , 419 , 446 , 480 ,
403 , 419 , 446 , 481 ,
403 , 420 , 447 , 482 ,
404 , 420 , 448 , 483 ,
404 , 421 , 448 , 484 ,
404 , 421 , 449 , 484 ,
404 , 421 , 450 , 485 ,
404 , 422 , 450 , 486 ,
405 , 422 , 451 , 487 ,
405 , 423 , 452 , 487 ,
405 , 423 , 453 , 488 ,
405 , 424 , 453 , 489 ,
406 , 424 , 454 , 490 ,
406 , 425 , 455 , 491 ,
406 , 426 , 455 , 491 ,
406 , 426 , 456 , 492 ,
407 , 427 , 457 , 493 ,
407 , 427 , 457 , 494 ,
407 , 428 , 458 , 495 ,
408 , 428 , 459 , 495 ,
408 , 429 , 460 , 496 ,
408 , 429 , 460 , 497 ,
409 , 430 , 461 , 498 ,
409 , 430 , 462 , 498 ,
409 , 431 , 462 , 499 ,
410 , 432 , 463 , );
410 , 432 , 464 ,
410 , 433 , 465 ,
411 , 433 , 465 ,

```

```
-----
BEGIN
-----
```

```

PROCESS (rst,addr_int,clk,KEY)
  BEGIN
    IF (rst = '1') THEN
      addr_int <= 0;
      contador <= 0;

    ELSIF (RISING_EDGE (clk)) THEN
      IF (contador = AMOSTRAS-1) THEN
        contador <= 0;

        IF (addr_int = MODULUS-1) THEN
          addr_int <= 0;
        ELSE
          addr_int <= addr_int + 1;
        END IF;

      ELSE
        contador <= contador + 1;
      END IF;
    END IF;
  END IF;
END PROCESS;

```



```

END PROCESS;

PROCESS (KEY,addr_int)
  BEGIN
    IF (KEY = "1111") THEN
      q <= STD_LOGIC_VECTOR(to_unsigned(rom_99(addr_int),DATA_WIDTH));
    ELSIF (KEY = "1110") THEN
      q <= STD_LOGIC_VECTOR(to_unsigned(rom_80(addr_int),DATA_WIDTH));
    ELSIF (KEY = "1101") THEN
      q <= STD_LOGIC_VECTOR(to_unsigned(rom_60(addr_int),DATA_WIDTH));
    ELSIF (KEY = "1011") THEN
      q <= STD_LOGIC_VECTOR(to_unsigned(rom_40(addr_int),DATA_WIDTH));
    ELSE
      q <= STD_LOGIC_VECTOR(to_unsigned(rom_20(addr_int),DATA_WIDTH));
    END IF;
  END PROCESS;

-----
END behavior;
-----

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----
ENTITY compare1_vhdl IS

  GENERIC
    (
      ADDR_WIDTH : NATURAL := 10
    -- OFFSET: NATURAL := 3750
    );

  PORT
    (
      clk:          IN STD_LOGIC;
      --a:          IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO
0);
      --b:          IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO
0);

      portadora_1: IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
      portadora_2: IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
      portadora_3: IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
      portadora_4: IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
      referencia:  IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);
      rst:         IN STD_LOGIC;
      output1:     OUT STD_LOGIC;
      output2:     OUT STD_LOGIC;
      output3:     OUT STD_LOGIC;
      output4:     OUT STD_LOGIC;
      -- output1_compl: OUT STD_LOGIC;
      -- output2_compl: OUT STD_LOGIC;
      -- output3_compl: OUT STD_LOGIC;
      -- output4_compl: OUT STD_LOGIC

    );

END compare1_vhdl;
-----

ARCHITECTURE behavior OF compare1_vhdl IS

  --SIGNAL          a_int          : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  --SIGNAL          b_int          : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  SIGNAL            portadora_1_int : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  SIGNAL            portadora_2_int : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  SIGNAL            portadora_3_int : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  SIGNAL            portadora_4_int : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;
  SIGNAL            referencia_int  : INTEGER RANGE 0 TO 2**ADDR_WIDTH-1 :=0;

  -----
BEGIN
  -----

```

```

--a_int <= to_integer(unsigned(a));
--b_int <= to_integer(unsigned(b));
portadora_1_int <= to_integer(unsigned(portadora_1));
portadora_2_int <= to_integer(unsigned(portadora_2));
portadora_3_int <= to_integer(unsigned(portadora_3));
portadora_4_int <= to_integer(unsigned(portadora_4));
referencia_int <= to_integer(unsigned(referencia));

--PROCESS (clk,rst,b,b_int,a,a_int)
PROCESS (clk,rst,portadora_1_int,portadora_1,referencia_int,referencia)
    BEGIN
        IF (rst ='1') THEN
            output1 <= '0';
        ELSIF (RISING_EDGE (clk)) THEN
            IF (referencia_int > portadora_1_int) THEN
                output1 <= '1';
            ELSE
                output1 <= '0';
            END IF;
        END IF;
    END PROCESS;
--
PROCESS (clk,rst,portadora_2_int,portadora_2,referencia_int,referencia)
    BEGIN
        IF (rst ='1') THEN
            output2 <= '0';
        ELSIF (RISING_EDGE (clk)) THEN
            IF (referencia_int > (portadora_2_int)) THEN
                output2 <= '1';
            ELSE
                output2 <= '0';
            END IF;
        END IF;
    END PROCESS;

PROCESS (clk,rst,portadora_3_int,portadora_3,referencia_int,referencia)
    BEGIN
        IF (rst ='1') THEN
            output3 <= '0';
        ELSIF (RISING_EDGE (clk)) THEN
            IF (referencia_int < (portadora_3_int)) THEN
                output3 <= '1';
            ELSE
                output3 <= '0';
            END IF;
        END IF;
    END PROCESS;

PROCESS (clk,rst,portadora_4_int,portadora_4,referencia_int,referencia)
    BEGIN
        IF (rst ='1') THEN
            output4 <= '0';
        ELSIF (RISING_EDGE (clk)) THEN
            IF (referencia_int < (portadora_4_int)) THEN
                output4 <= '1';
            ELSE
                output4 <= '0';
            END IF;
        END IF;
    END PROCESS;

-----
END behavior;
-----

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----

ENTITY sinais_r IS

    GENERIC

```

```

(
    MODULO_CNT : NATURAL := 25000;

-- ciclos de 1,2MHz equivalente aos ângulos dos estados da senoide para Ma=0,99
    MODULO_R1_99: NATURAL := 1685;
    MODULO_R2_99: NATURAL := 8315;
    MODULO_R3_99: NATURAL := 10000;
    MODULO_R4_99: NATURAL := 11685;
    MODULO_R5_99: NATURAL := 18315;
    MODULO_R6_99: NATURAL := 20000;

-- ciclos de 1,2MHz equivalente aos ângulos dos estados da senoide para Ma=0,8
    MODULO_R1_80: NATURAL := 2149;
    MODULO_R2_80: NATURAL := 7851;
    MODULO_R3_80: NATURAL := 10000;
    MODULO_R4_80: NATURAL := 12149;
    MODULO_R5_80: NATURAL := 17850;
    MODULO_R6_80: NATURAL := 20000;

-- ciclos de 1,2MHz equivalente aos ângulos dos estados da senoide para Ma=0,6
    MODULO_R1_60: NATURAL := 3136;
    MODULO_R2_60: NATURAL := 6864;
    MODULO_R3_60: NATURAL := 10000;
    MODULO_R4_60: NATURAL := 13136;
    MODULO_R5_60: NATURAL := 16864;
    MODULO_R6_60: NATURAL := 20000;

-- ciclos de 1,2MHz equivalente aos ângulos dos estados da senoide para Ma=0,4
    MODULO_R1_40: NATURAL := 5000;
    MODULO_R2_40: NATURAL := 0;
    MODULO_R3_40: NATURAL := 10000;
    MODULO_R4_40: NATURAL := 15000;
    MODULO_R5_40: NATURAL := 0;
    MODULO_R6_40: NATURAL := 20000;

-- ciclos de 1,2MHz equivalente aos ângulos dos estados da senoide para Ma=0,2
    MODULO_R1_20: NATURAL := 5000;
    MODULO_R2_20: NATURAL := 0;
    MODULO_R3_20: NATURAL := 10000;
    MODULO_R4_20: NATURAL := 15000;
    MODULO_R5_20: NATURAL := 0;
    MODULO_R6_20: NATURAL := 20000
);

PORT
(
    clk:          IN STD_LOGIC;
    rst:          IN STD_LOGIC;
--
    en:          IN STD_LOGIC;
    R1:          OUT STD_LOGIC;          -- 38,68 (VALORES PARA Ma =
0,8)
    R2:          OUT STD_LOGIC;          -- 141,31
    R3:          OUT STD_LOGIC;          -- 180,00
    R4:          OUT STD_LOGIC;          -- 218,68
    R5:          OUT STD_LOGIC;          -- 321,31
    R6:          OUT STD_LOGIC;          -- 360,00

    key:        IN STD_LOGIC_VECTOR (3 DOWNTO 0)
);

END sinais_r;
-----

ARCHITECTURE behavior OF sinais_r IS

signal contador:          INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R1:        INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R2:        INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R3:        INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R4:        INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R5:        INTEGER RANGE 0 TO MODULO_CNT;
signal modulo_R6:        INTEGER RANGE 0 TO MODULO_CNT;

-----
BEGIN
-----

```

```

PROCESS (key)
  BEGIN
    case key is
      when "1111" =>
        modulo_R1 <= MODULO_R1_99;
        modulo_R2 <= MODULO_R2_99;
        modulo_R3 <= MODULO_R3_99;
        modulo_R4 <= MODULO_R4_99;
        modulo_R5 <= MODULO_R5_99;
        modulo_R6 <= MODULO_R6_99;
      when "1110" =>
        modulo_R1 <= MODULO_R1_80;
        modulo_R2 <= MODULO_R2_80;
        modulo_R3 <= MODULO_R3_80;
        modulo_R4 <= MODULO_R4_80;
        modulo_R5 <= MODULO_R5_80;
        modulo_R6 <= MODULO_R6_80;
      when "1101" =>
        modulo_R1 <= MODULO_R1_60;
        modulo_R2 <= MODULO_R2_60;
        modulo_R3 <= MODULO_R3_60;
        modulo_R4 <= MODULO_R4_60;
        modulo_R5 <= MODULO_R5_60;
        modulo_R6 <= MODULO_R6_60;
      when "1011" =>
        modulo_R1 <= MODULO_R1_40;
        modulo_R2 <= MODULO_R2_40;
        modulo_R3 <= MODULO_R3_40;
        modulo_R4 <= MODULO_R4_40;
        modulo_R5 <= MODULO_R5_40;
        modulo_R6 <= MODULO_R6_40;
      when others =>
        -- Sequential Statement(s)
        modulo_R1 <= MODULO_R1_20;
        modulo_R2 <= MODULO_R2_20;
        modulo_R3 <= MODULO_R3_20;
        modulo_R4 <= MODULO_R4_20;
        modulo_R5 <= MODULO_R5_20;
        modulo_R6 <= MODULO_R6_20;
    end case;

  END PROCESS;

PROCESS (clk,contador,rst)
  BEGIN
    IF (rst = '1') THEN
      contador <= 0;
      R1 <= '0';
      R2 <= '0';
      R3 <= '0';
      R4 <= '0';
      R5 <= '0';
      R6 <= '0';
    ELSIF (RISING_EDGE (clk)) THEN
      R1 <= '0';
      R2 <= '0';
      R3 <= '0';
      R4 <= '0';
      R5 <= '0';
      R6 <= '0';

      IF (contador = modulo_R6-1) THEN
        contador <= 0;
      ELSE
        contador <= contador + 1;
      END IF;

      IF contador < modulo_R1 THEN
        R1 <= '1';
      ELSIF contador < modulo_R2 THEN
        R2 <= '1';
      ELSIF contador < modulo_R3 THEN
        R3 <= '1';
      ELSIF contador < modulo_R4 THEN

```

```
        R4 <= '1';
    ELSIF contador < modulo_R5 THEN
        R5 <= '1';
    ELSIF contador < modulo_R6 THEN
        R6 <= '1';
    ELSE
        contador <= 0;
    END IF;
END IF;
END PROCESS;
```

```
-----
END behavior;
-----
```

APÊNDICE B – RELAÇÃO DE MATERIAIS E CUSTOS DO PROJETO

Tabela 7 - Lista de componentes eletrônicos utilizados na montagem do *driver*

<i>Item</i>	<i>Unidade</i>	<i>Quantidade</i>	<i>Descrição</i>
1	Pç	6	Resistor 270 Ω , ¼ W
2	Pç	6	Resistor 56 Ω , 5 W
3	Pç	6	Optoacoplador HCPL-3180
4	pç	5	Capacitor eletrolítico 10 μ F, 50 V
5	pç	6	Capacitor poliéster 100 nF, 50 V
6	pç	1	CI 74LS07
7	pç	6	Pino para medição
8	pç	1	Base para CI 74LS07

Tabela 8 - Lista de componentes eletrônicos utilizados no circuito de chaveamento

<i>Item</i>	<i>Unidade</i>	<i>Quantidade</i>	<i>Descrição</i>
1	pç	6	IGBT IRGB10B60KDPBF
2	pç	2	Capacitor eletrolítico 410 μ F, 250 V
3	pç	2	Resistor 100 k Ω , ¼ W
4	pç	1	Suporte para fusível ZH242
5	pç	1	NTC 100 Ω
6	pç	1	Ponte retificadora D25XB60
7	pç	1	Varistor S14K275V
8	pç	1	Fusível 3A
9	pç	1	Resistor 180 k Ω , ¼ W
10	pç	1	Resistor 2,7 k Ω , ¼ W
11	pç	2	Capacitor poliéster 100 nF, 50 V
12	pç	1	Resistor 0,22 Ω , 5W
13	pç	1	Resistor 150 k Ω , ¼ W
14	pç	7	Conectores BR7
15	pç	7	Complemento conector BR7
16	pç	1	Bloco de 2x20 pinos
17	pç	1	Bloco de 2x13 pinos
18	pç	4	Bloco de 2 pinos para medição
19	pç	1	Diodo UF4007
20	pç	1	Broca aço rápido 3 mm

21	pç	1	Ferro de Solda 60W
22	pç	1	Sugador de solda
23	pç	1	Rolo de estanho
24	pç	6	Porca M5
25	pç	6	Barra roscada M5
26	pç	6	Arruela de pressão
27	pç	1	Pasta térmica
28	pç	6	Mica - acoplamento do IGBT no
29	pç	1	dissipador
30	pç	1	Alicate de bico
31	pç	1	Alicate de corte
32	pç	2	Multímetro digital Minipa
33	pç	1	Fontes Minipa modelo MPL-3303

Tabela 9 - Descrição dos custos para produção do protótipo.

Descrição	Custo
Componentes para montagem da placa	R\$ 235,13
<i>Layout</i> do PCB	R\$ 360,00
Produção da PCB	R\$ 480,00
Total	RS 1075,13