

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA  
CURSO DE ENGENHARIA ELETRÔNICA

GUSTAVO HENRIQUE SILVA DE OLIVEIRA

**DESENVOLVIMENTO E COMPARAÇÃO DE CIRCUITOS  
INTEGRADOS QUE CONSTITUEM UMA MALHA DE CAPTURA DE  
FASE**

TRABALHO DE CONCLUSÃO DE CURSO

CAMPO MOURÃO

2016

GUSTAVO HENRIQUE SILVA DE OLIVEIRA

**DESENVOLVIMENTO E COMPARAÇÃO DE CIRCUITOS  
INTEGRADOS QUE CONSTITUEM UMA MALHA DE CAPTURA DE  
FASE**

Trabalho de Conclusão de Curso apresentado à disciplina de Trabalho de Conclusão de Curso (TCC) do curso de Engenharia Eletrônica, do Departamento Acadêmico de Eletrônica (DAELN) do Campus Campo Mourão, da Universidade Tecnológica Federal do Paraná (UTFPR), como requisito parcial para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Roberto Neli

CAMPO MOURÃO

2016

**TERMO DE APROVAÇÃO**

**DO TRABALHO DE CONCLUSÃO DE CURSO INTITULADO**

Desenvolvimento e Comparação de Circuitos Integrados que Constituem Uma Malha de Captura de Fase

Por

Gustavo Henrique Silva de Oliveira

Trabalho de Conclusão de Curso apresentado no dia 21 de Novembro de 2016 ao Curso Superior de Engenharia Eletrônica da Universidade Tecnológica Federal do Paraná, Campus Campo Mourão. O Candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho aprovado.

---

Prof. Marcio Rodrigues da Cunha

(UTFPR)

---

Prof. Lucas Ricken Garcia

(UTFPR)

---

Prof. Roberto Ribeiro Neli

(UTFPR)

Orientador

A Folha de Aprovação assinada encontra-se na  
Coordenação do Curso

Dedico este trabalho aos meus pais, bênçãos em minha vida

## **AGRADECIMENTOS**

À Deus, por estar abençoando cada circunstância de nossas vidas, nos guardando em cada aspecto da caminhada.

Aos meus pais, José Oliveira e Regiane Oliveira, que sempre acreditaram em mim, sempre me incentivaram, e acima de tudo nunca desistiram de mim, os quais considero verdadeiros heróis.

Às minhas avós, Neuza Silva e Aparecida Alampe, que sempre cuidaram com extrema atenção de mim.

Aos meus avôs, José Silva e Celso Oliveira, por cada palavra de afeto e cuidado.

Ao meu primo Luiz Mimim, pelo companheirismo e carinho, que considero um irmão.

À minha namorada Carla Carolina da Cunha, que se juntou a mim nesta caminhada, pelo amor e paciência dedicados, e por me ensinar a ter temperança.

Ao Hugo Brito, por ser enviado por Deus para me suportar nos momentos mais difíceis, me acompanhando nesta longa jornada. O que considero como um irmão.

Ao meu professor orientador Roberto Neli, pelos conselhos, ensinamentos e atenção dados.

A todos que cruzaram minha vida, e tive o prazer e honra de chamar de amigos.

## RESUMO

OLIVEIRA, G. H. S. **Desenvolvimento E Comparação De Circuitos Integrados Que Constituem Uma Malha De Captura De Fase.** 2016. 54f. Trabalho de Conclusão de Curso (Bacharelado em Engenharia Eletrônica) – Universidade Tecnológica Federal do Paraná. Campo Mourão, 2016.

O enfoque deste projeto foi realizar o estudo, esquematização e desenvolvimento de diversos circuitos integrados que compõe um PLL, utilizando um modelo linearizado a partir de equações pertinentes ao estudo de um sistema em malha fechada. Foram desenvolvidos manualmente e com o auxílio do software DSCH que realiza a criação de circuitos integrados a partir de um *script* gerado na linguagem de descrição de hardware *Verilog*. Durante o período de estudos foi desenvolvido um oscilador controlado por tensão e limitado por corrente, na topologia de circuitos integrados, onde, dentro dos modelos desenvolvidos foi possível obter dois circuitos, um desenvolvido manualmente que opera na frequência máxima de 8,67 GHz, e o outro executado pelo software DSCH que opera na frequência máxima de 9,76 GHz. Os comparadores de fase foram ambos desenvolvidos com a topologia da porta XOR, onde foi utilizada uma metodologia que possibilitou a redução da área e número de transistores ocupados ao ser desenvolvida manualmente. O software DSCH também desenvolveu uma porta XOR com bons resultados considerando a redução do número de transistores. Finalmente, após a esquematização de cada bloco operando individualmente, foi possível desenvolver dois circuitos atuando como PLL. Com base nas metodologias estudadas, ambos os circuitos foram excitados à uma frequência de 4GHz com uma amplitude de 0,6 V, com isso, após realizado o estudo de eficiência foi possível inferir que o circuito desenvolvido manualmente é mais eficiente que o gerado através do software DSCH.

**Palavras-chave:** PLL, VCO, XOR, Circuitos Integrados.

## ABSTRACT

OLIVEIRA, G. H. S. **Development And Comparison of Integrated Circuits Forming a Phase Locked Loop**. 2016. 54f. Trabalho de Conclusão de Curso (Bacharelado em Engenharia Eletrônica) – Universidade Tecnológica Federal do Paraná. Campo Mourão, 2016.

The focus of this project was to study and develop several integrated circuits that compose a PLL, utilizing a linearized model, with equations relevant to the study of a closed loop system. The integrated circuits were developed with the help from the auxiliary software DSCH, that can create them from a Verilog script. During the development period was established a voltage controlled oscillator using the current starved method in the integrated circuits topology, where it was possible to obtain two operation circuits, one developed by the software DSCH and another manually, obtaining the maximum frequency of 9.76GHz and 8.67GHz respectively. The phase detector created was developed using the XOR topology, where a reducing topology of the number of transistors and area was applied. The software DSCH also developed a XOR with good results considering the reduction of transistors used. Finally, after the schematization and test of each block operating individually, it was possible to develop integrated circuits acting as a PLL, with a basis on the studied methodology, both circuits were applied an entry signal with a frequency of 4GHz and an amplitude of 0.6V, with that, after an efficiency study was made, it was possible to notice that the manually developed circuits was more efficient than the circuit developed by the software DSCH.

**Key-words:** PLL, VCO, XOR, Integrated Circuits

## LISTA DE FIGURAS

Figura 1- Fotolitografia. ....	17
Figura 2- Transistor Nmos.....	18
Figura 3- Transistor Pmos. ....	19
Figura 4- Diagrama de blocos do PLL.....	20
Figura 5- Detector de fase digital.....	22
Figura 6- Gráfico sobre a tensão média em relação à diferença de fase. ....	24
Figura 7- Oscilador em anel. ....	25
Figura 8-Oscilador em anel limitado por corrente. ....	26
Figura 9- Filtros lag e lead-lag. ....	28
Figura 10- Esquemático no DSCH do Oscilador controlado por tensão limitado por corrente. ....	33
Figura 11- Ajustes dos parâmetros do script importado no <i>microwind</i> .....	34
Figura 12- Legenda de Cores.....	35
Figura 13 - VCO gerado pelo DSCH.....	35
Figura 14- Frequência de oscilação do VCO desenvolvido no DSCH. ....	36
Figura 15 - VCO esquematizado manualmente. ....	37
Figura 16 - Frequência Média Obtida pelo VCO Esquematizado Manualmente. ....	38
Figura 17 - Frequência Máxima Obtida Pelo VCO Manual. ....	39
Figura 18 - Frequência Máxima Obtida Pelo VCO DSCH.....	39
Figura 19 - Frequência Mínima Obtida Pelo VCO desenvolvido manualmente. ....	40
Figura 20 - Frequência Mínima Obtida Pelo VCO desenvolvido pelo DSCH.....	40
Figura 21 - Porta XOR desenvolvida no DSCH.....	42
Figura 22 - Resultados porta XOR desenvolvida no DSCH. ....	43
Figura 23 - Porta XOR utilizando a metodologia proposta por Dhar(2014).....	43
Figura 24 - Resultado da porta XOR utilizando a metodologia proposta por Dhar(2014). ....	44
Figura 25 - PLL desenvolvido no DSCH.....	48
Figura 26 - Resultado PLL DSCH. ....	49
Figura 27 - PLL desenvolvido manualmente. ....	49
Figura 28 - Resultados do PLL desenvolvido manualmente. ....	50
Figura 29 - Modelo 3D do circuito esquematizado manualmente. ....	51



## LISTA DE TABELAS

Tabela 1 – Comparação entre os VCO desenvolvidos .....	Erro! Indicador não definido.
Tabela 2 – Comparação entre as portas XOR desenvolvidas .....	Erro! Indicador não definido.6
Tabela 3 – Parâmetros esquematizados .....	Erro! Indicador não definido.29
Tabela 4 –Comparação entre os PLL desenvolvidos .....	Erro! Indicador não definido.2

## LISTA DE ABREVIATURAS, SIGLAS E ACRÔNIMOS

PLL	Phase Locked Loop
V	Tensão
A	Corrente
VCO	Oscilador Controlado por Tensão
Lead	Avanço
Lag	Atraso
CMOS	Semicondutor Óxido Metálico Complementar
NMOS	Semicondutor Óxido Metálico Tipo N
PMOS	Semicondutor Óxido Metálico Tipo P
FET	Field Effect Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
Hz	Hertz
MHz	Mega Hertz
Ghz	Giga hertz
ms	Milisegundos
µs	Microsegundos
ns	Nanosegundos
ps	Picosegundos
mm	Milímetro
µm	Micrometro
nm	Nanômetro
pm	Picometros

## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	<b>12</b>
<b>2 JUSTIFICATIVA</b> .....	<b>14</b>
<b>3 OBJETIVOS</b> .....	<b>15</b>
3.1 OBJETIVO GERAL .....	15
3.2 OBJETIVOS ESPECÍFICOS .....	15
<b>4 REVISÃO BIBLIOGRÁFICA</b> .....	<b>16</b>
4.1 TECNOLOGIA CMOS .....	16
4.1.1 Tipos de materiais .....	16
4.1.2 Fotolitografia.....	16
4.1.3 Transistores Cmos .....	18
4.2 FUNCIONAMENTO DO PLL .....	19
4.2.1 Fundamentação teórica do PLL .....	19
4.3 DETECTORES DE FASE.....	21
4.3.1 Fundamentação Teórica.....	21
4.3.2 Equacionamento dos Comparadores Analógicos.....	22
4.3.3 Equacionamento Da Porta XOR.....	23
4.4 OSCILADORES CONTROLADOS POR TENSÃO (VCO) .....	24
4.4.1 Fundamentação Teórica.....	24
4.4.2 Oscilador Limitado Por Corrente .....	25
4.5 FILTRO DE MALHA .....	27
4.5.1 Fundamentação Teórica.....	27
<b>5 METODOLOGIA</b> .....	<b>29</b>
5.1 PESQUISA .....	29
5.2 DESENVOLVIMENTO.....	29
5.3 IMPLEMENTAÇÃO E SIMULAÇÃO .....	30
<b>6 RESULTADOS E DISCUSSÃO</b> .....	<b>31</b>
6.1 EQUACIONAMENTO VCO .....	31
6.2 DESENVOLVIMENTO DO VCO .....	32
6.3 DESENVOLVIMENTO DA XOR.....	42
6.4 ESQUEMATIZAÇÃO DO PLL .....	45
6.5 DESENVOLVIMENTO DO PLL.....	48
<b>7 CONCLUSÃO</b> .....	<b>52</b>
<b>REFERÊNCIAS</b> .....	<b>53</b>

## 1 INTRODUÇÃO

Após a Segunda Guerra Mundial, o mundo se dividiu nos polos capitalista e comunista, e tal divisão gerou uma competição tecnológica que eventualmente originou a corrida espacial. Esta empreitada impulsionou o desenvolvimento tecnológico, desta forma foi fundado o Vale do Silício, localizado nos Estados Unidos da América, que teve papel fundamental no desenvolvimento tecnológico da eletrônica. Nessa região foram desenvolvidas diversas tecnologias, dentre elas, a criação de um componente-chave para a eletrônica, o transistor (STANFORD, 2016).

Em 1958 Jack Kilby construiu o primeiro *flip-flop* em um circuito integrado constituído por dois transistores na *Texas Instrument* e em 2008 a Intel projetou o microprocessador *Itanium*, que possuía mais de 4 bilhões de transistores. Assim como previsto na lei de Moore, o número de transistores dobrou anualmente, possibilitando inúmeras aplicações que décadas antes eram impossíveis de serem executadas (WESTE; HARRIS, 2011).

Weste e Harris (2011) também afirmam que, o expressivo crescimento foi possível devido à miniaturização dos transistores e ao desenvolvimento dos processos de fabricação; sendo menores em tamanho, possuem alto desempenho, baixa potência dissipada e boa resiliência à ruídos.

Com o desenvolvimento da tecnologia de circuitos integrados, o *phase locked loop* (PLL) ou circuito para malha de captura de fase, que inicialmente foi utilizado para a recepção de sinais de rádio em 1932 por H. de Bellescizi na França, tem sido desde então difundido em várias áreas da eletrônica e sua viabilidade cresceu devido ao tamanho reduzido do circuito integrado e da sua implementação nesta topologia de microcomponentes (YOUNG, 2006).

A funcionalidade do PLL é fazer o oscilador controlado por tensão oscilar na mesma frequência e fase do sinal de entrada. Tal sistema por si só funciona como um demodulador de sinais modulados em frequência, entretanto, ao modificar este circuito e adicionar periféricos, este atua como um eficiente sistema de controle (LATHI; DING, 2012). Contudo, para realizar o projeto do PLL é necessária uma fina esquematização de seu filtro e do oscilador controlado por tensão para que este atue na faixa de frequência desejada.

Nesse contexto, o presente projeto visa desenvolver um circuito integrado que atue como um PLL de forma efetiva, utilizando o *Software Microwind* para realizar o projeto e as simulações.

## 2 JUSTIFICATIVA

O desenvolvimento do PLL em um circuito integrado apresenta-se como uma eficiente alternativa dentro da temática de circuitos integrados devido à sua versatilidade, baixo custo de produção, alta velocidade de processamento e implementação em diversas áreas da eletrônica. Tal tarefa já foi realizada pela *Texas Instrument* com os circuitos integrados LM565 e LM565C (TEXAS INSTRUMENT, 1999), que tiveram aplicabilidades variadas na indústria, tais como: receptores de rádio como demoduladores, multiplicadores de *clock* em microprocessadores e no processamento digital de sinais de vídeo.

### 3 OBJETIVOS

#### 3.1 OBJETIVO GERAL

Desenvolver um circuito integrado que atue como um PLL dentro do *Software Microwind* para realizar as simulações conforme o projeto, visando um funcionamento eficiente.

#### 3.2 OBJETIVOS ESPECÍFICOS

- Estudar diferentes *layouts* de circuitos integrados, bem como suas eficiências;
- Desenvolver o esquemático de circuitos integrados dentro de especificações análogas às de empresas e autores especializados no desenvolvimento destes;
- Comparar os circuitos desenvolvidos a fim de verificar qual apresenta melhor eficiência;
- Facilitar a utilização de um PLL ao implementá-lo em circuito integrado.

## 4 REVISÃO BIBLIOGRÁFICA

### 4.1 TECNOLOGIA CMOS

#### 4.1.1 Tipos de materiais

Um condutor pode ser definido como um material cuja camada de valência não está totalmente preenchida, ou está totalmente preenchida, mas com sobreposição para a camada seguinte. Materiais isolantes por outro lado, são materiais que possuem a camada de valência totalmente preenchidas por elétrons. Neste âmbito, temos os materiais semicondutores, que possuem propriedades elétricas intermediárias, podendo atuar como um condutor ou isolante dependendo de suas condições físicas e sua dopagem com outros materiais (SWART, 2008).

O silício se mostrou um material extremamente versátil devido à sua qualidade ao atuar como um semicondutor. Desta forma, ganhou espaço no mercado em razão da sua abundância na natureza e facilidade com que pode ser manipulado, para ser implementado em circuitos integrados (TECMUNDO, 2012).

Após realizada a extração e manipulação, conhecida como método de Czochraalski (onde há uma quantidade de silício em forma líquida que pode ser dopada com outros materiais conforme a necessidade da empresa), é inserido um bastão que é um monocristal de silício, conhecido como “semente”; este possui elevado nível de pureza, que vagarosamente irá puxar o silício, enquanto este é solidificado até formar um tarugo de silício, que será cortado em discos, conhecidos como *wafers* (WESTE; HARRIS, 2011).

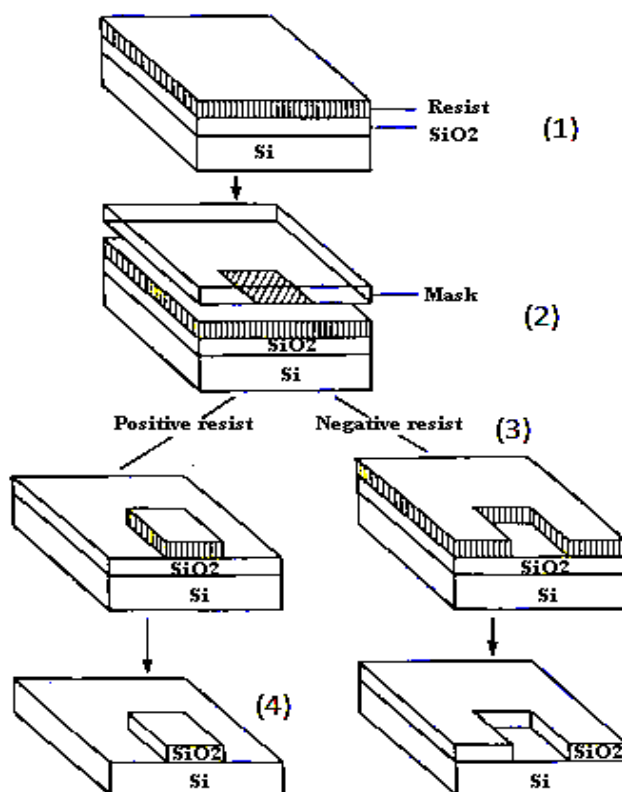
#### 4.1.2 Fotolitografia

Segundo Weste e Harris (2011) a fotolitografia (Figura 1) é uma técnica em que padrões geométricos são transferidos através de uma “máscara” óptica à lâmina



de silício. Esta “máscara” possui padrões que irão construir as regiões onde serão formados os dispositivos e interconexões elétricas, dentro do *microchip*. O processo de transferência ocorre com um material chamado fotoresiste, caracterizado por possuir duas vertentes: o tipo positivo (na presença de luz se torna solúvel), e o tipo negativo (na presença de luz se torna menos solúvel).

Dessa forma, na lâmina de silício é adicionado metal, e sobre o metal o fotoresiste. Após aplicar luz ultravioleta no fotoresiste, o metal é corroído, e o remanescente do fotoresiste é retirado. Este processo, de acordo com Chopra (2014), é um dos principais motivos pelo qual a miniaturização de um circuito é justificada, visto que a maioria dos componentes necessários já estão situados na lâmina.



**Figura 1- Fotolitografia.**

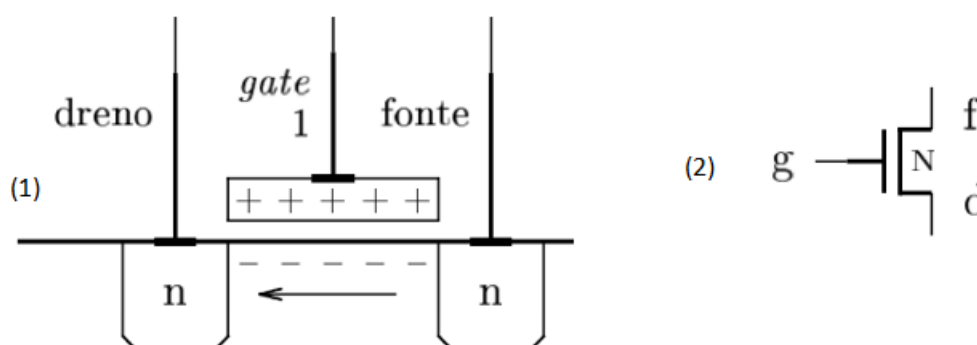
**Legenda:** (1) Aplicação do fotoresiste na lâmina de silício;(2) Aplicação da máscara;(3) Efeitos do fotoresiste positivo e em seguida negativo;(4) Corrosão do metal conforme o fotoresiste.

**Fonte:** Adaptado de Georgiatech (2014).

### 4.1.3 Transistores Cmos

Transistor é uma abreviação para o termo *transfer-resistor* ou resistor de transferência. O termo define um dispositivo de três entradas cuja resistência entre um par de terminais é controlada por um terceiro terminal, onde a tensão elétrica irá definir seu modo de operação, ao se comportar como um condutor ou isolante (NOBELPRIZE, 2014).

A Figura 2 mostra um corte transversal de um transistor do tipo N, revelando suas regiões internas. O *gate* tem como função realizar o controle do modo de operação a partir da tensão aplicada neste terminal. Este é isolado do substrato por uma fina camada de óxido de silício, o qual é um excelente isolante. A cada poço são conectados os terminais fonte e dreno, que permitirão a passagem de corrente elétrica. Por fim, se o nível lógico for alto no *gate*, resultará num acúmulo de cargas elétricas negativas no canal, e, quando aplicada uma diferença de potencial entre os terminais fonte e dreno, devido à baixa resistência do canal formado, uma corrente irá se estabelecer da fonte para o dreno (HEXSEL, 2006).



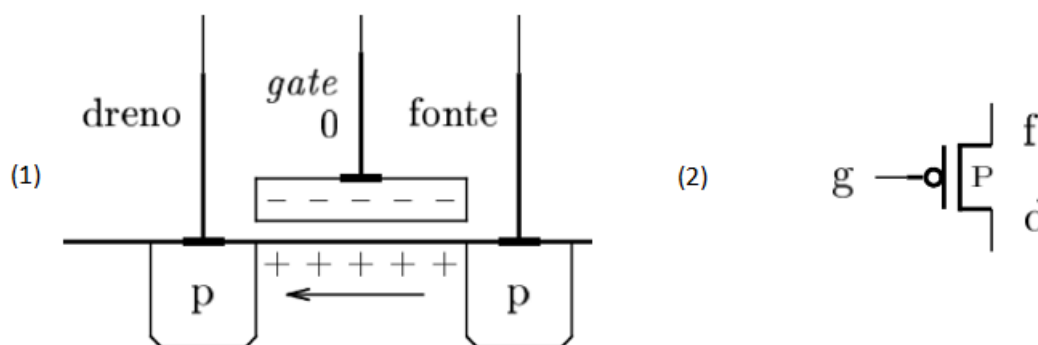
**Figura 2– Transistor Nmos.**

**Legenda: (1) corte transversal; (2) Topologia simplificada.**

**Fonte: Adaptado de Hexsel (2006).**

Também é afirmado pelo mesmo autor que, conforme a Figura 3, o princípio de funcionamento para um transistor do tipo P é similar ao do tipo N, contudo, ao invés de criar um canal com elétrons, será criado um canal com lacunas, portanto, se houver

um nível lógico alto será estabelecido um fluxo de lacunas impedindo a condução. Caso seja aplicado um nível lógico baixo, o *gate* fica com carga líquida negativa e esta provoca um afastamento dos elétrons sob o mesmo, diminuindo a resistência no canal.



**Figura 3– Transistor Pmos.**

**Legenda: (1) Corte transversal; (2) Topologia simplificada.**

**Fonte: Adaptado de Hexsel (2006)**

Os transistores explicados acima também podem ser chamados de FETs, sendo abreviação para *Field Effect Transistor* (Transistores de efeito de campo), devido ao fato que o canal só é estabelecido condigno ao efeito do campo elétrico formado pelas cargas acumuladas no *gate*. Seu nome por extenso é MOSFET, abreviação para *Metal Oxide Semiconductor, Field Effect Transistor*, onde *Metal-Oxide* indica a construção do transistor com um *gate* metálico sobre a camada de óxido de silício (BAKSHI; GODSE,2009).

## 4.2 FUNCIONAMENTO DO PLL

### 4.2.1 Fundamentação teórica do PLL

Segundo Motorola (1973), o *phase locked loop* (PLL) é composto por três módulos, sendo eles: o detector de fase, o filtro e o oscilador controlado por tensão (VCO). Tais módulos atuam em malha fechada, de forma que o sinal da entrada passe pelo detector de fase seguido do filtro para o VCO, onde o sinal será realimentado na entrada do detector de fase, conforme pode ser observado na figura 4. Desta forma, o VCO irá oscilar conforme o sinal de entrada até que suas frequências sejam iguais.

Ao observar a Figura 4, é dito que o PLL está amarrado, ou travado, quando a frequência de saída  $F_{vco}$  do VCO e a frequência do sinal de entrada  $F_i$  são iguais. O resultado consiste na diferença de fase entre o VCO e o sinal de entrada, que será a frequência de saída  $F_o$  do PLL. Esta diferença de fase deve ser mínima para que as duas oscilem na mesma frequência, contudo, isto só é afirmado se considerar o “*lock range*” do PLL, ou seja, o alcance de frequência que este consegue travar (YOUNG, 2006).

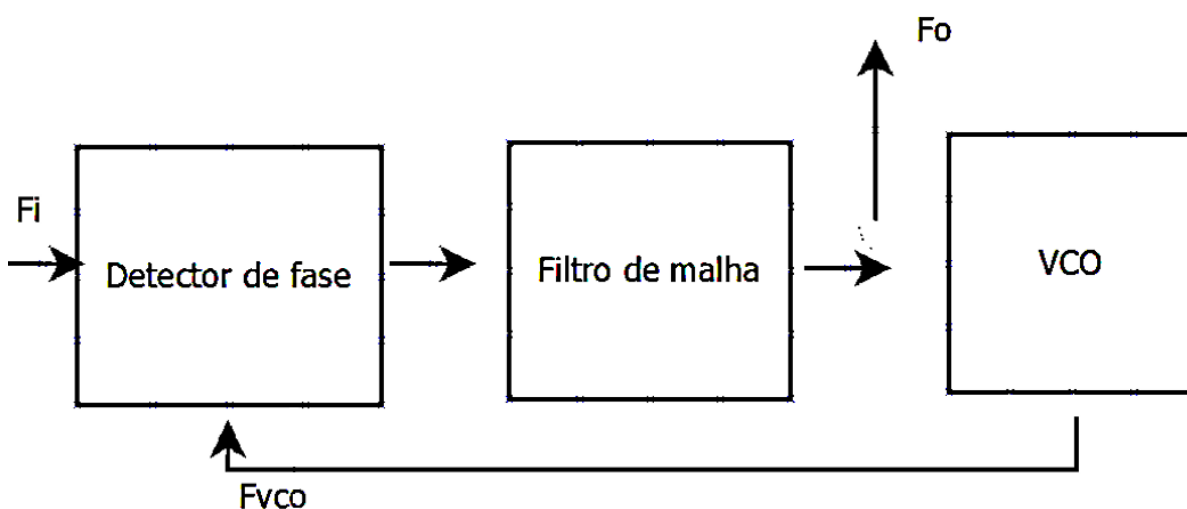


Figura 4- Diagrama de blocos do PLL.

Legenda: (Fi) Frequência de entrada; (Fvco) Frequência da saída do VCO; (Fo) Frequência de saída do PLL.

Conforme Young (2006), com diversos ajustes no circuito somados à inclusão de alguns periféricos, é possível fazer com que o PLL funcione como um demodulador, seja ele analógico ou digital, como um multiplicador de frequência, dentre outras aplicações.

Diante da temática deste projeto, é necessário levar em consideração a implementação em um circuito integrado, portanto, circuitos que apresentam uma simplificação em portas de sistemas digitais, ou transistorizados, possuem uma preferência na escolha devido a maior facilidade de implementação.

### 4.3 DETECTORES DE FASE

#### 4.3.1 Fundamentação Teórica

Um detector de fase é um circuito comparador, que recebe dois sinais com frequências diferentes ou iguais, e realiza a comparação dos mesmos, tendo como resultado a diferença entre as duas fases. Existem dois tipos de detectores de fase, os analógicos e os digitais (BAKSHI; GODSE, 2009).

Idealmente um detector de fase analógico, ou *mixer*, multiplica dois sinais diferentes, e em sua saída obtém-se a soma e a diferença de fase. Desta forma, surge a necessidade de realizar uma filtragem para que seja possível obter o sinal desejado, que no caso do PLL seria a diferença de fase. Sua construção é realizada através de ponte de diodos, ou circuitos transistorizados (MARKI; MARKI, 2010).

De acordo com Harikrushna et al. (2011), o detector de fase digital apresenta o mesmo funcionamento, e em sua maioria é implementado principalmente com a porta XOR. Conforme ilustrado na Figura 5, na saída do detector de fase digital é obtida exatamente a diferença entre os dois sinais.

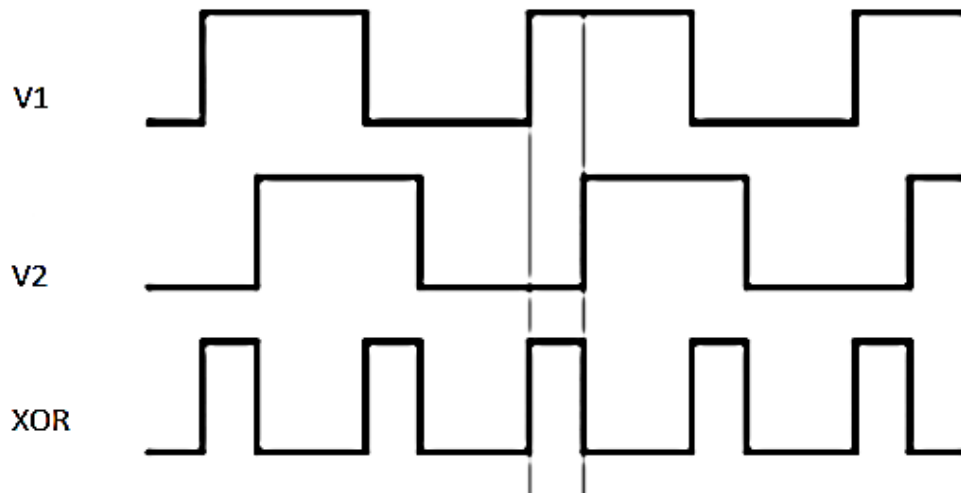


Figura 5- Detector de fase digital.

Legenda: Sinal de entrada (V1); Sinal a ser comparado (V2); Diferença entre os dois sinais (XOR).

Fonte: Adaptado de University of Oslo (2012).

#### 4.3.2 Equacionamento dos Comparadores Analógicos

Conforme mencionado anteriormente, os comparadores analógicos possuem a função de realizar a multiplicação entre dois sinais de entrada, portanto, ao considerar dois sinais senoidais, sendo  $H_a(t)$  o sinal de entrada e  $H_b(t)$  o sinal a ser multiplicado, conforme apresentado nas Equações 1 e 2 (NASCIMENTO, 2000), têm-se:

$$H_a(t) = A \text{ Sen}(\omega c * t + \theta a) \quad \text{Eq.(1)}$$

$$H_b(t) = B \text{ Cos}(\omega c * t + \theta b) \quad \text{Eq.(2)}$$

Realizando o produto dos dois sinais, tem-se o sinal resultante  $H_s(t)$  na saída do multiplicador (Equação 3):

$$H_s(t) = \frac{AB}{2} [\text{Sen}(\theta a - \theta b) + \text{Sen}(2 * \omega c * t + \theta a + \theta b)] \quad \text{Eq. (3)}$$

Contudo, no trabalho com um circuito PLL, o componente desejado será apenas a diferença de fase. Nesse sentido, após realizar a filtragem de  $Hs(t)$  através de um filtro passa-baixas obtém-se a diferença das fases, contudo, ao passar pelo filtro, este sinal está suscetível ao ganho do filtro, o qual será incluído na equação através da variável  $Kf$  (Equação 4).

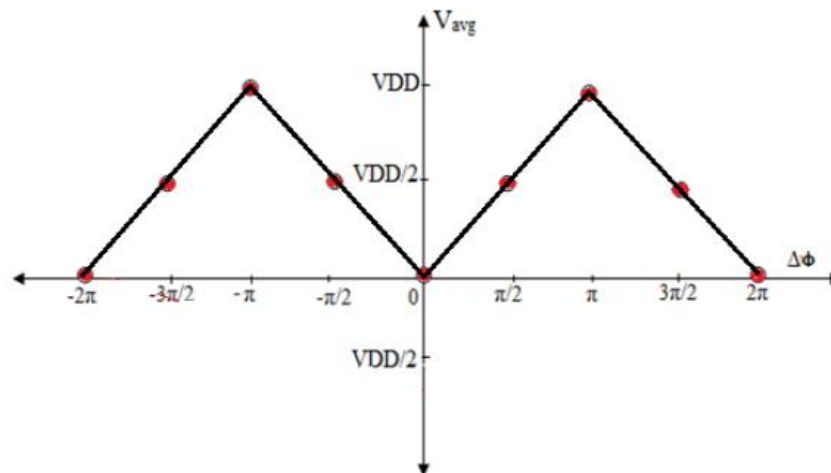
$$Hs(t) = \frac{AB}{2} * Kf * Sen(\theta a - \theta b) \quad \text{Eq. (4)}$$

Com isso, circuitos multiplicadores juntamente com um filtro passa-baixas são capazes de obter a diferença de fase para realizar a montagem do PLL. No entanto, um aspecto negativo deste sistema é que a amplitude dos sinais de entrada pode afetar o VCO, atrapalhando o *lock range* do PLL.

#### 4.3.3 Equacionamento da Porta XOR

A porta XOR realiza naturalmente a diferença de fase entre dois sinais, contudo, ao contrário do detector de fase analógico, a porta XOR possui a desvantagem de não conseguir realizar a diferença de fase em relação as ondas harmônicas (Harikrushna et al 2011).

Conforme apresentado na Figura 6, é possível perceber que para se obter dados com informações significantes é necessário que a diferença entre as fases dos sinais de entrada seja de  $\pi$  e zero para que, ao entrar no detector de fase, este consiga realizar o mapeamento entre os dois sinais obtendo um resultado inteligível.



**Figura 6– Gráfico sobre a tensão média em relação à diferença de fase.**  
**Legenda: VDD (Tensão máxima),  $\Delta\theta$  (Diferença de fase).**  
**Fonte: Harikrushna et al (2011).**

Por fim, ao contrário do detector de fase analógico, o ganho da porta XOR é constante (Equação 5) onde sua tensão média ( $V_{med}$ ) é demonstrada pela Equação 6, onde  $\Delta\theta$  é a diferença de fase obtida pela porta XOR.

$$K_{xor} = \frac{VDD}{\pi} \quad \text{Eq. (5)}$$

$$V_{med} = \frac{VDD * \Delta\theta}{\pi} \quad \text{Eq. (6)}$$

#### 4.4 OSCILADORES CONTROLADOS POR TENSÃO (VCO)

##### 4.4.1 Fundamentação Teórica

O oscilador controlado por tensão fornecerá uma onda cuja frequência será controlada pela amplitude de entrada, ocorrendo uma relação de proporcionalidade,



onde, uma alta amplitude irá gerar uma frequência elevada e uma baixa amplitude uma frequência baixa. Os tipos de VCO mais comuns utilizados em um PLL são: o oscilador LC, o oscilador multivibrador e o oscilador em anel.

Os osciladores em anel são amplamente utilizados na microeletrônica, devido a sua simples implementação através de portas inversoras, onde comumente a frequência de oscilação destes osciladores é ajustada pela quantidade de portas. Uma maneira de realizar este controle seria utilizar um circuito seletor para escolher a quantidade de portas a serem utilizadas (PEREIRA, 2010), conforme verificado na Figura 7.

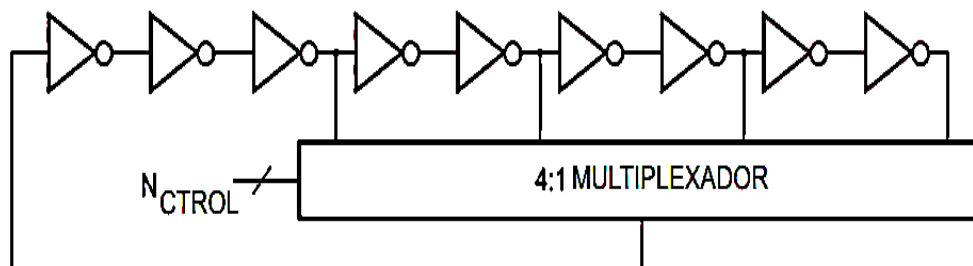


Figura 7- Oscilador em anel.

Legenda: Controle da frequência de oscilação (Nctrl).

Fonte: Pereira (2010)

#### 4.4.2 Oscilador Limitado Por Corrente

A topologia de um oscilador em anel é capaz de gerar uma onda senoidal, contudo, falta um ajuste fino para realizar o controle da sua frequência conforme a tensão de entrada. Com isso, ao associar transistores do tipo Pmos e Nmos é possível manipular a capacitância, sendo possível desta forma realizar o controle da frequência do oscilador (PANDA et al, 2011). Portanto, a frequência de oscilação média será definida quando a tensão aplicada no *gate* do transistor M5 for a metade da tensão VDD aplicada no Pmos M4, ambos ilustrados pela Figura 8. Na Equação 7 encontra-se descrita a frequência média  $F_{osc}$ :

$$F_{osc} = \frac{2 * I_d}{N * C_{tot} * VDD} \quad \text{Eq. (7)}$$

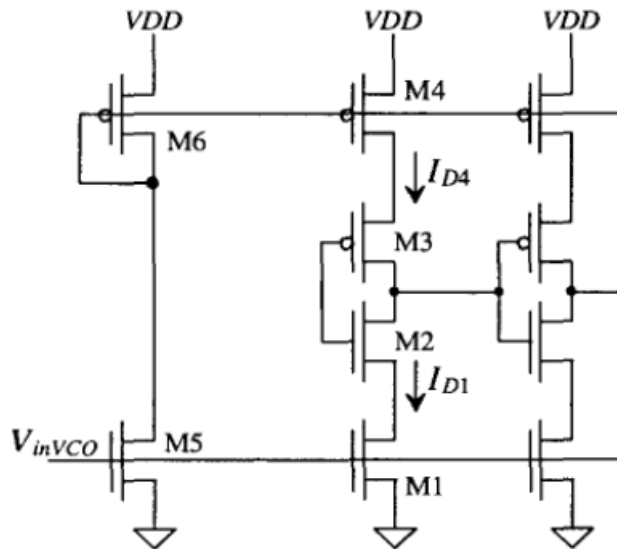


Figura 8-Oscilador em anel limitado por corrente.  
 Legenda:  $I_D$  (Corrente no dreno).  
 Fonte: Panda (2010)

Panda(2010) afirma também que, conforme apresentado na Figura 8,  $I_d$  será a corrente do dreno, sendo esta igual para todas as partes dos transistores que compõem a porta inversora;  $N$  será o número de estágios que ocorrem na porta inversora, sendo necessário um  $N$  ímpar e maior que um para que haja oscilação;  $VDD$  sendo a tensão aplicada nos Pmos limitadores de corrente, e, por fim,  $C_{tot}$  sendo a capacitância total dos transistores que atuam como uma inversora, conforme demonstrado na Equação 8.

$$C_{tot} = \frac{2}{5} C_{ox} (L_p * W_p + L_n * W_n) * (\text{Escala}^2) \quad \text{Eq. (8)}$$

Onde  $C_{ox}$  é a capacitância do óxido, e  $L_p, W_p, L_n, W_n$  o comprimento e largura dos transistores Pmos e Nmos respectivamente, e por fim, a escala sendo a tecnologia em que serão implementados.

Ao associar o VCO dentro do sistema PLL é necessário levar em consideração seu ganho  $K_{vco}$ , conforme demonstrado na Equação 9.

$$K_{vco} = \frac{F_{max} - F_{min}}{V_{max} - V_{min}} \quad \text{Eq. (9)}$$

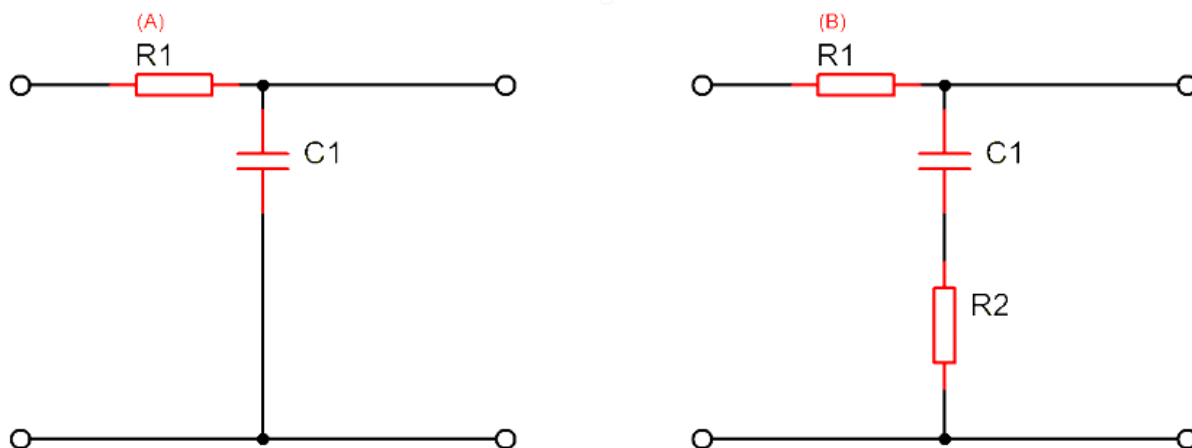
Onde  $F_{max}$  e  $F_{min}$  são as frequências máxima e mínima de oscilação, e  $V_{max}$  e  $V_{min}$  as tensões máxima e mínima.

## 4.5 FILTRO DE MALHA

### 4.5.1 Fundamentação Teórica

A inclusão de um filtro no PLL é essencial, visto que o mesmo desempenha diversas funções: remove o ruído de alta frequência do detector de fase, influencia o alcance do *lock range* do PLL e influencia o ganho do circuito. Existem diversos filtros que podem ser implementados, ativos ou passivos; os filtros mais utilizados para realizar a implementação do PLL são os filtros *lag* e *lead-lag* (CHEN, 2009).

O filtro *lag* é uma versão especial do filtro *lead-lag* quando o resistor  $R_2$  for considerado igual a zero, conforme apresentado na Figura 9.



**Figura 9- Filtros lag e lead-lag.**  
**Legenda: Filtro Lag(A); Filtro Lead-Lag(B).**

O filtro *lead-lag* possui o funcionamento de acordo com o descrito na Equação 10, que representa seu ganho em altas frequências. Já em baixas frequências, seu ganho é igual a 1.

$$Ganho = \frac{R2}{(R1+R2)} \quad \text{Eq. (10)}$$

## 5 METODOLOGIA

### 5.1 PESQUISA

Um embasamento teórico sobre cada sistema do PLL se justifica ao aprender sobre o dado circuito, bem como sobre sua esquematização, sendo necessário definir vários parâmetros sobre o projeto final, podendo-se citar: frequência e amplitude máxima do VCO, ganho e frequência de corte do filtro.

Conforme Nishali (2015), ao trabalhar com circuitos integrados é necessário levar em consideração a eficiência do sistema com os diferentes esquemáticos possíveis, com isso, reduz-se a área ocupada e potência do circuito.

A pesquisa foi realizada utilizando-se como base circuitos integrados que possuem a mesma função e estão no mercado, bem como artigos e patentes que realizam a explicação de cada módulo do PLL.

### 5.2 DESENVOLVIMENTO

No desenvolvimento deste projeto foi utilizado o software *Microwind* e DSCHE para elaboração do projeto e simulações, onde a fabricação será realizada em trabalhos futuros. Foram estudados circuitos integrados pertinentes ao PLL (conforme o diagrama de blocos da Figura 4) de diferentes projetos, de empresas que fabricam o circuito, bem como de artigos científicos.

O projeto foi feito modularmente, com a implementação dos diversos blocos de um PLL. Após isso, foram realizados testes que verificaram o funcionamento, separadamente e em conjunto.

Para o oscilador controlado por tensão, utilizou-se a topologia de anel, por meio do uso de diversas portas inversoras, as quais são controladas através de transistores do tipo Pmos que funcionaram como uma fonte de corrente, de tal maneira controlando a frequência de oscilação do circuito.

Os circuitos integrados possuem problemas para realizar a filtragem de elevadas frequências devido a sua limitação na capacitância interna, portanto, a filtragem ocorre de forma externa. Em contrapartida, é possível realizar a esquematização de circuitos resistivos que trabalhem com os capacitores periféricos conforme a necessidade da filtragem.

O circuito responsável por realizar a comparação da fase de dois sinais de entrada, foi implementado com uma das topologias de componentes não-lineares, neste caso, utilizou-se o transistor para realizar a construção de um dispositivo utilizado em sistemas digitais, a porta XOR.

Toda a esquematização do projeto levou em consideração as medidas apropriadas para que o mesmo funcionasse conforme o esperado, evitando problemas relacionados a capacitâncias ou indutâncias parasitas que podem causar um mal funcionamento ou atraso da resposta de um circuito.

### 5.3 IMPLEMENTAÇÃO E SIMULAÇÃO

Foi utilizada a simplificação por meio de transistores CMOS, os quais atuaram como portas lógicas, executando suas respectivas funções. Conforme o desenvolvimento do projeto, implementou-se uma topologia mais avançada, reduzindo a área ocupada, ao utilizar ferramentas de criação de microcomponentes no software *Microwind*, com vistas à redução da área do circuito e a redução da potência utilizada. A partir disso, realizou-se uma comparação entre as diferentes topologias analisadas.

As simulações feitas utilizando o *software Microwind* foram efetuadas com base nos dados físicos existentes de cada material, realizadas apropriadamente, considerando o funcionamento do circuito integrado na prática. Ao realizar as simulações considerou-se o produto final, bem como sua área de operação e modelo 3D final.

## 6 RESULTADOS E DISCUSSÃO

### 6.1 EQUACIONAMENTO VCO

Para realizar o início do desenvolvimento do projeto, foi necessário primeiramente obter dados pertinentes à tecnologia utilizada, no caso,  $90nm$ . Com isso, o primeiro dado necessário foi a capacitância, a qual pode ser descrita conforme a metodologia proposta por Baker (2010) conforme apresentado na Equação 11.

$$C_{ox} = \frac{\epsilon_0 * \epsilon_r}{T_{ox}} \quad \text{Eq. (11)}$$

Onde  $\epsilon_0$  é a constante de permissividade no vácuo com o valor de  $8.85 * \frac{10^{14}F}{m}$ ;  $\epsilon_r$  a constante de permissividade do óxido de silício, dado pelo valor constante de 3.95 e por fim,  $T_{ox}$ , o espaçamento do óxido de silício ao construir as diversas camadas cujo valor na tecnologia de  $90nm$  é  $2.5nm$ , dependente da tecnologia utilizada.

Os valores de  $\epsilon_r$  e  $T_{ox}$  foram obtidos através do *datasheet* da empresa *Texas Instrument*.

Com isso, obteve-se o resultado demonstrado na Equação 12:

$$C_{ox} = 14.05 \frac{f}{(\mu m)^2} \quad \text{Eq. (12)}$$

Conforme a metodologia utilizada como base, o valor da capacitância  $C_{ox}$  deve estar na unidade de medida  $\frac{f}{\mu m^2}$ , sendo a mesma obtida ao multiplicar os dois lados da equação por  $\mu m^2$  (PANDA, 2011). Com o valor da capacitância do óxido de

silício obtido, será levado em conta o próximo estágio do sistema considerando a capacitância total de um módulo composto por inversora (Equação 8).

Utilizando a escala do transistor Pmos de 10  $\mu\text{m}$  de largura para 1  $\mu\text{m}$  de comprimento, e, a escala do Nmos de 5  $\mu\text{m}$  de largura para 1  $\mu\text{m}$  de comprimento, de acordo com a metodologia de Baker (2010), onde a largura do Pmos deve ser aproximadamente o dobro da largura do Nmos, pode-se substituir os respectivos valores na Equação 8, obtendo-se a Equação 13:

$$C_{tot} = 42,68fF \quad \text{Eq. (13)}$$

Uma vez calculada a capacitância total do estágio de uma inversora, é possível estimar a frequência de oscilação média do circuito, utilizando a mesma metodologia de Baker(2012), onde é estimado uma corrente  $I_d$  de  $700\mu\text{A}$ , foi auferida a frequência média conforme denotado pela Equação 14:

$$F_{osc} = 5,599\text{GHz} \quad \text{Eq. (14)}$$

Então, conforme os dados esquematizados é possível obter um VCO que oscile em torno de  $5.599\text{GHz}$  como frequência média utilizando a tecnologia de  $90\text{nm}$ .

## 6.2 DESENVOLVIMENTO DO VCO

Uma vez realizada a esquematização do projeto, foi necessário desenvolver os respectivos circuitos utilizando o *software Microwind*. Nesse sentido, visando demonstrar a esquematização na topologia de circuitos integrados de um VCO, foram desenvolvidos dois circuitos diferentes que atuam como um VCO. O primeiro foi desenvolvido através da linguagem de programação *Verilog*, com o auxílio do software



DSCH, e o segundo por meio de uma esquematização visando otimizar o primeiro circuito desenvolvido.

Através do software DSCH, foi possível realizar a modelagem do VCO limitado por corrente, que gera um *script* em *Verilog* onde o *Microwind* consegue interpretar os dados e gerar um circuito equivalente. Tal ferramenta é extremamente útil, pois através da mesma é possível gerar circuitos maiores com facilidade dentro da topologia de circuitos integrados, a fim de obter dados, conforme demonstrado na Figura 10.

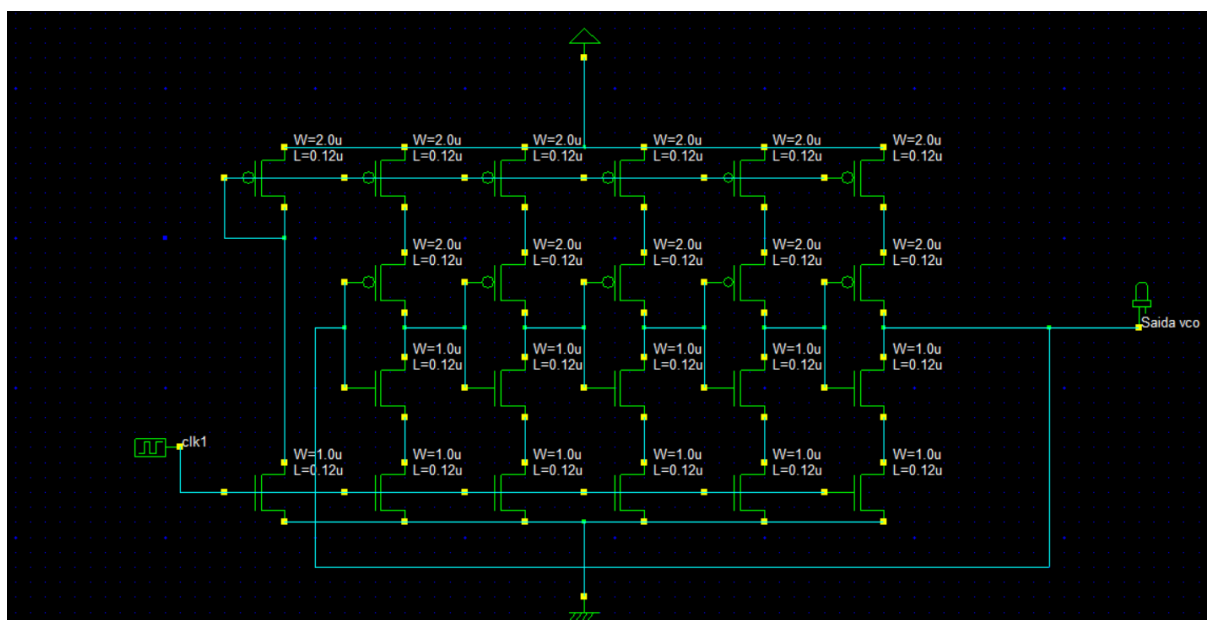
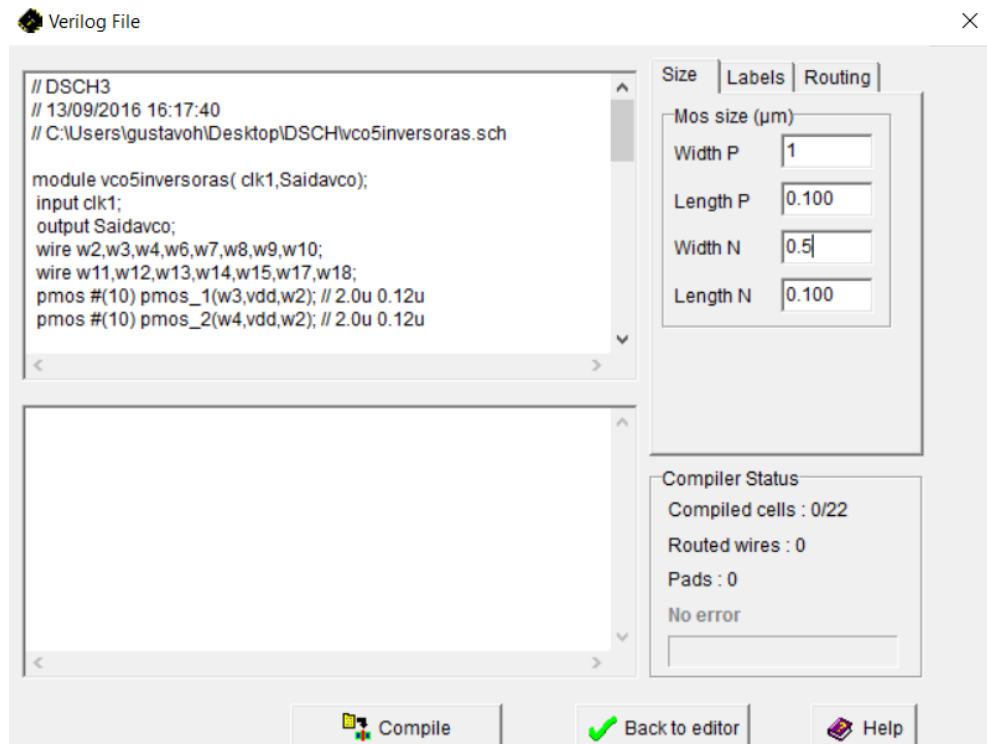


Figura 10– Esquemático no DSCH do Oscilador controlado por tensão limitado por corrente.

A partir do circuito demonstrado anteriormente, foi gerado um *script* em *verilog*, onde foi possível realizar a manipulação do tamanho dos transistores dentro do *software microwind* (Figura 11), visando atender à frequência média projetada.



**Figura 11– Ajustes dos parâmetros do script importado no *microwind*.**

Uma vez realizados os ajustes e podendo ser definidas a forma de rotear o circuito bem como a quantidade de trilhas a serem usadas, é gerado um circuito que atende à montagem realizada conforme a Figura 10, obtendo a topologia equivalente no *microwind* (Figura 13), onde a legenda de cores dos materiais pode ser demonstrada pela Figura 12.

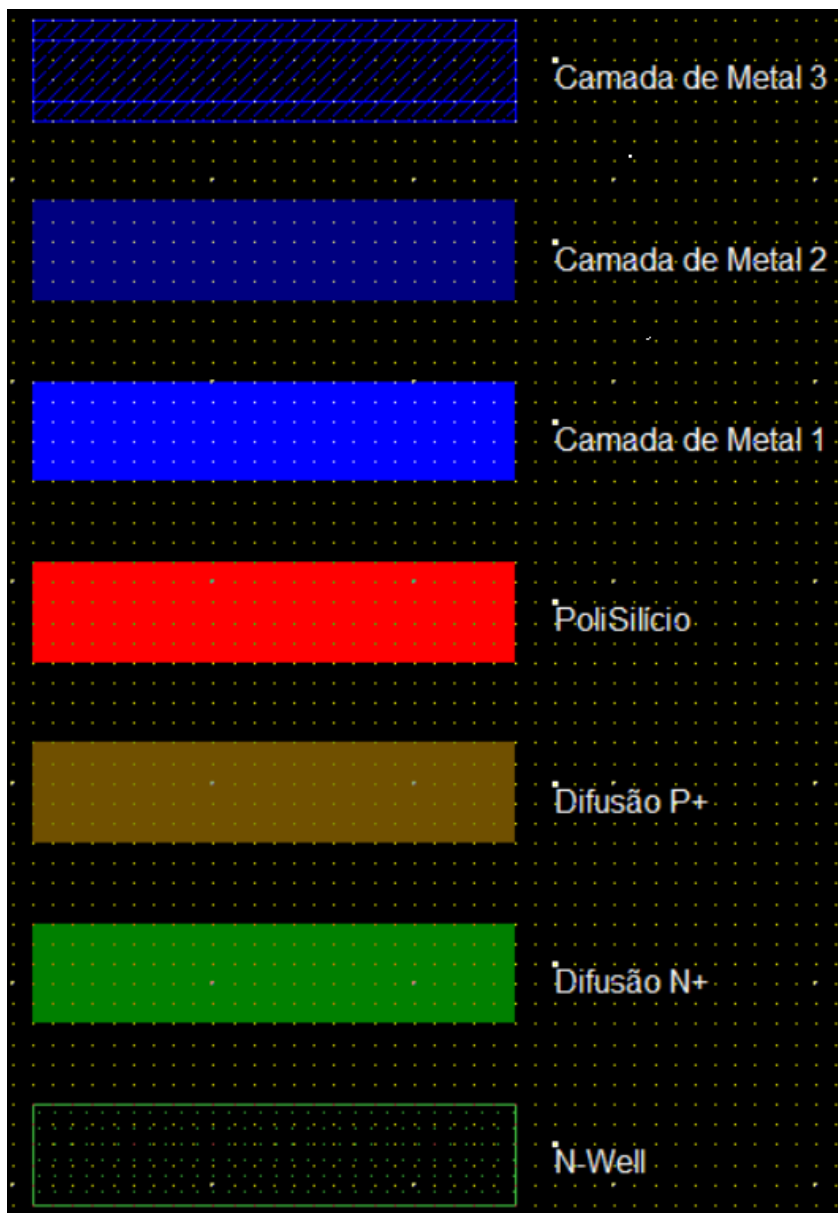


Figura 12- Legenda de Cores.

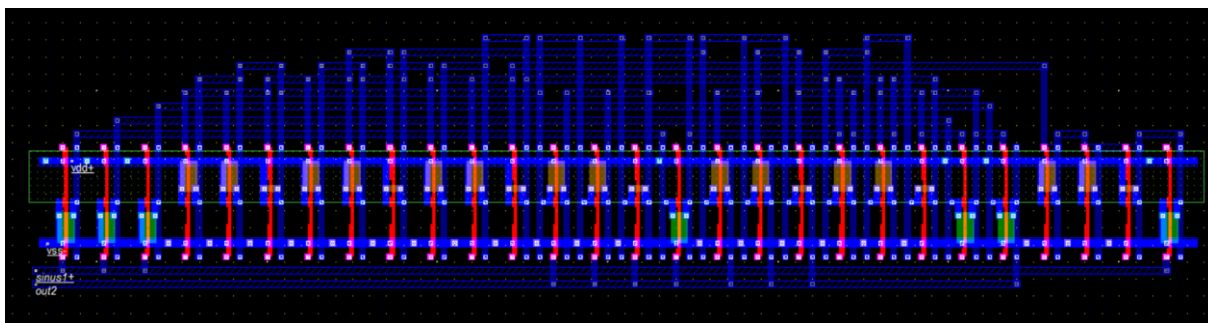


Figura 13 – VCO gerado pelo DSCH.

Com o circuito gerado, foi aplicada uma tensão 0.6V na entrada do *gate*, sendo esta a metade de VDD, conforme demonstrado na Figura 14.

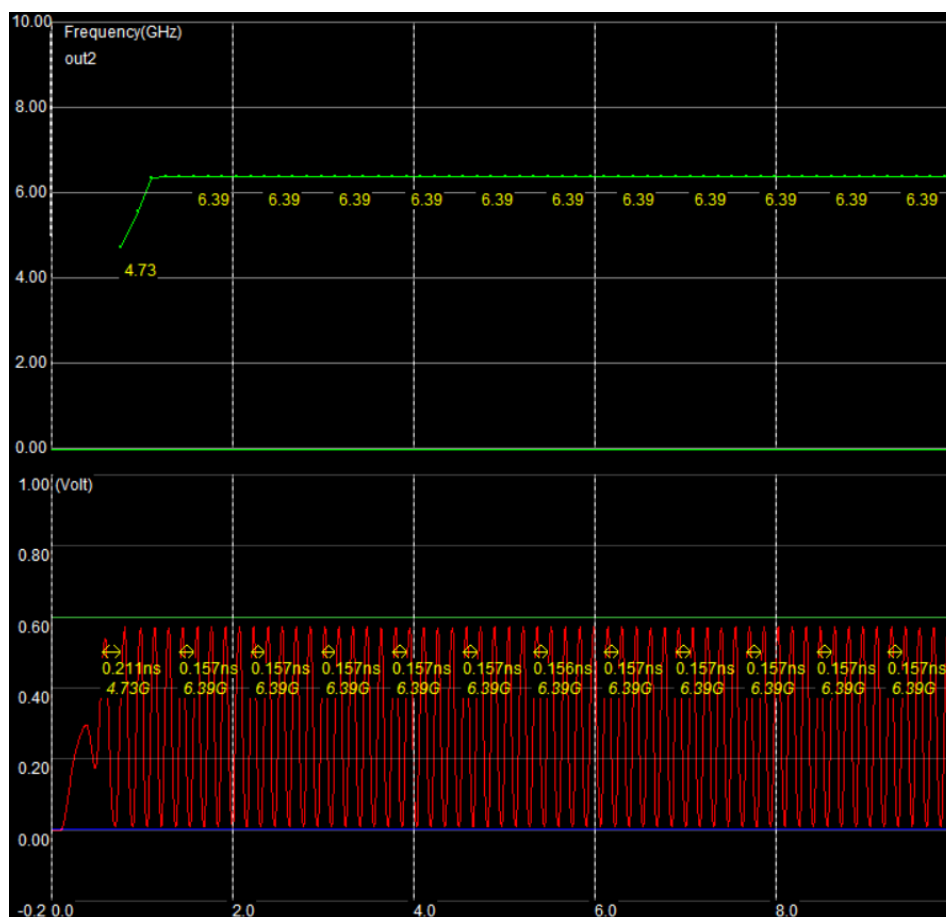


Figura 14– Frequência de oscilação do VCO desenvolvido no DSCH.

Por se tratar de um circuito totalmente não-linear, a frequência média estimada se diferencia dos parâmetros calculados, sendo que também é levado em consideração o tamanho e layout do circuito, que geram mais não-linearidades, desta forma, alterando a frequência média da projetada (MAULIK; LAI, 1993).

O próximo design não se utiliza do software DSCH, e assim, comparado ao primeiro circuito obtido, visou realizar uma diminuição da área total bem como uma diminuição das trilhas, obtendo um valor da frequência média com mais precisão do que o valor da frequência média estimada. Com isso, considerando o mesmo tamanho e proporção dos transistores Pmos e Nmos, obteve-se o circuito demonstrado na Figura 15.

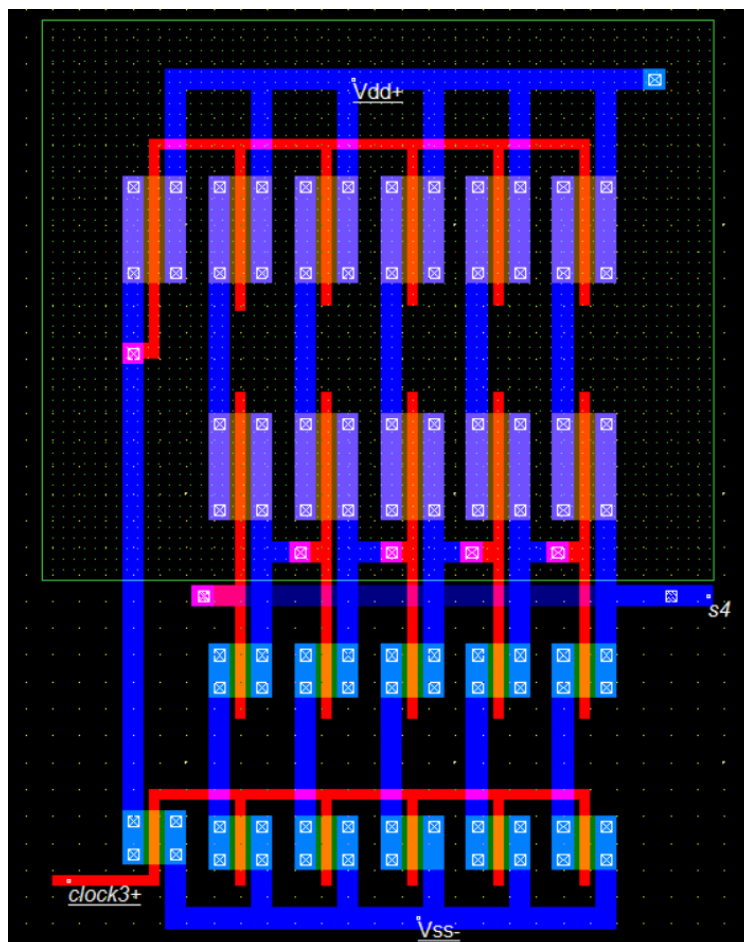


Figura 15 – VCO esquematizado manualmente.

É perceptível a redução da área ocupada pelo segundo circuito, de  $205.991\mu\text{m}^2$  para  $42.7781\mu\text{m}^2$ , com isso, obteve-se os valores de frequência (Figura 16) ao aplicar o mesmo princípio do primeiro circuito gerado.

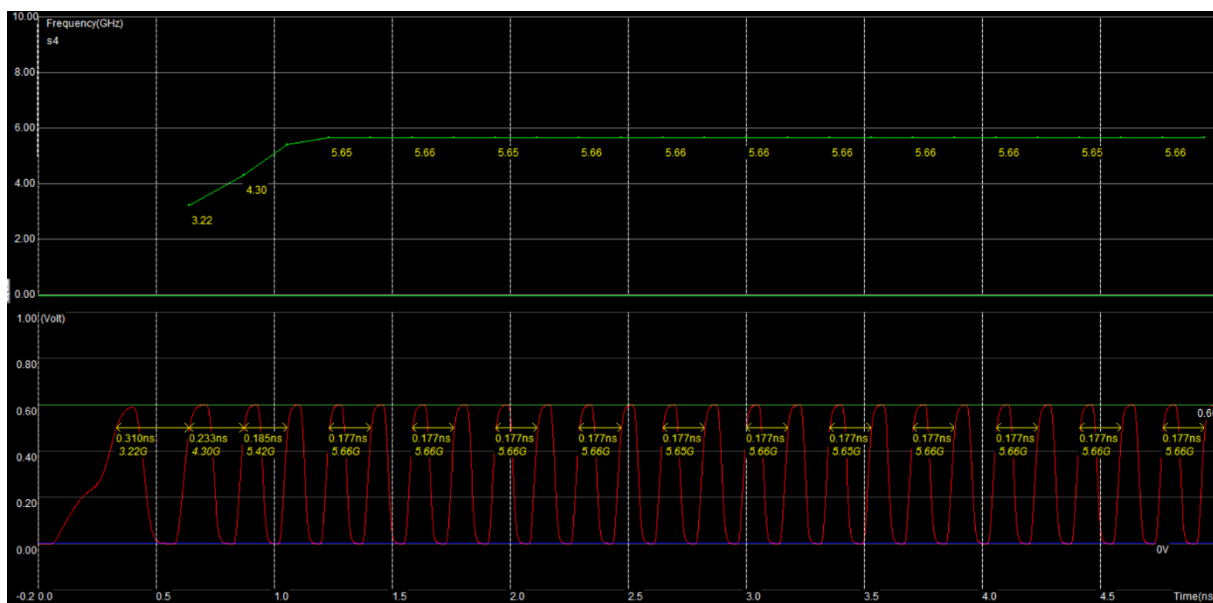


Figura 16 – Frequência Média Obtida pelo VCO Esquemático Manualmente.

Devido ao tamanho reduzido da área do circuito, e assim consequentemente de suas não-linearidades, obteve-se uma frequência média de 5.66Ghz mais aceitável para com a projetada.

O próximo passo foi definir as frequências máximas e mínimas de oscilação, juntamente com as respectivas tensões máximas e mínimas, a fim de obter o ganho do VCO para desenvolver a esquematização do sistema PLL. É dito que a frequência será máxima quando a tensão aplicada no *gate* for igual à VDD (Equbal et al 2015), onde ambos são iguais a 1.2V.

A tensão mínima idealmente seria zero, contudo, devido ao princípio não linear do transistor e o fato de que o canal condutor do transistor só será formado a partir de uma tensão mínima, utilizou-se o valor de 0.2V.

As frequências máximas de oscilação do esquemático desenvolvido manualmente e do software DSCH encontram-se apresentadas nas Figuras 17 e 18, respectivamente.

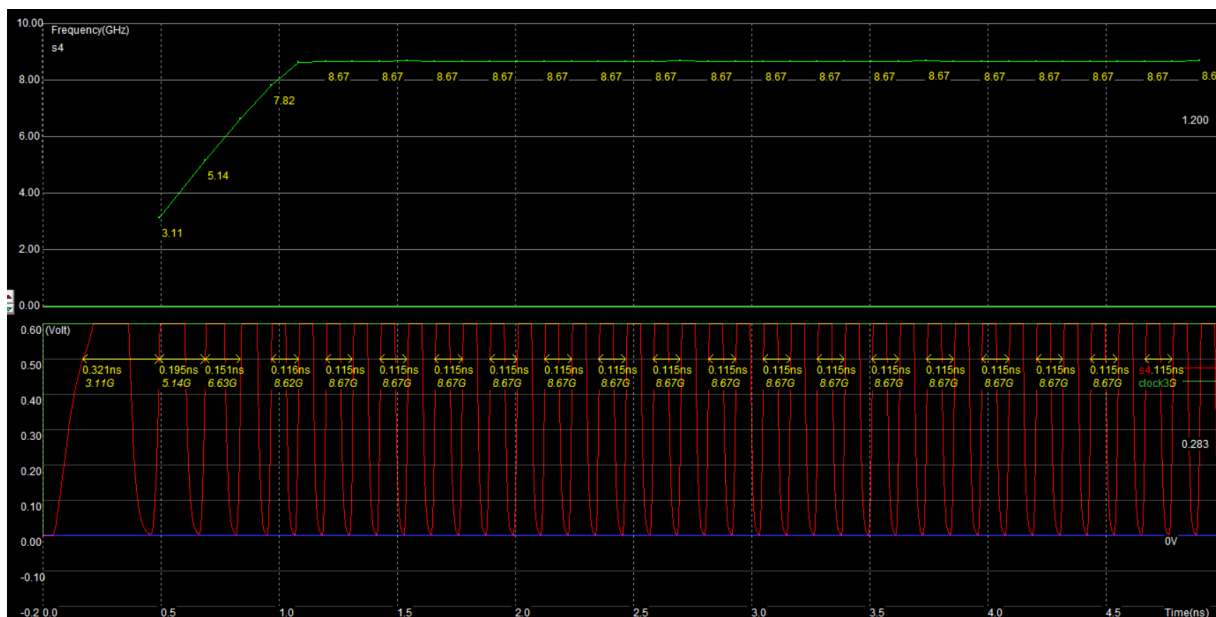


Figura 17 – Frequência Máxima Obtida Pelo VCO Manual.

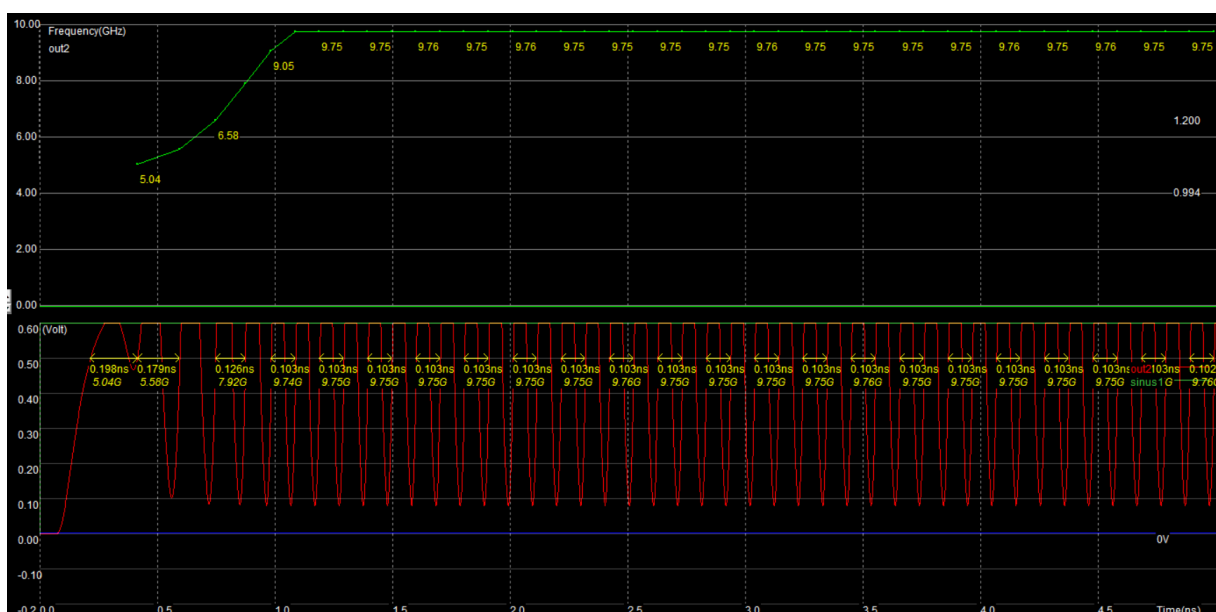


Figura 18 – Frequência Máxima Obtida Pelo VCO DSCH.

Foram obtidas também as frequências mínimas do VCO desenvolvido manualmente e pelo desenvolvido no software DSCH conforme apresentado nas Figuras 19 e 20, respectivamente.

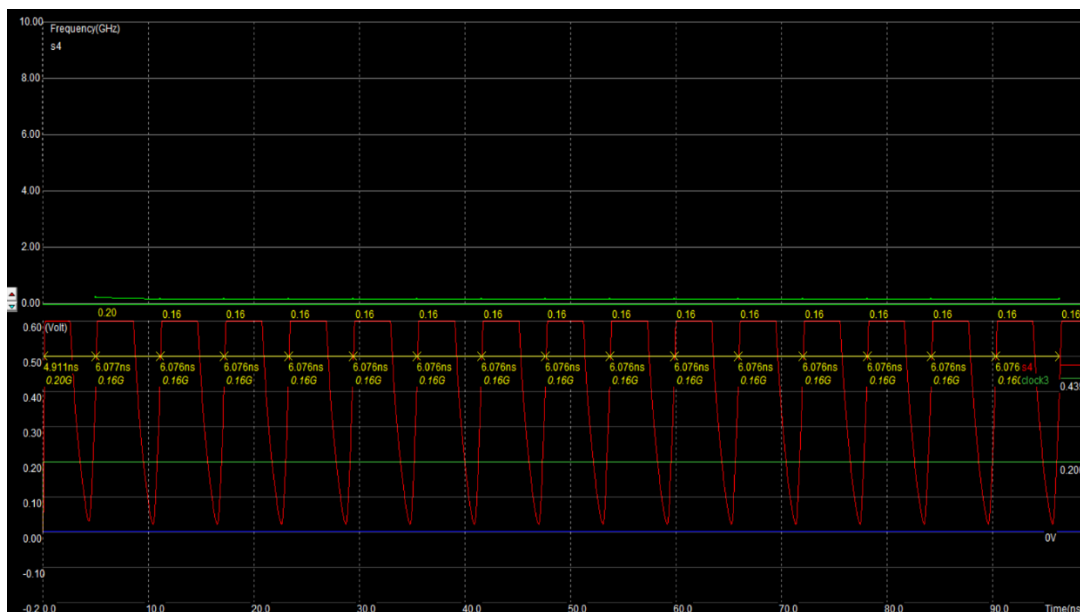


Figura 19 – Frequência Mínima Obtida Pelo VCO desenvolvido manualmente.

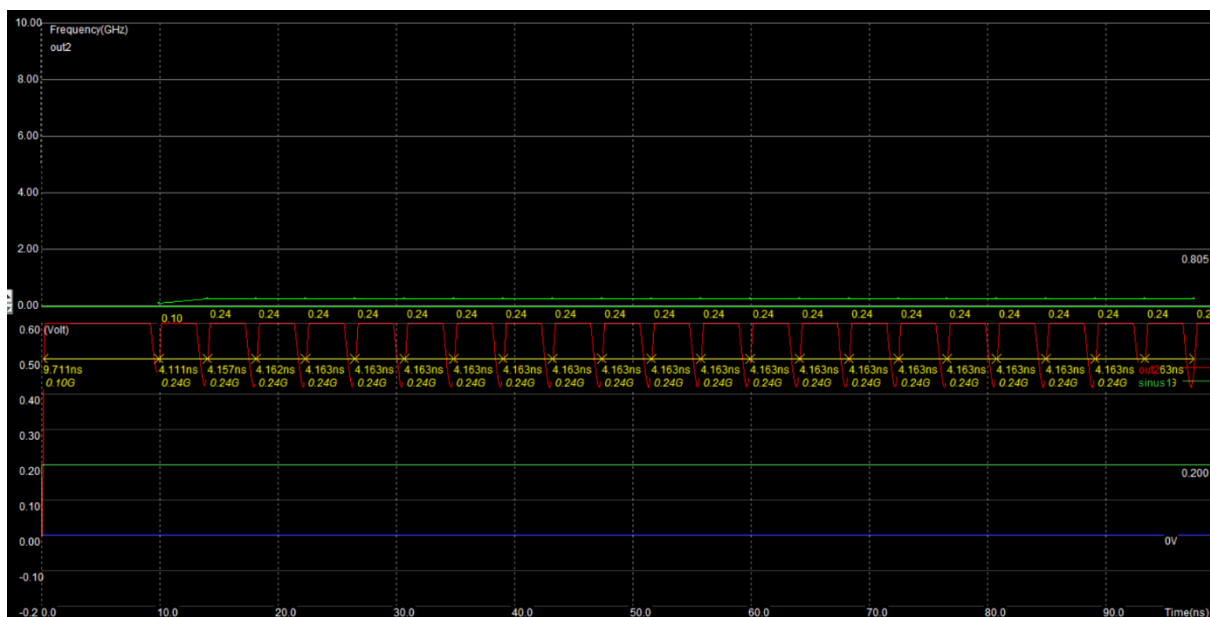


Figura 20 – Frequência Mínima Obtida Pelo VCO desenvolvido pelo DSCH.

Através desses dados, é possível obter o ganho do VCO dos dois circuitos esquematizados através da Equação 9, obtendo respectivamente o ganho do VCO feito manualmente e o desenvolvido pelo DSCH (Tabela 1).



**Tabela 1 – Comparação entre os VCO desenvolvidos.**

Parâmetro	VCO DSCH	VCO Manual
Potência Média (Watts)	0.615m	0.196m
Tempo de Atraso	0.408ns	0.339ns
Número de Transistores	28	22
Área	205.991 $\mu\text{m}^2$	42.7781 $\mu\text{m}^2$
Frequência Mínima	0.24GHz	0.16GHz
Frequência Média	6.39Ghz	5.65GHz
Frequência Máxima	9.76GHz	8.67GHz
Kvco	59.81592G rad/V	53.46991G rad/V

Conforme demonstrado através da Tabela 1, é possível realizar uma comparação entre os dois circuitos desenvolvidos, onde, o circuito desenvolvido pelo software DSCH, apresenta maior potência dissipada (0.615mW) quando comparado ao VCO desenvolvido manualmente (0.196mW) o que é uma característica indesejada, haja vista que é sempre almejavél um circuito que possa operar com o mínimo de potência possível (PONTE; SOUZA, 2012).

O tempo de atraso ou *delay* é considerado o tempo em que o circuito ou sistema demora para obter sua saída após uma entrada, sendo uma característica cujo valor em tempo desejável seja o mínimo possível (TSAI et al, 2008). Nos circuitos propostos os tempos de atraso são 0.408ns e 0.339ns para o VCO desenvolvido no DSCH e o desenvolvido manualmente, respectivamente, onde o segundo, conforme as considerações dos mesmos autores, possui melhor tempo de atraso.

Conforme a previsão da lei de Moore, os transistores vêm diminuindo em tamanho, contudo, também se busca a otimização de circuitos com vistas à redução do número dos transistores e área ocupada, obtendo-se um sistema que realize a mesma função (RABAEY, 2003). Haja vista que o segundo circuito possui uma área menor e um menor número de transistores, este atende as especificações citadas.

Apesar do circuito desenvolvido pelo DSCH oscilar em uma frequência maior que o desenvolvido manualmente e ter um ganho superior, que possibilita uma frequência natural maior, proporcionando uma faixa de frequências superior que este sistema pode trabalhar, esta vantagem não se compara com seus reveses, portanto em termos de eficiência o segundo circuito é superior.

### 6.3 DESENVOLVIMENTO DA XOR

A porta XOR, assim como o VCO, foi desenvolvida no software DSCH, gerando sua codificação equivalente em verilog e importada para o *microwind*. Com isso, foi possível obter sua topologia (Figura 21) e sua saída (Figura 22) no *software microwind*.

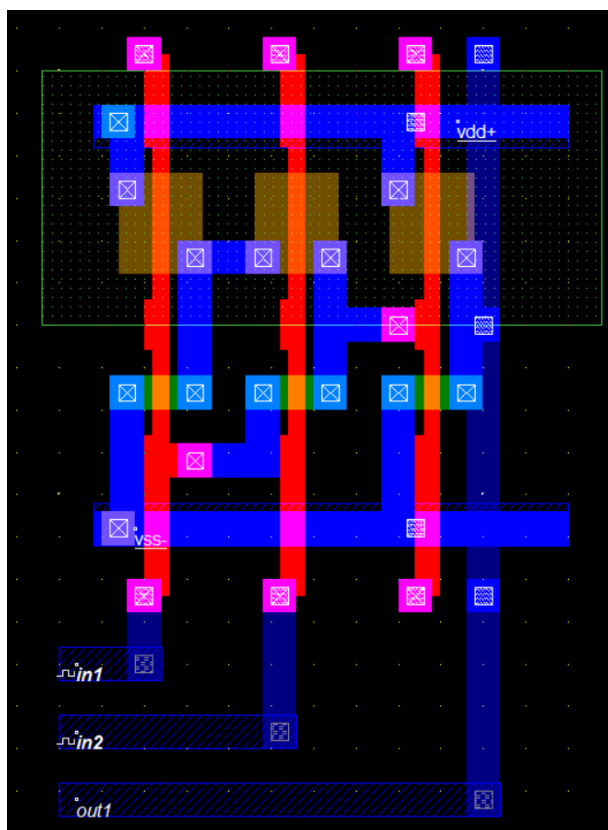


Figura 21 – Porta XOR desenvolvida no DSCH.

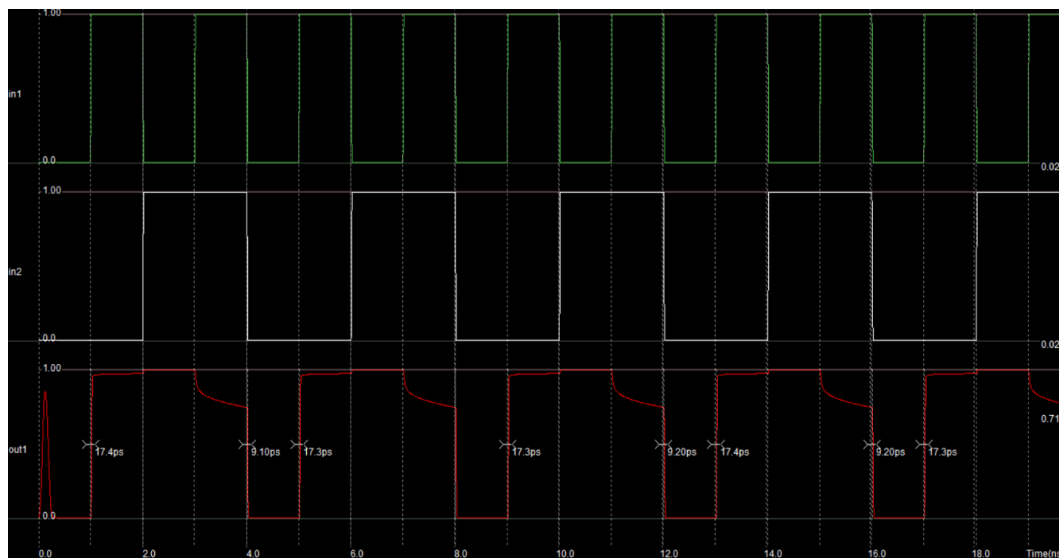


Figura 22 – Resultados porta XOR desenvolvida no DSCH.

Conforme a metodologia proposta por Dhar (2014), foi desenvolvida a topologia de uma porta XOR utilizando três transistores (Figura 23), visando à redução da área ocupada e potência dissipada além de uma maior velocidade de chaveamento, de forma a otimizar o circuito e obter sua respectiva saída (Figura 24).

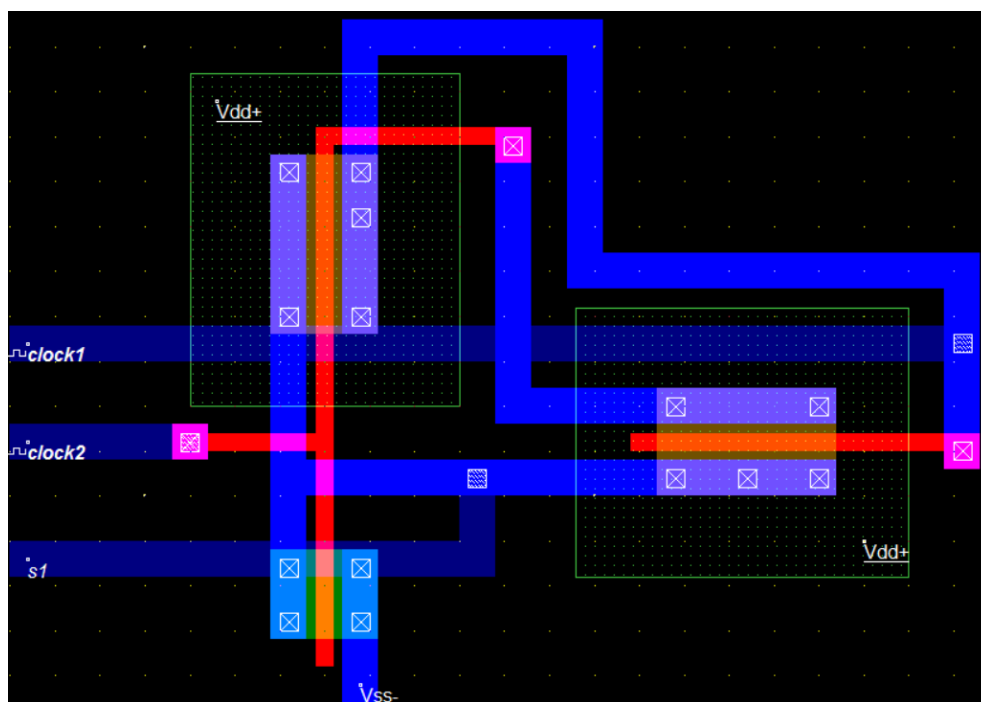


Figura 23 – Porta XOR utilizando a metodologia proposta por Dhar(2014).

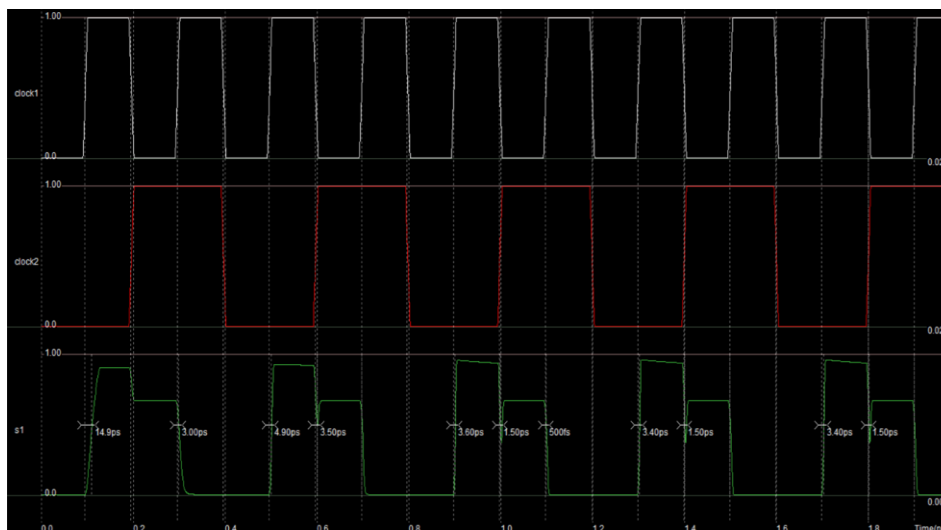


Figura 24 – Resultado da porta XOR utilizando a metodologia proposta por Dhar(2014).

É possível definir as características da porta XOR conforme apresentado na Tabela 2. Vale lembrar que seu ganho é fixo para os dois circuitos esquematizados (descrito pela Equação 6).

Tabela 2 – Comparação entre as portas XOR desenvolvidas.

Parâmetro	XOR DSCH	XOR Manual
Potência Média (Watts)	21.547 $\mu$	176.0268n
Tempo de Atraso	0.997ns	0.117ns
Número de Transistores	6	3
Área	8.15265 $\mu\text{m}^2$	3.08 $\mu\text{m}^2$
Ganho	0.3819719	0.3819719

Segundo Dhar(2014), existem diversas maneiras de se interpretar um sistema digital. Nesse sentido, este pode ser desenvolvido utilizando sua topologia usual, sendo composto por duas portas inversoras, duas portas AND e uma OR, cuja construção resulta em 14 transistores. Com isto, é perceptível que tanto pelo modelo utilizado por Dhar(2014), quanto pelo modelo desenvolvido pelo DSCH, a construção foi eficiente, contudo, devido ao número reduzido de transistores, a porta XOR desenvolvida com 3 transistores se demonstrou mais eficiente pelos mesmos argumentos sobre o VCO, sendo válido lembrar que o ganho da porta XOR continua constante.

## 6.4 ESQUEMATIZAÇÃO DO PLL

Considerando o diagrama de blocos apresentado na Figura 4, é possível realizar o desenvolvimento da função de transferência que irá apresentar o comportamento linearizado do PLL. Dessa forma, de acordo a metodologia de Baker (2012) foi obtida a Equação 15.

Sobre os valores dos ganhos utilizados, foi utilizado primeiramente o valor do ganho do VCO desenvolvido manualmente.

$$H(s) = \frac{K_{xor} * K_{filtro} * K_{vco}}{s + K_{xor} * K_{filtro} * K_{vco}} \quad \text{Eq. (15)}$$

É possível desenvolver o ganho do filtro expandindo de tal forma obtendo a Equação 16:

$$H(s) = \frac{(K_{xor} * \frac{K_{vco}}{RC})}{s^2 + (\frac{s}{RC}) + K_{xor} * \frac{K_{vco}}{RC}} \quad \text{Eq. (16)}$$

A partir da Equação 16, e, ao considerar  $s = j\omega$  é possível obter a Equação 17 que descreve a frequência natural  $\omega_n$ :

$$\omega_n = \left( \frac{K_{xor} * K_{vco}}{RC} \right)^{\frac{1}{2}} \quad \text{Eq. (17)}$$

Considerando a Equação 17, que descreve a frequência natural do sistema, é possível definir o fator de amortecimento  $\zeta$  do sistema (Equação 18).

$$\zeta = \frac{1}{2} \left( \frac{1}{K_{xor} * K_{vco} * R * C} \right)^{\frac{1}{2}} \quad \text{Eq. (18)}$$

Dessa forma, foi definido o fator de amortecimento do sistema, o qual, conforme a metodologia proposta por Baker(2010), é de  $\zeta = 1$  onde, e de acordo com Rogers e Plett (2010), produz uma boa resposta no sistema, reduzindo o *lock in time* ou o tempo com que o sistema irá travar na fase e frequência.

A partir disso, foi obtido o valor de  $R * C$ , que pode ser alterado conforme a necessidade de operação desejada para o PLL, onde é possível alterar o valor de um dos dois valores do filtro, ou adicionar um resistor que possa limitar a corrente que irá alimentar a capacitância dos osciladores projetados (Equação 19).

$$R * C = 12.24ps \quad \text{Eq. (19)}$$

Obtido o valor de  $R * C$ , foi possível determinar o valor da frequência natural do sistema (Equação 20) ao substituir o valor encontrado na Equação 14.

$$\omega_n = 40.84967 * \frac{10^9 rad}{s} \quad \text{Eq. (20)}$$

Também, através da Equação 21, foi possível encontrar o valor do *lock range*.

$$\Delta\omega l = \pi * \zeta * \omega_n \quad \text{Eq. (21)}$$

Onde o resultado pode ser descrito conforme o demonstrado pela Equação 22:

$$\Delta\omega l = 128.333 * 10^9 \text{rad/s} \quad \text{Eq. (22)}$$

Foi possível também estimar o *lock in time* (TL), ou o tempo que irá ocorrer o travamento em uma dada fase e frequência (Equação 23), com seu respectivo resultado pela Equação 24.

$$TL = \frac{(2 * \pi)}{\omega_n} \quad \text{Eq. (23)}$$

$$TL = 153.81 \text{ps} \quad \text{Eq. (24)}$$

A Tabela 3 demonstra algumas especificações dos dois circuitos que atuam como PLL. Mediante o dimensionamento do sistema, foi utilizada uma frequência de entrada de 4GHz.

**Tabela 3 – Parâmetros Calculados**

Características	PLL DSCH	PLL Manual
$\zeta$	1	1
$RC$	10.94187ps	12.24ps
$\omega_n$	$45.69603 * \frac{10^9 \text{rad}}{s}$	$40.84967 * \frac{10^9 \text{rad}}{s}$
$\Delta\omega l$	$143.5583 * \frac{10^9 \text{rad}}{s}$	$128.333 * \frac{10^9 \text{rad}}{s}$
$TL$	137.4996ps	153.81ps
$R$	364.729 $\Omega$	408 $\Omega$
$C$	0.03 pF	0.03 pF

Mediante a esquematização dos parâmetros obtidos em cada PLL, é possível fazer algumas considerações pertinentes ao projeto, onde, nesta modelagem linearizada de um PLL, é necessária cautela ao alterar alguns parâmetros conforme o projetado, haja vista que o valor do amortecimento crítico está ligado ao valor do filtro, logo, alterar o valor do filtro pode alterar o valor do amortecimento crítico projetado alterando o comportamento do sistema conforme observado por Baker (2012).

Também é possível afirmar, que, devido à limitação do VCO, os sistemas projetados, apesar de poderem atingir o valor de sua frequência natural, jamais serão capazes de percorrer todo o *lock in range* de acordo com Kulkarni et al(2014).

## 6.5 DESENVOLVIMENTO DO PLL

Mediante as simulações de cada componente funcionando individualmente de uma maneira satisfatória, foi realizado o desenvolvimento do PLL seguindo a metodologia proposta por Berlokar(2012). O esquemático equivalente é mostrado na Figura 25.

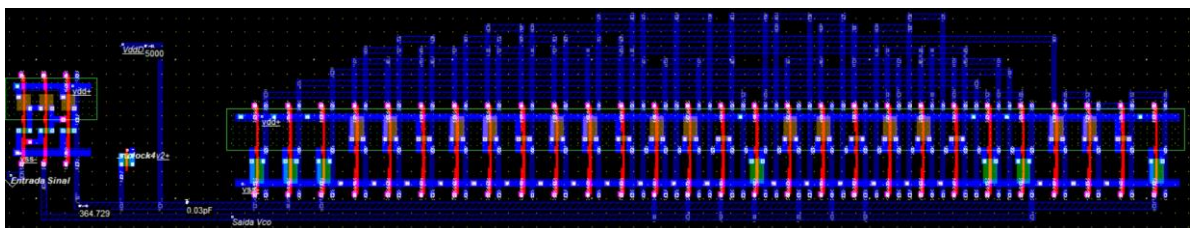


Figura 25 – PLL desenvolvido no DSCH.

Com um sinal de entrada senoidal de  $4GHz$ , uma amplitude de  $0,6V$ , a saída do PLL apresenta o resultado demonstrado na Figura 26.



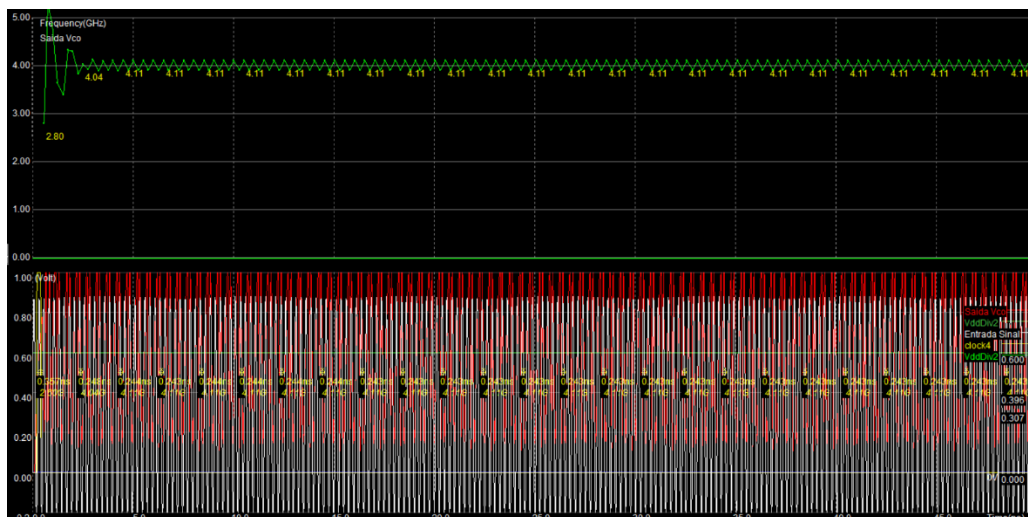


Figura 26 – Resultado PLL DSCH.

Como forma de comparação, foi desenvolvido o PLL sem utilizar o *software* DSCH (Figura 27).

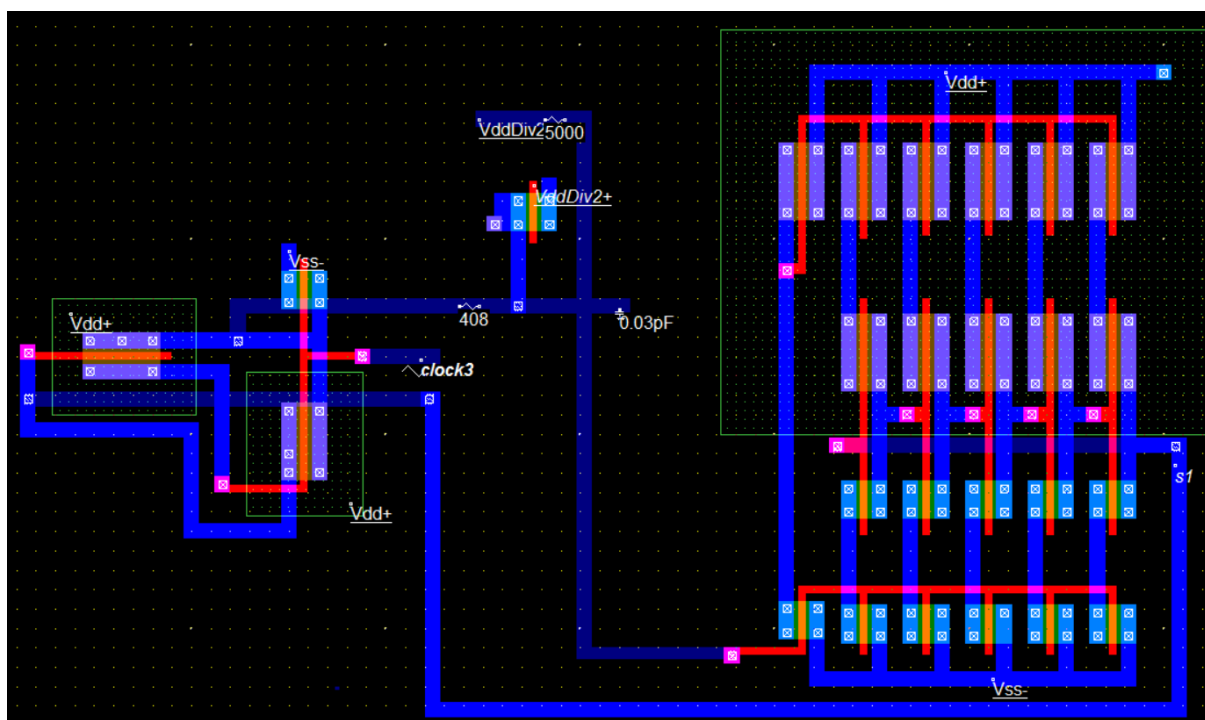


Figura 27 – PLL desenvolvido manualmente.

O PLL desenvolvido manualmente tem os resultados mostrados na Figura 28, ao entrar com um sinal senoidal cuja frequência é de 4Ghz com uma amplitude de 0.6V.

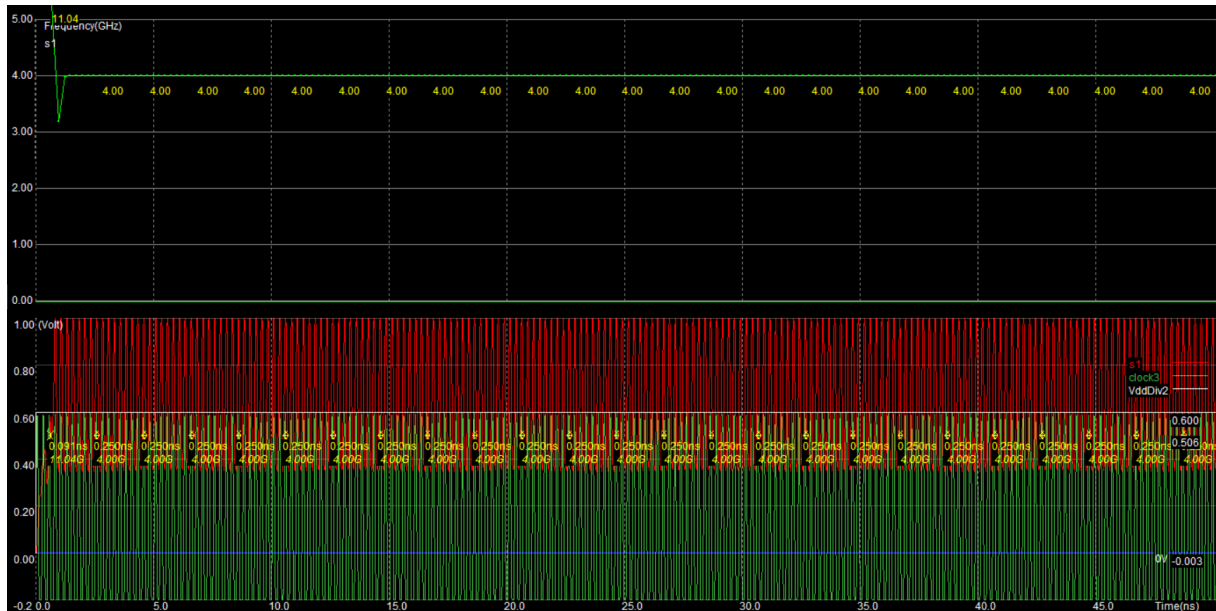


Figura 28 – Resultados do PLL desenvolvido manualmente.

A Tabela 4 demonstra o conceito de eficiência descrito por Nishali (2015), levando em consideração a potência média, o tempo de atraso, o número de transistores e a área ocupada, com a finalidade de averiguar os dados obtidos de cada sistema e por conseguinte obter uma conclusão com os dados concebidos.

Tabela 4 –Comparação entre os PLL desenvolvidos

Parâmetro	PLL DSCH	PLL Manual
Potência Média (Watts)	0.504m	0.286m
Tempo de Atraso	0.89ns	0.871ns
Número de Transistores	34	25
Área	235.467 $\mu\text{m}^2$	110.9174 $\mu\text{m}^2$

Finalmente, foram obtidos os valores das simulações, onde é possível auferir que a eficiência do PLL desenvolvido manualmente, conforme conceitos apresentados anteriormente, é superior.

Foi possível, através da ferramenta de demonstração 3D do *microwind*, observar as diversas fases de construção do circuito integrado, obtendo o modelo demonstrado pela Figura 29.

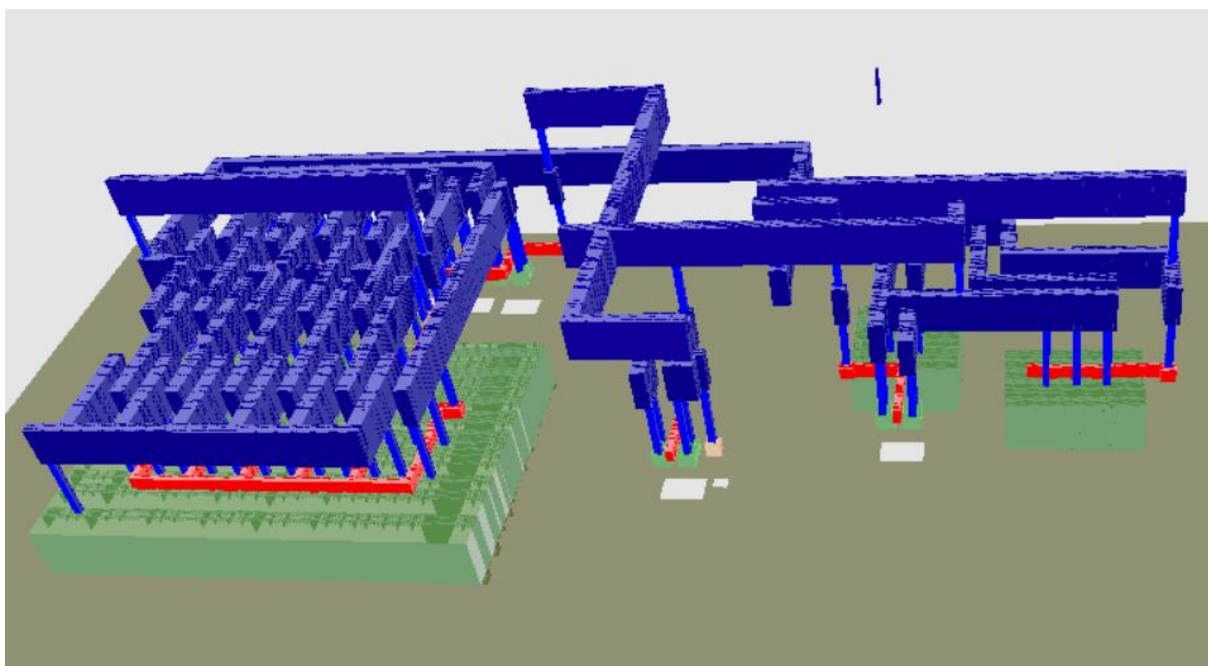


Figura 29 – Modelo 3D do circuito esquematizado manualmente.

## 7 CONCLUSÃO

Mediante o desenvolvimento de cada circuito, foi possível realizar a composição de diversos circuitos integrados que constituem o PLL, atendendo as especificações de projeto.

Foram obtidos dois osciladores controlados por tensão, um gerado pelo *software* DSCH e outro desenvolvido manualmente. Tais osciladores podem oscilar à uma frequência máxima de 9.76GHz e 8.67GHz, respectivamente, através de uma modelagem linearizada utilizando as metodologias de Panda(2011) e Baker(2010).

Os comparadores de fase utilizados (porta XOR) foram desenvolvidos visando a alteração da topologia usual através de portas lógicas, ao utilizar o *software* DSCH, para gerar uma porta XOR com menos transistores, e o outro circuito gerado através da metodologia proposta por Dhar(2014).

Uma vez realizada a esquematização de cada bloco que compõe o PLL, foi possível realizar o desenvolvimento do sistema que atua como captura de fase, obtendo os valores  $R*C$  dos sistemas desenvolvidos pelo DSCH e manualmente, sendo eles 10.94ps e 12.24ps respectivamente, que operaram na faixa de frequência de 4GHz com uma amplitude de entrada de 0.6V.

Ao comparar os resultados, foi possível inferir que o circuito esquematizado manualmente, apesar de possuir uma frequência máxima inferior, pode ser considerado mais eficiente seguindo a metodologia de Nishali(2015).

Diante do proposto, foi possível considerar que ao desenvolver o PLL manualmente com a metodologia de vários autores que construíram os diferentes blocos deste sistema, foi obtida uma resposta satisfatória ao desenvolver o sistema final.

## REFERÊNCIAS

ARAUJO, Fábio M.U. **Sistemas de Controle**. Natal. 2007

BAKER, R. Jacob. **CMOS Circuit Design and Simulation**. Third Edition. New Jersey .2010

BAKSHI, Uday A.; GODSE, Atul P. **Analog and Digital Electronics**. First Edition. Technical Publications. 2009

BERLOKAR, Ujwala A.; LADHAKA, S.A. **3.3GHz Phase locked loop with four multiple output using 45nm CMOS Technology**. National Conference on Innovative Paradigms in Engineering & Technology. 2012.

CHEN, Wai-Kai. **Analog and VLSI Circuits**. Third Edition. Chicago. CRC Press. 2009.

CHOPRA, Jatin. **Analysis of Litography Based Approaches in Development of Semiconductors**. International Journal of Computer Science & Information Technology. Vol.6 . Dubai, United Arab Emirates.2014

EQUBAL, Zafar ; CHATUVERDI, Prashant; JAIN, Rita. **CMOS Voltage Reference Design using Variable-Voltage Charge-Pump Circuit**. International Journal of Scientific & Engineering Research. Volume 6. 2015

GEORGIATECH, College of Engineering. **Photolithography**. United States. 2014  
Disponível em: < <http://www2.ece.gatech.edu/research/labs/vc/theory/photolith.html>>. Acesso em: 03 jun. 2016.

HARIKRUSHNA, Delvadiya; TIWARI, Mukesh; SINGH, Jay K.; KHARE, Anubhuti. **Design, Implementation And Characterization Of XOR Phase Detector For Dpll In 45 Nm Cmos Technology**. Advanced Computing: An International Journal. Vol.2 . India.2011

HEXSEL, Roberto. **Sistemas Digitais e Microprocessadores**. Editora UFPR.2006

KULKARNI, Madhusudan; BHAT, Nagaraj; HERUR; Santosh. **Analysis and Design of 1GHz PLL for Fast Phase and Frequency Lock**. ACEEE. 2014

SWART, Jacobus. **Semicondutores: Fundamentos, Técnicas e Aplicações**. 1ª Edição. 2008.

LATHI, P. B.; DING, Zhi. **Sistemas de Comunicações Analógicas e Digitais Modernos**. 4ª Edição. São Paulo. GEN. 2012.

MARKI, Ferenc; MARKI, Christopher. **Mixer Basics Primer: A Tutorial for RF & Microwave Mixers**. Marki Microwave. Vineyard court. 2010

MAULIK, P. C. ; LAI, P. W. **Frequency Tuning of Wide Temperature Range CMOS LC VCOs**. vol. 46. Sept. 2011

MOTOROLA. **PHASE LOCKED LOOP SYSTEMS**. Motorola Semiconductor Products Inc. 2ª Edição. 1973

NASCIMENTO, Juarez. **Telecomunicações**. Segunda Edição. Makron Books. 2000

NISHALI, Rai. Layout Design Implementation of NOR Gate. **Int. Journal of Electrical & Electronics Engg**. Punjab, India. 2015

NOBELPRIZE. **The first transistor**. Suécia. 2014. Disponível em: <  
<https://www.nobelprize.org/educational/physics/transistor/function/firsttransistor.html>>  
. Acesso em: 29 ago. 2016.

OSLO, University of. **INF4420**. Noruega. 2012. Disponível em: <  
[http://www.uio.no/studier/emner/matnat/ifi/INF4420/v12/undervisningsmateriale/INF4420\\_13\\_PLL\\_Print.pdf](http://www.uio.no/studier/emner/matnat/ifi/INF4420/v12/undervisningsmateriale/INF4420_13_PLL_Print.pdf)>. Acesso em: 03 jun. 2016.

PANDA, B. P; ROUT, P. K; ACHARYA, D. P; PANDA, G. **Design Of a Novel Current Starved VCO via Constrained Geometric Programming**. International Journal Of Computer Applications. India. 2011.

PEREIRA, Marcus V.P. **Projeto de um Oscilador Controlado por Corrente com Configuração em Anel, Tecnologia CMOS e Melhoria no Ruído de Fase**. Ilha Solteira. 2009

PONTE, R. M.; SOUSA, F. R. **Ultra-low-power 2.4 GHz Hartley oscillator**. Florianopolis. 2012

ROGERS, John W. M.; PLETT, Calvi. **Radio Frequency Integrated Circuit Design**. Second Edition. London. Artech House. 2012

RABAEY, Jan M; CHANDRAKASAN, Anantha; NIKOLIC, Borivoje. **Digital Integrated Circuits**. Second Edition. 2003

STANFORD, University. **The Rise of Silicon Valley**. Disponível em: <[https://www.stanford.edu/about/history/history\\_ch3.html](https://www.stanford.edu/about/history/history_ch3.html)>. Acesso em: 04 abr. 2016.

TECMUNDO. **Por que os microchips são feitos de silício**. Disponível em: <<http://www.tecmundo.com.br/ciencia/41506-por-que-os-microchips-sao-feitos-de-silicio-.htm>>. Acesso em: 17 mai. 2016.

TEXAS INSTRUMENT. **LM565/LM565C Phase Locked Loop**. SNOSBU1B. 1999

TSAI, Ming-Chien; CHENG, Ching-Hwa; YANG, Chiou-Mao. **An All-Digital High-Precision Built-In Delay Time Measurement Circuit**. 26th. IEEE. 2008

WESTE, Neil H.E; HARRIS, David Money. **Cmos Vlsi Design: A Circuits and systems perspective**. Fourth Edition. 2011.

YOUNG, Paul H. **Técnicas de Comunicação Eletrônica**. 5ª Edição. São Paulo. Pearson Prentice Hall, 2006.