

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA - DAELT  
ENGENHARIA ELÉTRICA**

**FERNANDA D'AMICO SILVA**

**RETIFICADOR PWM HÍBRIDO A CAPACITOR CHAVEADO COM ALTO  
FATOR DE POTÊNCIA COM BAIXO GANHO DE TENSÃO**

**TRABALHO DE CONCLUSÃO DE CURSO**

**CURITIBA**

**2019**

**FERNANDA D'AMICO SILVA**

**RETIFICADOR PWM HÍBRIDO A CAPACITOR CHAVEADO COM ALTO FATOR DE  
POTÊNCIA COM BAIXO GANHO DE TENSÃO**

Trabalho de Conclusão de Curso de Graduação, apresentado a disciplina de Trabalho de Conclusão do Curso, do Curso de Engenharia Elétrica do Departamento Acadêmico de Eletrotécnica (DAELT), da Universidade Tecnológica Federal do Paraná (UTFPR), como requisito parcial para obtenção do título de Engenheira Eletricista.

Orientador: Prof. Dr. Daniel Flores Cortez

**CURITIBA**

**2019**

Fernanda D'Amico Silva

## RETIFICADOR PWM HÍBRIDO A CAPACITOR CHAVEADO COM ALTO FATOR DE POTÊNCIA COM BAIXO GANHO DE TENSÃO

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheira Eletricista, do curso de Engenharia Elétrica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 26 de novembro de 2019.

---

Prof. Antônio Carlos Pinho, Dr.  
Coordenador de Curso  
Engenharia Elétrica

---

Prof. Marcelo de Oliveira Rosa, Dr.  
Responsável pelos Trabalhos de Conclusão de Curso  
de Engenharia Elétrica do DAELT

### ORIENTAÇÃO

---

Prof. Daniel Flores Cortez, Dr.  
Universidade Tecnológica Federal do Paraná  
Orientador

### BANCA EXAMINADORA

---

Prof. Daniel Flores Cortez, Dr.  
Universidade Tecnológica Federal do Paraná

---

Prof. Roger Gules, Dr.  
Universidade Tecnológica Federal do Paraná

---

Prof. Alceu André Badin, Dr.  
Universidade Tecnológica Federal do Paraná

## **AGRADECIMENTOS**

Primeiramente o agradecimento pela realização desse trabalho vai para a Universidade Tecnológica Federal do Paraná, que se demonstrou desde o meu primeiro período no curso de Engenharia Elétrica um local que celebra o compartilhamento de conhecimento, tanto pelos professores quanto pelos colegas de classe e por toda a estrutura que pôde proporcionar.

Em seguida a meu orientador o Prof. Dr. Daniel Flores Cortez por toda a paciência, prontidão e partilha de conhecimento. E a banca, composta por Prof. Dr. Roger Gules e Prof. Dr. Alceu André Badin por todas recomendações durante o desenvolvimento do projeto.

Também agradeço aos meus colegas ao longo do curso em especial a Jacqueline Palmas, Aline Saracino e Tauane Nepomuceno pelo companheirismo. E a todos que integram o laboratório de eletrônica analógica e digital da UTFPR, em especial ao Pedro Torres, por muitas noites em que semicondutores foram queimados e com muita camaradagem me ajudaram a encontrar o problema e propor soluções a recorrências.

Obrigada a minha mãe Sônia, a meu pai Paulo, meu avô Odilon por desde a infância ressaltarem a importância da educação, a meu irmão e ao meu companheiro Lucas, por toda a compreensão e carinho.

## RESUMO

D'AMICO SILVA, Fernanda. Retificador PWM Híbrido a Capacitor Chaveado com Alto Fator de Potência com Baixo Ganho de Tensão. 62f. Trabalho de Conclusão de Curso. Universidade Tecnológica Federal do Paraná. Curitiba, 2019.

Esse trabalho de conclusão de curso apresenta um retificador híbrido a capacitor chaveado com correção do fator de potência de baixo ganho de tensão. Primeiramente serão apresentadas as abordagens mais tradicionais para retificadores com correção de fator de potência e suas respectivas vantagens e desvantagens. O conversor proposto possui uma entrada senoidal de 127V e 60Hz e uma saída de 100V e 1000W operando na frequência de 50kHz. São apresentadas a modelagem matemática orientada ao projeto dos componentes e controle das tensões e correntes. A fim de validar os conceitos envolvidos são apresentados resultados de simulação e experimentais.

Palavras-chave: PFC, Capacitor Chaveado, Baixo Ganho de Tensão, Retificador Híbrido PWM.

## **ABSTRACT**

D'AMICO SILVA, Fernanda Hybrid Switched Capacitor PWM Rectifier with High Power Factor and Low Voltage Gain. 62f. Project of Course Completion. Federal Technological University of Paraná. Curitiba, 2019.

This paper presents a hybrid switched capacitor rectifier with power factor correction and low voltage gain. Firstly it will be presented the most traditional approaches for power factor corrected rectifiers and their respective advantages and disadvantages. The proposed converter has a 127V and 60Hz sinusoidal input and a 100V and 1000W output operating at a frequency of 50kHz. The mathematical modeling oriented to the design of the components and the control of the voltages and currents will be presented. In order to validate the concepts involved, simulation and experimental results will be presented.

Keywords: PFC, Switched Capacitor, Low Voltage Gain, Hybrid PWM Rectifier.

## LISTA DE ILUSTRAÇÕES

Figura 1 - Retificador Monofásico com filtro capacitivo .....	8
Figura 2 - Retificador PFC Boost.....	9
Figura 3 - Retificador PFC Buck.....	10
Figura 4 - Retificador PFC Buck-Boost .....	10
Figura 5 - Retificador PFC Sepic.....	11
Figura 6 - Retificador PFC Cuk .....	11
Figura 7 – Retificador Híbrido a Capacitor Chaveado Proposto.....	12
Figura 8 – Circuito a Capacitor Chaveado.....	15
Figura 9 – Conversor a Capacitor Chaveado.....	17
Figura 10 – Primeira Etapa de Funcionamento de Conversor.....	17
Figura 11 – Segunda Etapa de Funcionamento de Conversor.....	20
Figura 12 – Retificador Proposto.....	27
Figura 13 – Primeira Etapa de funcionamento do retificador proposto.....	28
Figura 14 – Segunda Etapa de funcionamento do retificador Proposto.....	29
Figura 15 – Comparativo das Correntes Médias em função de M.....	36
Figura 16 – Comparativo das Correntes Eficazes em função de M.....	36
Figura 17 – Comparativo das Correntes Eficazes nos Capacitores em função de M.....	37
Figura 18 – Representação por Valores Médios da Corrente de Entrada.....	39
Figura 19 – Diagrama de Blocos do Modelo da Corrente de Entrada.....	40
Figura 20 – Diagrama de Blocos do Modelo da Tensão de Saída.....	43
Figura 21 – Ondulação da corrente no indutor em função de $\omega t$ .....	46
Figura 22 – Impacto dos semicondutores no rendimento.....	50
Figura 23 - Tensão e corrente da rede elétrica; tensão sobre o indutor.....	51
Figura 24 – Sinal PWM sobre os diodos; sinal PWM sobre os MOSFET.....	51
Figura 25 – Tensão sobre o capacitor 1 e o capacitor de saída.....	52
Figura 26 – Saída do controlador durante aplicação da função Degrau de Carga.....	52
Figura 27 – Tensão e corrente de saída após a perturbação.....	53
Figura 28 – Foto do circuito utilizado nos ensaios.....	55
Figura 29 – Formas de onda obtidas durante o experimento.....	56
Figura 30 – Tensão sobre os diodos da ponte retificadora.....	56

## LISTA DE ABREVIATURAS

CA	Corrente alternada
CC	Corrente contínua
TDH	Taxa de distorção harmônica
PFC	<i>Power Factor Correction</i>
SC	<i>Switched Capacitor</i>
EMI	<i>Electromagnetic Interference</i>
ESR	<i>Equivalent Series Resistance</i>
ESL	<i>Equivalent Series Inductance</i>



## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	<b>9</b>
1.1 TEMA .....	9
1.1.1 Delimitação do Tema.....	9
1.2 PROBLEMA E PREMISSAS.....	10
1.3 OBJETIVOS.....	13
1.3.1 Objetivo Geral.....	13
1.3.2 Objetivos Específicos.....	14
1.4 JUSTIFICATIVA.....	14
1.5 PROCEDIMENTOS METODOLÓGICOS.....	14
1.6 ESTRUTURA DO TRABALHO.....	15
<b>2 ANÁLISE DO FUNCIONAMENTO E EQUACIONAMENTO</b> .....	<b>16</b>
2.1 ANÁLISE DO CONVERSOR CHAVEADO HÍBRIDO A CAPACITOR CHAVEADO.....	17
2.1.1 Primeira Etapa de Operação.....	18
2.1.2 Segunda Etapa de Operação.....	21
2.2 ANÁLISE DOS ESFORÇOS DE CORRENTE.....	24
2.3 ANÁLISE DO CIRCUITO EM CORRENTE ALTERNADA.....	28
2.4 RESUMO DO CAPÍTULO.....	38
<b>3 MODELAGEM DO CONTROLE DO RETIFICADOR PROPOSTO</b> .....	<b>39</b>
3.1 ESTRATÉGIA DE CONTROLE.....	39
3.2 MODELO DE VALORES MÉDIOS DA CORRENTE DE ENTRADA.....	39
3.3 MODELO DE VALORES MÉDIOS DA TENSÃO DE SAÍDA.....	41
3.4 RESUMO DO CAPÍTULO .....	44
<b>4 PROJETO E SIMULAÇÃO DO RETIFICADOR</b> .....	<b>45</b>
4.1 DEFINIÇÃO DO PROJETO.....	45
4.2 ANÁLISE DAS PERDAS .....	49
4.3 RENDIMENTO TEÓRICO.....	50
4.4 RESULTADOS DA SIMULAÇÃO .....	51
4.5 COMPARAÇÃO ENTRE TEÓRICO E SIMULAÇÃO .....	54
4.6 RESUMO DO CAPÍTULO .....	55
<b>5 RESULTADOS EXPERIMENTAIS</b> .....	<b>56</b>
5.1 RESUMO DO CAPÍTULO .....	58
<b>6 CONCLUSÃO</b> .....	<b>59</b>
<b>REFERÊNCIAS</b> .....	<b>60</b>

# 1 INTRODUÇÃO

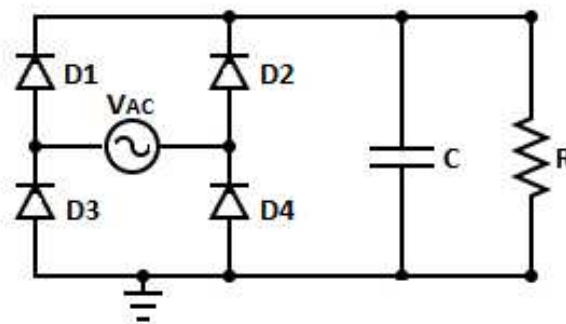
## 1.1 TEMA

### 1.1.1 Delimitação do tema

Com o desenvolvimento tecnológico ao longo dos anos, criou-se uma necessidade cada vez maior de conversão de corrente alternada (CA) em corrente contínua (CC) para se permitir o funcionamento de uma grande variedade de circuitos, desde carregadores de celulares e fontes de computadores, até motores em corrente contínua. Devido a essa necessidade, os retificadores associados a filtro capacitivo se tornaram populares. Entretanto essa estrutura, apresentada na figura 1, possui uma grande taxa de distorção harmônica (TDH) na corrente de entrada, o que contribui para a deterioração da forma de onda da tensão da rede elétrica e também no aumento do valor eficaz de corrente necessário para alimentar uma determinada carga.

**Figura 1 – Retificador Monofásico com filtro capacitivo**

Fonte: Aatoria Própria



Devido à alta TDH de corrente as normativas das concessionárias de energia passaram a exigir retificadores que possuíssem uma diminuição na THD e um aumento no fator de potência. (BARBI, 2015, p. 5).

Devido às restrições normativas os retificadores com correção do fator de potência (PFC) foram ganhando cada vez mais espaço. Segundo Erickson e Maksimovic (2001, p. 637) esses retificadores se aproximam dos retificadores ideais, pois eles são vistos

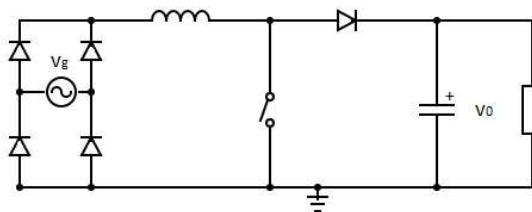
pela rede elétrica como cargas resistivas, ou seja, se a tensão fornecida para o circuito é senoidal, a corrente consumida pelo mesmo circuito também é senoidal e estará em fase com a tensão.

## 1.2 PROBLEMA E PREMISSAS

Entre os retificadores PFC, um dos mais utilizados, é o retificador Boost, representado na figura 2. A principal vantagem desse tipo de retificador é que a corrente no indutor é quase senoidal devido ao posicionamento da chave (WEI E BATARSEH, 1998). A topologia apresenta como característica a tensão de saída maior do que a tensão de pico da entrada, o que força na maioria das aplicações a inclusão de um segundo estágio, a fim de reduzir a tensão que alimenta a carga.

**Figura 2 - Retificador PFC Boost**

**Fonte: Autoria própria**

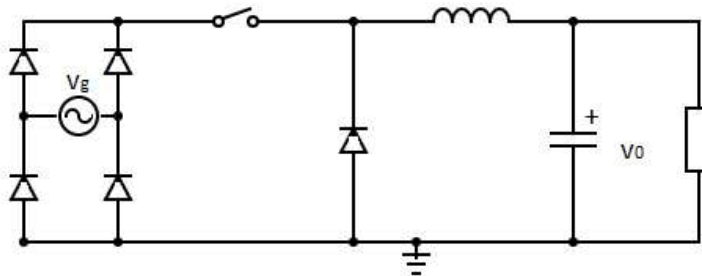


Para aplicações onde é preciso uma tensão de saída,  $V_o$ , menor do que a tensão de entrada,  $V_i$ , existem outros retificadores PFC, entre eles, o Buck, o Buck-Boost, o Sepic, e o Cuk.

O retificador PFC Buck, ilustrado na figura 3, consegue abaixar a tensão de entrada, mas apresenta uma grande desvantagem devido ao fato de possuir uma corrente de entrada descontínua, isso acontece porque o conversor possui um interruptor na entrada. Devido a essa característica o PFC Buck possui uma THD elevada, o que leva a necessidade da inclusão de um filtro no estágio de entrada (WEI E BATARSEH, 1998).

**Figura 3 - Retificador PFC Buck**

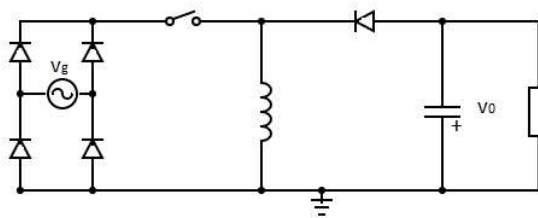
Fonte: Autoria própria



O PFC Buck-Boost, mostrado na figura 4, seria uma ótima escolha para uma tensão de saída menor que a da fonte de entrada, pois ele suporta uma tensão na entrada maior ou menor do que a tensão na saída,  $V_o$ . Entretanto essa estrutura apresenta o mesmo problema do Buck, relacionado à descontinuidade da corrente de entrada, isso se deve ao interruptor no estágio de entrada, além disso o Buck-Boost inverte a tensão de saída. (WEI E BATARSEH, 1998).

**Figura 4 - Retificador PFC Buck-Boost**

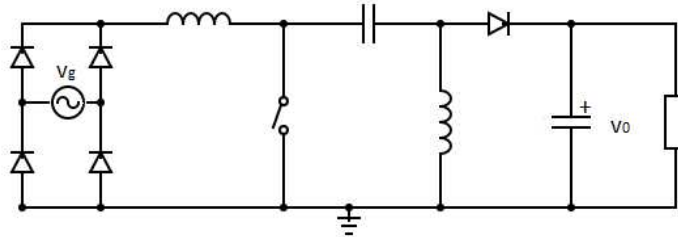
Fonte: Autoria própria



O retificador com correção do fator de potência Sepic é representado na figura 5. Este conversor apresenta como vantagem uma corrente de entrada que pode ser contínua devido a presença do indutor no estágio de entrada. (COSTA ET AL, 2016). A topologia apresenta como desvantagem o fato do interruptor ficar submetido a grandes esforços de tensão. Outro aspecto negativo é o fato da estrutura apresentar dois indutores, o que acaba resultando em um volume e custo maior.

**Figura 5 - Retificador PFC Sepic**

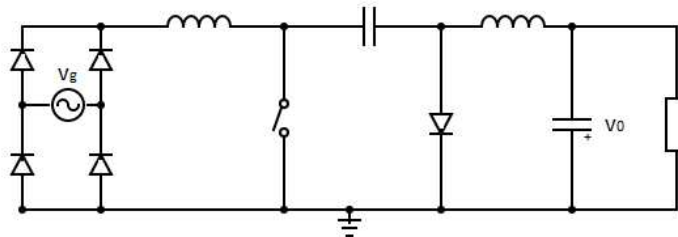
Fonte: Autoria própria



O retificador PFC Cuk, apresentado na figura 6, é análogo ao Sepic, pois também possui um indutor na entrada, as desvantagens desse retificador estão na grande tensão aplicada sobre o interruptor e também no fato de possuir dois indutores. Assim como acontece com o retificador Buck-Boost, o Cuk apresenta a tensão de saída negativa

**Figura 6 - Retificador PFC Cuk**

Fonte: Autoria própria



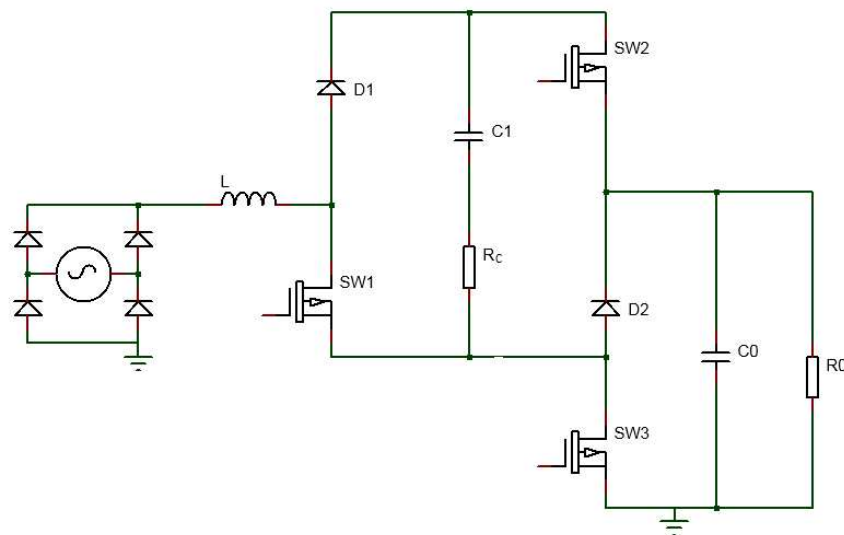
Entre as cinco topologias de retificadores PFC apresentadas é possível encontrar problemas. Como a corrente no estágio de entrada, no caso do Buck e do Buck-Boost. E problemas com o volume e custo no caso do Cuk e do Sepic, pois os dois necessitam de dois indutores e de um interruptor que suporte níveis altos de tensão.

A topologia proposta nesse trabalho está apresentada na figura 7. Essa topologia foi baseada no trabalho apresentado no artigo "*Switched-Capacitor Step-Down Rectifier for Low-Voltage Power Conversion*" (LI E PERREAULT, 2013). Nesse artigo o objetivo é a implementação de um retificador que opera em frequências elevadas, na ordem de 50MHz, e com uma tensão de saída baixa, de 2,5 V, para trabalhar em potências baixas em chip CMOS. Essa monografia tem como objetivo estudar essa topologia em aspectos

que foram negligenciados no artigo, como por exemplo, a correção do fator de potência, os esforços de corrente em cada um dos elementos presentes no circuito e, finalmente, um estudo para funcionamento em malha fechada. Aqui ao contrário do artigo será trabalhada uma potência mais elevada e uma frequência de chaveamento menor.

**Figura 7 – Retificador Híbrido a Capacitor Chaveado Proposto**

**Fonte: Autoria própria**



O circuito que será estudado, ao contrário do PFC Boost, atua como um abaixador de tensão. Além disso pode possuir na fonte de entrada uma corrente com formato senoidal, apresentando vantagem sobre os PFC Buck e Buck-Boost. Ao mesmo tempo apresenta vantagens sobre o Cuk e o Sepic, que apesar de possuírem corrente senoidal na fonte entrada necessitam de dois indutores. Enquanto os PFC Buck-Boost e Cuk apresentam a tensão de saída invertida, o mesmo problema não ocorre na topologia proposta.

## 1.3 OBJETIVOS

### 1.3.1 Objetivo geral

Desenvolver uma topologia de retificador com alto fator de potência que possua uma tensão de saída menor do que a tensão de pico de entrada, usando para isso o conceito de capacitores chaveados híbridos.

### 1.3.2 Objetivos específicos

- Propor uma nova estrutura de retificador PWM com alto fator de potência;
- Descrever o funcionamento da topologia proposta;
- Desenvolver um controle adequado para o funcionamento do circuito;
- Realizar simulações;
- Especificar dados para a realização do projeto;
- Construir um modelo do retificador proposto;
- Comparar as simulações e as medições com o protótipo;

## 1.4 JUSTIFICATIVA

A importância desse trabalho está na necessidade de um retificador que abaixe a tensão e que possua vantagens, como alto fator de potência, baixo esforço de tensão sobre os semicondutores e redução do número de indutores em relação aos retificadores apresentados na seção 1.1.1, além de propor o uso de capacitores chaveados para a redução de custo e volume. Nas últimas décadas há uma tendência de se utilizar cada vez menos indutores e transformadores, devido ao maior volume e custo dos mesmos, assim vem crescendo a quantidade de trabalhos que propõem capacitores associados a interruptores, chamados de capacitores chaveados (SC) (CORTEZ, 2015, p 27).

## 1.5 PROCEDIMENTOS METODOLÓGICOS

Primeiramente será realizada uma pesquisa na bibliografia sobre o tema, sobre os retificadores PFC abaixadores já existentes e suas vantagens e desvantagens. Com base nas soluções já existentes, será proposta uma nova topologia. Então serão realizados estudos a fim de investigar as características principais da estrutura como, vantagens e desvantagens.

Em seguida, após a investigação das características serão determinadas as especificações dos componentes do retificador proposto para então, realizar a simulação e seguida a construção de um protótipo.

Por último, será feita uma comparação entre os dados obtidos com a simulação e os dados conseguidos experimentalmente.

## 1.6 ESTRUTURA DO TRABALHO

No capítulo 1 há uma revisão bibliográfica sobre os diversos retificadores com correção de fator de potência assim como a apresentação e justificativa do tema proposto e os procedimentos que serão realizados para a conclusão desse trabalho.

No capítulo 2 será apresentada uma análise do funcionamento da estrutura proposta, assim será evidenciada a análise matemática do circuito.

O capítulo 3 será dedicado à modelagem do controle do retificador.

No capítulo 4 as equações desenvolvidas no segundo capítulo serão aplicadas para irem de encontro às especificações do projeto e os resultados obtidos com a simulação serão apresentados.

O capítulo 5 trará os resultados obtidos experimentalmente.

O capítulo final será o capítulo 6, trará as considerações finais acerca do trabalho realizado.



## 2 ANÁLISE DO FUNCIONAMENTO E EQUACIONAMENTO

Este capítulo versará sobre o equacionamento do circuito, primeiramente tomando o retificador como um conversor CC-CC afim de facilitar a análise. Em seguida serão calculados os esforços de corrente em cada um dos elementos do circuito e, finalmente será feita uma análise em corrente alternada.

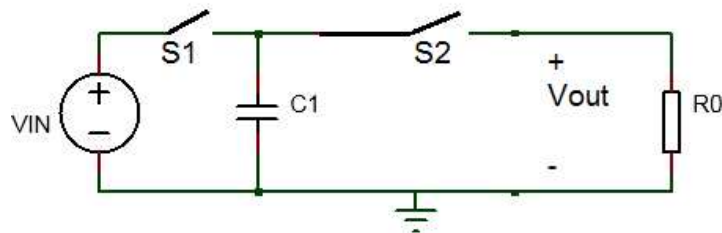
Circuitos a capacitores chaveados (SC) não são uma novidade, em 1891 James Clerk Maxwell combinou interruptores e capacitores, mas não havia uma aplicação prática (TOUMAZOU ET AL, 1993). Entretanto com a tecnologia dos CMOS, os capacitores chaveados puderam se desenvolver até o seu ápice.

Estes circuitos apresentam como vantagens a diminuição de elementos magnéticos, a consequente diminuição de interferências EMI e a diminuição do volume do circuito. Como desvantagens temos as perdas que já são inerentes à circuitos capacitivos, como a resistência equivalente em série (ESR) e a indutância equivalente em série (ESL) (KESTER ET AL). Também há o grande número de interruptores e a alta corrente *inrush* ao se ligar o circuito (BEN-YAAKOV, 2009).

Para exemplificar um circuito com capacitor chaveado, pode-se considerar o circuito a seguir:

**Figura 8 – Circuito a Capacitor Chaveado**

Fonte: Autoria própria



Sabe-se que a a carga  $Q$  em um capacitor é dada pela seguinte expressão:

$$Q = C.V \quad (1)$$

Onde  $C$  é a capacitância do capacitor  $C_1$  e  $V$ , a tensão entre seus terminais. Aqui para o primeiro modo de operação,  $S_1$  conduz e  $S_2$  é aberto, logo, tem-se que a carga do capacitor nesse período, representada por  $Q_1$ , é dada por:

$$Q_1 = C \cdot V_{in} \quad (2)$$

Para o segundo modo de operação, a chave  $S_1$  é aberta e a chave  $S_2$  conduz, resultando numa carga  $Q_2$  no capacitor, dada por:

$$Q_2 = C \cdot V_{out} \quad (3)$$

Como a definição de corrente é igual a transferência de carga pelo tempo, e a frequência  $f_s$  é o inverso do período  $T$ , pode-se escrever:

$$I = f_s \cdot (V_{in} - V_{out}) \cdot C \quad (4)$$

Logo, pode-se definir a resistência equivalente do circuito, como:

$$R_{eq} = \frac{1}{f_s \cdot C} \quad (5)$$

A resistência equivalente  $R_{eq}$  é responsável por representar as perdas do circuito a capacitor chaveado. Através da equação (5) poderia-se concluir que para um circuito com menos perdas é preciso uma frequência alta. Entretanto para altas frequências, as perdas de chaveamento nos interruptores também aumentam (LAKKAS,2016). Por isso, a frequência ótima de cada circuito deve ser avaliada individualmente para cada capacitor e geralmente é fornecida no *data sheet* (LAKKAS,2016).

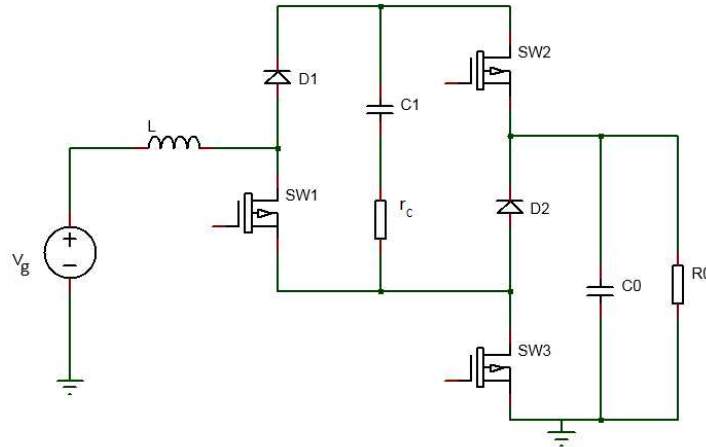
## 2.1 ANÁLISE DO CONVERSOR CHAVEADO HÍBRIDO A CAPACITOR CHAVEADO

Uma simplificação do circuito estudado está representada na figura 9 e é constituído de 2 capacitores, 3 interruptores e 2 diodos. Nessa simplificação a saída da ponte retificadora é vista como uma fonte de tensão contínua, representada por  $V_g$ . Para análise a seguir será considerado que o conversor opera como um CC-CC, em modo de condução contínua e que os capacitores se encontram previamente carregados. Para

análise será considerado que todos os componentes são ideais, com exceção da resistência  $r_c$ , que representa a resistência parasita do capacitor  $C1$ .

**Figura 9 – Conversor a Capacitor Chaveado operando como CC-CC**

Fonte: Autoria própria

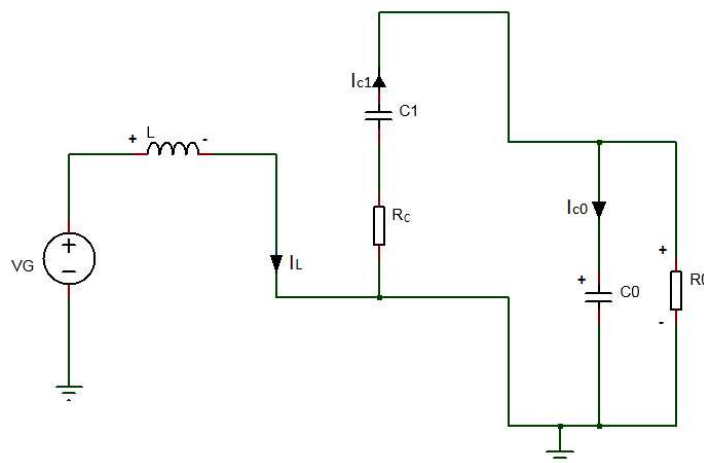


### 2.1.1 Primeira Etapa de Operação

O conversor possui duas etapas de operação, a primeira, representada na figura 10, ocorre quando os interruptores  $SW1$ ,  $SW2$  e  $SW3$  entram em condução. Nessa condição os diodos  $D1$  e  $D2$  ficam bloqueados. Assim, o indutor armazena energia por meio da fonte  $V_g$ . Ao mesmo tempo o capacitor  $C1$  transfere energia para o capacitor  $C0$  e para carga  $R0$ .

**Figura 10 – Primeira Etapa de Funcionamento de Conversor**

Fonte: Autoria própria



As equações que descrevem essa etapa de funcionamento são:

$$V_G = V_L \quad (6)$$

$$-r_C \cdot i_{C1} - v_{C1} + v_{C0} = 0 \quad (7)$$

$$i_{C1} + i_0 + i_{C0} = 0 \quad (8)$$

Resolvendo as equações de (6) a (8) é possível encontrar a tensão no indutor e as correntes nos capacitores.

A tensão no indutor pode ser escrita da seguinte maneira:

$$L \frac{di_L}{dt} = k_{1,1} \cdot i_L + k_{1,2} \cdot v_{C1} + k_{1,3} \cdot v_{C0} + m_{1,1} \cdot v_G \quad (9)$$

onde os coeficientes são dados por:

$$\begin{cases} k_{1,1} = 0 \\ k_{1,2} = 0 \\ k_{1,3} = 0 \\ m_{1,1} = 1 \end{cases} \quad (10)$$

Da mesma forma a corrente no capacitor  $C_1$  pode ser escrita como:

$$C_1 \frac{dv_{C1}}{dt} = k_{2,1} \cdot i_L + k_{2,2} \cdot v_{C1} + k_{2,3} \cdot v_{C0} \quad (11)$$

Sendo que os coeficientes são dados por:

$$\begin{cases} k_{2,1} = 0 \\ k_{2,2} = -\frac{1}{r_C} \\ k_{2,3} = \frac{1}{r_C} \end{cases} \quad (12)$$

A corrente no capacitor de saída  $C_0$  é dada por:

$$C_0 \frac{dv_{C0}}{dt} = k_{3,1} \cdot i_L + k_{3,2} \cdot v_{C1} + k_{3,3} \cdot v_{C0} \quad (13)$$

Onde:

$$\begin{cases} k_{3,1} = 0 \\ k_{3,2} = \frac{1}{r_C} \\ k_{3,3} = \frac{-R-r_C}{R.r_C} \end{cases} \quad (14)$$

Os coeficientes das equações (10), (12) e (14) podem ser escritos na forma matricial, dada por:

$$\dot{x} = Ax + Bu \quad (15)$$

$$y = Cx \quad (16)$$

Onde:

$$\dot{x} = \begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_{c1}}{dt} \\ \frac{dv_{c0}}{dt} \end{bmatrix} \quad (17)$$

Representa o vetor das derivadas de estado do conversor.

$$x = \begin{bmatrix} i_L \\ v_{c1} \\ v_{c0} \end{bmatrix} \quad (18)$$

É o vetor que contém as variáveis de estado,

$$u = \begin{bmatrix} v_g \\ 0 \\ 0 \end{bmatrix} \quad (19)$$

Sendo que u é o vetor que representa as entradas do conversor,

$$y = \begin{bmatrix} i_L \\ v_{c0} \end{bmatrix} \quad (20)$$

e y representa as saídas do conversor.

Escrevendo as equações (9), (11) e (13) na forma matricial temos as seguintes matrizes,

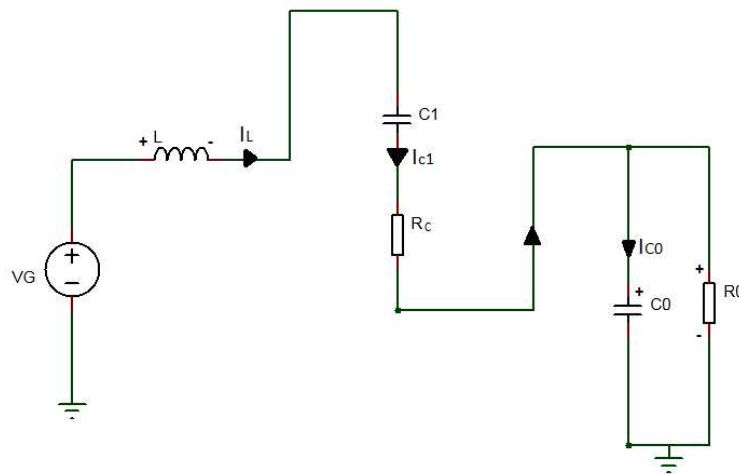
$$A_1 = \begin{pmatrix} 0 & 0 & 0 \\ 0 & -\frac{1}{r_c \cdot C_1} & \frac{1}{r_c \cdot C_1} \\ 0 & \frac{1}{r_c \cdot C_0} & -\frac{(R+r_c)}{R \cdot r_c \cdot C_0} \end{pmatrix} \quad (21)$$

$$B_1 = \begin{pmatrix} m_{1,1} \\ 0 \\ 0 \end{pmatrix} \quad (22)$$

### 2.1.2 Segunda Etapa de Operação

A segunda etapa está na figura 11. Nessa etapa os três interruptores estão bloqueados e os diodos D1 e D2 conduzem. Nesse modo o indutor transfere parte da energia armazenada na primeira etapa para o capacitor  $C_1$  e o capacitor  $C_0$  transfere energia para a carga.

**Figura 11 – Segunda Etapa de Funcionamento de Conversor**  
Fonte: Autoria própria



As equações que descrevem a segunda etapa de funcionamento são dadas por:

$$i_L = i_{C1} \quad (23)$$

$$-v_G + v_L + v_{C1} + i_{C1} \cdot r_c + v_{C0} = 0 \quad (24)$$

$$i_{C1} = i_0 + i_{C0} \quad (25)$$

Solucionando as equações (23), (24) e (25) obtemos a tensão no indutor e as correntes nos capacitores para a segunda etapa de funcionamento.

A tensão no indutor é escrita por:

$$L \frac{di_L}{dt} = j_{1,1} \cdot i_L + j_{1,2} \cdot v_{C1} + j_{1,3} \cdot v_{C0} + n_{1,1} \cdot v_G \quad (26)$$

Onde os coeficientes são:

$$\begin{cases} j_{1,1} = -r_C \\ j_{1,2} = -1 \\ j_{1,3} = -1 \\ n_{1,1} = 1 \end{cases} \quad (27)$$

A corrente no capacitor  $C_1$  para a segunda etapa de funcionamento é dada por:

$$C_1 \frac{dv_{C1}}{dt} = j_{2,1} \cdot i_L + j_{2,2} \cdot v_{C1} + j_{2,3} \cdot v_{C0} \quad (28)$$

Onde os coeficientes do capacitor  $C_1$  são dados por:

$$\begin{cases} j_{2,1} = 1 \\ j_{2,2} = 0 \\ j_{2,3} = 0 \end{cases} \quad (29)$$

A corrente no capacitor  $C_0$  é escrita por:

$$C_0 \frac{dv_{C0}}{dt} = j_{3,1} \cdot i_L + j_{3,2} \cdot v_{C1} + j_{3,3} \cdot v_{C0} \quad (30)$$

Onde os coeficientes são:

$$\begin{cases} j_{3,1} = 1 \\ j_{3,2} = 0 \\ j_{3,3} = -\frac{1}{R_0} \end{cases} \quad (31)$$

De maneira análoga à primeira etapa de funcionamento temos as seguintes matrizes.

$$A_2 = \begin{pmatrix} -\frac{r_c}{L} & \frac{1}{L} & -\frac{1}{L} \\ \frac{1}{C_1} & 0 & 0 \\ \frac{1}{C_0} & 0 & -\frac{1}{R_0 \cdot C_0} \end{pmatrix} \quad (32)$$

$$B_2 = \begin{pmatrix} n_{1,1} \\ 0 \\ 0 \end{pmatrix} \quad (33)$$

Pode-se escrever então, para o conversor,

$$A = DA_1 + (1-D)A_2 \quad (34)$$

$$B = DB_1 + (1-D)B_2 \quad (35)$$

$$C = DC_1 + (1-D)C_1 \quad (36)$$

Onde  $D$  é a razão cíclica do conversor e  $C$  é dado pela matriz a seguir:

$$C = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 1 \\ 0 & 0 & 0 \end{bmatrix} \quad (37)$$

Considerando os valores médios do conversor a equação do espaço de estado pode ser escrita por:

$$X = (-A)^{-1} \cdot B \cdot V_g \quad (38)$$

Assim, tem-se:



$$X = \begin{bmatrix} -\frac{D.V_g}{(D-1).(4.R.D-4.R.D^2+r_c)} \\ \frac{V_g.(r_c+2.D.R)}{4.R.D-4.R.D^2+r_c} \\ \frac{2.D.R.V_g}{4.R.D-4.R.D^2+r_c} \end{bmatrix} \quad (39)$$

Desprezando o efeito da resistência  $r_c$  é possível simplificar o vetor  $X$  e chegar no vetor abaixo:

$$X = \begin{bmatrix} I_L \\ V_{C1} \\ V_{C0} \end{bmatrix} = \begin{bmatrix} \frac{V_g}{4.R.D^2-8.R.D+4.R} \\ -\frac{V_g}{2.D-2} \\ -\frac{V_g}{2.D-2} \end{bmatrix} \quad (40)$$

Pode-se finalmente chegar ao ganho estático, representado na equação abaixo:

$$G = \frac{V_0}{V_g} = -\frac{1}{2.D-2} = \frac{1}{2.(1-D)} \quad (41)$$

Conclui-se então, que o ganho estático é metade do conversor Boost clássico.

## 2.2 ANÁLISE DOS ESFORÇOS DE CORRENTE

Para o capacitor  $C_1$  a equação da corrente para a primeira etapa de funcionamento foi definida por (11). A equação mostra que a corrente no capacitor  $C1$  depende de fatores como a corrente no indutor e das tensões nos dois capacitores, logo a corrente depende da razão cíclica,  $D$ . Substituindo os valores do vetor (40) na equação (11) obtemos a corrente para o primeiro semiciclo de funcionamento, a equação está representada abaixo.

$$i'_{C1} = -\frac{V_g}{4.D.R.(1-D)} \quad (42)$$

Para a segunda etapa de funcionamento o procedimento é análogo, logo temos a seguinte equação:

$$i''_{C1} = \frac{V_g}{4.R.(D-1)^2} \quad (43)$$

A corrente eficaz no capacitor  $C_1$  é dada pela seguinte equação:

$$i_{C1eficaz} = \sqrt{\frac{1}{T_s} \cdot \left[ \int_0^{D.T_s} i'^2_{C1} dt + \int_{D.T_s}^{T_s} i''^2_{C1} dt \right]} \quad (44)$$

Sabe-se através do vetor (40) que a equação da tensão de entrada  $V_g$  é dada por:

$$V_g = 4.i_L.R.(D-1)^2 \quad (45)$$

Substituindo as equações (42), (43) e (45) em (46) obtemos:

$$i_{C1eficaz} = \sqrt{i_L^2 \left( \frac{1}{D} - 1 \right)} \quad (46)$$

O capacitor  $C_0$  tem a corrente da primeira etapa de funcionamento definida por (13), a corrente é função da corrente no indutor, das tensões nos capacitores e consequentemente, da razão cíclica, D. Substituindo o vetor (40) na equação (13) obtém-se a equação abaixo que representa a corrente no capacitor  $C_0$  para a primeira etapa de funcionamento.

$$i'_{C0} = \frac{V_g.(2D-1)}{4.D.R.(D-1)} \quad (47)$$

Na segunda etapa o procedimento é análogo e obtém-se a seguinte equação:

$$i''_{C0} = -\frac{V_{C0} - R.i_L}{r_0} \quad (48)$$

A equação para o cálculo da corrente eficaz no capacitor  $C_0$  está representada abaixo:

$$i_{C0eficaz} = \sqrt{\frac{1}{T_S} \cdot \left[ \int_0^{D.T_S} i'_{C0}{}^2 dt + \int_{D.T_S}^{T_S} i''_{C0}{}^2 dt \right]} \quad (49)$$

Substituindo a equação da tensão inicial (45) e as equações (47) e (48) em (49), chega-se na seguinte expressão:

$$i_{C0eficaz} = \sqrt{-\frac{i_L^2 \cdot (D-1) \cdot (2D-1)^2}{D}} \quad (50)$$

Os interruptores S1, S2 e S3 são ativos somente no primeiro semiciclo de operação.

Para o interruptor S1 temos que a corrente na primeira etapa é igual à corrente no indutor e está representada pela equação a seguir:

$$i'_{S1} = i_L = \frac{V_g}{4.R.(D-1)^2} \quad (51)$$

A corrente média no interruptor, considerando a corrente nula na segunda etapa, está a seguir

$$i_{S1med} = \frac{1}{T_S} \left( \int_0^{D.T_S} i'_{S1} dt \right) \quad (52)$$

Aplicando as equações (50) e (45) em (52), chega-se em:

$$i_{S1med} = D.i_L \quad (53)$$

Para o segundo interruptor a segunda etapa possui corrente nula, e a primeira etapa tem a corrente dada por:

$$i'_{S2} = -\frac{V_g}{4.D.R - 4.D^2.R} \quad (54)$$

A equação da corrente media está a seguir:

$$i_{S2med} = \frac{1}{T_S} \left( \int_0^{D.T_S} i'_{S2} dt \right) \quad (55)$$

Substituindo (54), (45) em (55), chega-se a:

$$i_{S2med} = i_L \cdot (D-1) \quad (56)$$

A corrente pelo interruptor S3 é dada pela soma da corrente no indutor e a corrente no capacitor 1. Logo é escrita pela seguinte equação:

$$i'_{S3} = -\frac{V_g}{4.D.R - 4.D^2.R} + \frac{V_g}{4.R.(D-1)^2} \quad (57)$$

Como na segunda etapa a corrente é nula, a equação da corrente média é fornecida pela seguinte expressão:

$$i_{S3med} = \frac{1}{T_s} \left( \int_0^{D.T_s} i'_{S3} dt \right) \quad (58)$$

Substituindo (45) e (57) em (58) chega-se a:

$$i_{S3med} = i_L \cdot (2D-1) \quad (59)$$

Os dois diodos do circuito conduzem somente na segunda etapa de operação logo, no primeiro semiciclo a corrente é nula. Os dois estão em série e conseqüentemente, conduzem a mesma corrente, aqui representada por  $i_D$ . A corrente para a segunda etapa é dada por:

$$i''_D = i_L = \frac{V_g}{4.R.(D-1)^2} \quad (60)$$

A equação da corrente média do diodo é dada a seguir:

$$i_{Dmed} = \frac{1}{T_s} \left( \int_{D.T_s}^{T_s} i''_D dt \right) \quad (61)$$

Aplicando (45) e (60) em (61) chega-se a:

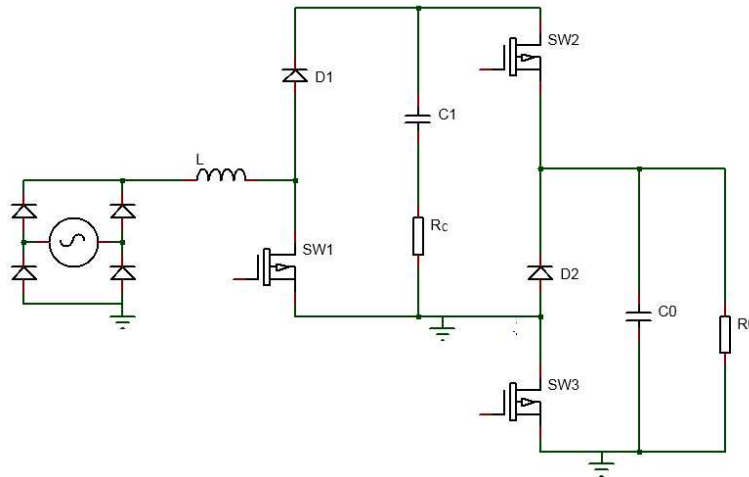
$$i_{Dmed} = -i_L \cdot (D-1) \quad (62)$$

### 2.3 ANÁLISE DO CIRCUITO EM CORRENTE ALTERNADA

Nessa seção o circuito será analisado considerando que as variáveis mudam ao longo do tempo sendo a entrada, a rede senoidal. Assim as variáveis utilizadas na seção anterior agora serão representadas por letras minúsculas. O circuito estudado, considerando o estágio do retificador, está na figura a seguir.

**Figura 12 – Retificador Proposto**

Fonte: Autoria própria



Serão consideradas na análise algumas premissas, como modo de condução contínua (CCM), a análise do semiciclo positivo da rede, pois o semiciclo negativo é análogo. A capacitância dos dois capacitores será considerada igual e finalmente, que a corrente e a tensão de entrada são contínuas durante o período  $T_S$ .

Como o retificador apresenta o mesmo princípio de operação as equações obtidas na seção anterior serão aplicadas. Entretanto como aqui as correntes, tensões e a razão cíclica variam em razão do tempo as mesmas serão representadas em letras minúsculas. Outra diferença será em relação à corrente do indutor, nessa seção ela será tratada como a tensão de entrada, logo, pode-se escrever:

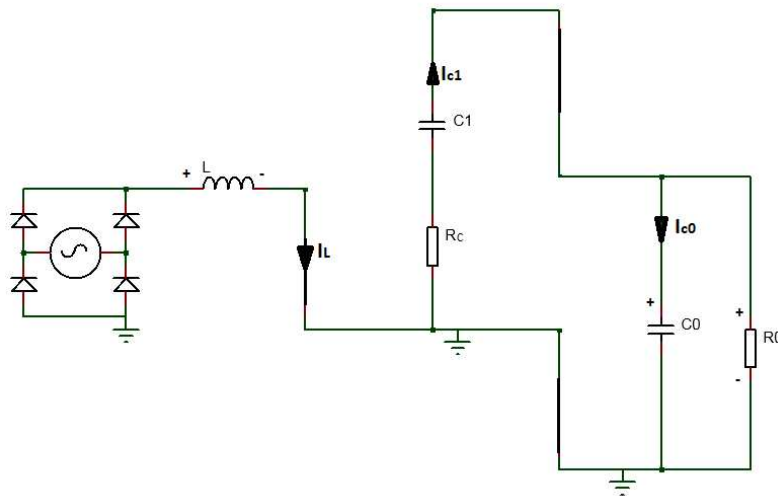
$$i_L = i_g \quad (63)$$

As equações retiradas da seção anterior para a primeira etapa de operação podem ser descritas a seguir:

$$\left\{ \begin{array}{l} i'_{S1} = i_g \\ i'_{S2} = \frac{i_g \cdot (d-1)}{d} \\ i'_{S3} = \frac{i_g \cdot (2d-1)}{d} \\ i'_D = 0 \\ i'_{C1} = \frac{i_g \cdot (d-1)}{d} \\ i'_{C0} = \frac{i_g \cdot (d-1) \cdot (2d-1)}{d} \end{array} \right. \quad (64)$$

**Figura 13 – Primeira Etapa de funcionamento do retificador Proposto**

Fonte: Autoria própria

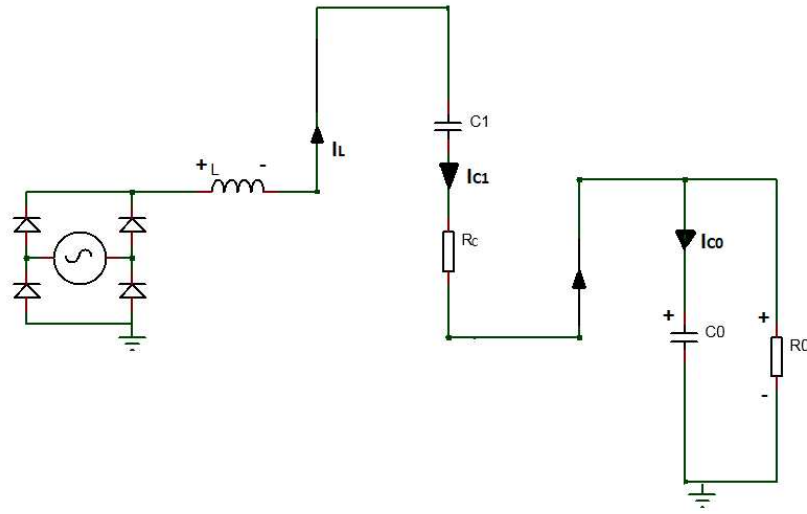


Na segunda etapa os interruptores são bloqueados e os diodos conduzem, as equações estão descritas a seguir:

$$\left\{ \begin{array}{l} i''_{S1} = i''_{S2} = i''_{S3} = 0 \\ i''_D = i_g \\ i''_{C1} = i_g \\ i''_{C0} = i_g \cdot (2d-1) \end{array} \right. \quad (65)$$

**Figura 14 – Segunda Etapa de funcionamento do retificador Proposto**

Fonte: Autoria própria



Como a tensão e a corrente de entrada variam de acordo com a rede, pode-se escrever para a corrente:

$$i_g = I_{gp} \cdot |\text{sen}(\omega t)| \quad (66)$$

Sendo  $I_{gp}$  o valor de pico da corrente de entrada. E para a tensão, tem-se:

$$v_g = V_{gp} \cdot |\text{sen}(\omega t)| \quad (67)$$

Sendo  $V_{gp}$  o valor de pico da tensão de entrada.

Logo, utilizando a expressão para o ganho estático (41), obtida na seção anterior, obtém-se:

$$\frac{V_0}{V_{gp} \cdot |\text{sen}(\omega t)|} = \frac{1}{2(d-1)} \quad (68)$$

Resolvendo para  $d$ , é possível encontrar a seguinte expressão:

$$d = 1 - \frac{V_{gp}}{2 \cdot V_0} \cdot |\text{sen}(\omega t)| \quad (69)$$

A relação  $\frac{V_{gp}}{2 \cdot V_0}$  é chamada de índice de modulação e é representada por  $M$

Assim,

$$d = 1 - M \cdot |\text{sen}(\omega t)| \quad (70)$$

### 2.3.1 Análise dos Esforços de Corrente

Nessa análise serão desconsideradas as resistências parasitas para facilitar os cálculos, conseqüentemente todos os componentes serão considerados ideais.

Para o capacitor  $C_1$  as equações (64) e (65) serão aplicadas na fórmula da corrente eficaz, pois a corrente média é nula. A fórmula da corrente eficaz está a seguir:

$$\langle i_{C1ef} \rangle = \sqrt{\frac{1}{T_S} \left( \int_0^{d \cdot T_S} i'_{C1} dt + \int_{d \cdot T_S}^{T_S} i''_{C1} dt \right)} \quad (71)$$

Após as substituições é possível encontrar a seguinte expressão:

$$\langle i_{C1ef} \rangle = \sqrt{\frac{i_g^2}{d} - i_g^2} \quad (72)$$

Aplicando as equações (66) e (70) na equação acima e calculando a corrente eficaz no período da rede através da equação (73).

$$i_{C1ef} = \sqrt{\frac{1}{\pi} \left( \int_0^\pi \langle i_{C1ef} \rangle^2 d\omega t \right)} \quad (73)$$

Chega-se a seguinte equação aproximada:

$$i_{C1ef} = \frac{1}{2} \cdot \frac{\sqrt{2} \cdot I_{gp} \cdot \sqrt{\frac{-4 \cdot \text{atan}\left(\frac{M}{\sqrt{-M^2+1}}\right) + (M^2 \cdot \pi + 4 \cdot M + 2 \cdot \pi) \sqrt{-M^2+1} - 2 \cdot \pi}{\sqrt{-M^2+1}}}}{\sqrt{\pi} \cdot M} \quad (74)$$

Para o capacitor  $C_0$  também se aplicam as equações (64) e (65) na expressão a seguir:



$$\langle i_{C0ef} \rangle = \sqrt{\frac{1}{T_s} \left( \int_0^{d.T_s} i'_{c0} dt + \int_{d.T_s}^{T_s} i''_{c0} dt \right)} \quad (75)$$

Logo é possível chegar na seguinte expressão:

$$\langle i_{C0ef} \rangle = \sqrt{\frac{i_g^2 \cdot (d-1)(2d-1)^2}{d}} \quad (76)$$

Em seguida calcula-se a corrente eficaz no período da rede através da equação (77).

$$i_{C0ef} = \sqrt{\frac{1}{\pi} \left( \int_0^{\pi} \langle i_{C0ef} \rangle^2 d\omega t \right)} \quad (77)$$

Substituindo (64) e (65) chega-se na equação aproximada a seguir:

$$i_{C0ef} = \frac{1}{2} \cdot \frac{\sqrt{2} \cdot I_{gp} \cdot \sqrt{\frac{-3 \left( -\frac{4}{3} \cdot \text{atan} \left( \frac{M}{\sqrt{-M^2+1}} \right) + \left( M^4 + \frac{1}{3} M^2 + \frac{2}{3} \right) \pi + \frac{4}{3} M \right) \sqrt{-M^2+1} - \frac{2}{3} \pi}}{\sqrt{-M^2+1}}}}{\sqrt{\pi} \cdot M} \quad (78)$$

Para o interruptor S1 aplica-se (64) e (65) na equação a abaixo:

$$\langle i_{S1ef} \rangle = \sqrt{\frac{1}{T_s} \left( \int_0^{d.T_s} i'_{S1} dt + \int_{d.T_s}^{T_s} i''_{S1} dt \right)} \quad (79)$$

Obtém-se então, a equação abaixo:

$$\langle i_{S1ef} \rangle = \sqrt{d \cdot i_g^2} \quad (80)$$

Com o resultado simplificado e a substituição das equações (66) e (70) aplica-se a fórmula abaixo para a corrente eficaz no período da rede elétrica:

$$i_{S1ef} = \sqrt{\frac{1}{2 \cdot \pi} \left( \int_0^{\pi} \langle i_{S1ef} \rangle^2 d\omega t \right)} \quad (81)$$

Chega-se então na equação (82).

$$i_{S1ef} = \frac{i_g \cdot \sqrt{\frac{\pi}{2} \frac{4.M}{3}}}{\sqrt{\pi}} \quad (82)$$

A equação da corrente média no interruptor S1 é dada por:

$$\langle i_{S1med} \rangle = \frac{1}{T_S} \left( \int_0^{d.T_S} i'_{S1} dt + \int_{d.T_S}^{T_S} i''_{S1} dt \right) \quad (83)$$

Com as equações (64) e (65) encontra-se:

$$\langle i_{S1med} \rangle = \frac{d.i_g}{2} \quad (84)$$

E com a substituição de (66) e (70) na equação a seguir:

$$i_{S1med} = \frac{1}{2.\pi} \left( \int_0^\pi \langle i_{S1med} \rangle d\omega t \right) \quad (85)$$

Chega-se ao seguinte resultado:

$$i_{S1med} = -\frac{I_{gp} \cdot (\pi.M - 4)}{4.\pi} \quad (86)$$

Para o interruptor S2 aplica-se (64) e (65) na equação a abaixo:

$$\langle i_{S2ef} \rangle = \sqrt{\frac{1}{T_S} \left( \int_0^{d.T_S} i'_{S2} dt + \int_{d.T_S}^{T_S} i''_{S2} dt \right)} \quad (87)$$

Encontra-se então, a equação abaixo:

$$\langle i_{S2ef} \rangle = \sqrt{\frac{i_g^2 (d-1)^2}{d}} \quad (88)$$

Com o resultado simplificado e a substituição das equações (66) e (70) aplica-se a fórmula abaixo para a corrente eficaz no período da rede elétrica:

$$i_{S2ef} = \sqrt{\frac{1}{2.\pi} \left( \int_0^\pi \langle i_{S2ef} \rangle^2 d\omega t \right)} \quad (89)$$

Chega-se então na equação (90).

$$i_{S2ef} = \frac{1}{6} \cdot \frac{I_{gp} \cdot \sqrt{3} \sqrt{\frac{-8 \cdot \left( -\frac{3}{2} \cdot \text{atan}\left( \frac{M}{\sqrt{-M^2+1}} \right) + \left( M^3 + \frac{3}{8} M^2 \cdot \pi + \frac{3}{2} M + \frac{3}{4} \pi \right) \sqrt{-M^2+1} - \frac{3}{4} \pi \right)}{\sqrt{-M^2+1}}}}{\sqrt{\pi} \cdot M} \quad (90)$$

A equação da corrente média no interruptor S2 é fornecida por:

$$\langle i_{S2med} \rangle = \frac{1}{T_S} \left( \int_0^{d \cdot T_S} i'_{S2} dt + \int_{d \cdot T_S}^{T_S} i''_{S2} dt \right) \quad (91)$$

Com as equações (64) e (65) encontra-se:

$$\langle i_{S2med} \rangle = \frac{i_g (d-1)}{2} \quad (92)$$

E com a substituição de (66) e (70) na equação a seguir:

$$i_{S2med} = \frac{1}{2 \cdot \pi} \left( \int_0^\pi \langle i_{S2med} \rangle d\omega t \right) \quad (93)$$

Chega-se ao seguinte resultado para a corrente média no período da rede:

$$i_{S2med} = -\frac{M \cdot I_{gp}}{4} \quad (94)$$

As equações (64) e (65) serão aplicadas na equação a abaixo para o interruptor S3:

$$\langle i_{S3ef} \rangle = \sqrt{\frac{1}{T_S} \left( \int_0^{d \cdot T_S} i'_{S3} dt + \int_{d \cdot T_S}^{T_S} i''_{S3} dt \right)} \quad (95)$$

Encontra-se então, a equação abaixo:

$$\langle i_{S3ef} \rangle = \sqrt{\frac{i_g^2 (2d-1)^2}{d}} \quad (96)$$

Com o resultado simplificado e a substituição das equações (66) e (70) aplica-se a fórmula abaixo para a corrente eficaz:

$$i_{S3ef} = \sqrt{\frac{1}{2\pi} \left( \int_0^\pi \langle i_{S3ef} \rangle^2 d\omega t \right)} \quad (97)$$

Então a equação (98) é encontrada.

$$i_{S3ef} = \frac{1}{6} \cdot \frac{I_{gp} \cdot \sqrt{6} \sqrt{\frac{-16 \left( -\frac{3}{8} \cdot \text{atan} \left( \frac{M}{\sqrt{-M^2+1}} \right) \right) + \left( M^3 + \frac{3}{8}M + \frac{3}{16}\pi \right) \sqrt{-M^2+1} - \frac{3}{16}\pi}}{\sqrt{-M^2+1}}}{\sqrt{\pi} \cdot M} \quad (98)$$

A equação da corrente média no interruptor S3 é fornecida por:

$$\langle i_{S3med} \rangle = \frac{1}{T_S} \left( \int_0^{d \cdot T_S} i'_{S3} dt + \int_{d \cdot T_S}^{T_S} i''_{S3} dt \right) \quad (99)$$

Com as equações (59) e (60) chega-se ao seguinte resultado:

$$\langle i_{S3med} \rangle = i_g \cdot (2d - 1) \quad (100)$$

E com a substituição de (66) e (70) na seguinte expressão:

$$i_{S3med} = \frac{1}{2\pi} \left( \int_0^\pi \langle i_{S3med} \rangle d\omega t \right) \quad (101)$$

Chega-se ao seguinte resultado para a corrente média no período da rede:

$$i_{S3med} = -\frac{i_{gp} \cdot (\pi \cdot M - 2)}{2\pi} \quad (102)$$

Finalmente para a corrente eficaz dos diodos D1 e D2 as equações (60) e (61) serão aplicadas abaixo:

$$\langle i_{Def} \rangle = \sqrt{\frac{1}{T_S} \left( \int_0^{d \cdot T_S} i'_{D} dt + \int_{d \cdot T_S}^{T_S} i''_{D} dt \right)} \quad (103)$$

Logo, encontra-se a equação abaixo:

$$\langle i_{Def} \rangle = \sqrt{-i_g^2 (d - 1)} \quad (104)$$

Em seguida substitui-se as equações (66) e (70) na fórmula abaixo:

$$i_{Def} = \sqrt{\frac{1}{2.\pi} \left( \int_0^\pi \langle i_{Def} \rangle^2 d\omega t \right)} \quad (105)$$

Consequentemente a equação (106) é encontrada.

$$i_{Def} = \frac{\sqrt{\frac{4.M.I_{gp}^2}{3}}}{\sqrt{\pi}} \quad (106)$$

A equação da corrente média nos diodos D1 e D2 é fornecida por:

$$\langle i_{Dmed} \rangle = \frac{1}{T_s} \left( \int_0^{d.T_s} i'_{D} dt + \int_{d.T_s}^{T_s} i''_{D} dt \right) \quad (107)$$

Com as equações (64) e (65) chega-se ao seguinte resultado:

$$\langle i_{Dmed} \rangle = -i_g.(d-1) \quad (108)$$

E substituindo (66) e (70) na seguinte expressão:

$$i_{Dmed} = \frac{1}{2.\pi} \left( \int_0^\pi \langle i_{Dmed} \rangle d\omega t \right) \quad (109)$$

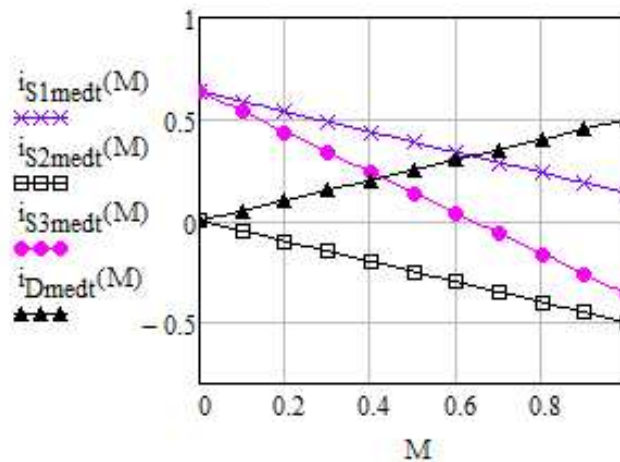
Chega-se ao seguinte resultado para a corrente média no período da rede:

$$i_{Dmed} = \frac{M.I_{gp}}{4} \quad (110)$$

O gráfico a seguir apresenta um comparativo das correntes médias em cada um dos semicondutores, considerando uma variação do índice de modulação M, definido anteriormente nas equações (69) e (70). As correntes no gráfico são dadas em função de múltiplos de  $I_{gp}$ . Pode-se perceber que os interruptores 1, 2 e 3 tendem a apresentar menores esforços à medida que M aumenta. Entretanto os diodos apresentam um aumento da corrente à medida que M aumenta.

Figura 15 – Comparativo das Correntes Médias em função de M

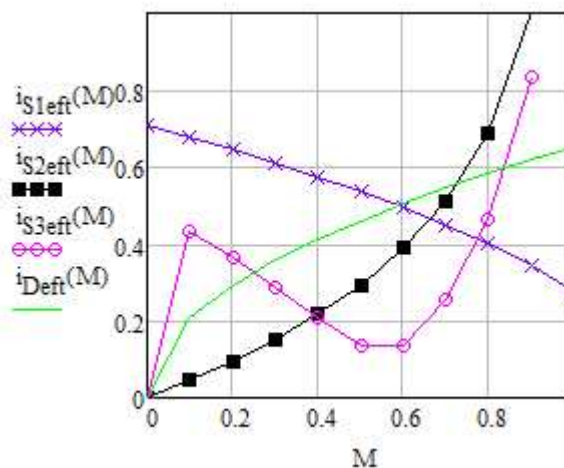
Fonte: Autoria própria



A figura 16 apresenta uma comparação da corrente eficaz dos semicondutores utilizados no projeto em relação ao índice  $M$ , novamente a corrente é dada em múltiplos da corrente  $I_{gp}$ . Aqui pode-se concluir que o interruptor S1 tende a diminuir os esforços com o aumento de  $M$ , e os diodos tendem a aumentar a corrente. A chave S3 possui uma característica peculiar, aumenta até  $M=0,1$  e então decai até  $M=0,6$  para subir rapidamente com o aumento de  $M$ . Já o interruptor S2 cresce continuamente e rapidamente.

Figura 16 – Comparativo das Correntes Eficazes em função de M

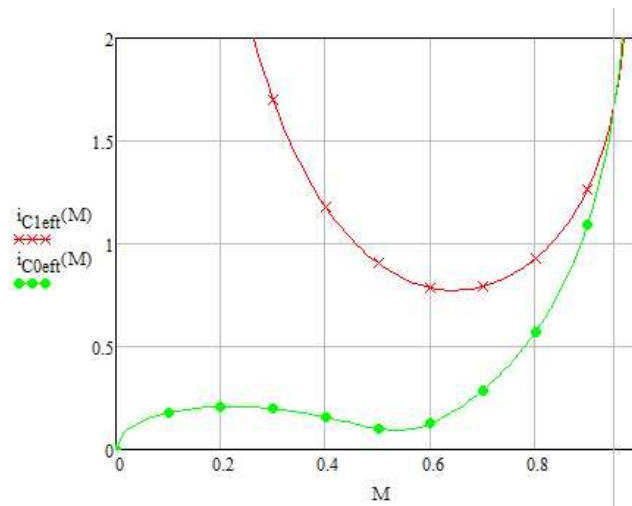
Fonte: Autoria própria



A figura 17 mostra um comparativo da corrente eficaz dos dois capacitores presentes no circuito. Pode-se perceber que a corrente do capacitor C1 é maior quanto menor o valor de  $M$ , sendo que para  $M=0,2$  a corrente é mais do que o dobro do pico da corrente de entrada. Já a corrente do capacitor de saída  $C_0$  aumenta com o valor do índice de modulação  $M$ . Aqui percebe-se uma desvantagem no modelo proposto.

**Figura 17 – Comparativo das Correntes Eficazes nos Capacitores em função de  $M$**

Fonte: Autoria própria



## 2.4 RESUMO DO CAPÍTULO

O capítulo apresentou uma breve revisão bibliográfica sobre circuitos com capacitores chaveados. Em seguida foram deduzidas, a partir da topologia, as equações para cada uma das etapas de funcionamento, a corrente no indutor e o ganho estático. Então foram calculados os esforços de corrente em cada um dos componentes presentes na topologia desprezando a rede elétrica, vendo o circuito como um conversor CC-CC. Finalmente, na última seção, a tensão de entrada foi considerada como senoidal fornecida pela rede e os esforços foram recalculados considerando uma entrada senoidal no retificador.

### 3 MODELAGEM DO CONTROLE DO RETIFICADOR PROPOSTO

Para que o retificador proposto nessa monografia possa atuar com um alto fator de potência é preciso que os mesmos sejam vistos pela rede elétrica como resistores, dessa forma a corrente e a tensão ficarão em fase. (ERICKSON E MAKSIMOVIC, 2001).

Esse capítulo será dedicado à análise e modelagem do controle para o retificador híbrido apresentado. Será realizada uma análise da estratégia utilizada, sendo dois modelos de valores médios, um da corrente de entrada e outro da tensão de saída.

#### 3.1 ESTRATÉGIA DE CONTROLE

Para o controle do retificador é necessário que a corrente de entrada seja medida para permitir ao mesmo um elevado fator de potência e a uma baixa distorção harmônica. Essa corrente medida deve seguir uma referência pré-estabelecida e se houver algum erro a mesma deve ser corrigida com o auxílio do compensador.

A tensão de saída também deve ser medida e comparada a uma referência de modo a evitar que distúrbios na carga afetem o sistema.

#### 3.2 MODELO DE VALORES MÉDIOS DA CORRENTE DE ENTRADA

Para a análise pode-se considerar o circuito comutado como uma fonte de tensão senoidal  $V_{ao}$ , conectada com a tensão de entrada  $V_g$  através de uma indutância  $L$ , conforme a figura 18. Nesse caso as resistências estão sendo desprezadas, e os capacitores serão considerados fontes de tensão

Através do circuito da Figura 18 pode-se chegar a equação 111, para a tensão sobre o indutor,  $V_L$ .

$$v_L = v_g - v_{ao} \quad (111)$$

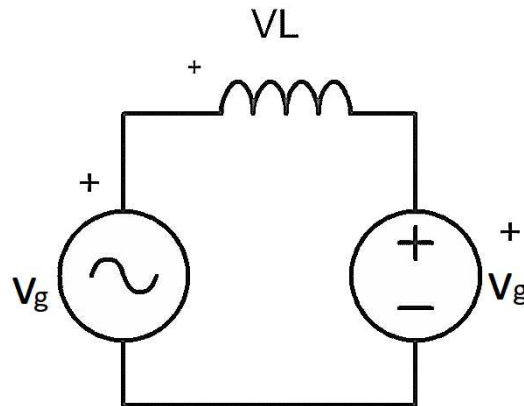


Aplicando a equação da tensão sobre o indutor e em seguida a transformada de Laplace, chega-se a seguinte relação:

$$L.s.i_L(s) = v_g(s) - v_{ao}(s) \quad (112)$$

**Figura 78 - Representação por Valores Médios da Corrente de Entrada**

Fonte: Autoria Própria



Considerando que as tensões médias nos dois capacitores são iguais e assim que a tensão comutada  $v_{ao}$  é igual a  $2V_0$ . Temos que  $v_{ao}$  é dado pela expressão a seguir:

$$\langle v_{ao} \rangle_{TS} = \frac{2.V_0.(1-d).T_s}{T_s} = 2.V_0.(1-d) = 2.V_0 - 2.V_0.d \quad (113)$$

Pode-se concluir através da equação (113) que o fator 2, é presente na equação devido ao fato da estrutura impor metade da tensão de saída em cada um de seus terminais comutados.

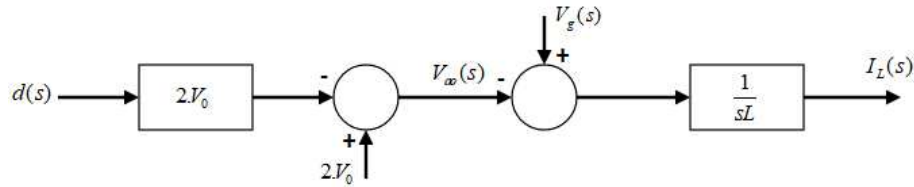
Manipulando a equação (113) pode-se chegar a equação (114) e em seguida à equação (115) que representa a corrente no indutor,  $i_L(s)$  em razão do fator  $d(s)$ , dado pela razão cíclica.

$$d(s).2V_0.\frac{1}{sL} = i_L(s) \quad (114)$$

$$\frac{i_L(s)}{d(s)} = \frac{2.V_0}{s.L} \quad (115)$$

Com a expressão (115) pode-se chegar a um diagrama de blocos que representa um modelo da corrente de entrada, conforme a figura abaixo.

**Figura 89 – Diagrama de Blocos do Modelo da Corrente de Entrada**  
**Fonte: Autoria Própria**



### 3.3 MODELO DE VALORES MÉDIOS DA TENSÃO DE SAÍDA

Utilizando a malha da corrente o conversor opera em um ponto fixo, com os níveis de tensão e corrente desejados, entretanto perturbações na carga deslocam o ponto de operação (BARBI, 2015).

Para solucionar esse problema é necessária uma malha para controle da tensão de saída. Nessa malha de controle a tensão de saída será comparada com um valor de referência e então corrigida. Para se chegar à malha de tensão é necessário a construção de um modelo que chegue à função de transferência da tensão de saída em função da corrente no indutor.

Para isso serão consideradas as potências de entrada e saída do sistema. Considerando a potência em cada um dos elementos, chega-se à equação (116).

$$P_{in} = P_L + P_{C1} + P_{C0} + P_{R0} \quad (116)$$

Onde:

$P_{in}$ : potência instantânea da fonte de entrada;

$P_L$ : potência instantânea no indutor L;

$P_{C1}$ : potência instantânea do capacitor  $C_1$ ;

$P_{C_0}$ : potência instantânea do capacitor  $C_0$ ;

$P_{R_0}$ : potência instantânea na carga  $R_0$ ;

As potências representadas na equação (116) estão definidas a seguir:

$$P_{in} = \frac{V_{gp} \cdot I_{LP}}{2} \quad (117)$$

$$P_L = \frac{1}{2} \cdot L \cdot \frac{dI_L^2}{dt} \quad (118)$$

$$P_{C_1} = \frac{1}{2} \cdot C_1 \cdot \frac{dV_{c1}^2}{dt} \quad (119)$$

$$P_{C_0} = \frac{1}{2} \cdot C_0 \cdot \frac{dV_{c0}^2}{dt} \quad (120)$$

$$P_{R_0} = \frac{V_0^2}{R_0} \quad (121)$$

Considerando a tensão nos dois capacitores igual à tensão de saída tem-se a equação (122).

$$V_{C_1} = V_{C_0} = V_0 \quad (122)$$

Substituindo (117), (118), (119), (120), (121) e (122) na equação (116) e aplicando a transformada de Laplace, chega-se a:

$$\frac{V_{gp} \cdot \hat{i}_{LP}(s)}{2} = \frac{1}{2} \cdot L \cdot s \cdot I_{LP}(s)^2 + \frac{1}{2} \cdot C_1 \cdot s \cdot V_0(s)^2 + \frac{1}{2} \cdot C_0 \cdot s \cdot V_0(s)^2 + \frac{V_0(s)^2}{R} \quad (123)$$

Utilizando o modelo dos pequenos sinais para a corrente no indutor e para a tensão de saída tem-se:

$$\hat{i}_{LP}(s) = I_{LP} + \hat{i}_{LP}(s) \quad (124)$$

$$v_0(s) = V_0 + \hat{v}_0(s) \quad (125)$$

Substituindo (124) e (125) em (123), chega-se a:

$$\frac{V_{gp} \cdot [I_{LP} + \hat{i}_{LP}]}{2} = \frac{1}{2} \cdot L \cdot s \cdot [I_{LP} + \hat{i}_{LP}]^2 + \frac{1}{2} \cdot C_1 \cdot s \cdot [V_0 + \hat{v}_0]^2 + \frac{1}{2} \cdot C_0 \cdot s \cdot [V_0 + \hat{v}_0]^2 + \frac{[V_0 + \hat{v}_0]^2}{R} \quad (126)$$

Ao manipular a equação (126) chega-se a equação (127).

$$\frac{V_{gp} \cdot I_{LP} + \hat{i}_{LP} \cdot V_{gp}}{2} = \frac{1}{2} \cdot L \cdot s \cdot [I_{LP}^2 + 2 \cdot I_{LP} \cdot \hat{i}_{LP} + \hat{i}_{LP}^2] + \frac{1}{2} \cdot C_1 \cdot s \cdot [V_0^2 + 2 \cdot V_0 \cdot \hat{v}_0 + \hat{v}_0^2] + \frac{1}{2} \cdot C_0 \cdot s \cdot [V_0^2 + 2 \cdot V_0 \cdot \hat{v}_0 + \hat{v}_0^2] + \frac{[V_0^2 + 2 \cdot V_0 \cdot \hat{v}_0 + \hat{v}_0^2]}{R} \quad (127)$$

Ficando somente com os termos de primeira ordem tem-se:

$$\frac{\hat{i}_{LP} \cdot V_{gp}}{2} = L \cdot s \cdot (I_{LP} \cdot \hat{i}_{LP}) + C_1 \cdot s \cdot (V_0 \cdot \hat{v}_0) + C_0 \cdot s \cdot (V_0 \cdot \hat{v}_0) + \frac{2(V_0 \cdot \hat{v}_0)}{R} \quad (128)$$

Colocando-se a corrente no indutor e a tensão de saída em evidência, obtém-se:

$$\hat{i}_{LP} \left( \frac{V_{gp}}{2} - L \cdot s \cdot I_{LP} \right) = \hat{v}_0 \left( V_0 \cdot C_1 \cdot s + V_0 \cdot C_0 \cdot s + 2 \cdot \frac{V_0}{R} \right) \quad (129)$$

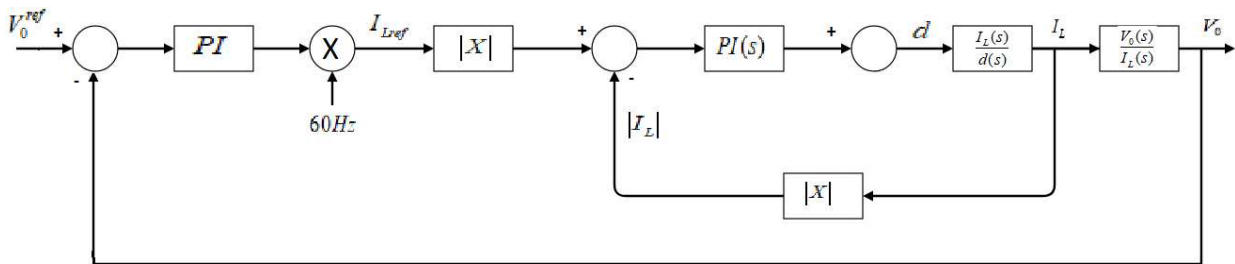
Manipulando (129), chega-se a função de transferência da tensão de saída pela corrente do indutor.

$$\frac{\hat{v}_0}{\hat{i}_{LP}} = \frac{\left( \frac{V_{gp}}{2} - L \cdot s \cdot I_{LP} \right)}{V_0 \left( s(C_1 + C_0) + \frac{2}{R} \right)} \quad (130)$$

Através da expressão (130) pode-se esboçar o diagrama de blocos da função de transferência.

Figura 20 – Diagrama de Blocos do Modelo da Tensão de Saída

Fonte: Autoria Própria



### 3.4 RESUMO DO CAPÍTULO

Nesse capítulo foi apresentada a estratégia que será utilizada para controlar o circuito proposto nesse trabalho. Foram utilizados dois modelos de valores médios, um da corrente de entrada e outro da tensão de saída.

## 4 PROJETO E SIMULAÇÃO DO RETIFICADOR

Nesse capítulo serão apresentados os parâmetros que determinarão o projeto e as perdas em cada uma das chaves. Em seguida serão apresentados os resultados da simulação do retificador.

### 4.1 DEFINIÇÃO DO PROJETO

Para a tensão de saída  $V_0$  foi escolhido o valor de 100 V. Os outros parâmetros escolhidos para o projeto podem ser encontrados na tabela 1.

Parâmetro	Valor
Tensão de Entrada $V_g$	127 V – 60 Hz
Potência de saída $P_0$	1000 W
Tensão de Saída $V_0$	100 V
Frequência de chaveamento $f_s$	50 kHz

**Tabela 1 – Especificações do projeto.**

Na tabela 2 estão as especificações selecionadas para os componentes do protótipo.

Parâmetro	Valor/ Especificação
Ondulação da corrente no indutor $\Delta i_L$	30%
Ondulação da tensão no capacitor $\Delta v_{c0}$	0,141%
MOSFET	IRF634B $r_{S,ON} = 0,345 \Omega$
Diodos	MUR860 $r_d = 43,3 m\Omega$

**Tabela 2 – Especificações dos componentes.**

Para o retificador proposto será considerada a tensão de saída  $V_0$  igual a 100V. Logo, o índice de modulação  $M$ , descrito na equação (70) é dado pela equação (111).

$$M = \frac{180}{2.100} = 0,9 \quad (111)$$

Levando-se em conta a tensão de saída  $V_0$ , pode-se concluir que cada semicondutor deve estar submetido à metade da tensão de saída.

Com as informações das tabelas (1) e (2) pode-se calcular os parâmetros do circuito.

Para encontrar a ondulação de corrente no indutor, primeiramente aplica-se a equação (112).

$$v_L = L \cdot \frac{di_L}{dt} \quad (112)$$

Pelo fato da corrente ser uma reta, chega-se (113).

$$v_L = L \cdot \frac{\Delta i_L}{\Delta t} \quad (113)$$

No primeiro etapa de funcionamento pode-se aproximar a equação a seguir.

$$v_g = L \cdot \frac{\Delta i_L}{DT} \quad (114)$$

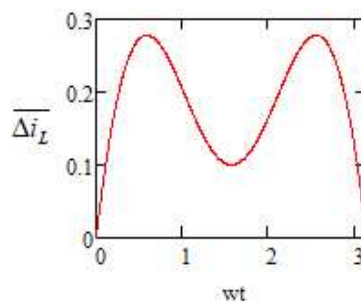
Em corrente alternada, o termo  $v_g.DT$  da equação (114) é descrita pela equação (115).

$$v_p.\text{sen}(\omega t).(1 - M.\text{sen}(\omega t)) \quad (115)$$

Traçando o gráfico da equação (115) em função de  $\omega t$ , variando de 0 a  $\pi$ , pode-se verificar a variação da ondulação na corrente no indutor. Conforme ilustrado na figura 21.

**Figura 21 – Ondulação da corrente no indutor em função de  $\omega t$**

**Fonte: Autoria Própria**



Para o projeto do indutor deve-se considerar a ondulação máxima.

Derivando-se a equação (115) e igualando a zero, pode-se encontrar o ângulo onde a ondulação é máxima. Nesse caso, a ondulação máxima acontece quando  $\omega t = 0,58$  rad.

Ou seja, tem-se que a ondulação máxima é dada pela equação abaixo.

$$\overline{\Delta i_{L \max}} \rightarrow \omega t = \arcsen\left(\frac{1}{2.M}\right) \quad (116)$$

Logo, chega-se a (117).

$$\overline{\Delta i_L} = \frac{1}{4.M} \quad (117)$$

Para encontrar o valor da indutância, aplica-se a equação (118).



$$L = \frac{\overline{\Delta i_L} \cdot T_s \cdot V_P}{\Delta i_L} \quad (118)$$

Ou

$$L = \frac{1}{4M} \cdot \frac{T_s \cdot V_P}{\Delta i_L} \quad (119)$$

Para o cálculo do valor do indutor, primeiramente calcula-se a corrente de pico na entrada, dada pela equação (120).

$$P = \frac{V_P \cdot I_P}{2} \quad (120)$$

Substituindo os valores da tabela 1, chega-se a  $I_P = 11,1A$ .

Considerando a ondulação de 30% da tabela 2, tem-se  $\Delta i_L = 3,33 A$ .

Aplicando-se os valores de projeto na equação (119). Chega-se ao valor do indutor.

$$L = \frac{1}{4.0,9} \cdot \frac{180}{3,33.50k} \approx 300 \mu H \quad (121)$$

Para o valor do circuito com um capacitor, aplica-se a equação (122).

$$C_0 = \frac{P_0}{2 \cdot \pi \cdot f_g \cdot V_0 \cdot \Delta V_0} \quad (122)$$

Entretanto como no modelo proposto há dois capacitores, a potência se divide por dois, sendo preciso balancear a equação (122). Dessa forma, chega-se em:

$$C_0 = \frac{P_0}{4 \cdot \pi \cdot f_g \cdot V_0 \cdot \Delta V_0} \quad (123)$$

Substituindo os valores na equação (123), tem-se a equação (124).

$$C_0 = \frac{1000}{4 \cdot \pi \cdot 60 \cdot 100 \cdot 14,1} \approx 940 \cdot 10^{-6} F \quad (124)$$

## 4.2 ANÁLISE DAS PERDAS

Com as especificações de diodos e dos interruptores é possível calcular as perdas do circuito. As perdas se dividem em duas: perdas de condução e as perdas de comutação. Esse trabalho focará somente nas perdas por condução. Para a análise de perdas não serão consideradas as perdas no indutor de entrada.

Os interruptores escolhidos para o projeto foram o MOSFET modelo IRF634B, produzidos pela Fairchild®. Nos MOSFET as perdas por condução acontecem quando há passagem de corrente pelo canal dreno-source. A resistência fornecida pelo fabricante pode ser obtida através da consulta ao *datasheet* e nesse caso é igual a  $0,345\Omega$ .

Assim é possível estimar as perdas nos semicondutores do projeto. Esses dados são necessários para o cálculo do rendimento.

Para calcular as perdas de condução no primeiro semiciclo de operação deve-se considerar a equação (125) para a potência dissipada nos interruptores.

$$P_{S,cond} = I_{Sef}^2 \cdot r_s \quad (125)$$

Onde  $I_{Sef}$  é a corrente eficaz no MOSFET e  $r_s$  a resistência do canal dreno-source.

Como os três interruptores são idênticos, substituindo a corrente eficaz das equações (82), (90) e (98) respectivamente, tem-se:

$$P_{S1,cond} = I_{s1}^2 \cdot r_s = 4,98W \quad (126)$$

$$P_{S2,cond} = I_{s2}^2 \cdot r_s = 42,51W \quad (127)$$

$$P_{S3,cond} = I_{s3}^2 \cdot r_s = 9,2W \quad (128)$$

No total a potência dissipada nos três MOSFET é dada pela equação (129).

$$P_{S,cond} = P_{S1,cond} + P_{S2,cond} + P_{S3,cond} = 76,69W \quad (129)$$

Para a segunda etapa de funcionamento os dois diodos conduzem corrente. O diodo escolhido foi o diodo *Schottky* MUR860, também fabricado pela Fairchild©.

A equação para a dissipação de potência no diodo está a seguir:

$$P_{D,cond} = V_F \cdot I_{Dmed} \quad (130)$$

Considerando  $V_F$ , a tensão direta, fornecida pelo *datasheet* e igual a 1,2V, e substituindo (110) em (130) tem-se:

$$P_{D1,cond} = V_F \cdot I_{D1med} = 1,2 \cdot 2,56 = 3,07W \quad (131)$$

Como há 2 diodos, tem-se:

$$P_{D,cond} = 2 \cdot P_{D1,cond} = 6,14W \quad (132)$$

#### 4.3 RENDIMENTO TEÓRICO

Considerando as perdas de condução e desconsiderando as perdas nos diodos da ponte retificadora tem-se a equação do rendimento, representada na equação (133).

$$\eta = \frac{P}{P + P_{TOTAL}} \quad (133)$$

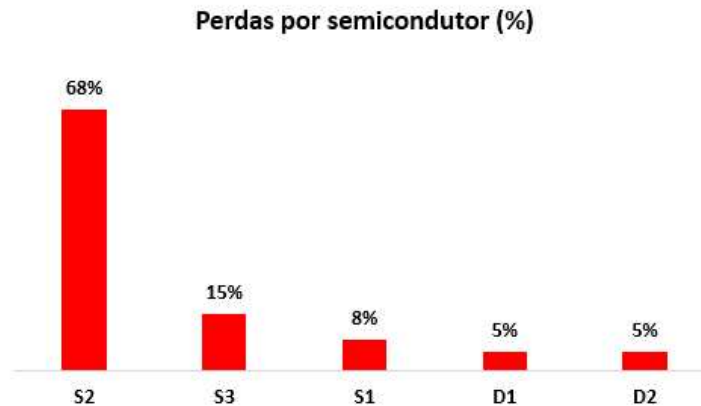
Assim, pode-se obter o rendimento teórico descrito abaixo.

$$\eta = \frac{1000}{1000 + 82,83} = 0,9235 \quad (134)$$

O gráfico da figura 22 mostra o impacto de cada semiconductor no rendimento do circuito.

**Figura 22 – Impacto dos semicondutores no rendimento.**

Fonte: Autoria Própria



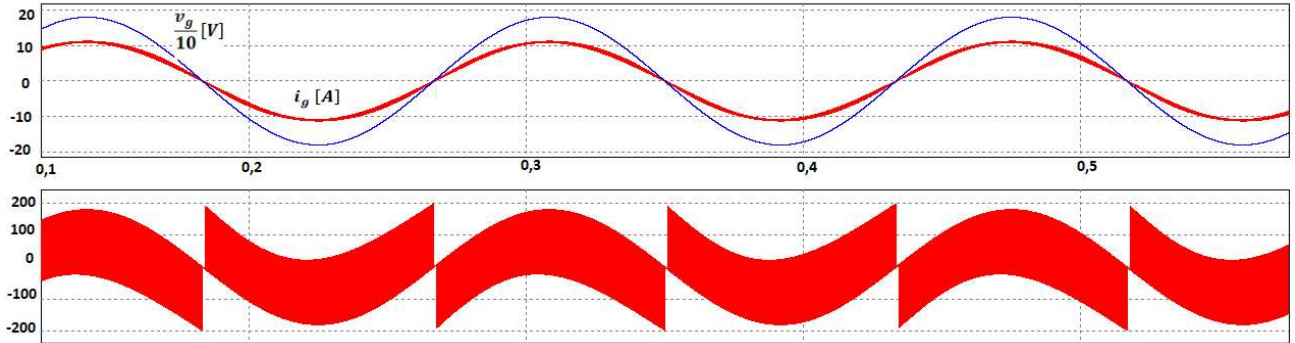
Pode-se concluir que as perdas de condução nos MOSFET são as principais responsáveis pelo impacto no rendimento, sendo que S2 corresponde a 68% de todas as perdas.

#### 4.4 RESULTADOS DA SIMULAÇÃO

A simulação foi realizada no software PSIM utilizando os parâmetros das tabelas 1 e 2. A mesma foi realizada com o retificador operando em malha fechada com controle da tensão e corrente de entrada. A figura 23 mostra a tensão e corrente da rede elétrica, e a tensão sobre o indutor de entrada, que varia de aproximadamente -200V a +200V, é importante notar que a tensão e a corrente da entrada se encontram em fase.

**Figura 23 – Tensão e corrente da rede elétrica; tensão sobre o indutor.**

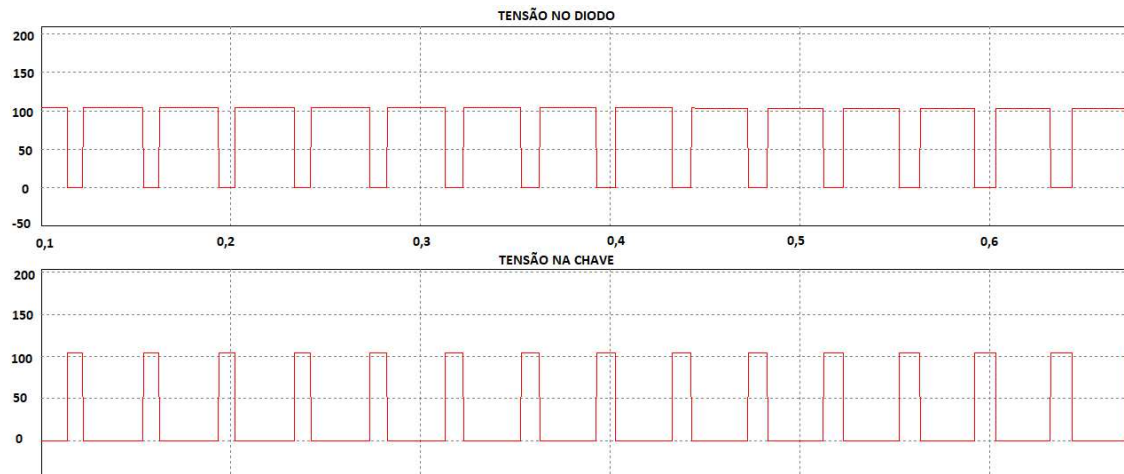
**Fonte: Autoria Própria**



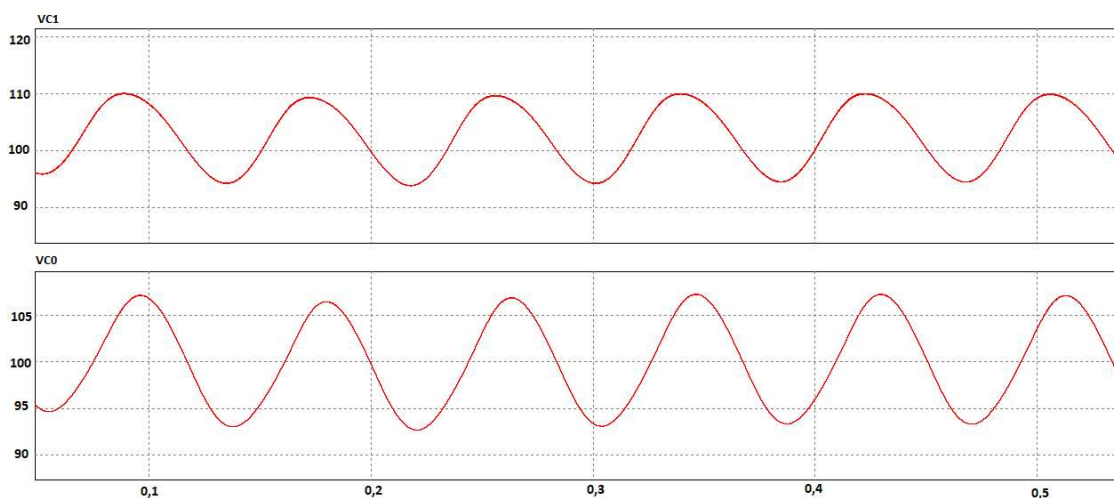
A figura 24 mostra o sinal PWM sobre os MOSFET e os diodos, é importante lembrar que todos os MOSFET são acionados ao mesmo tempo, enquanto os diodos estão bloqueados.

**Figura 24 – Sinal PWM sobre os diodos; sinal PWM sobre os MOSFET.**

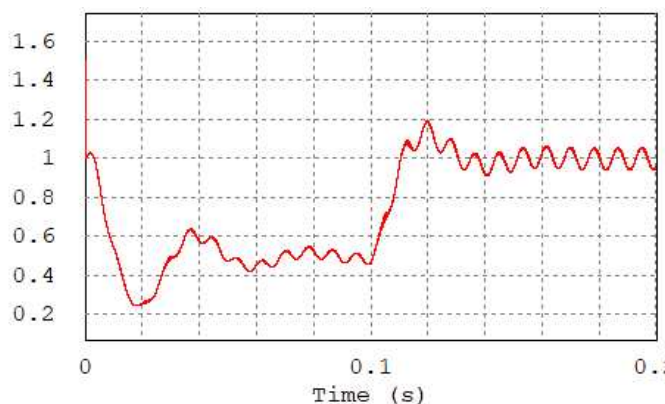
**Fonte: Autoria Própria**



Na figura 25 tem-se a tensão sobre os capacitores  $C_1$  e  $C_0$ , que de acordo com o projeto são iguais.

**Figura 25 – Tensão sobre o capacitor 1 e o capacitor de saída.****Fonte: Autoria Própria**

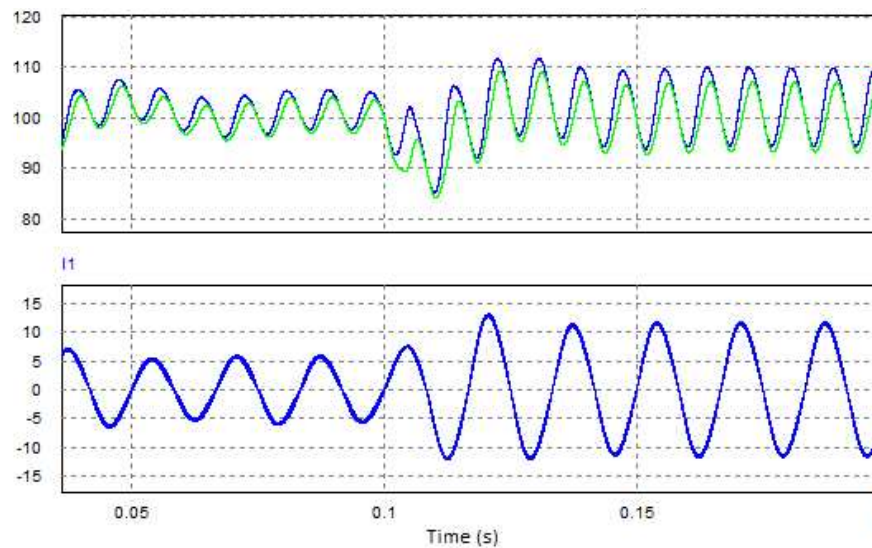
Para se confirmar a eficácia do controle uma função degrau de carga de 50% para 100% foi aplicada no tempo 0,12s, conforme a figura 26.

**Figura 26 – Saída do controlador durante aplicação da função Degrau de Carga.****Fonte: Autoria Própria**

Na figura 27 encontram-se a resposta da tensão e da corrente de saída à interferência do degrau de carga. Pode-se perceber que mesmo após a perturbação a tensão volta a convergir para o valor de 100V.

**Figura 27 – Tensão e corrente de saída após a perturbação.**

Fonte: Autoria Própria



#### 4.5 COMPARAÇÃO ENTRE TEÓRICO E SIMULAÇÃO

A tabela abaixo mostra a diferença entre as correntes nos diodos e interruptores com o intuito de validar os resultados obtidos através da análise teórica. Pode-se observar que todos os resultados possuem um erro inferior a 5%, o que corrobora os resultados calculados anteriormente.

	Teórico	Simulação	Erro
Is1.ef	3,82	3,98	4,19%
Is2.ef	11,16	11,38	1,97%
Is3.ef	9,23	9,53	3,25%
Id.ef	6,95	6,92	0,43%
Is1.med	2,04	1,94	4,90%
Is2.med	4,99	4,98	0,20%
Is3.med	2,86	2,73	4,55%
Id.med	2,56	2,68	4,69%

**Tabela 3 – Comparação entre resultados calculados e simulação.**

#### 4.6 RESUMO DO CAPÍTULO

Nesse capítulo foram apresentados os parâmetros utilizados na realização do projeto. Em seguida foram calculadas as perdas de condução nos três interruptores e dois diodos, assim pode-se calcular o rendimento teórico do circuito. Então os resultados da simulação foram apresentados para que pudessem ser comparados com os resultados teóricos. A simulação comprovou os valores obtidos com os cálculos teóricos.



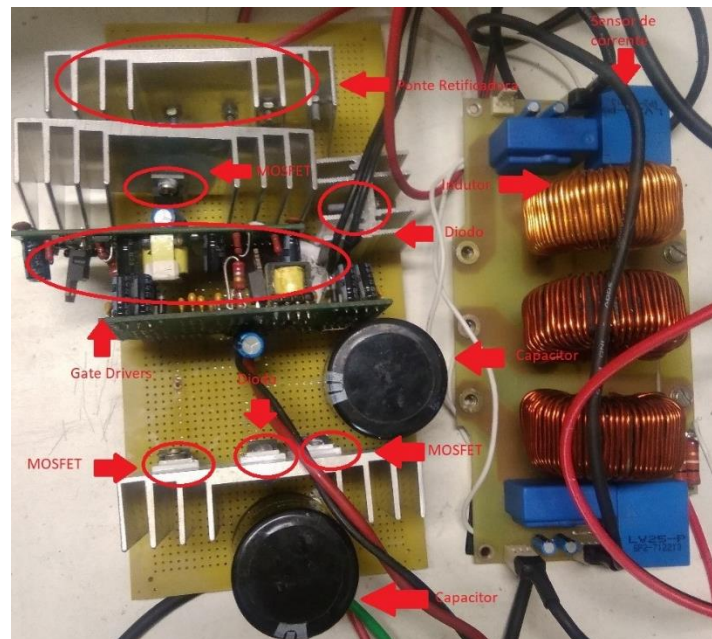
## 5 RESULTADOS EXPERIMENTAIS

O capítulo 5 será dedicado a apresentar os resultados práticos obtidos após a confecção do circuito proposto de acordo com as especificações do capítulo anterior.

Para a validação dos resultados teóricos o circuito abaixo foi construído, a figura 28 mostra a vista frontal do mesmo. Para o controle e comando do circuito foi utilizado o DSP TMS320F28335 da *Texas Instruments*. Para o sensoriamento das correntes e da tensão de saída foram utilizados sensores de efeito *Hall*.

**Figura 28 – Foto do circuito utilizado nos ensaios.**

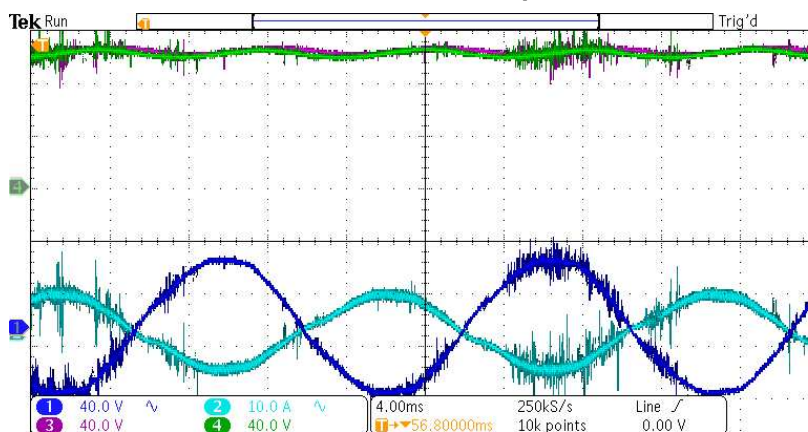
Fonte: Aatoria Própria



Para os ensaios com o protótipo foi considerado o circuito funcionando em regime permanente e com potência nominal. A figura 29 mostra as tensões nos capacitores  $C_1$  e  $C_o$  nos canais 3 e 4, sendo a tensão de  $C_1$  igual a 102V e a tensão de  $C_o$  igual a 101V, próximo do esperado de 100V em cada um dos capacitores conforme modelo teórico. E a tensão de entrada  $V_g$  e a corrente de entrada  $I_g$ , nos canais 1 e 2, respectivamente, operando nos valores nominais.

**Figura 29 – Formas de onda obtidas durante o experimento.**

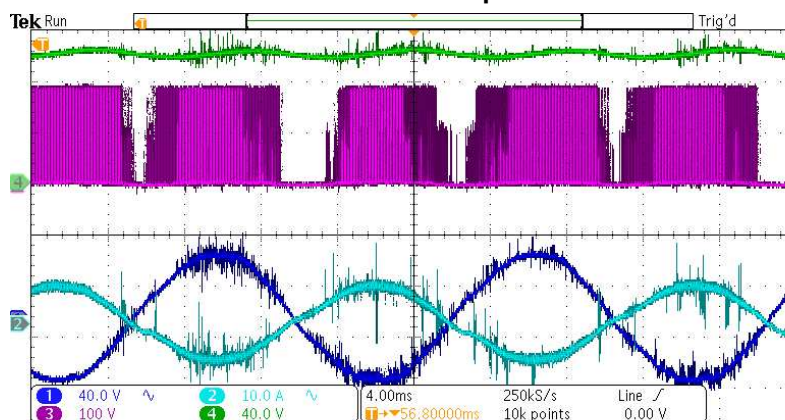
Fonte: Autoria Própria



Já a imagem 30 além de apresentar a tensão de entrada, a corrente de entrada e a tensão no capacitor  $C_o$  também apresenta a tensão após a ponte retificadora, no canal 3, onde tem-se uma tensão equivalente a 190V.

**Figura 30 – Tensão sobre os diodos da ponte retificadora.**

Fonte: Autoria Própria



É interessante observar nos canais 1 e 2 a tensão e a corrente de entrada são senoidais e estão em fase, o que caracteriza a operação com alto fator de potência.

## 5.1 RESUMO DO CAPÍTULO

Com a realização do experimento pode-se confirmar que o modelo proposto atende ao propósito esperado, de corrigir o fator de potência de uma fonte de tensão senoidal na entrada e também obteve os mesmos resultados que o modelo teórico, proposto no capítulo 2 e que a simulação, apresentada no capítulo 4.

## 6 CONCLUSÃO

Nesse trabalho foram apresentados no capítulo 1, os modelos mais tradicionais de retificadores com fator de correção de potência e suas respectivas vantagens e desvantagens.

No capítulo 2 a topologia que esse trabalho propõe foi apresentada. Primeiramente todas as correntes e tensões foram deduzidas considerando a tensão de entrada contínua, em seguida a tensão da rede foi considerada para a entrada do circuito. Todos os esforços nos semicondutores também foram calculados nesse capítulo.

No capítulo seguinte foi apresentado o controle do modelo. No capítulo 4 todos os parâmetros do circuito foram definidos e os cálculos teóricos foram realizados.

Então o protótipo construído foi apresentado e comparado com os modelos matemático e a simulação.

Pode-se observar que os resultados obtidos experimentalmente são compatíveis com a simulação e com o modelo teórico. O que valida o circuito proposto.

Como sugestão para o trabalho proposto fica a modelagem, simulação e implementação do modelo trifásico.

## REFERÊNCIAS

BARBI, I. **Retificadores monofásicos com correção ativa do fator de potência empregando o conversor Boost**. 2015. 150p. Publicação interna do INEP, Universidade Federal de Santa Catarina, Florianópolis, Agosto de 2015.

BARBI, Ivo. **Eletrônica de Potência**. 4ª Edição, Florianópolis, Ed. do Autor, 2002.

BEN-YAAKOV, S. **Switched Capacitors Converters**. 2009. In: *Applied Power Electronics Conference and Exposition (APEC)*, 2009.

CORTEZ, D. **Família de retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado com elevado fator de potência**. 2015. 253p. Tese (doutorado), Universidade Federal de Santa Catarina, Florianópolis, 2015.

COSTA, P. et al. **Hybrid Bridgeless DCM SEPIC Rectifier Integrated with a Modified Switched Capacitor Cell**. In: *Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2016, pp. 2376-2381. doi: 10.1109/APEC.2016.7468198

ERICKSON, R.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. 2 ed. New York. Springer. 2001. 881p.

LAKKAS, G. **MOSFET Power Losses and How They Affect Power-Supply Efficiency**. In: *Analog Applications Journal*. Texas Instruments, 2016.

LI, W. e PERREAULT, D. "**Switched-capacitor step-down rectifier for low-voltage power conversion**" *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2013, pp. 1884-1891. doi: 10.1109/APEC.2013.6520552

KESTER, W. ET AL. **Switched Capacitors Voltage Converters**. Disponível em: <http://www.analog.com/media/en/training-seminars/design-handbooks/Practical-Design-Techniques-Power-Thermal/Section4.pdf> Acesso em: 21 nov 2017

WEI, H. e I. BATARSEH, **Comparison of basic converter topologies for power factor correction**, *Southeastcon '98. Proceedings. IEEE*, Orlando, FL, 1998, pp. 348-353.

TOUMAZOU,C. ET AL. **Switched Currents: an Analogue Technique for Digital Technology**. 1 ed. London. Peter Peregrinus on behalf of the Intitution of Electrical Engineers. 1993. 251p.