

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELÉTRICA
CURSO DE ENGENHARIA ELÉTRICA

ERIC BERNARD DILGER

**DESENVOLVIMENTO DE UMA FONTE CHAVEADA PARA USO EM
LABORATÓRIO DE GRADUAÇÃO**

TRABALHO DE CONCLUSÃO DE CURSO

PATO BRANCO

2018

ERIC BERNARD DILGER

**DESENVOLVIMENTO DE UMA FONTE CHAVEADA PARA USO EM
LABORATÓRIO DE GRADUAÇÃO**

Trabalho de Conclusão de Curso de graduação, apresentado à disciplina de Trabalho de Conclusão de Curso 2, do Curso de Engenharia Elétrica do Departamento Acadêmico de Elétrica – DAELE – da Universidade Tecnológica Federal do Paraná – UTFPR, Campus Pato Branco, como requisito parcial para obtenção do título de Engenheiro Eletricista.

Orientador: Prof. Dr. Carlos Marcelo de Oliveira Stein

PATO BRANCO

2018

TERMO DE APROVAÇÃO

O trabalho de Conclusão de Curso intitulado “**DESENVOLVIMENTO DE UMA FONTE CHAVEADA PARA USO EM LABORATÓRIO DE GRADUAÇÃO**”, do(s) aluno(s) “**ERIC BERNARD DILGER**” foi considerado **APROVADO** de acordo com a ata da banca examinadora N° **191** de 2018.

Fizeram parte da banca os professores:

Carlos Marcelo de Oliveira Stein

Emerson Giovani Carati

Everton Luiz de Aguiar

A Ata de Defesa assinada encontra-se na Coordenação do Curso de Engenharia Elétrica

RESUMO

DILGER, Eric Bernard. Desenvolvimento De Uma Fonte Chaveada Para Uso Em Laboratório De Graduação. 2018. 106f. Trabalho de Conclusão de Curso – Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Pato Branco, 2018.

Este trabalho aborda o estudo e o desenvolvimento de uma fonte chaveada operando no modo de condução contínuo (CCM). Relações matemáticas são obtidas para representar o controle de pequenos sinais da tensão de saída e da corrente no indutor do conversor *buck*. Dois controladores são projetados para possibilitar o controle no modo de tensão constante (MTC) e no modo de corrente constante (MCC). O estágio de potência é controlado à uma frequência de chaveamento fixa com um DSP. A cada ciclo, os sinais de tensão e de corrente são quantizados e subtraídos de seus valores de referência, de modo a gerar um sinal de erro que é utilizado pelo controlador para corrigir a razão cíclica. Para validar os circuitos projetados, são realizadas simulações com os softwares MATLAB® e PSIM. A implementação da fonte é realizada em placas de circuito impresso. Os resultados obtidos permitem comprovar a o desempenho dos controladores. Técnicas de controle menos complexas podem ser utilizadas para o controle da malha externa. A malha interna responde rapidamente às perturbações e garante a limitação de corrente. Uma desvantagem apresentada pela técnica de controle, deve-se à necessidade de atualizar os coeficientes dos controladores para diferentes pontos de operação. Contudo, as equações apresentadas por este trabalho podem ser implementadas junto ao DSP para que os valores sejam atualizados constantemente.

Palavras-chave: Conversor Chaveado, Fonte de Alimentação Chaveada, Controle Digital, Tensão Constante, Corrente Constante.

ABSTRACT

DILGER, Eric Bernard. Design of A Laboratory Switch-Mode Power Supply. 2018. 106f. Course Assignment Monograph – Federal Technological University of Paraná. Pato Branco, 2018.

This paper presents a switch mode power supply (SMPS) operating in continuous conduction mode (CCM). Mathematical derivations are verified for the small signal models (SSM) of control-to-output and inductor current-to-output PWM-controlled buck converter. Two controllers are designed to achieve either constant voltage (CV) or constant current (CC) modes of operation. The power stage is digitally controlled at a fixed frequency by a digital signal processor (DSP). Voltage and current signals are quantized each cycle and subtracted to the respective reference signals, so that the error signals can be calculated and used to compensate the system. The softwares PSIM® and MATLAB® are used to simulate the SMPS. The power supply implementation is done on a printed circuit board. The practical results shows an interesting behavior about the automatic transition between the two control modes of operation. A simple control design can be applied to the voltage loop, while the fast response at the inner loop provides current limiting. The proposed SMPS major drawback is the requirement of an adaptative positioning voltage, so that the controller could be able to evaluate suitable coefficients for each point-of-load situations. Even so, the mathematical relations established on this work can be applied to the DSP to match the fitting values for the controllers as the point-of-load is modified.

Keywords: Switch Converter, Switch-Mode Power Supply, Digital Control, Constant Voltage, Constat Current.

LISTAS DE SIGLAS E ABREVIATURAS

CC	Corrente Contínua
CA	Corrente Alternada
D	<i>Duty-Cycle</i> – Razão Cíclica
MTC	Modo de Tensão Constante
MCC	Modo de Corrente Constante
DSP	<i>Digital Signal Processor</i> – Processador de sinais digitais
ADC	<i>Analog-to-Digital Converter</i> – Conversor Analógico-Digital
LKT	Lei de Kirchoff das Tensões
LKC	Lei de Kirchhoff das Correntes
PIV	<i>Peak Inverse Voltage</i> – Tensão de Pico Inversa
CCM	<i>Continuous Conduction Mode</i> – Modo de Condução Contínuo
DCM	<i>Discontinuous Conduction Mode</i> – Modo de Condução Descontínuo
CRM	<i>Critical Conduction Mode</i> – Modo de Condução Crítico
ESR	Equivalent Series Resistance – Resistência Equivalente em Série
DCR	Direct Current Resistance – Resistência do Indutor
PWM	<i>Pulse-Width Modulation</i> – Modulação por Largura de Pulso
DPWM	<i>Digital Pulse-Width Modulation</i> – Modulação por Largura de Pulso Digital

LISTA DE FIGURAS

Figura 1 – Diagrama simplificado de funcionamento das fontes de alimentação.....	16
Figura 2 – Diagrama simplificado de funcionamento: (a) regulador linear; (b) conversor chaveado.....	16
Figura 3 – Estágios de conversão de potência e estágio de controle.	17
Figura 4 – Modos de operação: (a) tensão constante; (b) corrente constante.	17
Figura 5 – Características de tensão constante e de corrente constante.....	18
Figura 6 – Diagrama de blocos da fonte chaveada.	21
Figura 7 – Retificador de onda completa em ponte: (a) circuito elétrico; (b) formas de onda da tensão de entrada V_{CA} e da tensão de saída V_{bus}	22
Figura 8 – Circuito equivalente de cada semiciclo: (a) positivo; (b) negativo.	22
Figura 9 – Retificador de onda completa com filtro capacitivo: (a) diagrama do circuito; (b) formas de onda de tensão.	23
Figura 10 – Formas do retificador de onda completa com filtro.....	25
Figura 11 – Conversor chaveado: (a) diagrama simplificado de funcionamento; (b) formas de onda de tensão sobre a chave S	27
Figura 12 – Conversor <i>buck</i> : (a) diagrama do circuito alimentando uma carga resistiva R ; (b) variação da tensão de saída V_o em função da razão cíclica d	28
Figura 13 – Funcionamento do conversor <i>buck</i> : (a) etapa <i>ton</i> ; (b) etapa <i>toff</i> ; (c) formas de onda da tensão no indutor V_L , da corrente no indutor I_L e da tensão sobre o capacitor V_c	28
Figura 14 – Modo de operação do conversor buck: (a) modo de condução contínuo; (b) modo de condução descontínuo; (c) modo de condução crítico; (d) característica de carga.	31
Figura 15 – Instrumentação de sinal: (a) diagrama das variáveis medidas; (b) diagrama de blocos dos processos.	34
Figura 16 – Medição e ajuste no sinal de tensão.	35
Figura 17 – Medição e ajuste no sinal de corrente.....	36
Figura 18 – Dimensionamento do filtro ativo: (a) topologia <i>Sallen-Key</i> ; (b) diagrama de bode.	37
Figura 19 – Diodo zener: (a) curva característica; (b) diagrama para dimensionamento.	38
Figura 20 – Controle no modo de tensão.	39
Figura 21 – Controle no modo de corrente.....	40
Figura 22 – Modelo para pequenos sinais do conversor <i>buck</i>	40
Figura 23 – Diagrama de blocos para controle em cascata.	41
Figura 24 – Modelo simplificado de pequenos sinais do conversor buck: (a) malha interna; (b) malha externa.	42
Figura 25 – Diagrama de blocos do sistema de controle.	42
Figura 26 – Controle digital: (a) conversão analógica-digital; (b) modulação por largura de pulso digital com frequência constante.	43
Figura 27 – Diagrama de blocos para controle digital.	44
Figura 28 – Resposta da malha interna: (a) diagrama de bode; (b) lugar geométrico das raízes; (c) resposta ao degrau unitário.	46
Figura 29 – Compensador Tipo II: (a) diagrama do circuito; (b) diagrama de bode.	47
Figura 30 – Resposta da malha externa: (a) diagrama de bode; (b) lugar geométrico das raízes; (c) resposta ao degrau unitário.	49
Figura 31 – Estágios de conversão de potência.....	50

Figura 32 – Simulação do circuito retificador de onda completa com filtro capacitivo: (a) diagrama do circuito; (b) formas de onda tensão; (c) formas de onda de corrente.	52
Figura 33 – Valores obtidos para L_{cr} em razão da: (a) corrente crítica; (b) resistência de carga.	54
Figura 34 – Simulação do conversor <i>buck</i> para $D=0,5$: (a) diagrama do circuito; (b) resposta em malha aberta; (c) <i>ripple</i> na tensão de saída; (d) <i>ripple</i> na corrente do indutor.	55
Figura 35 – Instrumentação do sinal de tensão: (a) diagrama do circuito; (b) formas de onda da tensão de saída V_o , do sinal medido V_m e da tensão sobre o diodo zener V_Z ; (c) formas de onda do sinal gerado V_{quad} , da tensão de saída do filtro $V_{out}(sk)$ e da tensão sobre o diodo zener V_Z	58
Figura 36 – Instrumentação do sinal de corrente: (a) diagrama do circuito; (b) formas de onda do sinal gerado V_{quad} , da resposta do somador V_{soma} e do sinal resultante no amplificador V_{amp}	59
Figura 37 – Conversor <i>buck</i> em malha aberta: (a) diagrama do circuito; (b) formas de onda.	60
Figura 38 – Resposta do conversor em malha aberta: (a) diagrama de Bode; (b) resposta ao degrau unitário.	60
Figura 39 – Simulação em malha aberta da planta G_{ids} : (a) diagrama de bode; (b) resposta ao degrau unitário.	61
Figura 40 – Simulação em malha fechada da planta G_{ids} : (a) diagrama de bode; (b) resposta ao degrau unitário.	62
Figura 41 – Projeto do controlador de corrente: (a) diagrama esquemático para controle analógico; (b) diagrama esquemático para controle discreto; (c) diagrama esquemático para controle digital; (d) respostas de corrente de saída para entrada de degrau na corrente de referência; (e) respostas de tensão de saída para entrada de degrau na corrente de referência; (f) respostas de corrente de saída para entrada de carga $R = 15 \Omega$; (g) respostas de tensão de saída para entrada de carga $R = 15 \Omega$;	63
Figura 42 – Simulação em malha aberta da planta G_{VLs} : (a) diagrama de bode; (b) resposta ao degrau unitário.	65
Figura 43 – Simulação em fechada do controle de corrente: (a) diagrama de bode; (b) resposta ao degrau unitário.	66
Figura 44 – Fluxograma de controle.	68
Figura 45 – Simulação do controle automático.	69
Figura 46 – Diagrama do circuito <i>driver</i>	71
Figura 47 – Fonte de alimentação auxiliar.	72
Figura 48 – Implementação do DSP STMF407G.	72
Figura 49 – Desenvolvimento do protótipo: (a) primeira versão do projeto; (b) circuitos de instrumentação de tensão e de corrente; (c) placa dupla-face.	73
Figura 50 – Protótipo final: (a) fonte chaveada; (b) placas de carga.	74
Figura 51 – Formas de onda da tensão de entrada e da tensão de saída do conversor <i>buck</i> em malha aberta.	76
Figura 52 – Formas de onda da tensão de saída V_o do conversor buck e do sinal de leitura da tensão de saída no ADC $V_{ADC}(V_o)$	77
Figura 53 – Formas de onda da tensão de saída V_o do conversor buck e do sinal de leitura da corrente do indutor no ADC $V_{ADC}(I_L)$	77
Figura 54 – Transição entre os modos de operação.	78
Figura 55 – Núcleo e carretel do tipo E.	90
Figura 56 – Filtro passa-baixa.	98

Figura 57 – Aproximações de resposta para filtros passa-baixas: (a) Butterworth; (b) Chebyshev; (c) Chebyshev inverso; (d) Elíptico; (e) Bessel.....	98
Figura 58 – Compensador Tipo II: (a) diagrama do circuito; (b) diagrama de bode.	102
Figura 59 – Compensador Tipo III: (a) diagrama do circuito analógico; (b) resposta em frequência.....	105

LISTA DE TABELAS

Tabela 1 – Parâmetros iniciais para o projeto da fonte chaveada.....	50
Tabela 2 – Parâmetros iniciais para projeto do retificador de tensão com filtro capacitivo.	51
Tabela 3 – Resultados da simulação do primeiro estágio.	53
Tabela 4 – Parâmetros iniciais para o projeto do conversor <i>buck</i>	53
Tabela 5 – Parâmetros iniciais para o projeto dos circuitos de instrumentação.	56
Tabela 6 – Especificação dos componentes do protótipo.	75
Tabela 7 – Coeficientes para aproximações de resposta Bessel e Butterworth.....	99

LISTA DE QUADROS

Quadro 1 – Script para controle de corrente com a ferramenta Cblock.	64
Quadro 2 – <i>Script</i> para controle de corrente com a ferramenta Cblock.	67
Quadro 3 – Aproximações de filtros.	99
Quadro 4 – Critério para escolha do compensador.....	100

SUMÁRIO

1	INTRODUÇÃO.....	15
1.1	OBJETIVO.....	18
2	FONTE DE ALIMENTAÇÃO CHAVEADA	21
2.1	ESTÁGIO DE ENTRADA	21
2.1.1	Retificador de onda completa em ponte	22
2.1.2	Dimensionamento do filtro capacitivo	23
2.1.3	Dimensionamento dos diodos	24
2.2	ESTÁGIO DE SAÍDA.....	26
2.2.1	Topologia <i>buck</i>	27
2.2.1.1	Dimensionamento da indutância	30
2.2.1.2	Dimensionamento do capacitor	32
2.2.1.3	Dimensionamento do transistor e do diodo	33
2.3	INSTRUMENTAÇÃO DE SINAL.....	33
2.3.1	Medição do sinal e ajuste de amplitude.....	34
2.3.1.1	Sinal de tensão.....	35
2.3.1.2	Sinal de corrente	35
2.3.2	Dimensionamento do filtro ativo	37
2.3.3	Proteção do DSP.....	38
2.4	CONTROLE DO CONVERSOR	39
2.4.1	Modelo para controle.....	40
2.4.2	Controle digital	42
2.4.3	Dimensionamento dos controladores	45
2.4.3.1	Controlador de corrente.....	46
2.4.3.2	Controlador de tensão	49
3	PROJETO E SIMULAÇÃO.....	50
3.1	ESTÁGIO DE ENTRADA	51

3.2 ESTÁGIO DE SAÍDA.....	53
3.3 CIRCUITOS DE INSTRUMENTAÇÃO	56
3.3.1 Filtros Ativos.....	56
3.3.2 Proteção do DSP.....	57
3.3.3 Instrumentação de tensão	57
3.3.4 Instrumentação de corrente.....	58
3.4 SISTEMA DE CONTROLE	59
3.4.1 Controle de corrente.....	61
3.4.2 Controle de tensão	64
3.4.3 Controle automático	67
4 IMPLEMENTAÇÃO DO PROTÓTIPO E RESULTADOS EXPERIMENTAIS	70
4.1 CIRCUITOS AUXILIARES.....	70
4.2 DESENVOLVIMENTO DO PROTÓTIPO	73
4.3 CONVERSOR <i>BUCK</i> EM MALHA ABERTA	76
4.4 CONTROLE AUTOMÁTICO.....	78
5 CONCLUSÃO E SUGESTÃO PARA TRABALHOS FUTUROS.....	80
REFERÊNCIAS.....	83
APÊNDICE A – PROJETO FÍSICO DO INDUTOR	90
APÊNDICE B – MODELO MÉDIO EM ESPAÇO DE ESTADOS	93
B.1 – FUNÇÃO DE TRANSFERÊNCIA DO CONVERSOR <i>BUCK</i>	96
APÊNDICE C – FILTROS ATIVOS	98
APÊNDICE D – CRITÉRIOS PARA PROJETO DE CONTROLADORES	100
D.1 – CONTROLADOR TIPO II.....	102
D.2 – CONTROLADOR TIPO III.....	104

1 INTRODUÇÃO

Nas últimas décadas houve uma expansão no uso da eletricidade. O surgimento de tantos aparelhos eletrônicos deve-se ao desenvolvimento tecnológico em busca de uma melhoria na qualidade de vida humana. Ao longo dos anos, muitas tarefas comuns do dia a dia passaram a ser realizadas por equipamentos eletrônicos, que podem ser programados e utilizados por uma pessoa leiga em relação à tecnologia.

A maioria dos eletrônicos precisa ser alimentado em forma de Corrente Contínua (CC). Porém, quase todo o fornecimento de energia elétrica feito por concessionárias é transmitido na forma de corrente alternada. Isso levou ao surgimento de dispositivos capazes de fazer essa adaptação na forma da energia elétrica.

As fontes de alimentação são dispositivos conversores de potência que têm por função fazer uma conversão na forma da energia elétrica (ZHENG, 2013), (SHANKAR, 2017), (RASHID, 2001), (HP, 1965), (AGILENT, 2000), (ON, 2014), (HART, 2011). Elas são necessárias para o funcionamento da maioria dos dispositivos eletrônicos e são utilizadas por muitos equipamentos elétricos (ABDELRAHMAN, 2015), (RASHID, 2001), (MOHAN, 1995). A diminuição do custo dos componentes eletrônicos aumentou a quantidade de aplicações em que as fontes são incorporadas (KALLANNAVAR, 2017), (BARBI, 2001), (PRABHA, 2012), (HAGEN; YOUSEFZADEH, 2018).

Para facilitar a compreensão sobre o funcionamento dessas fontes, um diagrama simplificado da conversão de potência é apresentado na Figura 1. A tensão V_{IN} e a corrente I_{IN} são convertidas na tensão V_{OUT} e na corrente I_{OUT} . Essa conversão é responsável por adequar V_{OUT} e I_{OUT} às características solicitadas por determinada carga.

As primeiras fontes desenvolvidas utilizavam um regulador linear para fazer a conversão de potência. Nesse regulador, o transistor opera na região ativa e funciona de maneira semelhante a um resistor variável. A tensão de saída é obtida ajustando a queda de tensão sobre esta resistência (PRESSMAN, 2009), (MOHAN, 1995), (HART, 2011), (RASHID, 2001), (AHMED, 2000), (ERICKSON, 2004). Mas, nas recentes décadas, a redução de volume e o aumento de desempenho têm sido

fatores de grande influência na fabricação destes dispositivos (ABDELRAHMAN, 2015), (KAMIL, 2007), (POLLOCK, 1997), (MOHAN, 1995), (FREITAS et al., 2010).



Figura 1 – Diagrama simplificado de funcionamento das fontes de alimentação.
Fonte: Adaptado de Hart (2011).

A evolução tecnológica dos semicondutores de potência permitiu o surgimento das fontes chaveadas como alternativa às fontes lineares. No método de conversão chaveada, o transistor é utilizado nas regiões de saturação e de corte, e funciona de maneira semelhante a uma chave interruptora, que pode assumir as posições aberta ou fechada (PRESSMAN, 2009), (MOHAN, 1995), (HART, 2011), (RASHID, 2001), (AHMED, 2000), (BARBI, 2001), (ERICKSON, 2004).

O diagrama simplificado de funcionamento de cada fonte é apresentado pela Figura 2 e permite visualizar a diferença entre os princípios de conversão de potência. Do ponto de vista teórico, os elementos passivos não dissipam potência e os interruptores sendo ideais apresentam corrente nula quando abertos e tensão nula quando em condução. Assim, em ambos os casos o produto da tensão e da corrente é zero, e, portanto, a potência dissipada é nula (BARBI, 2006).

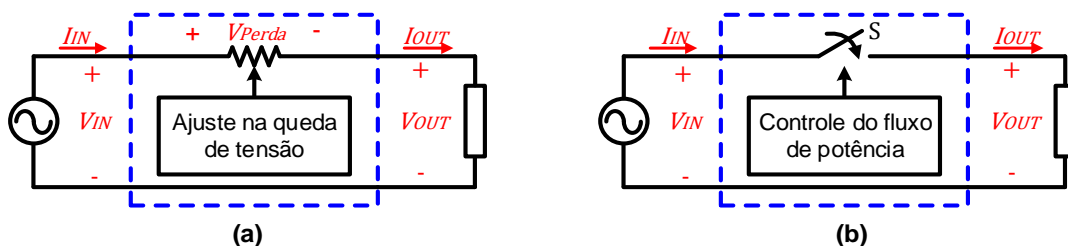


Figura 2 – Diagrama simplificado de funcionamento: (a) regulador linear; (b) conversor chaveado.
Fonte: Adaptado de Hart (2011).

Na fonte de alimentação proposta por este trabalho, a conversão de potência é feita em dois estágios sequenciados, conforme ilustra a Figura 3. O estágio de entrada converte a tensão CA em CC e suaviza sua ondulação. O estágio de saída fornece uma tensão regulada de saída, mesmo diante de possíveis perturbações na

tensão de entrada ou na carga (MALVINO, 2011). Mas para isso, é necessário implementar um sistema para controlar a comutação da chave em razão dos parâmetros de potência solicitados pela carga.

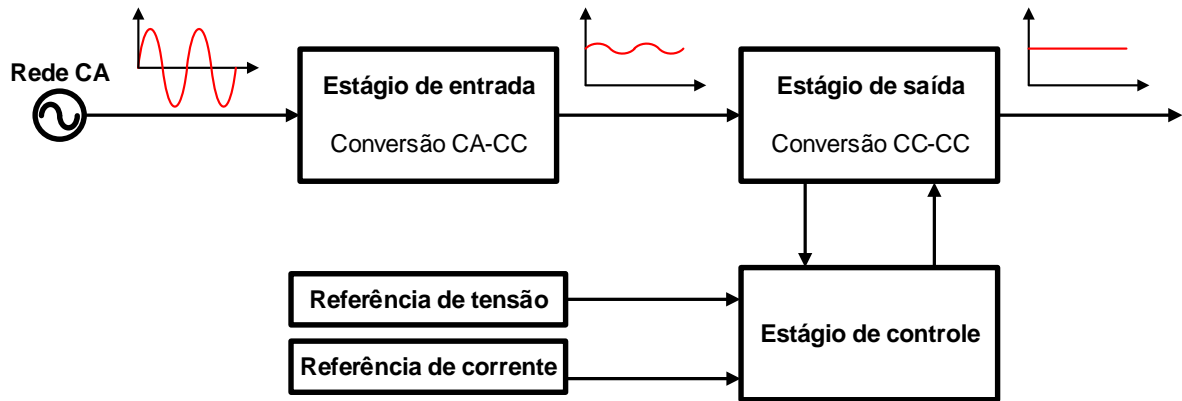


Figura 3 – Estágios de conversão de potência e estágio de controle.
Fonte: Adaptado de Malvino (2011).

O controle em malha fechada é responsável por fazer a variável controlada convergir para o valor desejado (CHOI, 2011). O controle por *feedback* consiste em comparar o parâmetro controlado com o sinal desejado, gerando um erro que é utilizado para corrigir a razão cíclica D (HART, 2011). O controle deve garantir a estabilidade da fonte diante de perturbações, respondendo rapidamente a transitórios (PRABHA, 2012).

As fontes ajustáveis utilizadas em laboratórios são modeladas para trabalhar no modo de tensão constante (MTC) ou no modo de corrente constante (MCC), com a transição automática entre os dois modos. Na operação em MTC, ilustrada pela Figura 4a, o valor ajustado como referência de corrente é utilizado para garantir a proteção contra sobrecarga. Na operação em MCC, apresentada pela Figura 4b, o valor ajustado como tensão define o ponto de cruzamento entre os dois modos de operação (BILLINGS, 2011).

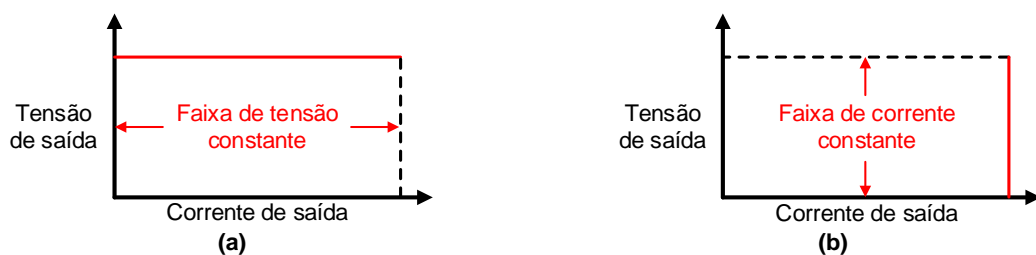


Figura 4 – Modos de operação: (a) tensão constante; (b) corrente constante.
Fonte: Agilent Technologies (2000).

A transição automática entre os dois modos de operação é conhecida como *cruzamento automático de tensão e de corrente*, indicada na Figura 5, na qual R_L representa a resistência da carga e R_C a resistência crítica que determina o ponto de transição. A resistência crítica é determinada pela razão dos sinais de referência de tensão e de corrente. Em condições normais de operação, $R_L > R_C$ e a fonte fornece uma tensão constante à carga. Se, por alguma razão, a corrente solicitada se tornar maior que seu valor de referência, implicará que $R_L < R_C$ e fonte passará a operar em MCC.

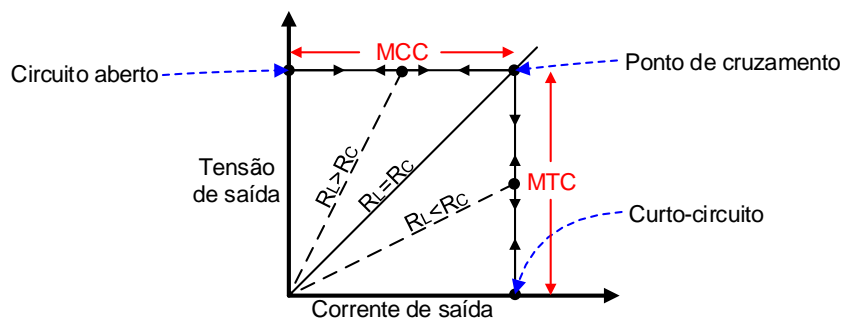


Figura 5 – Características de tensão constante e de corrente constante.
Fonte: (BILLINGS; 2011), (AGILENT TECHNOLOGIES; 2000).

A implementação destas características pode ser feita através de duas malhas de controle, uma para a tensão e outra para a corrente, podendo ser feita de maneira analógica ou digital. O controle digital é uma alternativa interessante ao controle analógico (BERGER, 2015), (HAGEN; YOUSEFZADEH, 2018), (PENG; MAKSIMOVIC, 2006). Estratégias de controle mais complexas podem ser implementadas de maneira simples, com baixo consumo e imunidade ao ruído (MISHRA, 2012), (JACINTO, 2015), (KUMAR, 2016). Além disso, oferecem flexibilidade uma vez que são programadas via algoritmo (FANG, 2014).

1.1 OBJETIVO

Nos cursos de graduação do ramo da engenharia, as fontes de alimentação são utilizadas na implementação de circuitos eletrônicos, realizadas em aulas experimentais e em projetos desenvolvidos pelos alunos. Em geral, as fontes de

alimentação são um dos equipamentos mais utilizados pelos alunos, uma vez que elas são necessárias na maior parte das atividades práticas. Em alguns casos, essas atividades podem solicitar o uso de mais que uma fonte. Devido ao elevado número de alunos e ao limitado número de equipamentos disponíveis nos laboratórios de universidades públicas, muitas vezes é preciso que as atividades sejam realizadas em grupo. Além disso, nos períodos do ano letivo em que as fontes são utilizadas com maior frequência, a quantidade disponível pode não ser o suficiente para suprir a demanda.

Uma vez as fontes de alimentação fazem parte da área de interesse da engenharia elétrica, existe uma facilidade ao suporte e ao acesso às ferramentas necessárias para o desenvolvimento deste equipamento pela comunidade acadêmica. Desse modo, um planejamento de atividades pode ser criado para incentivar este ramo de pesquisa dentro das universidades, beneficiando tanto os alunos quanto as instituições. O objetivo deste trabalho é o desenvolvimento de um protótipo de fonte chaveada com controle automático de tensão e de corrente. Para isso, torna-se necessário desenvolver as seguintes atividades:

- Estudo da topologia do conversor *buck*;
- Projeto dos estágios de entrada e de saída;
- Projeto dos controladores;
- Simulação do conversor em malha aberta;
- Simulação do controle automático;
- Implementação em placas de circuito impresso;
- Análise dos resultados experimentais.

O trabalho é estruturado para facilitar a compreensão dos conceitos utilizados no desenvolvimento da fonte chaveada. No Capítulo 2 é desenvolvida a fundamentação teórica necessária para projetar os circuitos compreendidos pela fonte proposta. São obtidas as equações que permitem dimensionar os componentes de cada circuito e também são estabelecidos critérios referentes ao dimensionamento.

No Capítulo 3 cada circuito é projetado com base nas equações e nos conceitos apresentados pelo capítulo anterior. Os valores dimensionados são

utilizados para realizar as simulações de cada circuito, e assim verificar se os valores obtidos são válidos.

As informações referentes à implementação da fonte proposta são discutidas no Capítulo 4. Neste capítulo são apresentados os trabalhos adicionais ao projeto, que são necessários para a construção do protótipo. Além disso, são definidos os experimentos realizados e apresentados os resultados obtidos em cada um deles.

No Capítulo 5 estão presentes as conclusões sobre o trabalho e as sugestões para a melhoria da fonte em trabalhos futuros.

2 FONTE DE ALIMENTAÇÃO CHAVEADA

Neste capítulo são definidos os conceitos utilizados no dimensionamento da fonte chaveada. O diagrama de blocos da fonte pode ser visualizado na Figura 6. A instrumentação de sinal é necessária para adequar as medições de tensão e de corrente nos níveis de tensão suportados pelo ADC do DSP utilizado. Também é utilizado um circuito *driver* para acionar a chave semicondutora e fornecer isolamento entre o sistema de controle e o sistema de conversão de potência. Uma fonte de alimentação auxiliar é empregada para alimentar os componentes eletrônicos presentes em cada etapa.

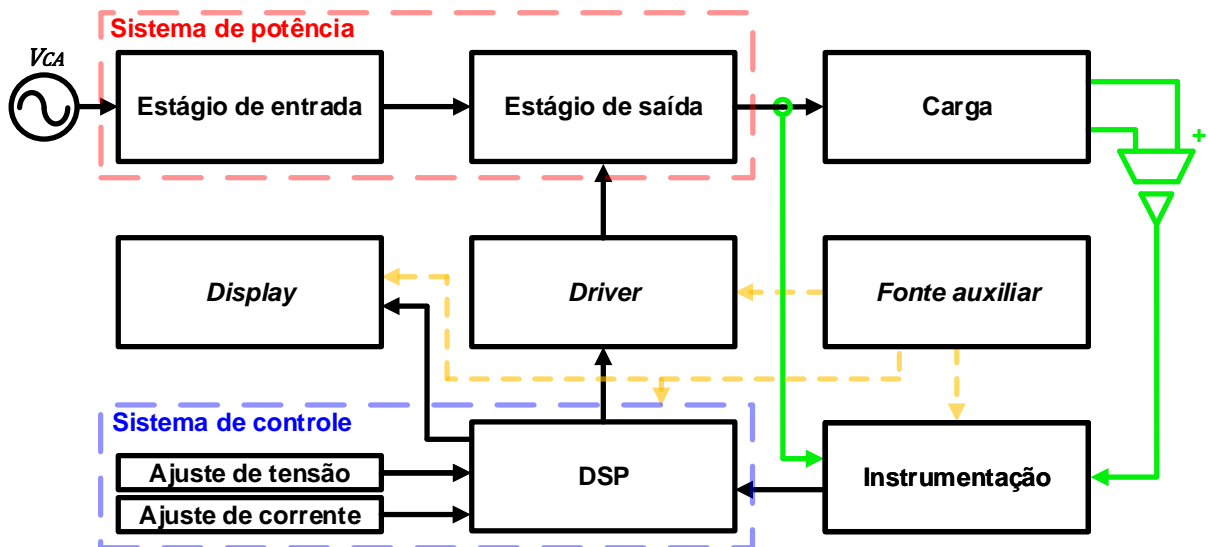


Figura 6 – Diagrama de blocos da fonte chaveada.
Fonte: Autoria própria, (2018).

2.1 ESTÁGIO DE ENTRADA

Um primeiro estágio de conversão CA-CC é necessário para que o conversor seja alimentado na forma CC. Para realizar esta tarefa, um retificador de onda completa é empregado com um filtro capacitivo. Alguns fundamentos sobre seu funcionamento são discutidos a seguir.

2.1.1 Retificador de onda completa em ponte

Uma carga resistiva R_{eq} é alimentada por um retificador em ponte conforme representa a Figura 7a. A função do retificador é polarizar a tensão no barramento V_{bus} . Para discutir seu funcionamento, são analisados os dois semiciclos da onda V_{CA} ilustrados na Figura 7b. O período em que $V_{CA} > 0$ é chamado de semiciclo positivo e o período em que $V_{CA} < 0$ é chamado de semiciclo negativo (MALVINO, 2011).

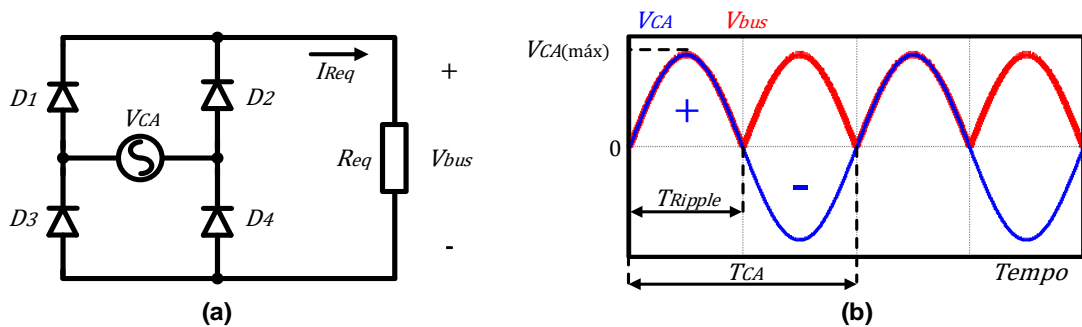


Figura 7 – Retificador de onda completa em ponte: (a) circuito elétrico; (b) formas de onda da tensão de entrada V_{CA} e da tensão de saída V_{bus} .
 Fonte: Adaptado de: Barbi (2005) e Malvino (2011).

Para $V_{CA} > 0$, na Figura 8a, os diodos D_1 e D_4 estão polarizados diretamente e conduzem a corrente, os diodos D_2 e D_3 são polarizados reversamente e permanecem bloqueados. Para $V_{CA} < 0$, como ilustrado na Figura 8b, os diodos D_1 e D_4 são bloqueados, enquanto D_2 e D_3 conduzem a corrente (BARBI, 2005). Em ambos os semiciclos, a tensão na saída tem a mesma polaridade porque a corrente está no mesmo sentido, independentemente de qual diodo esteja conduzindo. A frequência de ondulação f_{ripple} é o dobro da frequência da rede f_{CA} (MALVINO, 2011).

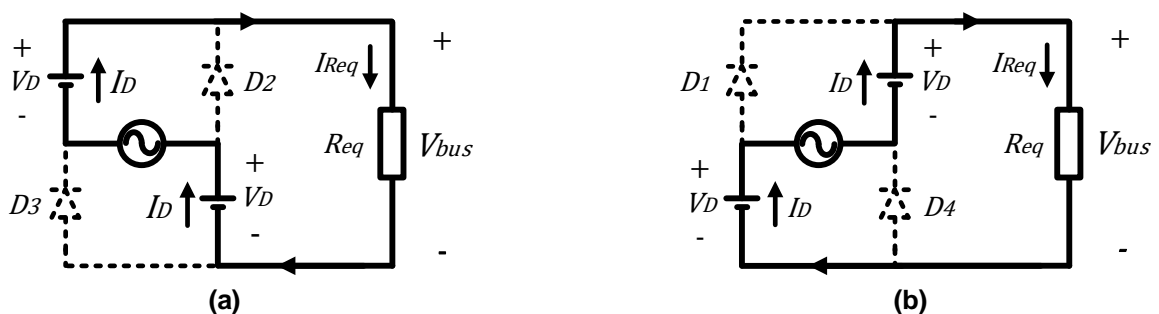


Figura 8 – Circuito equivalente de cada semiciclo: (a) positivo; (b) negativo.
 Fonte: Adaptado de: Barbi (2005) e Malvino (2011).

A Lei das Tensões de Kirchoff (LKT) é utilizada para relacionar a tensão no barramento V_{bus} com a tensão da rede V_{CA} . Desse modo, conforme citam Malvino (2011) e Barbi (2005):

$$V_{bus} = V_{CA} - 2V_D . \quad (1)$$

2.1.2 Dimensionamento do filtro capacitivo

A variação na tensão de barramento V_{ripple} é definida como ondulação *ripple* e pode ser atenuada com o uso de um capacitor C_b , conforme indica a Figura 9a (AHMED, 2000), (MOHAN, 2003). O valor máximo $V_{Cb(máx)}$ e o valor mínimo $V_{Cb(mín)}$ atingidos pela tensão sobre o capacitor são apresentados pela Figura 9b e definem a faixa de variação *ripple*: $V_{ripple} = V_{Cb(máx)} - V_{Cb(mín)}$.

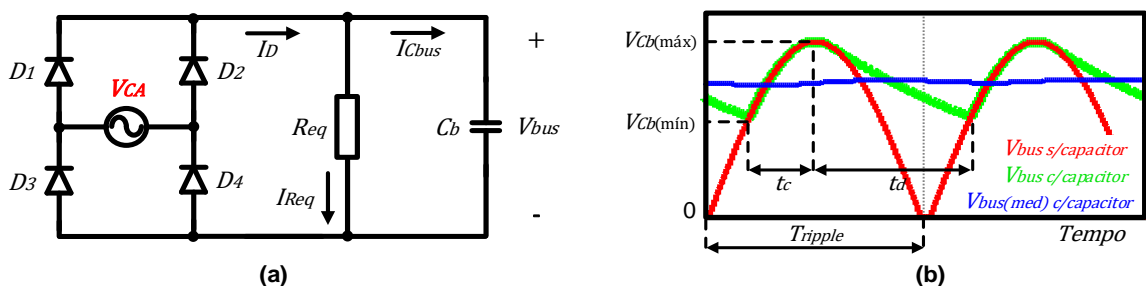


Figura 9 – Retificador de onda completa com filtro capacitivo: (a) diagrama do circuito; (b) formas de onda de tensão.

Fonte: Adaptado de Barbi (2005).

A variação de tensão sobre o capacitor C_b resulta em uma variação de carga $\Delta Q = C_b V_{ripple}$. A quantidade de corrente necessária para a carga seja transferida para o capacitor durante o período t_c é determinada pela seguinte relação: $\Delta Q = I_{Cb} t_c$. Além disso, a energia armazenada no capacitor é definida por (BOYLESTAD, 2012):

$$W_c = \frac{C_b V_{bus}^2}{2} . \quad (2)$$

A cada ciclo da tensão CA, a energia W_{in} é transferida da rede elétrica para o capacitor e a energia W_{out} é transferida do capacitor para a carga. De acordo com Barbi (2005), tais energias podem ser equacionadas por:

$$W_{in} = C_b (V_{C(máx)}^2 - V_{C(mín)}^2), \quad (3)$$

$$W_{out} = \frac{P_{in}}{f_{rede}}. \quad (4)$$

Em um caso ideal as perdas são nulas. Assim, toda a energia cedida pela rede é transferida para a carga. Desse modo, as equações anteriores podem ser igualadas para calcular o valor de capacitância necessário para resultar em determinada especificação de ondulação *ripple*:

$$C_b = \frac{P_{in}}{f_{rede} (V_{CA(máx)}^2 - V_{CA(mín)}^2)}. \quad (5)$$

2.1.3 Dimensionamento dos diodos

O capacitor carrega durante um curto período t_c , e permanece o restante de tempo t_d fornecendo energia para a carga. Toda a variação de carga durante t_d precisa ser recuperada pelo capacitor em um período $t_c \ll t_d$. Devido a esse motivo, o capacitor é carregado por picos de corrente que fluem através dos diodos. Além disso, durante o momento que permanecem bloqueados, são submetidos à tensão de pico inversa (BARBI, 2005). De acordo com a Figura 9a, a relação entre as correntes é obtida por:

$$I_D = I_{Cb} + I_{Req}. \quad (6)$$

Conforme apresenta Boylestad (2012), a corrente no capacitor é obtida pela seguinte equação:

$$I_{Cb} = C_b \frac{dV_{bus}}{dt}. \quad (7)$$

Durante o período t_c , a variação de carga ΔQ corresponde à variação de tensão representada por V_{ripple} . A corrente real no capacitor tem a forma triangular apresentada pela Figura 10, o que corresponde ao trecho de uma cossenoide. Nas definições apresentadas por Barbi (2005), o período de carga t_c e o valor máximo de corrente no capacitor $I_{Cb(máx)}$ correspondem às seguintes equações:

$$t_c = \frac{1}{\pi f_{ripple}} \cos^{-1} \left(\frac{V_{bus(mín)}}{V_{bus(máx)}} \right), \quad (8)$$

$$I_{Cb(máx)} = 2 \left(\frac{V_{ripple} C_{bulk}}{t_c} \right). \quad (9)$$

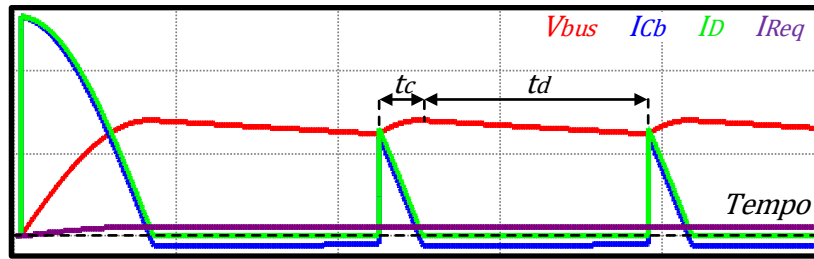


Figura 10 – Formas do retificador de onda completa com filtro.
Fonte: Autoria própria, (2018).

Ainda segundo Barbi (2005), nos casos em que a carga do retificador é outro conversor, a corrente que o capacitor fornece possui uma componente alternada de alta frequência, que pode ser relacionada razão cíclica D do seguinte modo:

$$I_{Cb(máx)} = \frac{P_{in}}{DV_{Cb(mín)}}. \quad (10)$$

No capacitor circulam as componentes alternadas da corrente enquanto no capacitor circula a corrente média. Assim, a Lei de Ohm pode ser utilizada para obter $I_{Req} = V_{bus}/R_{eq}$ e, então, substituir juntamente com a Equação 10 na Equação 6:

$$I_{D(máx)} = \frac{P_{in}}{DV_{Cb(mín)}} + \frac{V_{bus}}{R_{eq}}. \quad (11)$$

No momento em que o circuito é alimentado, o capacitor está desenergizado e se comporta como um curto-circuito. A resistência equivalente dos condutores é a única oposição ao fluxo de corrente. Na pior hipótese, o circuito pode ser energizado no momento em que a tensão de linha está em seu valor de pico, ocasionando um surto de corrente I_{surto} . Essa corrente é representada por Malvino (2012) e (Rashid, 2001) do seguinte modo:

$$I_{surto} = \frac{V_{Cb(máx)}}{R_{TH}}. \quad (12)$$

O diodo deve ser escolhido para tolerar uma tensão de pico inversa (PIV) maior que a tensão máxima no barramento $V_{Cb(máx)}$ e uma corrente direta superior à metade do valor médio da corrente no barramento (MALVINO, 2011). Além disso, deve-se optar por um diodo que suporte as correntes de pico do capacitor e a corrente de surto. Em casos de correntes de surto com valores elevados pode-se utilizar uma resistência para limitar a corrente durante a energização do circuito. Outro modo é fornecer uma referência de tensão em rampa para o conversor, de forma a controlar a razão cíclica para implementar uma partida suave.

2.2 ESTÁGIO DE SAÍDA

Os conversores chaveados são dispositivos que convertem uma tensão de entrada contínua em uma tensão de saída regulada (MOHAN, 2003), na forma contínua ou alternada. Eles são compostos semicondutores de potência, que atuam como interruptores (BARBI, 2006), e por elementos passivos e têm por função remover os harmônicos produzidos pela frequência de chaveamento (ERICKSON, 2001). A chave S é utilizada para conectar e desconectar a fonte de alimentação da carga, conforme indica a Figura 11a. O valor médio produzido na tensão de saída é controlado pelo tempo em que a chave permanece fechada t_{on} (MOHAN, 1995), como apresenta a Figura 11b.

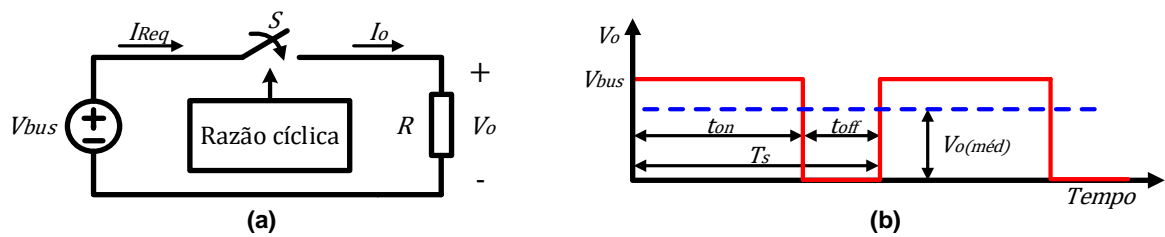


Figura 11 – Conversor chaveado: (a) diagrama simplificado de funcionamento; (b) formas de onda de tensão sobre a chave S .

Fonte: Adaptado de Mohan (1995).

O tempo total para a chave abrir e fechar uma vez é definido como período de chaveamento T_S . A razão cíclica D é utilizada para representar o percentual de tempo em que chave permanece fechada durante um ciclo. Para dada frequência de chaveamento f_S constante, são válidas as seguintes relações:

$$f_S = \frac{1}{T_S}, \quad (13)$$

$$T_S = t_{on} + t_{off}, \quad (14)$$

$$D = \frac{t_{on}}{T_S}. \quad (15)$$

2.2.1 Topologia *buck*

O abaixador de tensão (*buck*) e o elevador de tensão (*boost*) são as topologias mais comuns de conversores chaveados. As demais topologias derivam-se destas duas primeiras, podendo ou não empregar um transformador de alta frequência que possibilite isolamento à carga e múltiplas saídas isoladas. Neste trabalho apenas o conversor *buck* será abordado. Ele é apresentado pela Figura 12a, em que uma carga resistiva está sendo alimentada.

O funcionamento é dividido em duas etapas: a primeira é referente ao estágio em que a chave S está fechada (t_{on}) e a segunda corresponde ao estágio em que ela está aberta (t_{off}). Inicialmente, os efeitos causados devido à resistência em série (ESR) do capacitor e à resistência equivalente em série com o indutor (DCR)

são desprezadas para simplificar a análise. Desse modo, a tensão de saída varia linearmente com a razão cíclica (BARBI, 2006), como apresenta a Figura 12b.

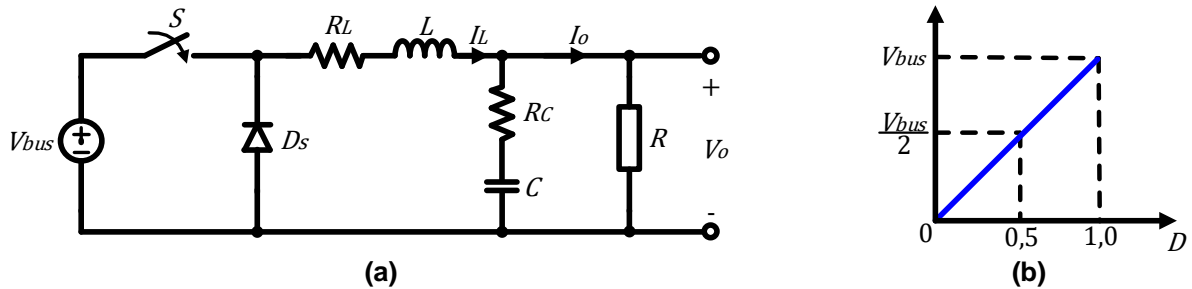


Figura 12 – Conversor buck: (a) diagrama do circuito alimentando uma carga resistiva R; (b) variação da tensão de saída V_o em função da razão cíclica d .
 Fonte: Adaptado de Muela (2008), Mishra (2010) e Barbi (2006).

Na primeira etapa, representada pela Figura 13a, a chave S conduz e a fonte V_{bus} fornece corrente ao filtro LC e à carga, enquanto o diodo D_s encontra-se bloqueado (MOHAN, 1995), (RASHID, 2001). Nesta etapa, a tensão sobre o indutor V_L é obtida por:

$$V_L = V_{bus} - V_o \tag{16}$$

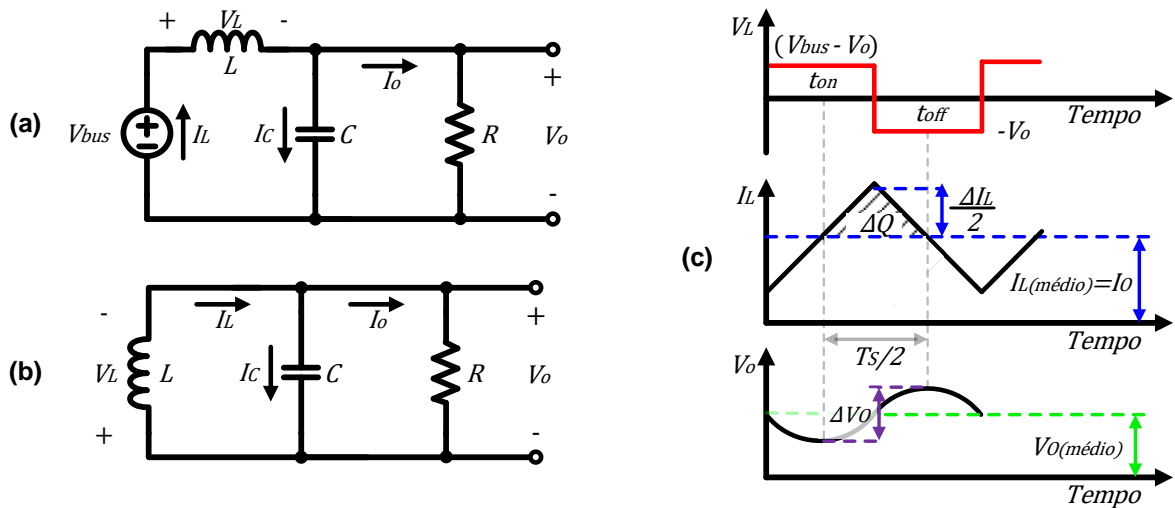


Figura 13 – Funcionamento do conversor buck: (a) etapa t_{on} ; (b) etapa t_{off} ; (c) formas de onda da tensão no indutor V_L , da corrente no indutor I_L e da tensão sobre o capacitor V_C .
 Fonte: Adaptado de: Mohan (1995) e Rahman (2007).

Na segunda etapa, ilustrada na Figura 13b, a chave S encontra-se aberta, desconectando a fonte V_{bus} do circuito. O diodo passa a conduzir, e devido à energia armazenada em forma de campo magnético no indutor, a corrente I_L continua fluindo

pelo circuito (MOHAN, 1995), (RASHID, 2001). O indutor e o capacitor estão conectados em paralelo e tensão sobre o indutor resulta em:

$$V_L = -V_o . \quad (17)$$

A relação entre a tensão e a variação de corrente no indutor é definida por Rashid (2001), Ahmed (2000), Mohan (1995), Barbi (2006) e Erickson (2004) da seguinte forma:

$$\frac{di_L(t)}{dt} = \frac{v_L(t)}{L} . \quad (18)$$

A Figura 13c apresenta as formas de onda em regime permanente da tensão no indutor V_L , da corrente no indutor I_L e da tensão no capacitor V_C . Nota-se que a carga adicional ΔQ , correspondente à variação de tensão ΔV_C no capacitor, está correlacionada com a variação de corrente ΔI_L no indutor. Essas formas de onda serão utilizadas na análise a seguir. Em regime permanente, elas se comportam de maneira periódica, então a integral de um período de chaveamento T_s deve ser igual a zero (MOHAN, 1995):

$$\int_0^{T_s} v_L \cdot dt = \int_0^{t_{on}} v_L \cdot dt + \int_{t_{on}}^{T_s} v_L \cdot dt = 0 , \quad (19)$$

$$V_{bus} t_{on} - V_o T_s = 0 . \quad (20)$$

Desse modo, a Equação 15 é substituída na Equação 20 para expressar a razão cíclica D em termos da tensão de saída V_o e da tensão de barramento V_{bus} :

$$D = \frac{V_o}{V_{bus}} . \quad (21)$$

2.2.1.1 Dimensionamento da indutância

No capacitor circula a componente alternada da corrente $i_L(t)$, enquanto no resistor circula a corrente média I_o (BARBI, 2006). A Lei das Correntes de Kircchoff (LKC) é utilizada na Figura 13 para obter a seguinte relação entre as correntes:

$$i_L(t) = i_c(t) + I_o. \quad (22)$$

A variação de corrente no indutor ΔI_L é a diferença de corrente entre as duas etapas apresentadas pela Equação 19 (ERICKSON, 2004):

$$\Delta I_L = \left(\frac{V_{bus} - V_o}{L} \right) (DT_S). \quad (23)$$

Substituindo as Equações 15 e 21 na Equação 23, a indutância pode ser determinada em função da tensão de barramento V_{bus} , da razão cíclica D , da variação de corrente no indutor ΔI_L e da frequência de chaveamento f_s :

$$L = \frac{V_{bus} D (1 - D)}{\Delta I_L f_s}. \quad (24)$$

A corrente no indutor apresenta uma forma de onda triangular. O valor máximo e valor mínimo atingidos pela corrente são determinados relacionando a o valor médio I_o com a com a parcela alternada $i_c(t)$:

$$I_{L(máx)} = I_o + \frac{\Delta I_L}{2}, \quad (25)$$

$$I_{L(mín)} = I_o - \frac{\Delta I_L}{2}. \quad (26)$$

Existem três modos para classificar a condução de corrente no conversor: modo de condução contínuo (CCM), modo de condução descontínuo (DCM) e modo de condução crítico (CRM). Os três modos de condução são respectivamente representados na Figura 14a, Figura 14b e Figura 14c. Se a corrente do indutor permanece positiva ($I_L > 0$) durante todo o período T_S , o conversor opera em CCM.

Caso contrário, o conversor opera em DCM. O CRM representa o limite entre CCM e DCM conforme apresenta a Figura 14d (BARBI; 2006). O conversor abordado neste trabalho é projetado para operar em CCM.

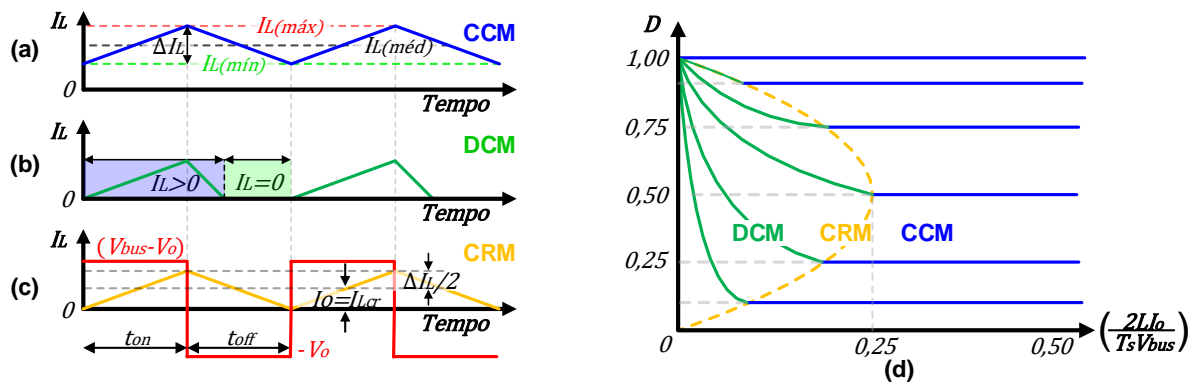


Figura 14 – Modo de operação do conversor buck: (a) modo de condução contínuo; (b) modo de condução descontínuo; (c) modo de condução crítico; (d) característica de carga. Fonte: Adaptado de Barbi (2006) e Mohan (1995).

A indutância crítica L_{cr} é definida como a menor indutância capaz de assegurar a operação em CCM. Ela é obtida para a operação em CCM. Pode-se observar na Figura 14c, que a corrente no indutor é igual a zero ao final do período t_{off} . Assim, o valor médio da corrente I_L é igual à metade da variação de corrente ΔI_L (HART, 2011):

$$I_o - \frac{\Delta I_L}{2} = 0. \quad (27)$$

De acordo com a Lei de Ohm, a corrente de carga I_o é igual a V_o/R . Além disso, uma expressão para relacionar a indutância com a variação de corrente já foi obtida na Equação 24. Combinando essas informações com a Equação 27, a indutância crítica L_{cr} é representada em razão da carga R (HART, 2011):

$$L_{cr} = \frac{V_{bus} D (1 - D) R}{2 f_s V_o}. \quad (28)$$

2.2.1.2 Dimensionamento do capacitor

Desprezando as perdas, a tensão de saída V_o é igual à tensão no capacitor V_c . Na análise anterior, foi assumido um elevado valor de capacitância para que a variação na tensão de saída pudesse ser negligenciada. Para determinar um valor real de capacitância, a variação de corrente no indutor é relacionada com a variação de tensão ΔV_o do capacitor conforme indica a área sombreada $\Delta Q = C\Delta V_o$ representada na Figura 13c. A variação de corrente no indutor é proporcional à carga adicional no capacitor durante o período $T_s/2$. Nos trabalhos de Mohan (2003), Hart (2011) e Skvarenina (2001), a variação de tensão ΔV_o é apresentada em função da variação de corrente ΔI_L do seguinte modo:

$$\Delta Q = \frac{1}{2} \frac{\Delta I_L T_s}{2}, \quad (29)$$

$$\Delta V_o = \frac{1}{2C} \frac{\Delta I_L T_s}{2} = \frac{\Delta I_L T_s}{8C}. \quad (30)$$

Dessa forma, a Equação 24 pode ser substituída na Equação 30 para obter o valor de capacitância que satisfaça as especificações relacionadas por:

$$C = \frac{V_o(1-D)}{8\Delta V_o L f_s^2}. \quad (31)$$

Em Mohan (2003), a frequência de corte do filtro LC é equacionado por $f_{LC} = (2\pi\sqrt{LC})^{-1}$ para obter a seguinte expressão:

$$\frac{\Delta V_o}{V_o} = \frac{T_s^2 V_o (1-D)}{8LC} = \frac{\pi^2}{2} (1-D) \left(\frac{f_{LC}}{f_s} \right)^2, \quad (32)$$

a qual mostra ser possível reduzir o *ripple* de tensão de saída do conversor selecionando uma frequência de corte f_{LC} tal que $f_{LC} \ll f_s$.

2.2.1.3 Dimensionamento do transistor e do diodo

O valor máximo de corrente que flui através do transistor $I_{T(máx)}$ e do diodo $I_{D(máx)}$ são iguais à corrente do indutor $I_{L(máx)}$ (BARBI, 2006), já obtida na Equação 25. O transistor e o diodo funcionam como chaves e devem suportar a máxima tensão reversa no barramento entre os estágios de entrada e saída. As resistências dessas chaves provocam quedas de tensão entre a entrada e a saída do conversor. Isso acaba afetando a eficiência e limitando a faixa de operação em modo de condução contínua. Por este motivo, a escolha de dispositivos de baixa impedância é um fator relevante que deve ser considerado no dimensionamento dos circuitos.

Os diodos comuns não funcionam adequadamente em alta frequência, pois não são capazes de entrar na região de corte com a velocidade necessária para produzir um sinal de meia onda bem definido. Assim, também é necessário considerar o uso de um diodo rápido, tal como o diodo Schottky. Esse tipo de diodo é capaz de chavear em alta velocidade e, normalmente, apresenta valores mais baixos de tensão de ruptura (MALVINO, 2011).

2.3 INSTRUMENTAÇÃO DE SINAL

Para que o controle em malha fechada seja implementando, é necessário realimentar as variáveis de estado no sistema de controle. Desse modo, é necessário realizar as medições em tais variáveis e condicioná-las para que o sinal enviado ao ADC esteja em conformidade com a faixa de operação do DSP. Na fonte proposta são realizadas medições na tensão de entrada V_{bus} , na tensão de saída V_o e na corrente do indutor I_L , conforme apresenta a Figura 15a.

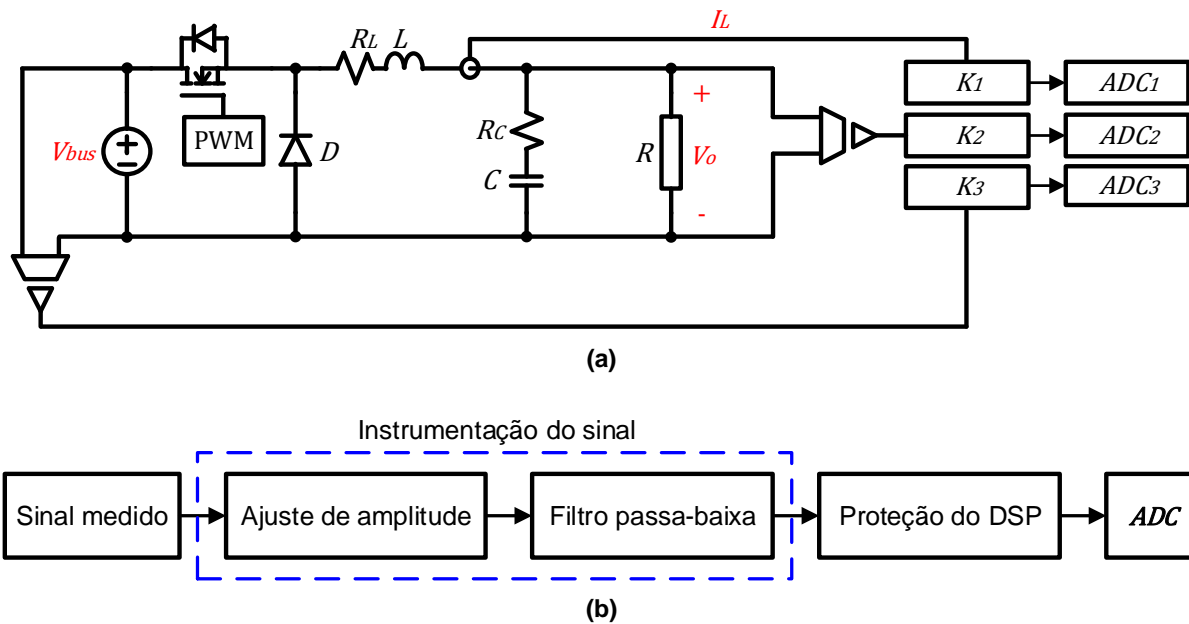


Figura 15 – Instrumentação de sinal: (a) diagrama das variáveis medidas; (b) diagrama de blocos dos processos.

Fonte: Autoria própria, (2018).

Cada sinal tem sua amplitude ajustada para que não exceda a tensão máxima suportada pelo DSP. A alta frequência de chaveamento produz harmônicos nestes sinais, que são atenuados com o uso de filtros ativos. Ao final de cada circuito são incluídos um diodo zener para limitar a amplitude de tensão um resistor de *pull-down* para evitar flutuações do sinal digital. As etapas presentes na instrumentação de sinal são ilustradas na Figura 15b, onde $Y(s)$ é utilizada para representar uma variável medida.

2.3.1 Medição do sinal e ajuste de amplitude

A medição e o ajuste de amplitude de cada sinal de tensão são obtidos com um simples divisor resistivo. A medição de corrente é realizada com um sensor de Efeito *Hall*, que insere um *offset* no sinal gerado para representar a corrente. Os filtros ativos e os circuitos de proteção são dimensionados da mesma maneira para as três variáveis. Desse modo, dois modelos são apresentados para medição e ajuste de amplitude do sinal, um para os sinais de tensão e outro para o sinal de corrente.

2.3.1.1 Sinal de tensão

A medição de tensão é realizada como ilustra a Figura 16a. O divisor resistivo ajusta o ganho no sinal conforme apresenta a Figura 16b e o *buffer* aumenta a impedância de entrada do circuito. Os resistores R_x e R_y são dimensionados para que o valor máximo atingido pelo sinal V_m seja igual a tensão de referência do ADC V_{ADC} .

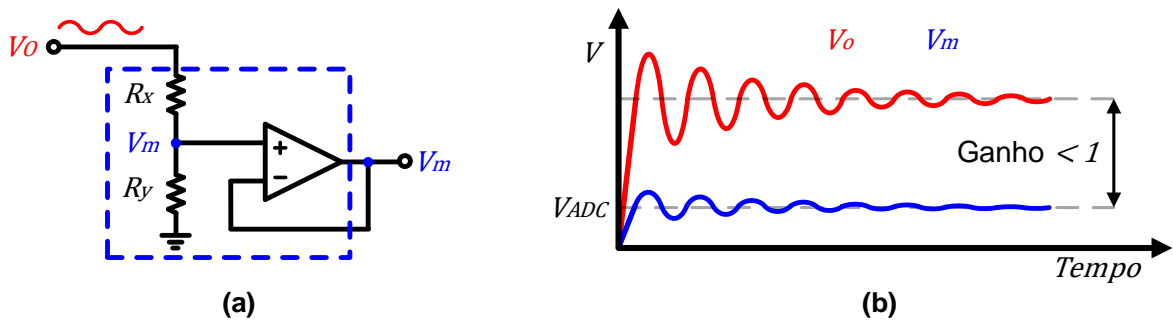


Figura 16 – Medição e ajuste no sinal de tensão.
Fonte: Autoria própria, (2018).

Utilizando a LKT, a tensão de saída V_o é relacionada com o sinal medido V_m da seguinte forma:

$$V_{m(máx)} = V_{o(máx)} \left(\frac{R_y}{R_x + R_y} \right). \quad (33)$$

Para $V_{m(máx)} = V_{ADC}$ têm-se:

$$R_y = \left(\frac{V_{ADC}}{V_{o(máx)} - V_{ADC}} \right) R_x. \quad (34)$$

2.3.1.2 Sinal de corrente

A medição do sinal de corrente é realizada por um sensor de Efeito *Hall*, que gera um sinal de tensão V_{IL} proporcional à corrente medida, porém com um *offset* equivalente à metade de sua tensão de alimentação V_{CC} . O sinal gerado pelo sensor é especificado como:

$$V_{IL} = V_{offset} + \alpha I_L, \quad (35)$$

onde α representa a sensibilidade da medição (mV/A). Quando não há fluxo de corrente no sensor, apenas o *offset* permanece no sinal V_{IL} . Para eliminar o *offset* e garantir que apenas a parcela αI_L permaneça no sinal, um circuito somador é utilizado conforme apresenta a Figura 17a. A tensão de saída do circuito somador é relacionada do seguinte modo:

$$V_{soma} = -R_f \left[\frac{V_{IL}}{R_a} + \frac{(-V_{offset})}{R_b} \right]. \quad (36)$$

De acordo com a equação anterior, adotando valores iguais para as resistências R_a , R_b e R_f obtém-se ganho unitário e a tensão de saída do somador V_{soma} resulta na soma das tensões V_{IL} e $-V_{offset}$. Desse modo, apenas a parcela referente à variação da corrente I_L permanece na leitura do sinal de corrente, estabelecendo a faixa de operação do sinal para $-\alpha I_{L(máx)} \geq V_{soma(mín)} \geq 0$. Assim:

$$V_{soma} = -\alpha I_L. \quad (37)$$

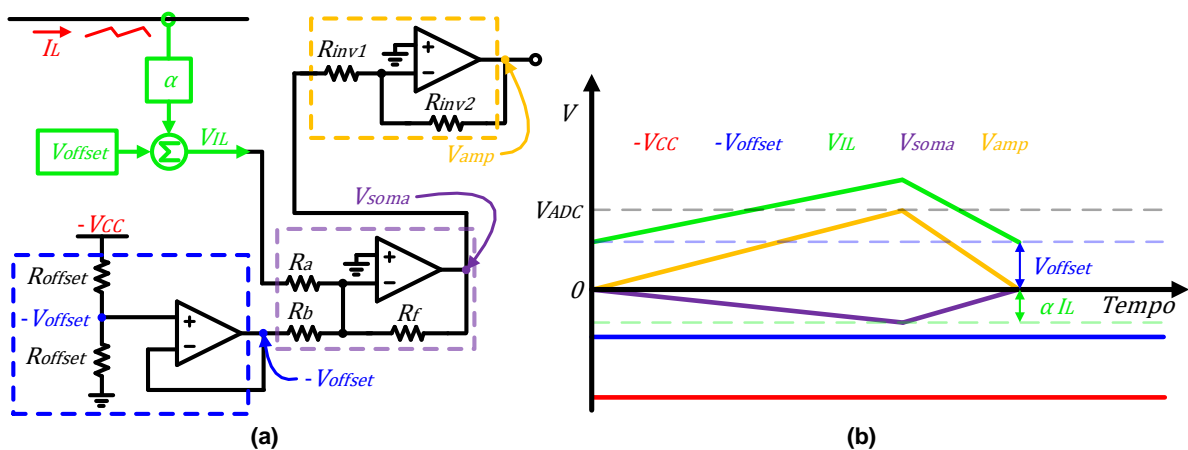


Figura 17 – Medição e ajuste no sinal de corrente.
Fonte: Autoria própria, (2018).

O circuito somador inverte a polaridade do sinal na saída, conforme apresenta a Figura 17b. Com o objetivo de ajustar a amplitude e inverter novamente a polaridade do sinal, um circuito amplificador inversor é utilizado. A tensão de saída do amplificador é representada pela seguinte equação:

$$V_{amp} = -V_{soma} \frac{R_{inv2}}{R_{inv1}}. \quad (38)$$

O amplificador é dimensionado para que na medição do valor máximo de corrente no indutor $I_{L(máx)}$, a tensão V_{amp} seja igual à tensão de referência do ADC V_{ADC} . Desse modo, escolhendo um valor para a resistência R_{inv1} , a resistência R_{inv2} pode ser calculada com a seguinte expressão:

$$R_{inv2} = \frac{V_{ADC} R_{inv1}}{\alpha I_L}. \quad (39)$$

2.3.2 Dimensionamento do filtro ativo

Uma abordagem mais detalhada sobre filtros ativos pode ser encontrada no Apêndice C. A função de transferência $G_{PB}(s)$ é utilizada para representar a equação geral de segunda ordem de um filtro ativo com ganho unitário. Os coeficientes a_1 e b_1 são obtidos para a aproximação de resposta desejada. A variável $G_{SK}(s)$ é utilizada para representar a função de transferência do filtro *Sallen-Key*, ilustrado pela Figura 18a. Desse modo:

$$G_{PB}(s) = \frac{1}{b_1 s^2 + a_1 s + 1}, \quad (40)$$

$$G_{SK}(s) = \frac{1}{(\omega_{PB}^2 R_1 R_2 C_1 C_2) s^2 + \omega_{PB} C_1 (R_1 + R_2) s + 1}. \quad (41)$$

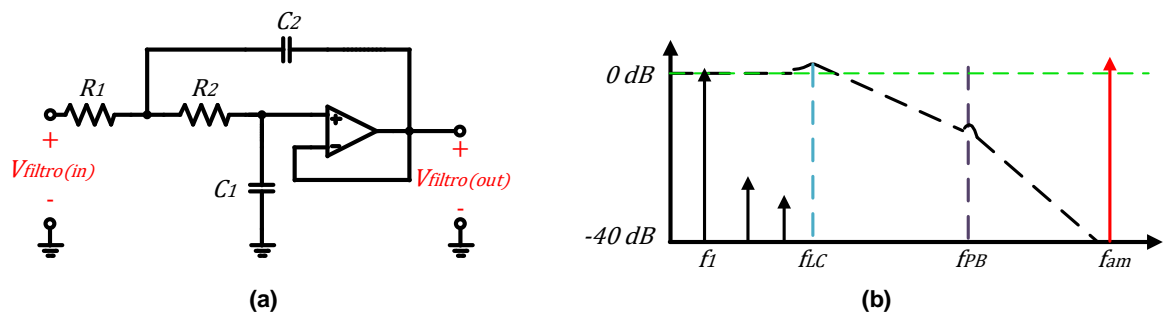


Figura 18 – Dimensionamento do filtro ativo: (a) topologia *Sallen-Key*; (b) diagrama de bode. Fonte: Karki (2002), Kuggelstadt (2008) e Carati (2016).

O dimensionamento dos componentes analógicos é realizado igualando as Equações 40 e 41. Mas, para isso, é necessário estabelecer um valor para a frequência de corte do filtro $\omega_{PB} = 2\pi f_{PB}$. Conforme representa a Figura 18b, a frequência de corte do filtro f_{PB} é posicionada entre a frequência de corte do conversor f_{LC} e a frequência de amostragem f_{am} do ADC, garantindo que o filtro elimine os sinais indesejados de alta frequência sem interferir na frequência de interesse da leitura. Um valor aproximado para a frequência f_{PB} pode ser obtido com a seguinte relação apresentada por Carati (2016):

$$f_{PB} = \sqrt{f_{LC}f_{am}}. \quad (42)$$

Escolhendo valores para os capacitores C_1 e C_2 , as Equações 40, 41 e 42 podem ser combinadas para calcular as resistências R_1 e R_2 (KARKI, 2002), (KUGGELSTADT, 2008):

$$R_{1,2} = \frac{a_1C_2 \pm \sqrt{a_1^2C_2^2 - 4b_1C_1C_2}}{4\pi C_1C_2\sqrt{f_{LC}f_{am}}}. \quad (43)$$

2.3.3 Proteção do DSP

A Figura 19a exibe a característica de operação do diodo zener. Ao ser submetido a uma tensão superior à V_z , ocorre um aumento na corrente I_z do diodo, porém a tensão V_z permanece constante. Desse modo, o diodo é empregado para limitar a tensão sobre o ADC, sem interferir nas leituras de amplitude inferior à V_z .

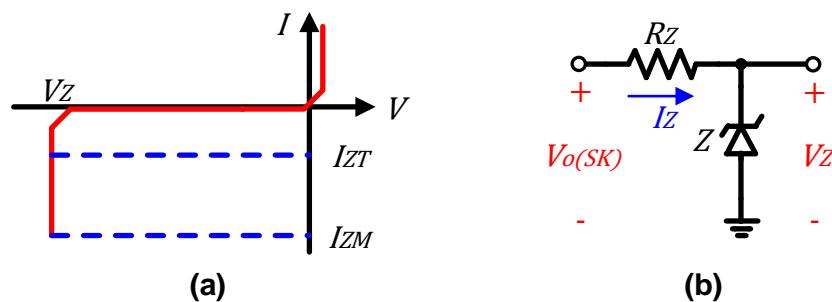


Figura 19 – Diodo zener: (a) curva característica; (b) diagrama para dimensionamento. Fonte: Malvino (2011).

A resistência R_Z é dimensionada para limitar a corrente I_Z . A LKT pode ser utilizada no circuito da Figura 19b para obter a seguinte relação:

$$R_Z = \frac{V_{o(SK)} - V_Z}{I_{Z(máx)}}. \quad (44)$$

2.4 CONTROLE DO CONVERSOR

O conversor *buck* pode ser controlado por tensão ou por corrente. A principal diferença entre os dois modos está na maneira em que o sinal PWM é modulado (YAN, 2013), (LI, 2009). No controle de tensão indicado pela Figura 20, a tensão de saída V_o é medida e subtraída do valor de referência V_{ref} . O erro e_v entre os dois sinais é utilizado pelo controlador para determinar a razão cíclica D do conversor comparando a ação de controle u_v com uma onda periódica V_{port} gerada a uma frequência fixa f_s .

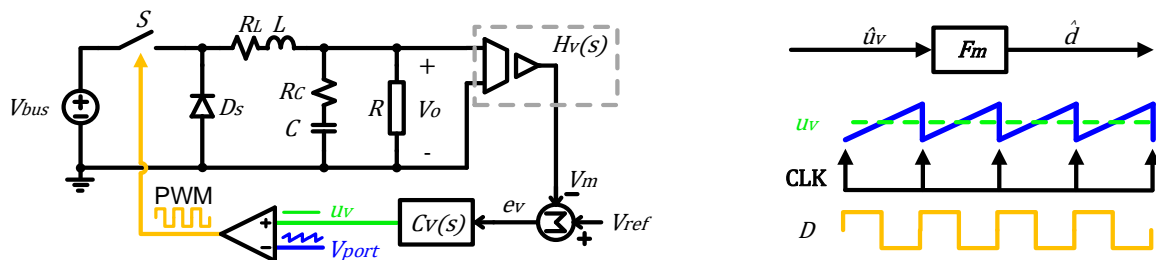


Figura 20 – Controle no modo de tensão.
 Fonte: Adaptado de Ridley (1991), Li (2009) e Yan (2013).

Para o controle no modo de corrente apresentado pela Figura 21, a ação gerada pelo controlador de tensão serve como referência para a malha interna. A função da malha interna é fazer a corrente no indutor seguir o sinal de controle, de modo que o indutor funcione como uma fonte de corrente controlada (YAN, 2013). O sinal fornecido pelo sensor de corrente é subtraído do valor de referência I_{ref} . A diferença entre os sinais é amplificada pelo compensador de corrente e então comparada com a onda triangular V_{port} para gerar o sinal PWM (SUN; BASS, 1999).

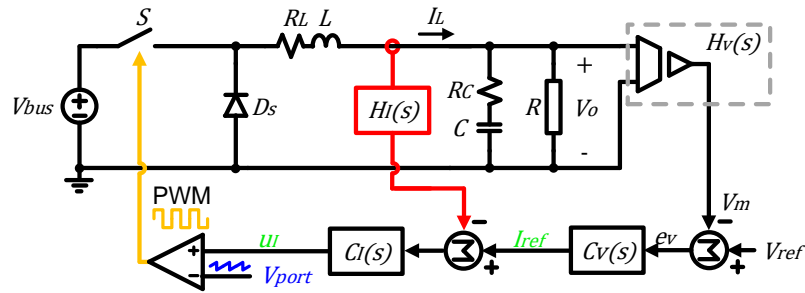


Figura 21 – Controle no modo de corrente.
 Fonte: Adaptado Li (2019) e Yan (2013).

O controle no modo de corrente possibilita uma resposta transitória mais rápida que o controle no modo de tensão. Pode-se também ressaltar que compensadores menos complexos podem ser utilizados em cada malha de controle, porém o zero da função de transferência depende do valor da carga R . Além disso, o controle no modo de corrente também proporciona a limitação de corrente (RAHMAN, 2007), (FU, 2011).

2.4.1 Modelo para controle

O modelo de pequenos sinais do conversor *buck* operando em MCC é ilustrado na Figura 22, na qual as impedâncias $Z_1 = R_L + sL$ e $Z_2 = R \parallel \left(\frac{1}{sC} + R_C\right)$ (KONDRATH, 2012). As variáveis d , i_o , e v_{in} representam pequenas perturbações na razão cíclica D , na corrente saída I_o e na tensão de barramento V_{bus} , respectivamente (GUO, 2006). O modelo médio em espaço de estados é apresentado no Apêndice B.

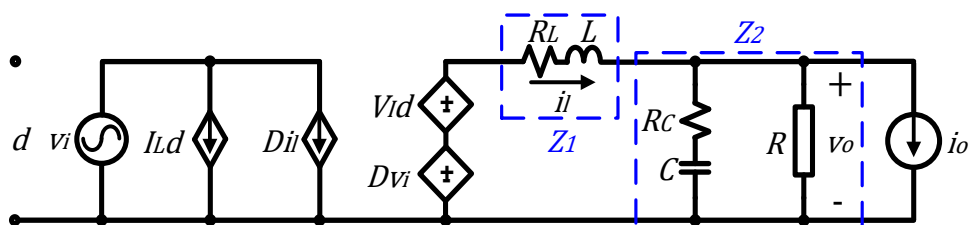


Figura 22 – Modelo para pequenos sinais do conversor *buck*.
 Fonte: Kondrath e Kazimierczuk (2010).

A tensão de entrada v_{bus} , a razão cíclica d e a corrente de saída i_o são variáveis independentes e, portanto, podem ser combinadas linearmente para

expressar a tensão de saída da seguinte maneira (ERICKSON, 2004), (CHOI, 2011), (DOLIYIA, 2017), (FIGUERES, 2006):

$$v_{out}(s) = G_{vg}(s)v_{in} + G_{vd}(s)d - Z_{out}(s)i_o. \quad (45)$$

O diagrama de blocos para o controle em cascata é ilustrado na Figura 23. Para compreender a estabilidade do sistema e seu comportamento durante transitórios, é necessário obter uma relação entre a entrada e a saída. Para a malha interna esta relação corresponde à $i_L(s)/d(s)$ e para a malha externa $V_o(s)/i_L(s)$.

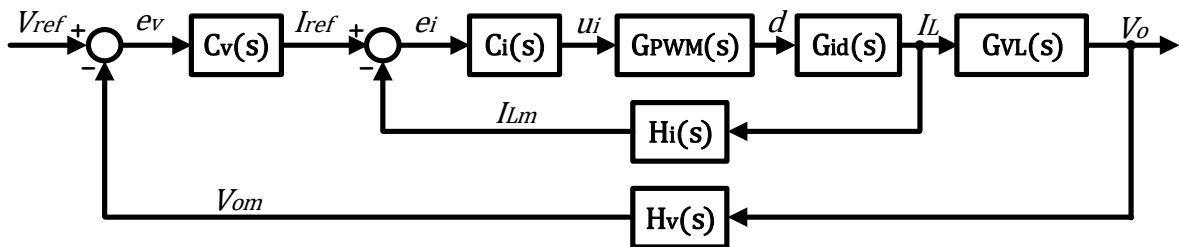


Figura 23 – Diagrama de blocos para controle em cascata.
Fonte: Erickson (2004), Wang (2015) e Choi (2011).

Uma vez que o conversor *buck* é um sistema não-linear, a linearização é aplicada para gerar um modelo aproximado, o qual é válido para frequências inferiores à metade da frequência de chaveamento f_s . O circuito equivalente para pequenos sinais da malha interna é ilustrado na Figura 24a. Aplicando uma perturbação no sistema, a função de transferência para controle de corrente $G_{id}(s)$ é obtida como (FU, 2011):

$$G_{id}(s) = \frac{i_L(s)}{d(s)} = \frac{1 + s(CR + R_C)}{s^2LC \left(1 + \frac{R_C}{R}\right) + s \left[\frac{L}{R} + R_L C \left(1 + \frac{R_C}{R}\right) + CR_C\right] + 1 + \frac{R_L}{R}}. \quad (46)$$

A malha externa funciona como um divisor de corrente, conforme apresenta a Figura 24b. Essa malha deve ser atualizada de maneira mais lenta que a malha interna, de modo a enxergar a malha interna como um ganho unitário.

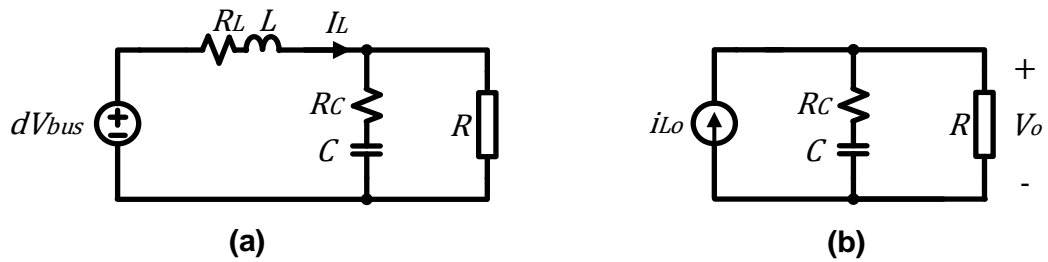


Figura 24 – Modelo simplificado de pequenos sinais do conversor buck: (a) malha interna; (b) malha externa.

Fonte: Fu (2011) e Ventorini (2007).

A função de transferência da malha externa $G_{VL}(s)$ é representada por (FU, 2011):

$$G_{VL}(s) = \frac{V_o(s)}{i_L(s)} = \frac{R(1 + sCR_C)}{1 + sC(R + R_C)}. \quad (47)$$

2.4.2 Controle digital

O projeto do sistema de controle é realizado no domínio contínuo e em seguida transformado para o domínio discreto. O sistema de controle é composto por um DSP que incorpora alguns periféricos conforme apresenta a Figura 25. O ADC é responsável por reter uma amostra analógica do sinal medido e quantizá-la para que seja processada de forma digital. Os controladores são implementados no processador através de algoritmos. O PWM é calculado de maneira digital e então um sinal contínuo é gerado para acionar a chave.

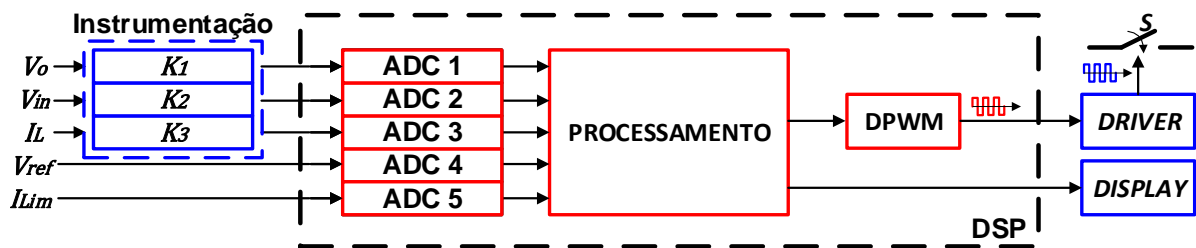


Figura 25 – Diagrama de blocos do sistema de controle.

Fonte: Autoria própria, (2018).

O ADC trabalha em ciclos de amostragem. A cada ciclo, uma leitura é realizada no sinal analógico e então retida por um período de amostragem T_{am} para ser quantizada e então representada digitalmente. O processo de conversão tem

influências no ganho do controlador e é representado pela seguinte função de transferência (CHEN et al., 2007), (TAEED, 2015):

$$G_{ADC}(s) = K_{ADC}e^{-sT_{ADC}}. \quad (48)$$

Em que T_{am} representa o período de amostragem e $e^{-sT_{ADC}}$ corresponde a um *delay* unitário (z^{-1}). O ganho no sinal de amostragem K_{ADC} relaciona o número de bits n_{AD} com a faixa de operação ΔV_{AD} representada na Figura 26a do seguinte modo:

$$K_{ADC} = \frac{2^{n_{AD}}}{\Delta V_{ADC}}. \quad (49)$$

O valor obtido na leitura do ADC é subtraído do valor de referência para gerar um sinal de erro digital. O erro é então utilizado pelo controlador para gerar uma ação de controle. A ação de controle é utilizada para gerar um pulso no DPWM conforme apresenta a Figura 26b. Essa ação de controle precisa ser multiplicada por um ganho K_{PWM} para que esteja em conformidade com a representação digital do DPWM utilizado pelo DPWM. O valor do ganho K_{PWM} é determinado do seguinte modo (SHIRSAVAR, 2012):

$$K_{PWM} = \frac{1}{K} \frac{\Delta V_{ADC}}{n_{ADC}} \frac{n_{DPWM}}{\Delta V_{DPWM}}. \quad (50)$$

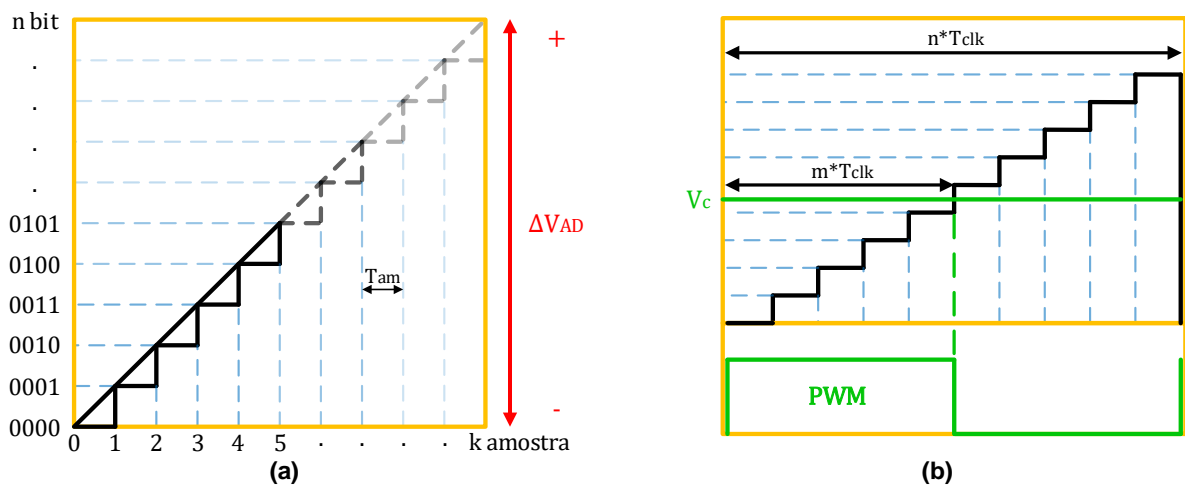


Figura 26 – Controle digital: (a) conversão analógica-digital; (b) modulação por largura de pulso digital com frequência constante.

Fonte: Adaptado de (LI et al., 2007).

A largura de pulso necessária está relacionada com a da razão cíclica D . Desse modo, a razão cíclica é utilizada para expressar a tensão de saída V_o em termos da tensão e barramento V_{bus} , do número de bits N , da frequência de *clock* f_{clk} e da frequência de chaveamento f_s (HAGEN; YOUSEFZADEH, 2018):

$$V_o = \frac{Nf_s}{f_{clk}} V_{bus} \quad (51)$$

A função de transferência do PWM digital é representada por G_{DPWM} , onde K_{DPWM} é o ganho, T_{DPWM} é o atraso de sinal entre o PWM e o compensador e n_{PWM} é a resolução do PWM digital (CHEN et al., 2007):

$$G_{DPWM}(s) = K_{DPWM} e^{-s(DT_s + T_{DPWM})}, \quad (52)$$

$$K_{DPWM} = \frac{1}{2^{n_{PWM}}}. \quad (53)$$

As funções de transferência do estágio de potência $G_{planta}(s)$, da instrumentação de sinal $K(s)$, da conversão ADC $G_{ADC}(s)$, do controlador $G_{comp}(z)$ e da geração do sinal PWM digital $G_{DPWM}(s)$ são utilizadas para obter a função de transferência de ramo direto conforme apresenta a (CHEN et al., 2007):

$$G_{ramo}(s) = K_{ADC} K_{DPWM} G_{comp}(z) G_{planta}(s) K e^{-sT_{total}}. \quad (54)$$

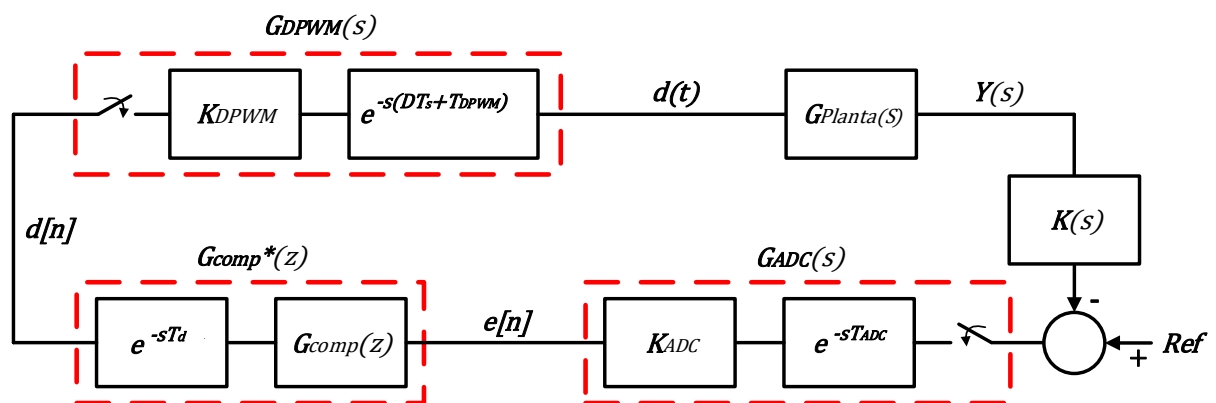


Figura 27 – Diagrama de blocos para controle digital.
Fonte: Chen et. al (2007).

2.4.3 Dimensionamento dos controladores

Possíveis perturbações na tensão V_{bus} , na carga R ou na razão cíclica D podem levar o sistema à instabilidade. O controle em malha fechada é utilizado para responder a essas variações, regulando a variável controlada com uma pequena tolerância em torno da referência. O controle deve responder rapidamente às perturbações, ter boa imunidade ao ruído, garantir baixo percentual de ultrapassagem e proporcionar erro nulo em regime permanente (MOHAN, 2003).

Para aumentar o desempenho e a estabilidade do conversor, Hart (2011) e Rashid (2011) sugerem que o controle apresente elevados ganhos em baixa frequência, para que o erro estacionário seja reduzido. Também abordam o projeto de controle pelo domínio da frequência, que deve ser feito em malha aberta. É recomendado assegurar um valor inferior a 180° para a margem de fase, e um ganho menor que -30 dB no cruzamento por -180° .

Muitos dos trabalhos disponíveis abordam o controle do conversor *buck* com o uso de um compensador Proporcional-Integral (PI). Isso é possível nos casos em que se assumem simplificações no modelo. Ou ainda, nos casos em que a ESR é considerada, mas seu efeito gera um zero localizado em uma frequência inferior à frequência de corte do filtro LC, o efeito causado pelo par de polos acaba sendo reduzido, e um ganho proporcional pode ser obtido para resultar na frequência de corte e na margem de fase desejadas. Em outras situações, este zero pode estar localizado em alta frequência. Assim, nenhuma interferência produzida por ele reduzirá o efeito dos polos e conseqüentemente este zero também precisará ser compensado. Em tais circunstâncias, surge a necessidade de gerar um avanço na margem de fase em uma frequência inferior à frequência de corte do filtro LC. Nessas condições, o PI não será capaz de compensar efeitos da ESR em frequências superiores à frequência de corte do controlador. Desse modo, um número maior de polos e zeros é substancial para o controle. Neste trabalho, os controladores são classificados de acordo com as bibliografias apresentadas em Basso (2008), Hart (2011), Kondrath (2010) e Shirsavar (2012). Esta classificação está apresentada no Apêndice D.

2.4.3.1 Controlador de corrente

A Figura 28 apresenta o diagrama de bode, o lugar geométrico das raízes (LGR) e resposta ao degrau unitário da função de transferência da malha interna para diferentes valores de carga. A função de transferência contém um par de polos e um zero. Pode-se notar que o aumento da resistência reduz o coeficiente de amortecimento da planta, aumentando a oscilação da resposta. Isso deve-se ao fato de que o aumento desta resistência aproxima os polos e o zero do eixo real e provoca um acréscimo na parcela imaginária dos polos.

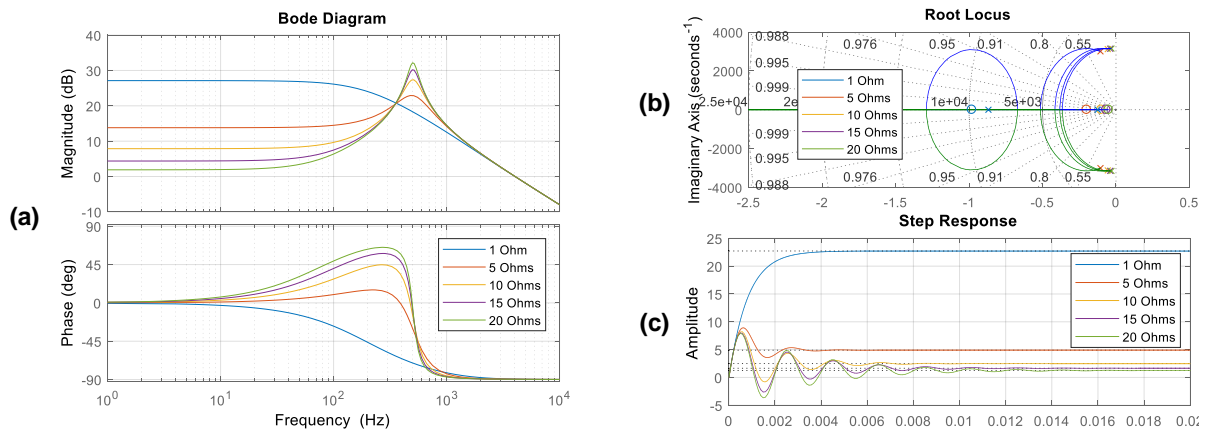


Figura 28 – Resposta da malha interna: (a) diagrama de bode; (b) lugar geométrico das raízes; (c) resposta ao degrau unitário.

Fonte: Autoria própria, 2018.

De acordo com o diagrama de bode, a margem de fase decaí para -90° . Desse modo, o compensador Tipo II, apresentado na Figura 29a, é utilizado na malha interna. Esse compensador apresenta dois polos e um zero. O primeiro polo é posicionado na origem para elevar o ganho em malha aberta e providenciar erro nulo. O segundo polo é posicionado em uma frequência uma década abaixo da frequência de chaveamento f_s para atenuar ruídos (FU, 2011). O zero do controlador é posicionado em uma frequência f_{z1} inferior à f_o , para que na frequência de corte, o integrador tenha pouca influência na margem de fase. Além disso, esse zero deve ser posicionado em uma frequência inferior à f_{LC} para evitar possível atraso de -180° na margem de fase antes do cruzamento por zero (HERRERA, 2014). A frequência de corte é escolhida uma década abaixo da frequência de chaveamento. A função de

transferência do controlador Tipo II é representada por (SURYANARAYANA et al., 2012), (CHOI, 2011), (SHIRSAVAR, 2012), (GHOSH, 2015):

$$G_{t2}(s) = \frac{\left(1 + \frac{s}{\omega_{z1}}\right)}{\left(\frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)}. \quad (55)$$

O diagrama de bode deste compensador pode ser visualizado na Figura 29b. Cada pólo causa um atraso de 90° na margem de fase e o zero gera um avanço de 90° . O ganho do controlador é ajustado para resultar na frequência de corte desejada (HART, 2011). Uma atenuação de 20 dB/dec é obtida pode ser obtida adotando 45° para a margem de fase na frequência de corte.

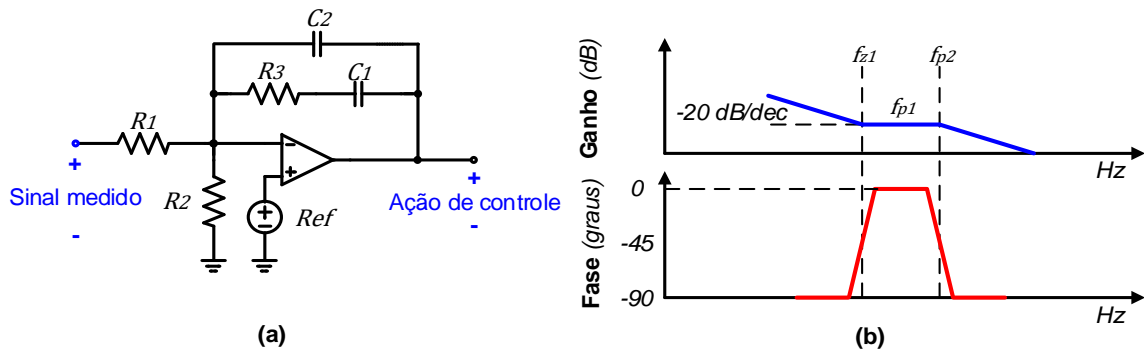


Figura 29 – Compensador Tipo II: (a) diagrama do circuito; (b) diagrama de bode. Fonte: (MATTINGLY; 2003), (HERRERA; 2014).

O controlador é sintonizado para gerar o avanço de fase θ_{t2} que resulta margem de fase esperada. O avanço é calculado por $\theta_{t2} = (PM - PS - 90)$, onde PM representa a margem de fase desejada e PS é o atraso apresentado pelo conversor. Para calcular o fator K_{t2} como (BASSO, 2008), (GHOSH, 2015):

$$K_{t2} = \tan\left(\frac{\theta_{t2}}{2} + 45^\circ\right). \quad (56)$$

Utilizando o fator K_{t2} , as frequências do polo f_{p2} e do zero f_{z1} são determinadas da seguinte forma (BASSO, 2008), (HART, 2011), (GHOSH, 2015):

$$f_{p2} = K_{t2} f_o, \quad (57)$$

$$f_{z1} = \frac{f_0}{K_{t2}}. \quad (58)$$

A função de transferência do compensador é convertida para o domínio da discreto utilizando a transformação bilinear ou a transformação Tustin. No domínio discreto, o compensador apresenta dois polos e dois zeros (2p2z). Desse modo, a função de transferência no domínio discreto é obtida por (SAMPATH, 2013), (HALLWORTH, SHIRSAVAR; 2012), (SURYANARAYANA et al., 2012), (CHEN, 2007), (HU, 2013):

$$s = \left(\frac{2}{T_d}\right) \frac{z-1}{z+1}, \quad (59)$$

$$G_{t2}(z) = \frac{B_2 z^{-2} + B_1 z^{-1} + B_0}{-A_2 z^{-2} - A_1 z^{-1} + 1} s = \left(\frac{2}{T_d}\right) \frac{z-1}{z+1}. \quad (60)$$

Os coeficientes apresentados na equação anterior são determinados de maneira analítica utilizando as seguintes relações, (HALLWORTH, SHIRSAVAR; 2012):

$$B_0 = \frac{T_d \omega_{p1} \omega_{p2} (2 + T_d \omega_{z1})}{2(2 + T_d \omega_{p2}) \omega_{z1}}, \quad (61)$$

$$B_1 = \frac{T_d^2 \omega_{p1} \omega_{p2}}{2 + T_d \omega_{p2}}, \quad (62)$$

$$B_2 = \frac{T_d \omega_{p1} \omega_{p2} (-2 + T_d \omega_{z1})}{2(2 + T_d \omega_{p2}) \omega_{z1}}, \quad (63)$$

$$A_1 = \frac{4}{2 + T_d \omega_{p2}}, \quad (64)$$

$$A_2 = \frac{-2 + T_d \omega_{p2}}{2 + T_d \omega_{p2}}. \quad (65)$$

Os coeficientes são utilizados para representar o controlador digital com uma equação diferencial e linear. A implementação do processo de convolução via algoritmo é representado por (SAMPATH, 2013), (HALLWORTH, SHIRSAVAR; 2012):

$$y[n] = B_2x[n - 2] + B_1x[n - 1] + B_0x[n] - A_2y[n - 2] - A_1y[n - 1]. \quad (66)$$

2.4.3.2 Controlador de tensão

A Figura 30 apresenta o diagrama de bode, o lugar geométrico das raízes (LGR) e a resposta ao degrau unitário da função de transferência da malha externa para diferentes valores de carga. A função de transferência contém um polo e um zero causado pela ESR. O aumento da resistência altera o ganho das respostas e aproxima o polo do eixo real.

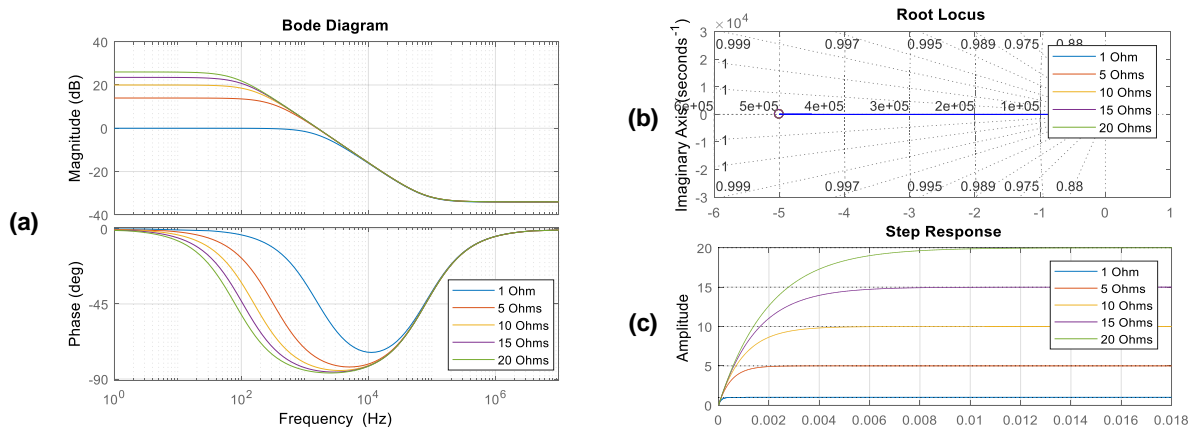


Figura 30 – Resposta da malha externa: (a) diagrama de bode; (b) lugar geométrico das raízes; (c) resposta ao degrau unitário.
 Fonte: Autoria própria, 2018.

Um controlador Tipo II é utilizado para compensar a malha externa. O controlador é dimensionado de maneira análoga ao compensador de corrente. O objetivo é compensar o decaimento para -90° na margem de fase. A frequência de corte do controlador de tensão é escolhida para ser 20 vezes menor que a frequência de corte do controlador de corrente, de modo que a malha de corrente possa ser considerada como um ganho unitário.

3 PROJETO E SIMULAÇÃO

Neste capítulo será apresentado o projeto da fonte chaveada. As especificações iniciais para o projeto, definidas pela Tabela 1, são utilizadas no dimensionamento dos componentes elétricos.

Tabela 1 – Parâmetros iniciais para o projeto da fonte chaveada.

Parâmetro	Símbolo	Valor	
Tensão de alimentação	V_{Rede}	127,0	V_{rms}
Frequência da rede	$f_{Rede(CA)}$	60,0	Hz
Potência máxima de saída	$P_{o(máx)}$	60,0	W
Eficiência do primeiro estágio	η_1	90,0	%
Eficiência do segundo estágio	η_2	90,0	%

Fonte: Autoria própria, (2018).

A tensão da rede V_{Rede} é reduzida com o uso de um transformador conforme representa a Figura 31. O transformador apresenta uma relação de espiras $N_1:N_2 = 1:6$, resultando em uma tensão de entrada $V_{CA(rms)} = 21,17 V_{(rms)}$ no secundário.

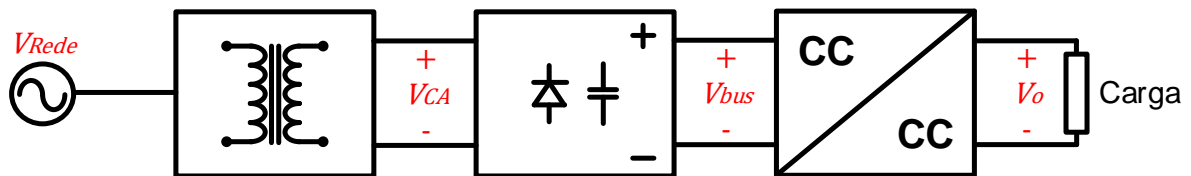


Figura 31 – Estágios de conversão de potência.

Fonte: Autoria própria, (2018)

Utilizando os dados da Tabela 1, a potência de entrada da fonte P_{in} e a potência no barramento P_{bus} são calculadas na seguinte maneira:

$$P_{bus} = \frac{P_o}{\eta_2} = 66,7 \text{ W} , \quad (67)$$

$$P_{in} = \frac{P_{bus}}{\eta_1} = 74,1 \text{ W} . \quad (68)$$

3.1 ESTÁGIO DE ENTRADA

Os parâmetros do retificador são calculados conforme os critérios estabelecidos pela Tabela 2.

Tabela 2 – Parâmetros iniciais para projeto do retificador de tensão com filtro capacitivo.

Parâmetro	Símbolo	Valor	
Frequência da ondulação <i>ripple</i>	f_{ripple}	120,0	Hz
<i>Ripple</i> na tensão de barramento	V_{ripple}	4,0	V
Queda de tensão nos diodos	V_D	0,70	V

Fonte: Autoria própria, (2018).

A tensão de pico $V_{bus(máx)}$, a tensão mínima $V_{bus(mín)}$, a corrente média I_{Req} e a resistência equivalente R_{eq} do barramento são calculadas por:

$$V_{bus(máx)} = V_{CA(rms)}\sqrt{2} - 2V_D = 28,54 V, \quad (69)$$

$$V_{bus(mín)} = V_{bus(máx)} - V_{ripple} = 24,54 V, \quad (70)$$

$$I_{Req} = \frac{P_{bus}}{V_{bus}} = 2,52 A, \quad (71)$$

$$R_{eq} = \frac{V_{bus}}{I_{Req}} = 10,45 \Omega. \quad (72)$$

O capacitor e seu período de carga t_c são determinados por:

$$C_{bulk} = \frac{P_{in}}{f_{ripple}(V_{CA(máx)}^2 - V_{CA(mín)}^2)} = 4,37 mF, \quad (73)$$

$$t_c = \frac{1}{\pi f_{ripple}} \cos^{-1} \left(\frac{V_{bus(mín)}}{V_{bus(máx)}} \right) = 1,42 ms. \quad (74)$$

A corrente de surto é calculada para $R_{TH} \approx 0,6 \Omega$. A corrente máxima no capacitor $I_{Cbulk(máx)}$, a corrente máxima nos diodos $I_{D(máx)}$ e a corrente de surto I_{surto} resultam em:

$$I_{C_{bulk}(m\acute{a}x)} = 2 \left(\frac{V_{ripple} C_{bulk}}{t_c} \right) = 24,62 A , \quad (75)$$

$$I_{D(m\acute{a}x)} = I_{Req} + 2 \left(\frac{V_{ripple} C_{bulk}}{t_c} \right) = 27,14 A , \quad (76)$$

$$I_{surto} = \frac{V_{CA(m\acute{a}x)}}{R_{TH}} = 47,57 A . \quad (77)$$

Os valores obtidos são utilizados para simular o primeiro estágio com o software PSIM®, conforme apresenta a Figura 31a.

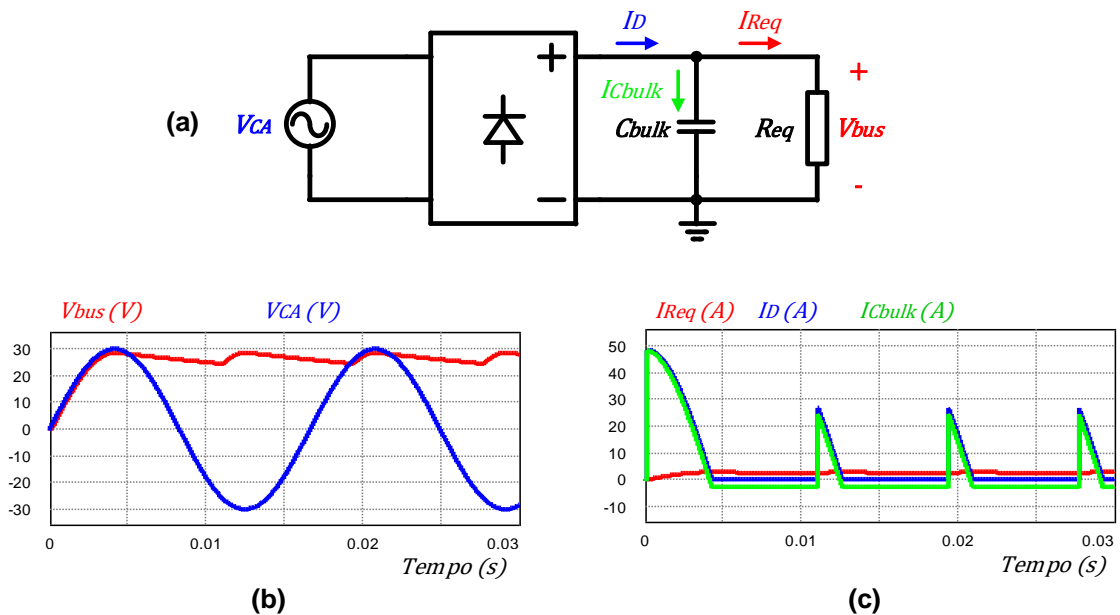


Figura 32 – Simulação do circuito retificador de onda completa com filtro capacitivo: (a) diagrama do circuito; (b) formas de onda tensão; (c) formas de onda de corrente. Fonte: Autoria própria, (2018).

As formas de onda de tensão são ilustradas na Figura 31b e as formas de onda de corrente são ilustradas na Figura 31c. Os valores obtidos na simulação são apresentados pela Tabela 3.

Tabela 3 – Resultados da simulação do primeiro estágio.

Parâmetro	Símbolo	Valor	
Tensão média no barramento	V_{bus}	26,54	V
Tensão máxima no barramento	$V_{CA(máx)}$	28,53	V
Tensão mínima no barramento	$V_{CA(mín)}$	24,39	V
<i>Ripple</i> na tensão de barramento	V_{ripple}	4,14	V
Corrente média no barramento	I_{Req}	2,50	A
Corrente máxima no capacitor	$I_{Cbulk(máx)}$	24,47	A
Corrente máxima nos diodos	$I_{D(máx)}$	26,87	A
Corrente de surto	I_{surto}	48,47	A

Fonte: Autoria própria, (2018).

3.2 ESTÁGIO DE SAÍDA

Os valores iniciais para o projeto do conversor *buck* são apresentados pela Tabela 4.

Tabela 4 – Parâmetros iniciais para o projeto do conversor *buck*.

Parâmetro	Símbolo	Valor	
Tensão máxima de saída	$V_{O(máx)}$	24,0	V
<i>Ripple</i> de corrente	ΔI_L	40,0	mA
Frequência de chaveamento	f_s	50,0	kHz
Frequência de corte do filtro LC	f_{LC}	120,0	Hz

Fonte: Autoria própria, (2018).

A variação nas referências de tensão e de corrente resultam em diferentes pontos de operação para o conversor. Desse modo, a razão cíclica torna-se um parâmetro variável a ser considerado no projeto. A corrente máxima de saída $I_{O(máx)}$ resistência de carga R é calculada para a tensão máxima $V_{O(máx)}$:

$$R = \frac{V_{O(máx)}^2}{P_{O(máx)}} = 9,6 \Omega , \quad (78)$$

$$I_{O(máx)} = \frac{P_{O(máx)}}{V_{O(máx)}} = 2,5 A . \quad (79)$$

O valor da indutância é calculado para diferentes valores da corrente crítica e da resistência de carga, respectivamente na Figura 33a e na 34b. A tensão de barramento e a frequência de chaveamento são mantidas constantes.

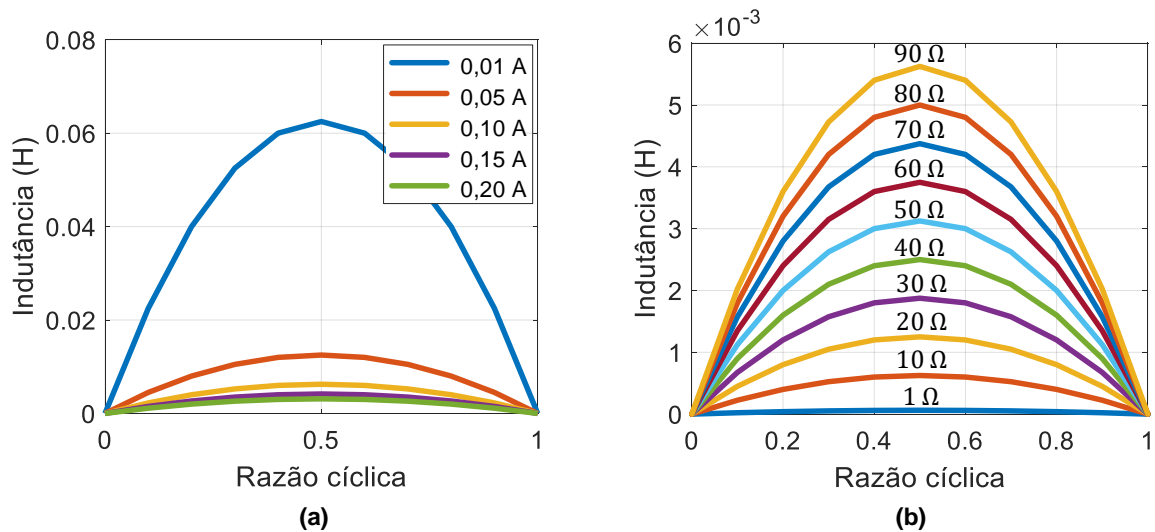


Figura 33 – Valores obtidos para L_{cr} em razão da: (a) corrente crítica; (b) resistência de carga. Fonte: Autoria própria, (2018).

De acordo com a imagem anterior, o valor máximo de indutância ocorre para $D = 0,5$. Então:

$$L = \frac{V_{bus}D(1-D)}{\Delta I_L f_s} = 3,0 \text{ mH} . \quad (80)$$

A corrente de pico no indutor é calculada com a 25 e o capacitor é dimensionado com a Equação 31. Desse modo:

$$I_{L(máx)} = I_o + \frac{\Delta I_L}{2} = 2,43 \text{ A} , \quad (81)$$

$$C = \left(\frac{1}{2\pi f_{LC}\sqrt{L}} \right)^2 = 586,94 \text{ } \mu\text{F} . \quad (82)$$

O software PSIM® é utilizado para realizar a simulação do conversor apresentado pela Figura 34a. As não idealidades são inicialmente desconsideradas. A resposta em malha aberta pode ser visualizada na Figura 34b. A ondulação na

tensão de saída V_o é ilustrada na Figura 34c e a ondulação na corrente do indutor I_L é ilustrada na Figura 34d.

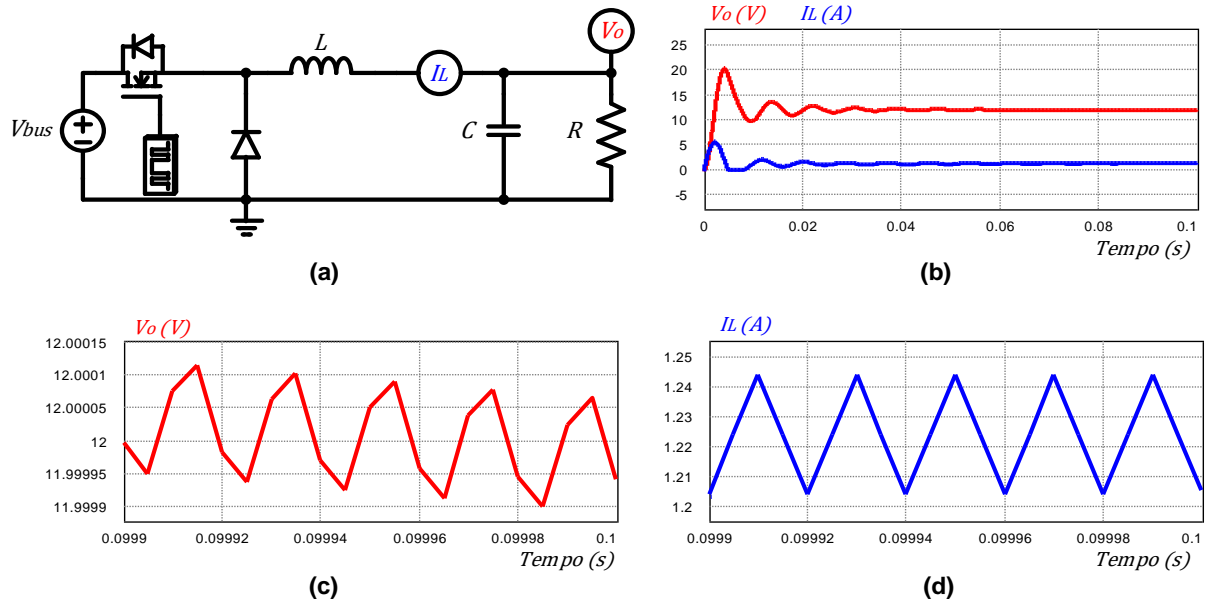


Figura 34 – Simulação do conversor *buck* para $D=0,5$: (a) diagrama do circuito; (b) resposta em malha aberta; (c) *ripple* na tensão de saída; (d) *ripple* na corrente do indutor.
Fonte: Autoria própria, (2018).

Para determinar o núcleo físico do indutor utilizam-se $B_{(máx)} = 0,3 T$, $J_{(máx)} = 450 A/cm^2$ e $k_w = 0,7$. Então:

$$A_e A_w = \frac{L I_{L(máx)} I_{L(rms)}}{B_{(máx)} J_{(máx)} k_w} 10^4 = 1,98 cm^4. \quad (83)$$

O núcleo NEE 42/15 apresenta área central $A_e = 1,81 cm^2$ para uma área de janela $A_w = 1,57 cm^2$, resultando $A_e A_w = 2,84 cm^4$. Para determinar o número de espiras e o comprimento do entreferro:

$$N = L \frac{I_{L(máx)}}{B_{(máx)} A_e} 10^4 = 139 \text{ espiras}, \quad (84)$$

$$l_g = \frac{N^2 \mu_0 A_e}{L} 10^{-2} = 0,14 cm. \quad (85)$$

O condutor AWG 20 escolhido apresenta um diâmetro $S_{cond} = 0,081 cm^2$. O diâmetro máximo calculado para o efeito Skin é obtido como:

$$S_{skin} = 2 \left(\frac{7,5}{\sqrt{f_s}} \right) = 0,067 \text{ cm}^2 . \quad (86)$$

Dessa forma, dois condutores AWG 22 de diâmetro $S_{cond} = 0,064 \text{ cm}^2$ são utilizados em paralelo. A área mínima da janela para que o projeto seja possível é determinada por:

$$A_{w(mín)} = \frac{Nn_{cond}S_{cond}}{k_w} = 1,26 \text{ cm}^2 . \quad (87)$$

3.3 CIRCUITOS DE INSTRUMENTAÇÃO

Os circuitos de instrumentação são dimensionados para os valores máximos em regime permanente da tensão de saída $V_{O(máx)}$ e da corrente no indutor $I_{L(máx)}$. As especificações iniciais para o projeto são apresentadas pela Tabela 5.

Tabela 5 – Parâmetros iniciais para o projeto dos circuitos de instrumentação.

Parâmetro	Símbolo	Valor	
Tensão suportada pelo DSP	$V_{DSP(máx)}$	3,3	V
Offset no sensor de corrente	V_{offset}	2,5	V
Corrente máxima de saída	$I_{L(máx)}$	2,4	A
Frequência de amostragem	f_{am}	500,0	kHz

Fonte: Autoria própria, (2018).

3.3.1 Filtros Ativos

A topologia de filtro *Sallen-Key* é utilizada com a aproximação de resposta *Butterworth*. Assim, a Tabela 7 disponível no Apêndice C informa que os coeficientes para aproximação de resposta correspondem aos valores $a_1 = 1,4142$ e $b_1 = 1$. A frequência de corte f_{PB} é calculada com a Equação 42. Os valores adotados para as capacitâncias são $C_1 = 100,0 \text{ nF}$ e $C_2 = 1,0 \text{ uF}$. Desse modo é possível calcular os valores das resistências R_1 e R_2 . Portanto:

$$f_{PB} = \sqrt{f_{LC}f_{am}} = 7,746 \text{ kHz} , \quad (88)$$

$$R_{1,2} = \frac{a_1 C_2 \pm \sqrt{a_1^2 C_2^2 - 4b_1 C_1 C_2}}{4\pi f_{PB} C_1 C_2} = 275,2 \Omega \text{ e } 15,3 \Omega . \quad (89)$$

3.3.2 Proteção do DSP

O objetivo do circuito de proteção é garantir que o sinal fornecido para o ADC seja limitado de zero até o valor máximo $V_{DSP(máx)} = 3,3 \text{ V}$. Para que exista uma margem de segurança, adota-se para V_Z uma amplitude 10% inferior à suportada. Supondo que toda a corrente passa pelo diodo, a resistência R_Z é calculada para $I_Z = 20 \text{ mA}$ da seguinte forma:

$$R_Z = \frac{0,9V_{DSP(máx)}}{I_Z} = 148,50 \Omega \quad (90)$$

3.3.3 Instrumentação de tensão

O circuito de instrumentação do sinal de tensão de saída é apresentado na Figura 35a. O resistor R_y é calculado para $R_x = 1 \text{ M}\Omega$ e $V_m = V_{DSP(máx)}$ com a Equação 34:

$$R_y = V_m \left(\frac{R_x}{V_o - V_m} \right) = 136,0 \text{ k}\Omega. \quad (91)$$

Desse modo, o sinal medido V_m é equivalente à tensão de saída V_o multiplicada por um ganho de 0,120. Isso pode ser verificado na Figura 35b, que ilustra a forma de onda da tensão de saída multiplicada por este ganho. Para averiguar a resposta do filtro e a limitação de tensão proporcionada pelo diodo zener, um sinal de onda quadrada V_{quad} é gerado e utilizado como sinal de entrada no filtro *Sallen-Key*. O sinal gerado possui 3,3 V de amplitude, o que corresponde a faixa de operação do

DSP. Desse modo, cada borda de subida ou de descida no sinal V_{quad} representa variação máxima da tensão de saída V_o vista pelo ADC.

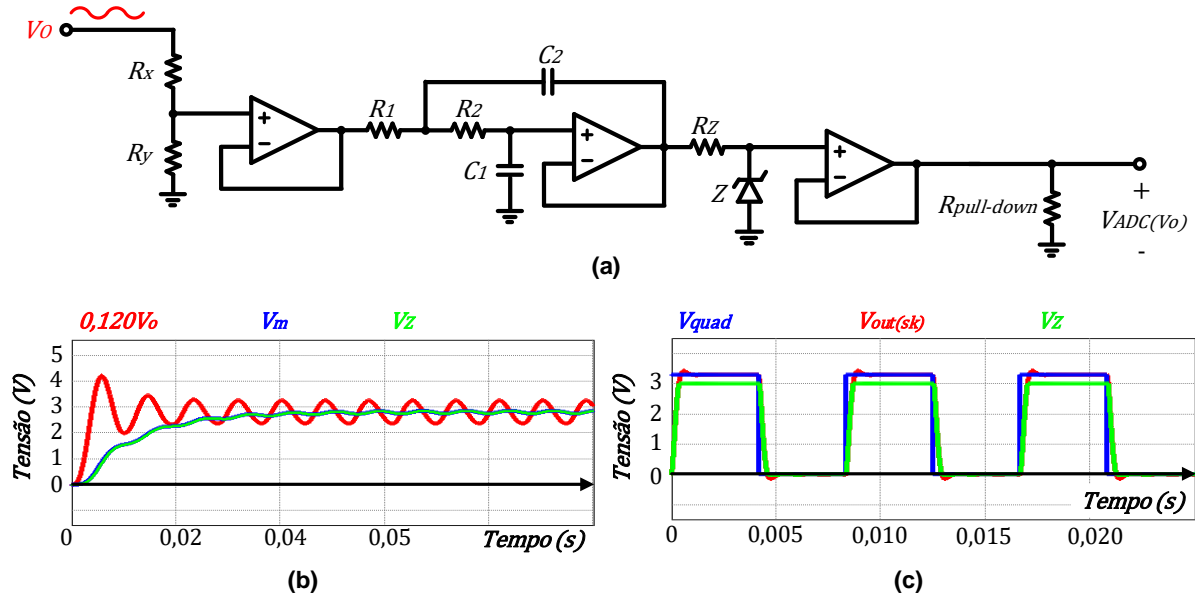


Figura 35 – Instrumentação do sinal de tensão: (a) diagrama do circuito; (b) formas de onda da tensão de saída V_o , do sinal medido V_m e da tensão sobre o diodo zener V_Z ; (c) formas de onda do sinal gerado V_{quad} , da tensão de saída do filtro $V_{out(sk)}$ e da tensão sobre o diodo zener V_Z .
Fonte: Adaptado de (SOUSA, et al.; 2011).

3.3.4 Instrumentação de corrente

O circuito de instrumentação de corrente é ilustrado na a Figura 36a. O sensor ACS712 utilizado para fazer a medição no sinal de corrente apresenta uma sensibilidade $\alpha = 185 \text{ mV/A}$. Quando a corrente no sensor é igual a zero, apenas a tensão correspondente ao *offset* é apresentada pelo sinal V_{IL} . Adotando valores iguais para as resistências R_a , R_b e R_f , uma tensão $V_{offset} = -0,5V_{CC}$ precisa ser somada com V_{IL} para que o *offset* seja eliminado. Desse modo, o sinal de saída do somador V_{soma} varia de zero até o valor máximo $V_{soma(máx)}$ resultado por:

$$V_{soma(máx)} = -\alpha I_{L(máx)} = -444,0 \text{ mV} \quad (92)$$

O amplificador inversor é utilizado para dar um ganho e inverter a polaridade do sinal novamente. Adotando $V_{amp(máx)} = 3,0 V$ e $R_{inv1} = 10 k\Omega$, a resistência R_{inv2} é obtida com a Equação 39:

$$R_{inv2} = -\frac{V_{amp(máx)}}{V_{soma(máx)}} R_{inv1} = 67,57 k\Omega \quad (93)$$

O software PSIM® é utilizado para verificar a amplitude dos sinais do circuito de instrumentação de corrente. O sinal de onda quadrada V_{quad} é gerado para variar de 2,5 V a 2,944 V, e representa a variação máxima do sinal V_{IL} fornecido pelo sensor (de zero até o valor máximo $I_{L(máx)}$). Conforme ilustra a Figura 36b, o *offset* é eliminado e o sinal V_{amp} trabalha na faixa de 0 a 3 V para representar a corrente no indutor.

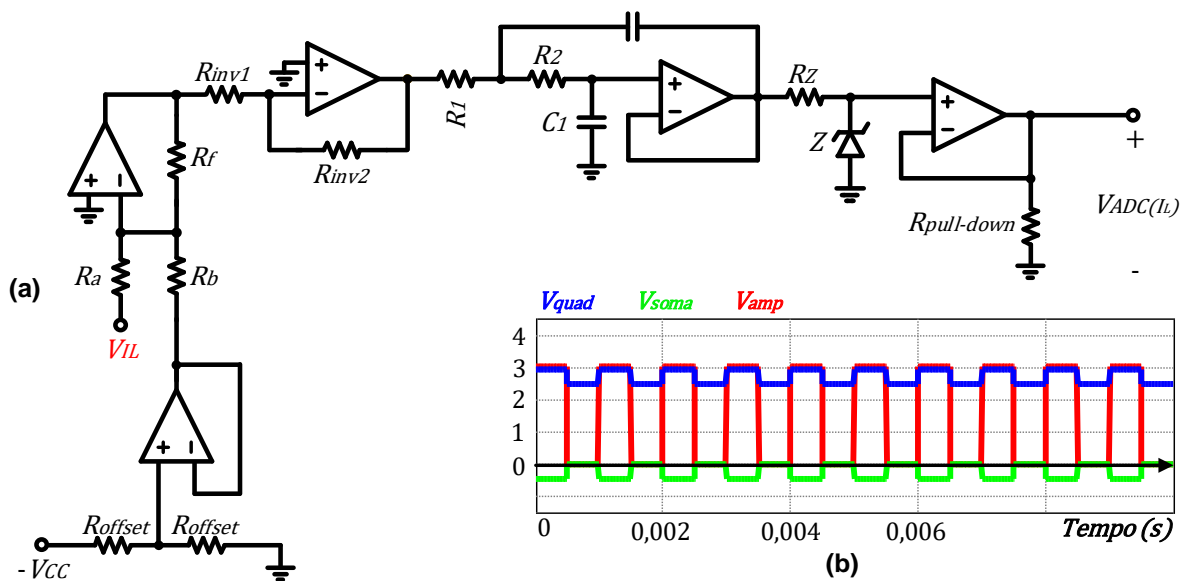


Figura 36 – Instrumentação do sinal de corrente: (a) diagrama do circuito; (b) formas de onda do sinal gerado V_{quad} , da resposta do somador V_{soma} e do sinal resultante no amplificador V_{amp} . Fonte: Adaptado de (LUNELLI; 2016).

3.4 SISTEMA DE CONTROLE

A Figura 35a apresenta o conversor *buck* operando em malha aberta. Na Figura 35b as formas de onda do conversor são apresentadas. É possível notar que existe um erro em regime permanente. O objetivo desta seção é obter um projeto de

controle que melhore a resposta do conversor. O projeto é realizado no domínio da frequência e em seguida convertido para o domínio discreto, o qual proporciona os coeficientes necessários para implementação do controle digital.

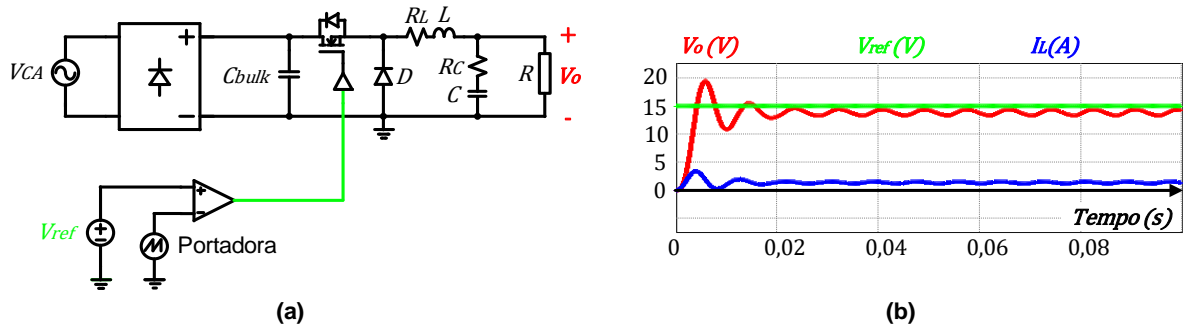


Figura 37 – Conversor *buck* em malha aberta: (a) diagrama do circuito; (b) formas de onda.
 Fonte: Autoria própria, (2018).

O diagrama de bode e a resposta ao degrau unitário desta função são simuladas com o *software* Matlab® para verificar o comportamento da planta. O diagrama de Bode e a resposta ao degrau unitário são apresentados respectivamente na Figura 38a e na Figura 38b.

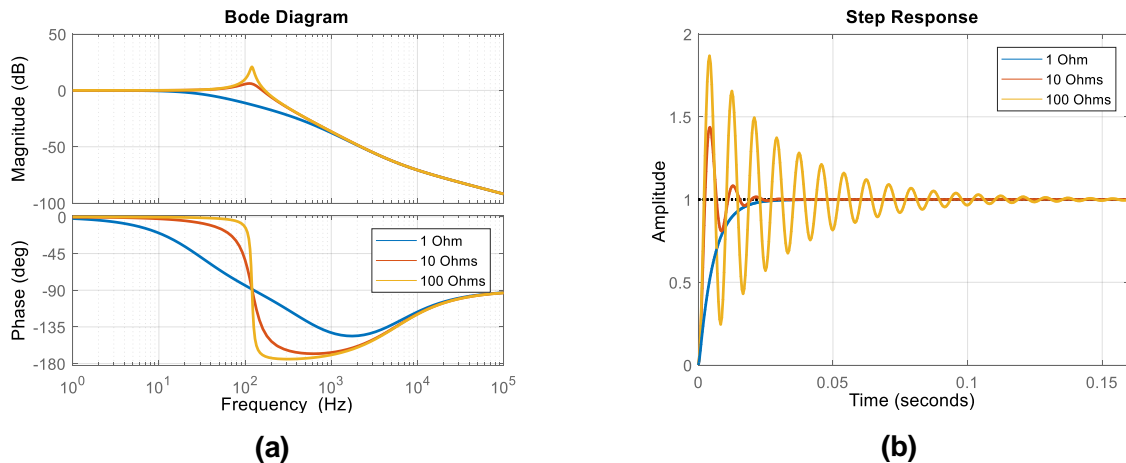


Figura 38 – Resposta do conversor em malha aberta: (a) diagrama de Bode; (b) resposta ao degrau unitário.
 Fonte: Autoria própria, (2018).

As figuras anteriores permitem visualizar que a resistência da carga tem influências no amortecimento da resposta exibida pela planta. O aumento da resistência diminui o amortecimento e aumenta as oscilações. Pelos motivos de não

se houver valores fixos de resistência e de tensão de referência, o projeto do controle automático é realizado para uma entrada de carga.

3.4.1 Controle de corrente

A função de transferência $G_{id}(s)$ para o controle de corrente é obtida substituindo os valores obtidos no dimensionamento do estágio de saída na Equação 46. Desse modo:

$$G_{id}(s) = \frac{0,0004s + 25}{0,0000182s^2 + 0,006993s + 10} \quad (94)$$

O diagrama de bode e a resposta ao degrau apresentados pela equação anterior é são apresentados na Figura 39a e na Figura 39b, respectivamente.

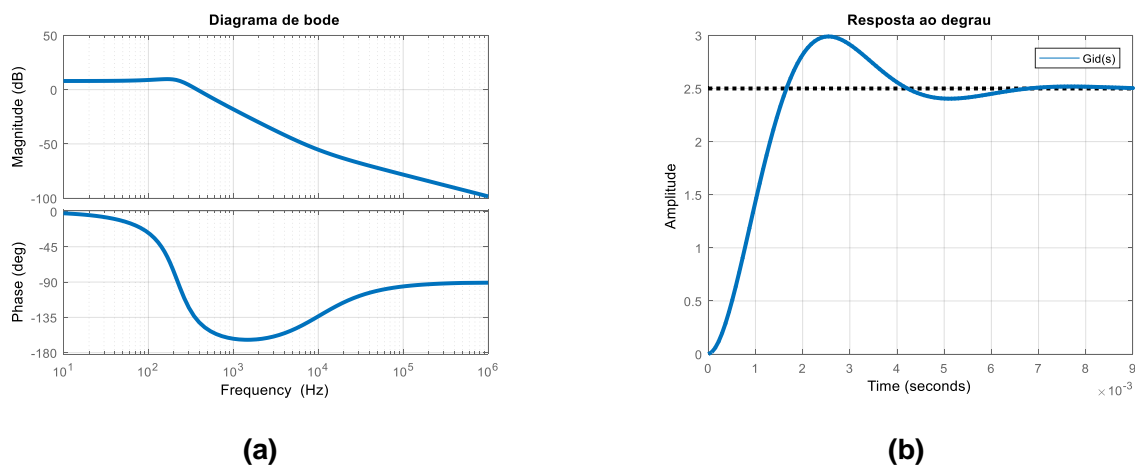


Figura 39 – Simulação em malha aberta da planta $G_{id}(s)$: (a) diagrama de bode; (b) resposta ao degrau unitário.

Fonte: Autoria própria, (2018).

A frequência de corte do filtro f_{LC} e a frequência do zero f_{ESR} são obtidas do seguinte modo:

$$f_{LC} = \frac{1}{2\pi} \sqrt{\frac{R + R_L}{LC(R + R_C)}} = 219,63 \text{ Hz} , \quad (95)$$

$$f_{ESR} = \frac{1}{2\pi CR_C} = 9,947 \text{ kHz} . \quad (96)$$

A frequência de corte do controlador de corrente f_{oi} é posicionada aproximadamente uma década abaixo da frequência de chaveamento f_s , assim $f_{oi} = 5 \text{ kHz}$. Uma vez que $f_s/2 > f_{ESR} > f_{oi}$, um controlador Tipo II é utilizado, conforme os critérios apresentados no Apêndice D. A função de transferência do controlador de corrente resulta em:

$$C_i(s) = \frac{5,304e^7(s^2 + 2661s + 1767578)}{s^3 + 220260s^2 + 9,932e^9s} . \quad (97)$$

O diagrama de bode e a resposta ao degrau da função de transferência em malha fechada $FTMF_i(s)$ podem ser visualizados na Figura 40.

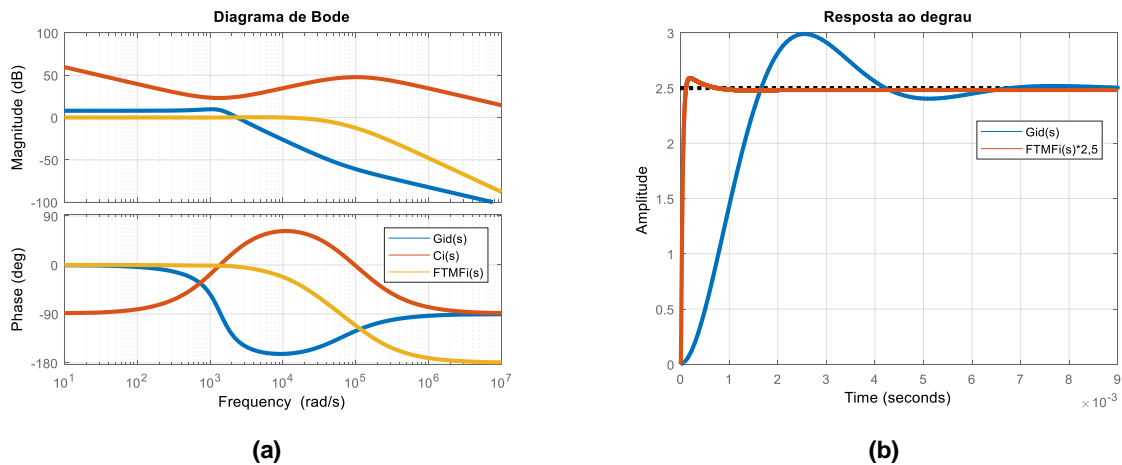


Figura 40 – Simulação em malha fechada da planta $G_{id}(s)$: (a) diagrama de bode; (b) resposta ao degrau unitário.

Fonte: Autoria própria, (2018).

Para uma frequência de amostragem $f_{am} = 500 \text{ kHz}$, a equação anterior é representada nos domínios discreto e digital com o auxílio da transformação bilinear. Assim:

$$C_i(z) = \frac{43,00z^{-3} - 43,23z^{-2} - 43,00z^{-1} + 43,23}{-0,64z^{-3} + 2,25z^{-2} - 2,61z^{-1} + 1} , \quad (98)$$

$$y_i[n] = 43,00x_i[n-3] - 43,23x_i[n-2] - 43,00x_i[n-1] + 43,23x_i[n] - 0,64y_i[n-3] + 2,25y_i[n-2] - 2,61y_i[n-1] . \quad (99)$$

As equações para controle obtidas são validadas com o *software* Psim®. São realizadas simultaneamente o controle analógico (Figura 41a), o controle discreto (Figura 41b) e controle digital (Figura 41c). A referência de corrente é submetida a cinco degraus de 0,5 A. Na Figura 41d é ilustrado o desempenho da corrente de saída e na Figura 41e é apresentado o comportamento da tensão de saída.

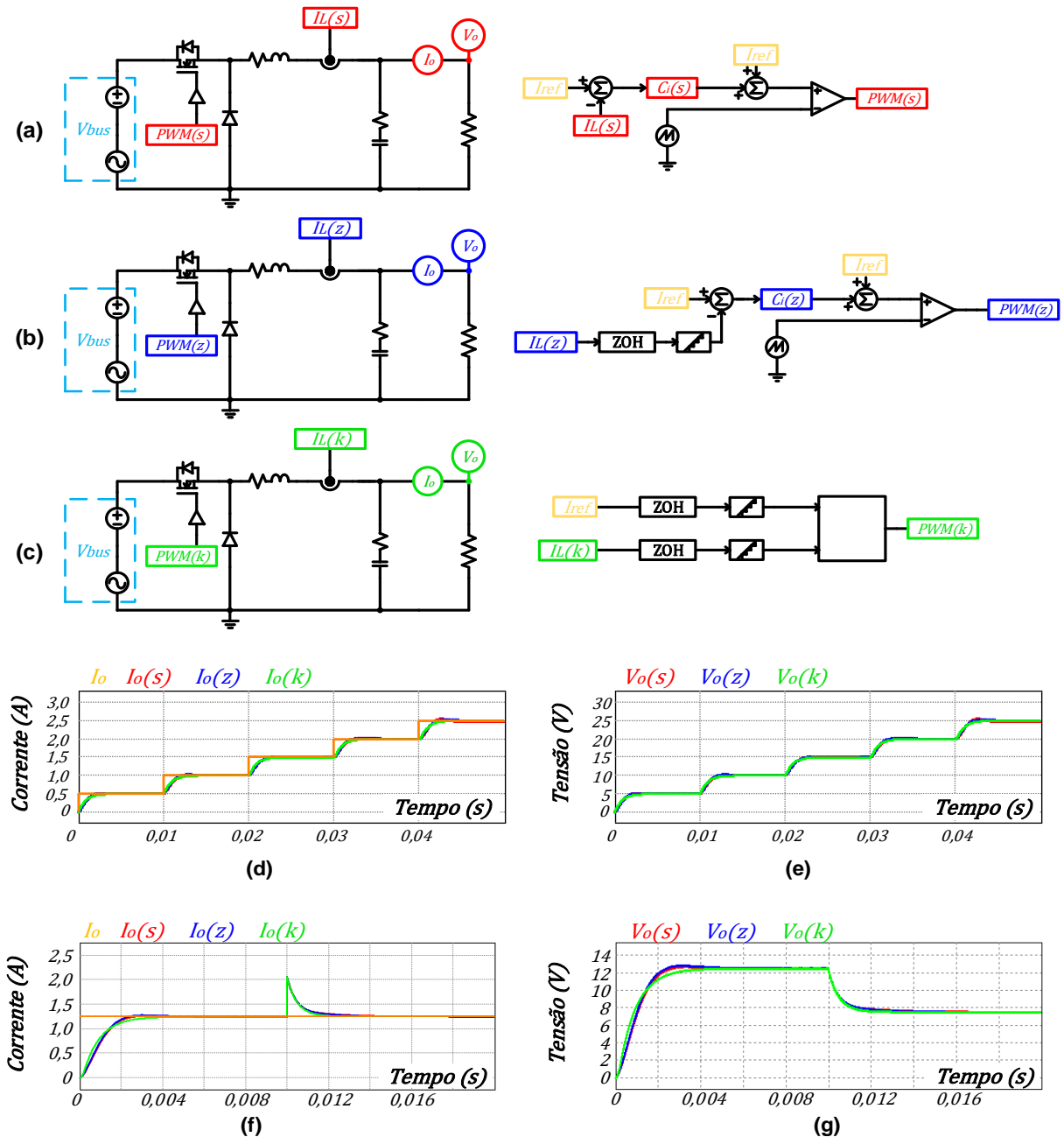


Figura 41 – Projeto do controlador de corrente: (a) diagrama esquemático para controle analógico; (b) diagrama esquemático para controle discreto; (c) diagrama esquemático para controle digital; (d) respostas de corrente de saída para entrada de degrau na corrente de referência; (e) respostas de tensão de saída para entrada de degrau na corrente de referência; (f) respostas de corrente de saída para entrada de carga $R = 15 \Omega$; (g) respostas de tensão de saída para entrada de carga $R = 15 \Omega$;
Fonte: Autoria própria, (2018).

A referência de corrente é submetida a cinco degraus de 0,5 A. Na Figura 43d é ilustrado o desempenho da corrente de saída e na Figura 43e é apresentado o comportamento da tensão de saída para estas perturbações. Em seguida, o conversor é submetido a uma entrada de carga $R = 15 \Omega$. A resposta de corrente de saída pode ser observada na Figura 43e. A tensão de saída reduz proporcionalmente à carga para que a corrente seja mantida constante, como pode ser visualizado na Figura 43f. O controlador digital foi simulado com a ferramenta *Cblock*. O script utilizado é apresentado no Quadro 1.

Quadro 1 – Script para controle de corrente com a ferramenta *Cblock*.

```

Iref=in[0];
Imed=in[1];
e0=(Iref-Imed);

y0=(b0*e0+b1*e1+b2*e2+b3*e3-(a1*y1+a2*y2+a3*y3));

if (y0<0)
y0=0;
else {
if (y0>Sati)
y0=Sati;
}

out[0]=y0;

y3=y2;
y2=y1;
y1=y0;
e3=e2;
e2=e1;
e1=e0;

```

Fonte: Autoria própria, (2018).

3.4.2 Controle de tensão

A função de transferência para controle da tensão é obtida substituindo os valores dos componentes dimensionados na Equação 47. Dessa forma:

$$G_{VL}(s) = \frac{0,00016s + 10}{0,000816s + 1} \cdot \quad (100)$$

Para verificar a resposta da planta $G_{VL}(s)$, uma simulação em malha aberta é realizada com o software Matlab®. A Figura 42a apresenta o diagrama de bode e a Figura 42b ilustra a resposta ao degrau. A função de transferência de ramo direto $FTMFA_V(s)$ também é representada nas simulações. A comparação entre $G_{VL}(s)$ e $FTMFA_V(s)$ mostra que em baixas frequências, $G_{VL}(s)$ e $FTMFA_V(s)$ apresentam o mesmo ganho. Isso ocorre porque a malha interna é atualizada em um período de tempo significativamente inferior à malha externa. Desta forma, em baixas frequências, a função de transferência em malha fechada da corrente $FTMF_i(s)$ visualizada pela malha de tensão equivale aproximadamente à um ganho unitário. Assim, para o projeto do controlador de tensão, a seguinte simplificação pode ser utilizada: $FTMF_i(s) \approx 1$.

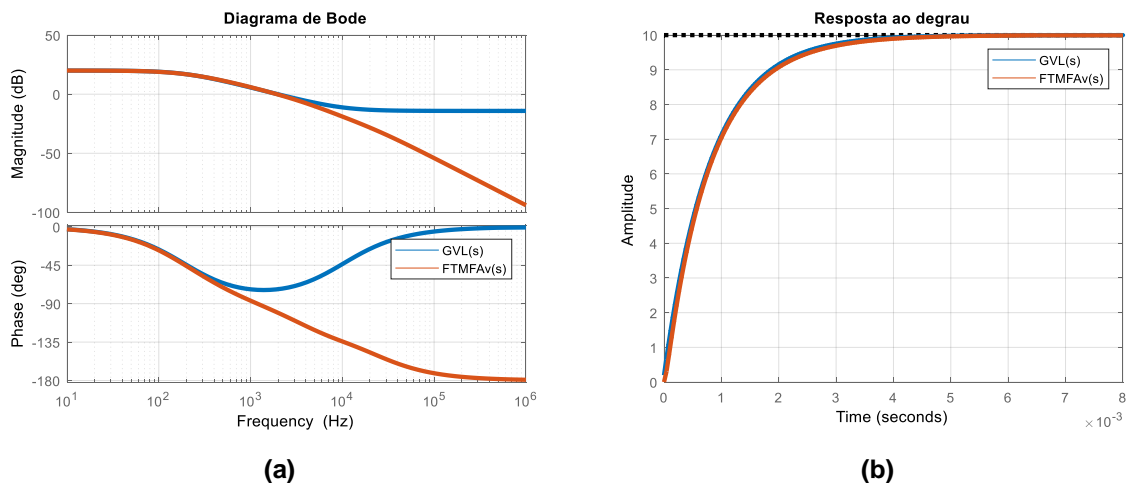


Figura 42 – Simulação em malha aberta da planta $G_{VL}(s)$: (a) diagrama de bode; (b) resposta ao degrau unitário.

Fonte: Autoria própria, (2018).

O diagrama de Bode indica que a função de transferência de ramo direto $FTMFA_V(s)$ apresenta um polo e um zero, ambos reais e no semiplano esquerdo. Nessas condições, um controlador PI é satisfatório para controle da malha externa. Porém, o controlador Tipo II é utilizado de acordo com o Apêndice D, para compensar o zero produzido pela ESR, providenciando uma frequência de corte de 250 Hz para a malha externa. Desse modo, a função de transferência do controlador $C_V(s)$ resulta em:

$$C_V(s) = \frac{9835,1(s + 1225)}{s^2 + 6556,0s} \quad (101)$$

No domínio discreto, a função de transferência é representada por:

$$C_v(z) = \frac{0,0098z^{-2} - 2,39e^{-5}z^{-1} + 0,0098}{0,987z^{-2} - 1,987z^{-1} + 1} \quad (102)$$

Por fim, o algoritmo para implementação digital é dado por:

$$y_v[n] = 0,0098x_v[n-2] - 2,39e^{-5}x_v[n-1] + 0,0098x_v[n] - 0,987y_v[n-2] + 1,987y_v[n-1] \quad (103)$$

O diagrama do conversor controlado é ilustrado na Figura 43a. A simulação é realizada para a entrada de degraus consecutivos no valor de referência de tensão. A resposta na tensão de saída e na corrente de saída são apresentados na Figura 43b e na Figura 43c.

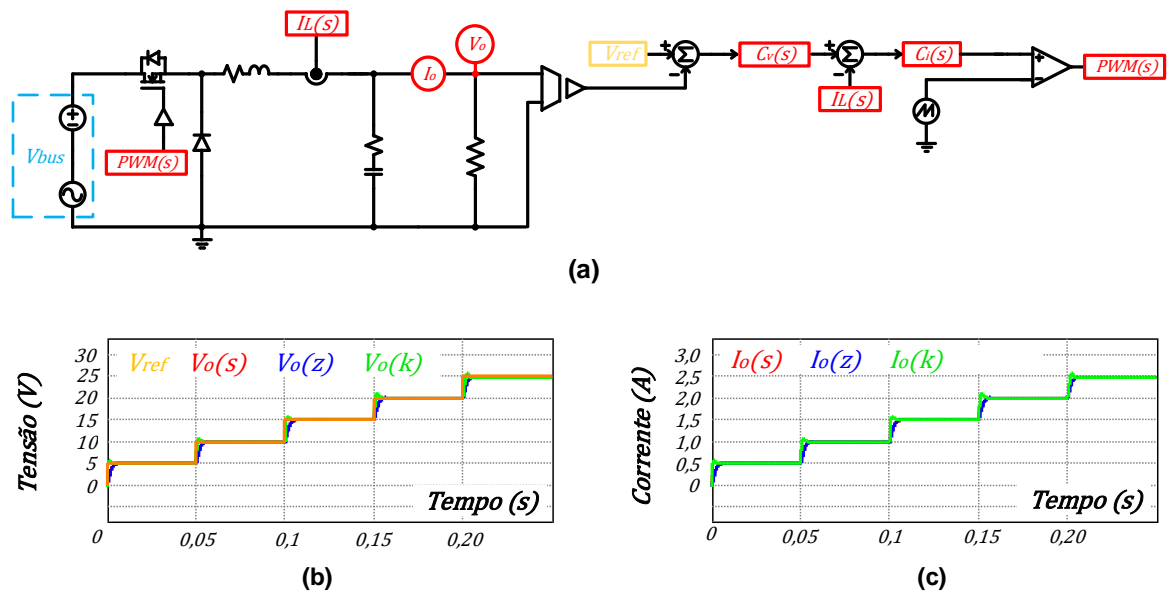


Figura 43 – Simulação em fechada do controle de corrente: (a) diagrama de bode; (b) resposta ao degrau unitário.

Fonte: Autoria própria, (2018).

3.4.3 Controle automático

O controlador automático é implementado via algoritmo. A cada ciclo de processamento, uma comparação é realizada entre a corrente medida e seu valor de referência. Caso o valor de referência de corrente seja superior ao valor medido, então a malha interna utilizará a ação de controle da malha externa como valor de referência. Caso contrário, o valor utilizado pela malha interna será o valor pré-ajustado como referência. Para simular o controlador digital, o script apresentado no Quadro 2 é adicionado no *script* do controlador de corrente.

O fluxograma de controle é apresentado pela Figura 44. O controlador automático é simulado com a ferramenta *Cblock* disponível no software Psim®. As formas de onda de tensão de saída e de corrente de saída são apresentadas Figura 45. Uma entrada de carga é programada para solicitar um aumento de corrente que leve à transição automática entre os dois modos de operação. Pode-se observar que no momento da entrada de carga, a tensão de saída diminui proporcionalmente à resistência, enquanto a corrente de saída passa a ser regulada para não exceder o valor pré-ajustado como limite.

Quadro 2 – Script para controle de corrente com a ferramenta Cblock.

```
Vref=in[2];
Vmed=in[3];
ev0=(Iref-Imed);

yv0=(bv0*ev0+bv1*ev1+bv2*ev2+bv3*ev3-(av1*yv1+av2*yv2+av3*yv3));

if (yv0<0)
yv0=0;
else {
if (yv0>Satv)
yv0=Satv;
}

if (IRef>Imed)
e0=yv0-Imed;
else {
e0=Iref-Imed;
}
```

Fonte: Autoria própria, (2018).

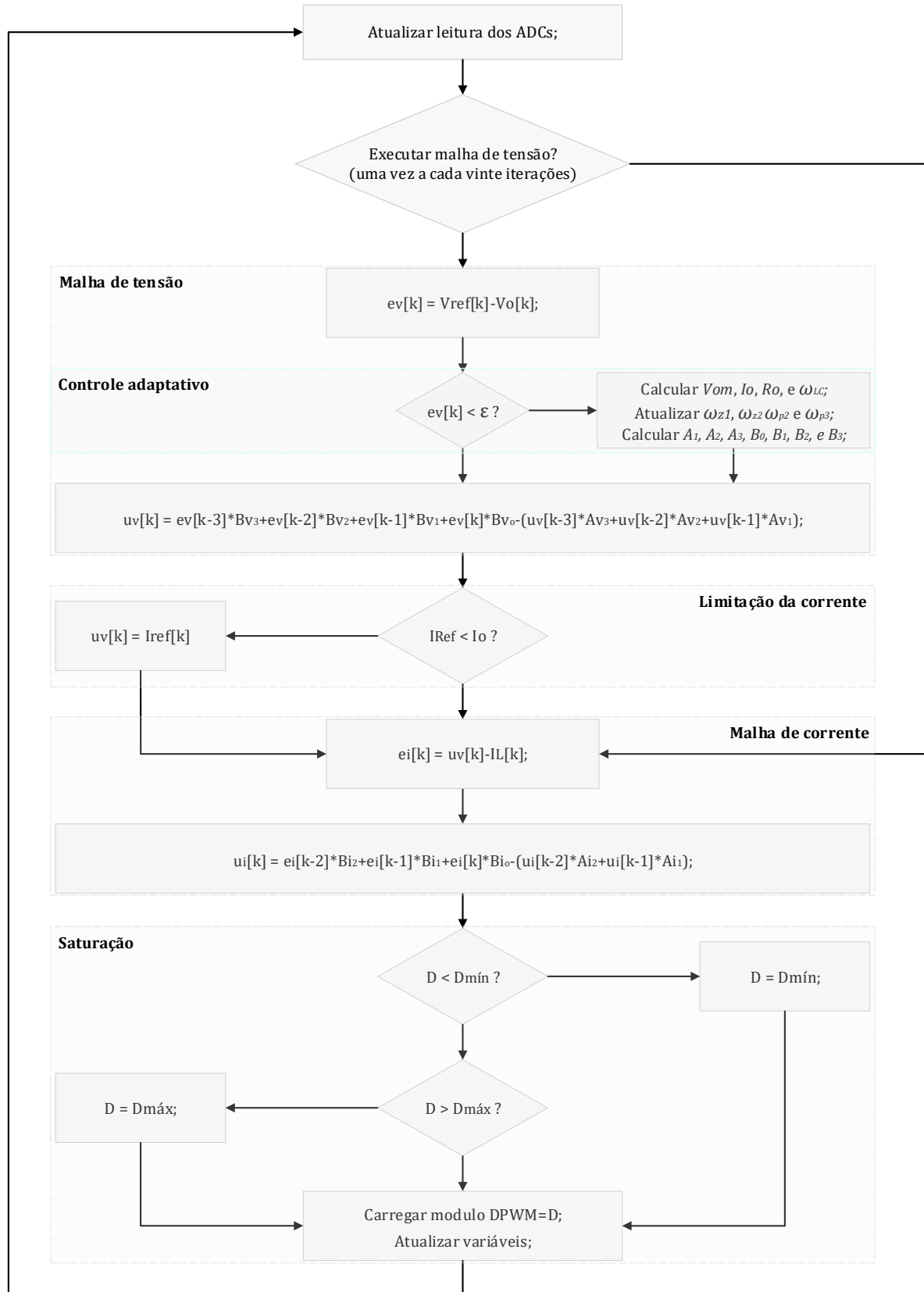


Figura 44 – Fluxograma de controle.
Fonte: Autoria própria, (2018).

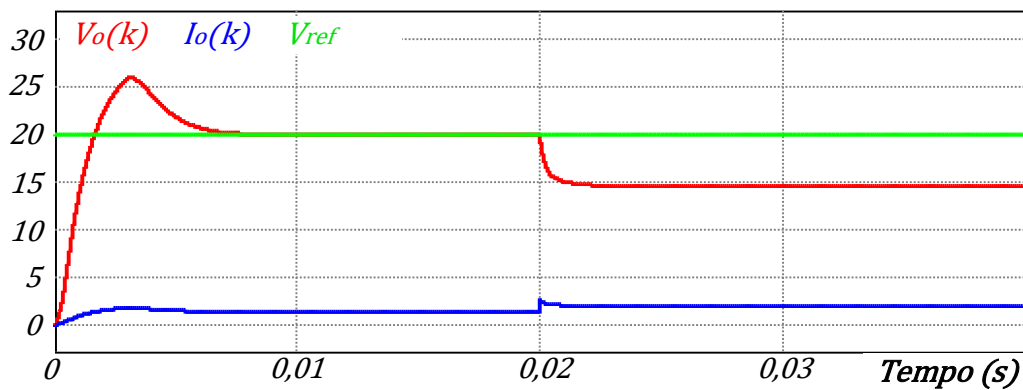


Figura 45 – Simulação do controle automático.
 Fonte: Autoria própria, (2018).

Os resultados obtidos neste capítulo indicam que é possível implementar o controle automático com o conversor *buck*. As simulações realizadas comprovam a possibilidade de projetar os conversores no domínio contínuo e então fazer as transformações para representá-los no domínio discreto. As equações apresentadas para determinar o valor de cada coeficiente, podem ser aplicadas diretamente a partir das informações obtidas no domínio contínuo. Deste modo, o conhecimento adquirido neste capítulo serve como auxílio para a implementação da fonte chaveada, discutida no capítulo a seguir.

4 IMPLEMENTAÇÃO DO PROTÓTIPO E RESULTADOS EXPERIMENTAIS

A análise apresentada no capítulo anterior serve como referência para a implementação da fonte chaveada em placas de circuito impresso (PCI). Os valores obtidos no dimensionamento dos componentes precisam ser aproximados para valores disponíveis comercialmente. Além disso, é necessário determinar os demais dispositivos que fazem parte da fonte, tendo como exemplo o MOSFET, os diodos, os amplificadores operacionais e assim por diante. Um osciloscópio Tektronix® é utilizado para coletar os dados de desempenho da fonte chaveada. O controle automático é verificado experimentalmente para a variação de carga. Os resultados obtidos possibilitam fazer algumas constatações sobre o funcionamento da fonte, conforme é apresentado por este capítulo. Para a implementação da fonte são necessários alguns circuitos auxiliares, responsáveis pelo acionamento da chave e pela alimentação dos circuitos utilizados, que são discutidos a seguir.

4.1 CIRCUITOS AUXILIARES

O sinal PWM que aciona a chave semicondutora é gerado com o DSP STM32F407G. O sinal fornecido pelo dispositivo apresenta 3,3 V de amplitude à uma frequência de 50 KHz. Assim, é necessário que esse sinal seja amplificado para que a chave possa ser acionada. Para isso, o circuito *driver* apresentado pela Figura 46 é empregado com um optoacoplador 6N137, proporcionando isolamento entre o DSP e o MOSFET do conversor. Desse modo, duas amplitudes diferentes de tensão são solicitadas pelo circuito. Uma para energizar o optoacoplador e outra para ser utilizada na amplificação do sinal PWM. De acordo com as informações fornecidas nos *datasheets*, este optoacoplador pode operar na faixa de 4,5 V a 7,0 V e a tensão utilizada para acionar a chave deve ser superior à tensão gate-source V_{GS} . Desta forma, a alimentação do optoacoplador $V_{CC(opto)}$ pode ser derivada da alimentação do *driver*. Os resistores na entrada e na saída do *driver* são calculados pela Lei de Ohm,

e servem para estabelecer as amplitudes de corrente solicitadas pelo optoacoplador e pelo acionamento da chave.

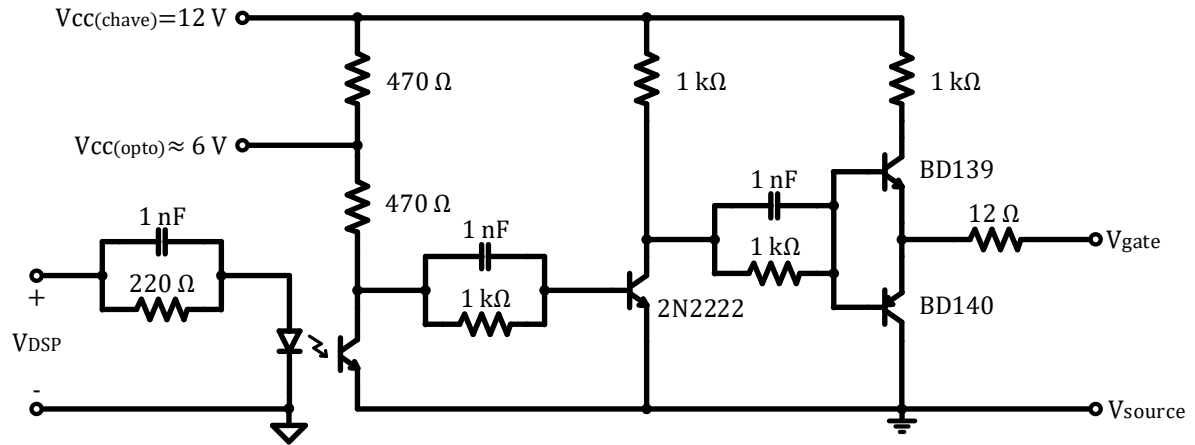


Figura 46 – Diagrama do circuito *driver*.
Fonte: Autoria própria, (2018).

Outro fator importante é a alimentação dos circuitos. O DSP deve ser energizado com uma tensão de 3,3 V. Os amplificadores operacionais utilizados nos circuitos de instrumentação são alimentados com +12 V e –12 V. Além disso, o sensor de corrente solicita uma tensão de 5 V para seu funcionamento, e uma tensão de –5 V é utilizada pelo circuito de instrumentação para eliminar o *offset* do sinal V_{IL} . Desse modo, a fonte auxiliar apresentada pela Figura 47 é empregada conforme sugere o *datasheet* dos reguladores de tensão da família LM78xx. Um diodo zener é utilizado para regular a tensão de 3,3 V para o DSP.

A interface com o usuário é providenciada com o uso de um *display* LCD 20x4 e dos resistores para ajuste de tensão e de corrente. O *display* é conectado nas portas de entrada e de saída do DSP conforme apresenta a Figura 48. Um potenciômetro é utilizado para ajustar o contraste do LCD. Para que o sistema de controle funcione corretamente, os circuitos ilustrados na imagem devem compartilhar a mesma referência.

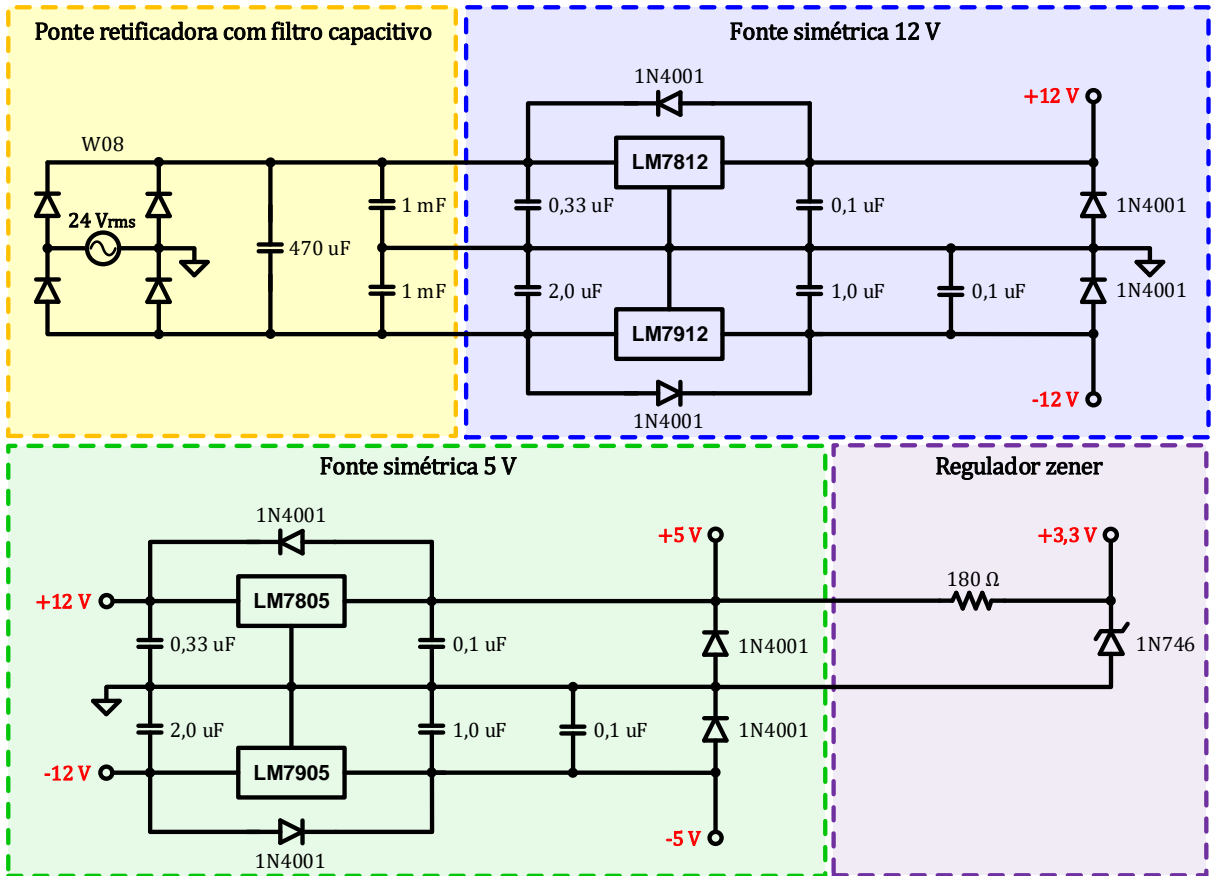


Figura 47 – Fonte de alimentação auxiliar.
 Fonte: Autoria própria, (2018).

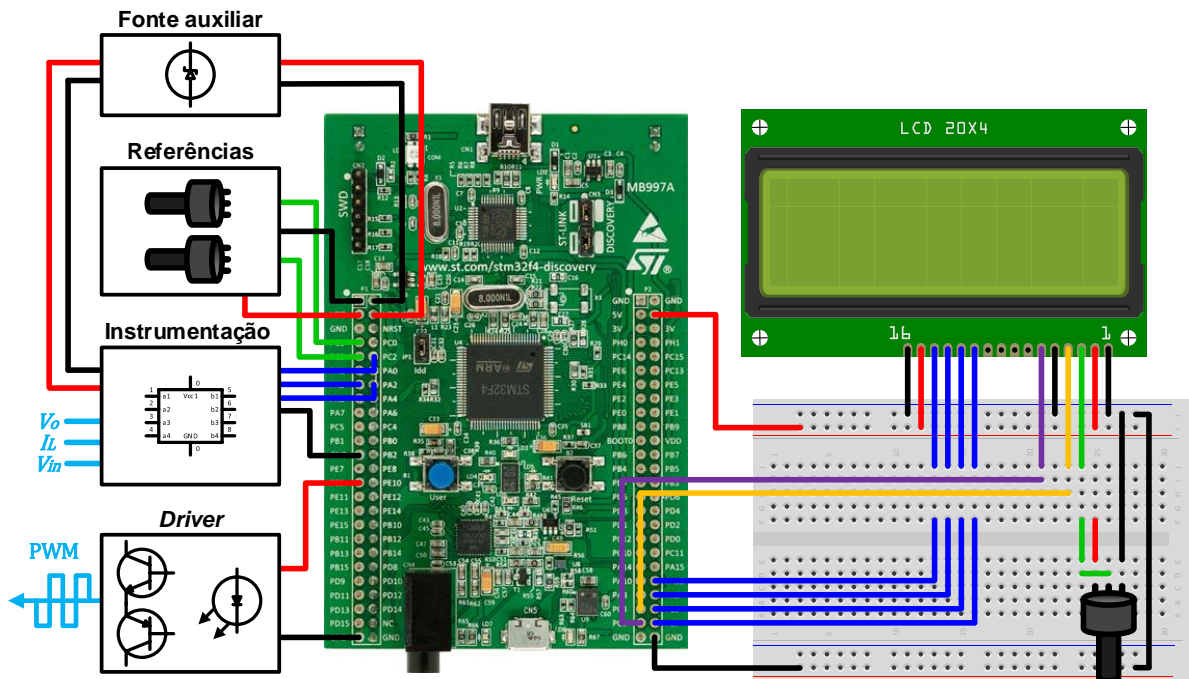


Figura 48 – Implementação do DSP STM32F407G.
 Fonte: Autoria própria, (2018).

4.2 DESENVOLVIMENTO DO PROTÓTIPO

Os projetos das placas são desenvolvidos com o auxílio do software Cadsoft Eagle®. A primeira versão do protótipo, apresentada na Figura 49a, foi implementada em placas de fenolite simples, em quais a dimensão do laminado especificada pelo fabricante corresponde à 0,5 oz. Essa informação é relevante para o projeto das placas dos circuitos de potência, que trabalham com amplitudes significativas de corrente. A resistência elétrica do cobre é relacionada com a área transversal do laminado e o comprimento das trilhas, para que seja possível determinar a largura mínima necessária para conduzir uma especificada quantidade de corrente.

Desse modo, foi possível verificar o desempenho do conversor em malha aberta e observar a relação do circuito de instrumentação com o circuito de potência. Em seguida, a placa ilustrada na Figura 49b foi utilizada para substituir o circuito de instrumentação da placa anterior. Na segunda placa foram adicionados o circuito de instrumentação de corrente e dois potenciômetros para ajuste manual dos valores de referência de tensão e de corrente. A terceira modificação no projeto é apresentada pela Figura 49c. Os resistores foram substituídos por trimpots, e os capacitores cerâmicos convencionais foram substituídos por capacitores de tântalo e eletrolíticos de baixa impedância. Foram adicionados reguladores de tensão para alimentar os amplificadores operacionais, e o *layout* foi desenvolvido para que o circuito fosse implementado em uma placa dupla-face.

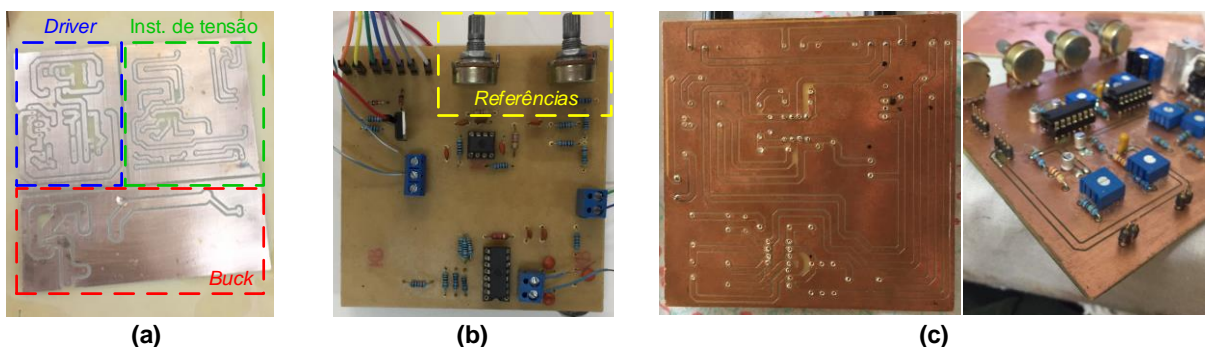


Figura 49 – Desenvolvimento do protótipo: (a) primeira versão do projeto; (b) circuitos de instrumentação de tensão e de corrente; (c) placa dupla-face.

Fonte: Autoria própria, (2018).

As placas representadas na Figura 49 foram confeccionadas com o processo de transferência térmica. Contudo, este método não é adequado para o caso da terceira placa, devido à necessidade de alinhamento entre os *layouts* superior e inferior. Além disso, é essencial que o lado superior apresente isolamento suficiente entre o cobre e os pontos de furação dos componentes utilizados no *layout* inferior. Assim, o protótipo final foi desenvolvido através do processo de foto transferência utilizando placas de fibra de vidro dupla-face, em quais a dimensão do cobre especificada como 1 *oz* foi utilizada como critério para especificar trilhas de 3,5 *mm* para os circuitos de potência. Este método possibilita melhoras significativas na qualidade das trilhas e oferece isolamento para o cobre. O protótipo final é ilustrado pela Figura 50a. O dissipador térmico e o *cooler* são utilizados para resfriamento da chave semicondutora. Para placa de testes foram utilizadas resistências de 5 *W* em paralelo conforme pode ser visualizado na Figura 50b. Assim, foram obtidas duas cargas de 90 *W* cada, que apresentaram resistências equivalentes à aproximadamente 13 Ω e 15 Ω .

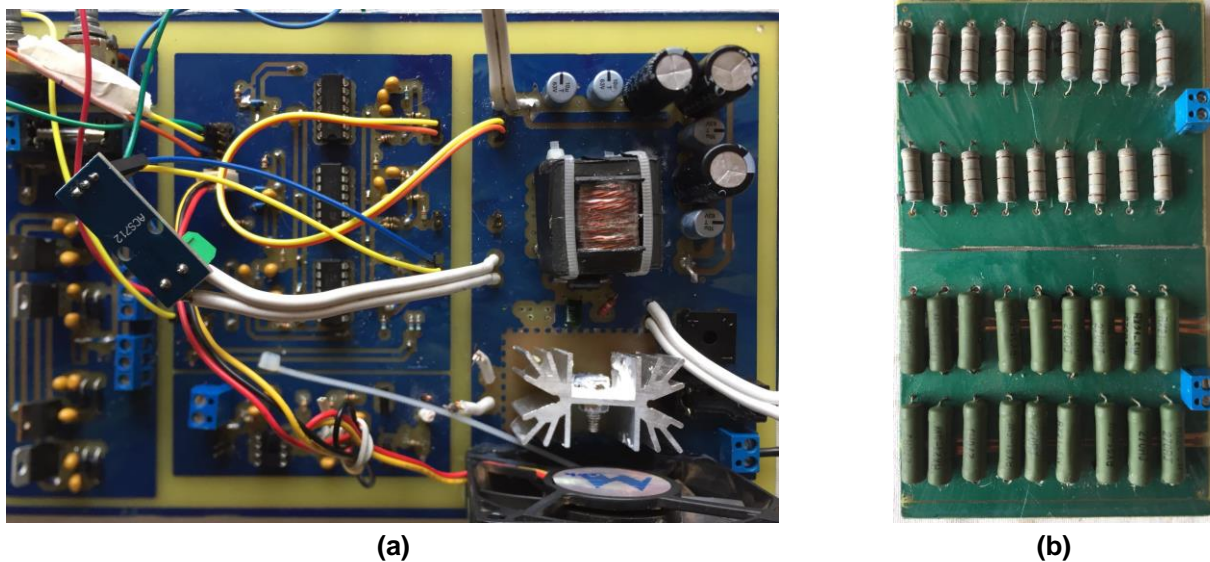


Figura 50 – Protótipo final: (a) fonte chaveada; (b) placas de carga.
Fonte: Autoria própria, (2018).

Os valores obtidos no dimensionamento dos componentes precisam ser aproximados para valores disponíveis comercialmente. Os retificadores de tensão são implementados por pontes retificadoras. Para os filtros capacitivos, são empregados capacitores cerâmicos e de tântalo em paralelo com capacitores eletrolíticos de baixa impedância, com o objetivo de reduzir a ESR resultante em cada banco de

capacitores. Também são utilizados capacitores de baixa impedância nas tensões de alimentação simétricas dos amplificadores operacionais, de modo a reduzir os ruídos nos circuitos de instrumentação. Para complementar a proteção contra sobrecarga e sobrecorrente proporcionada pela malha interna, são adicionados fusíveis na entrada dos circuitos retificadores. A Tabela 6 apresenta a lista de componentes utilizados na implementação do último protótipo da fonte chaveada.

Tabela 6 – Especificação dos componentes do protótipo.

Circuito	Especificação	Quantidade	Valor	
Retificador de tensão	Capacitor eletrolítico	3	1,0	mF
	Capacitor cerâmico	2	470,0	μF
	Ponte retificadora KBPC610	1	–	–
Conversor <i>buck</i>	MOSFET IRF530	1	–	–
	Diodo Schottky MBR 500	1	–	–
	Indutor	1	6,5	mH
	Capacitor eletrolítico	4	10,0	μF
	Capacitor de tântalo	4	10,0	μF
	Instrumentação de sinal ¹	Resistor R_x	2	100,0
Resistor R_y		2	12,0	$k\Omega$
Resistor R_1		2	1,5	$k\Omega$
Resistor R_2		2	2,2	Ω
Capacitor C_1		2	10,0	nF
Capacitor C_2		2	3,3	μF
Resistor R_1^*		1	1,0	$k\Omega$
Resistor R_2^*		1	280,0	Ω
Capacitor C_1^*		1	330,0	nF
Capacitor C_2^*		1	1,0	μF
Resistor R_{offset}		2	10,0	$k\Omega$
Resistor R_a		1	10,0	$k\Omega$
Resistor R_b		1	10,0	$k\Omega$
Resistor R_f		1	10,0	$k\Omega$
Resistor R_{inv1}		1	10,0	$k\Omega$
Resistor R_{inv2}		1	62,0	$k\Omega$
Resistor R_z		3	100,0	Ω
Diodo zener 1N746		3	–	–
Resistor $R_{pulldown}$		3	1,0	$k\Omega$
Sensor ACS712		1	–	–
CI TL084	3	–	–	
Capacitores <i>bypass</i>	6	100	nF	

Fonte: Autoria própria, (2018).

¹ Os resistores R_1^* e R_2^* e os capacitores C_1^* e C_2^* se referem ao filtro utilizado na instrumentação do sinal de tensão no barramento.

4.3 CONVERSOR *BUCK* EM MALHA ABERTA

O conversor *buck* é inicialmente acionado em malha aberta com uma razão cíclica $D = 0,5$ para alimentar a carga de 15Ω , utilizando um MOSFET IRF540. Contudo, essa chave apresentou interferências significativas em seu funcionamento, dificultando as medições dos sinais de tensão e de corrente. Desse modo, o MOSFET IRF540 foi substituído pelo IRF530 e um circuito *snubber* RC foi utilizado afim de reduzir o estresse na chave. O *snubber* foi implementado com um resistor $R_{snubber} = 2,2 k\Omega$ e um capacitor $C_{snubber} = 1 nF$. Outro fator que influencia significativamente a operação do conversor é a qualidade da energia disponível no laboratório. Desse modo, utilizou-se uma fonte estabilizada para alimentar o circuito de forma isolada à rede. Um osciloscópio Tektronix® é utilizado para verificar as formas de onda da tensão de entrada e da tensão de saída no conversor *buck*. O resultado obtido é ilustrado na Figura 51.

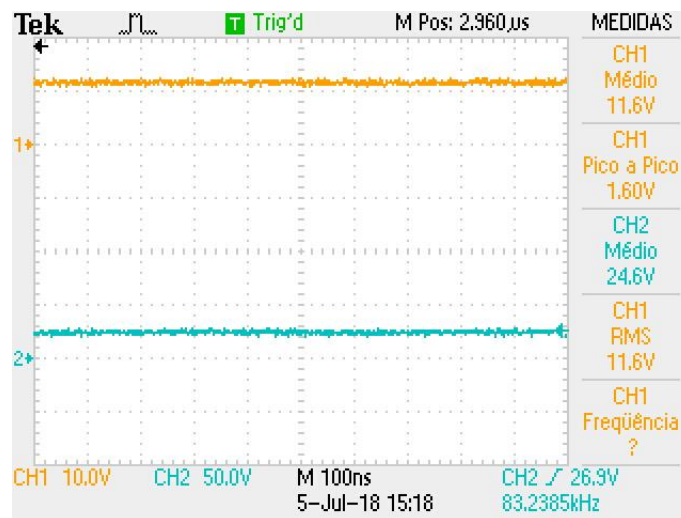


Figura 51 – Formas de onda da tensão de entrada e da tensão de saída do conversor *buck* em malha aberta.

Fonte: A autoria própria, (2018).

Para que cada variável seja quantificada corretamente pelo DSP, é necessário determinar qual é o ganho resultante entre determinada variável e sua representação no ADC. Desta forma, o osciloscópio foi utilizado para verificar o valor de leitura do ADC em relação ao real valor da tensão de saída, conforme apresenta a Figura 52. Desse modo, o circuito de instrumentação estabeleceu uma amplificação que reduziu o sinal no ADC para aproximadamente 10 % do valor real da variável.

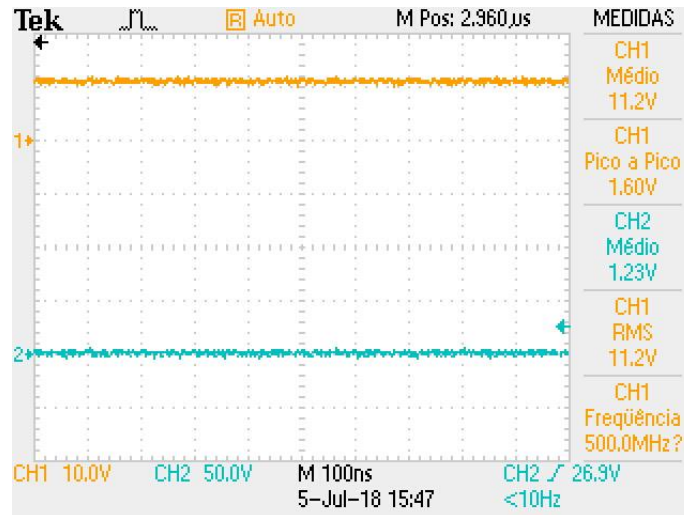


Figura 52 – Formas de onda da tensão de saída V_o do conversor buck e do sinal de leitura da tensão de saída no ADC $V_{ADC(V_o)}$.
Fonte: Autoria própria, (2018).

Da mesma forma, para representar corretamente a corrente no indutor, o valor real da corrente foi relacionado com seu respectivo sinal de leitura no ADC. Uma vez que a corrente média no indutor é igual a corrente de saída, o valor médio da corrente foi calculado relacionando a carga com a tensão de saída. De acordo com a Figura 53, uma tensão de 892 mV é gerada pelo circuito de instrumentação de corrente para representar uma amplitude de $0,73\text{ A}$ medida pelo sensor ACS712, de forma que o sinal $V_{ADC(I_L)}$ corresponde à aproximadamente 120 % do real valor da corrente I_L .

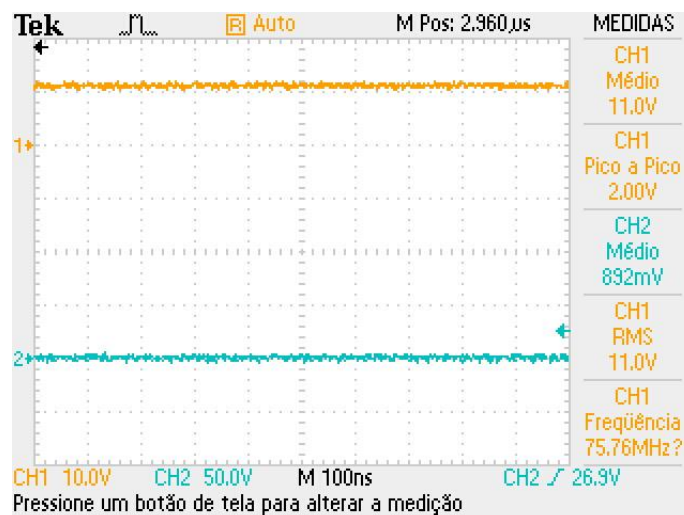


Figura 53 – Formas de onda da tensão de saída V_o do conversor buck e do sinal de leitura da corrente do indutor no ADC $V_{ADC(I_L)}$.
Fonte: Autoria própria, (2018).

4.4 CONTROLE AUTOMÁTICO

Os conversores ADC são utilizados com uma resolução de 12 bits. Os ganhos referentes ao ajuste de amplitude e à quantização no ADC são utilizados para determinar o ganho no sinal PWM para a resolução de 16 bits.

Para verificar o funcionamento do controle automático, uma entrada de carga é provocada nos terminais de saída do conversor. Desse modo, a referência de corrente é limitada em 1 A, ao mesmo tempo em que a referência de tensão é ajustada em 15 V. Um resistor shunt de 1,2 Ω é utilizado para medir o sinal de corrente com o osciloscópio. Assim, no primeiro instante representado pela Figura 54, o conversor alimenta a carga de 15 Ω com uma tensão regulada. No momento em que a segunda carga é conectada, ocorre a transição entre os modos de operação e a tensão de saída cai aproximadamente 30 %, de modo a possibilitar que a fonte forneça uma corrente regulada para a carga. Quando a carga é desconectada, ocorre novamente a transição entre os modos de operação e a fonte volta a fornecer uma tensão regulada para a carga.

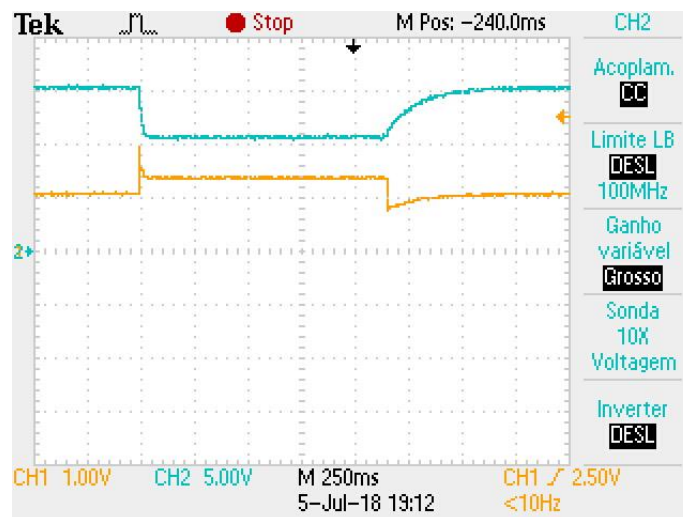


Figura 54 – Transição entre os modos de operação.
Fonte: Autoria própria, (2018).

Observando a Figura 54, é possível notar que a malha interna responde rapidamente à entrada de carga. Além disso, pode-se verificar no segundo transitório, que a malha externa apresenta uma resposta semelhante uma resposta de primeira ordem. Isso ocorre porque a função de transferência para controle da tensão de saída

pela corrente no indutor apresenta apenas um polo, e está de acordo com as respostas de tensão e de corrente obtidas no projeto do controle automático. Para isso, é fundamental que as variáveis sejam representadas corretamente no DSP. A desvantagem deste método de controle deve-se à dependência apresentada pela malha interna ao valor da carga. Uma vez que as referências são ajustáveis e a carga é um parâmetro variável, diferentes pontos de operação podem ser estabelecidos no funcionamento da fonte. Uma modificação no modelo da planta, conseqüentemente causaria uma alteração no projeto dos controladores. Para outras características de resposta, o dimensionamento dos controladores resultaria em outros conjuntos de coeficientes. Uma solução seria o uso do controle adaptativo. As equações especificadas para cálculo destes coeficientes podem ser implementadas no DSP. Desse modo, elas podem ser implementadas no DSP para calcular automaticamente novos coeficientes quando o ponto de operação for alterado.

5 CONCLUSÃO E SUGESTÃO PARA TRABALHOS FUTUROS

A expansão tecnológica durante as últimas décadas tem aumentado a quantidade de aplicações em que são empregadas a energia elétrica. A evolução dos dispositivos eletrônicos e semicondutores tem possibilitado a fabricação de circuitos cada vez mais sofisticados, que solicitam a energização em CC e em diferentes amplitudes de tensão. Como resultado, a eletrônica de potência tem se desenvolvido para possibilitar que a conversão de potência seja integrada junto aos equipamentos. A redução do espaço ocupado e o aumento do desempenho dos conversores são dois fatores de grande influência na fabricação de fontes de alimentação. Isso levou à substituição de fontes lineares por fontes chaveadas, que apresentam a vantagem na maneira em que a chave semicondutora é empregada.

As fontes chaveadas podem ser implementadas através de diferentes topologias. Uma maneira simples para a conversão CA-CC é obtida com o uso de uma ponte retificadora. Contudo, este método resulta em um elevado conteúdo harmônico na tensão de entrada, tornando-se inviável em grande parte das aplicações. O uso de filtros é um dos recursos para reduzir este problema. Para um trabalho futuro, sugere-se o desenvolvimento de um pré-regulador de fator de potência. Além disso, alguns circuitos da fonte desenvolvida precisam ser alimentados com uma fonte auxiliar, tornando atrativo o uso de um conversor isolado, de modo a possibilitar que a alimentação auxiliar seja produzida pelo próprio conversor. Desta forma, o transformador de entrada pode ser dispensado, reduzindo o peso e o volume do protótipo.

O conversor *buck* apresenta a vantagem de simplicidade para projeto. Porém, nos casos em que a alimentação do conversor não é feita por uma tensão regulada, as limitações e dificuldades para regulação são aumentadas. Para valores consideráveis de ESR, a maior parcela da ondulação na tensão sobre o capacitor deve-se à própria resistência do capacitor. Melhoras significativas podem ser obtidas na regulação de tensão com o uso de capacitores de baixa impedância. O uso de tais capacitores influencia na escolha do método de compensação. Valores mais baixos de impedância resultam em valores mais altos para o zero gerado pela ESR do capacitor. Desse modo, compensadores com maior número de polos e zeros podem ser necessários para compensar o par de polos do filtro LC e o zero em alta

frequência. Além disso, teoricamente o aumento da frequência de chaveamento é uma grande vantagem, pois possibilita projetar o filtro LC e os controlares para trabalhar com frequências de corte mais altas, o que conseqüentemente resultaria em respostas mais rápidas, com componentes que ocupam um menor espaço físico. Porém, na prática existem adversidades que limitam a frequência de chaveamento. A principal delas é a interferência produzida pela chave, que resulta em harmônicos de alta frequência. Essa interferência precisa ser eliminada, caso contrário é improvável que o circuito de controle funcione de forma adequada. Além disso, a chave semicondutora é submetida a esforços consideráveis, que diminuem a vida útil do componente. Em resposta a este problema, um circuito *snubber* pode ser utilizado.

Uma simplificação no projeto de controle é alcançada com o uso de duas malhas. A malha de tensão é utilizada como referência para a malha de corrente. A principal vantagem deve-se ao fato que a malha de corrente proporciona proteção contra sobrecarga e sobrecorrente. Um dos métodos para limitar a corrente é a saturação da ação de controle da malha externa. Uma vez que a corrente média no indutor é igual a corrente de saída do conversor, o ajuste de corrente determina o ponto de transição entre os modos de operação. Uma segunda vantagem é apresentada por este método, por não apresentar oscilações sub-harmônicas para razões cíclicas maiores que 50 %. Por outro lado, o sensor de corrente poderia ser dispensado com o uso do controle pela corrente de pico. Uma vez que a variação de corrente no indutor depende da tensão sobre ele, medições na tensão de entrada e na tensão de saída do conversor podem ser utilizadas para estimar o valor da corrente.

Uma vez que as fontes de bancada devem apresentar uma regulação eficaz em diferentes pontos de operação, o sistema de controle precisa ser capaz de adaptar a compensação de acordo com cada situação. O sistema de controle desenvolvido foi configurado para controlar uma situação específica e não é capaz de regular o conversor dentro de toda a faixa de operação. Essa mesma configuração de controle em cascata pode ser utilizada para implementar o controle adaptativo. Com o uso das equações apresentadas, para o cálculo dos coeficientes dos controladores, o DSP pode ser configurado para determinar novos coeficientes de forma automática. Neste trabalho foi possível observar que o valor da carga interfere no amortecimento da resposta. Muitos projetos analisados durante o estudo sugerem o controle de cargas leves com frequência de chaveamento variável. Outra sugestão para trabalho futuro é a implementação do controle adaptativo. Uma opção interessante para

trabalhar com pontos de operação variáveis é o controle em modo deslizante. Esta técnica de controle pode ser implementada na malha interna e resulta em um desempenho consideravelmente superior ao controlador utilizado por este trabalho. O controle em modo deslizante é útil para trabalhar com parâmetros indeterminados e apresenta bom desempenho com cargas leves. Assim, um sistema de controle pode ser desenvolvido para possibilitar a transição entre o controle por frequência de chaveamento fixa e por frequência de chaveamento variável.

Em relação ao uso do controlador digital, pode-se concluir que apesar da facilidade para determinar os cálculos do sistema de controle, o DSP precisa ser configurado para trabalhar nas condições de operação desejadas, sendo este um fator que apresenta maior complexibilidade. Além disso, é fundamental que as variáveis sejam representadas corretamente após a leitura no ADC, caso contrário, a razão cíclica calculada não será proporcional ao erro medido. Também foi possível observar a susceptibilidade do sensor ACS712 ao ruído. Devido à sensibilidade do sensor, pequenas interferências resultam em desvios significativos no sinal medido. Além disso, ao amplificar o sinal de corrente para que o sinal do sensor seja representado na mesma escala do ADC, também são amplificadas as interferências já presentes no sinal.

REFERÊNCIAS

ABDELRAHMAN, Ahmed. **DESIGN OF HIGH FREQUENCY TRANSFORMER FOR SWITCH MODE POWER SUPPLY**. Omdurman: International Conference On Computing, Control, Networking, Electronics And Embedded Systems Engineering, 2015.

AHMED, Ashfaq. **Eletrônica de Potência**. São Paulo: Prentice Hall, 2000.

BILLINGS, Keith; MOREY, Taylor. **SWITCHMODE POWER SUPPLY HANDBOOK**. 3. ed. New York: The Mcgraw-hill Companies, 2011.

BOYLESTAD, Robert. **INTRODUÇÃO À ANÁLISE DE CIRCUITOS**. 12. ed. São Paulo: Pearson, 2012.

BARBI, Ivo. **Eletrônica de Potência: Projetos de fontes chaveadas**. Florianópolis: Edição do Autor, 2001.

BARBI, Ivo. **Eletrônica de Potência: Conversores CC-CC básicos não isolados**. 2. ed. Florianópolis: Editora dos Autores, 2006. 377 p.

BARBI, Ivo. **ELETRÔNICA DE POTÊNCIA**. 6. ed. Florianópolis: Edição do Autor, 2006.

Basso, C. P., **Switch-Mode Power Supplies: SPICE Simulations and Practical Designs**, McGraw Hill Inc., 2008.

BERGER, Andreas. **Universal Digital Sliding Mode Control for DC-DC Converters**. Klagenfurt:

CARATI, Emerson G. **Controle digital**: Notas de aula. 08 ago. 2016, 13 dez. 2016.

CHEN, Hsin Chuan. A Counter-Based DPWM Device with Resolution Extension. **Applied Mechanics And Materials**, [s.l.], v. 145. p.593-597, dez. 2011. Trans Tech Publications. <http://dx.doi.org/10.4028/www.scientific.net/amm.145.593>.

CHEN, Chih-hung et al. **Modeling of Digitally-Controlled Voltage-Mode DC-DC Converters**. Iecon 2007 - 33rd Annual Conference Of The Ieee Industrial Electronics Society, p.2005-2009, 2007. IEEE. <http://dx.doi.org/10.1109/iecon.2007.4460043>.

CHEN, Ni et al. **Analysis of Improved Digital Peak Voltage Control Buck Converter with Different DPWM Modulations**. 2007 Ieee International Symposium On Industrial Electronics, p.656-660, jun. 2007. IEEE. <http://dx.doi.org/10.1109/isie.2007.4374674>.

CHO, Hyoung Y. **Peak-Current-Mode-Controlled Buck Converter with Positive Feedforward Control**. Columbia: Ieee, 2009.

H. Choi, "Practical feedback loop design considerations for switched mode power supplies," Fairchild Semiconductor Power Seminar, 2011.

DOLIYA, Deepali. **Feedback and feedforward control of buck converter with parasitics**. 2017 2nd Ieee International Conference On Recent Trends In Electronics, Information & Communication Technology (rteict), [s.l.], p.471-475, maio 2017. IEEE. <http://dx.doi.org/10.1109/rteict.2017.8256641>.

ERICKSON, Robert W. **Fundamentals of Power Electronics**. 2. ed. New York: Kluwer Academic Publishers, 2004.

ERICKSON, Robert W. **Fundamentals of power electronics**. New York: Chapman & Hall, 1997.

EXCELSYS TECHNOLOGIES LIMITED. **Ripple & Noise Measurements**: Application Note – AN1105. Little Island: Editora, 2017. 3 p. (E01.R00).

FANG, Wei et al. **A Digital Parallel Current-Mode Control Algorithm for DC–DC Converters**. Ieee Transactions On Industrial Informatics, [s.l.], v. 10, n. 4, p.2146-2153, nov. 2014. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tii.2014.2358455>.

FIGUERES, E. et al. **Adaptive two-loop Voltage-mode control of DC-DC switching converters**. Ieee Transactions On Industrial Electronics, [s.l.], v. 53, n. 1, p.239-253, fev. 2006. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tie.2005.862254>.

FREITAS, Alexandre Andrade Luiz de et al. **CONVERSOR DUPLO FORWARD PWM A DUAS CHAVES PRINCIPAIS E DUAS CHAVES AUXILIARES COM COMUTAÇÃO SUAVE**. XVIII Congresso Brasileiro de Automática, Bonito, p.3093-3098, 12 set. 2010.

FU, Chao. **Digitally Controlled Average Current Mode Buck Converter**. 2011. 60 f. Dissertação (Mestrado) - Curso de Electrical Engineering, Arizona State University, Tempe, 2011.

GHOSH, Arnab; BANERJEE, Subrata. Design and implementation of Type-II compensator in DC-DC switch-mode step-up power supply. **Proceedings Of The 2015 Third International Conference On Computer, Communication, Control And Information Technology (c3it)**, [s.l.], 7 fev. 2015. IEEE. <http://dx.doi.org/10.1109/c3it.2015.7060164>.

GUO, Liping. **DESIGN AND IMPLEMENTATION OF DIGITAL CONTROLLERS FOR BUCK AND BOOST CONVERTERS USING LINEAR AND NONLINEAR CONTROL METHODS**. Auburn, 2006.

HAGEN, M.; YOUSEFZADEH, V. **Applying digital technology to PWM control-loop designs**. Disponível em: <<http://www.ti.com/download/trng/docs/seminar/>>. Acesso em: 10 fev. 2018.

HALLWORTH, Michael; SHIRSAVAR, Seyed Ali. **Microcontroller-Based Peak Current Mode Control Using Digital Slope Compensation**. Ieee Transactions On Power Electronics, [s.l.], v. 27, n. 7, p.3340-3351, jul. 2012. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2011.2182210>.

HART, Daniel W. **POWER ELECTRONICS**. New York: Mcgraw-hill, 2011.

JACINTO, Bruno; SANTOS, Marcelino. **Digital Sliding Mode Control with non-linear ADC**. 2015 Conference On Design Of Circuits And Integrated Systems (dcis), [s.l.], p.1-6, nov. 2015. IEEE. <http://dx.doi.org/10.1109/dcis.2015.7388609>.

KALLANNAVAR, Deepak Vasant; PREMA, V.; SHANKAR, Ganesh. Power supply for smart meters. **2017 International Conference On Smart Grids, Power And Advanced Control Engineering (icspace)**, [s.l.], p.69-74, 17 ago. 2017. IEEE. <http://dx.doi.org/10.1109/icspace.2017.8343408>.

KARKI, Jim. **Active Low-Pass Filter Design**. Dallas: Texas Instruments Incorporated, 2002.

KONDRATH, N.; KAZIMIERCZUK, M.k.. Control current and relative stability of peak current-mode controlled pulse-width modulated dc–dc converters without slope compensation. **IET Power Electronics**, [s.l.], v. 3, n. 6, p.936-946, 4 nov. 2010. Institution of Engineering and Technology (IET). <http://dx.doi.org/10.1049/iet-pel.2009.0352>.

KONDRATH, N.; KAZIMIERCZUK, M. K. **Comparison of Wide- and High-Frequency Duty-Ratio-to-Inductor-Current Transfer Functions of DC–DC PWM Buck Converter in CCM**. Ieee Transactions On Industrial Electronics, [s.l.], v. 59, n. 1, p.641-643, jan. 2012. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tie.2011.2134053>.

KONDRATH, N.; KAZIMIERCZUK, M. K. **Control-to-output transfer function of peak current-mode controlled PWM DC–DC boost converter in CCM.** Electronics Letters, [s.l.], v. 47, n. 17, p.991-993, 2011. Institution of Engineering and Technology (IET). <http://dx.doi.org/10.1049/el.2011.1011>.

KONDRATH, Nisha; KAZIMIERCZUK, Marian K. **Control-to-output transfer function including feed-forward gains of peak current-mode controlled PWM DC-DC converters in CCM.** Iecon 2013 - 39th Annual Conference Of The Ieee Industrial Electronics Society, p.578-583, nov. 2013. IEEE. <http://dx.doi.org/10.1109/iecon.2013.6699199>.

KONDRATH, Nisha; KAZIMIERCZUK, Marian K. **Output impedance of peak current-mode controlled PWM DC-DC converters with only inner loop closed in CCM.** Iecon 2014 - 40th Annual Conference Of The Ieee Industrial Electronics Society, [s.l.], p.1679-1685, out. 2014. IEEE. <http://dx.doi.org/10.1109/iecon.2014.7048728>.

KONDRATH, Nisha; KAZIMIERCZUK, Marian K. **Slope compensation and relative stability of peak current-mode controlled PWM dc-dc converters in CCM.** 2013 Ieee 56th International Midwest Symposium On Circuits And Systems (mwscas), [s.l.], p.477-480, ago. 2013. IEEE. <http://dx.doi.org/10.1109/mwscas.2013.6674689>.

KUGELSTADT, Thomas. **Active Filter Design Techniques:** Literature Number: SLOD006A. Dallas: Texas Instruments Incorporated, 2008.

KUMAR, V Inder; KAPAT, Santanu. **Mixed-signal hysteretic internal model control of buck converters for ultra-fast envelope tracking.** 2016 Ieee Applied Power Electronics Conference And Exposition (apex), [s.l.], v. -, n. -, p.3224-2330, mar. 2016. IEEE. <http://dx.doi.org/10.1109/apex.2016.7468327>.

LI, Jian et al. High Resolution Digital Duty Cycle Modulation Schemes for Voltage Regulators. **Apec 07 - Twenty-second Annual Ieee Applied Power Electronics Conference And Exposition,** [s.l.], p.1-6, 25 fev. 2007. IEEE. <http://dx.doi.org/10.1109/apex.2007.357617>.

LI, Ruqi et al. **Small-signal characterization of synchronous buck converters under light load conditions.** 2015 Ieee Energy Conversion Congress And Exposition (ecce), p.193-200, set. 2015. IEEE. <http://dx.doi.org/10.1109/ecce.2015.7309688>.

LIAN, Xin-xiang; CHEN, Chao-chyun; WEY, I-chyn. **The discrete-time model of the small signal compensator of the buck converter.** 2014 Ieee International Conference On Communication Problem-solving, [s.l.], p.219-222, dez. 2014. IEEE. <http://dx.doi.org/10.1109/iccps.2014.7062257>.

LUNELLI, Giuseppe Felipe. **Projeto e Implementação De Conversores CFP Com Controle De Corrente Aplicados a Lâmpadas Led De Iluminação Pública**. 2016. 98f. Trabalho de Conclusão de Curso – Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Pato Branco, 2016.

MALVINO, Albert. **Eletrônica I**. 7. ed. Porto Alegre: Amgh, 2011.

MOHAMMAD KAMIL. **Switch Mode Power Supply (SMPS) Topologies (Part I)**: AN1114. Usa: Microchip Technology Inc., 2007.

MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P.. **Power electronics: converters, applications, and design**. 2. ed. Minneapolis: John Wiley & Sons, Inc., 1995. 802 p.

MOHAN, Ned. **POWER ELECTRONICS AND DRIVES**. Minneapolis: Mnpere, 2003.

MISHRA, Santanu K.; NGO, Khai D. T. **Dynamic response optimization of the synthetic ripple modulator for a point-of-load converter with adaptive voltage positioning**. 2009 Compatability And Power Electronics, [s.l.], p.402-405, maio 2009. IEEE. <http://dx.doi.org/10.1109/cpe.2009.5156068>.

PENG, Hao; MAKSIMOVIC, D. Overload Protection in Digitally Controlled DC-DC Converters. **37th IEEE Power Electronics Specialists Conference**, [s.l.], v. , n. , p.1-6, 18 jun. 2006. IEEE. <http://dx.doi.org/10.1109/pesc.2006.1712131>.

POLEY, Richard; SHIRSAVAR, Ali. **Digital Peak Current Mode Control With Slope Compensation Using the TMS320F2803x**. Disponível em: <<http://www.ti.com/lit/an/sprabe7a/sprabe7a.pdf>>. Acesso em: 10 fev. 2018.

POLLOCK, H. **Simple constant frequency constant current load-resonant power supply under variable load conditions**. Electronics Letters, v. 33, n. 18, p.1505-1506, 28 ago. 1997. Institution of Engineering and Technology (IET). <http://dx.doi.org/10.1049/el:19971063>.

PRABHA, D. M., KUMAR, S. P., DEVADHAS, G. G., **Design and Robustness Analysis of a PID Based Sliding Mode Controller for a dc-dc Converter**. Research Journal of Applied Sciences, Engineering and Technology. Maxwell Scientific Organization,, 2012.

RAHMAN, Muhammad Saad. **Buck Converter Design Issues**. 2007. 104 f. Dissertação (Mestrado) - Curso de Electrical Engineering, Linköping University, Linköping, 2007.

RASHID, Muhammad H. **POWER ELECTRONICS HANDBOOK**. Orlando: Academic Press, 2001.

R. B. Ridley, **A new, continuous-time model for current-mode control**, IEEE Transactions on Power Electronics, vol. 6, no. 2, pp. 271-280, April 1991.

SAINI, Dalvir K.; REATTI, Alberto; KAZIMIERCZUK, Marian K. **Average current-mode control of buck dc-dc converter with reduced control voltage ripple**. Iecon 2016 - 42nd Annual Conference Of The Ieee Industrial Electronics Society, p.3270-3275, out. 2016. IEEE. <http://dx.doi.org/10.1109/iecon.2016.7793204>.

SAMPATH, Raghavan. **Digital Peak Current Mode Control of Buck Converter Using MC56F8257 DSC**: Application Note.: Freescale Semiconductor, Inc., 2013. (Document Number: AN4716). Rev. 1, 05/2013.

SHIRSAVAR, Ali. **Step-by-Step Design Guide for Digital Peak Current Mode Control: A Single-Chip Solution**. 2012. Disponível em: <http://www.ti.com/en/download/mcu/biricha_digital_application_note.pdf>. Acesso em: 10 fev. 2018.

SKVARENINA, Timothy L. **The Power Electronics Handbook**: Industrial Electronics Series. Boca Raton: Crc Press Llc, 2002.

SUN, J.; BASS, R.m.. Modeling and practical design issues for average current control. **Apec '99. Fourteenth Annual Applied Power Electronics Conference And Exposition. 1999 Conference Proceedings (cat. No.99ch36285)**, [s.l.], v. 1, n. 1, p.980-986, 14 fev. 1999. IEEE. <http://dx.doi.org/10.1109/apec.1999.750488>.

SURYANARAYANA, K et al. Analysis and modeling of digital peak current mode control. **2012 Ieee International Conference On Power Electronics, Drives And Energy Systems (pedes)**, [s.l.], 19 dez. 2012. IEEE. <http://dx.doi.org/10.1109/pedes.2012.6484451>.

TAEED, Fazel. **Adaptive Digital Current Mode Controller for DC-DC Converters**. Odense: Maersk Mc-kinney Moller Institute, 2015.

THEDE, Les. **PRACTICAL ANALOG AND DIGITAL FILTER DESIGN**.: Artech House, Inc., 2004.

YAN, Yingyi. **Equivalent Circuit Model for Current Mode Controls and Its Extensions**. 2013. 160 f. Tese (Doutorado) - Curso de Electrical Engineering, Virginia Polytechnic Institute And State University, Blacksburg, 2013.

WANG, Chao-ying et al. **A voltage-mode DC-DC buck converter with digital PID controller**. 2015 12th International Conference On Fuzzy Systems And Knowledge Discovery, p.2322-2326, 2015. IEEE. <http://dx.doi.org/10.1109/fskd.2015.7382315>.

APÊNDICE A – PROJETO FÍSICO DO INDUTOR

O projeto físico do indutor é utilizado para determinar o núcleo, o carretel e bitola do cabo que são necessários para sua construção. Na Figura 55 são ilustrados o núcleo e o carretel de ferrite do tipo EE. Vamos utilizar as variáveis A_e para determinar a área do núcleo e A_w para representar a área da janela do carretel.

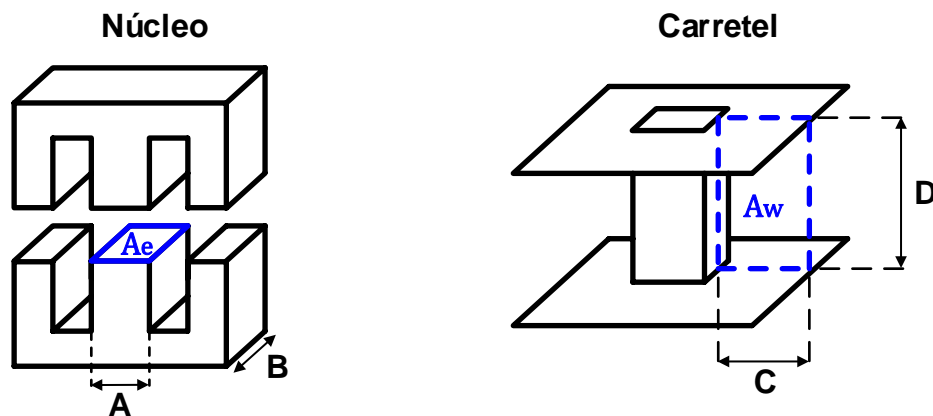


Figura 55 – Núcleo e carretel do tipo E.
Fonte: Barbi (2002).

A integral de linha da componente tangencial da intensidade de campo magnético H ao longo de um contorno fechado é igual à corrente total que passa através de qualquer superfície delimitada por esse contorno. A relação entre a força magnetomotriz \mathcal{F} que atua no circuito magnético e a intensidade de campo magnético neste contorno é (FITZGERALD, 2006):

$$\mathcal{F} = Ni = \oint H dl . \quad (104)$$

Quando um campo magnético varia no tempo, produz um campo elétrico no espaço de acordo com a Lei de Faraday:

$$\oint E \cdot ds = - \frac{d}{dt} \int B \cdot da . \quad (105)$$

Assumindo que o fluxo que predomina é o fluxo do núcleo Φ e que em enrolamentos de alta condutividade elétrica, o campo E é extremamente pequeno no

fiio, a tensão e pode ser expressa em função da quantidade N de vezes que o fluxo é concatenado (FIZGERALD, 2006):

$$e = N \frac{d\phi}{dt}. \quad (106)$$

A relação entre a intensidade de campo magnético H e a densidade de fluxo magnético B é uma propriedade do material em que se encontra o campo magnético. Costuma-se supor uma relação linear. Assim (FIZGERALD, 2006):

$$B = \mu H. \quad (107)$$

Foi apresentado no Capítulo 2, que a tensão sobre o indutor $v_L = L(di/dt)$. Além disso, $\Delta\phi = A_e\Delta B$. Considerando que a corrente atinge seu valor máximo $I_{L(máx)}$ no mesmo momento em que $B = B_{máx}$ tem-se (BARBI, 2002):

$$N = L \frac{I_{L(máx)}}{B_{(máx)}A_e}. \quad (108)$$

Para determinar uma razão entre a área ocupada pelos enrolamentos e a área da janela, vamos definir $k_w = A_p/A_w$ como o fator de ocupação do cobre dentro do carretel, no qual A_p representa a área transversal do cobre. Além disso, a máxima densidade de corrente $J_{(máx)} = NI_{L(rms)}/A_p$. Desse modo, a Equação 108 pode ser reescrita da seguinte forma (BARBI, 2002)²:

$$A_e A_w = \frac{L I_{L(máx)} I_{L(rms)}}{B_{(máx)} J_{(máx)} k_w} 10^4. \quad (109)$$

Em um circuito magnético, composto de material magnético de permeabilidade constante ou que inclua um entreferro dominante, a relação entre ϕ e i é linear e a indutância pode ser definida como $L = N/\mathcal{R}_{total}$, onde \mathcal{R}_{total} representa a relutância total do circuito. O fluxo concatenado do enrolamento $\lambda = N\phi$.

² O fator 10^4 foi inserido para ajuste de unidade em (cm^4).

Desprezando a relutância do núcleo, a altura do entre ferro l_g pode ser obtida por de acordo com Fitzgerald (2006)³:

$$l_g = \frac{N^2 \mu_0 A_e}{L} 10^{-2}. \quad (110)$$

Onde μ_0 é a permeabilidade do ar e \mathcal{R}_g é a relutância do entreferro.

A utilização de condutores em alta frequência deve levar em consideração o efeito *skin*. Conforme o aumento da frequência, os elétrons tendem a ocupar as bordas do condutor, limitando a área efetiva de condução. O valor de penetração é representado por $\Delta_{skin} = 7,5/\sqrt{f_s}$. Desta forma, o condutor não deve apresentar diâmetro superior a 2Δ . Em Barbi (2002), o a bitola S_{cond} necessária para conduzir a corrente é calculado por:

$$S_{cond} = \frac{I_{L(rms)}}{J_{(máx)}}. \quad (111)$$

Caso o diâmetro do condutor seja superior ao limite calculado, será necessário associar um número n_{cond} de condutores em paralelo. Representado por S_{skin} a área do condutor delimitada pelo diâmetro máximo, o número de condutores n_{cond} pode ser determinado segundo Barbi (2002):

$$n_{cond} = \frac{S_{cond}}{S_{skin}}. \quad (112)$$

Para verificar se é possível implementar estes parâmetros, a área mínima da janela $A_{w(mín)}$ necessária é calculada por:

$$A_{w(mín)} = \frac{N n_{cond} S_{cond}}{k_w}. \quad (113)$$

³ O fator 10^{-2} foi inserido para ajuste de unidade em (cm).

APÊNDICE B – MODELO MÉDIO EM ESPAÇO DE ESTADOS

A análise a seguir é utilizada para o modelo em pequenos sinais do conversor *buck*. O modelo médio em espaço de estados é útil para descrever o funcionamento de circuitos chaveados (HART, 2011). Em Erickson (2011), Hart (2011) e Rashid (2011), a forma geral da representação em espaço de estados é apresentada do seguinte modo:

$$\begin{aligned} \dot{x} &= Ax + Bu \\ y &= Cx + Du \end{aligned} \quad (114)$$

Em que x é o vetor de estado, $\dot{x} = dx/dt$, u é o vetor de controle, y é o vetor de saída, e A , B , C e D representam, respectivamente, a dinâmica de entrada, de saída e da transmissão direta entre as matrizes. Na operação em MCC, dois estados independentes são utilizados para representar as etapas t_{on} e t_{off} . Durante a etapa t_{on} , obtém-se:

$$\begin{aligned} \dot{x} &= A_1x + B_1u \\ y &= C_1x + D_1u \end{aligned} \quad (115)$$

Durante a etapa t_{off} :

$$\begin{aligned} \dot{x} &= A_2x + B_2u \\ y &= C_2x + D_2u \end{aligned} \quad (116)$$

A variável $\delta(t)$ é introduzida para representar o estado da chave em cada etapa ($\delta(t) = 1$ para a condição $0 \leq T \leq \delta_1 T_S$ quando a chave está fechada e $\delta(t) = 0$ para a condição $\delta_1 T_S \leq t \leq T_S$ quando a chave está aberta). As Equações 115 e 116 podem ser combinadas para determinar o modelo não linear e variante no tempo. Segundo Rashid (2011):

$$\begin{aligned} \dot{x} &= [A_1\delta(t) + A_2(1 - \delta(t))]x + [B_1\delta(t) + B_2(1 - \delta(t))]u \\ y &= [C_1\delta(t) + C_2(1 - \delta(t))]x + [D_1\delta(t) + D_2(1 - \delta(t))]u \end{aligned} \quad (117)$$

Uma vez que o vetor x é contínuo, para as condições iniciais $x_1(0) = x_2(T_S)$, $x_2(\delta_1 T_S) = x_1(\delta_1 T_S)$, e considerando a razão cíclica δ_1 como o valor médio de $\delta(t)$ é possível obter uma única representação das equações de estado. Supondo que os valores médios de x , representados por \bar{x} , são as novas variáveis de estado, e $\delta_2 = 1 - \delta_1$, obtém-se (RASHID, 2011):

$$\begin{aligned}\dot{\hat{x}} &= [A_1\delta_1 + A_2\delta_2]\bar{x} + [B_1\delta_1 + B_2\delta_2]\bar{u} \\ \bar{y} &= [C_1\delta_1 + C_2\delta_2]\bar{x} + [D_1\delta_1 + D_2\delta_2]\bar{u}\end{aligned}\quad (118)$$

Uma vez que a saída \bar{y} deve ser regulada em razão da razão cíclica $\delta(t)$, as variáveis de estado são decompostas inserindo pequenas perturbações alternadas sobre o regime permanente:

$$\begin{aligned}\bar{x} &= X + \tilde{x} \\ \bar{y} &= Y + \tilde{y} \\ \bar{u} &= U + \tilde{u} \\ \delta_1 &= \Delta_1 + \tilde{\delta} \\ \delta_2 &= \Delta_2 - \tilde{\delta}\end{aligned}\quad (119)$$

Substituindo a Equação 119 na Equação 114, obtém-se:

$$\begin{aligned}\dot{\hat{x}} &= [A_1\Delta_1 + A_2\Delta_2]X + [B_1\Delta_1 + B_2\Delta_2]U \\ &+ [A_1\Delta_1 + A_2\Delta_2]\tilde{x} + [(A_1 - A_2)X + (B_1 - B_2)U]\tilde{\delta} \\ &+ [B_1\Delta_1 + B_2\Delta_2]\tilde{u} + [(A_1 - A_2)\tilde{x} + (B_1 - B_2)\tilde{u}]\tilde{\delta}\end{aligned}\quad (120)$$

$$\begin{aligned}Y + \tilde{y} &= [C_1\Delta_1 + C_2\Delta_2]X + [D_1\Delta_1 + D_2\Delta_2]U \\ &+ [C_1\Delta_1 + C_2\Delta_2]\tilde{x} + [(C_1 - C_2)X + (D_1 - D_2)U]\tilde{\delta} \\ &+ [D_1\Delta_1 + D_2\Delta_2]\tilde{u} + [(C_1 - C_2)\tilde{x} + (D_1 - D_2)\tilde{u}]\tilde{\delta}\end{aligned}$$

Conforme é apresentado em Rashid (2011), Os termos $[A_1\Delta_1 + A_2\Delta_2]X + [B_1\Delta_1 + B_2\Delta_2]U$ e $[C_1\Delta_1 + C_2\Delta_2]X + [D_1\Delta_1 + D_2\Delta_2]U$ representam o comportamento do sistema em regime permanente. Em regime, $\dot{X} = 0$, portanto:

$$0 = [A_1\Delta_1 + A_2\Delta_2]X + [B_1\Delta_1 + B_2\Delta_2]U \quad , \quad (121)$$

$$Y = [C_1\Delta_1 + C_2\Delta_2]X + [D_1\Delta_1 + D_2\Delta_2]U \quad . \quad (122)$$

Negligenciando $[(A_1 - A_2)\tilde{x} + (B_1 - B_2)\tilde{u}]\tilde{\delta} \approx 0$, o modelo linearizado em pequenos sinais resulta em:

$$\begin{aligned} \dot{\tilde{x}} &= [A_1\Delta_1 + A_2\Delta_2]\tilde{x} + [(A_1 - A_2)X + (B_1 - B_2)U]\tilde{\delta} + [B_1\Delta_1 + B_2\Delta_2]\tilde{u} \\ \tilde{y} &= [C_1\Delta_1 + C_2\Delta_2]\tilde{x} + [(C_1 - C_2)X + (D_1 - D_2)U]\tilde{\delta} + [D_1\Delta_1 + D_2\Delta_2]\tilde{u} \end{aligned} \quad , \quad (123)$$

$$\begin{aligned} \dot{\tilde{x}} &= A_{av}\tilde{x} + B_{av}\tilde{u} + [(A_1 - A_2)X + (B_1 - B_2)U]\tilde{\delta} \\ \tilde{y} &= C_{av}\tilde{x} + D_{av}\tilde{u} + [(C_1 - C_2)X + (D_1 - D_2)U]\tilde{\delta} \end{aligned} \quad . \quad (124)$$

Onde:

$$\begin{aligned} A_{av} &= [A_1\Delta_1 + A_2\Delta_2] \\ B_{av} &= [B_1\Delta_1 + B_2\Delta_2] \\ C_{av} &= [C_1\Delta_1 + C_2\Delta_2] \\ D_{av} &= [D_1\Delta_1 + D_2\Delta_2] \end{aligned} \quad . \quad (125)$$

Combinando as Equações 123 e 124:

$$\frac{Y}{U} = -C_{av}A_{av}^{-1}B_{av} + D_{av} \quad . \quad (126)$$

Aplicando a transformada de Laplace na Equação 126 para condições iniciais nulas, o teorema da superposição permite obter o modelo em pequenos sinais, considerando, respectivamente, $\tilde{u} = 0$ e $\tilde{\delta} = 0$, é obtido em Rashid (2011):

$$\frac{\tilde{y}(s)}{\tilde{\delta}(s)} = C_{av}[sI - A_{av}]^{-1}[(A_1 - A_2)X + (B_1 - B_2)U] + (C_1 - C_2)x + (D_1 - D_2)U \quad , \quad (127)$$

$$\frac{\tilde{y}(s)}{\tilde{\delta}(s)} = C_{av}[sI - A_{av}]^{-1}B_{av} + D_{av} \quad . \quad (128)$$

B.1 – FUNÇÃO DE TRANSFERÊNCIA DO CONVERSOR *BUCK*

Para o vetor de estado $x = [i_L, v_c]^T$ e o vetor de saída $y = [i_L, v_o]^T$, o modelo médio em espaço de estados do conversor *buck* é obtido por Rashid (2011):

$$\frac{di_L}{dt} = -\frac{(Rr_c + Rr_L + r_Lr_c)}{L(R + r_c)}i_L - \frac{R}{L(R + r_c)}v_c + \delta(t)V_{DC}, \quad (129)$$

$$\frac{dv_c}{dt} = \frac{R}{C(R + r_c)}i_L - \frac{1}{C(R + r_c)}v_c + \delta(t)V_{DC}, \quad (130)$$

$$v_o = \frac{r_c}{1 + \frac{r_c}{R}}i_L + \frac{1}{1 + \frac{r_c}{R}}v_c. \quad (131)$$

Definindo $r_{cm} = r_c/(1 + r_c/R)$, $R_{oc} = R + r_c$, $k_{oc} = R/R_{oc}$ e $r_p = r_L + r_{cm}$, as Equações 32, 33, 46 e 47 podem ser utilizadas para obter (RASHID, 2011):

$$\begin{aligned} A_1 = A &= \begin{bmatrix} -r_p/L & -k_{oc}/L \\ k_{oc}/C & -1/(R_{oc}C) \end{bmatrix}; \\ B_1 = [1/L, 0]^T; B_2 &= [0, 0]^T; \\ C_1 = C_2 &= \begin{bmatrix} 1 & 0 \\ r_{cm}/C & k_{oc} \end{bmatrix}; \\ u = [V_{DC}]; D_1 = D_2 &= [0, 0]^T; \end{aligned} \quad (132)$$

Utilizando a Equação 132, o modelo médio em espaço de estados resulta em:

$$\begin{bmatrix} \dot{\tilde{i}}_L \\ \dot{\tilde{v}}_c \end{bmatrix} = \begin{bmatrix} -r_p/L & -k_{oc}/L \\ k_{oc}/C & -1/(R_{oc}C) \end{bmatrix} \begin{bmatrix} \tilde{i}_L \\ \tilde{v}_c \end{bmatrix} + \begin{bmatrix} \Delta_1/L \\ 0 \end{bmatrix} [\tilde{v}_{DC}] + \begin{bmatrix} V_{DC}/L \\ 0 \end{bmatrix} [\delta], \quad (133)$$

$$\begin{bmatrix} \dot{\tilde{i}}_L \\ \dot{\tilde{v}}_o \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ r_{cm} & k_{oc} \end{bmatrix} \begin{bmatrix} \tilde{i}_L \\ \tilde{v}_c \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} [\tilde{v}_{DC}]. \quad (134)$$

Para Rashid (2011), a relação de entrada U para saída Y em regime permanente, de acordo com a Equação 126, é obtida por:

$$\frac{i_L}{V_{DC}} = \frac{\Delta_1}{(k_{oc}^2 R_{oc} + r_p)}, \quad (135)$$

$$\frac{V_o}{V_{DC}} = \frac{\Delta_1(k_{oc}^2 R_{oc} + r_{cm})}{(k_{oc}^2 R_{oc} + r_p)}. \quad (136)$$

Portanto:

$$\frac{\dot{i}_L(s)}{\check{v}_{DC}(s)} = \frac{\Delta_1(1 + sCR_{oc})}{s^2 LCR_{oc} + s(L + CR_{oc}r_p) + k_{oc}^2 R_{oc} + r_p}, \quad (137)$$

$$\frac{\dot{v}_o(s)}{\check{v}_{DC}(s)} = \frac{\Delta_1(k_{oc}^2 R_{oc} + r_{cm} + sCR_{oc}r_{cm})}{s^2 LCR_{oc} + s(L + CR_{oc}r_p) + k_{oc}^2 R_{oc} + r_p}. \quad (138)$$

Com o uso das Equações 137 e 138, o modelo em pequenos sinais da razão cíclica δ para saída \tilde{y} é obtido em Rashid (2011) do seguinte modo:

$$\frac{\dot{i}_L(s)}{\delta(s)} = \frac{V_{DC}(1 + sCR_{oc})}{s^2 LCR_{oc} + s(L + CR_{oc}r_p) + k_{oc}^2 R_{oc} + r_p}, \quad (139)$$

$$\frac{\dot{v}_o(s)}{\delta(s)} = \frac{V_{DC}(k_{oc}^2 R_{oc} + r_{cm} + sCR_{oc}r_{cm})}{s^2 LCR_{oc} + s(L + CR_{oc}r_p) + k_{oc}^2 R_{oc} + r_p}. \quad (140)$$

APÊNDICE C – FILTROS ATIVOS

Sinais como o apresentado na Figura 56, contém sinais indesejados de alta frequência. Um filtro pode ser utilizado para remover essas interferências sem alterar a amplitude do sinal (VALKENBURG, 1982). Filtros ativos são circuitos compostos por resistores, capacitores e um dispositivo ativo, tal como o amplificador operacional (KARKI, 2002).

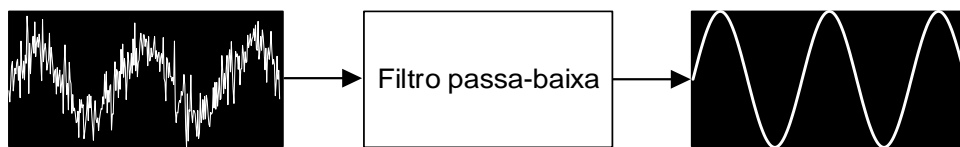


Figura 56 – Filtro passa-baixa.
Fonte: Valkenburg (1982).

Um filtro passa-baixas permite a passagem de todas as frequências desde zero até a frequência de corte e bloqueia todas as frequências acima da frequência de corte. As frequências entre zero e as frequências de corte são denominadas banda de passagem. As frequências acima são denominadas banda de corte. A região de decaimento entre as duas bandas é chamada de transição (MALVINO, 2015).

Um filtro ideal proporciona uma resposta de amplitude unitária para a banda passante e uma resposta nula para as demais faixas. A frequência limite entre as duas respostas se chama frequência de corte f_{PB} (THEDE, 2002). Porém, na prática não há como obter um filtro ideal. Para modelá-los são utilizadas aproximações de resposta. Os métodos de resposta mais comuns são apresentados na Figura 57, onde a região de banda passante é identificada em azul, a banda rejeitada é identificada em amarelo e a transição entre as duas bandas corresponde às regiões em verde.

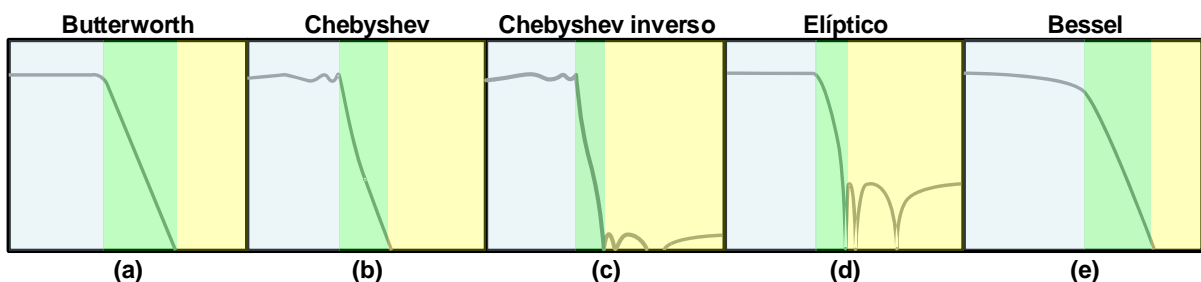


Figura 57 – Aproximações de resposta para filtros passa-baixas: (a) Butterworth; (b) Chebyshev; (c) Chebyshev inverso; (d) Elíptico; (e) Bessel.

Fonte: Malvino (2015).

As características dos filtros apresentados na figura anterior são resumidas no Quadro 3. Quando é necessária uma banda plana, os filtros *Butterworth* e *Chebyshev* são mais adequados. A ordem do filtro e a característica de transição determinam qual dos dois deve ser utilizado (MALVINO, 2015). As aproximações de resposta *Butterworth* e *Bessel* apresentam ótima resposta ao impulso (THEDE, 2002). Esses filtros são frequentemente utilizados como *anti-aliasing* em aplicações que requerem precisão nos sinais medidos (KUGELSTADT, 2008).

Quadro 3 – Aproximações de filtros.

Tipo	Banda de passagem	Banda de corte	Decaimento	Degradu
<i>Butterworth</i>	Plana	Monotônica	Bom	Bom
<i>Chebyshev</i>	Ondulada	Monotônica	Muito bom	Ruim
<i>Chebyshev</i> inverso	Plana	Ondulada	Muito bom	Bom
Elíptico	Ondulada	Ondulada	Melhor	Ruim
<i>Bessel</i>	Plana	Monotônica	Ruim	Melhor

Fonte: Malvino (2015).

Os filtros de segunda ordem que apresentam apenas polos em suas funções de transferência podem ser representados no domínio da frequência pela seguinte equação (THEDE, 2004), (KUGELSTADT, 2008):

$$G_{FPB}(s) = \frac{K}{b_1 s^2 + a_1 s + 1}. \quad (141)$$

Os coeficientes a_1 e b_1 representam os valores normalizados de cada aproximação de resposta. A Tabela 7 apresenta estes valores para os métodos de resposta *Bessel* e *Butterworth*.

Tabela 7 – Coeficientes para aproximações de resposta Bessel e Butterworth.

Segunda Ordem	<i>Bessel</i>	<i>Butterworth</i>
a_1	1,3617	1,4142
b_1	0,6180	1,0000
Q	0,5800	0,7100
R_4/R_3	0,2680	0,5680

Fonte: Karki (2002).

APÊNDICE D – CRITÉRIOS PARA PROJETO DE CONTROLADORES

O controle do conversor *buck* é desenvolvido de acordo com a classificação de Rahimi (2010), apresentada pelo Quadro 4. Ao considerar os efeitos da ESR, um zero é adicionado no semiplano esquerdo do LGR. A escolha do controlador pode ser feita de acordo com o tipo de capacitor utilizado. A frequência f_{ESR} do zero gerado pelo efeito da ESR aumenta conforme a resistência R_c do capacitor diminui, podendo levar à necessidade de utilizar um controlador com mais que um polo. Os polos causam um atraso na margem de fase e os zeros geram um avanço. A função de transferência do conversor *buck* para controle da tensão pela razão cíclica possui um par de polos complexos e conjugados. Neste caso, é necessário utilizar um controlador com dois zeros para compensar o decaimento na margem de fase.

Quadro 4 – Critério para escolha do compensador

Compensador	Relação entre as frequências	Capacitor típico
Tipo II (PI)	$f_{LC} < f_{ESR} < f_o < f_s/2$	Eletrolítico, Polímero; Tântalo
Tipo III-A (PID)	$f_{LC} < f_o < f_{ESR} < f_s/2$	Polímero; Tântalo
Tipo III-B (PID)	$f_{LC} < f_o < f_s/2 < f_{ESR}$	Cerâmico

Fonte: Rahimi (2010).

No quadro anterior, a escolha do compensador é feita de acordo com a relação entre as frequências apresentadas. Na maioria das vezes, a frequência de corte do controlador f_o pode ser escolhida como uma década abaixo da frequência de chaveamento f_s . Quando consideradas as não idealidades, as resistências do capacitor R_c e do indutor R_L passam a fazer parte da função de transferência do conversor. Desse modo, a frequência de corte do filtro f_{LC} e a frequência do zero criado pelo efeito da ESR f_{ESR} são obtidas por:

$$f_{LC} = \frac{1}{2\pi} \sqrt{\frac{R + R_L}{LC(R + R_c)}}, \quad (142)$$

$$f_{ESR} = \frac{1}{2\pi R_c C}. \quad (143)$$

A primeira etapa do projeto do controlador é determinar a relação entre as frequências definidas pelo Quadro 4. O controlador PI é muito útil nos casos em que $f_{ESR} > f_{LC}$, pois o zero gerado pela ESR reduz o efeito causado pelos na frequência f_{LC} . A medida que f_{ESR} aumenta, o controlador PI se torna ineficaz, pois não é capaz de compensar o atraso causado pelos polos e nem o zero em altas frequências. Assim, controladores Tipo II ou Tipo III podem ser tornar viáveis dependendo do parâmetro que se deseja controlar.

O projeto dos controladores pode realizado posicionando os polos e zeros de cada compensador de modo a anular os polos e o zero da planta. Outro modo é utilizar a sintonia pelo *fator K*, apresentada no estudo de Basso (2008). A função de transferência utilizada para representar cada controlador é transformada para o domínio discreto, possibilitando a implementação do controlador de maneira digital.

O uso do controle em cascata é uma vantagem para o projeto dos controladores, uma vez que a função de transferência para controle da tensão de saída pela razão cíclica é substituída por duas funções de transferência menos complexas, sendo elas a do controle de corrente no indutor pela razão cíclica e a do controle da tensão de saída pela corrente no indutor. A desvantagem é que a função de transferência da malha interna, de corrente, depende do valor da carga R . A malha externa, de tensão, funciona como referência para a malha interna. Uma vez que a corrente média no indutor é igual a corrente de saída, a resposta da malha externa informa a impedância da carga.

. Para que o controlador seja implementado de maneira digital, é necessário obter sua representação no domínio discreto. A função de transferência no domínio discreto permite determinar os coeficientes utilizados pelo DSP para implementar o controlador através de uma equação diferencial. Desta forma, o compensador digital pode ser dimensionado no domínio contínuo e em seguida representado no domínio discreto. Um método para projeto de controladores Tipo II e Tipo II é apresentado a seguir.

D.1 – CONTROLADOR TIPO II

O controlador Tipo II ilustrado Figura 58a apresenta dois polos e um zero. O primeiro polo é posicionado na origem para elevar o ganho em malha aberta e providenciar erro nulo. O segundo polo é posicionado na frequência f_{ESR} para cancelar o efeito do zero criado pela ESR do capacitor. O zero do controlador é posicionado em uma frequência f_{z1} inferior à f_o , para que na frequência de corte, o integrador tenha pouca influência na margem de fase. Além disso, esse zero deve ser posicionado em uma frequência inferior à f_{LC} para evitar possível atraso de -180° na margem de fase antes do cruzamento por zero (HERRERA, 2014). A função de transferência do controlador Tipo II $G_{t2}(s)$ é representada do seguinte modo (SURYANARAYANA, 2012), (CHOI, 2011), (SHIRSAVAR, 2012), (GHOSH, 2015):

$$G_{t2}(s) = \frac{\left(1 + \frac{s}{\omega_{z1}}\right)}{\left(\frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)}. \quad (144)$$

O diagrama de bode deste compensador é representado na Figura 58b. Cada polo gera um atraso de 90° na margem de fase e o zero causa um avanço de 90° . Uma atenuação de 20 dB/dec pode ser obtida adotando 45° para a margem de fase na frequência de corte. O ganho do controlador é ajustado para resultar na frequência de corte desejada (HART, 2011).

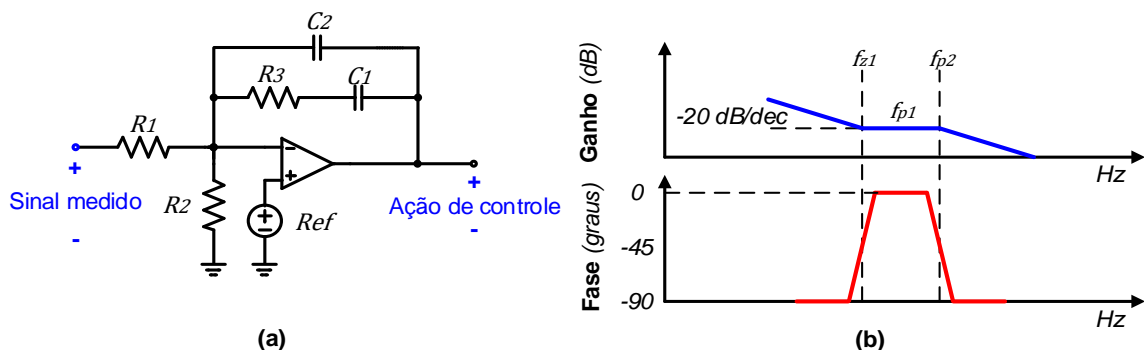


Figura 58 – Compensador Tipo II: (a) diagrama do circuito; (b) diagrama de bode.
Fonte: Mattingly (2003) e Herrera (2014).

O polo e o zero do compensador podem ser posicionados como $f_{p2} = f_{ESR}$ e $f_{z1} = f_s/5$ (SAMPATH; 2013). Outro modo é calcular o fator K_{t2} para sintonizar o controlador na margem de fase θ_{t2} necessária. Nos trabalhos de Basso (2008), Hart (2011) e Ghosh (2015), o fator K_{t2} é utilizado para determinar as frequências do polo f_{p2} e do zero f_{z1} da seguinte forma:

$$K_{t2} = \tan\left(\frac{\theta_{t2}}{2} + 45^\circ\right), \quad (145)$$

$$f_{p2} = K_{t2}f_o, \quad (146)$$

$$f_{z1} = \frac{K_{t2}}{f_o}. \quad (147)$$

A função de transferência do compensador é convertida para o domínio da discreto utilizando a transformação bilinear ou Tustin. No domínio discreto, o compensador apresenta dois polos e dois zeros (2p2z). Nos estudos de Sampath (2013), Hallworth e Shirsavar (2012), Suryanarayana (2012), Chen (2007) e Hu (2013), a função de transferência $G_{t2}(s)$ é convertida para o domínio discreto utilizando a transformação bilinear ou Tustin:

$$s = \left(\frac{2}{T_d}\right) \frac{z-1}{z+1}, \quad (148)$$

$$G_{t2}(z) = \frac{B_2z^{-2} + B_1z^{-1} + B_0}{-A_2z^{-2} - A_1z^{-1} + 1} s = \left(\frac{2}{T_d}\right) \frac{z-1}{z+1}. \quad (149)$$

Desta forma, os coeficientes de $G_{t2}(z)$ podem ser obtidos de maneira analítica. Eles são utilizados para representar o controlador com uma equação diferencial e linear de maneira digital. Assim, um processo de convolução é realizado pelo DSP para determinar o valor digital da ação de controle $y[n]$. Portanto:

$$B_0 = \frac{T_d \omega_{p1} \omega_{p2} (2 + T_d \omega_{z1})}{2(2 + T_d \omega_{p2}) \omega_{z1}}, \quad (150)$$

$$B_1 = \frac{T_d^2 \omega_{p1} \omega_{p2}}{2 + T_d \omega_{p2}}, \quad (151)$$

$$B_2 = \frac{T_d \omega_{p1} \omega_{p2} (-2 + T_d \omega_{z1})}{2(2 + T_d \omega_{p2}) \omega_{z1}}, \quad (152)$$

$$A_1 = \frac{4}{2 + T_d \omega_{p2}}, \quad (153)$$

$$A_2 = \frac{-2 + T_d \omega_{p2}}{2 + T_d \omega_{p2}}, \quad (154)$$

$$y[n] = B_2 x[n-2] B_1 x[n-1] + B_0 x[n] - A_2 y[n-2] - A_1 y[n-1]. \quad (155)$$

D.2 – CONTROLADOR TIPO III

Nas situações em que o controlador Tipo II não é capaz de gerar a diferença de fase suficiente para proporcionar 45° na margem de fase, o controlador Tipo III representado pela Figura 59a deve ser utilizado (HART, 2011). Esse controlador possui três polos e dois zeros. Conforme apresenta a Figura 59b, um avanço de até 180° pode ser gerado na margem de fase. O primeiro zero é posicionado em uma baixa frequência ω_{z1} para compensar o atraso de fase causado pelo integrador. O segundo zero é localizado na frequência ω_{z2} com o objetivo de compensar um dos polos complexos da planta. O segundo polo é posicionado na frequência ω_{p2} para cancelar o efeito da ESR do capacitor. O terceiro polo, situado na frequência ω_{p3} , é empregado para atenuar ruídos na malha de chaveamento. Nos conteúdos disponibilizados por Basso (2008), Shirsavar (2011), Soman (2015) e Ali (2016), a função de transferência do controlador Tipo III $G_{t3}(s)$ é apresentada da seguinte maneira:

$$G_{t3}(s) = \frac{\omega_{p1} \left(1 + \frac{s}{\omega_{z1}}\right) \left(1 + \frac{s}{\omega_{z2}}\right)}{s \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right)}. \quad (156)$$

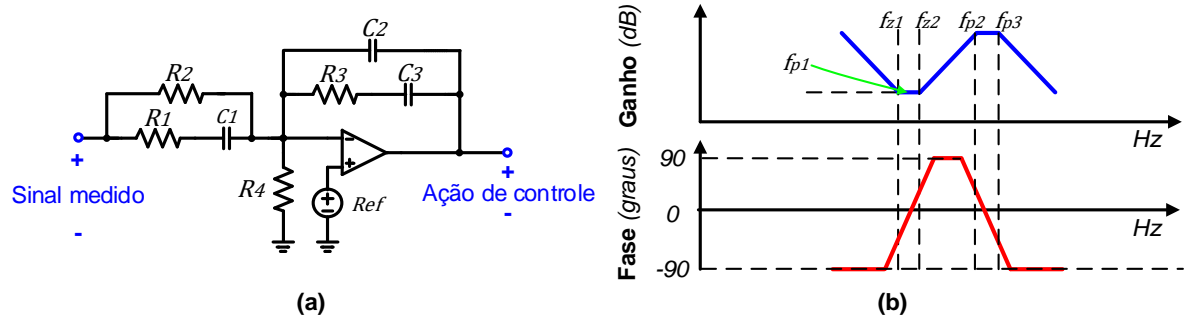


Figura 59 – Compensador Tipo III: (a) diagrama do circuito analógico; (b) resposta em frequência.

Fonte: Mattingly (2003).

Os controladores Tipo III-A e Tipo III-B são diferenciados pelo modo em que os polos e zeros do controlador são dimensionados. No critério de Rahimi (2010), se a relação $f_{ESR} < f_s/2$ for apresentada pela planta, então o controlador Tipo III-A é utilizado. Desse modo, os polos e zeros são posicionados da seguinte forma:

$$f_{z1} = f_{LC}, \quad (157)$$

$$f_{z2} = 0,8f_{z1}, \quad (158)$$

$$f_{p2} = f_{ESR}, \quad (159)$$

$$f_{p3} = \frac{f_s}{2}. \quad (160)$$

De outra forma, caso a relação $f_{ESR} > f_s/2$ seja apresentada, o controlador Tipo III-B deve ser utilizado. Os critérios de Rahimi (2010) para o posicionamento dos polos e zeros são os seguintes:

$$f_{z1} = f_0 \sqrt{\frac{1 - \text{sen}(\theta_{t3})}{1 + \text{sen}(\theta_{t3})}}, \quad (161)$$

$$f_{z2} = 0,5f_{z1}, \quad (162)$$

$$f_{p2} = f_0 \sqrt{\frac{1 + \text{sen}(\theta_{t3})}{1 - \text{sen}(\theta_{t3})}}, \quad (163)$$

$$f_{p3} = \frac{f_s}{2}. \quad (164)$$

O ângulo θ_{t3} representa o máximo avanço de fase e é, normalmente, adotado como 70° . O ganho do integrador ω_{p1} é calculado para resultar na frequência de corte ω_0 com a seguinte equação:

$$\omega_{p1} = \frac{\omega_{z1}\omega_{z2}\omega_0}{V_{in}\omega_{LC}^2}. \quad (165)$$

A função de transferência do controlador Tipo III $G_{t3}(s)$ é convertida para o domínio discreto de modo semelhante ao controlador Tipo II. A diferença é que a função de transferência de terceira ordem apresenta um número maior de coeficientes. Desta forma, um número maior de amostras anteriores é utilizado para determinar o valor da razão cíclica $y[n]$. Nos trabalhos de Balog (2005), Hallworth e Shirsavar (2012), Soman (2015) e Ali (2016), os cálculos são especificados da seguinte forma:

$$G_{t3}(z) = \frac{B_3z^{-3} + B_2z^{-2} + B_1z^{-1} + B_0}{-A_3z^{-3} - A_2z^{-2} - A_1z^{-1} - 1}, \quad (166)$$

$$B_0 = \frac{(T_d\omega_{p1}\omega_{p2}\omega_{p3}(2 + T_d\omega_{z1})(2 + T_d\omega_{z2}))}{2(2 + T_d\omega_{p2})(2 + T_d\omega_{p3})\omega_{z1}\omega_{z2}}, \quad (167)$$

$$B_1 = \frac{T_d\omega_{p1}\omega_{p2}\omega_{p3}(-4 + 3T_d^2\omega_{z1}\omega_{z2} + 2T_d(\omega_{z1} + \omega_{z2}))}{2(2 + T_d\omega_{p2})(2 + T_d\omega_{p3})\omega_{z1}\omega_{z2}}, \quad (168)$$

$$B_2 = \frac{T_s\omega_{p1}\omega_{p2}\omega_{p3}(-4 + 3T_d^2\omega_{z1}\omega_{z2} - 2T_d(\omega_{z1} + \omega_{z2}))}{2(2 + T_d\omega_{p2})(2 + T_d\omega_{p3})\omega_{z1}\omega_{z2}}, \quad (169)$$

$$B_3 = \frac{(T_d\omega_{p1}\omega_{p2}\omega_{p3}(-2 + T_d\omega_{z1})(-2 + T_d\omega_{z2}))}{2(2 + T_d\omega_{p2})(2 + T_d\omega_{p3})\omega_{z1}\omega_{z2}}, \quad (170)$$

$$A_1 = -\frac{(-12 + T_d^2 \omega_{p2} \omega_{p3} - 2T_d(\omega_{p2} + \omega_{p3}))}{(2 + T_d \omega_{p2})(2 + T_d \omega_{p3})}, \quad (171)$$

$$A_2 = -\frac{(-12 - T_d^2 \omega_{p2} \omega_{p3} - 2T_d(\omega_{p2} + \omega_{p3}))}{(2 + T_d \omega_{p2})(2 + T_d \omega_{p3})}, \quad (172)$$

$$A_3 = \frac{(-2 + T_d \omega_{p2})(-2T_d + \omega_{p3})}{(2 + T_d \omega_{p2})(2 + T_d \omega_{p3})}, \quad (173)$$

$$y[n] = B_3 x[n-3] + B_2 x[n-2] + B_1 x[n-1] + B_0 x[n] + A_3 y[n-3] + A_2 y[n-2] + A_1 y[n-1] \quad (174)$$