

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA
ENGENHARIA INDUSTRIAL ELÉTRICA
ÊNFASE ELETROTÉCNICA

PAULO EDUARDO MARTINS DE OLIVEIRA
RAFAEL DE LIMA GABARDO
SHOICHI EDUARDO NOGUEIRA SUGAWARA

**IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL
MONOFÁSICO CONTROLADO POR FPGA**

TRABALHO DE CONCLUSÃO DE CURSO

CURITIBA
2014

PAULO EDUARDO MARTINS DE OLIVEIRA
RAFAEL DE LIMA GABARDO
SHOICHI EDUARDO NOGUEIRA SUGAWARA

**IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL
MONOFÁSICO CONTROLADO POR FPGA**

Proposta de Trabalho de Conclusão de Curso de Graduação, apresentado à disciplina de TCC2, do curso de Engenharia Industrial Elétrica – Ênfase Eletrotécnica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR), como requisito parcial para obtenção do título de Engenheiro Eletricista.

Orientador: Prof. Dr. Amauri Amorin Assef

CURITIBA
2014

Paulo Eduardo Martins de Oliveira
Rafael de Lima Gabardo
Shoichi Eduardo Nogueira Sugawara

IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL MONOFÁSICO CONTROLADO POR FPGA

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para obtenção do Título de Engenheiro Eletricista, do curso de Engenharia Industrial Elétrica – Ênfase Eletrotécnica do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 27 de Fevereiro de 2014.

Prof. Dr. Emerson Rigoni
Coordenador de Curso
Engenharia Industrial Elétrica – Ênfase Eletrotécnica

Profa. Ma. Annemarlen Gehrke Castagna
Coordenadora dos Trabalhos de Conclusão de Curso
de Engenharia Industrial Elétrica – Ênfase Eletrotécnica do DAELT

ORIENTAÇÃO

Amauri Amorin Assef, Dr.
Universidade Tecnológica Federal do Paraná
Orientador

BANCA EXAMINADORA

Amauri Amorin Assef, Dr
Universidade Tecnológica Federal do Paraná

Guilherme Luiz Moritz, Dr.
Universidade Tecnológica Federal do Paraná

Roger Gules, Dr.
Universidade Tecnológica Federal do Paraná

AGRADECIMENTOS

Gostaríamos de agradecer de forma especial ao professor Amauri Amorin Assef, nosso orientador, por toda a atenção prestada durante o nosso trabalho, propondo dicas valiosas para o projeto e por ter se mostrado sempre disposto a ajudar. Apoio mais que fundamental na conclusão deste trabalho.

A todos os membros que fizeram parte das nossas bancas, Prof. Alceu André Badin, Prof. Amauri Amorin Assef, Prof. Eduardo Félix Ribeiro Romaneli, Prof. Guilherme Luiz Moritz, Prof. Roger Gules, que se dispuseram a ler e propor melhorias ao nosso trabalho.

Eu, Paulo, agradeço de forma especial ao Gilberto e Sandra pelo constante apoio e compreensão nas seguidas dispensas pedidas do trabalho, pois foi o tempo mais precioso que fora usado. Agradeço ao meu companheiro de equipe Shoichi pelo empenho ímpar e dedicação demonstrados nas inúmeras noites que tivemos que dobrar e diversos favores feitos de bom grado, aos meus amigos pelos incentivos e aos meus pais por compreenderem os meus momentos de ausência.

Eu, Shoichi, agradeço especialmente minha esposa, meus pais, irmãos e demais membros da família por sempre acreditarem em mim e no meu potencial. Agradeço também aos meus amigos, por me ajudarem com incentivos e também por compreenderem os meus momentos de ausência. Um agradecimento especial colega Paulo Eduardo, que se empenhou muito para que este projeto fosse concluído com êxito.

***“Há homens que lutam um dia e são bons.
Há outros que lutam um ano e são melhores.
Há os que lutam muitos anos e são muito bons.
Porém, há os que lutam toda a vida.
Esses são os imprescindíveis”.***

Bertolt Brecht

RESUMO

OLIVEIRA, Paulo E. M. de; GABARDO, Rafael de Lima; SUGAWARA, Shoichi E. N. Implementação de um inversor multinível monofásico controlado por FPGA, 2013. 99f. Trabalho de conclusão de curso (Engenharia Industrial Elétrica, ênfase em Eletrotécnica) – Universidade Tecnológica Federal do Paraná. Curitiba, 2014.

Este trabalho apresenta um estudo das principais topologias de conversores multiníveis, resultando a simulação e a implementação de um inversor de topologia *Cascated H-Bridge* (CHB) com 5 níveis de tensão. O estudo sintetiza as principais características das topologias multiníveis, analisando as suas vantagens e desvantagens entre elas e os conversores de dois níveis. Perante este cenário escolheu-se a topologia a implementar baseada em dispositivo FPGA. Por fim, traz então a análise dos resultados obtidos nas simulações, comentários e conclusões finais sobre o projeto.

Palavras-Chave: *Cascated H-Bridge* (CHB). Conversores multiníveis. Topologias multiníveis.

ABSTRACT

OLIVEIRA, Paulo E. M. de; GABARDO, Rafael de Lima; SUGAWARA, Shoichi E. N. Implementação de um inversor multinível monofásico controlado por FPGA, 2013. 99f. Trabalho de conclusão de curso (Engenharia Industrial Elétrica, ênfase em Eletrotécnica) – Universidade Tecnológica Federal do Paraná. Curitiba, 2014.

This paper presents a study of the major multilevel converter topologies, resulting from this study the simulation and implementation of an inverter topology Cascated H-Bridge (CHB) with 5 voltage levels. The study summarizes the main characteristics of multilevel topologies, analyzing their advantages and disadvantages between them and the two-level converters. Given this scenario, was chosen to implement the topology based on FPGA device. Finally, we then analyze the simulation results, comments and conclusions about the project.

Keywords: Cascated H-Bridge (CHB). Multilevel converters. Multilevel topologies.

ÍNDICE DE ILUSTRAÇÕES

Figura 1 - Inversor trifásico CHB de cinco níveis.....	15
Figura 2 - Inversor de três níveis com diodos de grampeamento (inversor NPC)	23
Figura 3 - Inversor m níveis com diodos de grampeamento.	26
Figura 4 - Inversor multinível com capacitores de grampeamento	28
Figura 5 - Inversor de três níveis utilizando diodos e capacitores de grampeamento	28
Figura 6 - Inversor multinível com células H- <i>bridge</i> em série.....	29
Figura 7 - Inversor 9 níveis com dois inversores NPC monofásicos conectados em série.....	30
Figura 8 - Conexão série através de transformadores monofásicos	31
Figura 9 - Inversor multinível com células simétricas trifásicas conectadas em série	33
Figura 10 - Célula genérica m níveis de corrente.....	35
Figura 11 - Inversor cinco níveis de corrente	36
Figura 12 - Inversor multinível de corrente com células monofásicas em paralelo	36
Figura 13 - Inversor multinível de corrente com células trifásicas em paralelo	36
Figura 14 - Classificação das modulações em inversores multiníveis.....	37
Figura 15 – Eliminação de harmônicas. (a) Tensão de fase de três níveis. (b) Espectro harmônico.	39
Figura 16 - MLP por defasamento em um conversor de cinco níveis a) Onda de referência e portadoras; b) - e) Resultado das comparações; f) Onda de saída resultante da soma das 4 ondas anteriores	41
Figura 17 - MLI por desnivelamento num conversor de 5 níveis a) Portadoras em oposição de fase b) Portadoras em oposição de fase alternadas c) Portadoras em fase	42
Figura 18 - Conversor convencional de dois níveis e diagramas de vetores de estados.....	43
Figura 19 - Diagrama de vetores de estado para um conversor de três níveis	45
Figura 20 - Vetores de estado para um inversor de seis níveis.....	45
Figura 21 - Circuito de simulação de um inversor multinível CHB de 5 níveis com controle MLI - portadoras em fase.....	46
Figura 22 - Formas de onda da moduladora e das portadoras	47
Figura 23 - Forma de onda na chave T1	47
Figura 24 - Forma de onda na chave T2	48
Figura 25 - Forma de onda na chave T3.....	48
Figura 26 - Forma de onda na chave T4	48
Figura 27 - Forma de onda obtida através da soma dos sinais de controle de uma das fases.....	49
Figura 28 - Forma de onda obtida através da soma dos sinais de controle entre fases.....	49
Figura 29 - Espectro harmônico em uma fase do inversor	49
Figura 30 - Espectro harmônico entre fases do inversor	50
Figura 31 - Estrutura interna de um FPGA	52
Figura 32 - Etapas de projeto com FPGA	53
Figura 33 - Topologia do inversor multinível monofásico utilizada no trabalho	57

Figura 34 - Senoide de referência e múltiplas portadoras com oposição de fase	57
Figura 35 – Saída do PWM com alinhamento central e módulo de 3750.....	58
Figura 36 - Diagrama em blocos do modulador PWM implementado no FPGA	59
Figura 37 - Resultado de simulação com o software ModelSim indicando o período do modulador PWM com frequência de 24kHz.....	60
Figura 38 - Resultado de simulação dos sinais PWM para meio ciclo da senoide de referência (16,67ms)	61
Figura 39 - Resultado de simulação dos sinais PWM com base de tempo limitada entre 0 e 2,083ms (1/4 de senoide)	61
Figura 40 - <i>Kit</i> de desenvolvimento DE0-Nano	63
Figura 41: Detalhe da montagem geral dos módulos.....	64
Figura 42 - Detalhe do circuito driver utilizado no acionamento dos MOSFETs	71
Figura 43 - Montagem do circuito driver no protoboard para testes	72
Figura 44 - Medição da forma de onda na entrada do circuito driver na placa de circuito impresso	74
Figura 45 - Medição da forma de onda na saída do circuito driver na placa de circuito impresso	75
Figura 46 - Medição da forma de onda na entrada do circuito driver na placa de circuito impresso	76
Figura 47 - Medição da forma de onda na saída do circuito driver na placa de circuito impresso	76
Figura 48 - Detalhe da placa de chaveamento com descrições.....	78
Figura 49 - Disposição dos pinos dos barramentos GPIO-0 e GPIO-1	79
Figura 50 - Inversor multinível monofásico em funcionamento	81
Figura 51 - Leitura da forma de onda final com osciloscópio isolado	81
Figura 52 - Forma de onda final com indicação da frequência.....	82
Figura 53 - Média da forma de onda obtida do inversor	82

INDICE DE TABELAS

Tabela 1 - Possíveis estados de condução e valores da tensão fase-neutro ($x=\{a,b,c\}$).....	24
Tabela 2 - Componentes usados nas topologias básicas de inversores multiníveis trifásicos	33
Tabela 3 - Combinação dos estados dos interruptores para um conversor de dois níveis	44
Tabela 4 - Lista de Componentes Eletrônicos Utilizados na Montagem da Placa Driver.....	67
Tabela 5 - Lista de Componentes Eletrônicos Utilizados na Placa de Chaveamento	68
Tabela 6 - Lista de Componentes Eletrônicos e Equipamentos Utilizados na Montagem da Placa Driver	73
Tabela 7 - Tabela de configuração das conexões entre Barramento GPIO-0 e Driver.....	79
Tabela 8 - Tabela de configuração das conexões entre Barramento GPIO-1 e Driver.....	80

LISTA DE SIGLAS

ABEL	Advanced Boolean Equation Language
CA	Corrente Alternada
CC	Corrente Contínua
CHB	Cascade Half-Bridge
CI	Circuito Integrado
DC	Direct Current
DSP	Digital Signal Processor
FC	Flying Capacitor
FPGA	Field Programmable Gate Array
HDL	Hardware Description Language
IEEE	Institute of Electrical and Electronics Engineers
IGBT	Insulated Gate Bipolar Transistor
LUT	Look-Up Table
MLP	Modulação por Largura de Pulsos
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NPC	Neutral Point Clamped
PSPWM	Phase Shifted PWM
PWM	Pulse-Width Modulation
SDRAM	Synchronous Dynamic Random Access Memory
SMES	Superconducting Magnetic Energy Storage System
USB	Universal Serial Bus
VHDL	VHSIC Circuits Hardware Description Language
VHSIC	Very High Speed Integrated Circuits

SUMÁRIO

1 INTRODUÇÃO	14
1.1 DELIMITAÇÃO DO TEMA	16
1.2 PROBLEMAS E PREMISSAS	16
1.3 OBJETIVOS.....	17
1.3.1 Objetivo Geral	17
1.3.2 Objetivos Específicos.....	18
1.4 JUSTIFICATIVA.....	18
1.5 PROCEDIMENTOS METODOLÓGICOS	19
1.6 ESTRUTURA DO TRABALHO	19
2 INTRODUÇÃO AOS CONVERSORES MULTINÍVEIS	21
2.1 CONVERSORES MULTINÍVEIS DE TENSÃO	22
2.1.1 Configurações multiníveis com diodos de grameamento	22
2.1.2 Configurações multiníveis com capacitores de grameamento.....	27
2.1.3 Configurações multiníveis com células conectadas em série	29
2.1.4 Comparação entre topologias.....	32
2.2 CONVERSORES MULTINÍVEIS DE CORRENTE.....	34
3 MODULAÇÃO MULTINÍVEL	37
3.1 ELIMINAÇÃO SELETIVA DE HARMÔNICAS.....	38
3.2 MODULAÇÃO POR LARGURA DE PULSOS (MLP).....	40
3.2.1 MLP por defasamento.....	40
3.2.2 MLP por desnivelamento.....	42
3.3 SPACE VECTOR.....	43
4 SIMULAÇÃO DO INVERSOR MULTINÍVEL	46
5 O DISPOSITIVO FPGA	51
5.1 METODOLOGIA DE IMPLEMENTAÇÃO.....	52
5.2 ASPECTOS GERAIS DO FPGA	52
5.3 ETAPAS DE UM PROJETO UTILIZANDO FPGA.....	53
5.3 SÍNTESE LÓGICA	54
5.4 POSICIONAMENTO E ROTEAMENTO	55
5.5 VERIFICAÇÃO E TESTES.....	55
5.6 PROGRAMAÇÃO DO FPGA.....	55
5.7 DESENVOLVIMENTO DA TOPOLOGIA DE CONTROLE NO DISPOSITIVO FPGA.....	56
5.8 KIT DE DESENVOLVIMENTO DE0-NANO TERCASIC-ALTERA.....	62
6 CONSTRUÇÃO E MONTAGEM DO CIRCUITO	64
6.1 DIVISÃO DO PROJETO.....	64
6.1.1 Placa de Controle (FPGA)	65
6.1.2 Placas <i>Drivers</i>	65
6.1.3 Placa de Chaveamento	66
6.2 CONFECÇÃO DAS PLACAS.....	66
6.2.1 <i>Layout</i> dos circuitos.....	66
6.2.2 Lista de componentes utilizados na montagem.....	67
6.2.3 Desafios encontrados durante a montagem	69
7 VALIDAÇÃO DO DRIVER NO PROTOBOARD	71
7.1 DEFINIÇÃO DO DRIVER.....	72
7.2 MONTAGEM DO CIRCUITO	72
8 VALIDAÇÃO DO CIRCUITO DRIVER NA PLACA DE CIRCUITO IMPRESSO	74
9 IMPLEMENTAÇÃO DO INVERSOR MULTINÍVEL – TESTES E RESULTADOS ..	77
10 CONSIDERAÇÕES FINAIS	83

11 REFERÊNCIAS BIBLIOGRÁFICAS.....	84
APÊNDICE A – ESQUEMA DAS FONTES ISOLADAS.....	87
APÊNDICE B – ESQUEMA DO INVERSOR MULTINÍVEL MONOFÁSICO.....	91
APÊNDICE C – ARQUIVOS EM LINGUAGEM VHDL	92

1 INTRODUÇÃO

A eletrônica, nas últimas seis décadas, sofreu uma enorme revolução no que se refere ao desenvolvimento de semicondutores e *microchips*, apresentando inúmeras alternativas de geração de sinais. Atualmente, há uma preocupação em desenvolver circuitos nos quais apresentem baixos níveis de distorção harmônica, baixo custo e alta eficiência. De acordo com Antonopoulos (2011, p.11), há um grande progresso para conversão de energia em sistemas eletrônicos, como novas topologias, métodos de controle e até mesmo novos materiais.

Um dos mais importantes enfoques de pesquisa na indústria de dispositivos eletrônicos de potência consiste na busca de componentes semicondutores capazes de conduzir altas correntes e ainda, suportar grandes valores de tensão quando bloqueados (BRAGA & BARBI, 2000).

Segundo Tahri & Draou (2012, p.1), a utilização dos inversores multiníveis tem crescido desde a última década devido ao fato destes dispositivos serem adequados para alta tensão e alta potência, devido a menor tensão aplicada aos interruptores, maior rendimento devido a menores perdas de comutação, frequência de comutação superior, menor conteúdo harmônico de saída, redução de interferências eletromagnéticas e resposta dinâmica mais rápida. Assim estes conversores foram ganhando importância em aplicações de média e alta tensão como fontes de energia renováveis, máquinas elétricas e distribuição de energia.

Entre as diversas aplicações em que são utilizados os conversores multiníveis podem-se citar, por exemplo, as células solares fotovoltaicas, a conversão da energia eólica e as células de combustível, sendo a energia eólica um dos campos de maior interesse para o conversor multinível (FRANQUELO et al., 2008).

Existem três estruturas tradicionais que foram investigadas no início e meados dos anos 90, que são: *Diode Clamped*, *Flying Capacitor* e *Cascade Multilevel Inverter* (PENG; QIAN; CAO, 2010).

Entre as topologias de inversores multiníveis, a *cascade H-bridge* (CHB) é a topologia mais adequada para aplicações de alta tensão, uma vez que requer o menor número de componentes para sintetizar o mesmo número de níveis de tensão. A Figura 1 mostra o esquema de um inversor multinível CHB de cinco níveis (MARTINS; MEIRELES; CARVALHO, 2011).

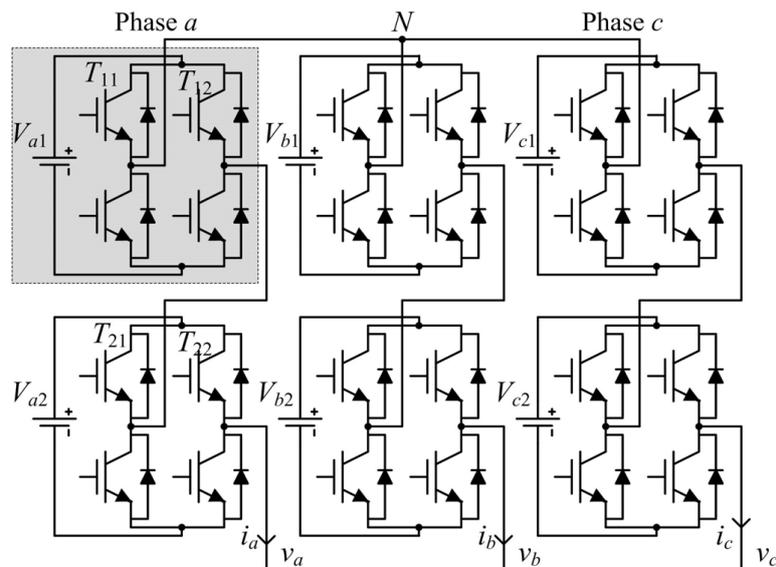


Figura 1 - Inversor trifásico CHB de cinco níveis
Fonte: Martins, Meireles, Carvalho (2011)

Os inversores CHB trifásicos requerem um grande número de sinais PWM, e assim os dispositivos FPGA (*Field Programmable Gate Array*) aparecem como a escolha ideal para implementar esta etapa do sistema de controle (MARTINS; MEIRELES; CARVALHO, 2011).

O FPGA é um *chip* de lógica programável que suporta a implementação de circuitos lógicos relativamente grandes e complexos. Consiste de um grande arranjo de células lógicas ou blocos lógicos configuráveis contidos em um único circuito integrado. Cada célula contém capacidade computacional para programar funções lógicas e realizar roteamento para comunicação entre elas, formando uma arquitetura paralela reconfigurável (DA COSTA, 2012).

No interior de cada bloco lógico do FPGA existem vários modos possíveis para implementação de funções lógicas. O mais utilizado pelos

fabricantes de FPGA como, por exemplo, a empresa Altera, é o bloco de memória LUT (*Look-Up Table*). Esse tipo de bloco lógico contém células de armazenamento que são utilizadas para realizar funções lógicas simples. Cada célula é capaz de armazenar um único valor lógico: zero ou um. Dessa forma, a utilização do FPGA se torna bastante adequada, uma vez que será necessário o desenvolvimento de diversos módulos (DA COSTA, 2012).

O FPGA se mostra uma ferramenta útil para controle de geração de sinais devido ao seu elevado número de recursos e facilidades de utilização. Seu uso se mostra eficiente para controle de conversores multiníveis, os quais exigem um algoritmo complexo para operação (MARTINS; MEIRELES; CARVALHO, 2011).

1.1 DELIMITAÇÃO DO TEMA

O presente trabalho aborda o levantamento de informações referentes as principais topologias empregadas em conversores multiníveis. Também será objeto de pesquisa as técnicas de acionamento usadas para chaveamento dos interruptores. Além disso, é feito um estudo e análise para a implementação do protótipo em escala reduzida de um inversor multinível monofásico controlado por FPGA.

1.2 PROBLEMAS E PREMISSAS

Devido às diversas topologias de inversores multiníveis existentes, é necessário avaliar as características das topologias principais, para ter uma maior compreensão das estratégias de controle a serem empregadas para a

topologia escolhida. Além disso, há questões ligadas à programação e simulação de lógica reconfigurável utilizando *softwares* proprietários, como o Quartus II (ALTERA CORP., EUA) e o ModelSim - Altera EDA (MENTOR GRAPHICS CORP., EUA, sendo necessário o aprendizado da linguagem de descrição de *hardware* VHDL¹ (*Very High Speed Integrated Circuits Hardware Description Language*) para programação do FPGA.

De acordo com Peng, Qian e Cao (2010, p.492), os inversores multiníveis apresentam um problema de desequilíbrio de tensão, a menos que cada nível de tensão seja fornecido por uma fonte de corrente contínua separada e isolada.

Infelizmente, uma das desvantagens mais particulares dos inversores multiníveis é a grande quantidade de chaves a serem utilizadas no projeto. Apesar da baixa taxa de tensão nas chaves, cada chave requer um circuito de comutação, o que torna o sistema mais caro e complexo (ELSHEIKH et al., 2012).

1.3 OBJETIVOS

1.3.1 Objetivo Geral

O objetivo geral deste trabalho é implementar o protótipo de um inversor multinível monofásico de baixa potência, controlado por FPGA, para fins didáticos e de pesquisa.

¹ A sigla VHDL é derivada de outra abreviatura – VHSIC (*Very High Speed Integrated Circuits*), já que seu objetivo inicial era voltado ao projeto de circuitos integrados de altíssima velocidade (GIACOMINI, 2013).

1.3.2 Objetivos Específicos

- Escolher uma topologia e técnica de controle para a topologia multinível;
- Pesquisar um *kit* com o FPGA adequado para o desenvolvimento da proposta;
- Elaborar o algoritmo de controle para o dispositivo FPGA;
- Pesquisar as chaves estáticas e circuitos de acionamento (*driver*) para o projeto;
- Montar o *hardware* para efetivar a implementação do conversor multinível;
- Realizar ensaio prático para análise do comportamento do circuito.

1.4 JUSTIFICATIVA

Atualmente, há uma preocupação em desenvolver circuitos que apresentem baixos níveis de distorção harmônica e alta eficiência, o que faz com que os inversores multiníveis ganhem um grande espaço de estudo na área de eletrônica de potência.

No entanto, há poucas informações sobre a implementação prática de inversores multiníveis, incentivando os estudos neste tipo de tecnologia. Além disso, o desenvolvimento do protótipo pode estimular o uso deste tipo de inversor para diversas aplicações e facilitará a observação dos resultados experimentais.

1.5 PROCEDIMENTOS METODOLÓGICOS

Este trabalho é constituído por quatro etapas principais. Na primeira etapa foi realizado um levantamento bibliográfico sobre o assunto. A principal fonte de informações para o desenvolvimento deste trabalho foi o banco de dados de dissertações e teses do site IEEE (*Institute of Electrical and Electronics Engineers*), além de algumas bibliotecas eletrônicas de universidades brasileiras. Aqui foram investigadas as diversas topologias multiníveis existentes bem como os seus métodos de controle, resultando então na escolha da topologia e do método de controle a ser utilizado.

Na segunda etapa foi feito um estudo sobre o FPGA, suas particularidades e a sua aplicação para o projeto. Também foi feito o algoritmo de controle e a simulação do projeto no ambiente do *software* Quartus II, onde houve a necessidade de um aprendizado da linguagem VHDL.

A terceira etapa marca o início do desenvolvimento do protótipo. Nesta fase foram escolhidos os componentes utilizados para a fabricação do mesmo, analisando os seus comportamentos para eventuais modificações no sistema de controle. Também foi estudado o *layout* adequado para a montagem e fabricação do circuito.

Na quarta e última etapa foi feito o procedimento de montagem e análise dos resultados. Os resultados obtidos na simulação e na montagem são comparados para se obter as conclusões referentes ao projeto.

1.6 ESTRUTURA DO TRABALHO

O presente trabalho é composto por 10 capítulos. O Capítulo 1 apresenta a introdução: apresentação da proposta, definição do tema, objetivos e motivação para o desenvolvimento do trabalho. O Capítulo 2 mostra uma

apresentação geral das principais topologias multiníveis existentes, bem como uma comparação entre vantagens e desvantagens. O Capítulo 3 aborda os métodos de modulações existentes para conversores multiníveis. O Capítulo 4 discorre sobre a simulação da topologia CHB de 5 níveis no *software* PSIM com o método de controle por modulação de largura de pulsos (MLP) com portadoras em fase. O Capítulo 5 comenta a respeito da arquitetura interna e algumas particularidades do *kit* DE0-Nano da Altera. O Capítulo 6 discorre referente a construção e montagem do protótipo. O Capítulo 7 trata sobre a escolha e a validação do *driver* no *proto-board*. O Capítulo 8 aborda a validação do *driver* na placa de circuito impresso. O Capítulo 9 comenta sobre a implementação prática do inversor multinível. E por fim, o Capítulo 10 faz considerações finais e recomendações para o próximo projeto.

2 INTRODUÇÃO AOS CONVERSORES MULTINÍVEIS

Em aplicações de alta potência, com elevados níveis de tensão e/ou corrente, os conversores tradicionais normalmente fazem uso de dispositivos semicondutores em série e/ou paralelo para superar as limitações impostas pelas especificações desses dispositivos. Essas conexões podem se tornar problemáticas, pois não se garante que os semicondutores estarão submetidos aos mesmos níveis de tensão e corrente. Além dessa dificuldade, conversores de alta potência, que usam semicondutores com elevados limites de tensão e/ou corrente não tem capacidade para operar com maiores frequências de comutação. Logo, o desempenho harmônico de tais conversores é penalizado (RECH, 2005).

Por essas razões, conversores multiníveis têm sido usualmente empregados para sintetizar formas de onda de alta tensão ou corrente, utilizando dispositivos de menor potência e com capacidade para operar com maiores frequências de comutação. Ainda, conversores multiníveis também sintetizam formas de onda com reduzido conteúdo harmônico, permitindo a redução do tamanho/volume dos elementos de filtragem. Conseqüentemente, esses conversores tem atraído a atenção da indústria em várias aplicações, principalmente de média e alta potência, como no acionamento de motores de média tensão (FRANQUELO et al., 2008).

Foram analisadas as características básicas das principais topologias de conversores multiníveis de tensão e de corrente propostos na literatura. As topologias de conversores multiníveis podem ser inicialmente classificadas em dois grandes grupos, denominados (RECH, 2005):

- a) Conversores multiníveis de tensão;
- b) Conversores multiníveis de corrente.

Os conversores multiníveis de tensão dividem a tensão total entre um determinado número de interruptores efetivamente conectados em série e sintetizam formas de onda de tensão multiníveis com reduzido conteúdo harmônico. Esses conversores têm sido normalmente aplicados em sistemas

de alta potência que empregam níveis de tensão elevados para reduzir a corrente do conversor e, por consequência, diminuir as perdas em condução e aumentar a eficiência do sistema. Por outro lado, os conversores multiníveis de corrente dividem a corrente total do conversor entre um determinado número de interruptores efetivamente dispostos em paralelo e diminuem o conteúdo harmônico das formas de onda de corrente (RECH, 2005).

2.1 CONVERSORES MULTINÍVEIS DE TENSÃO

Diversas topologias de conversores multiníveis de tensão têm sido propostas e analisadas recentemente (LEÃO & SILVA, 2012). As principais topologias abordadas podem ser divididas em três classes:

- Configurações multiníveis com diodos de grampeamento;
- Configurações multiníveis com capacitores de grampeamento;
- Configurações multiníveis com células em série.

As principais características, vantagens e desvantagens dessas configurações são apresentadas nas próximas seções.

2.1.1 Configurações multiníveis com diodos de grampeamento

O conceito de conversor multinível com diodos de grampeamento foi introduzido com a proposta de um inversor de três níveis, denominado inversor com ponto neutro grampeado (NPC – *Neutral Point Clamped*) é mostrado na Figura 2 (LEÃO & SILVA, 2012).

Cada perna ou braço do inversor NPC possui quatro interruptores (S_{1x} , S_{2x} , S_{3x} e S_{4x}) com diodos em antiparalelo, e dois diodos de grampeamento

(D_{1x} e D_{2x}) conectados ao ponto (o) do barramento CC, conforme ilustrado. O barramento CC é formado por dois capacitores divisores de tensão, cada um carregado com $V_{cc}/2$ (LEÃO & SILVA, 2012).

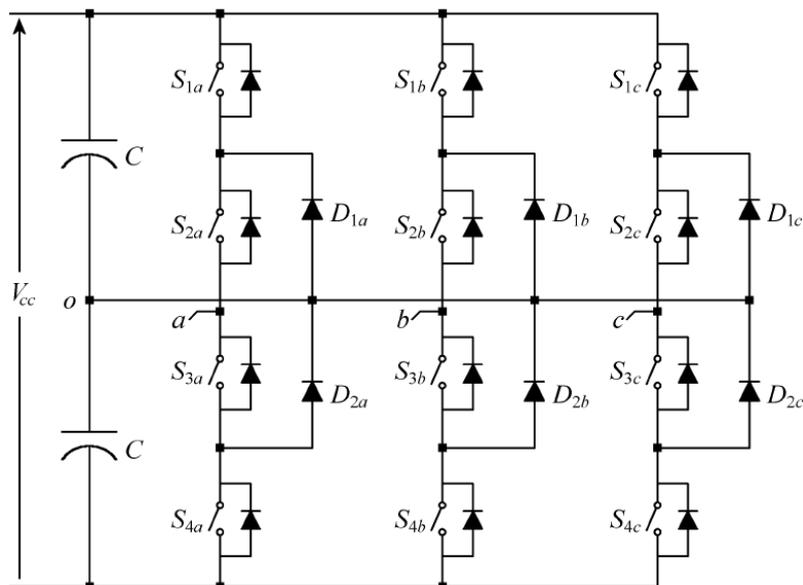


Figura 2 - Inversor de três níveis com diodos de grampeamento (inversor NPC)
 Fonte: Leão & Silva (2012)

Com essa configuração, cada perna do inversor possui três possíveis estados de condução (P , O e N), apresentados na Tabela 1. O estado de condução P é obtido acionando os dois interruptores superiores, resultando em uma tensão de fase com relação ao ponto neutro do barramento CC igual a $V_{cc}/2$. Para obter uma tensão fase-neutro nula (estado de condução O) deve-se acionar as duas chaves centrais. Dessa forma, o terminal de saída da respectiva fase é grampeado ao ponto neutro do barramento CC através dos diodos de grampeamento. O estado de condução N é obtido acionando os dois interruptores inferiores, resultando em uma tensão fase-neutro de $-V_{cc}/2$ (LEÃO & SILVA, 2012).

Tabela 1 - Possíveis estados de condução e valores da tensão fase-neutro ($x=\{a,b,c\}$).

Símbolo	Estados de condução				Tensão de Saída (V_x)
	S_{1x}	S_{2x}	S_{3x}	S_{4x}	
P	1	1	0	0	$V_{cc}/2$
O	0	1	1	0	0
N	0	0	1	1	$-V_{cc}/2$

Fonte: Adaptado de Leão & Silva (2012)

Posteriormente, a topologia do inversor NPC foi generalizada para um maior número de níveis, utilizando o mesmo conceito de grampear níveis de tensão com diodos. A Figura 3 mostra um inversor trifásico capaz de sintetizar tensões de fase com m níveis usando diodos de grampeamento. Para uma tensão de entrada V_{cc} , a tensão sobre cada capacitor que compõe o barramento CC é $V_{cc}/(m - 1)$, e a tensão sobre os interruptores é idealmente limitada à tensão de um capacitor (LEÃO & SILVA, 2012).

Algumas vantagens do inversor m níveis com diodos grampeados podem ser destacadas ao compararmos essa topologia com um inversor de dois níveis, tais como (LEÃO & SILVA, 2012):

- Tensão sobre os interruptores é igual à tensão de um capacitor que compõe o barramento. Assim, elevados níveis de tensão podem ser atingidos sem conectar interruptores em série ou usar transformadores para elevar a tensão;
- Tensões de saída apresentam menor conteúdo harmônico, possibilitando a redução ou a eliminação de filtros passivos;
- Redução da taxa de variação de tensão (dV/dt). Conversores multiníveis com diodos de grampeamento têm sido muito utilizados no acionamento de motores, pois as comutações ocorrem entre níveis menores de tensão. Com isso, falhas em motores ocasionadas por problemas associados a elevados valores de dV/dt são minimizadas.

Entretanto, essa topologia também apresenta algumas limitações segundo (LEÃO & SILVA, 2012):

- Os diodos de grampeamento devem suportar níveis de tensão reversa distintos quando o número de níveis é maior que três. Vários diodos devem ser conectados em série quando o número de níveis aumenta para que todos os diodos de grampeamento possuam a mesma especificação de tensão dos interruptores. Assim, o número de diodos cresce rapidamente e é igual a $3(m-1)(m-2)$;
- Grampeamento indireto dos interruptores internos. Como os interruptores internos não estão diretamente grampeados aos capacitores do barramento, as sobre tensões causadas pelas energias armazenadas em indutâncias parasitas podem não ser perfeitamente descarregadas, provocando uma divisão de tensão desigual entre os interruptores;
- Quando o controle da tensão dos capacitores que compõem o barramento CC não é realizado de forma adequada, a tensão sobre os mesmos tende a divergir de seus valores nominais em aplicações com transferência de potência ativa. Logo, diversos autores tem proposto alternativas para controlar o nível de tensão dos capacitores;
- Interruptores são submetidos a valores eficazes de corrente diferentes, devido à inexistência de estados de condução redundantes.

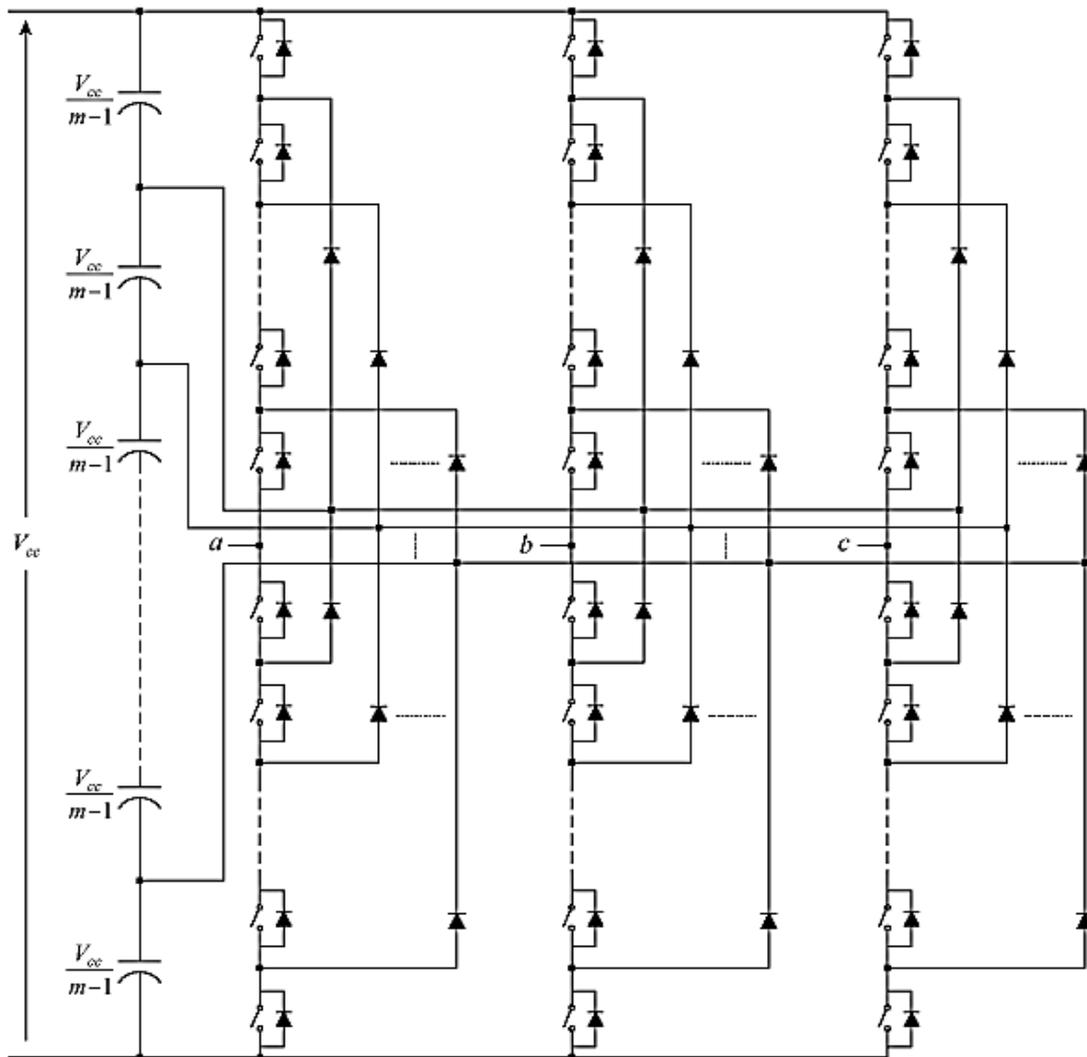


Figura 3 - Inversor m níveis com diodos de grampeamento.
Fonte: Leão & Silva (2012)

Algumas topologias alternativas de conversores multiníveis com diodos de grampeamento têm sido propostas para minimizar alguns desses problemas. Existe uma nova configuração de inversor multinível com diodos de grampeamento sem a necessidade de conectar diodos em série e, além disso, um circuito grampeado auxiliar é proposto para resolver o problema do grampeamento indireto dos interruptores internos (LEÃO & SILVA, 2012).

2.1.2 Configurações multiníveis com capacitores de grampeamento

Outra topologia, que usa capacitores para grampear a tensão sobre os interruptores, é mostrada na Figura 4 e usualmente é chamada de inversor multinível com capacitores de grampeamento, inversor multinível com capacitores flutuantes, ou ainda, inversor multinível com células imbricadas (ÁVILA, 2012; LEÃO & SILVA, 2012).

Ao contrário do inversor multinível com diodos de grampeamento, o inversor com capacitores de grampeamento possui estados de condução redundantes para sintetizar a tensão de fase, ou seja, alguns valores da tensão de fase podem ser sintetizados por mais de um estado de condução. Além disso, uma desvantagem do uso dessa configuração é o emprego de um grande número de capacitores, fato que traz dificuldades para ajustar o nível de tensão dos capacitores flutuantes em aplicações de transferência de potência ativa. Para que cada capacitor tenha a mesma especificação de tensão dos interruptores principais deve-se conectar capacitores em série. Assim, são necessários $3(m-1)(m-2)/2$ capacitores de grampeamento, além de $(m-1)$ capacitores para compor o barramento CC (ÁVILA, 2012; LEÃO & SILVA, 2012).

Uma topologia híbrida, que combina as vantagens das configurações multiníveis com diodos e capacitores de grampeamento também já foi estudada na literatura. Com essa topologia, as flutuações de tensão nos capacitores que compõe o barramento são reduzidas e todos os dispositivos semicondutores são submetidos aos mesmos níveis de tensão reversa, mesmo considerando as indutâncias parasitas presentes no circuito. A Figura 5 mostra a estrutura de um inversor de três níveis utilizando essa combinação de diodos e capacitores de grampeamento (ÁVILA, 2012; LEÃO & SILVA, 2012).

Mais tarde um inversor multinível generalizado usando diodos e capacitores de grampeamento também foi proposto. A partir dessa topologia generalizada é possível obter as configurações multiníveis com diodos e com capacitores de grampeamento mostradas nas Figuras 3 e 4, respectivamente,

além de outras estruturas que combinam as vantagens dessas duas configurações básicas (LEÃO & SILVA, 2012).

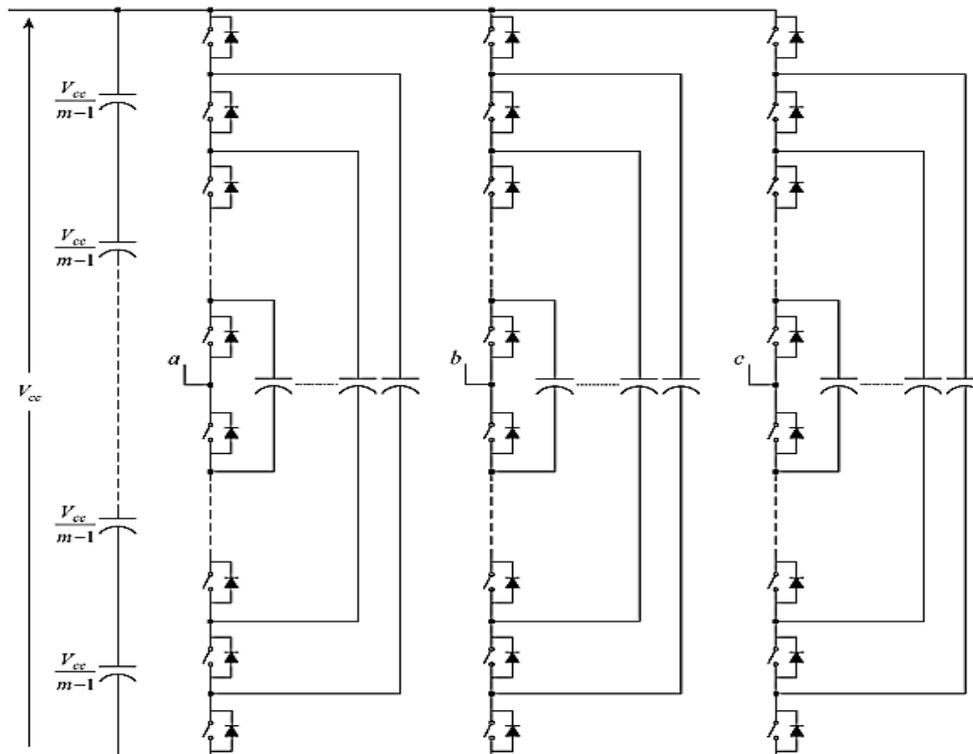


Figura 4 - Inversor multinível com capacitores de grampeamento
Fonte: Leão & Silva (2012)

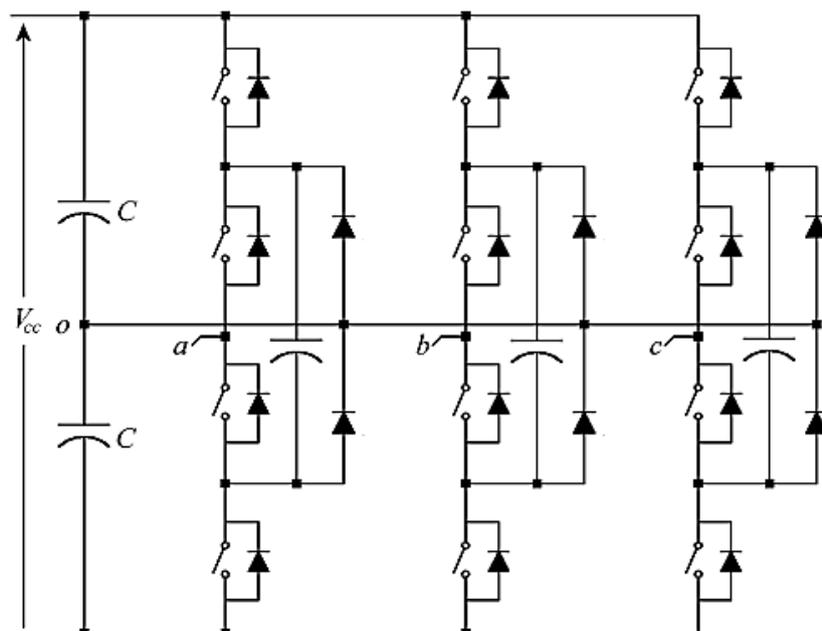


Figura 5 - Inversor de três níveis utilizando diodos e capacitores de grampeamento
Fonte: Leão & Silva (2012)

2.1.3 Configurações multiníveis com células conectadas em série

Os conversores multiníveis com células conectadas em série sintetizam formas de onda e tensão multiníveis ao somar as tensões de saída das várias células em série. Normalmente, as células que compõe esses conversores possuem configurações monofásicas ou trifásicas (VASQUEZ, 2010).

Segundo Rech (2005 p.14) a conexão de células monofásicas em série para sintetizar formas de onda de tensão multiníveis foi apresentada pela primeira vez, provavelmente, em 1975. Vários inversores monofásicos em ponte completa convencionais (inversores *H-Bridge*) são conectados em série para obter uma tensão de saída com uma forma de onda quase senoidal. Posteriormente, diversos autores também utilizaram essa configuração para sintetizar formas de onda de tensão com vários níveis, tanto em sistemas monofásicos quanto trifásicos.

A Figura 6 mostra a estrutura simplificada de um inversor multinível trifásico conectado em *Y* com n células *H-Bridge* conectadas em série por fase.

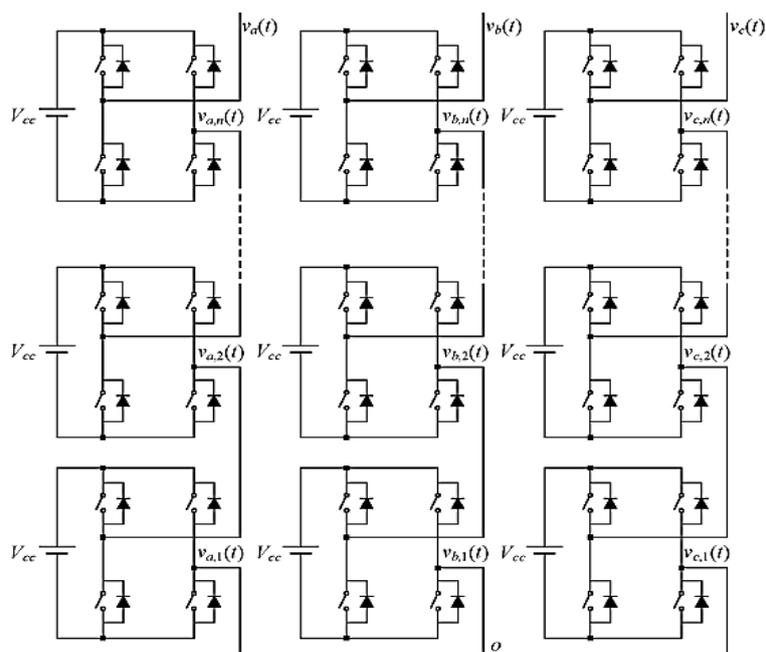


Figura 6 - Inversor multinível com células *H-bridge* em série
Fonte: Ávila (2012)

O inversor multinível com células *H-bridge* em série tem sido usado em aplicações de alta potência, como por exemplo, na compensação estática de reativos, devido à sua modularidade. (ÁVILA, 2012).

Devido a isso, estas células não requerem o uso de diodos e capacitores de grampeamento, e também não há o problema de desbalanceamento dos capacitores das fontes de tensão. Além disso, de forma similar ao inversor com capacitores de grampeamento, a topologia mostrada na

Figura 6 possui estados de condução redundantes para sintetizar a tensão de fase (ÁVILA, 2012).

Porém, esse inversor requer a utilização de fontes de tensão isoladas para a sua correta operação, ou seja, para explorar todos os estados de condução e, então, sintetizar o número de níveis desejado sem provocar curto-circuito nas fontes de entrada (ÁVILA, 2012).

Também é possível utilizar células multiníveis ao invés de inversores monofásicos em ponte completa convencionais. Assim, é possível obter o mesmo número de níveis com um número reduzido de fontes isoladas. Como exemplo, a Figura 7 ilustra um inversor de nove níveis implementado com dois inversores NPC monofásicos em ponte completa e em série, ambos operando com os mesmos níveis de tensão (ÁVILA, 2012)

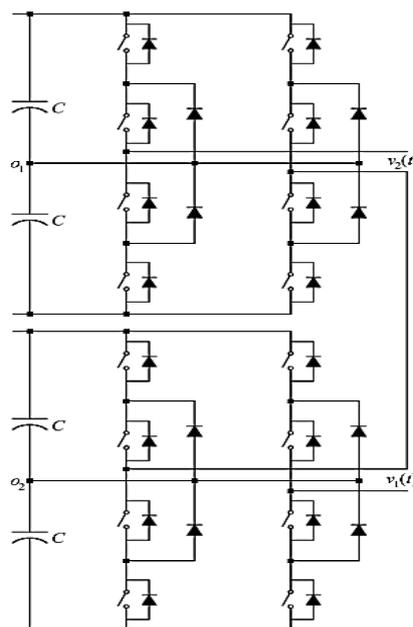


Figura 7 - Inversor 9 níveis com dois inversores NPC monofásicos conectados em série
 Fonte: Ávila (2012)

Uma tensão de fase é obtida ao somar a tensão de saída de cada célula, por exemplo:

$$V_a(t) = V_{a,1}(t) + V_{a,2}(t) + \dots + V_{a,n}(t). \quad (2-1)$$

A partir da Figura 7 pode-se verificar que somente duas fontes de tensão isoladas são necessárias em cada perna do inversor para sintetizar uma tensão fase-neutro com nove níveis. Por outro lado, quatro fontes isoladas são necessárias por fase quando a configuração mostrada na Figura 6 é utilizada (ÁVILA, 2012).

Outra configuração que permite que todas as células sejam alimentadas por uma fonte de tensão comum é apresentada na Figura 8. Nessa topologia, transformadores monofásicos são conectados na saída de cada célula e os seus enrolamentos secundários são conectados em série para sintetizar uma forma de onda de tensão multinível. Para que essa estrutura opere adequadamente, as tensões de saída de cada célula devem apresentar componentes contínuas de tensão reduzidas, evitando a saturação dos transformadores (RECH, 2005).

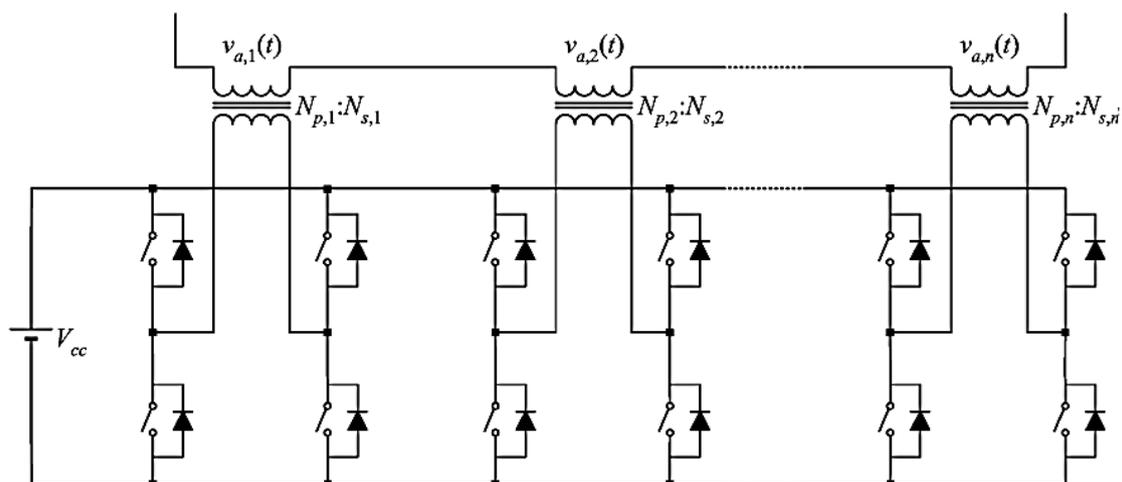


Figura 8 - Conexão série através de transformadores monofásicos
Fonte: Rech (2005)

Além dessas configurações, conversores trifásicos de potência podem ser conectados em série com a utilização de transformadores trifásicos com enrolamentos secundários adequadamente defasados entre si.

Assim, as tensões de saída dos conversores trifásicos dois níveis são adicionadas vetorialmente através dos secundários, resultando em uma tensão de saída multinível. Porém, além de não reduzir o número necessário de interruptores para sintetizar um determinado número de níveis, um grande número de transformadores devem ser empregados para sintetizar tensões de saída com um elevado número de níveis (RECH, 2005).

Outra topologia de inversor multinível usando células simétricas trifásicas de dois níveis em série pode ser vista na Figura 9. Esta emprega três inversores de tensão trifásicos conectados em série através de um transformador na saída. Assim, consegue-se sintetizar tensões de linha com sete níveis distintos. Porém, essa topologia requer dezoito interruptores e três fontes de tensão isoladas, enquanto que um inversor multinível com diodos de grampeamento requer dezoito interruptores e somente uma fonte de tensão contínua para também sintetizar o mesmo número de níveis de tensão (RECH, 2005).

Além dessas configurações com células simétricas conectadas em série, vários trabalhos têm sido desenvolvidos recentemente utilizando níveis de tensão diferentes para cada célula. Dessa forma, consegue-se aumentar o número de níveis sintetizados pelo conversor, sem aumentar o número de dispositivos de potência. Essa configuração é comumente chamada de conversor multinível assimétrico (RECH, 2005).

2.1.4 Comparação entre topologias

A Tabela 2 compara o número de componentes usados nas topologias básicas de inversores multiníveis trifásicos: com diodos de grampeamento (Figura 3), com capacitores de grampeamento (Figura 4) e com células monofásicas em série (Figura 6) (RECH, 2005).

Tabela 2 - Componentes usados nas topologias básicas de inversores multiníveis trifásicos

	Diodos de grampeamento	Capacitores de grampeamento	Células em série
Interruptores principais	$6(m - 1)$	$6(m - 1)$	$6(m - 1)$
Diodos principais	$6(m - 1)$	$6(m - 1)$	$6(m - 1)$
Capacitores dos Barramentos CC	$(m - 1)$	$(m - 1)$	$3(m - 1)/2$
Diodos de grampeamento	$3(m - 1)(m - 2)$	0	0
Capacitores de grampeamento	0	$3(m - 1)(m - 2)/2$	0

Fonte: Adaptado de Rech (2005)

A partir da Tabela 2 pode-se constatar que a configuração multinível com células monofásicas em série apresenta o menor número de componentes entre as estruturas trifásicas analisadas.

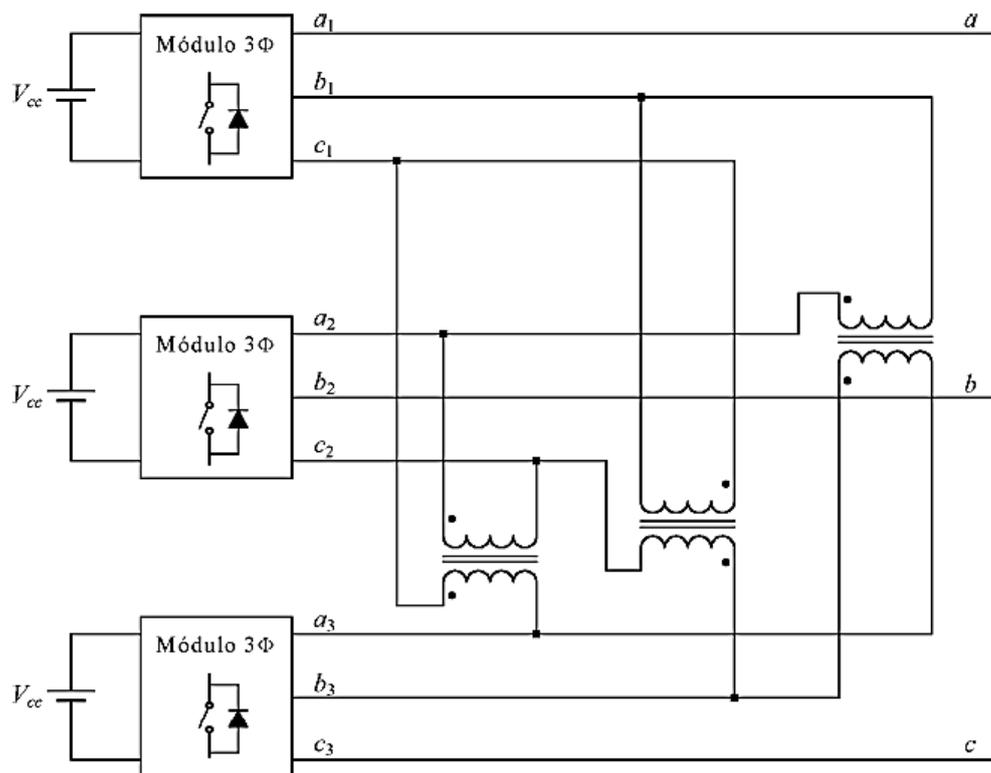


Figura 9 - Inversor multinível com células simétricas trifásicas conectadas em série
Fonte: Rech (2005)

É importante ressaltar que nessa comparação não estão incluídos os componentes requeridos para implementar as fontes de tensão isoladas, que são necessárias em aplicações com transferência de potência ativa (RECH, 2005).

2.2 CONVERSORES MULTINÍVEIS DE CORRENTE

Até este ponto, todas as topologias apresentadas neste trabalho correspondem a conversores multiníveis de tensão, com capacidade para sintetizar formas de onda com elevados níveis de tensão e com reduzido conteúdo harmônico. Porém, existem aplicações que processam elevados níveis de corrente, tais como sistemas de armazenamento de energia através de bobinas supercondutoras (SMES – *Superconducting Magnetic Energy Storage System*), e/ou necessitam sintetizar formas de onda de corrente com reduzido conteúdo harmônico, como por exemplo, conversores pré-reguladores, tornando também interessante a análise de conversores multiníveis de corrente (RECH, 2005).

Algumas topologias de conversores multiníveis de corrente podem ser diretamente obtidas ao aplicar o princípio da dualidade em alguns conversores multiníveis de tensão. Como exemplo, a Figura 10 mostra uma célula genérica multinível de corrente, que pode ser obtida a partir da configuração multinível de tensão com capacitores de grampeamento apresentada na Figura 4. Essa estrutura é baseada na conexão em paralelo de células de comutação através de indutores de equilíbrio, sendo originalmente proposta como uma alternativa para promover o paralelismo de interruptores. Além disso, essa topologia também possibilita sintetizar formas de onda de corrente multiníveis ao utilizar uma estratégia de modulação adequada (RECH, 2005).

Essa célula genérica pode ser adaptada para gerar conversores capazes de sintetizar formas de onda de corrente com qualquer número de níveis e, além disso, que utilizam dispositivos semicondutores com menores

especificações de corrente. A Figura 11 ilustra um inversor monofásico que pode sintetizar cinco níveis de corrente, obtido a partir da célula apresentada na Figura 10. De forma similar, essa célula também pode ser aplicada para obter outros conversores multiníveis de corrente, tais como os conversores *buck* e *boost* multiníveis de corrente (RECH, 2005).

Além da célula genérica mostrada na Figura 10, outros conversores multiníveis de corrente também podem ser obtidos a partir do princípio da dualidade. Como exemplo, a Figura 12 mostra um inversor multinível de corrente monofásico com n células conectadas em paralelo, obtido a partir do inversor multinível de tensão apresentado na Figura 6. Nesta configuração, a corrente de saída $i_o(t)$ corresponde à soma das correntes de saída das células dispostas em paralelo (RECH, 2005).

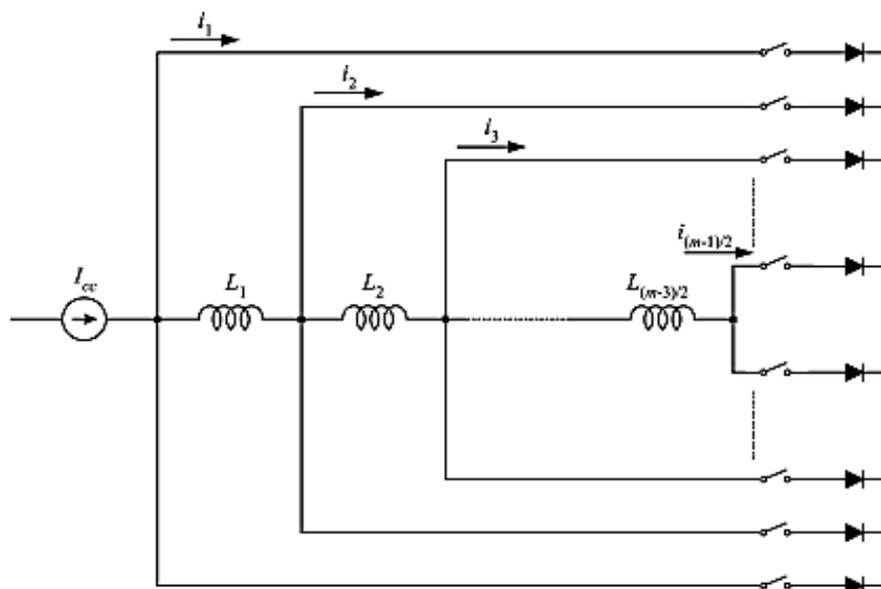


Figura 10 - Célula genérica m níveis de corrente
Fonte: Rech (2005)

Também é possível conectar inversores de corrente trifásicos em paralelo, conforme ilustrado na Figura 13. Ao contrário dos inversores multiníveis de tensão com células trifásicas em série, para essa configuração não é necessário o uso de transformadores para conectar as células em paralelo, permitindo que o número de níveis sintetizado por esse inversor de corrente seja aumentado facilmente (RECH, 2005).

Embora existam algumas configurações multiníveis de corrente, os conversores multiníveis de tensão tem sido normalmente estudados pelos pesquisadores, pois a maioria das aplicações de alta potência emprega níveis elevados de tensão para reduzir a corrente e aumentar a eficiência do sistema (RECH, 2005).

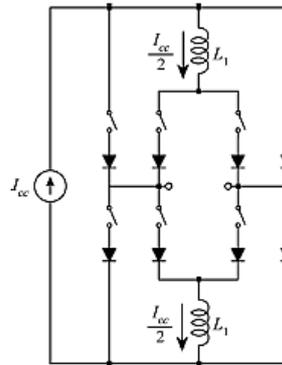


Figura 11 - Inversor cinco níveis de corrente
Fonte: Rech (2005)

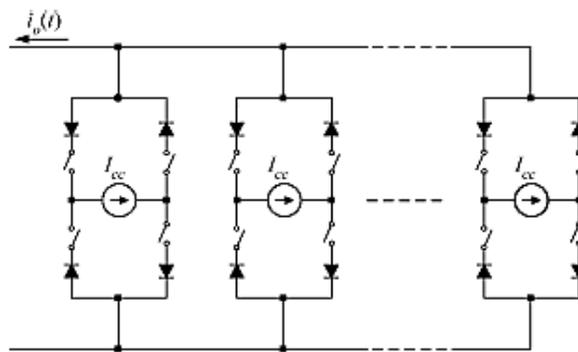


Figura 12 - Inversor multinível de corrente com células monofásicas em paralelo
Fonte: Rech (2005)

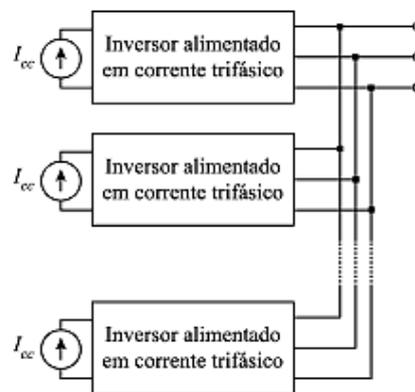


Figura 13 - Inversor multinível de corrente com células trifásicas em paralelo
Fonte: Rech (2005)

3 MODULAÇÃO MULTINÍVEL

Diversas estratégias de modulação foram desenvolvidas para conversores multiníveis com o intuito de diminuir o conteúdo harmônico das variáveis de interesse, reduzir as perdas dos conversores e melhorar a qualidade da tensão de saída (LEÃO & SILVA, 2013). A literatura científica faz alusão a uma série de técnicas de modulação, algumas mais complexas outras mais simples, como se pode observar na Figura 14. Entre essas inúmeras estratégias de modulação, iremos destacar três:

- Eliminação seletiva de harmônicas;
- Modulação por largura de pulsos;
- Modulação *space vector*.

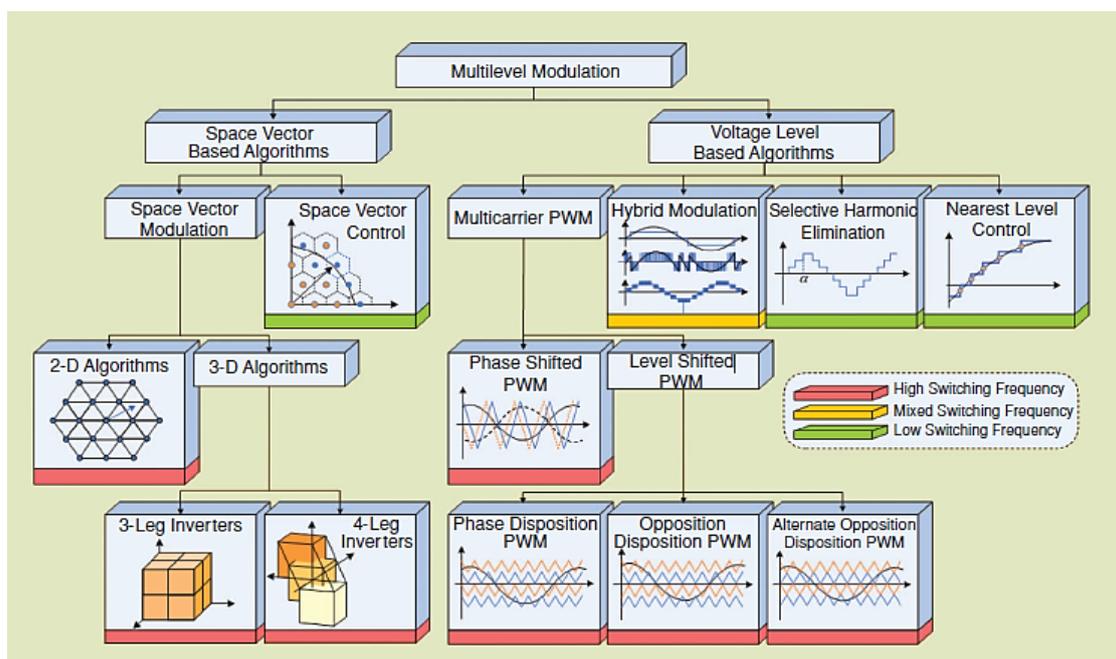


Figura 14 - Classificação das modulações em inversores multiníveis
Fonte: Franquelo et al. (2008)

3.1 ELIMINAÇÃO SELETIVA DE HARMÔNICAS

Esta técnica baseia-se no cancelamento de harmônicos através da escolha do ângulo de disparo dos interruptores. A série de Fourier, descrita na equação 3-1, dá a amplitude dos harmônicos ímpares m que se deseja eliminar (PEREIRA, 2008):

$$h_m = \frac{4}{m\pi} \sum_{k=1}^n [V_k \cos m\alpha_k] \quad (3-1)$$

Na equação, V_k é o nível k da tensão DC (*Direct Current*) e α_k é o ângulo de disparo. De uma forma geral pode-se dizer que para um número n de ângulos de disparo tem-se $n-1$ harmônicos a serem eliminados, tendo em conta que: $\alpha_1 < \alpha_2 < \dots < \alpha_n < \frac{\pi}{2}$. É normal optar-se por cancelar apenas os harmônicos de baixa frequência e deixar o cancelamento de harmônicos de alta frequência para filtros passivos (PEREIRA, 2008).

Na Figura 15 (a) existem cinco ângulos de comutação por quarto de ciclo. Assim, é possível eliminar quatro harmônicas pré-determinadas e obter a amplitude desejada da componente fundamental de tensão. Nesse caso, os ângulos de comutação foram calculados para eliminar a 5ª, 7ª, 11ª e 13ª harmônicas e para que a amplitude da componente fundamental da tensão de fase seja 1 p.u., como ilustrado na Figura 15 (b). (RECH, 2005).

Essa estratégia é também conhecida como modulação por largura de pulso programada. Como o cálculo dos ângulos de comutação são feitos pelo controlador e ainda deve ser armazenado em dispositivos de memória, a aplicação desta estratégia para níveis maiores e com vários ângulos de comutação é limitada pela capacidade de armazenamento dos dispositivos de memória. (RECH, 2005).

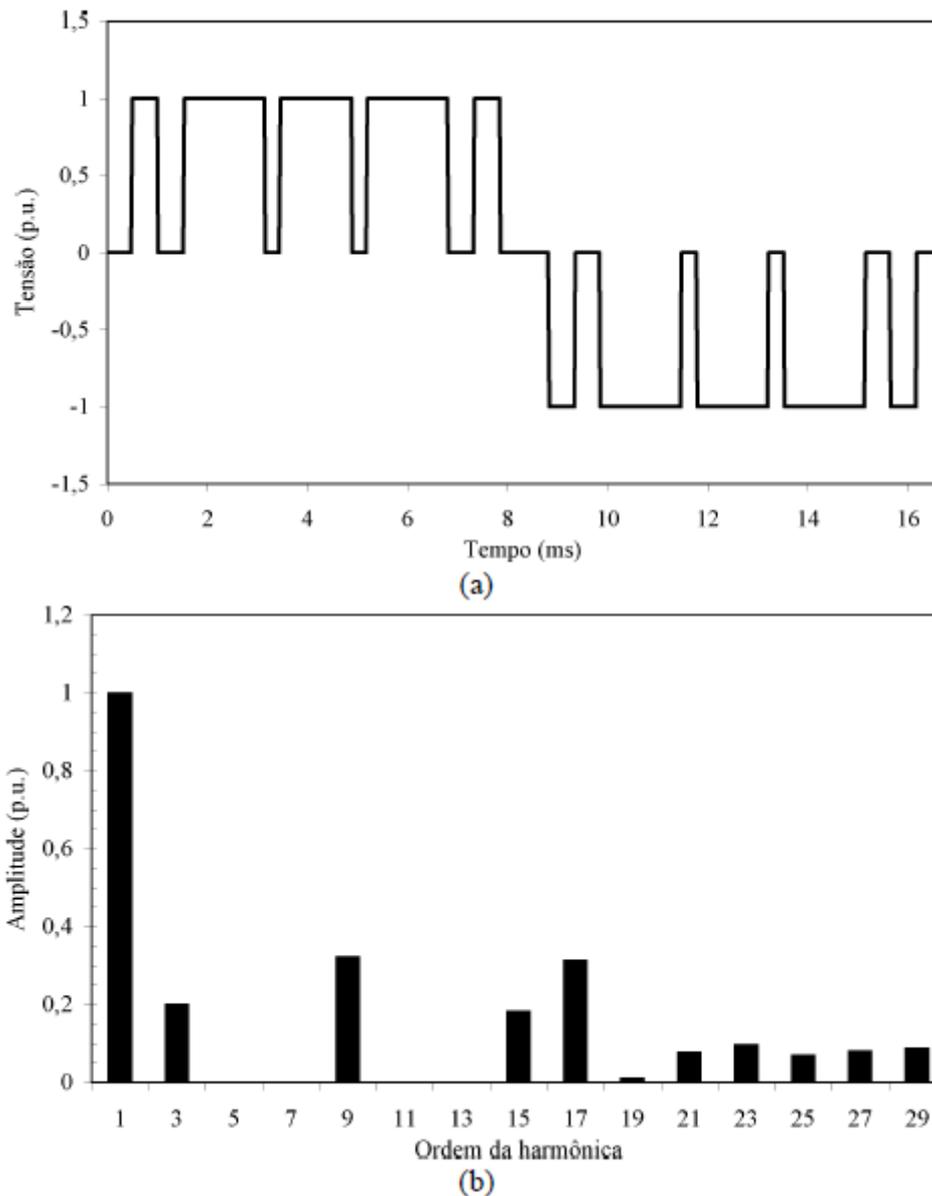


Figura 15 – Eliminação de harmônicas. (a) Tensão de fase de três níveis. (b) Espectro harmônico.
Fonte: Rech (2005)

É ainda interessante notar que esta técnica encontra-se englobada nas comutações de baixa frequência, entretanto, que pode se tornar de alta frequência com o aumento do número de níveis do conversor e consequentemente aumento de número de disparos (PEREIRA, 2008).

3.2 MODULAÇÃO POR LARGURA DE PULSOS (MLP)

A modulação por largura de pulsos (MLP) aplicada aos conversores multiníveis tem o mesmo princípio da MLP aplicada aos conversores convencionais e tem a vantagem de ser uma das técnicas mais aplicadas ao controle de conversores. O princípio consiste em comparar uma onda triangular (portadora) de alta frequência com a onda que se deseja à saída (moduladora) (LEÃO & SILVA, 2013).

Em alguns casos é utilizada uma onda dente de serra como portadora devido a simplicidade, mas com a desvantagem de gerar mais conteúdo harmônico na onda de saída. A onda moduladora, no caso de conversores CC/CA, é formada por uma onda senoidal. Como esta é uma técnica bastante flexível e fácil de implementar, permite que existam diversas variações como ilustrado na Figura 14 (PEREIRA, 2008).

3.2.1 MLP por defasamento

No caso da MLP por defasamento (*Phase Shifted PWM – PSPWM*) são utilizadas, para conversores n níveis, $n-1$ portadoras, com frequência e amplitudes iguais, mas como o nome indica, tem de estar defasadas entre si. O defasamento escolhido para a menor distorção harmônica é dada por $\Delta = T_s / (n-1)$, com Δ a ser o atraso necessário para a escolha do defasamento e T_s o período de comutação (LEÃO & SILVA, 2013).

Na Figura 16 é possível ver as portadoras e a moduladora que geram os sinais e onde a soma resulta na forma de onda de saída. Como pode ser observado, esta onda é referente a um conversor de 5 níveis e comuta a uma frequência $(n-1)$ vezes superior à frequência da portadora (PEREIRA, 2008).

Esta modulação apresenta uma vantagem adicional quando aplicada a conversores convencionais em cascata, porque os sinais obtidos da comparação entre a moduladora e as portadoras podem ser diretamente

aplicados aos interruptores deste tipo de conversor, enquanto que para outras topologias de modulação é necessário algum tipo de condicionamento de sinal. Como desvantagem, pode-se citar a distorção harmônica total (DHT) da tensão de saída apresentado em inversores que utilizam essa modulação, principalmente em conversores de poucos níveis (LEÃO & SILVA, 2013).

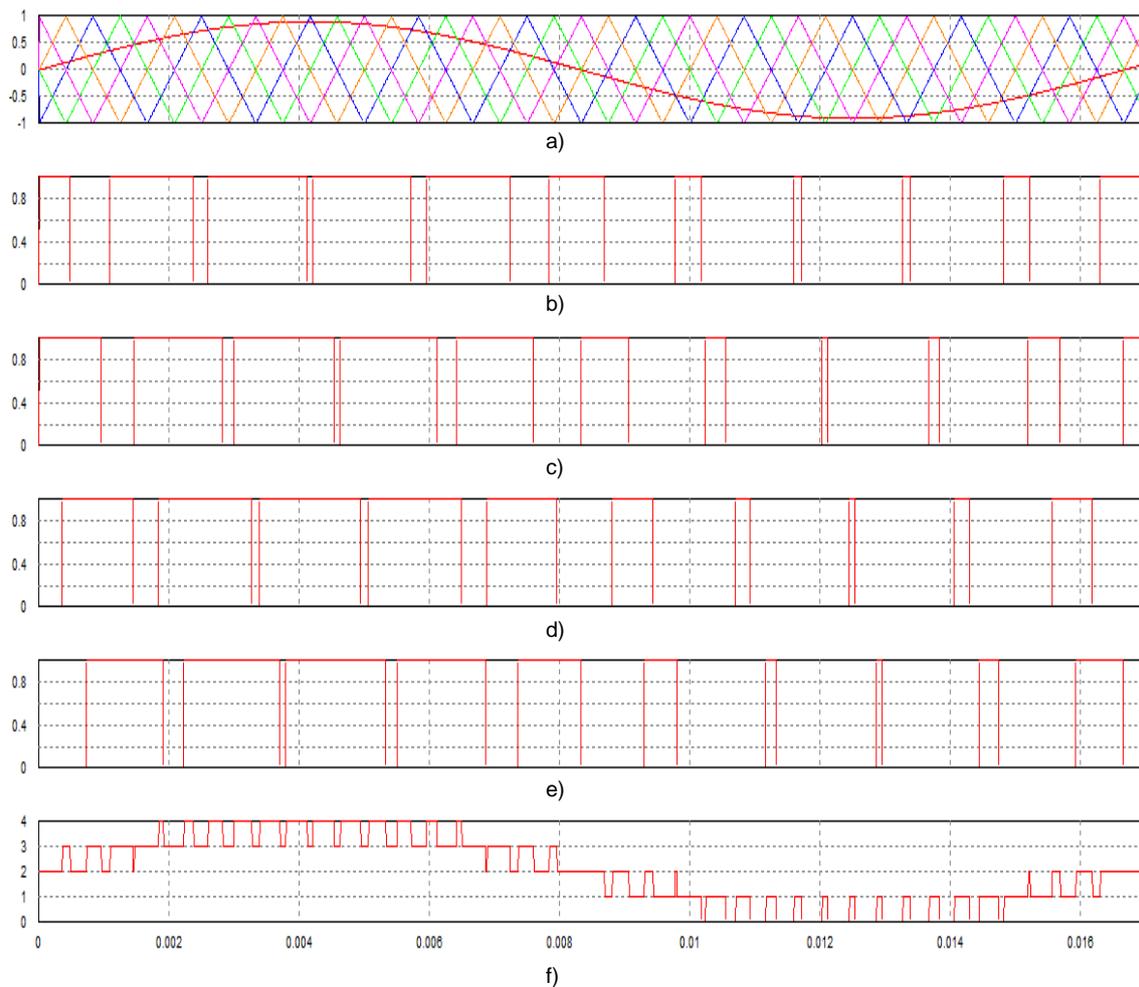


Figura 16 - MLP por defasamento em um conversor de cinco níveis a) Onda de referência e portadoras; b) - e) Resultado das comparações; f) Onda de saída resultante da soma das 4 ondas anteriores

Fonte: Autoria Própria

3.2.2 MLP por desnivelamento

A modulação por desnivelamento implica que as portadoras estejam em frequências e amplitudes iguais, assim como no caso anterior, mas em diferentes níveis de tensão. Na Figura 17 são mostradas as três variantes deste tipo de modulação: em fase, em oposição de fase e em oposição de fase alternada (PEREIRA, 2008).

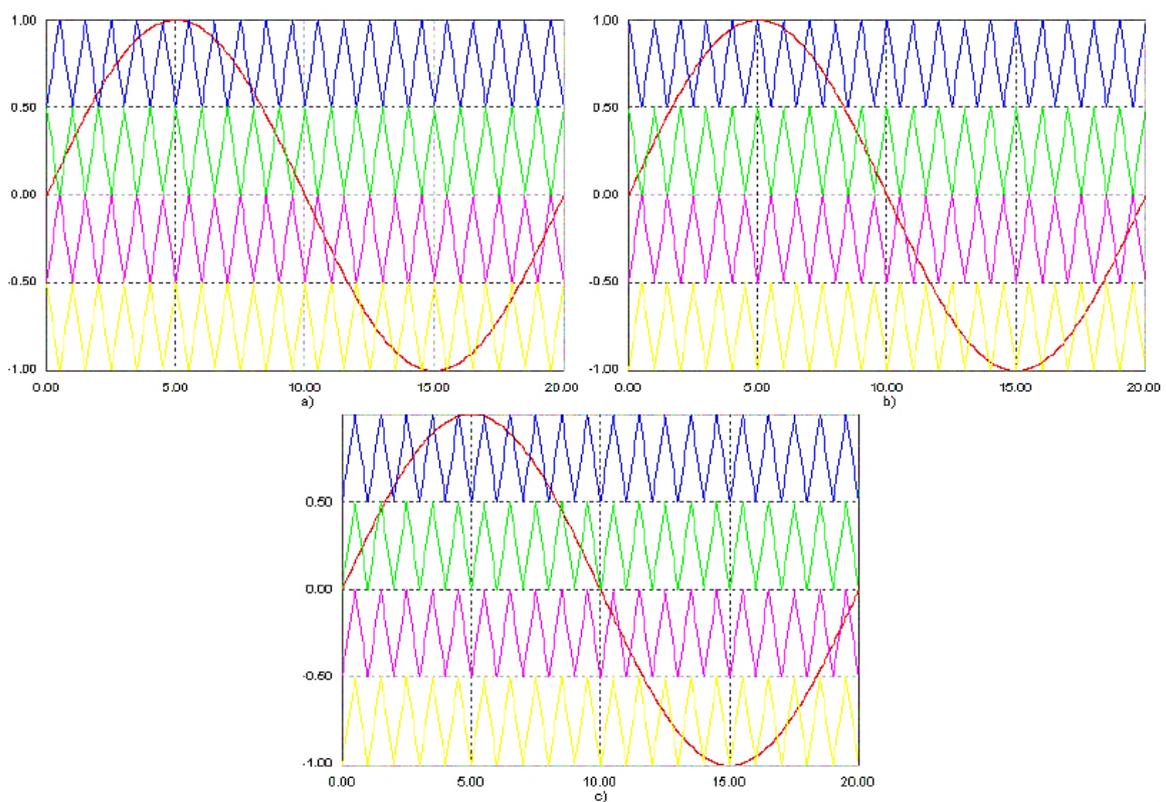


Figura 17 - MLI por desnivelamento num conversor de 5 níveis a) Portadoras em oposição de fase b) Portadoras em oposição de fase alternadas c) Portadoras em fase
Fonte: Pereira (2008)

É importante ainda referir que para o caso do conversor de três níveis as estratégias de portadoras em oposição de fase e oposição de fase alternada são iguais, não existindo diferença nas portadoras. A modulação com

portadoras em fase é a estratégia que melhores resultados se obtém de conteúdo harmônico da tensão entre fases (PEREIRA, 2008).

3.3 SPACE VECTOR

A modulação por largura de pulsos (MLP vetorial ou SVPWM – *Space Vector PWM*) consiste na representação de todos os estados possíveis da saída em vetores no plano d - q e na escolha de qual desses vetores deve representar a saída, dependendo da posição do vetor de referência. A Figura 18 permite ver o número de estados possíveis num conversor convencional de dois níveis. Para este conversor existem 8 estados possíveis, representados na Tabela 3, tendo em consideração que existem combinações que não podem ser aqui incluídas por curto circuitarem um ramo (PEREIRA, 2008; LEÃO & SILVA, 2013).

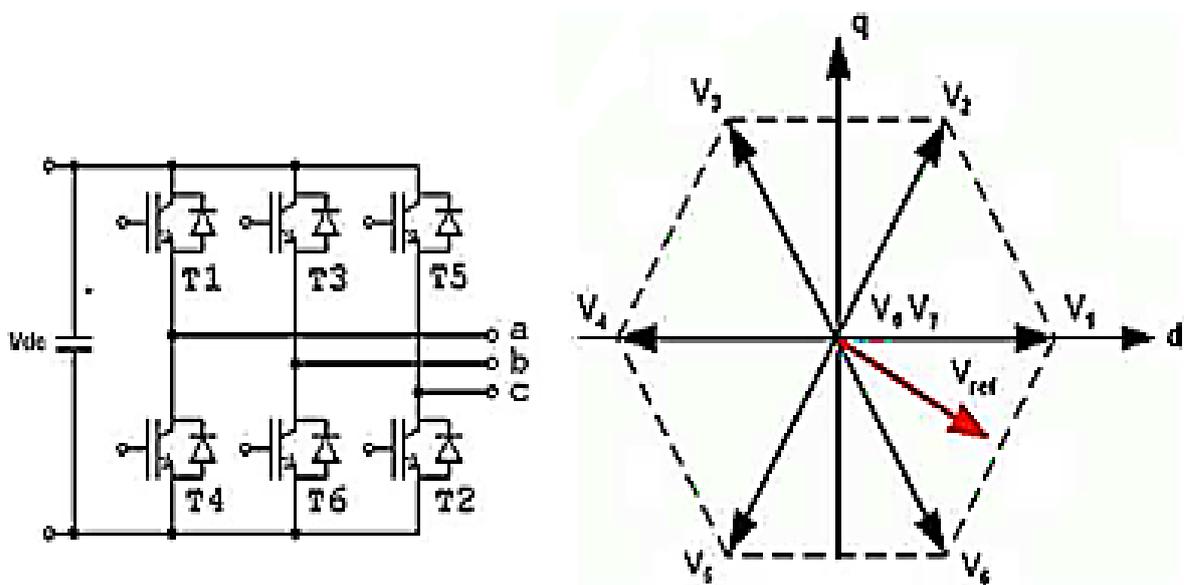


Figura 18 - Conversor convencional de dois níveis e diagramas de vetores de estados
Fonte: Pereira (2008)

Tabela 3 - Combinação dos estados dos interruptores para um conversor de dois níveis

Estados	Interruptores ligados	Vab	Vbc	Vac
1	T1,T6,T2	Vdc	0	- Vdc
2	T3,T2,T1	0	Vdc	- Vdc
3	T3,T2,T4	- Vdc	Vdc	0
4	T5,T4,T3	- Vdc	0	Vdc
5	T5,T4,T6	0	- Vdc	Vdc
6	T1,T6,T5	Vdc	- Vdc	0
7	T1,T3,T5	0	0	0
8	T4,T6,T2	0	0	0

Fonte: Adaptado de Pereira (2008)

O algoritmo que escolhe o estado de saída tem de ter em consideração em que local se encontra o vetor de referência, que sequência de vetores deve ser utilizada e o tempo que esses vetores devem estar acionados. Estes aspectos são essenciais para obter a amplitude, frequência e conteúdo harmônico desejado para a saída (PEREIRA, 2008).

Aplicando este conceito para a conversão multinível obtém-se o diagrama de vetores mostrado na Figura 19. Nesta figura mostra-se que um conversor de três níveis tem 27 estados possíveis com 8 estados redundantes. Facilmente conclui-se que o cálculo de estados a serem escolhidos torna-se mais difícil. Em cada vetor está representado que nível de tensão tem cada ramo do conversor, por exemplo, a sequência 210 corresponde a ter V_{ao} , V_{bo} e V_{co} iguais a $V_{dc}/2$, 0 e $-V_{dc}/2$, respectivamente (PEREIRA, 2008).

Uma solução em MLP vetorial apresenta algumas características como amplitude de saída superior a uma modulação PWM senoidal e perdas de comutação inferiores. O cálculo e a sua aplicação podem ser feitos num dispositivo de controle digital, no entanto a sua complexidade aumenta conforme aumenta o número de níveis, conforme podemos observar na Figura 20 (LEÃO & SILVA, 2013).

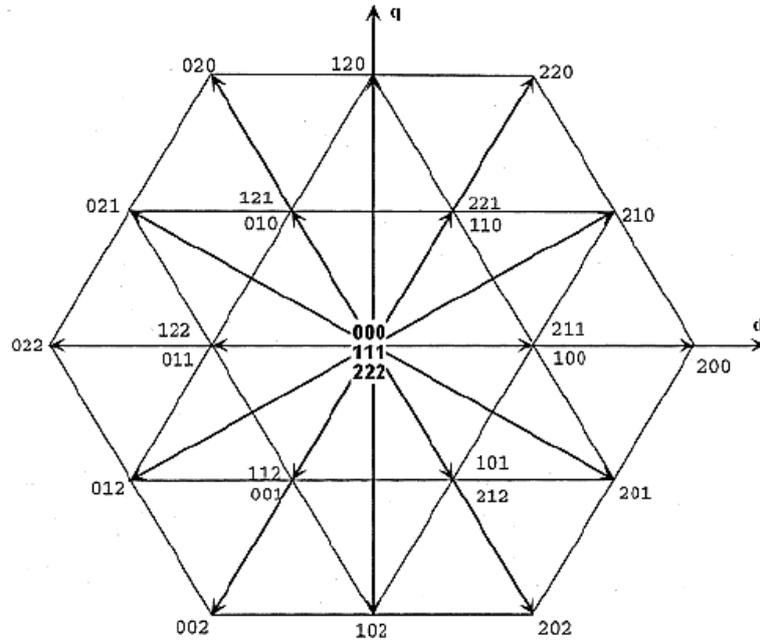


Figura 19 - Diagrama de vetores de estado para um conversor de três níveis
Fonte: Pereira (2008)

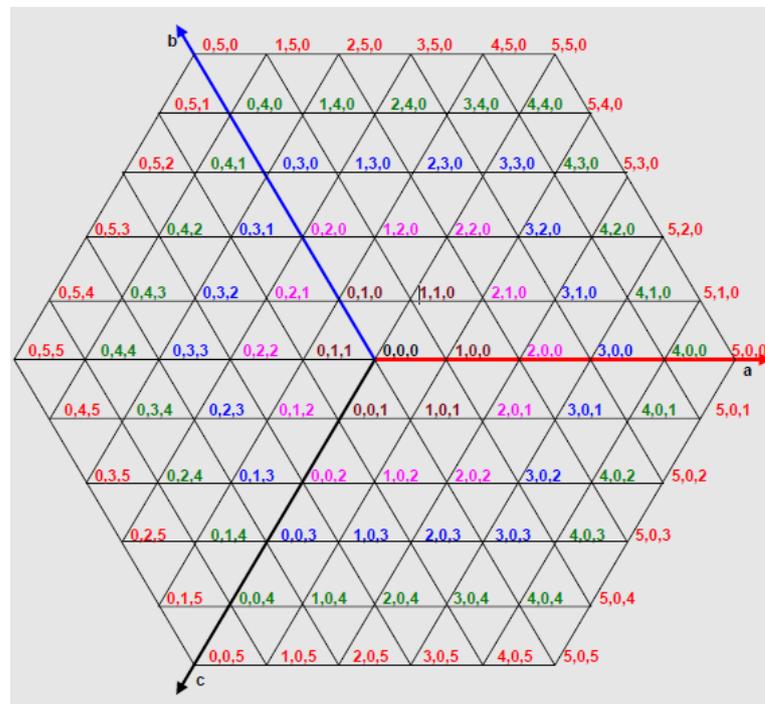


Figura 20 - Vetores de estado para um inversor de seis níveis
Fonte: Leão & Silva (2012)

4 SIMULAÇÃO DO INVERSOR MULTINÍVEL

Neste capítulo é apresentada a simulação do inversor multinível CHB de cinco níveis, através do *software* PSIM, utilizando o método de controle MLP com portadoras em fase. O conceito de MLP já foi explicado no capítulo 3 e é uma forma simples de controlar um inversor. É necessária uma referência e compará-la com uma portadora, que pode ser triangular ou dente de serra, resultando deste cruzamento o sinal de controle para os interruptores (TAHRI & DRAOU, 2012).

Na Figura 21 é apresentado o circuito utilizado na simulação de um inversor multinível CHB, de cinco níveis, utilizando o método de controle por MLI com portadoras em fase.

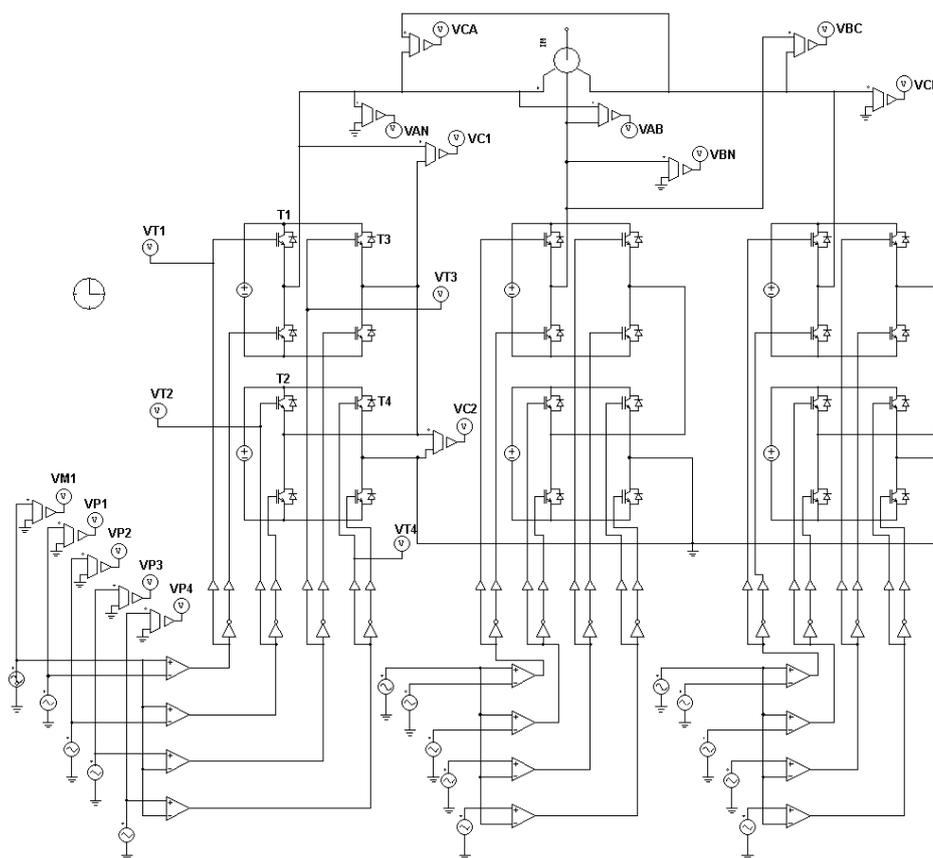


Figura 21 - Circuito de simulação de um inversor multinível CHB de 5 níveis com controle MLI - portadoras em fase.
Fonte: Autoria Própria

Para fins de simulação, a tensão de entrada foi ajustada em 240 V e a carga utilizada foi um motor de indução trifásico (MIT). A frequência de cada portadora é de 2500 Hz com a moduladora a 60 Hz tendo um índice de modulação igual a 0,8.

Para simular o circuito, serão utilizadas as portadoras triangulares em fase com níveis de tensões diferentes, sendo 240 V, 120V, -120 V e -240 V, respectivamente, para cada portadora. Com o intuito de simular as fontes isoladas CC, utilizamos fontes CC de 200 V em cada célula do inversor. Comparando as portadoras triangulares com a moduladora, conforme pode ser visto na Figura 22, foram obtidos os sinais de controle para as chaves T_1 , T_2 , T_3 e T_4 . Da Figura 23 até a Figura 26 são apresentados os resultados da comparação entre a moduladora e cada portadora triangular, que será então o sinal de controle utilizado na chave.

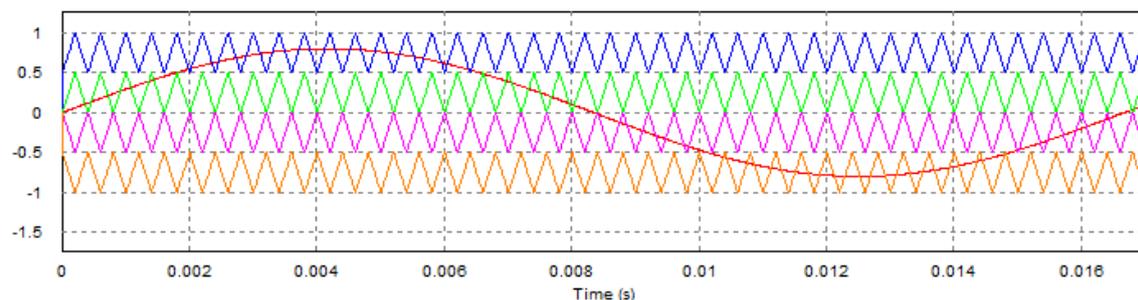


Figura 22 - Formas de onda da moduladora e das portadoras
Fonte: Autoria Própria

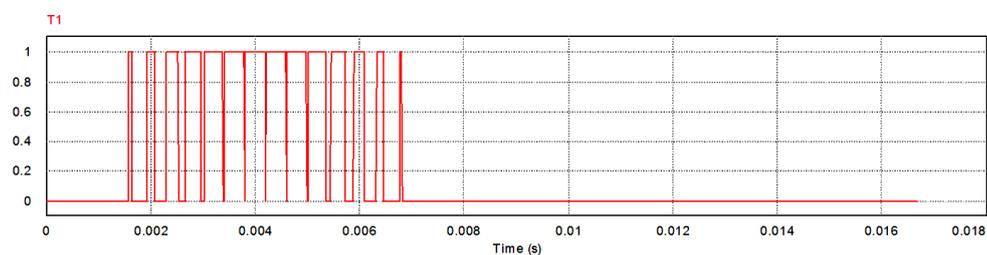


Figura 23 - Forma de onda na chave T1
Fonte: Autoria Própria

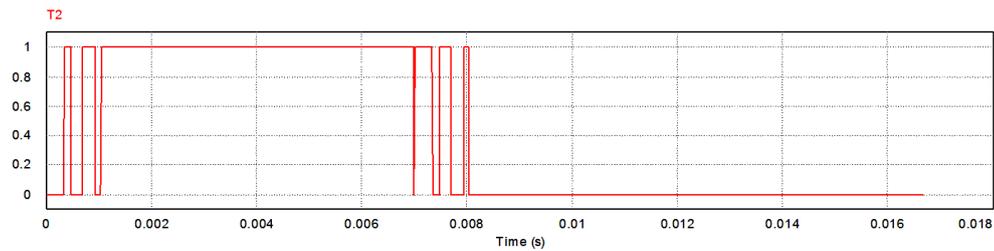


Figura 24 - Forma de onda na chave T2
Fonte: Autoria Própria

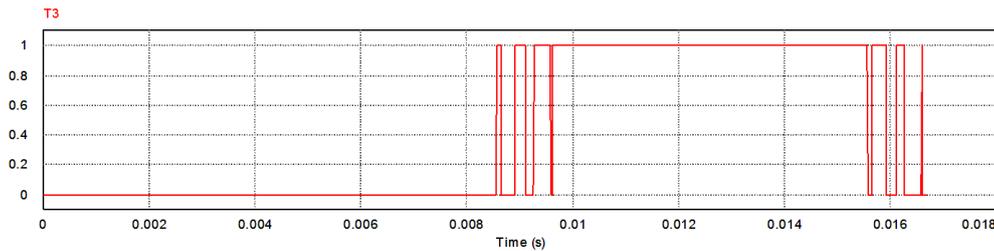


Figura 25 - Forma de onda na chave T3
Fonte: Autoria Própria

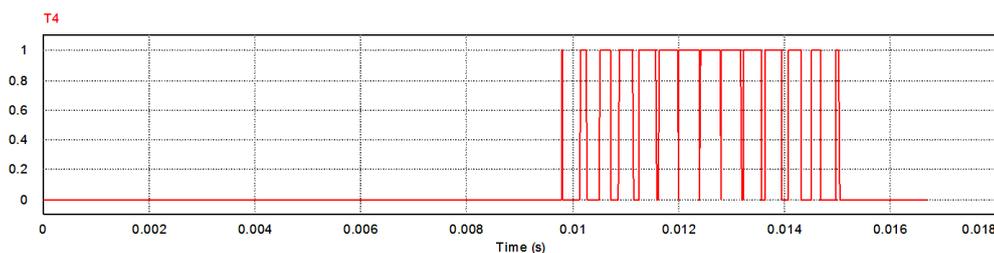


Figura 26 - Forma de onda na chave T4
Fonte: Autoria Própria

Para controlar um braço do inversor, são necessários mais oito sinais de controle além dos descritos acima. Estes sinais são complementares aos sinais obtidos nas chaves $T1$, $T2$, $T3$ e $T4$. Assim, a onda de saída é então a soma de todos os sinais de controle, entre fases ou de apenas uma fase.

A onda resultante entre uma das fases é apresentada na Figura 27. Na Figura 28 é mostrada a onda resultante entre fases do inversor. É interessante notar que, para a tensão de linha, o inversor apresenta nove níveis de tensão em comparação com os cinco níveis de tensão de fase. Com uma combinação de fontes CC de 200 V é possível obter 750 V de tensão de linha o que mostra o grande potencial do inversor.

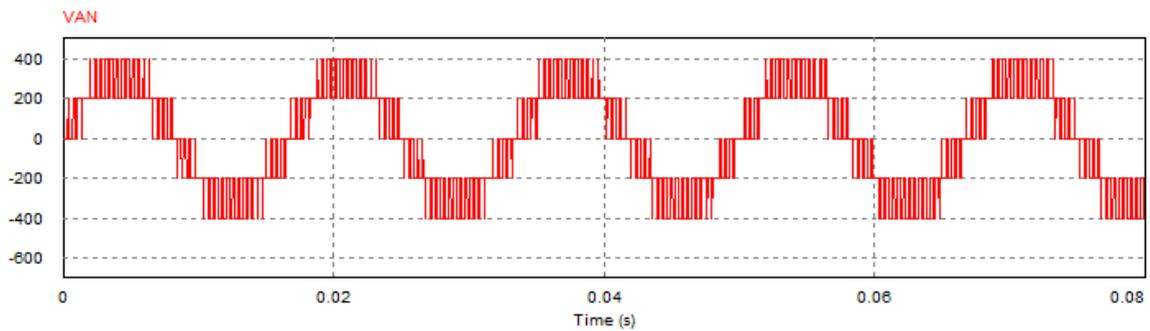


Figura 27 - Forma de onda obtida através da soma dos sinais de controle de uma das fases

Fonte: Autoria Própria

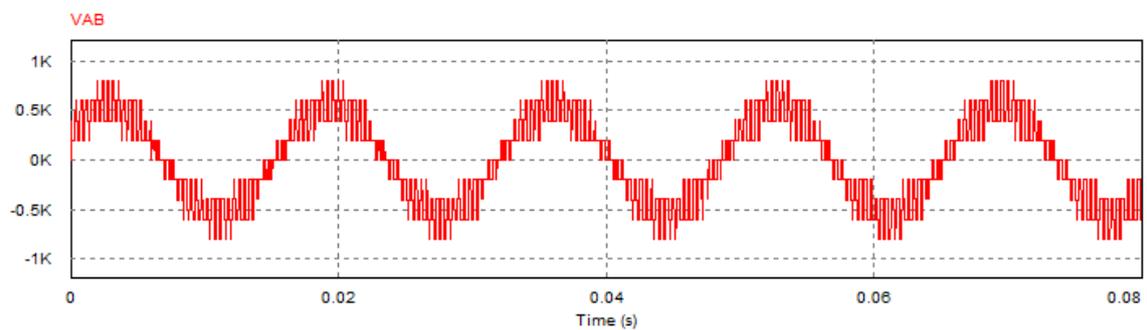


Figura 28 - Forma de onda obtida através da soma dos sinais de controle entre fases

Fonte: Autoria Própria

Na Figuras 29 e 30 são apresentados, respectivamente, os espectros harmônicos das tensões em uma das fases e entre fases.

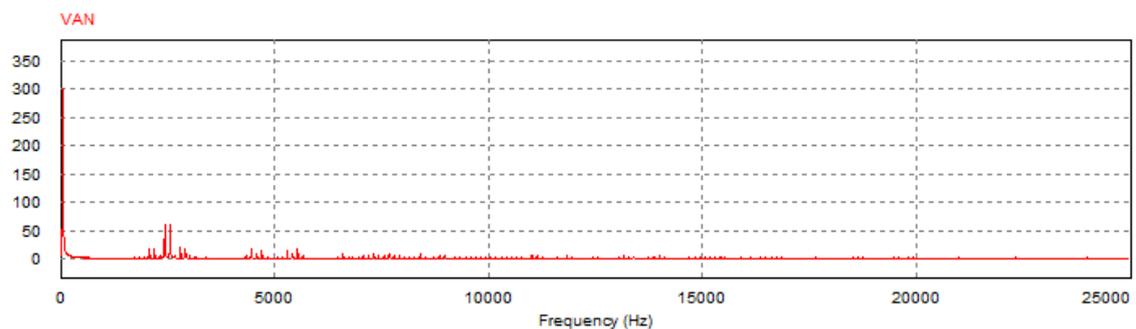


Figura 29 - Espectro harmônico em uma fase do inversor

Fonte: Autoria Própria

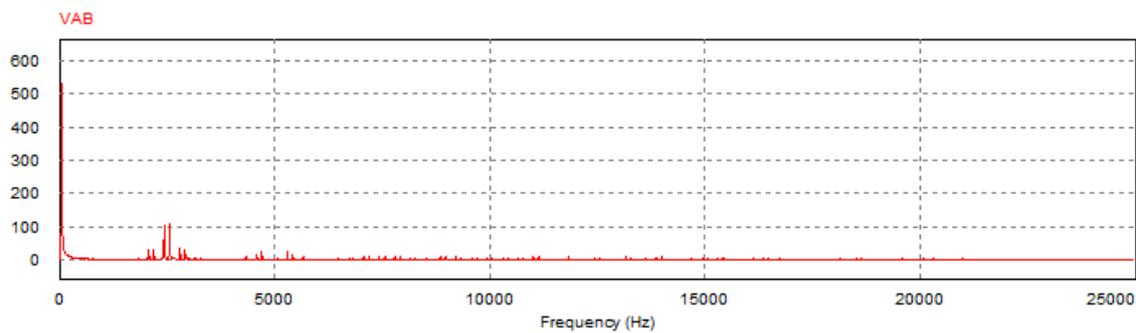


Figura 30 - Espectro harmônico entre fases do inversor
Fonte: Autoria Própria

5 O DISPOSITIVO FPGA

Nas últimas décadas o avanço da eletrônica digital possibilitou a substituição dos controladores analógicos pelos controladores digitais. A flexibilidade de reconfiguração desses novos dispositivos facilita o trabalho dos projetistas. Para realizar o chaveamento dos conversores multiníveis podem ser utilizados no projeto o DSP (*Digital Signal Processor*), o FPGA (*Field Programmable Gate Array*) ou microcontroladores. Cabe ao projetista definir qual deles atenderá melhor as suas necessidades (DA COSTA, 2009).

O primeiro processador de sinais digitais (DSP) foi lançado pela empresa Bell Labs em 1979. Porém só ficou conhecido em 1983 quando a Texas Instruments lançou o modelo TMS32010. Eles são utilizados para o processamento de operações como adição, multiplicação e transferência de dados. Possuem uma arquitetura otimizada para computação intensiva. São versáteis e detêm seu próprio código de instruções. Cada empresa cria seu próprio ambiente de desenvolvimento para cada tipo de dispositivo (DA COSTA, 2009).

O FPGA é formado por uma matriz de blocos lógicos contidos em um único circuito integrado. O primeiro dispositivo desenvolvido foi em 1983 pela empresa Xilinx Inc. (DA COSTA, 2009) e atualmente divide o domínio no mercado mundial com a empresa Altera Corp.

O funcionamento do FPGA, dependendo de como é organizada a sua arquitetura, pode operar em ciclos de *clock*, onde cada operação matemática é realizada a cada ciclo. Também possuem um processamento em paralelo evitando situações de *loop* infinito. O DSP efetua um processamento sequencial e alguns tipos necessitam de várias interações para realizar uma operação matemática (KILTS, 2007).

5.1 METODOLOGIA DE IMPLEMENTAÇÃO

Como o objetivo do trabalho é a implementação da modulação PWM no inversor multinível, é preferida a utilização de um dispositivo FPGA para ser responsável pela modulação do comando das chaves. Esse dispositivo atende as necessidades por ser mais rápido e por trabalhar com uma banda mais alta de frequência, além de permitir maior flexibilidade na geração de sinais de forma totalmente paralela.

Também, há flexibilidade de configuração das portas de saída, fato que traz facilidades quanto a disposição física dos terminais no ato da implementação.

5.2 ASPECTOS GERAIS DO FPGA

A estrutura interna do FPGA é basicamente formada por blocos lógicos, blocos de entrada e saída e chaves de interconexão. A Figura 31 ilustra com detalhes essa estrutura.

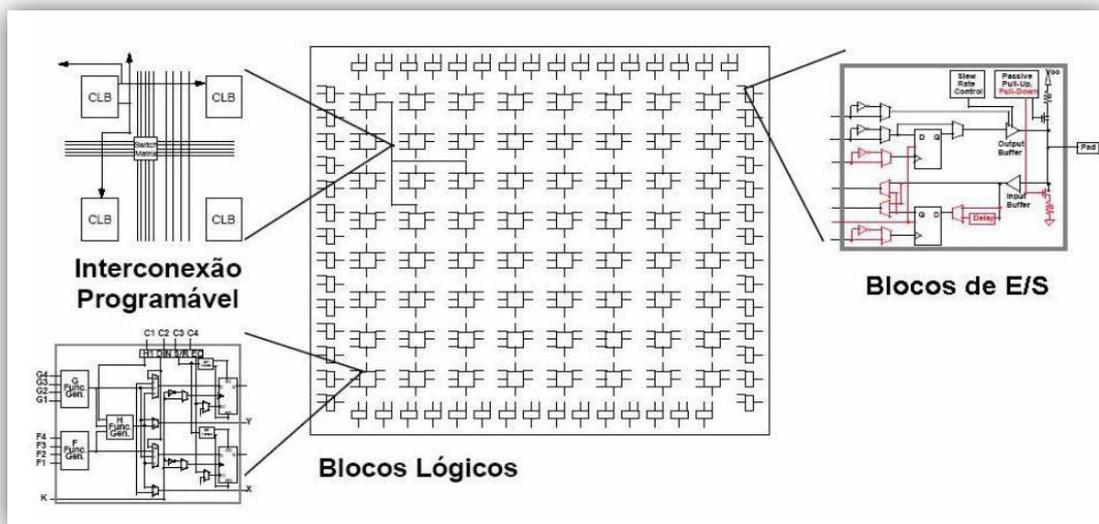


Figura 31 - Estrutura interna de um FPGA
Fonte: Avelino (2010)

As funções do programa são implementadas nos blocos lógicos. Esses possuem células que são capazes de armazenar valores lógicos zero (0) ou um (1) e possuem recursos sequenciais como, por exemplo, registradores. Existe um processo chamado de roteamento onde ocorre a interconexão desses blocos. O projeto com FPGA é caracterizado por ser modular, ou seja, cada bloco de *hardware* é responsável por uma função (MUSSA, 2010).

5.3 ETAPAS DE UM PROJETO UTILIZANDO FPGA

O processo de desenvolvimento de um projeto utilizando FPGA envolve uma série de etapas. A sequência dessas etapas é representada na Figura 32

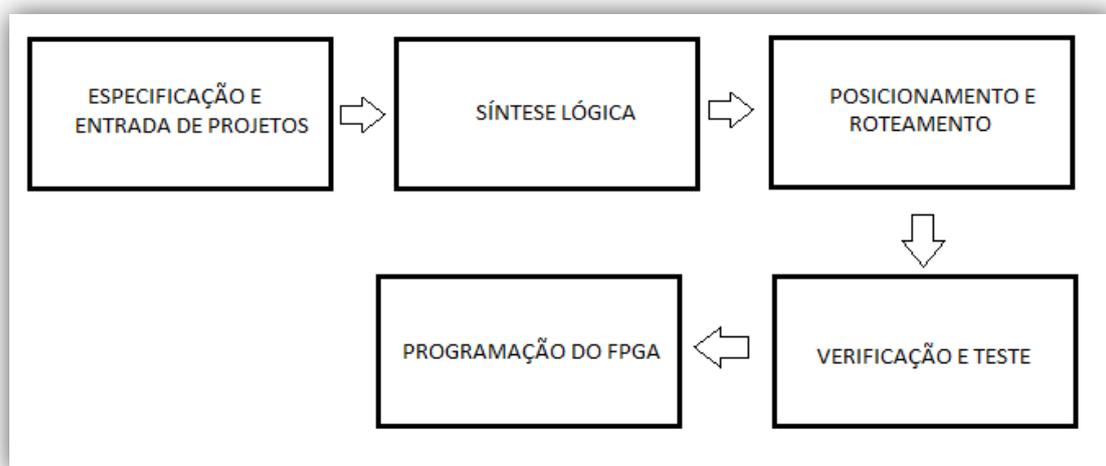


Figura 32 - Etapas de projeto com FPGA
Fonte: Da Costa (2009)

Essa é a primeira etapa no desenvolvimento do projeto do FPGA que o projetista cria o código com a descrição do *hardware* na ferramenta de programação. Esta pode ser realizada de duas formas: a primeira delas a partir de um editor gráfico onde é possível inserir portas lógicas formando um circuito capaz de realizar a aplicação desejada e a segunda forma através de um editor

de texto é utilizada a linguagem de descrição de *hardware* HDL (*Hardware Description Language*) (DA COSTA, 2009).

A forma de descrever o circuito pelo editor gráfico é mais utilizada em situações em que o modelo do projeto é mais simples. A tela de edição permite uma visualização em duas dimensões (2D) do circuito. Todo *software* possui bibliotecas com diferentes famílias de multiplexadores, portas lógicas, *buffers*, etc. (KILTS, 2007).

Já em modelos mais complexos é utilizada a linguagem de descrição de *hardware*. As principais linguagens existentes desse tipo são: ABEL (*Advanced Boolean Equation Language*), VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) e *Verilog*. Todas elas são capazes de descrever o comportamento de um conjunto digital formado por portas lógicas, *flip-flops* e decodificadores (KILTS, 2007).

A linguagem VHDL surgiu na década de 80 e foi padronizada pela IEEE em 1986 após uma série de revisões. Ela foi criada com o objetivo de padronizar o intercâmbio de informações referentes ao comportamento dos circuitos digitais entre os grupos de pesquisa. Uma das principais vantagens é a independência da tecnologia. Mesmo com a evolução dos dispositivos de diferentes fornecedores, a linguagem não sofre alterações. A desvantagem está no fato dos projetistas necessitarem um bom conhecimento na área de circuitos digitais, diferentemente do DSP em que basicamente é necessário o conhecimento da linguagem C (KILTS, 2007).

5.3 SÍNTESE LÓGICA

A síntese lógica é um processo automatizado onde cabe ao *software* simplificar o código desenvolvido anteriormente. Essa otimização é extremamente necessária para reduzir a área ocupada no circuito integrado. Assim há uma diminuição do atraso dos sinais envolvidos (DA COSTA, 2009).

5.4 POSICIONAMENTO E ROTEAMENTO

O posicionamento é caracterizado pela atribuição dos componentes lógicos do projeto com os componentes do circuito integrado. Já o roteamento é a atribuição das trilhas de comunicação entre cada componente. Depois disso ainda há uma checagem se 100% das interconexões foram realizadas (DA COSTA, 2009).

5.5 VERIFICAÇÃO E TESTES

Nessa etapa são realizados os testes de funcionalidade do circuito através de uma simulação no qual é exibida uma tela com os estados lógicos de todas as portas de entradas e saídas (determinadas pelo projetista) ao longo do tempo. É possível gerar sinais de estímulo (mudanças de estado) nas entradas para simular, por exemplo, a situação em que o FPGA recebe um comando externo (DA COSTA, 2009).

5.6 PROGRAMAÇÃO DO FPGA

Considerada a última etapa do processo, a programação consiste na geração de um arquivo de configuração, definido pelo código que foi desenvolvido anteriormente, e sua transferência para o hardware. Essa transferência pode ser realizada por uma porta USB ou por uma porta de comunicação paralela (DA COSTA, 2009).

5.7 DESENVOLVIMENTO DA TOPOLOGIA DE CONTROLE NO DISPOSITIVO FPGA

Para o presente trabalho, foram pesquisadas diversas topologias para o desenvolvimento do inversor PWM multinível monofásico baseado em FPGA. O método escolhido para geração dos sinais se baseia no trabalho apresentado por ASSEF et al. (2012). Neste, os autores demonstraram a viabilidade da utilização de dispositivos FPGA para geração de seis sinais PWM para controle de um inversor trifásico com três braços.

A topologia adotada consiste de duas pontes completas convencionais interligadas, formando um sistema de potência com oito MOSFETs IRF540N, conforme apresentado na Figura 33. Além disso, para cada ponte faz-se necessário a utilização de uma fonte de tensão contínua (DC) com referência isolada, denominadas aqui como: VDC_1 com referência GND_1, e VDC_2 com referência GND_2.

Considerando VDC como valor literal de cada fonte de tensão, o padrão de modulação PWM adotado no inversor proposto possibilita a geração de uma forma de onda de tensão com cinco níveis de tensão: $+2VDC$, $+VDC$, $0 V$ (zero), $-VDC$ e $-2VDC$, respectivamente.

Como forma ilustrativa, na Figura 34, são mostradas a senoide de referência e as quatro portadoras com oposição de fase em relação aos semiciclos.

Na Figura 34, pode ser verificado o índice de modulação M_a , definido como:

$$M_a = \frac{A_m}{2A_c} \quad (1)$$

onde A_c é a amplitude normalizada da portadora triangular e A_m é o valor de pico do sinal modulante (senoide). Para o exemplo, $M_a = 0,8$ (80 %).

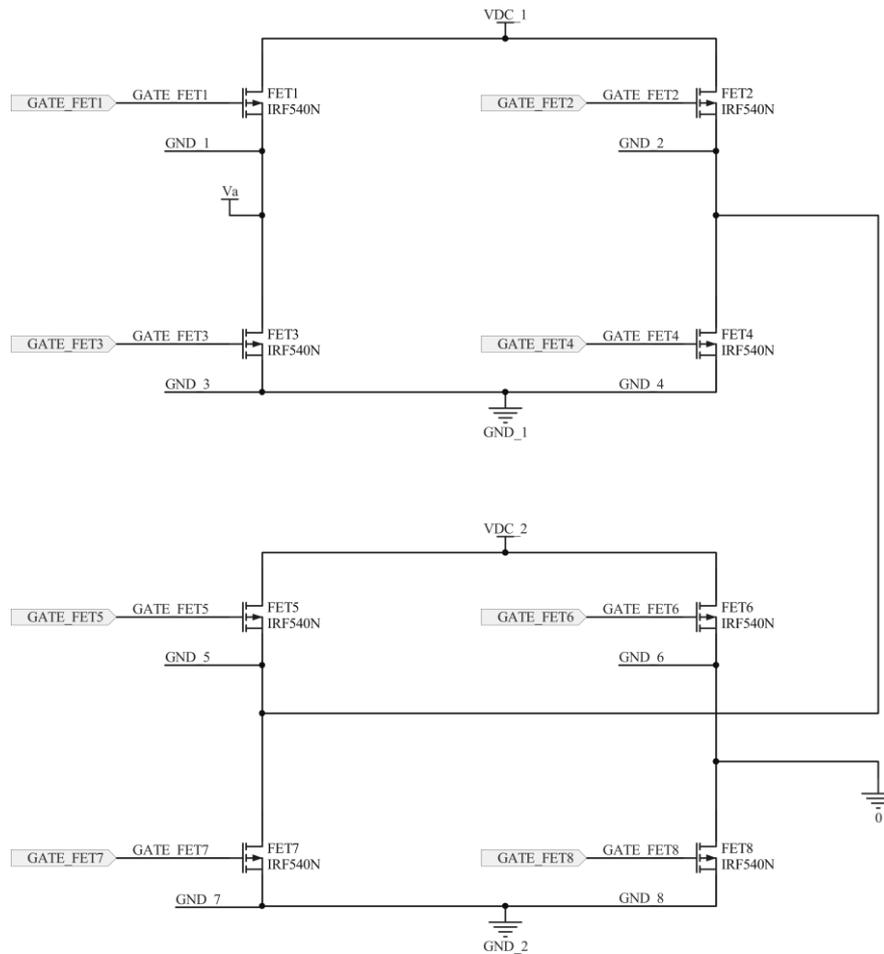


Figura 33 - Topologia do inversor multinível monofásico utilizada no trabalho
 Fonte: Autoria própria

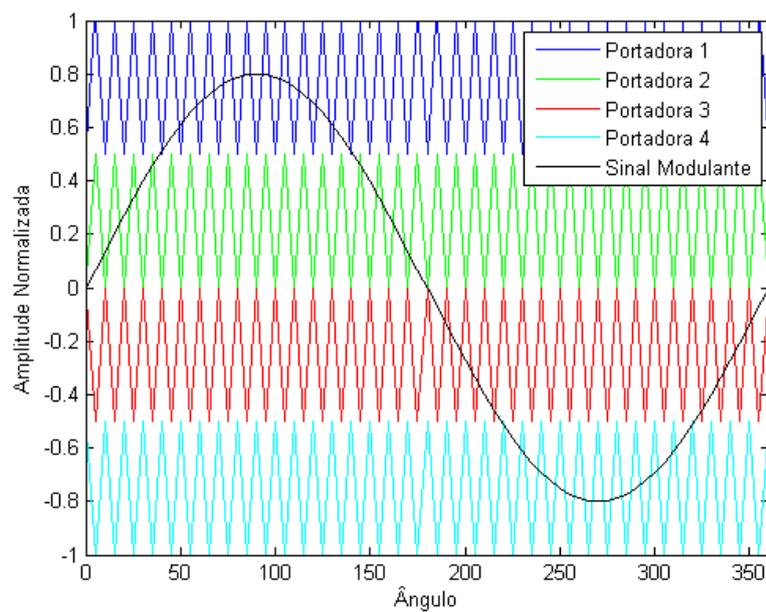


Figura 34 - Senoide de referência e múltiplas portadoras com oposição de fase
 Fonte: Autoria própria

Além disso, o índice de frequência de modulação é definido como:

$$M_f = \frac{f_c}{f_o} \quad (2)$$

onde f_c é a frequência do sinal de portadora (triangular) e f_o é a frequência do sinal modulante (senoidal). No exemplo, o índice de frequência de modulação foi arbitrado com o valor $M_f = 36$. Com isso, considerando o sinal de saída com frequência de 60 Hz, a portadora deve ser de 2,16 kHz.

Os parâmetros adotados no processo de modulação deste trabalho são apresentados definidos a seguir:

- 1) Técnica PWM para geração de 5 níveis com oposição de fase;
- 2) Frequência de saída de 60 Hz;
- 3) Índice de modulação $M_a = 0,8$;
- 4) Frequência da portadora igual a 24 kHz, com índice de frequência de modulação $M_f = 400$;
- 5) Modulação PWM do tipo *center aligned* (alinhamento central) triangular;
- 6) Módulo PWM de 3750 pesos e resolução de 5,56 ns (1/180MHz), conforme ilustrado na Figura 35.

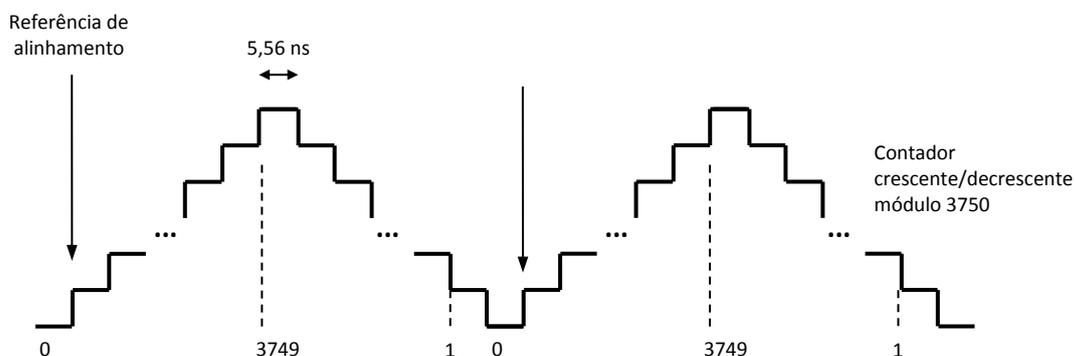


Figura 35 – Saída do PWM com alinhamento central e módulo de 3750
Fonte: Autoria própria

Dessa forma, por conveniência, foi escolhido um contador com 7500 transições para cada ciclo do módulo PWM, sendo metade para a rampa de subida e o restante para a rampa de descida. Entretanto, outros valores podem ser utilizados no projeto.

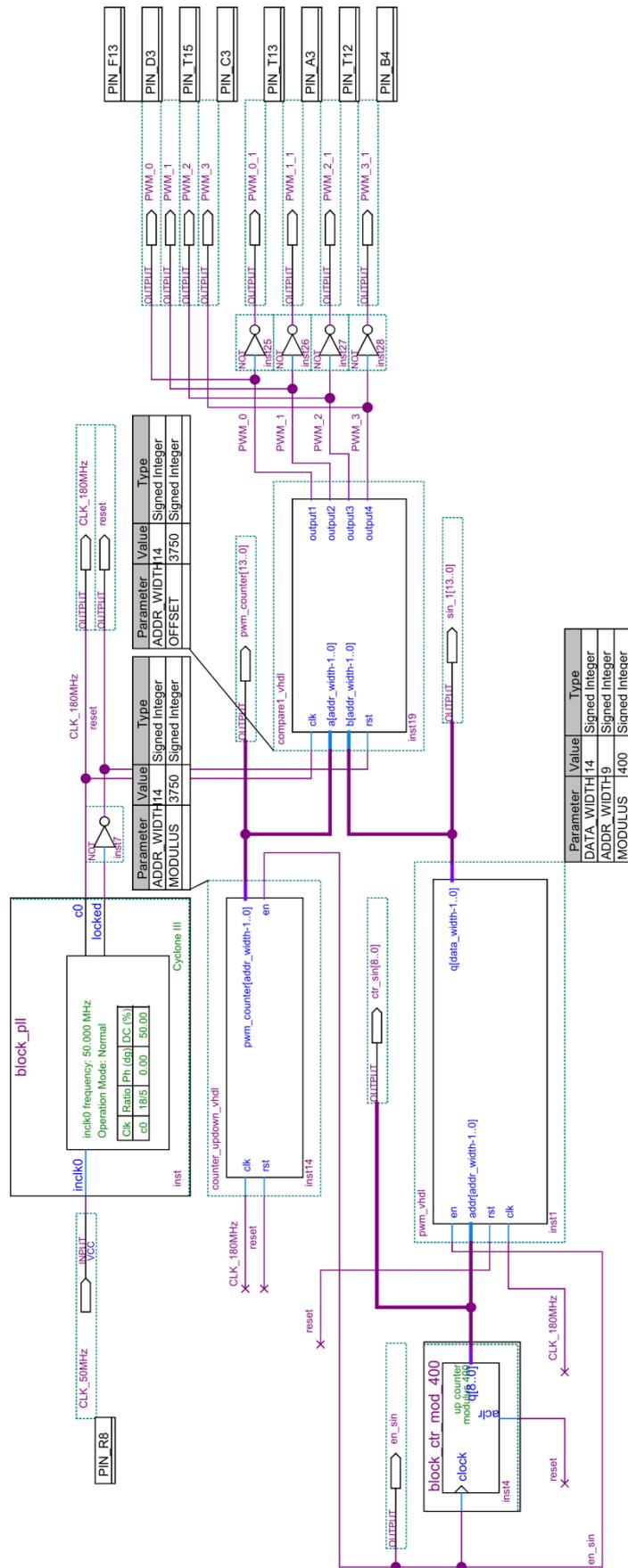


Figura 36 - Diagrama em blocos do modulador PWM implementado no FPGA
 Fonte: Autoria própria

Como o módulo de contagem equivale à metade de um período do PWM em ciclos de *clock* do PWM, o máximo valor do módulo é 3750, correspondendo a um contador com comprimento de 12 *bits*. Para tal, foi incluído no projeto da arquitetura do FPGA, apresentado na Figura 36, um bloco PLL de 180 MHz a partir da frequência de entrada de 50 MHz do *kit* DE0-Nano.

A saída do contador é interligada a um módulo que compara a forma de onda senoidal sintetizada de 400 pontos com o valor da razão cíclica do PWM. No semiciclo positivo, quando o sinal das portadoras é maior que o sinal de referência, a saída correspondente é 0 (nível baixo), caso contrário 1 (nível alto). No semiciclo negativo, ocorre o inverso.

A partir dos quatro sinais PWM foram incluídas no projeto do *hardware* do FPGA quatro portas lógicas inversoras para os sinais de excitação complementares dos módulos de potência, conforme apresentado no APÊNDICE B.

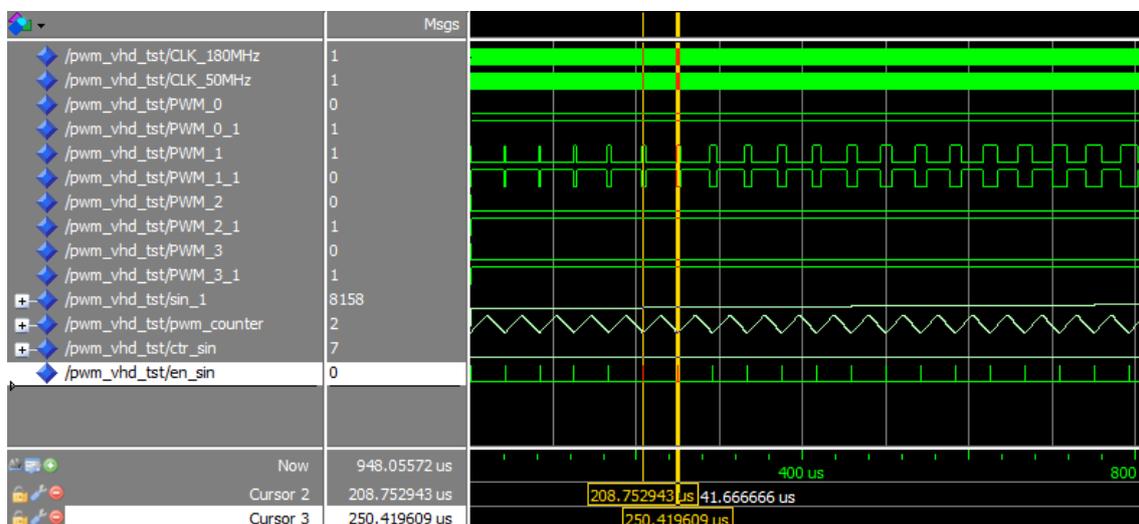


Figura 37 - Resultado de simulação com o software ModelSim indicando o período do modulador PWM com frequência de 24kHz

Fonte: Autoria própria

Após o projeto do modulador implementado no *software* Quartus II (ALTERA CORP., EUA) versão 12, foi realizada a simulação para validação do

hardware desenvolvido em blocos e na linguagem VHDL, através da ferramenta ModelSim - Altera EDA (MENTOR GRAPHICS CORP., EUA).

No resultado da simulação apresentado na Figura 37 é possível verificar o período de $41,67 \mu\text{s}$ que equivale à frequência de 24 kHz do módulo PWM.

Na Figura 38 é apresentado o resultado da simulação de meio ciclo da senoide com frequência de 60 Hz , indicando as formas de onda dos oito sinais PWM para controle do inversor multinível monofásico proposto. Na Figura 39 é apresentado o mesmo sinal com escala de tempo limitada entre 0 e $2,083 \text{ ms}$ ($1/4$ de senoide).

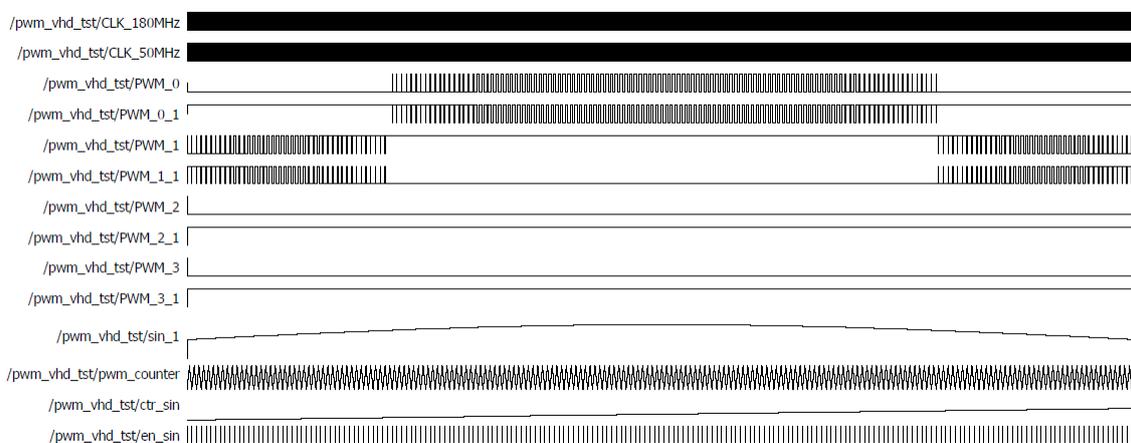


Figura 38 - Resultado de simulação dos sinais PWM para meio ciclo da senoide de referência (16,67ms)
Fonte: Autoria própria

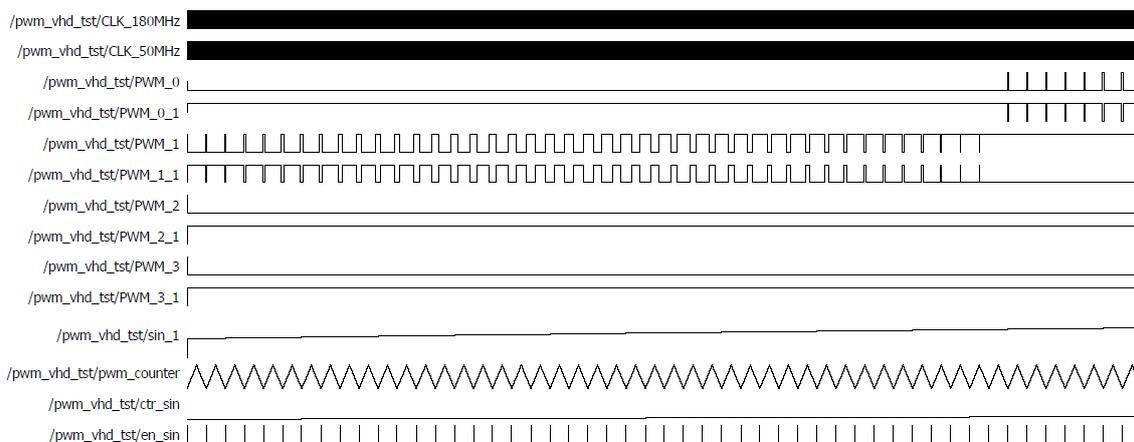


Figura 39 - Resultado de simulação dos sinais PWM com base de tempo limitada entre 0 e 2,083ms (1/4 de senoide)
Fonte: Autoria própria

5.8 KIT DE DESENVOLVIMENTO DE0-NANO Terasic-ALTERA

O *kit* de desenvolvimento utilizado no projeto e implementação do protótipo é o DE0-Nano (TERASIC TECHNOLOGIES INC., TAIWAN). A ferramenta foi escolhida devido à sua disponibilidade de utilização na UTFPR e capacidade de atender às necessidades do projeto.

O *kit* DE0-Nano possui um FPGA modelo EP4CE22F17C6N da família Cyclone IV E (ALTERA CORP., EUA), e apresenta as seguintes características:

- 153 portas I/O;
- Conversor A/D de 8 canais e 16 *bits*;
- 8 LEDs para testes ou simulações;
- 4 micro-chaves;
- 2 botões;
- Oscilador de 50 MHz;
- 2 barramentos de 40 pinos cada para conexão aos barramentos I/O do circuito integrado;
- Conexão USB;
- Alimentação em 5 V DC (pela porta USB, barramento de expansão ou por dois pinos externos);
- 32 MB SDRAM;
- 22320 elementos lógicos;
- 1 acelerômetro.

A tensão de saída dos pinos é de 3,3 V DC em relação à referência. A Figura 40 apresenta uma foto ilustrativa do dispositivo utilizado.

Mais detalhes sobre o endereço dos pinos, barramentos, entrada de *clock* e chaves são apresentadas no manual do *kit*.



Figura 40 - *Kit de desenvolvimento DE0-Nano*
Fonte: (TERASIC TECHNOLOGIES INC, TAIWAN)

6 CONSTRUÇÃO E MONTAGEM DO CIRCUITO

6.1 DIVISÃO DO PROJETO

O projeto foi subdividido em 3 módulos, conforme a Figura 41, sendo eles: placa de controle (FPGA), placas drivers e placa de chaveamento, todos eles interligados entre si. Mais detalhes das placas serão descritos a seguir.

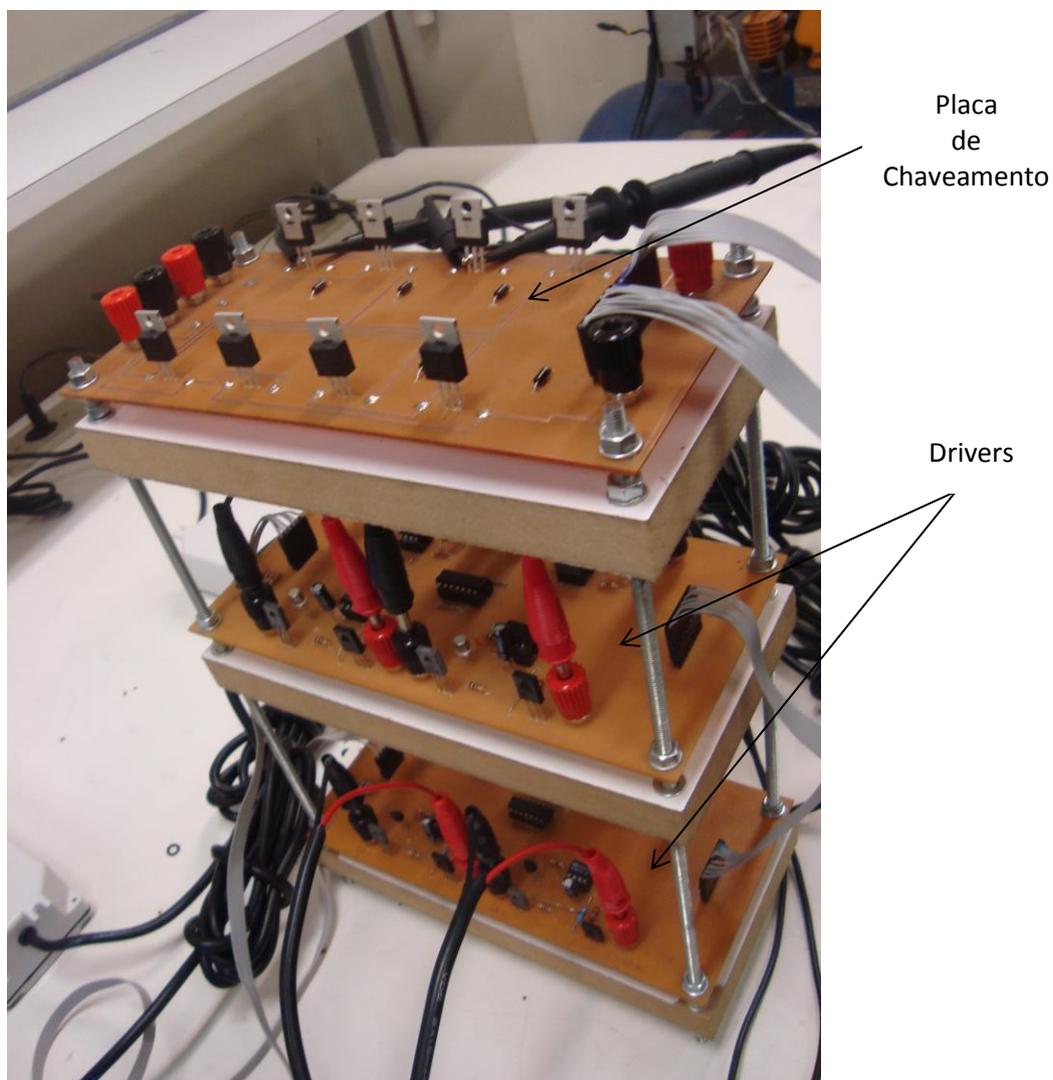


Figura 41: Detalhe da montagem geral dos módulos
Fonte: Autoria Própria

6.1.1 Placa de Controle (FPGA)

Esta parte é formada pelo *kit* didático Modelo DE0-NANO. Maiores detalhes referentes ao *kit* foram descritos no Capítulo 5.

6.1.2 Placas *Drivers*

Cada placa *driver* é constituída por quatro células, sendo duas placas *driver* no total. Cada célula possui um optoacoplador HCPL-3180 que possui a finalidade de promover a transferência isolada do sinal da lógica das saídas programadas no FPGA para o circuito *driver*. Este componente é alimentado por duas tensões, sendo elas de 5 Vcc e 15 Vcc.

O circuito de 5 Vcc tem mesma referência que o FPGA, o qual envia sinal de acionamento para o circuito integrado (CI) 74LS07 (Família TTL), através de quatro entradas e saídas escolhidas para a operação. A saída do 74LS07 é acoplada a entrada (pino 2) do HCPL-3180, realizando a alimentação do LED interno ao encapsulamento do optoacoplador.

Com a energização do optoacoplador, há geração de luz que é recebida pelo fototransistor interno no lado de 15 Vcc. Como se trata de sistemas isolados, o lado de 15 Vcc recebe uma fonte de tensão entre os terminais 5 e 8 deste CI. Em paralelo, há um capacitor posicionado nestes mesmos terminais para retirar possíveis ruídos na alimentação.

Para excitação dos MOSFETs de potência foram utilizados dois transistores: um BD-136 (tipo NPN) e um BD-137 (tipo PNP), que estão interligados pelas suas bases. Um resistor de 100 Ω - 1/4 W foi incluído nas bases destes transistores. Também, um resistor de 22 Ω – 1 W foi instalado para proteção do circuito em caso de falhas nos transistores e dos MOSFETs.

O esquema de cada fonte isolada é apresentado no APÊNDICE A.

6.1.3 Placa de Chaveamento

É formada por 8 MOSFETs do tipo IRF540N. Seu funcionamento depende diretamente da placa de controle e das placas *driver*, recebendo o sinal enviado pela saída do *driver* no terminal *gate* do MOSFET. A qualidade do sinal de saída para a carga depende exclusivamente do chaveamento destes MOSFETs. O funcionamento desta etapa do circuito é de suma importância, pois serão os MOSFETs que irão determinar a qualidade da forma de onda de saída.

6.2 CONFECÇÃO DAS PLACAS

O método de confecção das placas utilizado foi subdividido em:

- *Layout dos circuitos*;
- Lista de componentes utilizados na montagem;
- Desafios encontrados durante a montagem.

6.2.1 *Layout dos circuitos*

Depois de definido o esquema do *driver* e a placa de chaveamento, o *software* utilizado para desenhar o *layout* da placa foi o AutoCAD 2012. Foi escolhido este *software* devido a grande precisão nas medidas da placa e pelo fato de o AutoCAD ser um *software* com inúmeros recursos de cópia e replicação.

6.2.2 Lista de componentes utilizados na montagem

Na Tabela 4 e na Tabela 5 são apresentadas as listas de componentes utilizados nas montagens das placas.

Tabela 4 - Lista de Componentes Eletrônicos Utilizados na Montagem da Placa Driver

Item	Unidade	Quantidade	Descrição
1	pç	8	Resistor 270Ω 1/4W
2	pç	8	Resistor 1000Ω 1/4W
3	pç	8	Resistor 390Ω 1W
4	pç	8	Resistor 100Ω 1/4W
5	pç	8	Resistor 22 Ω 1W
6	pç	8	Capacitor Eletrolítico 0,1μF 50V
7	pç	8	Transistores 2N2222
8	pç	16	Transistores BD-136
9	pç	16	Transistores BD-137
10	pç	8	Optoacoplador HCPL-3180
11	pç	8	Base p/ CI HCPL-2180
12	pç	8	Terminais Banana Fêmea Preto
13	pç	8	Terminais Banana Fêmea Verm.
14	pç	2	Barra de Pinos c/ 20 unidades
15	pç	2	CI TTL 74LS07
16	pç	2	Base p/ CI 74LS07
17	pç	1	Ferro de Solda 60W
18	pç	1	Sugador de Solda
19	pç	1	Rolo de Estanho Marca Solda Best
20	pç	1	Barra Roscada M5
21	pç	16	Porca M5
22	pç	16	Arruela de pressão M5
23	pç	1	Alicate de Bico
24	pç	1	Alicate de Corte
25	pç	1	Chave Inglesa ¼" Sata
26	pç	1	Multímetro Digital Minipa
27	pç	1	Broca aço rápido 1mm Irwin

28	pç	1	Broca aço rápido 6mm Irwin
29	pç	1	Broca aço rápido 3,5mm Irwin
30	pç	1	Esponja de aço

Fonte: Autoria Própria

Tabela 5 - Lista de Componentes Eletrônicos Utilizados na Placa de Chaveamento

Item	Unidade	Quantidade	Descrição
1	pç	8	MOSFET IRF540N
2	pç	16	Porca sextavada M5
3	m	1	Barra roscada M5
4	pç	1	Broca aço rápido 1mm Irwin
5	pç	1	Broca aço rápido 6mm Irwin
6	pç	1	Broca aço rápido 3,5mm Irwin
7	pç	3	Terminais Banana Fêmea Verm.
8	pç	3	Terminais Banana Fêmea Preto
9	pç	1	Esponja de Aço

Fonte: Autoria Própria

6.2.3 Desafios encontrados durante a montagem

Durante o processo de montagem, foram inúmeros os desafios para se construir as placas definitivas. Seguem abaixo:

1. Fixação inadequada do toner na placa durante o processo de transferência do mesmo para o cobre;
2. Erros de interligação no circuito impresso identificados depois da corrosão do cobre nas placas de fenolite/ fibra;
3. Trilhas que partiram por aquecimento excessivo da placa (principalmente as de fenolite);
4. Erros de impressão devido ao desgaste do tambor do toner, gerando manchas e avarias indesejadas nas impressões;
5. Escurecimento do fenolite devido ao excesso de tempo de aquecimento do papel *glossy* na transferência do toner;
6. Dificuldades para encontrar o componente eletrônico (optoacoplador HCPL-3180 no comércio local.

No item 1, quando há falhas de transferência do toner para o cobre, deve-se reforçar o circuito impresso com o auxílio de um marcador permanente, a fim de garantir a presença da trilha projetada no pós-corrosão.

No item 2, na placa *driver* (a mais complexa em relação as interligações), foram identificados erros de interligação e inversão de terminais do optoacoplador, fato que obrigou a equipe a realizar nova corrosão das placas;

No item 3, também na placa *driver*, devido a aquecimento excessivo e contato do ferro de solda com o fenolite, algumas trilhas se partiram (pelo fato de serem finas), obrigando também a realizar nova corrosão;

No item 4, algumas impressões no papel *glossy* acabaram borrando devido a sujeira no tambor do toner. Para minimizar o problema, foi utilizado álcool isopropílico para a limpeza do tambor, normalizando as impressões;

No item 5, o escurecimento do fenolite se deu devido ao excesso de tempo de aquecimento do material. O tempo adequado encontrado para a transferência toner-cobre foi de 15 minutos. Além do escurecimento, notou-se uma deformação da placa (forma de arco). Com isso, houve uma tentativa de uso de lixa fina para melhorar a estética, mas a perda de massa da superfície foi significativa, obrigando a realizar nova confecção da placa.

No item 6, o optoacoplador HCPL-3180 não foi facilmente encontrado no comércio local. Foi realizado um orçamento deste componente na Farnell (multinacional inglesa de componentes eletrônicos). Como é um produto importado, correríamos o risco de não obter o componente num prazo de tempo aceitável conforme o cronograma. Com isso, recorreremos ao prof. Amauri Assef, que gentilmente disponibilizou 8 peças para a montagem do circuito.

7 VALIDAÇÃO DO DRIVER NO PROTOBOARD

Esta etapa consiste em validar a montagem do *driver* antes da montagem do circuito.

As etapas para a validação do circuito foram divididas da seguinte forma:

1. Definição do driver a ser implementado;
2. Montagem do circuito no *protoboard*;
3. Energização e testes de desempenho do conjunto;

Há opções de *drivers* que o fabricante Agilent Technologies orienta a utilizar, mas a montagem do Rech despertou mais interesse devido a segurança que o circuito oferece.

A Figura 42 mostra o circuito *driver* escolhido, apresentado em detalhe no APÊNCIDE A.

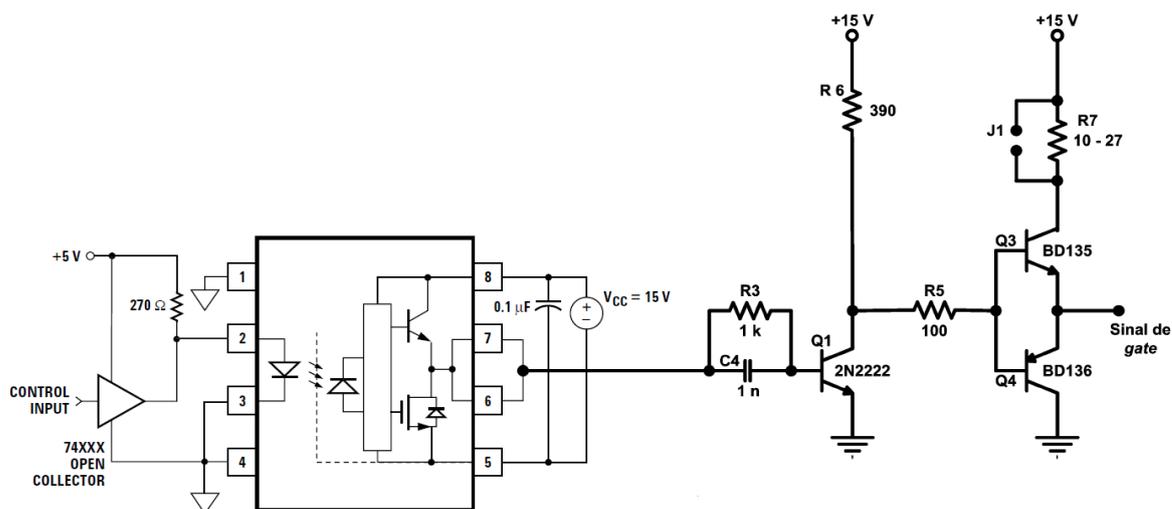


Figura 42 - Detalhe do circuito driver utilizado no acionamento dos MOSFETs
Fonte: Rech (2005)

7.1 DEFINIÇÃO DO DRIVER

De acordo com o *datasheet* do optoacoplador, os fabricantes orientam quanto ao uso de um circuito integrado coletor aberto. Optou-se pelo uso do circuito integrado 74LS07, que possui esta característica. Há opções de *drivers* que o fabricante Agilent Technologies orienta a utilizar, que possui apenas o circuito coletor aberto e um resistor limitador de corrente indo para o *gate* do MOSFET. A principal desvantagem do uso dessa configuração é o custo, por utilizar um número elevado de componentes eletrônicos.

7.2 MONTAGEM DO CIRCUITO

Após a definição, o circuito foi montado no *proto-board* para simulação e testes, conforme a Figura 43. A Tabela 6 apresenta a lista de materiais utilizados na montagem e a foto do circuito montado no *proto-board*.

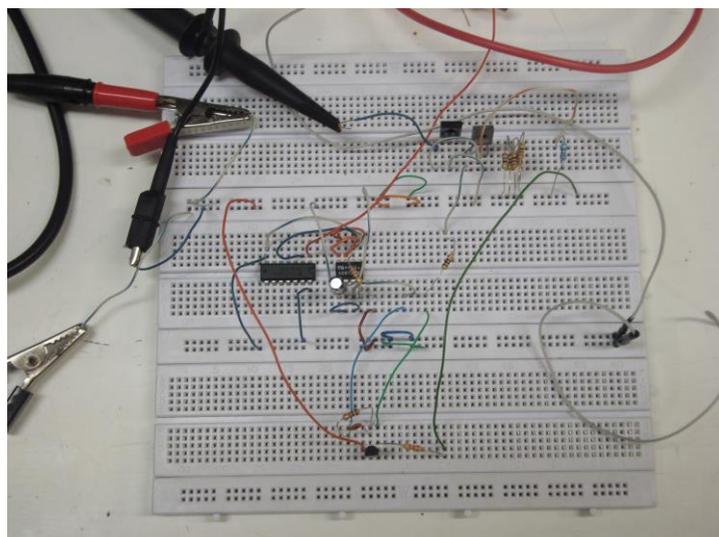


Figura 43 - Montagem do circuito driver no proto-board para testes
Fonte: Autoria Própria

Tabela 6 - Lista de Componentes Eletrônicos e Equipamentos Utilizados na Montagem da Placa Driver

Item	Unidade	Quantidade	Descrição
1	pç	1	Resistor 270Ω 1/4W
2	pç	1	Resistor 1000Ω 1/4W
3	pç	1	Resistor 390Ω 1W
4	pç	1	Resistor 100Ω 1/4W
5	pç	1	Resistor 22 Ω 1W
6	pç	1	Capacitor Eletrolítico 0,1μF 50V
7	pç	1	Tiristor 2N2222
8	pç	1	Transistores BD-136
9	pç	1	Transistores BD-137
10	pç	1	Optoacoplador HCPL-3180
11	pç	2	CI TTL 74LS07
12	pç	1	Alicate de Bico
13	pç	1	Alicate de Corte
14	pç	1	Multímetro Digital Minipa
15	pç	1	Osciloscópio Tectronix
16	pç	2	Fonte CC Unipolar Minipa
17	pç	1	Gerador de Funções Dower FG200D
18	pç	1	Cabo RF-Jacaré

Fonte: Aatoria Própria

8 VALIDAÇÃO DO CIRCUITO DRIVER NA PLACA DE CIRCUITO IMPRESSO

Esta etapa do projeto consiste em validar as oito células do circuito *driver* construídas na placa de fenolite. Este ensaio consiste em verificar as formas de onda de entrada e saída de cada *driver*.

A diferença da validação do *driver* no *protoboard* para a validação no circuito impresso é a utilização do FPGA para a geração de ondas quadradas e também simular o chaveamento.

A seguir, seguem imagens da montagem e do procedimento a ser realizado (Figuras 44 a 47).

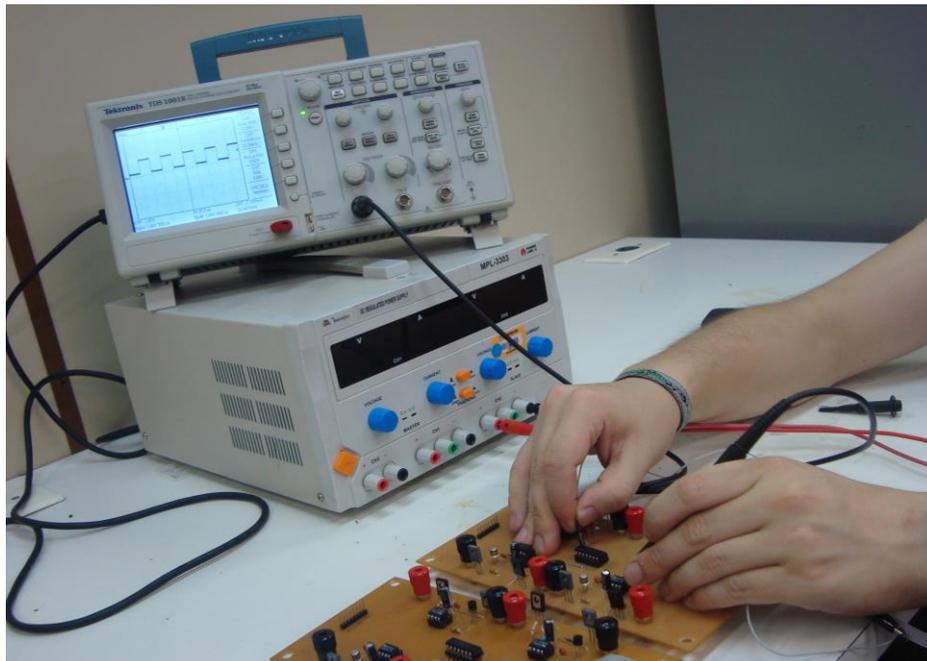


Figura 44 - Medição da forma de onda na entrada do circuito driver na placa de circuito impresso

Fonte: Autoria própria

Após a montagem, houve preocupação quanto a ordem de energização dos circuitos. A ordem de energização adotada foi a de sempre energizar o circuito com os 5 Vcc do FPGA para depois energizar o circuito de 15 Vcc.

Foram realizadas as medições das formas de onda de todas as entradas, no terminal 2 do HCPL-3180, conforme a Figura 45. Após, foram aferidas todas as saídas que irão para as chaves, conforme mostrado na Figura 46. As formas de onda obtidas para todas as entradas foram idênticas conforme a Figura 46.

O FPGA, neste caso, estava programado para gerar ondas quadradas. É importante salientar o valor exato da frequência que foi gerada pelo FPGA, ajustado em 20 kHz.

Após a validação dos oito circuitos de entrada, foram verificadas as formas de onda nas saídas para os *gates*. A forma de onda esperada era um também sinal quadrado, porém de 15 Vcc, conforme pode ser observado na Figura 47. Assim, foram validadas as células das duas placas *drivers* montadas em placas de fenolite.

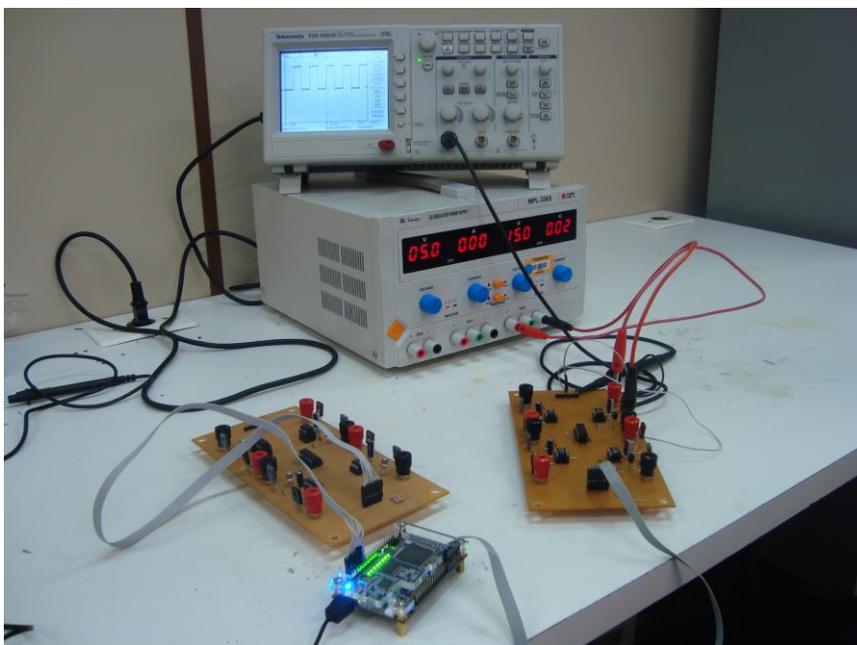


Figura 45 - Medição da forma de onda na saída do circuito driver na placa de circuito impresso

Fonte: Autoria própria

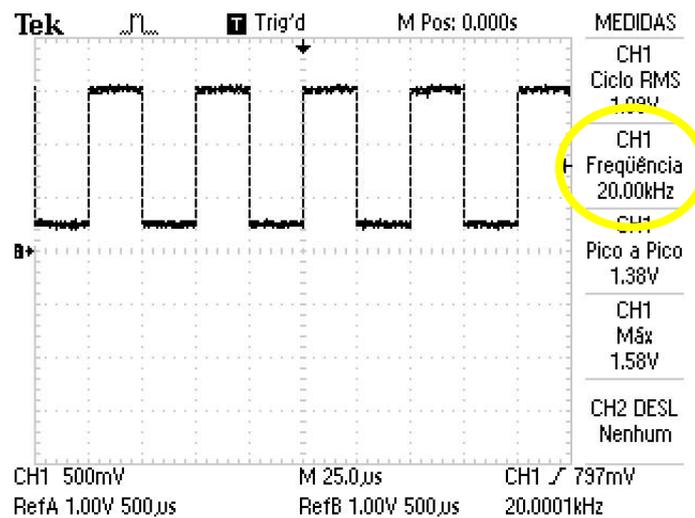


Figura 46 - Medição da forma de onda na entrada do circuito driver na placa de circuito impresso
 Fonte: Autoria própria

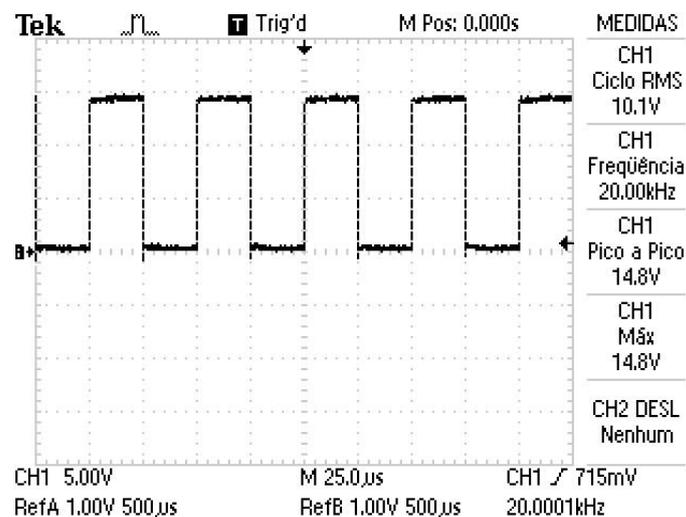


Figura 47 - Medição da forma de onda na saída do circuito driver na placa de circuito impresso
 Fonte: Autoria própria

9 IMPLEMENTAÇÃO DO INVERSOR MULTINÍVEL – TESTES E RESULTADOS

Após todos os testes e validações dos circuitos anteriores, foi feita a montagem completa do inversor multinível. Esta montagem consiste em interligar todos os módulos e verificar se a forma de onda que o circuito oferece é compatível com a obtida durante as simulações.

Para o experimento foram utilizados os seguintes equipamentos:

- Um *notebook* utilizado para a gravação do programa;
- Um *kit* DE0-Nano da Altera;
- Oito fontes CC 12 V/1 A;
- Uma fonte simétrica Minipa modelo MPL-3303;
- Um osciloscópio digital Tektronix modelo TDS-1001B;
- Um osciloscópio isolado Tektronix modelo THS720A;
- Quatro cabos banana – banana;
- Dois *Flat-Cable* de 6 vias;
- Dois *Flat-Cable* de 8 vias;
- Um inversor multinível monofásico.

Na Figura 48, é possível observar a placa de chaveamento utilizada no projeto. Os terminais à direita da placa são destinados às fontes que compõem as células de potência. Os terminais à esquerda formam a saída do inversor.

Os MOSFETs foram enumerados para melhor compreensão da sua disposição em relação a montagem na placa e ao esquemático mostrado no APÊNDICE B.

Nesta etapa de interligação dos módulos, foi necessário o cuidado para que cada referência que seria utilizada nos MOSFETs estivesse obrigatoriamente associada ao seu respectivo sinal de acionamento. Assim, foi garantido o isolamento necessário entre as fontes, a fim de não ocasionar curtos indesejados. Garantido o isolamento, houve o cuidado para que a amplitude do sinal de saída não ultrapassasse o limite de tensão admissível

dos MOSFETs. Para garantia, o circuito foi energizado com 15 Vcc em cada fonte.

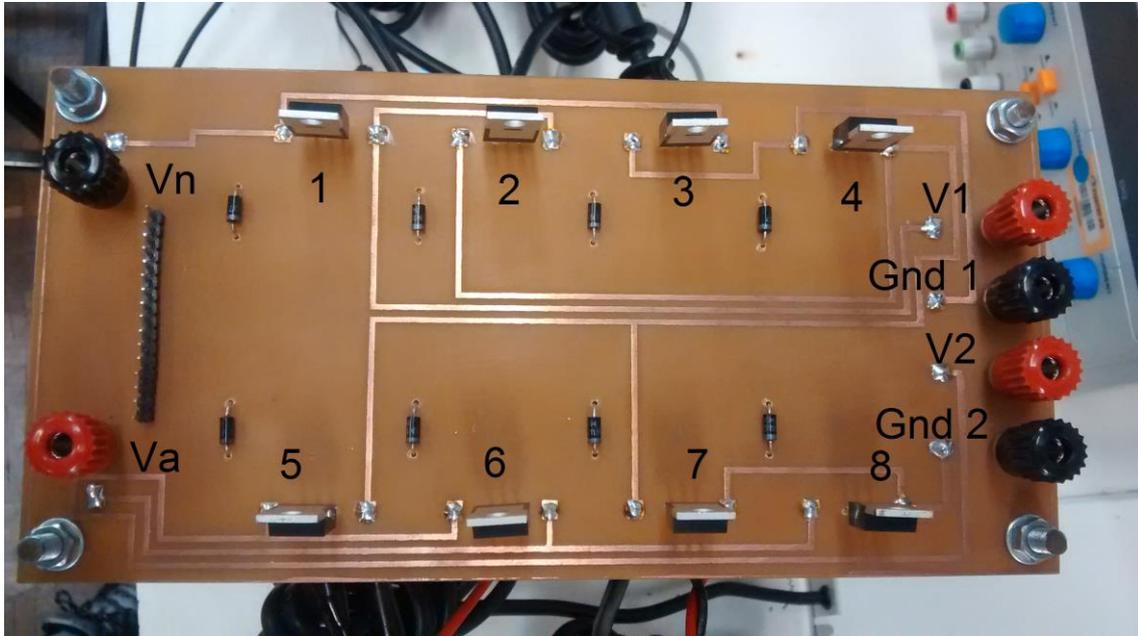


Figura 48 - Detalhe da placa de chaveamento com descrições

Fonte: Autoria própria

Outro fato que mereceu cuidado foi a definição da sequência de acionamento dos *gates*, tanto na programação quanto na montagem. Na programação, houve cuidado em relação a determinação dos pinos que seriam utilizados para envio de sinal do FPGA para os *drivers*. Na figura abaixo, tem-se a disposição dos pinos dos barramentos GPIO do *kit* utilizado.

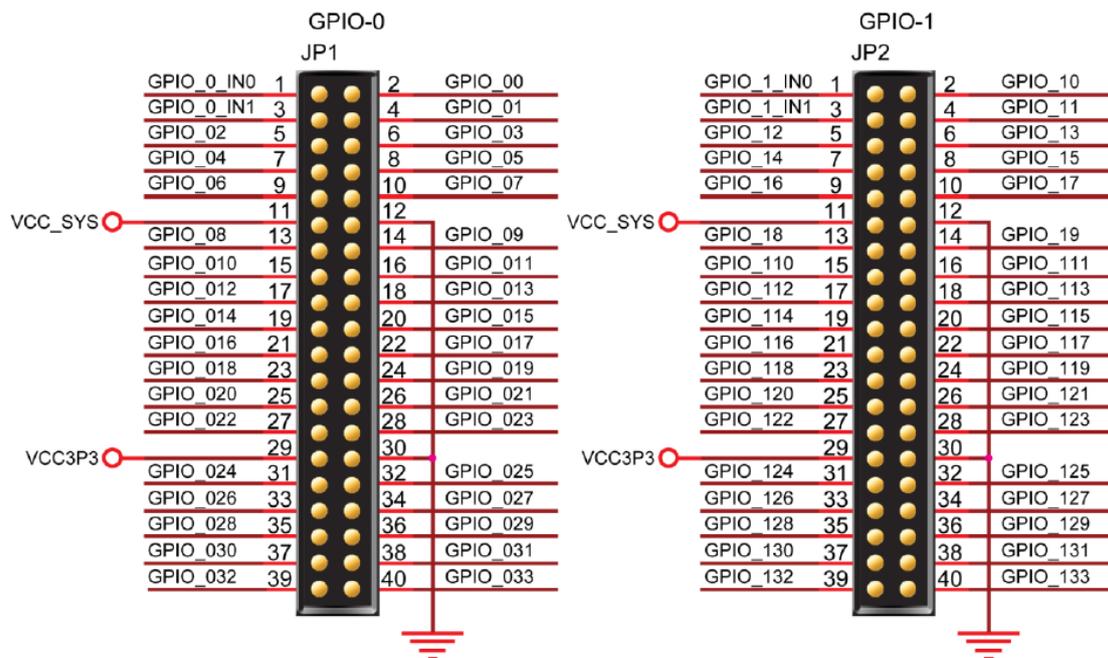


Figura 49 - Disposição dos pinos dos barramentos GPIO-0 e GPIO-1
Fonte: (TERASIC INC, TAIWAN)

Conforme a disposição física do *kit* utilizado e as disposições das placas de acionamento, foram determinados quais seriam efetivamente os pinos que seriam endereçados pelo *software*. A disposição que foi adotada pode ser vista na Tabela 7 e na Tabela 8.

Tabela 7 - Tabela de configuração das conexões entre Barramento GPIO-0 e Driver

Gate	PWM	Pinagem FPGA	FPGA PIN
7	PWM-1	2	PIN_D3
8	PWM-3	4	PIN_C3
5	PWM-1_1	6	PIN_A3
6	PWM-3_1	8	PIN_B4

Fonte: Autoria própria

Tabela 8 - Tabela de configuração das conexões entre Barramento GPIO-1 e Driver

Gate	PWM	Pinagem FPGA	FPGA PIN
3	PWM-0	2	PIN_F13
4	PWM-2	4	PIN_T15
1	PWM-0_1	6	PIN_T13
2	PWM-2_1	8	PIN_T12

Fonte: Aatoria própria

Após todas as verificações de ligação, configurações de terminais e demais conexões, observou-se a formação da forma de onda de 5 níveis conforme esperado. Na Figura 50, segue o detalhe geral da montagem e dos equipamentos utilizados, bem como a forma de onda.

Na Figura 51, foi feita a leitura da forma de onda de 5 níveis com o osciloscópio isolado. Pode-se notar que as formas de onda vistas nas figuras são as mesmas obtidas na simulação e nota-se pela Figura 52 que a frequência lida é muito próxima de 60 Hz.

A Figura 53 mostra a forma de onda média obtida na saída do circuito.

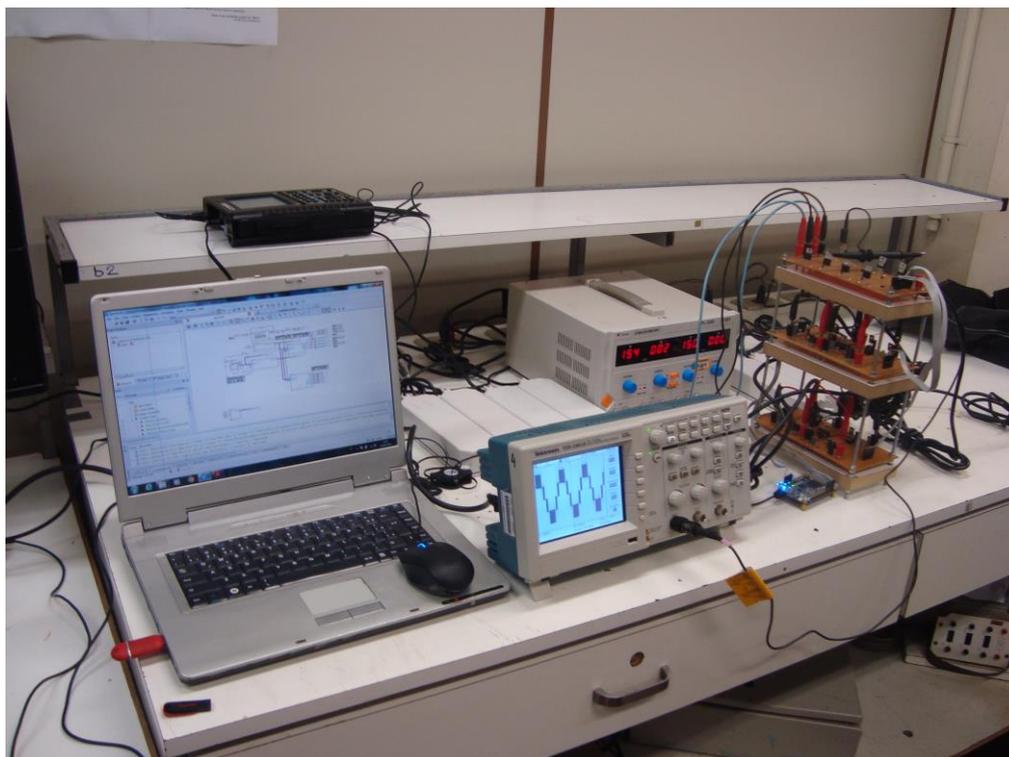


Figura 50 - Inversor multinível monofásico em funcionamento
Fonte: Autoria Própria

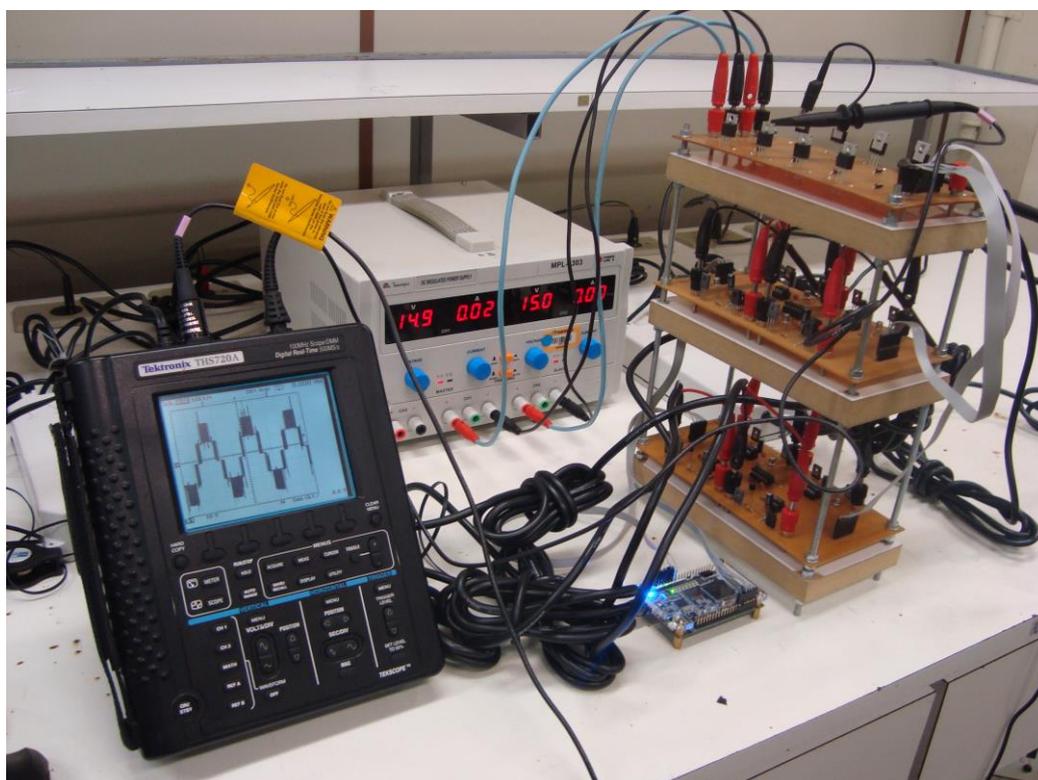


Figura 51 - Leitura da forma de onda final com osciloscópio isolado
Fonte: Autoria Própria

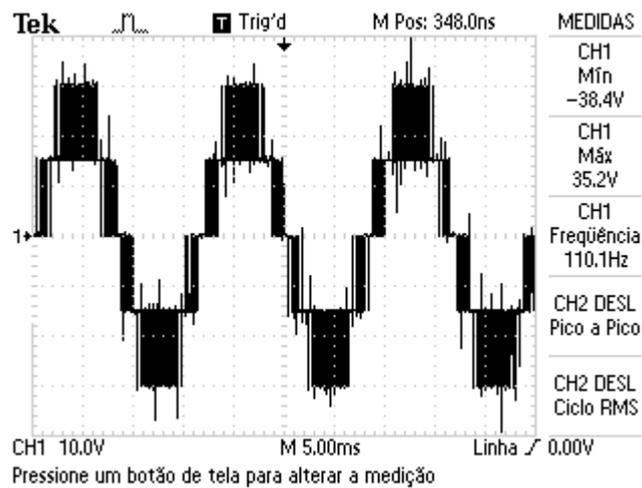


Figura 52 - Forma de onda final com indica&#eag;ao da freq&#uacute;ncia
 Fonte: Autoria Pr&#oilde;ria

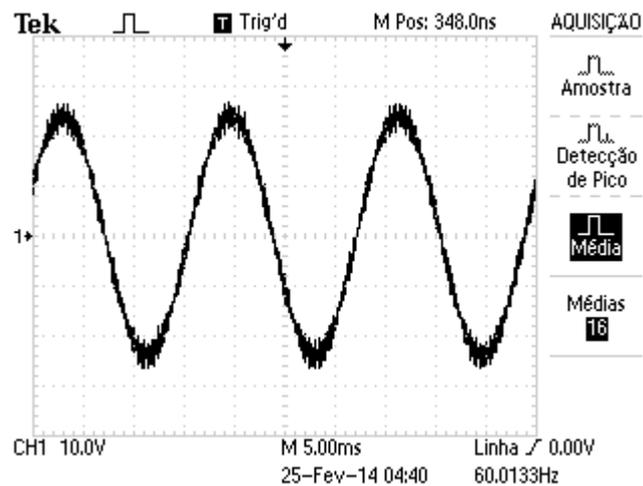


Figura 53 - M&#eacute;dia da forma de onda obtida do inversor
 Fonte: Autoria Pr&#oilde;ria

10 CONSIDERAÇÕES FINAIS

De acordo com a proposta do trabalho, foram apresentadas algumas topologias utilizadas para a implementação de inversores multiníveis e foi escolhida a de 5 níveis por se tratar de um protótipo didático e de pesquisa.

Foram encontradas inúmeras dificuldades durante a montagem, desde aspectos de ordem construtiva até aspectos de ordem computacional, mas que foram superadas.

As formas de onda obtidas na saída para o *gate* da placa de chaveamento são muito semelhantes às que foram encontradas durante a simulação, caracterizando o perfeito funcionamento dos *drivers*. Procurou-se apresentar o conteúdo de forma didática utilizando-se várias ilustrações das formas de onda e descrição dos passos para a realização das simulações e da criação do projeto.

Há um desafio maior que é a montagem do inversor multinível trifásico controlado por FPGA. Muitas questões de montagem e projeto podem ser aproveitadas, bem como o aprimoramento do algoritmo de controle em VHDL, adaptando-o para a situação.

Como sugestão para trabalhos futuros, pode-se listar:

- Implementação de técnicas de controle digital do inversor em malha fechada;
- Implementação do inversor multinível trifásico controlado por FPGA;
- Incluir capacitor nos dois barramentos para redução de ruídos;
- Estudo do tempo morto para evitar o cruzamento das chaves.

11 REFERÊNCIAS BIBLIOGRÁFICAS

AGELIDIS, V.G.; BAKER, D.M.; LAWRENCE, W.B.; NAYAR, C.V. **A Multilevel PWM Inverter Topology for Photovoltaic Applications**. Proceedings of the IEEE International Symposium on Industrial Electronics, ISIE '97, v. 2, p. 589-594.

ANTONOPOULOS, Antonios. **Control, modulation and implementation of modular multilevel converters**. 2011. 75f. Tese (Licenciatura em Tecnologia em Sistemas Elétricos) – Departamento de Máquinas Elétricas e Eletrônica de Potência Faculdade de Engenharia Elétrica KTH, Estocolmo, Suécia, 2011.

ASSEF, A. A.; ANNUNZIATO, R. C.; ILLA FONT, C. H.; NASCIMENTO, C. B.; VIGLUS, F. J. **FPGA and DSC-Based Development Board for Rapid Prototyping of Power Electronics Applications**. In: XIX Congresso Brasileiro de Automática - CBA 2012, 2012, Campina Grande - PB. XIX Congresso Brasileiro de Automática, 2012, p. 2677-2683.

AVELINO, Wellington de Oliveira. **Desenvolvimento de um Inversor Monofásico Utilizando Controlador Digital Baseado em FPGA**. TCC (Graduação em Engenharia Elétrica). Universidade Federal do Ceara. Fortaleza. 2010.

ÁVILA, David Mattos de Andrade. **Método de comando para conversores multiníveis com reduzido número de comutações – paralelismo de conversores estáticos**. 2012. 241f. Tese (Doutorado em Engenharia Elétrica) - Programa de Pós- Graduação em Engenharia Elétrica, Universidade Federal de Minas Gerais, Belo Horizonte, 2012.

BRAGA, Henrique A. C.; BARBI, Ivo. Conversores Estáticos Multiníveis. **SBA Controle & Automação**, vol. 11, p. 20-28, abr. 2000.

DA COSTA, Cesar. **Projetos de Circuitos Digitais com FPGA**. São Paulo: Érica, 2009.

DA COSTA, Cesar. **Projetos de Circuitos Digitais com FPGA**. São Paulo: Editora Erica, 2012.

ELSHEIK, M. G.; SAYED, M. A.; AHMED M.; ORABI M. Simple Control Techniques for Multilevel Inverter. **2012 IEEE 34th Telecommunications Energy Conference (INTELEC)**, p. 1-8, out. 2012.

FRANQUELO, L. G.; RODRIGUES, J. R.; LEÓN, J. I.; KOURO S.; PORTILLO R.; PRATS, M. A. M. The Age of Multilevel Converters Arrives. **IEEE Industrial Electronics Magazine**, vol. 2, p. 28-39, jun. 2008.

GIACOMINI, RENATO. **Apostila básica de VHDL**. Disponível em <<http://www.ebah.com.br/content/ABAAAwyEAL/apostila-basica-vhdl>>. Acesso em: 20 ago. 2013.

KILTS, Steve. **Advanced FPGA design: architecture, implementation, and optimization**. New Jersey: J. Wiley, 2007.

LEÃO E SILVA, Ranoyca Nayana Alencar. **Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge e ANPC**. 2013. 125 f. Tese (Doutorado em Engenharia Elétrica) – Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2013.

MARTINS, A. P.; MEIRELES, E. C.; CARVALHO, A. S. PWM - Based Control of a Cascaded Three-Phase Multilevel Inverter. **Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011)**, p. 1-10, set. 2011.

MEIRELES, E. C.; MARTINS, A. P. Control of Cascaded H-Bridge Inverters Using an FPGA-Based Platform. **2011 International Conference on Power Engineering, Energy and Electrical Drivers (POWERENG)**, p. 1-5, mai. 2011.

MEKHILEF, S.; MASAUD A. **Xilinx FPGA Based Multilevel PWM Single Phase Inverter**. IEEE International Conference on Industrial Technology, ICIT 2006, 2006, p. 259-264.

MUSSA, Samir. **Synchronous State Machine Inner FPGA Controlling PFC Boost Converter**. UFSC. Florianópolis-SC. 2010

PENG, F. Z.; QIAN W.; CAO D. Recent Advances in Multilevel Converter/Inverter Topologies And Applications. **2010 International Power Electronics Conference (IPEC)**, p. 492-501, jun. 2010.

PEREIRA, Ivo Filipe Barroso de Freitas. **Projecto e Implementação de um Inversor Multinível**. 2008. 84f. Dissertação (Mestrado em Engenharia Elétrica) – Mestrado Integrado em Engenharia Eletrotécnica e de Computadores, Faculdade de Engenharia da Universidade do Porto, Porto, 2008.

RECH, Cassiano. **Análise, projeto e desenvolvimento de sistemas multiníveis híbridos**. 2005. 249f. Tese (Doutorado em Engenharia Elétrica) – Programa de Pós – Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, Universidade Federal de Santa Maria, Santa Maria, 2005.

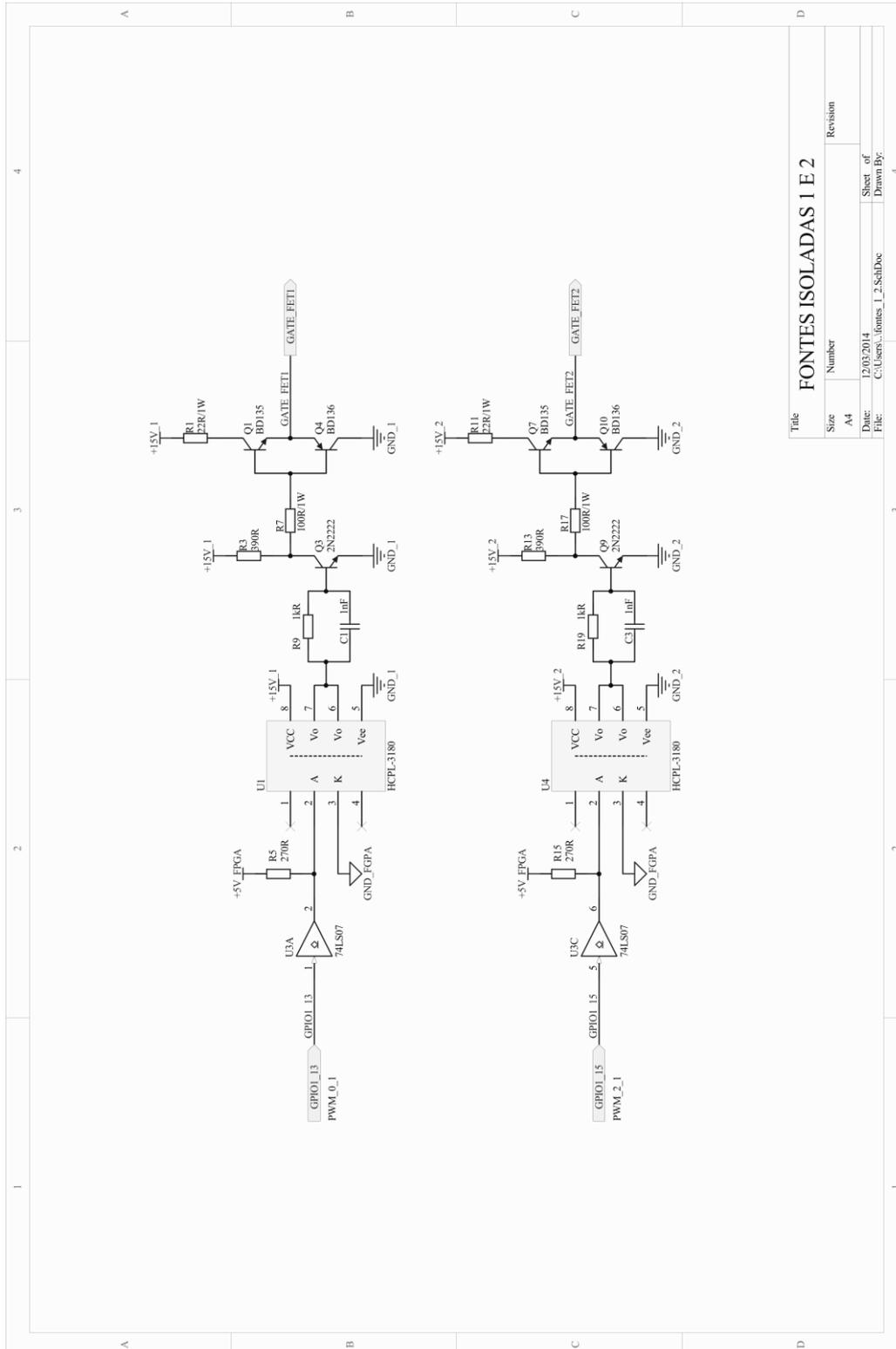
TAHRI, A.; DRAOU, A. **A Comparative Modelling Study of PWM Control Techniques for Multilevel Cascated Inverter**. 2012. Disponível em: http://ijs.academicdirect.org/A06/42_58.htm. Acesso em: 22 fev. 2013.

Terasic DE0-nano **User manual** - 2012

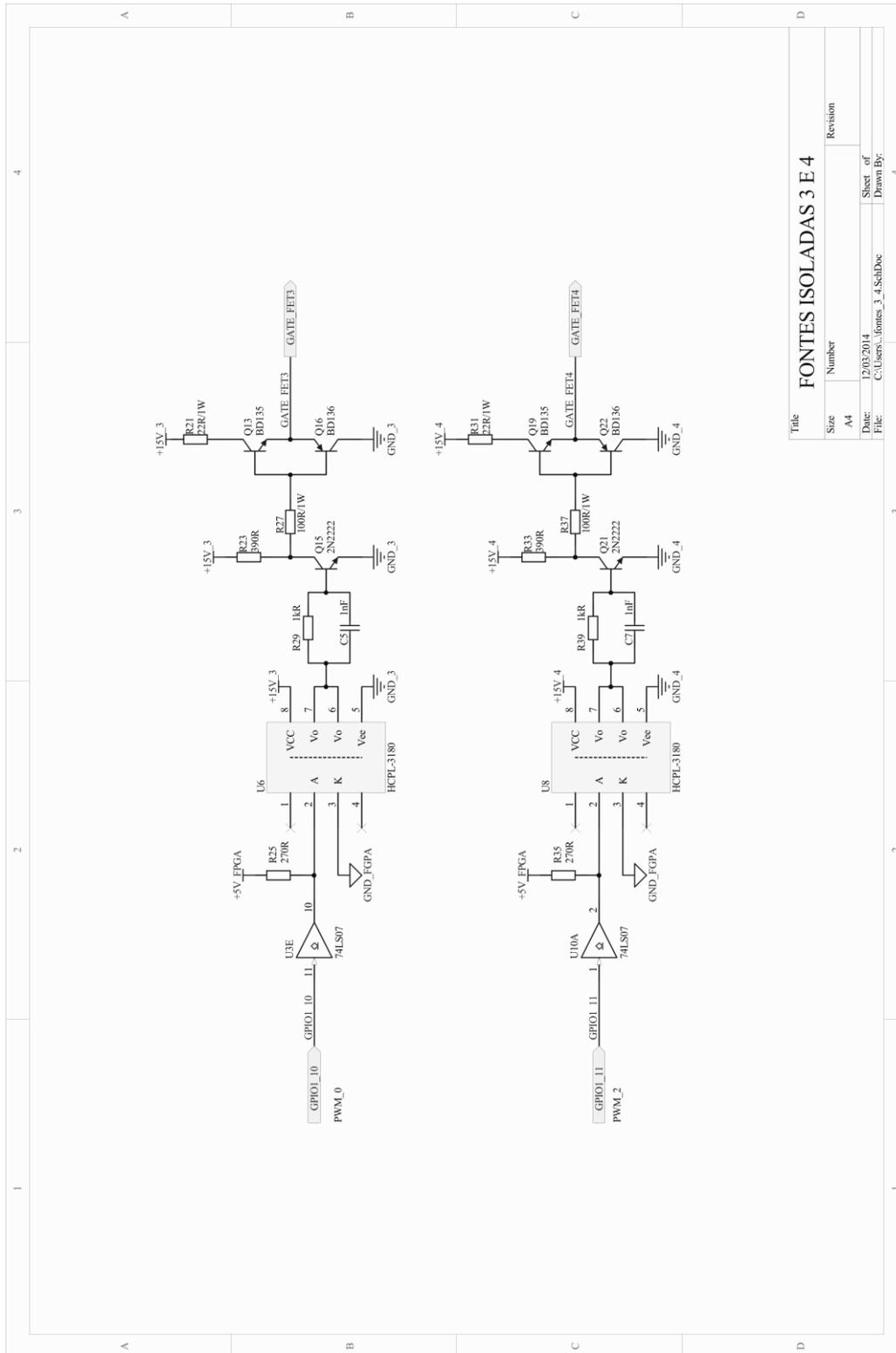
VASQUEZ, Luis Carlos Giraldo. **Control of a Variable Speed Drive with a Multilevel Inverter for Subsea applications**. 2010. 60f. Tese (Master of Science in Electric Power Engineering) – Department of Electric Power Engineering, Norwegian University of Science and Technology, Norway, 2010.

APÊNDICE A – ESQUEMA DAS FONTES ISOLADAS

1) Fontes 1 e 2



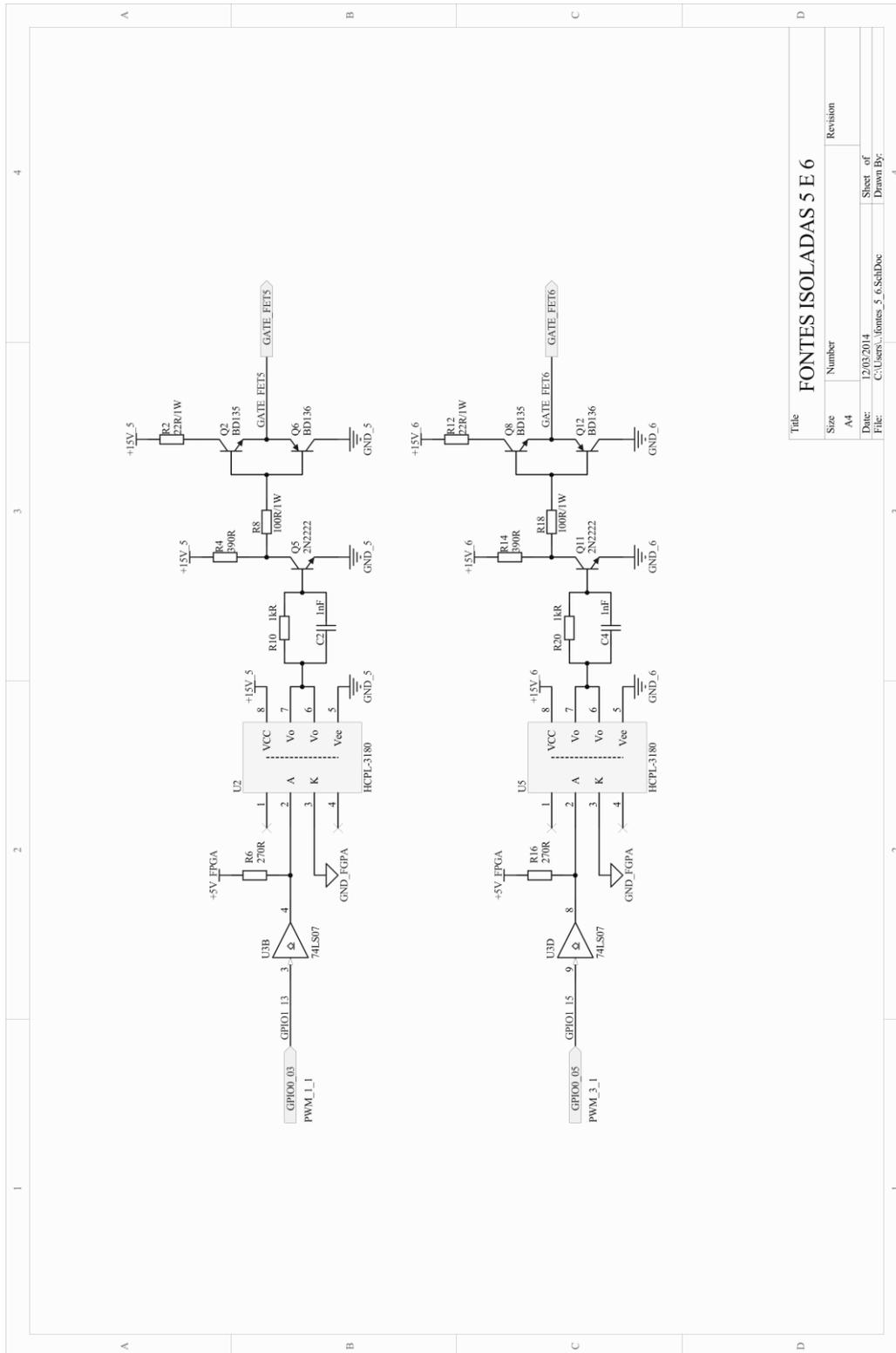
2) Fontes 3 e 4



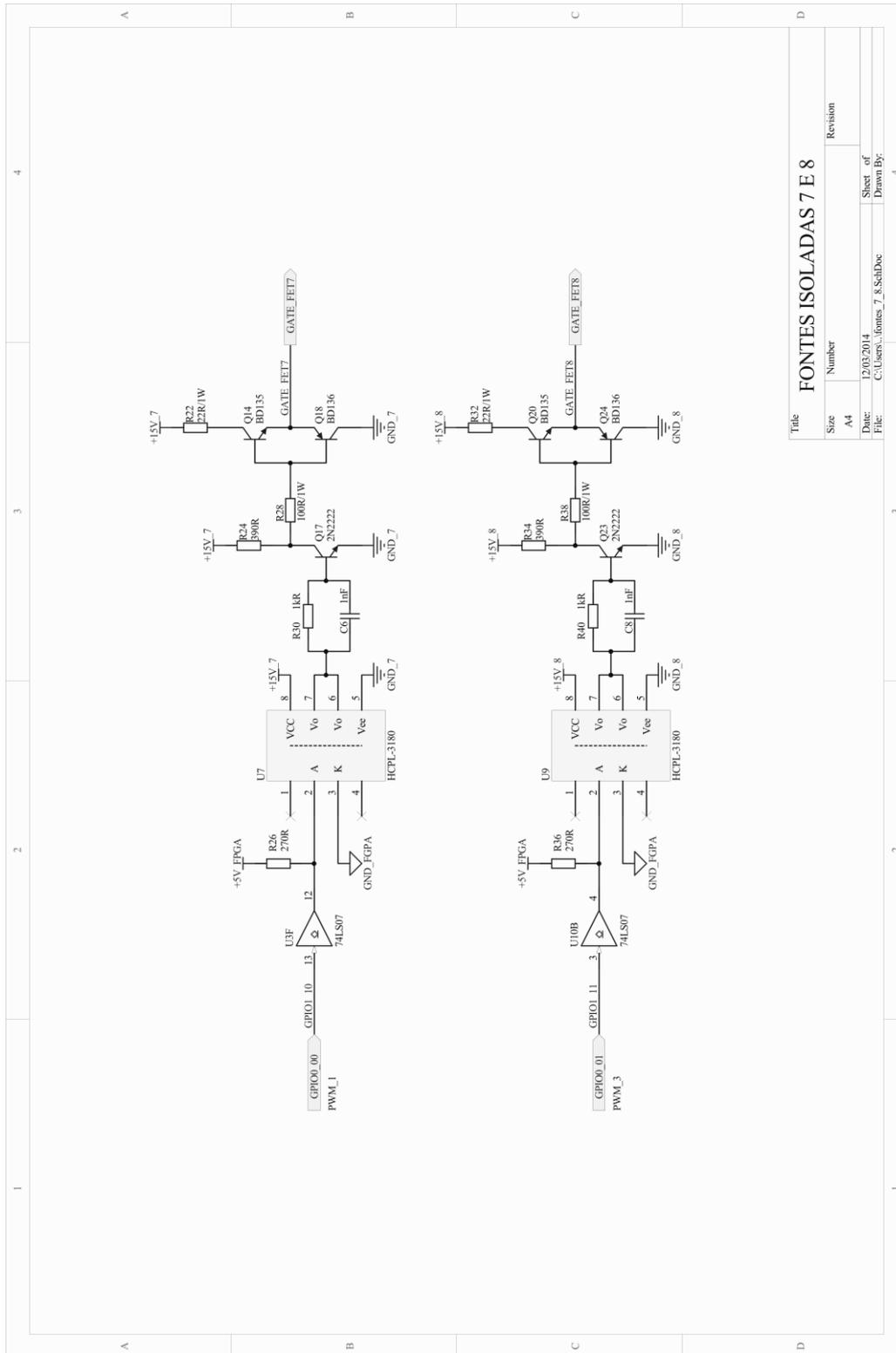
Title		Revision	
Size	Number		
A4			
Date:	Sheet: of		
File:	Drawn By:		
C:\Users\...fontes_3_4.SchDoc			

FONTES ISOLADAS 3 E 4

3) Fontes 5 e 6

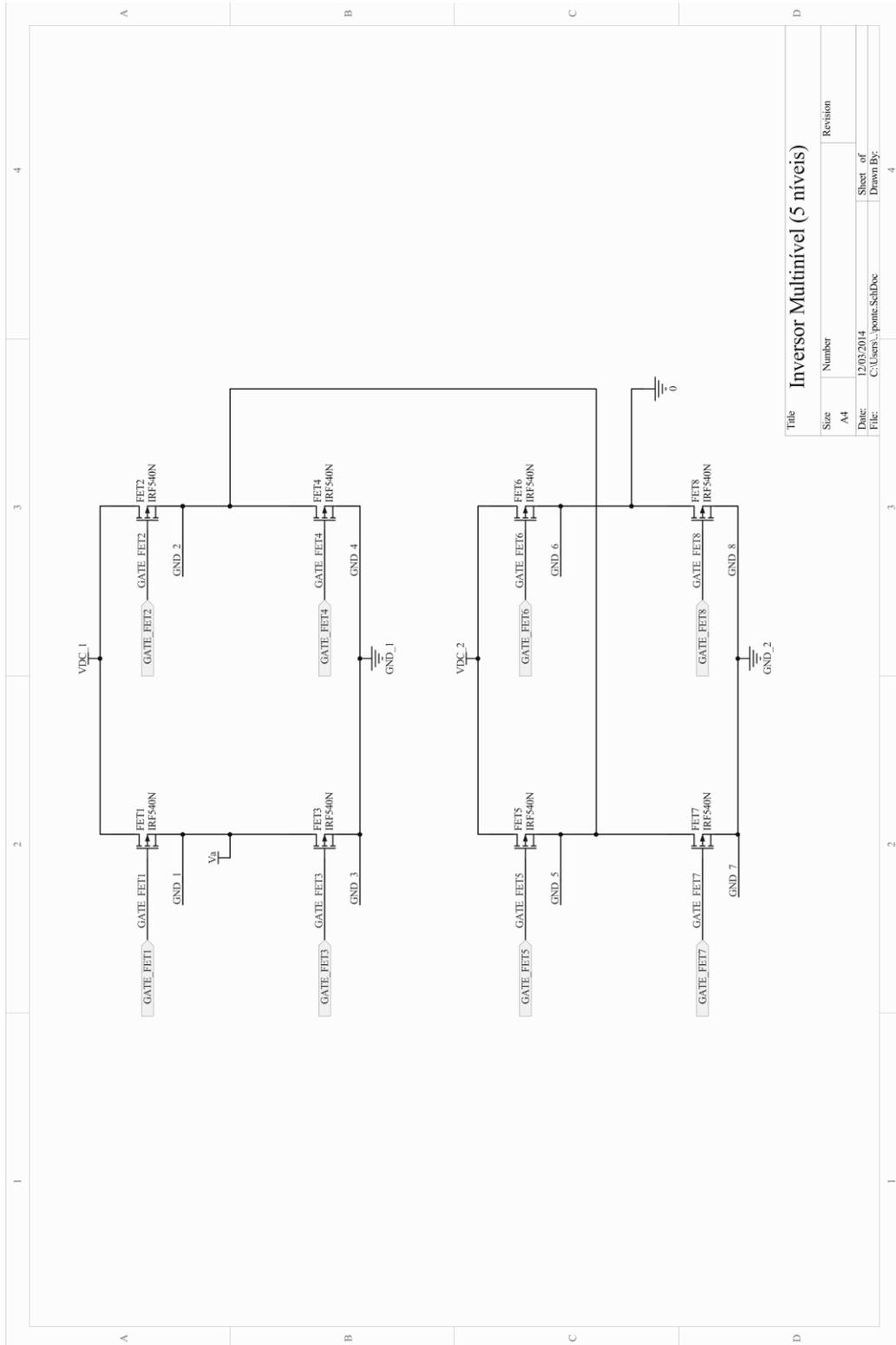


4) Fontes 7 e 8



Title		Revision	
Size	Number		
A4			
Date:	12/03/2014	Sheet: of	
File:	C:\Users\...fontes_7_8.SchDoc	Drawn By:	

APÊNDICE B – ESQUEMA DO INVERSOR MULTINÍVEL MONOFÁSICO



Title Inversor Multinível (5 níveis)

Size	Number	Revision
A4		
Date:	12/03/2014	Sheet of
File:	C:\Users\j...one\SchDoc	Drawn By:

APÊNDICE C – ARQUIVOS EM LINGUAGEM VHDL

1) Arquivo counter_updown_vhdl.vhdl

```

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----
ENTITY counter_updown_vhdl IS

    GENERIC
        (
            ADDR_WIDTH : NATURAL := 14;
            MODULUS      : NATURAL := 3750
        );

    PORT
        (
            clk:          IN STD_LOGIC;
            rst:          IN STD_LOGIC;
            pwm_counter:  OUT          STD_LOGIC_VECTOR
(ADDR_WIDTH-1 DOWNT0 0);
            en:          OUT STD_LOGIC
        );

END counter_updown_vhdl;
-----

ARCHITECTURE behavior OF counter_updown_vhdl IS

signal counter:          INTEGER RANGE 0 TO MODULUS;
signal dir_int:         INTEGER range -1 to 1;

```

```

signal direction:          STD_LOGIC := '0';          --
contador crescente
-----
BEGIN
-----
    PROCESS (clk,counter,rst,direction)
        BEGIN
            IF (rst = '1') THEN
                en <= '0';          -- pulso de
habilitacao
            ELSIF (RISING_EDGE (clk)) THEN
                IF (counter = 0 AND direction = '0') THEN
                    en <= '1';
                ELSE
                    en <= '0';
                END IF;
            END IF;
        END PROCESS;

    PROCESS (clk,counter,direction)
        BEGIN
            IF (RISING_EDGE (clk)) THEN
                IF (counter = MODULUS) THEN
                    direction <= '0';          --
decescente
                    counter <= counter - 1;
                ELSIF (counter = 0) THEN
                    direction <= '1';
                    counter <= counter + 1;          -- crescente
                ELSIF (direction = '1') THEN
                    counter <= counter + 1;          -- crescente
                ELSIF (direction = '0') THEN

```

```

                                counter <= counter - 1;           --
decescente
                                END IF;
                                END IF;
END PROCESS;

pwm_counter <= std_logic_vector(to_unsigned(counter, ADDR_WIDTH ));

-----

END behavior;

-----

```

2) Arquivo compare1_vhdl.vhdl

```

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----

ENTITY compare1_vhdl IS

    GENERIC
        (
            ADDR_WIDTH : NATURAL := 14;
            OFFSET:     NATURAL := 3750
        );

    PORT
        (
            clk:          IN STD_LOGIC;
            a:            IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNTO 0);

```

```

b:    IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNT0 0);
rst:  IN STD_LOGIC;

output1:    OUT STD_LOGIC;
output2:    OUT STD_LOGIC;
output3:    OUT STD_LOGIC;
output4:    OUT STD_LOGIC;
output1_compl: OUT STD_LOGIC;
output2_compl: OUT STD_LOGIC;
output3_compl: OUT STD_LOGIC;
output4_compl: OUT STD_LOGIC

);

```

END compare1_vhdl;

ARCHITECTURE behavior OF compare1_vhdl IS

```

SIGNAL      a_int      : INTEGER RANGE 0 TO 2**ADDR_WIDTH-
1 :=0;
SIGNAL      b_int      : INTEGER RANGE 0 TO 2**ADDR_WIDTH-
1 :=0;

SIGNAL      dt_1       : INTEGER RANGE 0 TO 100;
SIGNAL      dt_2       : INTEGER RANGE 0 TO 100;
SIGNAL      dt_3       : INTEGER RANGE 0 TO 100;
SIGNAL      dt_4       : INTEGER RANGE 0 TO 100;

```

BEGIN

```

a_int <= to_integer(unsigned(a));
b_int <= to_integer(unsigned(b));

```

```
PROCESS (clk,rst,b,b_int,a,a_int)
  BEGIN
    IF (rst ='1') THEN
      output1 <= '0';
      dt_1 <= 0;
    ELSIF (RISING_EDGE (clk)) THEN
      IF (b_int >= (a_int + OFFSET*3)) THEN
        output1 <= '1';
      ELSE
        output1 <= '0';
      END IF;
    END IF;

    IF (rst ='1') THEN
      output2 <= '0';
      dt_2 <= 0;
    ELSIF (RISING_EDGE (clk)) THEN
      IF (b_int >= (a_int + OFFSET*2)) THEN
        output2 <= '1';
      ELSE
        output2 <= '0';
      END IF;
    END IF;

    IF (rst ='1') THEN
      output3 <= '0';
      dt_3 <= 0;
    ELSIF (RISING_EDGE (clk)) THEN
      IF (b_int <= (a_int + OFFSET)) THEN
        output3 <= '1';
      ELSE
        output3 <= '0';
      END IF;
    END IF;
  END
```

```

        END IF;
    END IF;

    IF (rst ='1') THEN
        output4 <= '0';
        dt_4 <= 0;
    ELSIF (RISING_EDGE (clk)) THEN
        IF (b <= a) THEN
            output4 <= '1';
        ELSE
            output4 <= '0';
        END IF;
    END IF;
END PROCESS;
-----
END behavior;
-----

```

3) Arquivo pwm_vhdl.vhdl

Neste arquivo os valores da senoide de referência a partir do endereço 5 foram omitidos devido à elevada quantidade de dados.

```

-----
LIBRARY ieee;
USE ieee.std_logic_1164.all;
use ieee.numeric_std.all;
-----
ENTITY pwm_vhdl IS

    GENERIC
        (

```

```

        DATA_WIDTH : NATURAL := 14;
        ADDR_WIDTH : NATURAL := 9;
        MODULUS : NATURAL := 400
    );

    PORT
    (
        en:          IN STD_LOGIC;
        addr: IN STD_LOGIC_VECTOR (ADDR_WIDTH-1 DOWNT0 0);
        rst:  IN STD_LOGIC;
        clk:  IN STD_LOGIC;
        q:    OUT STD_LOGIC_VECTOR (DATA_WIDTH-1 DOWNT0
0)
    );

END pwm_vhdl;

-----

ARCHITECTURE behavior OF pwm_vhdl IS

    SIGNAL          addr_int          : INTEGER RANGE 0 TO
2**ADDR_WIDTH-1;
    TYPE            vetor IS ARRAY (MODULUS-1 DOWNT0 0) of
INTEGER RANGE 0 TO 2**DATA_WIDTH-1;
    SIGNAL          bit_clk:          STD_LOGIC ;
    CONSTANT rom: vetor := (
7500 ,
7406 ,
7312 ,
7217 ,
7123
);

```

```
-----
BEGIN
```

```
-----
PROCESS (en,rst,addr,addr_int,clk)
```

```
BEGIN
```

```
IF (rst = '1') THEN
```

```
addr_int <= 0;
```

```
q <= (OTHERS => '0');
```

```
ELSIF (RISING_EDGE (clk)) THEN
```

```
IF (en = '1') THEN
```

```
addr_int <= to_integer(unsigned(addr)); -- converte para
endereço para interger
```

```
q<=
```

```
STD_LOGIC_VECTOR(to_unsigned(rom(addr_int),DATA_WIDTH));
```

```
END IF;
```

```
END IF;
```

```
END PROCESS;
```

```
-----
END behavior;
```