

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
DEPARTAMENTO ACADÊMICO DE ELETROTÉCNICA  
ENGENHARIA DE CONTROLE E AUTOMAÇÃO**

**CAROLINA ANTUNES COELHO  
LEONARDO GÖBEL FERNANDES**

**ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL  
MONOFÁSICO CONTROLADO POR FPGA PARA APLICAÇÕES DE  
ENSINO E PESQUISA**

**TRABALHO DE CONCLUSÃO DE CURSO**

**CURITIBA**

**2016**

**CAROLINA ANTUNES COELHO  
LEONARDO GÖBEL FERNANDES**

**ESTUDO E IMPLEMENTAÇÃO DE UM INVERSOR MULTINÍVEL  
MONOFÁSICO CONTROLADO POR FPGA PARA APLICAÇÕES DE  
ENSINO E PESQUISA**

Trabalho de Conclusão de Curso apresentado como requisito parcial à obtenção do título de Bacharel em Engenharia de Controle e Automação, do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná.

Orientador: Prof. Dr. Amauri Amorin Assef

**CURITIBA**

**2016**

Carolina Antunes Coelho  
Leonardo Göbel Fernandes

## Estudo e implementação de um inversor multinível monofásico controlado por FPGA para aplicações de ensino e pesquisa

Este Trabalho de Conclusão de Curso de Graduação foi julgado e aprovado como requisito parcial para a obtenção do Título de Engenheiro de Controle e Automação, do curso de Engenharia de Controle e Automação do Departamento Acadêmico de Eletrotécnica (DAELT) da Universidade Tecnológica Federal do Paraná (UTFPR).

Curitiba, 16 de junho de 2016.

---

Prof. Paulo Sérgio Walenia, Esp.  
Coordenador de Curso  
Engenharia de Controle e Automação

---

Profa. Annemarlen Gehrke Castagna, Ma.  
Responsável pelos Trabalhos de Conclusão de Curso  
de Engenharia de Controle e Automação do DAELT

### **ORIENTAÇÃO**

---

Mauro Amorin Assef, Dr.  
Universidade Tecnológica Federal do Paraná  
Orientador

### **BANCA EXAMINADORA**

---

Mauro Amorin Assef, Dr.  
Universidade Tecnológica Federal do Paraná

---

Eduardo Félix Ribeiro Romanelli, Dr.  
Universidade Tecnológica Federal do Paraná

---

Roger Gules, Dr.  
Universidade Tecnológica Federal do Paraná

## AGRADECIMENTOS

Gostaríamos de agradecer ao Prof. Amauri Amorin Assef, nosso orientador, que além de nos fornecer alguns materiais essenciais para o desenvolvimento deste projeto, sempre esteve disponível a nos ajudar e nos mostrar o melhor caminho para a solução dos problemas.

Temos que agradecer, também, aos professores que compuseram a banca, Prof. Eduardo Félix Ribeiro Romaneli e Prof. Roger Gules, pelos exemplos de seriedade profissional e pelo entusiasmo demonstrado em todas as discussões relacionadas a esse trabalho, e por terem corrigido e proposto melhorias essenciais para este trabalho.

Eu, Carolina, sou grata à minha família pelo amor, incentivo e apoio incondicional durante todos esses anos de engenharia, e que resultaram neste trabalho. Agradeço aos professores dessa Universidade, a qual tenho muito orgulho de ter feito parte, pela dedicação no ensino, que tanto contribuíram para o meu desenvolvimento pessoal e profissional. Ao meu amigo e companheiro de equipe Leonardo, agradeço pelas inúmeras vezes em que me ajudou, por ter se empenhado e perseverado em solucionar problemas encontrados neste trabalho. Por fim, agradeço aos meus amigos e colegas pela paciência e compreensão nos dias de estresse e momentos de ausência.

Eu, Leonardo, agradeço pelo esforço dos meus pais por terem me incentivado a seguir meus sonhos e cumprir com mais essa etapa importante da minha vida. Agradeço ao meu amigo Jorge Felipe Grybosi, por ter se disponibilizado a projetar o *layout* do circuito, ao Victor Gati por ter nos socorrido em vários momentos durante a realização dos testes práticos, a Isabella Villain de Lima Braga e Renata Lautert Yang por terem tentado arduamente finalizar a construção do conversor Flyback a tempo de nos auxiliar na implementação do inversor multinível, e a minha amiga e parceira de equipe Carolina, que mesmo tendo que aprender a lidar com meu gênio difícil superou todas as adversidades e trabalhou até o fim. Por último, e mais importante, agradeço a Deus por ter permitido eu viver todas as experiências que me possibilitaram chegar até aqui.

A única maneira de se definir o limite do possível é ir além dele, para o impossível.  
(CLARKE, Arthur C., 1968).

## RESUMO

COELHO, Carolina A., GÖBEL, Leonardo F. Estudo e Implementação de um Inversor Multinível Monofásico Controlado por FPGA para Aplicações de Ensino e Pesquisa. 2016. 148 f. Trabalho de conclusão de curso (Engenharia de Controle e Automação) – Universidade Tecnológica Federal do Paraná. Curitiba, 2016.

Este trabalho apresenta o estudo sobre as principais topologias de conversores multiníveis de tensão e estratégias de modulações PWM (*Pulse-Width Modulation*) para o desenvolvimento de um inversor multinível ponte H em cascata (*Cascaded H-Bridge* - CHB) com até cinco níveis de tensão, controlado por dispositivo de lógica reconfigurável FPGA (*Field Programmable Gate Array*). O modelo do inversor foi implementado e simulado no ambiente Simulink do Matlab para sintetizar uma onda multinível com frequência de saída de 60 Hz a partir da frequência de chaveamento de 2,4 kHz. O código do FPGA foi escrito com o *software* Quartus II para os índices de modulação de amplitude 0,99, 0,8, 0,6, 0,4 e 0,2, sendo validado com o simulador ModelSim Altera. O *kit* de desenvolvimento DE0-Nano com um FPGA Altera Cyclone IV foi utilizado para verificação dos sinais de controle digitais PWM aplicados na placa protótipo de potência com oito MOSFETs, confeccionada durante o trabalho. Os resultados simulados e experimentais dos sinais PWM para os diferentes índices de modulação de amplitude, cargas e filtros de saída, com análise das distorções totais harmônicas (*Total Harmonic Distortion* - THD), são apresentados e corroboram que o presente trabalho acrescenta ao ambiente acadêmico uma metodologia simples, compacta e didática para estudo e pesquisa de inversores multiníveis com potência de até 350 W.

**Palavras-chaves:** Eletrônica de Potência. Inversor Multinível. Topologia oito Chaves. Ponte H em Cascata. FPGA. Modulação PWM.

## ABSTRACT

COELHO, Carolina A., GÖBEL, Leonardo F. A Study and Implementation of a Single-Phase Multilevel Inverter Controlled by a FPGA for Education and Research Applications. 2016. 148 f. Trabalho de conclusão de curso (Engenharia de Controle e Automação) – Universidade Tecnológica Federal do Paraná. Curitiba, 2016.

In this work is shown a study about the main topologies of multilevel voltage inverters and of different PWM (Pulse Width Modulation) modulation strategies for developing a cascaded H-bridge (CHB) multilevel inverter with up to five voltage levels, controlled by reconfigurable logic device FPGA (Field Programmable Gate Array). The inverter model was implemented and simulated in the Matlab Simulink to synthesize a multilevel waveform with output frequency of 60 Hz from the 2.4 kHz switching frequency. The code of the FPGA was written using the software Quartus II for the amplitude modulations rates: 0.99, 0.8, 0.6, 0.4, and 0.2, and they were all validated with the Altera ModelSim simulator. The DE0 Nano-development kit with FPGA Altera Cyclone IV was used to verify the digital PWM control signals applied to the prototype power board with eight MOSFETs. The simulated and experimental results of the PWM signals to the different levels of amplitude modulation, loads and output filters, with analysis of total harmonic distortion (THD), are presented and corroborates that this study adds to the academic environment one simple, compact and didactic methodology for study and research multilevel inverters with power up to 350 W.

**Keywords:** Power Electronic. Multilevel Inverter. Eight Switches Topology. Cascaded H-Bridge. FPGA. Pulse Width Modulation.

## LISTA DE ILUSTRAÇÕES

Figura 1: Esquema geral de um inversor de frequência.....	19
Figura 2: Comparativo entre o formato de ondas resultantes de uma topologia com 8 (figura à esquerda) e 6 (figura à direita) chaves semicondutoras, ambas com 5 níveis de tensão.....	22
Figura 3: Topologia clássica de um conversor multinível com 8 chaves semicondutoras.....	22
Figura 4: <i>Kit</i> DE0-Nano.....	25
Figura 5: Exemplos de arranjos para a célula de comutação.....	28
Figura 6: Braço de um conversor (a) dois níveis (b) três níveis e (c) $n$ níveis.....	29
Figura 7: Tensão de saída com níveis igualmente espaçados.....	30
Figura 8: Exemplos de topologias de conversores NPC de (a) 3 níveis e (b) 5 níveis.....	31
Figura 9: THD das tensões de linha sintetizadas pelos inversores dois níveis e três níveis, ambos com modulação por largura de pulso senoidal.....	32
Figura 10: Tensão de saída de $V_{ao}$ para um conversor 5 níveis.....	33
Figura 11: Inversor $m$ níveis com diodo grampeado.....	34
Figura 12: Topologia generalizada de um inversor multinível com capacitores de grampeamento.....	35
Figura 13: Exemplos de topologias de conversores capacitor flutuante de (a) 3 níveis e (b) 5 níveis.....	36
Figura 14: Forma de onda da tensão na fase A na saída de um inversor ponde completa cascata.....	37
Figura 15: Inversor multinível com células <i>H-bridge</i> em série.....	38
Figura 16: Inversor nove níveis com dois inversores NPC monofásicos conectados em série.....	39
Figura 17: Conexão série através de transformadores monofásicos.....	39
Figura 18: Exemplo de dispositivo FPGA. a) FPGA da empresa Xilinx com 400000 portas. b) Esquema geral simplificado da arquitetura interna de um dispositivo FPGA.....	42
Figura 19: Estrutura de blocos de um FPGA.....	44
Figura 20: Exemplo de unidade lógica básica da família de FPGA Virtex.....	44
Figura 21: Ambiente de desenvolvimento do FPGA.....	45
Figura 22: Arquitetura básica de roteamento de um FPGA.....	47
Figura 23: Disposição das portadoras em oposição de fases alternadas (APOD) utilizando o Simulink ( $m = 5$ , $ma = 0,8$ , $mf = 40$ ).....	50
Figura 24: Disposição das portadoras em oposição de fases (POD) ( $m = 5$ , $ma = 0,8$ , $mf = 40$ ).....	50
Figura 25: Disposição das portadoras em fase (PD) ( $m = 5$ , $ma = 0,8$ , $mf = 40$ ).....	51
Figura 26: Disposição das portadoras deslocadas em fase ( $m = 5$ , $ma = 0,8$ , $mf = 10$ ).....	52
Figura 27: <i>Layout</i> e componentes da placa DE0-Nano.....	53



Figura 28: Diagrama de blocos da placa DE0-Nano. ....	53
Figura 29: <i>Driver</i> HCPL-3180 do fabricante Agilent Technologies. ....	54
Figura 30: Configuração do <i>driver</i> responsável pelo comando da chave S1. ....	56
Figura 31: Projeto Inversor Multinível ponte H em Cascata com 8 chaves semicondutoras. ....	57
Figura 32: Resistor de fio fixo radial de 220 $\Omega$ /100 W. ....	59
Figura 33: Reostato com deslocamento longitudinal de 300 $\Omega$ /1200 W. ....	60
Figura 34: Filtro passa baixa de segunda ordem. ....	61
Figura 35: Circuito de uma portadora com as características do sinal triangular e do sinal de referência. Simulação realizada a partir do <i>software</i> Simulink. ....	63
Figura 36: Sinais complementares de saída de uma portadora simulados no Simulink. ....	64
Figura 37: Grupo de portadoras utilizadas durante as simulações. ....	65
Figura 38: Sinais gerados para aplicação nos <i>gates</i> dos MOSFETs. ....	65
Figura 39: Comparação do sinal de referência com as quatro portadoras distribuídas em oposição de fases. ....	66
Figura 40: Etapa de potência do inversor multinível de 5 níveis a partir do <i>software</i> Simulink. ....	66
Figura 41: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método APOD ( $m = 5, m_a = 0,8, m_f = 40$ ). ....	67
Figura 42: Espectro da tensão da carga quando $m_f = 39$ para o método APOD. ....	68
Figura 43: Espectro da tensão da carga quando $m_f = 40$ para o método APOD. ....	68
Figura 44: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método POD ( $m = 5, m_a = 0,8, m_f = 40$ ). ....	69
Figura 45: Espectro da tensão da carga quando $m_f = 39$ para o método POD. ....	69
Figura 46: Espectro da tensão da carga quando $m_f = 40$ para o método POD. ....	70
Figura 47: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método PD ( $m = 5, m_a = 0,8, m_f = 40$ ). ....	70
Figura 48: Espectro da tensão da carga quando $m_f = 39$ para o método PD. ....	71
Figura 49: Espectro da tensão da carga quando $m_f = 40$ para o método PD. ....	71
Figura 50: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método de deslocamento de fase ( $m = 5, m_a = 0,8, m_f = 10$ ). ....	72
Figura 51: Espectro da tensão da carga quando $m_f = 10$ para o método de deslocamento de fase. ....	72
Figura 52: Espectro da tensão da carga quando $m_f = 9,75$ para o método de deslocamento de fase. ....	73
Figura 53: Aquisição do valor de tensão através da subtração da tensão dos divisores. ....	74
Figura 54: Verificação do resultado do circuito divisor resistivo para leitura da tensão na carga. (onda superior - tensão na carga; onda inferior - amostra da tensão na carga). ....	74
Figura 55: Circuito de potência com filtro LC na saída ( $L=5,43$ mH e $C=6,8$ $\mu$ F). ....	76
Figura 56: Ondas de tensão e corrente da carga simuladas antes da implementação do Filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 5 níveis. ....	76

Figura 57: Ondas de tensão e corrente da carga simuladas após a implementação do Filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 5 níveis. ....	77
Figura 58: Espectro harmônico antes da aplicação do filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 5 níveis. ....	77
Figura 59: Espectro harmônico após a aplicação do filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 5 níveis. ....	78
Figura 60: Diagrama de Bode do conjunto RLC ( $R=220\Omega$ , $L=5,43$ mH e $C=6,8$ $\mu$ F)..	78
Figura 61: Onda de tensão e corrente da carga antes da implementação do Filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 3 níveis.....	79
Figura 62: Onda de tensão e corrente da carga após a implementação do Filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 3 níveis.....	79
Figura 63: Espectro harmônico antes da aplicação do filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 3 níveis. ....	80
Figura 64: Espectro harmônico após a aplicação do filtro LC ( $L=5,43$ mH e $C=6,8$ $\mu$ F) para modulação 3 níveis. ....	80
Figura 65: Simulação do código no ModelSim para $ma = 0,99$ .....	82
Figura 66: Simulação do código no ModelSim para $ma = 0,99$ com o sinal de referência sobrepondo o sinal das portadoras. ....	82
Figura 67: Simulação do código no ModelSim para $ma = 0,4$ .....	82
Figura 68: <i>Kit</i> FPGA DE0-Nano com indicações dos componentes utilizados. ....	83
Figura 69: Configuração dos Pinos GPIO do FPGA.....	84
Figura 70: Sinal das portadoras para $ma = 0,99$ (escala de tempo de 2 ms).....	86
Figura 71: Sinal das portadoras para $ma = 0,99$ (escala de tempo de 4 ms).....	86
Figura 72: Sinal das portadoras para $ma = 0,99$ (escala de tempo de 10 ms).....	86
Figura 73: Sinal das portadoras para $ma = 0,8$ (escala de tempo de 2 ms).....	87
Figura 74: Sinal das portadoras para $ma = 0,8$ (escala de tempo de 4 ms).....	87
Figura 75: Sinal das portadoras para $ma = 0,8$ (escala de tempo de 10 ms).....	87
Figura 76: Sinal das portadoras para $ma = 0,6$ (escala de tempo de 2 ms).....	88
Figura 77: Sinal das portadoras para $ma = 0,6$ (escala de tempo de 4 ms).....	88
Figura 78: Sinal das portadoras para $ma = 0,6$ (escala de tempo de 10 ms).....	88
Figura 79: Sinal das portadoras para $ma = 0,4$ (escala de tempo de 2 ms).....	89
Figura 80: Sinal das portadoras para $ma = 0,4$ (escala de tempo de 4 ms).....	89
Figura 81: Sinal das portadoras para $ma = 0,4$ (escala de tempo de 10 ms).....	89
Figura 82: Sinal das portadoras para $ma = 0,2$ (escala de tempo de 2 ms).....	90
Figura 83: Sinal das portadoras para $ma = 0,2$ (escala de tempo de 4 ms).....	90
Figura 84: Sinal das portadoras para $ma = 0,2$ (escala de tempo de 10 ms).....	90
Figura 85: Placa Inversor Multinível com 8 chaves semicondutoras (Visão Superior).....	91
Figura 86: Placa Inversor Multinível com 8 chaves semicondutoras (visão lateral).	92
Figura 87: Circuito inversor: testes e ensaios.....	94

Figura 88: Tensão de saída para $ma = 0,99$ em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms.....	95
Figura 89: Tensão de saída para $ma = 0,8$ em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms.....	96
Figura 90: Tensão de saída para $ma = 0,6$ em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms.....	97
Figura 91: Tensão de saída para $ma = 0,4$ em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms.....	98
Figura 92: Tensão de saída para $ma = 0,2$ em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms.....	99
Figura 93: Tensão e corrente na carga resistiva para $ma = 0,99$ na escala de tempo de 10 ms.....	101
Figura 94: Tensão e corrente na carga resistiva para $ma = 0,99$ na escala de tempo de 4 ms. ....	101
Figura 95: Tensão média e corrente média na carga resistiva $ma = 0,99$ com 32 amostras.....	101
Figura 96: Tensão e corrente na carga resistiva para $ma = 0,8$ na escala de tempo de 10 ms.....	102
Figura 97: Tensão e corrente na carga resistiva para $ma = 0,8$ na escala de tempo de 4 ms. ....	102
Figura 98: Tensão média e corrente média na carga resistiva para $ma = 0,8$ com 32 amostras.....	102
Figura 99: Tensão e corrente na carga resistiva para $ma = 0,6$ na escala de tempo de 10 ms.....	103
Figura 100: Tensão e corrente na carga resistiva para $ma = 0,6$ na escala de tempo de 4 ms. ....	103
Figura 101: Tensão média e corrente média na carga resistiva para $ma = 0,6$ com 32 amostras.....	103
Figura 102: Tensão e corrente na carga resistiva para $ma = 0,4$ na escala de tempo de 10 ms.....	104
Figura 103: Tensão e corrente na carga resistiva para $ma = 0,4$ na escala de tempo de 4 ms. ....	104
Figura 104: Tensão média e corrente média na carga resistiva para $ma = 0,4$ com 32 amostras.....	104
Figura 105: Tensão e corrente na carga resistiva para $ma = 0,2$ na escala de tempo de 10 ms.....	105
Figura 106: Tensão e corrente na carga resistiva para $ma = 0,2$ na escala de tempo de 4 ms. ....	105
Figura 107: Tensão média e corrente média na carga resistiva para $ma = 0,2$ com 32 amostras.....	105

Figura 108: Potência, tensão e corrente na carga para $ma = 0,99$ .	106
Figura 109: Potência, tensão e corrente média na carga para $ma = 0,99$ com 128 amostras.	106
Figura 110: Potência, tensão e corrente no reostato para $ma = 0,99$ .	107
Figura 111: Potência, tensão e corrente média no reostato para $ma = 0,99$ com 128 amostras.	107
Figura 112: Temperatura dos componentes da placa em operação com corrente de 3 A. (a) Chaves semicondutoras próximo de 30°C. (b) NTC com valor máximo de 235,2°C. (c) Ponte retificadora com valor de 73°C.	108
Figura 113: Sinais de tensão e corrente sem filtro de saída que serviram de base para análise da THD ( $ma = 0,99$ ).	109
Figura 114: THD para $ma = 0,99$ sem filtro para harmônicos da 2. <sup>a</sup> até a 50. <sup>a</sup> ordem.	109
Figura 115: Sinais de tensão e corrente com filtro LC para análise da THD ( $ma = 0,99$ ).	110
Figura 116: THD para $ma = 0,99$ com filtro LC para harmônicos da 2. <sup>a</sup> até a 50. <sup>a</sup> ordem.	110
Figura 117: Sinais de tensão e corrente sem filtro de saída que serviram de base para análise da THD ( $ma = 0,4$ ).	111
Figura 118: THD para $ma = 0,4$ sem filtro para harmônicos da 2. <sup>a</sup> até a 50. <sup>a</sup> ordem.	111
Figura 119: Sinais de tensão e corrente com filtro LC para análise da THD ( $ma = 0,4$ ).	112
Figura 120: THD para $ma = 0,4$ com filtro LC para harmônicos da 2. <sup>a</sup> até a 50. <sup>a</sup> ordem.	112
Figura 121: Potência, tensão e corrente provenientes da primeira fonte de alimentação.	113
Figura 122: Potência, tensão e corrente provenientes da segunda fonte de alimentação.	113
Figura 123: Potência, tensão e corrente fornecidas para carga na saída do inversor.	114
Figura 124: Resultado do rendimento do sistema completo com variação da potência de saída (carga linear resistiva) em função da tensão de entrada.	115
Figura 125: Conversor Flyback 7 saídas com controle em malha fechada	129
Figura 126: Diagrama de bode da função $G(s)$ .	142
Figura 127: Diagrama de polos e zeros da função $G(s)$ .	142
Figura 128: Magnitude em dB da frequência de cruzamento desejada.	144
Figura 129: Circuito do compensador de 1 polo (PI).	145
Figura 130: Diagrama de Bode da função $G(t)$ .	146
Figura 131: Magnitude em dB da frequência de cruzamento desejada após aplicação do compensador.	146
Figura 132: Diagrama de Bode da função $G(t)$ ajustada.	147
Figura 133: Diagrama de polos e zeros da função $G(s)$ e do compensador.	148
Figura 134: Circuito do compensador proposto.	148

## LISTA DE TABELAS

Tabela 1: Sequência de comutação para obter os cinco níveis de tensão de saída. ....	32
Tabela 2: Sequência de comutação para obter os cinco níveis de tensão de saída. ....	33
Tabela 3: Sequência de comutação para obter os cinco níveis de tensão de saída em um conversor capacitor flutuante. ....	36
Tabela 4: Características das topologias básicas de inversores multiníveis. ....	40
Tabela 5: Componentes usados nas topologias básicas de inversores multiníveis trifásicos. ....	40
Tabela 6: Lista de componentes eletrônicos e equipamentos utilizados no <i>driver</i> . ....	55
Tabela 7: Lista de componentes utilizados na implementação da placa. ....	58
Tabela 8: Componentes adicionais. ....	59
Tabela 9: Tabela de relação entre o valor do capacitor, indutor e THD. ....	75
Tabela 10: Tabela de configuração dos pinos PWMs do FPGA. ....	84
Tabela 11: Tabela de configuração de LEDs do FPGA. ....	85
Tabela 12: Tabela de configuração das chaves de modulação. ....	85
Tabela 13: Parâmetros medidos no ensaio de rendimento. ....	114
Tabela 14: Potência e rendimento calculados. ....	115

## LISTA DE SIGLAS, ABREVIATURAS E ACRÔNIMOS

$\zeta$	Índice de amortecimento
$\omega_c$	Frequência Angular de Corte
ABEL	<i>Advanced Boolean Equation Language</i>
$A_p$	Amplitude da Tensão das Portadoras
APOD	<i>Alternative Phase Opposition Disposition</i>
$A_r$	Amplitude da Tensão de Referencia
A/D	Conversão Analógico-Digital
CA	Corrente Alternada
CC	Corrente Contínua
$C_f$	Capacitor do Filtro
CHB	<i>Cascaded H-Bridge</i>
CI	Circuito Integrado
Co.	<i>Company</i>
Corp.	<i>Corporation</i>
DAELT	Departamento de Eletrotécnica
DSP	<i>Digital Signal Processor</i>
EEPROM	<i>Electrically-Erasable Programmable Read-Only Memory</i>
EPROM	<i>Erasable Programmable Read Only</i>
FC	<i>Flying Capacitor</i>
$f_c$	Frequência de Corte
$f_{f_{5n}}$	Frequência de Corte do Filtro para o Inversor de Cinco Níveis
$f_p$	Frequência das Portadoras
FPGA	<i>Field Programmable Gate Array</i>
$f_r$	Frequência de Referência
GND	<i>Ground</i>
GTO	<i>Gate Turn-Off Thyristor</i>
HDL	<i>Hardware Description Language</i>
IDE	<i>Integrated Development Environment</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
Inc.	<i>Incorporated</i>
JTAG	<i>Join Test Action Group</i>
LC	Carga Indutiva e Capacitiva

LED	<i>Light Emitting Diode</i>
$L_f$	Indutor do Filtro
LPEE	Laboratório de Processamento Eletrônico de Energia
LUT	<i>Look-Up Table</i>
$m$	Número de Níveis do Inversor Multinível
$m_a$	Índice de Modulação de Amplitude
$m_f$	Índice de Modulação de Frequência
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
NPC	<i>Neutral Point Clamped</i>
NTC	<i>Negative Temperature Coefficient</i>
$o$	Ponto Neutro
PCB	<i>Printed Circuit Board</i>
PD	<i>Phase Disposition</i>
POD	<i>Phase Opposition Disposition</i>
PWM	<i>Pulse Width Modulation</i>
RAM	<i>Random Access Memory</i>
$R_{eq}$	Resistência Equivalente
$R_G$	Resistor do Gate
RLC	Carga Resistiva, Indutiva e Capacitiva
SCR	<i>Silicon Controlled Rectifier</i>
SDRAM	<i>Synchronous Dynamic Random Access Memory</i>
THD	<i>Total Harmonic Distortion</i>
UPS	<i>Uninterruptible Power Supply</i>
USB	<i>Universal Serial Bus</i>
UTFPR	Universidade Tecnológica Federal do Paraná
$V_{a_o}$	Tensão de Saída Entre o Ponto $a$ e o Neutro
$V_{CC}$	Tensão no Barramento CC
$V_{dc}$	Tensão de Entrada do Inversor
VHDL	<i>Very High Speed Integrated Circuits Hardware Description Language</i>

## SUMÁRIO

<b>1 INTRODUÇÃO .....</b>	<b>18</b>
1.1 TEMA .....	18
1.1.1 Delimitação do Tema .....	21
1.2 PROBLEMAS E PREMISSAS .....	21
1.3 OBJETIVOS.....	23
1.3.1 Objetivo Geral.....	23
1.3.2 Objetivos Específicos.....	23
1.4 JUSTIFICATIVA.....	24
1.5 PROCEDIMENTO METODOLÓGICOS.....	24
1.6 ESTRUTURA DO TRABALHO .....	25
<b>2 FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>27</b>
2.1 INTRODUÇÃO AOS CONVERSORES MULTINÍVEIS .....	27
2.2 CONVERSORES MULTINÍVEIS DE TENSÃO .....	28
2.2.1 Inversor com Ponto Neutro Grampeado a Diodos .....	31
2.2.2 Inversor com Capacitor Flutuante .....	34
2.2.3 Inversor Ponte H em Cascata .....	37
2.2.4 Comparação Entre as Topologias de Inversores Multinível .....	40
2.3 DISPOSITIVO DE LÓGICA RECONFIGURÁVEL FPGA.....	41
2.3.1 Metodologia de Implementação .....	42
2.3.2 Aspectos Gerais do FPGA .....	43
2.3.3 Etapas de um Projeto Utilizando FPGA .....	44
2.3.3.1 Síntese lógica.....	46
2.3.3.2 Arquitetura de roteamento .....	46
2.3.3.3 Verificações e testes .....	47
2.3.3.4 Programação do FPGA.....	47
<b>3 MATERIAIS E MÉTODOS.....</b>	<b>48</b>
3.1 MODULAÇÃO MULTINÍVEL.....	48
3.1.1 Modulação por Largura de Pulso.....	48
3.1.1.1 Estratégias PWM baseadas na disposição das portadoras .....	49
3.1.1.1.1 <i>Disposição em oposição de fases alternadas (APOD - Alternative Phase Opposition Disposition)</i> .....	49
3.1.1.1.2 <i>Disposição em oposição de fases (POD - Phase Opposition Disposition)</i> .....	50
3.1.1.1.3 <i>Disposição em fase (PD - Phase Disposition)</i> .....	51
3.1.1.1.4 <i>Estratégia PWM baseada no deslocamento de fase das múltiplas portadoras</i> .....	52
3.2 KIT DE DESENVOLVIMENTO DE0-NANO TERASIC-ALTERA.....	53
3.3 CIRCUITO DRIVER DOS MOSFETS .....	54
3.4 CONFECÇÃO DO HARDWARE .....	55
3.4.1 Circuito Esquemático e <i>Layout</i> da Placa Protótipo .....	55



3.5 DIMENSIONAMENTO DE CARGA.....	59
3.5.1 Cargas Resistivas .....	59
3.6 ESTUDO DO FILTRO .....	60
3.7 GERAÇÃO DOS SINAIS DIGITAIS DE CONTROLE E SIMULAÇÕES.....	61
<b>4 RESULTADOS .....</b>	<b>63</b>
4.1 MODELAGEM DO INVERSOR MULTINÍVEL NO SIMULINK .....	63
4.2 SIMULAÇÃO DAS ESTRATÉGIAS DE DISTRIBUIÇÃO DAS PORTADORAS.....	67
4.2.1 Resultados da Simulação para Disposição em Oposição de Fases Alternadas .....	67
4.2.2 Resultados da Simulação para Disposição em Oposição de Fases .....	69
4.2.3 Resultados da Simulação para Disposição em Fase.....	70
4.2.4 Resultados da Simulação para Deslocamento de Fase .....	72
4.3 SIMULAÇÃO DA AQUISIÇÃO DA AMOSTRA DE TENSÃO NA CARGA .....	73
4.4 IMPLEMENTAÇÃO DO FILTRO DE SAÍDA .....	75
4.5 PROGRAMAÇÃO DO FPGA .....	81
4.5.1 Verificação do Código no <i>Software</i> de Simulação ModelSim-Altera.....	81
4.5.1.1 Resultado da simulação para $ma = 0,99$ .....	82
4.5.1.2 Resultado da simulação para $ma = 0,4$ .....	82
4.6 VERIFICAÇÃO DO CÓDIGO NA PLACA DE0-NANO.....	83
4.6.1 Resultados da Simulação para $ma = 0,99$ .....	86
4.6.2 Resultados da Simulação para $ma = 0,8$ .....	87
4.6.3 Resultados da Simulação para $ma = 0,6$ .....	88
4.6.4 Resultados da Simulação para $ma = 0,4$ .....	89
4.6.5 Resultados da Simulação para $ma = 0,2$ .....	90
4.7 RESULTADOS EXPERIMENTAIS COM A PLACA DE POTÊNCIA .....	91
4.7.1 Teste a Vazio Aplicando 60 V .....	94
4.7.1.1 Resultado da aquisição da tensão de saída para $ma = 0,99$ .....	95
4.7.1.2 Resultado da aquisição da tensão de saída para $ma = 0,8$ .....	96
4.7.1.3 Resultado da aquisição da tensão de saída para $ma = 0,6$ .....	97
4.7.1.4 Resultado da aquisição da tensão de saída para $ma = 0,4$ .....	98
4.7.1.5 Resultado da aquisição da tensão de saída para $ma = 0,2$ .....	99
4.7.2 Teste com Carga Resistiva .....	100
4.7.2.1 Resistor de fio fixo radial 220 $\Omega$ e lâmpadas.....	100
4.7.2.1.1 <i>Aquisição da tensão e corrente na carga para <math>ma = 0,99</math> e potência 33 W.</i> .....	101
4.7.2.1.2 <i>Aquisição da tensão e corrente na carga para <math>ma = 0,8</math> e potência 23 W</i> .....	102
4.7.2.1.3 <i>Aquisição da tensão e corrente na carga para <math>ma = 0,6</math> e potência 13 W</i> .....	103
4.7.2.1.4 <i>Aquisição da tensão e corrente na carga para <math>ma = 0,4</math> e potência 8 W .</i>	104
4.7.2.1.5 <i>Aquisição da tensão e corrente na carga para <math>ma = 0,2</math> e potência 4 W .</i>	105

4.7.2.1.6 Aquisição da potência (65W), tensão e corrente em três lâmpadas ligadas em paralelo.....	106
4.7.3 Reostato com Deslocamento Longitudinal Ajustado para 30 $\Omega$ e Potência 250 W.....	106
4.8 IMPLEMENTAÇÃO DO FILTRO LC PROPOSTO .....	108
4.8.1 Teste Sem Filtro para $ma = 0,99$ .....	108
4.8.2 Teste Com Filtro LC para $ma = 0,99$ .....	109
4.8.3 Teste Sem Filtro para $ma = 0,4$ .....	111
4.8.4 Teste Com Filtro LC para $ma = 0,4$ .....	112
4.9 ANÁLISE DE RENDIMENTO.....	113
<b>5 DISCUSSÃO DOS RESULTADOS .....</b>	<b>116</b>
<b>6 CONCLUSÕES GERAIS.....</b>	<b>119</b>
<b>REFERÊNCIAS.....</b>	<b>121</b>
<b>APÊNDICE A – ESQUEMÁTICO DO PROJETO DO INVERSOR MULTINÍVEL...124</b>	
<b>APÊNDICE B – CÓDIGO DA FPGA EM ARQUIVOS VHDL CONVERTIDOS PARA BLOCOS.....125</b>	
<b>APÊNDICE C – DIMENSIONAMENTO DO INDUTOR.....126</b>	
<b>APÊNDICE D – PROJETO DO FLYBACK.....129</b>	



## 1 INTRODUÇÃO

### 1.1 TEMA

A Eletrônica de Potência baseia-se no controle do chaveamento e na conversão de potência elétrica utilizando dispositivos semicondutores. A crescente demanda por eficiência na conversão e no controle de energia elétrica fez com que essa área da engenharia elétrica ganhasse importância, o que resultou no desenvolvimento de novos dispositivos, circuitos e esquemas de controle que continuam a estender a tecnologia de eletrônica de potência a novas áreas de aplicação (AHMED, 2000).

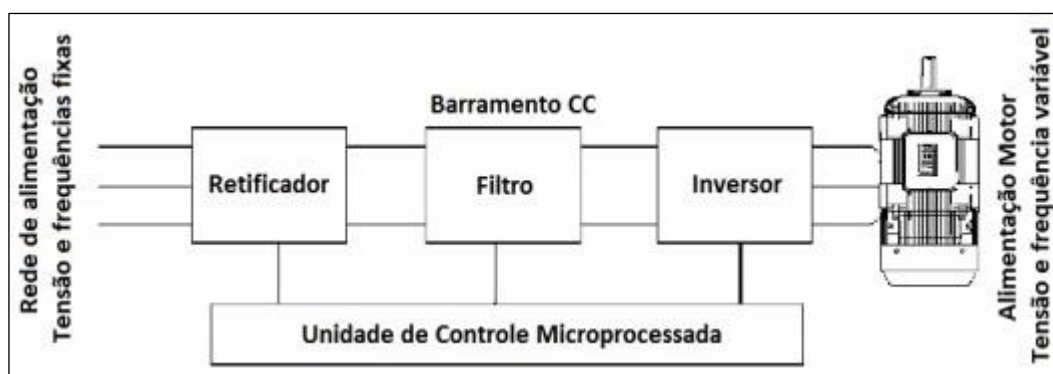
O termo Eletrônica de Potência vem sendo usado desde a década de 60, após a criação do SCR (*Silicon Controlled Rectifier* – Retificador Controlado de Silício) pela General Electric Co. (*Company*). A eletrônica de potência progrediu com rapidez nas últimas décadas, com o desenvolvimento dos dispositivos semicondutores de potência que podem comutar altas correntes eficientemente em altas tensões. Uma vez que esses dispositivos oferecem alta confiabilidade e são de pequeno porte, a eletrônica de potência expandiu-se para diversas áreas de aplicação, como controle de iluminação e de aquecimento, fontes reguladas de energia, motores acionadores CC (Corrente Contínua) ou CA (Corrente Alternada) de velocidade variável, compensador estático VAR (*Volt-Ampère Reactive*), sistemas de transmissão CC em alta tensão e os inversores de frequência (AHMED, 2000).

Com o desenvolvimento atual dos dispositivos semicondutores de potência de alta velocidade de chaveamento aplicados em circuitos de alta frequência, como o MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*), o conteúdo harmônico das formas de onda de saída dos conversores CC-CA pode ser minimizado, e, em muitos casos, reduzido significativamente utilizando técnicas específicas de modulação e filtragem (MARTINS & BARBI, 2008). Tais sistemas, conhecidos como inversores estáticos, convertem parâmetros CC em CA, com frequência e tensão ou corrente de saída desejada. A tensão de saída tem uma forma de onda periódica que, embora não-senoidal, pode ser considerada como tal por aproximação.

Existem muitos tipos de inversores, que podem ser classificados de acordo com o número de fases, com a utilização de dispositivos semicondutores de potência,

com os princípios de comutação e com as formas de onda da saída (AHMED, 2000). Dessa forma, dentre as aplicações do conversor CC-CA de tensão pode-se destacar: controle de velocidade de máquinas elétricas de corrente alternada, sistemas de alimentação ininterrupta de energia (UPS - *Uninterruptible Power Supply*), aquecimento indutivo, fontes de alimentação para aeronaves, dentre outros (MARTINS & BARBI, 2008).

Os conversores CC-CA de tensão controlados pela técnica de modulação por largura de pulso (PWM - *Pulse Width Modulation*) são os mais comuns encontrados na indústria (AHMED, 2000; MESQUITA, 2011). Eles podem ser energizados através de bancos de bateria, células combustíveis, redes de painéis fotovoltaicos, ou qualquer outra fonte de tensão contínua. Porém, nas aplicações industriais mais comuns, são alimentados a partir de circuitos retificadores com filtros, antes de realizar a inversão. Na Figura 1 é exemplificado o esquema geral de um inversor de frequência (MARTINS & BARBI, 2008).



**Figura 1: Esquema geral de um inversor de frequência.**  
**Fonte: Santos (2008).**

Outro enfoque da indústria é buscar componentes e topologias de inversores que apresentem perdas menores, principalmente decorrentes do fato das chaves semicondutoras não serem ideais (AHMED, 2000).

Segundo Mesquita (2011), atualmente, existem diversas topologias de inversores. Devido sua ampla aplicação industrial e do uso em acionamentos de máquinas, as estruturas que utilizam formas de onda quase quadradas em sua saída possuem harmônicos que, dependendo da frequência em relação ao rotor, podem produzir torque positivo, nulo ou até contrário. No caso da existência de torque contrário, a máquina apresentará perdas por aquecimento nos enrolamentos (WALKILEH, 2003), além de aumentar o custo do filtro de saída. Para conformá-la em

uma onda senoidal, normalmente, modula-se esse sinal em alta frequência com o intuito de diminuir a dimensão e o custo do filtro de saída.

Para os inversores que operam em baixas potências (menor que 400 W), como é o caso do inversor em ponte completa, quando se aumenta a potência, é prática comum diminuir a frequência para manter as perdas dentro de limites aceitáveis. A diminuição da frequência acarreta no aumento do custo e do tamanho do filtro de saída que, para certas faixas de potência em topologias que operam com dois níveis na tensão de saída, torna-se inviável por razões de eficiência e aumento da THD (*Total Harmonic Distortion*) (MESQUITA, 2011). Uma solução para esse caso é usar topologias que permitam obter na saída uma onda multinível, a qual diminui a THD sem precisar aumentar a frequência de operação sem aumentar o custo do filtro de saída (MESQUITA, 2011).

Em meio a essa situação foi pensado em estruturas que gerassem formas de ondas com maior resolução na tensão de saída sem aumentar consideravelmente o custo de produção, bem como os efeitos elétricos desses acoplados ao sistema elétrico. O estudo de conformar a tensão de saída em degraus suaves gerou um termo próprio muito utilizado em eletrônica de potência o qual atualmente é conhecido como multinível (MESQUITA, 2011).

Os inversores multiníveis são amplamente aplicados em altas potências e em médias tensões. Segundo pesquisas realizadas por Wu (2006), no âmbito industrial entre os maiores fabricantes de inversores multiníveis, foi demonstrado que grande parte das aplicações em médias tensões para *drivers* de acionamento de máquinas se efetua na faixa de potência de 0,4 MW a 40 MW, com nível de tensão variando de 2,3 kV a 13,8 kV. Entre as aplicações estão bombas de gasoduto na indústria petroquímica e estações de bombeamento, ventiladores na indústria de cimento, trações no transporte industrial, indústria na produção de rolos de aço, dentre outras.

Atualmente, na área da eletrônica de potência, existe uma busca pelo controle digital dos conversores estáticos. No início os circuitos lógicos eram basicamente constituídos por portas lógicas em circuitos integrados ou dispositivos pré-configurados pelo fabricante. Contudo, eles representam uma desvantagem quanto a flexibilidade de suas aplicações.

Nesse sentido, o *Field Programmable Gate Array* (FPGA) é um dispositivo semicondutor, criado pela Xilinx Inc. (*Incorporated*) em 1985, que pode ser reconfigurado pelo usuário através das ferramentas de desenvolvimento de acordo

com as necessidades do projeto. Este dispositivo é, basicamente, composto por blocos de entrada e saída, chaves de interconexão e blocos lógicos que podem ser configurados independentemente. Os FPGAs vêm sendo utilizados para o controle de sistemas digitais como: controle de motores, controle de movimento, e no controle elétrico ligado a conversão de sistemas CC-CA, CA-CC ou CC-CC (SANTOS, 2008).

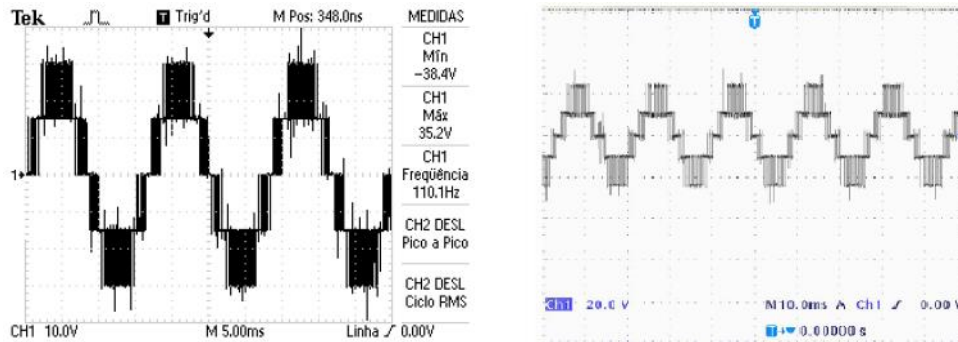
### 1.1.1 Delimitação do Tema

O presente trabalho apresenta um estudo sobre conversores multiníveis de tensão CC-CA. Consiste em uma pesquisa sobre as principais topologias e técnicas empregadas no chaveamento dos interruptores, os quais determinam os níveis do conversor. Além disso, é feita a análise e estudo para construção do protótipo em malha aberta de um inversor multinível (5 níveis) monofásico controlado por FPGA utilizando a topologia ponte H em cascata, onde são necessárias 8 chaves semicondutoras de potência, para fins didáticos e pesquisa, com implementação e avaliação em cargas de teste.

## 1.2 PROBLEMAS E PREMISSAS

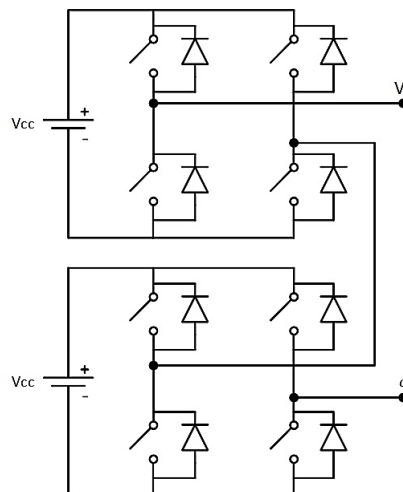
Os conversores multiníveis vêm sendo desenvolvidos principalmente para aplicações de alta potência em média e alta tensão. Estes conversores são capazes de sintetizar ondas de baixo conteúdo harmônico conforme aumenta-se o número de níveis, porém aumentando assim a complexidade do circuito e custo para o sistema. Por isso, são feitos estudos de diversas topologias que sintetizem uma forma de onda com o maior número de níveis sem aumentar o número de dispositivos de potência.

Como mostrado na Figura 2, duas topologias diferentes apresentadas por Oliveira *et al.* (2014) e Mekhilef & Masaoud (2006), respectivamente, podem gerar ondas com o mesmo número de níveis de tensão. Devido aos vários tipos de topologias possíveis, torna-se um desafio a escolha dos parâmetros, como número de células conectados, frequência de comutação e níveis de tensão (RECH, 2005).



**Figura 2: Comparativo entre o formato de ondas resultantes de uma topologia com 8 (figura à esquerda) e 6 (figura à direita) chaves semicondutoras, ambas com 5 níveis de tensão.**  
 Fonte: Adaptado de Oliveira *et al.* (2014) e Mekhilef & Masaoud (2006).

Para melhor entendimento, a Figura 3 ilustra a topologia clássica de um inversor multinível (5 níveis) com 8 chaves semicondutoras.



**Figura 3: Topologia clássica de um conversor multinível com 8 chaves semicondutoras.**  
 Fonte: Adaptado de Rech (2005).

A escolha da topologia e o dimensionamento do circuito podem ser um desafio. Neste caso, a distância entre os componentes, as espessuras das trilhas, entre outros fatores, fazem diferença. Também, deve ter-se o cuidado com o sincronismo na entrada em condução e bloqueio, variações bruscas de tensão ou corrente nos dispositivos (MARTINS & BARBI, 2008).

Um dos grandes problemas dos inversores multiníveis ponte-H em cascata com  $n$  células é o desequilíbrio de tensão, exigindo que cada chave tenha um circuito de comutação e uma fonte de corrente contínua separada e isolada, assim como as referências (OLIVEIRA *et al.*, 2014).



Neste trabalho serão utilizados programas para geração dos sinais PWM e análise dos resultados, pois o sistema é relativamente complexo, exigindo conhecimentos de *softwares* de simulação de circuitos, como por exemplo, o ModelSim Altera EDA (MENTOR GRAPHICS CORP., EUA).

Considerando a topologia clássica apresentada na Figura 3, outra dificuldade deste projeto está no controle das chaves semicondutoras, o que implica na utilização de oito sinais PWM, motivo pelo qual a escolha do FPGA se torna mais viável e adequado ao projeto. Além disso, foi necessário o aprendizado da linguagem descrição de *hardware* VHDL (*Very High Speed Integrated Circuits Hardware Description Language*) para programação do FPGA e da ferramenta Quartus II (ALTERA CORP., EUA) para a configuração lógica do mesmo.

### 1.3 OBJETIVOS

#### 1.3.1 Objetivo Geral

Desenvolver um sistema protótipo para fins de ensino e pesquisa de um conversor multinível (5 níveis) monofásico, com topologia clássica ponte H em cascata, utilizando 8 chaves semicondutoras, de baixa potência – até 350 W – controlado por FPGA.

#### 1.3.2 Objetivos Específicos

- Estudar a topologia multinível (5 níveis) com 8 chaves semicondutoras;
- Especificar os circuitos envolvidos no projeto do inversor multinível;
- Dimensionar os circuitos para conexão das cargas de teste;
- Pesquisar e elaborar o algoritmo para o dispositivo FPGA;
- Simular as etapas de controle digital e do módulo de potência;
- Construir o protótipo do conversor multinível para efetuar a realização dos ensaios práticos;
- Definir e implementar as cargas de teste e filtro de saída;
- Estudar os harmônicos da carga com e sem a aplicação do inversor;

- Analisar os resultados e obter as conclusões do trabalho.

#### 1.4 JUSTIFICATIVA

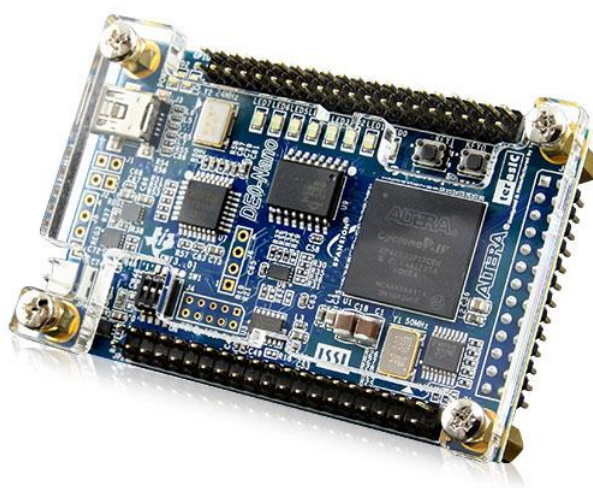
O estudo acerca de diferentes topologias de conversores multiníveis busca criar um sistema mais robusto com um controle mais eficiente. A pesquisa de novas topologias para conversores multiníveis representa a preocupação em desenvolver circuitos mais flexíveis que apresentam baixos níveis de distorção de harmônicos e alta eficiência (RECH, 2005). Além disso, devido à complexidade envolvida, é de grande importância o desenvolvimento e disponibilização de um sistema de baixa potência para ensino e pesquisa de inversores multinível controlados por dispositivo de lógica reconfigurável FPGA. Dessa forma, pode-se avaliar diferentes parâmetros que muitas vezes são analisados somente de forma teórica e/ou através de simulação, como por exemplo, temperatura dos semicondutores de potência, diferentes estratégias de modulação, rendimento, dimensionamento de filtros, etc.

Neste trabalho serão abordados muitos conhecimentos adquiridos no curso de engenharia, como por exemplo, os conceitos de circuitos digital e analógico, eletrônica de potência, estudo dos componentes eletrônicos, e aplicação de *softwares* na simulação e desenvolvimento de circuitos elétricos. Ainda é apresentado o desenvolvimento e avaliação do protótipo didático do inversor multinível controlado por FPGA como resultado prático do trabalho proposto, uma vez que, apesar de tema atual, tal sistema não é disponível para estudantes e pesquisadores de eletrônica de potência.

#### 1.5 PROCEDIMENTO METODOLÓGICOS

Este trabalho foi dividido em 5 etapas principais. A primeira etapa consistiu no embasamento teórico, ou seja, o levantamento bibliográfico do material (dissertações e teses) sobre os temas abordados. Aqui foram investigados os problemas da topologia escolhida, e seus métodos de controle, bem como o dimensionamento do sistema para utilização da carga e um estudo de como minimizar os harmônicos do circuito. Na segunda etapa foram feitas as simulações do circuito inversor com diferentes modulações. Esta etapa foi importante para ter-se noção dos resultados

desejados e para a escolha de uma carga. A implementação do protótipo foi iniciada na terceira etapa, onde foi estudado e elaborado um *layout* adequado para montagem do inversor multinível. A quarta etapa foi dedicada a programação para o controle do FPGA. Neste trabalho foi utilizado o *kit* DE0-Nano da empresa Terasic (<http://www.terasic.com.tw/>), apresentado na Figura 4, o qual foi disponibilizado pelo professor orientador do TCC. Nesta etapa também foi estudado o *software* Quartus II para programação do FPGA, e também foi utilizado o programa ModelSim Altera EDA para a simulação do circuito inversor. Na quinta e última etapa, serão realizadas as análises dos resultados adquiridos, bem como a comparação dos resultados obtidos nas simulações, com as devidas conclusões do projeto.



**Figura 4: Kit DE0-Nano.**  
**Fonte: Terasic Inc. (2016).**

## 1.6 ESTRUTURA DO TRABALHO

O presente trabalho é composto por 6 Capítulos. No Capítulo 1 são apresentadas a introdução, definição do tema, objetivos e as motivação para o desenvolvimento do projeto. No Capítulo 2 é feita a fundamentação teórica para a implementação do inversor multinível de cinco níveis de tensão. Neste capítulo são abordados o estudo das topologias de inversores multiníveis mais relevantes e sobre os dispositivos de lógica reconfigurável FPGA em seus aspectos gerais. No Capítulo 3 são mostrados os materiais e métodos que foram utilizados na implementação do protótipo do inversor multinível. Neste capítulo foi feita uma descrição da estratégia

de modulação PWM escolhida, do *kit* de desenvolvimento DE0-Nano, o qual é o responsável pela programação do FPGA e da placa protótipo do sistema de potência. No Capítulo 4 são mostrados os resultados das simulações e práticos da implementação dos sinais PWMs e da etapa de potência, além dos testes com diferentes distribuições das portadoras, índices de modulação de amplitude e cargas de testes. No Capítulo 5 é feita a discussão dos resultados obtidos. E por fim, o último Capítulo trata-se das conclusões gerais deste trabalho.

## 2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo serão apresentados os conceitos teóricos para a implementação do inversor multinível de cinco níveis, como o estudo de topologias e o dispositivo de lógica reconfigurável FPGA.

### 2.1 INTRODUÇÃO AOS CONVERSORES MULTINÍVEIS

Uma das preocupações da indústria está ligada ao estudo de componentes usados em Eletrônica de Potência. Tais pesquisas consistem na busca por novos dispositivos semicondutores de potência que conduzam elevadas correntes, e que suportem grandes valores de tensão (MARTINS & BARBI, 2008).

Como vantagens, os conversores multiníveis apresentam melhoria da qualidade da tensão de saída, baixa distorção harmônica, reduzindo assim os componentes de filtragem, além de apresentar alta eficiência, sendo mais notável quando aplicados com um grande número de níveis em sistemas de alta potência (SILVA, 2013).

Tradicionalmente, conversores multiníveis são associações de células de comutação, devido às limitações dos dispositivos semicondutores. Portanto, esses dispositivos são dispostos em série e/ou paralelo, pois seu funcionamento se baseia na operação complementar de duas chaves eletrônicas conectadas em ponto comum (Figura 5), a fim de superar suas limitações físicas. Essas chaves podem ser controladas utilizando semicondutores – MOSFET, IGBT (*Insulated Gate Bipolar Transistor*), GTO (*Gate Turn-Off Thyristor*) –, ou passivas – diodos –, dependendo da natureza do conversor (MARTINS & BARBI, 2008; RECH *et al.*, 2004).

Em se tratando de topologia, existe uma grande flexibilidade na escolha de configurações multiníveis, pois várias topologias diferentes são capazes de gerar uma mesma forma de onda com o mesmo número de níveis, o que pode representar um problema no dimensionamento do inversor (RECH *et al.*, 2004).

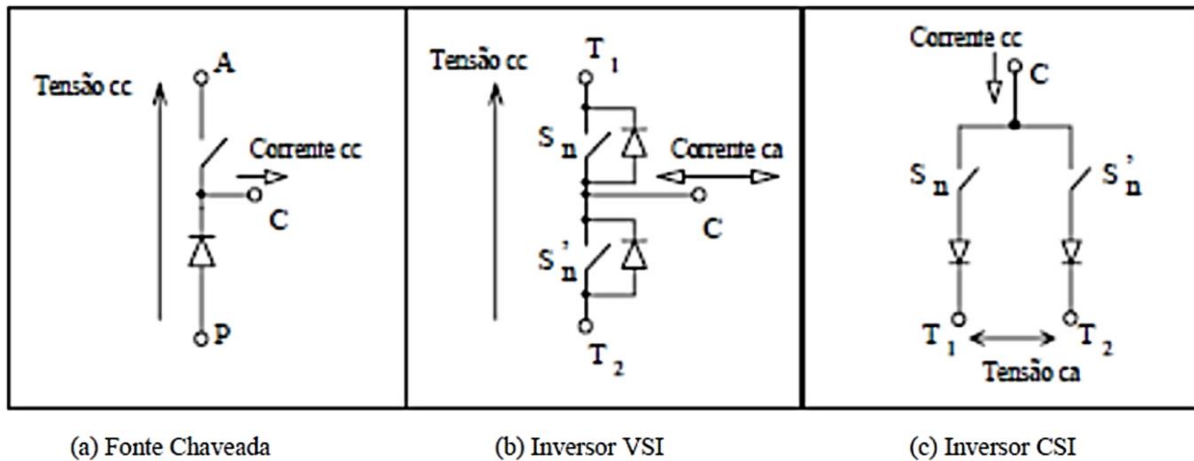


Figura 5: Exemplos de arranjos para a célula de comutação.  
Fonte: Adaptado de Martins & Barbi (2008).

Segundo Rech, para facilitar a escolha de uma topologia é preciso seguir uma metodologia de projeto, e conhecer os principais parâmetros que compõem um conversor, tais como: número de células conectadas (série ou paralelo), níveis de tensão e frequência de comutação. As configurações de conversores basicamente dependem das especificações impostas ao sistema, como: minimização do número de interruptores, redução da energia circulante entre as células, topologias adotadas para implementar as fontes de tensão CC e/ou limites de tensão dos dispositivos semicondutores (RECH *et al.*, 2004).

Os vários tipos de sistemas podem ser definidos segundo as topologias, metodologias de projeto, estratégia de modulação e sistema de controle. Dessa forma, neste capítulo são abordadas as principais topologias que contribuem para o estudo deste trabalho.

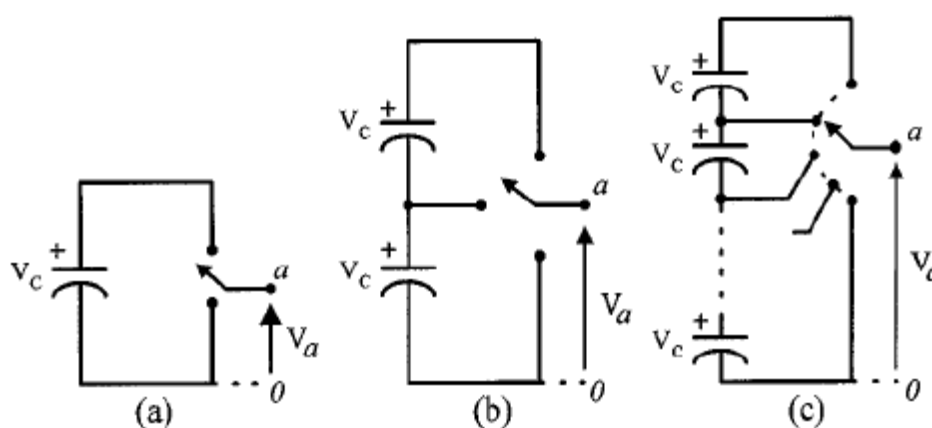
## 2.2 CONVERSORES MULTINÍVEIS DE TENSÃO

“Um conversor multinível pode ser definido como um fixador de níveis de tensão, onde a tensão alternada à saída é gerada pelos níveis de tensão que se tem na entrada através da escolha correta da comutação dos interruptores. No caso do conversor convencional, apenas se tem um nível de tensão no lado CC do conversor, sendo esta a principal diferença entre os dois conversores” (PEREIRA, 2008).

A comutação das chaves é responsável pela tensão na carga, onde a forma da onda é apresentada em escada. O número dessas chaves semicondutoras é que

permite aumentar a potência de operação do conversor. Esta é a principal diferença na topologia do inversor convencional dois níveis que realiza o chaveamento através da conexão direta de cada semicondutor em cada fase ao nível de tensão total do barramento contínuo (PINTO, 2005).

Os conversores multiníveis de tensão dividem a tensão total entre um determinado número de interruptores, efetivamente conectados em série, e sintetizam formas de onda de tensão multiníveis com reduzido conteúdo harmônico, ou seja, à medida que o número de níveis aumenta, a taxa de distorção harmônica total da tensão de saída diminui. Porém, quanto maior o nível, maior é o número de dispositivos de potência, o que reflete no acréscimo da complexidade e o custo de todo sistema, como é mostrado no diagrama esquemático da Figura 6. No exemplo, é apresentado um braço de um inversor com diferentes números de níveis, onde os dispositivos semicondutores de potência são representados por chaves ideais com várias posições (RECH, 2005; DA SILVA, 2008).

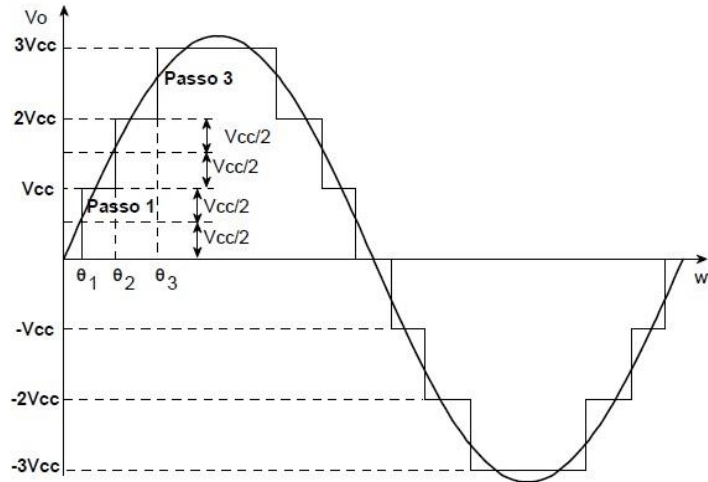


**Figura 6: Braço de um conversor (a) dois níveis (b) três níveis e (c)  $n$  níveis. Fonte: Pereira (2008).**

Esses conversores têm sido normalmente aplicados em sistemas de alta potência (ordem de megawatts) que empregam níveis de tensão elevados para reduzir a corrente do conversor e, conseqüentemente, diminuir as perdas em condução e aumentar a eficiência do sistema (RECH *et al.*, 2004).

Outra vantagem é a capacidade de gerar tensões nos terminais de saída do conversor com menor taxa de distorção harmônica (THD), proporcionando um espectro de tensão com melhor qualidade quando comparado com os conversores dois níveis (PINTO, 2005).

Um conversor de dois níveis pode ter dois valores de tensão na saída, enquanto que o inversor três níveis, possui tensão de saída com três valores e assim sucessivamente, conforme é exemplificado um inversor de sete níveis na Figura 7.



**Figura 7: Tensão de saída com níveis igualmente espaçados. Fonte: Mesquita (2011).**

Como descrito anteriormente, a principal desvantagem dos conversores multiníveis é o grande número de chaves semicondutoras, o que faz com que aumente o custo e a complexidade do circuito. Além disso, para algumas topologias (como a topologia ponte-H em cascata com  $n$  células), para cada nível de tensão gerada é necessária uma fonte de tensão isolada, tornando o circuito mais complexo (DA SILVA, 2008).

Uma forma eficiente para aumentar o número de níveis, sem aumentar o número de dispositivos de potência é colocar ao menos uma fonte com valor diferente de tensão. Estes conversores são conhecidos como inversores multiníveis assimétricos e normalmente os dispositivos de potência dos diferentes módulos são submetidos a níveis distintos de tensão (DA SILVA, 2008).

Na literatura, três topologias de conversores multiníveis de tensão são amplamente estudadas (SILVA, 2013):

- Inversor com ponto neutro grampeado a diodos (*Neutral Point Clamped - NPC*);
- Inversor com capacitor flutuante (*Flying Capacitor - FC*);
- Inversor ponte H em cascata (*Cascaded H-Bridge- CHB*).



### 2.2.1 Inversor com Ponto Neutro Grampeado a Diodos

O conceito de inversor multinível de diodos grampeados foi introduzido em 1981, por Nabae *et al.* A principal característica dos conversores NPC, quando comparado ao conversor dois níveis, é a adição de um par de interruptores e de dois diodos de grampeamento. No barramento contínuo dois capacitores são conectados em série e no centro dos mesmos está localizado o ponto de neutro, e dessa forma, é possível sintetizar até três níveis de tensão (Figura 8(a)) (BRESSAN, 2014; PINTO, 2005).

Como observado na Figura 8(a), o conversor NPC possui doze interruptores com diodos em antiparalelo, sendo as chaves semicondutoras ( $T1$  e  $TC1$ ) e ( $T2$  e  $TC2$ ) complementares – uma das chaves do par ligada (em posição fechada), a outra, obrigatoriamente, deve estar desligada (em posição aberta) –, e seis diodos de grampeamento conectados ao ponto neutro ( $o$ ) do barramento CC.

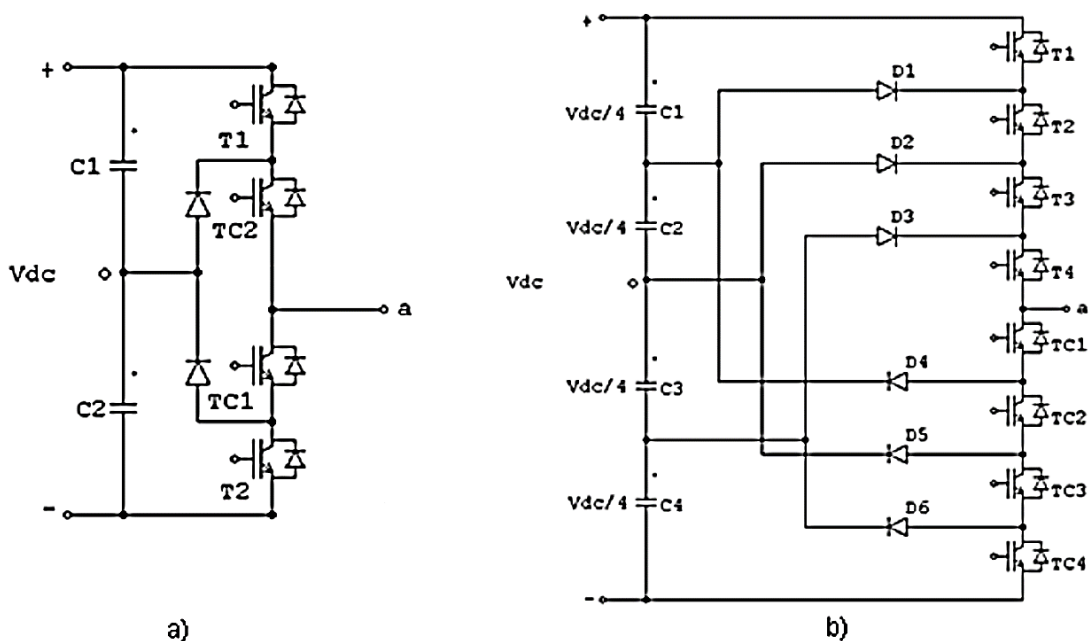


Figura 8: Exemplos de topologias de conversores NPC de (a) 3 níveis e (b) 5 níveis. Fonte: Adaptado de Pereira (2008).

Nesta configuração, o barramento CC é formado por dois capacitores divisores de tensão. Cada um é carregado com  $V_{CC}/2$  ou  $-V_{CC}/2$  quando os interruptores pares superiores e os pares inferiores forem acionados. A tensão fase-

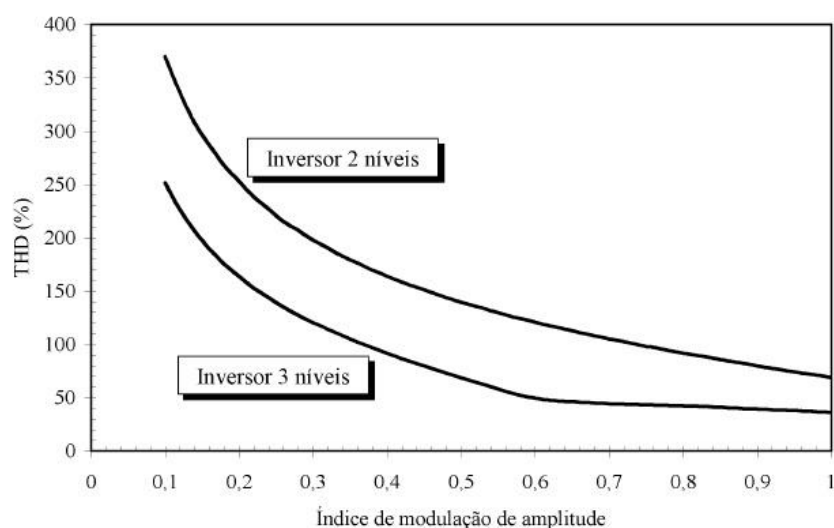
neutro será nula quando as chaves centrais estiverem ligadas, como mostrado na Tabela 1 (RECH, 2005).

**Tabela 1: Sequência de comutação para obter os cinco níveis de tensão de saída.**

Interruptores ligados	$V_{a_o}$
$T1 - T2$	$V_{CC}/2$
$TC1 - TC2$	0
$T2 - TC1$	$-V_{CC}/2$

Fonte: Adaptado de Pereira (2008).

Segundo Rech (2005), a THD das formas de onda sintetizadas pelo inversor NPC são menores que a THD das tensões obtidas com o inversor trifásico dois níveis convencional, como mostrado na Figura 9.



**Figura 9: THD das tensões de linha sintetizadas pelos inversores dois níveis e três níveis, ambos com modulação por largura de pulso senoidal.**

Fonte: Rech (2005).

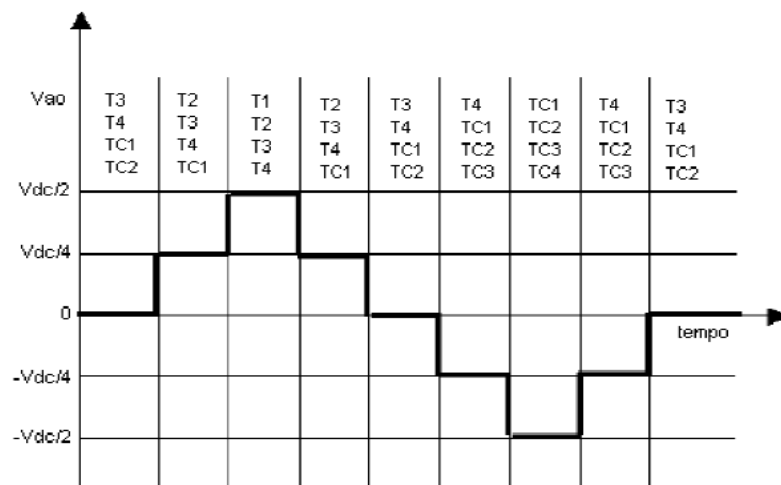
Utilizando o mesmo conceito de grampear níveis de tensão com diodos, estendeu-se a topologia NPC 3 níveis para níveis superiores. Sendo assim, considerando a tensão de entrada  $V_{CC}$ , a tensão sobre cada capacitor que compõe o barramento CC é  $V_{CC}/(m - 1)$  (onde  $m$  é o número de níveis), e a tensão sobre os interruptores é idealmente limitada à tensão de um capacitor (RECH, 2005).

Na Tabela 2 e Figura 10 são apresentados a sequência de comutação e o gráfico de tensão para um inversor NPC com cinco níveis, respectivamente.

**Tabela 2: Sequência de comutação para obter os cinco níveis de tensão de saída.**

Interruptores ligados	$V_{a_o}$
$T1 - T2 - T3 - T4$	$V_{cc}/2$
$T2 - T3 - T4 - TC1$	$V_{cc}/4$
$T3 - T4 - TC1 - TC2$	0
$T4 - TC1 - TC2 - TC3$	$-V_{cc}/4$
$TC1 - TC2 - TC3 - TC4$	$-V_{cc}/2$

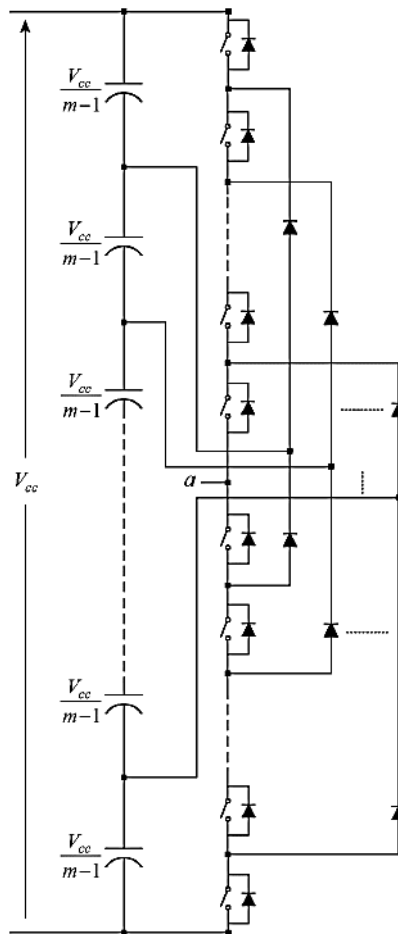
**Fonte: Adaptado de Pereira (2008).**



**Figura 10: Tensão de saída de  $V_{a_o}$  para um conversor 5 níveis.  
Fonte: Pereira (2008).**

Os inversores de  $m$  níveis com diodos de grampeamento, como mostrado na Figura 11, possibilitam atingir elevados níveis de tensão sem conectar interruptores em série ou usar transformadores elevadores de tensão. Além disso, estes inversores possuem menor conteúdo harmônico, não necessitando de filtros passivos (RECH, 2005).

Entretanto, devem suportar tensão reversa quando o número de níveis é maior que três. Vários diodos devem ser conectados em série quando o número de níveis aumenta para que todos os diodos grampeados possuam a mesma especificação de tensão das chaves, podendo ser determinado pela equação:  $3 \cdot (m - 1) \cdot (m - 2)$  (RECH, 2005).

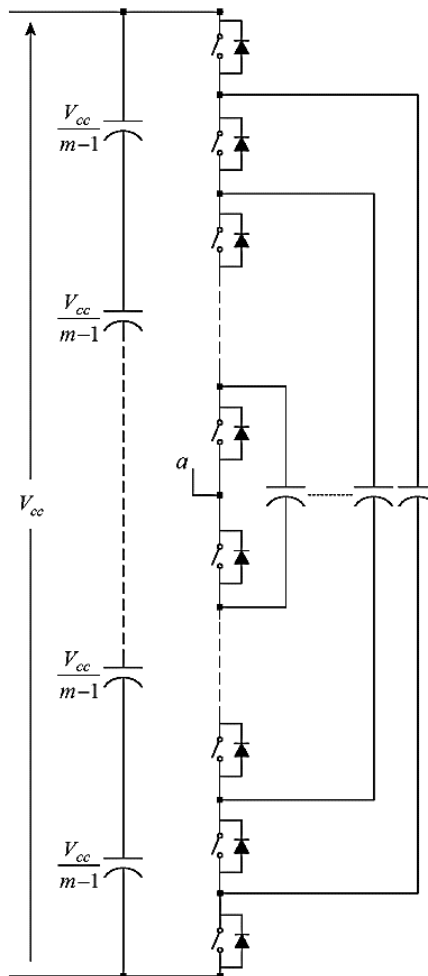


**Figura 11: Inversor  $m$  níveis com diodo grampeado.**  
**Fonte: Adaptado de Rech (2005).**

Outra limitação em relação a este inversor é devido ao controle da tensão dos capacitores que compõem o barramento CC. Quando este controle não é realizado de forma correta, a tensão sobre os capacitores pode divergir de seus valores nominais em aplicações de transferência de potência ativa, sendo necessário um método diferente para o controle da tensão nestes capacitores (RECH, 2005).

### 2.2.2 Inversor com Capacitor Flutuante

Desenvolvida na década de 90 por Meynard e Foch, a topologia de inversor com capacitor flutuante (Figura 12) utiliza capacitores para grampear a tensão sobre interruptores. Ela também é conhecida como inversor multinível com capacitores de grampeamento ou inversor multinível com células imbricadas. Neste conversor a tensão nos terminais de saída é formada pela soma das tensões dos capacitores conectados em série (RECH, 2005; PEREIRA, 2008).



**Figura 12: Topologia generalizada de um inversor multinível com capacitores de grampeamento.**  
 Fonte: Adaptado de Rech (2005).

Nesta topologia as tensões de fase podem ser sintetizadas por mais de um estado de condução, diferentemente do inversor multinível com diodos de grampeamento. Porém, existe uma dificuldade em regular o nível de tensão dos capacitores flutuantes em aplicações de transferência ativa e seu maior problema é o grande número de capacitores. Analogamente à topologia anterior, deve-se conectar vários capacitores em série para que estes tenham a mesma especificação de tensão dos interruptores principais, sendo necessários  $[3 \cdot (m - 1) \cdot (m - 2)]/2$  capacitores de grampeamento, além de  $(m - 1)$  capacitores para compor o barramento CC (RECH, 2005).

A topologia cinco níveis com capacitores grampeados (Figura 13) permite maior flexibilidade em relação ao conversor três níveis, pois possui maior número de combinações possíveis na obtenção de níveis de tensão, como mostrado na Tabela 3. Esta configuração também apresenta menor distorção harmônica das tensões geradas e das correntes drenadas nos terminais dos conversores (DA SILVA, 2008).

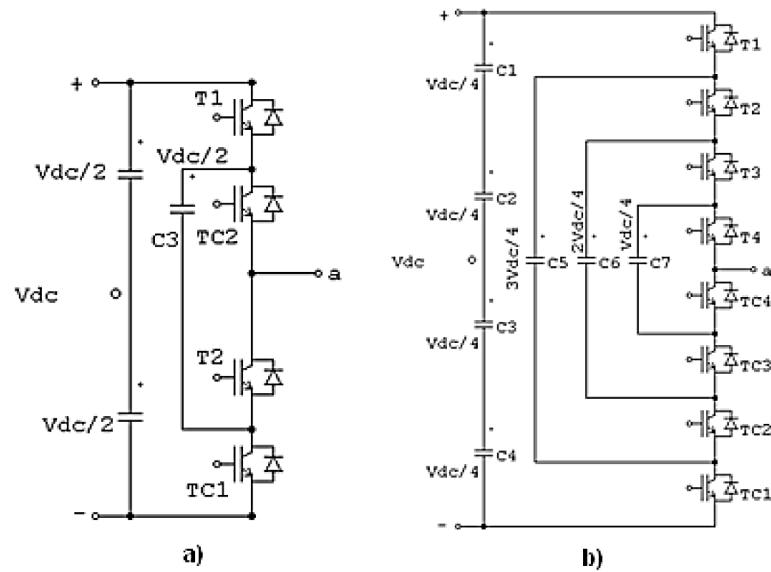


Figura 13: Exemplos de topologias de conversores capacitor flutuante de (a) 3 níveis e (b) 5 níveis.

Fonte: Adaptado de Pereira (2008).

Tabela 3: Sequência de comutação para obter os cinco níveis de tensão de saída em um conversor capacitor flutuante.

Interruptores Ativos	$V_{a_o}$
$T1 - T2 - T3 - T4$	$V_{cc}/2$
$T1 - T2 - T3 - TC4$ ou $T2 - T3 - T4 - TC1$ ou $T1 - T3 - T4 - TC2$	$V_{cc}/4$
$T1 - T2 - TC4 - TC3$ ou $T3 - T4 - TC2 - TC1$ ou $T1 - T3 - TC4 - TC2$ ou $T1 - T4 - TC3 - TC2$ ou $T2 - T4 - TC3 - TC1$ ou $T2 - T3 - TC4 - TC1$	0
$T1 - TC4 - TC3 - TC2$ ou $T4 - TC3 - TC2 - TC1$ ou $T3 - TC4 - TC2 - TC1$	$-V_{cc}/4$
$TC1 - TC2 - TC3 - TC4$	$-V_{cc}/2$

Fonte: Adaptado de Pereira (2008).

No entanto, o aumento do número de níveis exige o desenvolvimento de um controle mais complexo devido à grande quantidade de capacitores, o que pode elevar os custos da aplicação. O controle de potência ativa necessita de altas frequências de chaveamento, elevando assim a dissipação de energia nos dispositivos semicondutores (DA SILVA, 2008).

Segundo Rech, uma topologia híbrida, que combina as vantagens das configurações multiníveis com diodos e capacitores de grampeamento também já foi

estudada na literatura. Com essa topologia, as flutuações de tensão nos capacitores que compõe o barramento são reduzidas e todos os dispositivos semicondutores são submetidos aos mesmos níveis de tensão reversa, mesmo considerando as indutâncias parasitas presentes no circuito.

### 2.2.3 Inversor Ponte H em Cascata

Esta topologia foi uma das primeiras a surgir – 1975. Este inversor utiliza conversores convencionais monofásicos em ponte completa conectados em série para formar uma tensão senoidal na saída com vários níveis, ou seja, a tensão de saída é a soma da tensão de saída de várias células em série, como exemplificado na Figura 14. Estes conversores podem possuir configurações monofásicas ou trifásicas (RECH, 2005; PEREIRA, 2008).

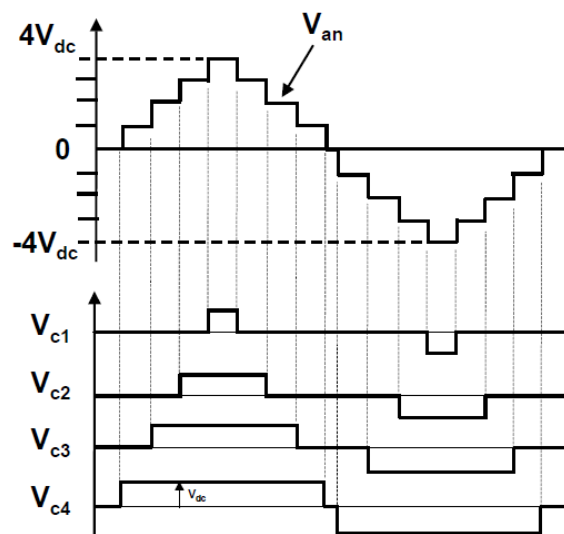
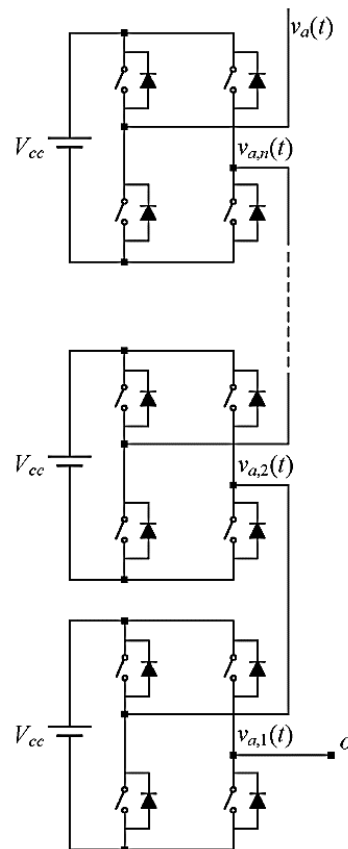


Figura 14: Forma de onda da tensão na fase A na saída de um inversor ponte completa cascata. Fonte: Pinto (2005).

Como exemplo, a Figura 15 mostra um inversor multinível trifásico conectado em Y com  $n$  células H-*bridge* (ponte H) conectadas em série por fase (RECH, 2005).

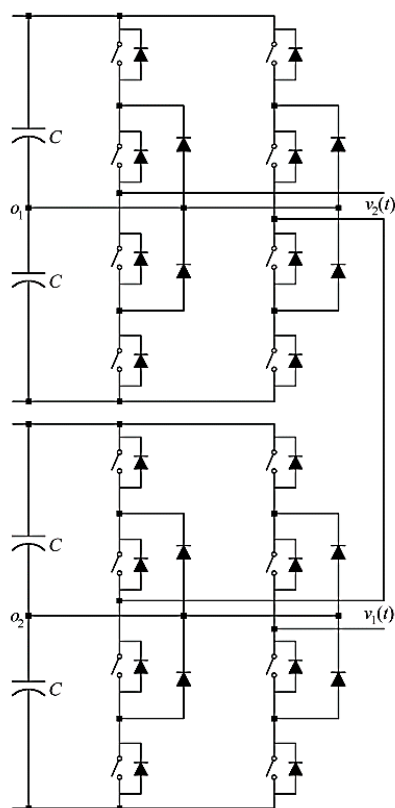


**Figura 15: Inversor multinível com células H-bridge em série.**  
**Fonte: Adaptado de Rech (2005).**

Esta topologia não requer a utilização de diodos e capacitores de grampeamento, e também não possui o problema do desbalanceamento dos capacitores fontes de tensão. Por isso, começou a ser desenvolvida para aplicações em alta potência, como por exemplo, na compensação estática de reativos. Porém, essa topologia necessita de fontes isoladas de tensão de fase, mais especificamente quatro por fase, para sua correta operação, a fim de explorar todos os estados de condução e, então, sintetizar o número de níveis desejado sem provocar curtos-circuitos nas fontes de entrada (RECH, 2005).

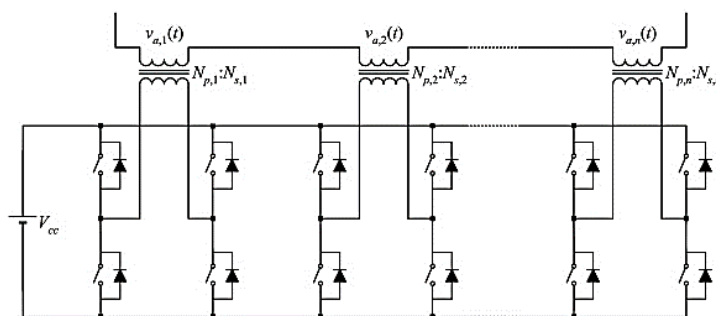
A topologia também pode ser obtida através de outras células multiníveis, ao invés de inversores monofásicos em ponte completa convencionais. Desta forma, é possível obter o mesmo número de níveis reduzindo o número de fontes isoladas. Na Figura 16 é ilustrado o exemplo de um inversor nove níveis implementado com dois inversores NPC monofásicos ponte completa em série. Nesta configuração, verifica-se que somente duas fontes de tensão isoladas são necessárias em cada perna no inversor (RECH, 2005).





**Figura 16: Inversor nove níveis com dois inversores NPC monofásicos conectados em série.**  
**Fonte: Adaptado de Rech (2005).**

Uma outra configuração que permite a alimentação das células por uma fonte de tensão comum é apresentada na Figura 17. Nesta topologia, os transformadores monofásicos são conectados na saída de cada célula e seus enrolamentos secundários são conectados em série para sintetizar uma forma de onda de tensão multinível. As tensões de saída desta estrutura devem apresentar componentes contínuas de tensão reduzidas, evitando a saturação dos transformadores (RECH, 2005).



**Figura 17: Conexão série através de transformadores monofásicos.**  
**Fonte: Rech (2005).**

Além das configurações já apresentadas, outras podem ser obtidas, como por exemplo, conectando conversores trifásicos de potência em série com a utilização de transformadores trifásicos com enrolamentos secundários adequadamente defasados entre si. Nesta topologia a tensão multinível é obtida através da soma das tensões vetoriais das tensões de saída do secundário do conversor trifásico. Porém, não é possível reduzir o número de interruptores necessários para sintetizar um determinado número de níveis. Além disso, um grande número de transformadores deve ser utilizado para sintetizar tensões de saída com muitos níveis.

#### 2.2.4 Comparação Entre as Topologias de Inversores Multinível

Foram descritas até aqui as topologias básicas de inversores multiníveis de tensão mais presentes nas literaturas, das quais pode-se obter outras topologias. A Tabela 4 e Tabela 5 resumem as características dessas topologias.

**Tabela 4: Características das topologias básicas de inversores multiníveis.**

Topologias	Principais características
Diodos grampeados	Possui melhor performance para configurações <i>Back-to-Back</i> (conversor estático bidirecional com frequência e tensão variáveis), mas devido ao desbalanceamento das tensões nos barramentos dos capacitores, o chaveamento é limitado
Capacitores grampeados	Maior complexidade conforme o número de níveis aumenta, e possui maior flexibilidade em relação a topologia com diodos grampeados
Ponte H em cascata	Topologia mais simples, em construção modular. Apresenta menos componentes, com impossibilidade de estrutura <i>Back-to-Back</i>

Fonte: Adaptado de Da Silva (2008).

**Tabela 5: Componentes usados nas topologias básicas de inversores multiníveis trifásicos.**

	Diodos de grampeamento	Capacitores de grampeamento	Células em série
Interruptores principais	$6(m - 1)$	$6(m - 1)$	$6(m - 1)$
Diodos principais	$6(m - 1)$	$6(m - 1)$	$6(m - 1)$
Capacitores dos barramentos CC	$(m - 1)$	$(m - 1)$	$[3(m - 1)]/2$
Diodos de grampeamento	$3(m - 1)(m - 2)$	0	0
Capacitores de grampeamento	0	$[3(m - 1)(m - 2)]/2$	0

Fonte: Adaptado de Rech (2005).

A escolha da implementação de uma determinada topologia de conversores multiníveis deve ser feita, observando as principais características da aplicação a qual este conversor será submetido. As limitações de custo, complexidade do controle, flexibilidade de operação, nível de tensão de saída e qualquer outra limitação que possa inviabilizar a aplicação, deve ser considerada na escolha da topologia.

### 2.3 DISPOSITIVO DE LÓGICA RECONFIGURÁVEL FPGA

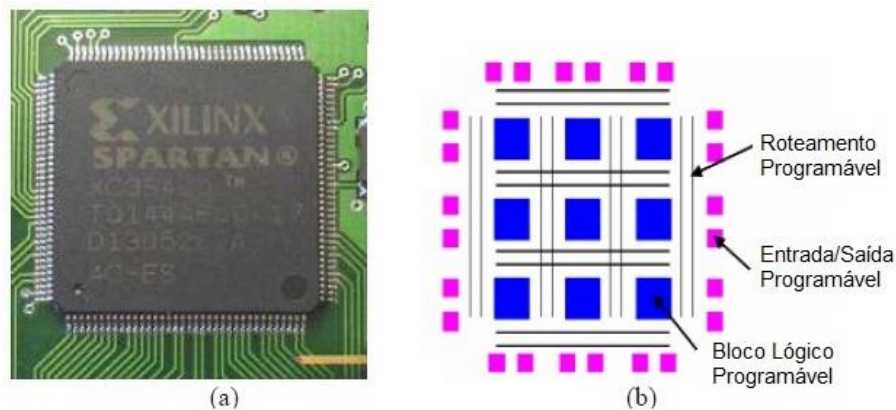
Atualmente, a utilização de sistemas digitais é crescente, possibilitando a substituição dos controladores analógicos pelos controladores digitais. Também tem crescido a demanda por equipamentos portáteis de fácil manuseio e que tenham uma interface com o usuário mais simples. Para realizar o controle das chaves semicondutoras nos projetos dos conversores multiníveis podem ser utilizados o DSP (*Digital Signal Processor*), o FPGA ou microcontroladores (COSTA, 2009).

Antes do advento da lógica programável, circuitos lógicos eram construídos a partir de circuitos padrões utilizando componentes padrões, ou pela integração de portas lógicas em circuitos integrados para aplicações específicas. Normalmente, a programação dos circuitos integrados é realizada no ato da fabricação, não podendo ser alterada posteriormente. Sendo assim, só é viável a fabricação do dispositivo se ele for utilizado em massa.

Outro componente com alta capacidade de processamento matemático é o DSP. O DSP é um dispositivo programável e possui seu próprio código de instrução, ou seja, cada empresa que cria seu processador também cria seu próprio ambiente de desenvolvimento (IDE - *Integrated Development Environment*). A tecnologia DSP possui arquitetura otimizada para computação intensiva estando presente em dispositivos como celulares, computadores multimídia, gravadores de vídeos, modems etc. (NUNES *et al.*, 2006). Entretanto, os DSPs apresentam menor flexibilidade que os FPGAs em termos que modificações de *hardware* para se adequar a novas funcionalidades.

Em 1985 a empresa a Americana Xilinx Inc. apresentou um novo modelo de *chip*, capaz de ser reprogramado de acordo com as aplicações do usuário, chamado FPGA e exemplificado na Figura 18 (SANTOS, 2008). O FPGA é um dispositivo semicondutor constituído de unidades lógicas (na ordem de milhares) em um único

circuito integrado (CI), cujas interconexões podem ser programadas pelo usuário, podendo reproduzir desde lógicas simples (como funções AND, OR, NOT), até sistemas combinacionais mais complexos, o que acrescenta enorme flexibilidade ao projeto. Essa característica é uma das principais vantagens de se utilizar os FPGAs, além de diminuir custos de desenvolvimento (BERRANDJIA, 2011).



**Figura 18: Exemplo de dispositivo FPGA. a) FPGA da empresa Xilinx com 400000 portas. b) Esquema geral simplificado da arquitetura interna de um dispositivo FPGA. Fonte: Berrandjia (2011).**

O funcionamento de um FPGA depende de como é organizada a sua arquitetura. Ele pode operar em ciclos de *Clock*, onde cada operação matemática é realizada em um ciclo. Também possuem um processamento em paralelo, evitando situações de *loop* infinito. Em comparação, o DSP efetua um processamento sequencial e alguns tipos necessitam de várias interações para realizar uma operação matemática (KILTS, 2007).

Em geral, as funcionalidades dos blocos, assim como seu roteamento, são configuráveis via *software*. Os FPGAs além de proporcionarem um ambiente de trabalho simplificado e de baixo custo, possibilitam operar com um número ilimitado de circuitos através da configuração do próprio dispositivo.

### 2.3.1 Metodologia de Implementação

O dispositivo FPGA entra no projeto como um fator muito importante, pois ele é o responsável por conectar *hardware* e *software*, ou seja, através da modulação PWM deste dispositivo é possível fazer o controle digital das chaves semicondutoras do inversor multinível. A flexibilidade também foi um item considerado no projeto, não

só quanto à disposição física dos terminais no momento da implementação, mas também devido a possibilidade de acrescentar outros níveis ao inversor.

### 2.3.2 Aspectos Gerais do FPGA

Os dispositivos FPGAs têm evoluído muito além das capacidades básicas presentes em seus antecessores, incorporando blocos rígidos de funcionalidade como, memória RAM (*Random Access Memory*), *Clocks* e DSP. A seguir estão elencados os componentes básicos de um FPGA, também mostrados na Figura 19 e Figura 20 (Xilinx Inc., 2016):

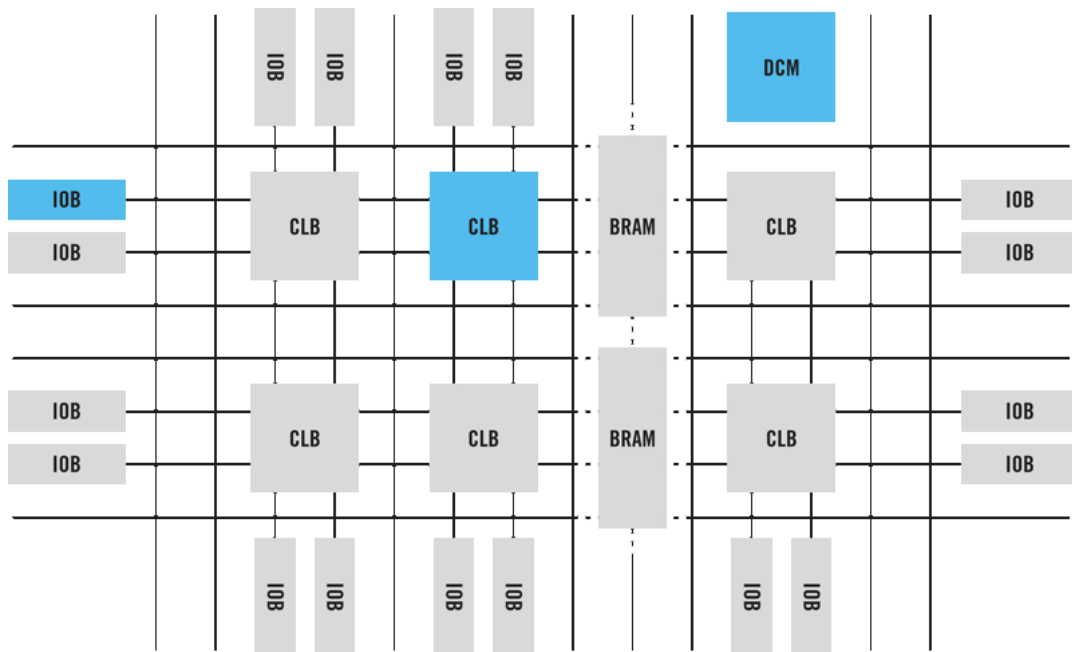
- Blocos lógicos;
- Blocos de entrada e saída;
- Chaves de interconexão;
- Memória;
- *Clocks*.

Os blocos lógicos formam uma matriz bidimensional, e as chaves de interconexão são organizadas como canais de roteamento horizontal e a vertical entre as linhas e colunas dos blocos lógicos. Os canais de roteamento possuem chaves de interligação programáveis, que permitem conectar os blocos lógicos de maneira conveniente em função das necessidades de cada projeto (SANTOS, 2008).

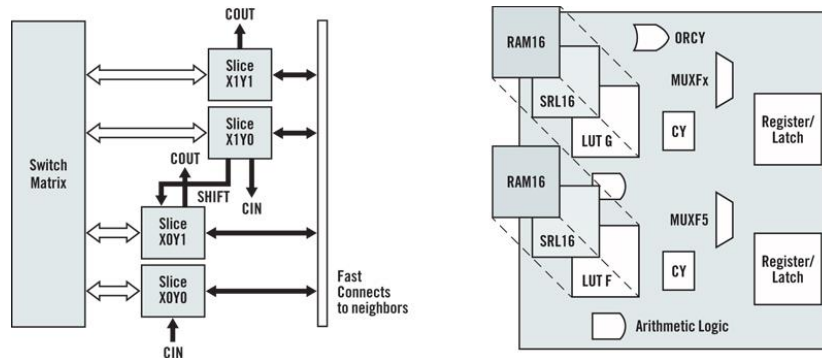
No interior de cada bloco lógico do FPGA existem vários modos possíveis para a implementação de funções lógicas. O mais utilizado pelos fabricantes de FPGA é o bloco de memória LUT (*Look-Up Table*). Esse tipo de bloco lógico contém células de armazenamento de memória voláteis que são utilizadas para implementar pequenas funções lógicas. Quando um circuito lógico é implementado em FPGA, os blocos lógicos são programados para realizar as funções necessárias (COSTA, 2009).

As funções do programa são implementadas nos blocos lógicos. Esses possuem células que são capazes de armazenar valores lógicos zero (0) ou um (1) e possuem recursos sequenciais, como por exemplo, registradores. Existe um processo chamado de roteamento onde ocorre a interconexão desses blocos. O projeto com FPGA é caracterizado por ser modular, ou seja, cada bloco de *hardware* é responsável por uma função (SILVA, 2013).

Os FPGAs têm sido bastante utilizados para o controle de sistemas digitais. As principais áreas de atuação é a de controle de motores, controle de dispositivos eletrônicos voltados ao controle elétrico e controle de movimento.



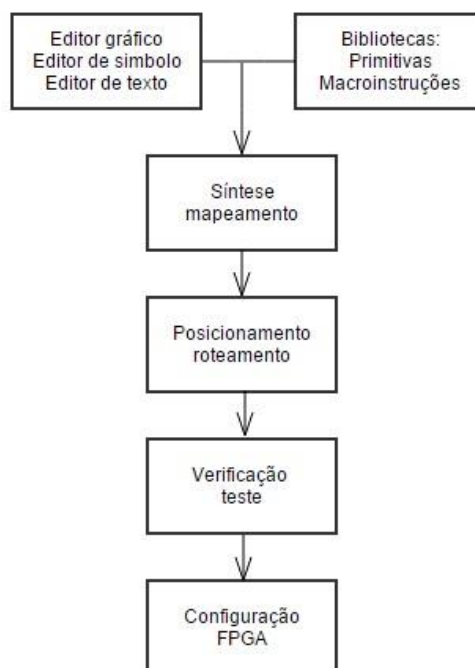
**Figura 19: Estrutura de blocos de um FPGA.**  
 Fonte: Xilinx Inc. (2016).



**Figura 20: Exemplo de unidade lógica básica da família de FPGA Virtex.**  
 Fonte: Xilinx Inc. (2016).

### 2.3.3 Etapas de um Projeto Utilizando FPGA

Para o desenvolvimento do projeto em ambiente FPGA existem cinco etapas principais a serem seguidas, como pode-se observar na Figura 21 (COSTA, 2009).



**Figura 21: Ambiente de desenvolvimento do FPGA.**  
**Fonte: Costa (2009).**

Na primeira etapa, o projetista deve inserir a descrição do *hardware* na ferramenta de programação. Esta pode ser realizada de duas formas: através de um editor gráfico (desenho em blocos), onde é possível inserir portas lógicas no qual o usuário cria seu próprio circuito para a aplicação desejada, ou através de um editor de texto utilizando a linguagem de descrição de *hardware* HDL (*Hardware Description Language*). Porém, todo programa possui bibliotecas com diferentes famílias de multiplexadores, portas lógicas, *buffers*, etc. (COSTA, 2009).

Em modelos de circuitos mais simples, a forma mais utilizada de criar circuitos é através do editor gráfico, onde a tela de edição também permite uma visualização em duas dimensões (2D) do circuito. Já para modelos mais complexos, é utilizada a linguagem de descrição de máquina, cujas principais são: ABEL (*Advanced Boolean Equation Language*), VHDL (*Very High Speed Integrated Circuit Hardware Description Language*), e Verilog. Todas essas linguagens são capazes de descrever o comportamento de um conjunto formado por portas lógicas, *flip-flops* e decodificadores (KILTS, 2007).

### 2.3.3.1 Síntese lógica

A síntese lógica trata de uma otimização no código, o que é extremamente necessária para reduzir a área ocupada no CI, e é feita automaticamente pelo programa. Assim há uma diminuição do atraso dos sinais envolvidos (COSTA, 2009).

### 2.3.3.2 Arquitetura de roteamento

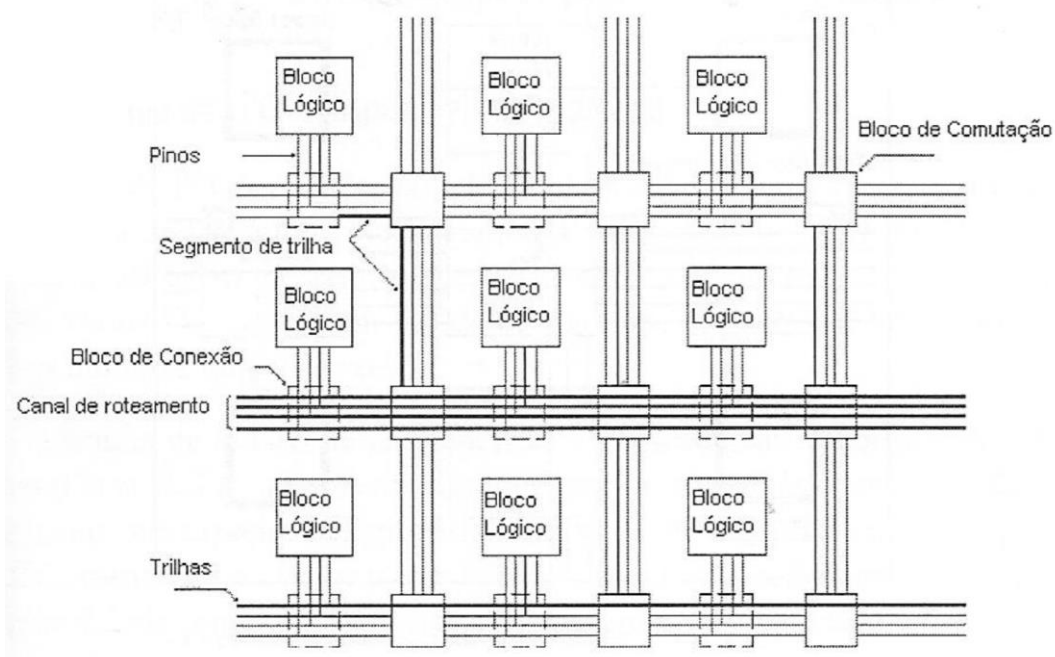
A arquitetura reconfigurável permite ao projetista a criação de novas funções, possibilitando a execução de operações com um número menor de ciclos do que o necessário. Também existe uma economia de componentes do circuito fazendo com que o circuito seja menos complexo (ORDENEZ & PERICINI, 2003).

A arquitetura de roteamento, Figura 22, permite que as chaves de comutação e os barramentos sejam posicionados, a fim de permitir a interconexão entre as células lógicas. O posicionamento é caracterizado pela atribuição dos componentes lógicos do projeto com os componentes do CI.

Já o roteamento é a interconexão entre blocos lógicos através de uma rede de camadas de metal. As conexões são feitas com transistores controlados por *bits* de memória ou por chaves de interconexão (*switch matrix*) (COSTA, 2009).

Algumas características, como tamanho, resistência, capacitância e tecnologia de fabricação, são fatores importantes na programação das chaves semicondutoras de roteamento, pois apresentam propriedades que afetam principalmente a velocidade e o tempo de propagação dos sinais, e dependendo do projeto devem ser considerados (SANTOS, 2008).





**Figura 22: Arquitetura básica de roteamento de um FPGA.**  
 Fonte: De Oliveira *et al.* (2011).

### 2.3.3.3 Verificações e testes

Essa etapa é realizada geralmente na fase inicial. Nela são feitas as simulações do circuito para verificação da sua funcionalidade e análise comportamental, onde é exibida uma tela com os estados lógicos de todas as portas de entradas e saídas (determinadas pelo projetista) ao longo do tempo (COSTA, 2009).

### 2.3.3.4 Programação do FPGA

Na etapa de programação, o código está pronto, sendo gerado um arquivo de configuração que será carregado no dispositivo alvo. Os FPGAs permitem o carregamento do programa de configuração via EPROM (*Erasable Programmable Read Only*), via JTAG (*Join Test Action Group*), via cabo USB (*Universal Serial Bus*) ou via programação passiva por microprocessador (COSTA, 2009).

### 3 MATERIAIS E MÉTODOS

Neste capítulo, será apresentada a pesquisa sobre os materiais e métodos que foram utilizados para o projeto, construção, teste e validação do protótipo didático do inversor multinível de tensão.

#### 3.1 MODULAÇÃO MULTINÍVEL

Diversas estratégias de modulação têm sido estudadas e desenvolvidas para conversores multiníveis, com o objetivo de reduzir o conteúdo harmônico das variáveis de interesse (RECH, 2005). Dentre as estratégias de modulação existentes, a modulação por largura de pulso foi a escolhida para este trabalho.

##### 3.1.1 Modulação por Largura de Pulso

Esse método de modulação consiste em obter um sinal através da comparação de uma portadora com um sinal modulante. Usualmente, são utilizadas portadoras dente de serra – técnica com alinhamento à borda – ou triangular – técnica com alinhamento central – para comparação com o sinal modulante e geração do sinal de interesse. Quando a amplitude do sinal modulante for maior que o sinal da portadora, o sinal PWM assume o valor digital ‘1’, e caso contrário, o sinal do PWM se anula (sinal digital ‘0’). Esses instantes de cruzamento são responsáveis por determinar a comutação dos interruptores (PINHEIRO, 2013).

Para adaptar a estratégia de modulação para conversores multiníveis deve-se aumentar o nível de portadoras. Sendo assim, a modulação PWM para conversores multiníveis podem ser classificadas pelos seguintes métodos: estratégia baseadas na disposição das portadoras e estratégias baseadas no deslocamento de fase das portadoras (RECH, 2005).

### 3.1.1.1 Estratégias PWM baseadas na disposição das portadoras

Para iniciar a análise dessa estratégia é necessário realizar algumas considerações, tais como: possui-se um conversor multinível de  $m$  níveis,  $m - 1$  portadoras com a mesma frequência  $f_p$  e a mesma amplitude  $A_p$ , dispostas de tal forma que as faixas que ocupam são vizinhas. O sinal de referência possui amplitude  $A_r$  e frequência  $f_r$ , e está centralizado em relação ao grupo de portadoras.

Após essa construção é possível inferir que, quando o nível do sinal de referência é maior que o de uma portadora, esta tem sua porta acionada. A portadora é bloqueada quando o caso contrário da comparação ocorre (RECH, 2005).

Aplicando essa estratégia tem-se que o índice de modulação de amplitude ( $m_a$ ) e o índice de modulação de frequência ( $m_f$ ) são dados por:

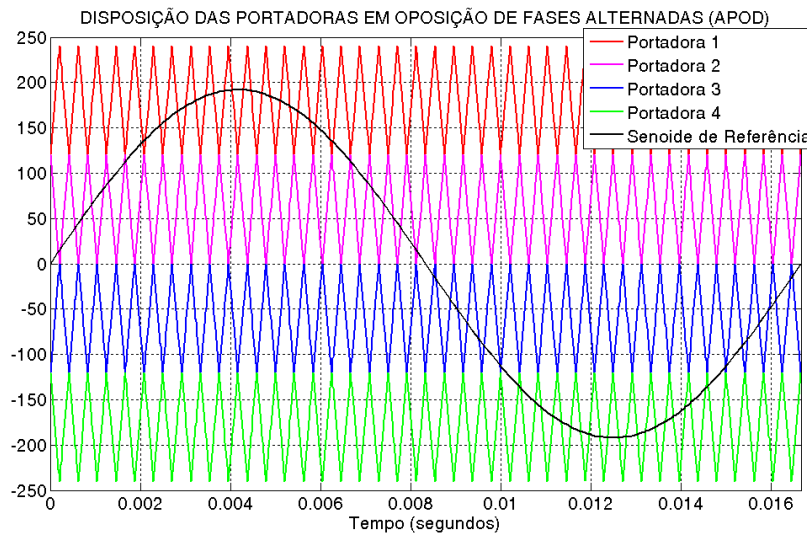
$$m_a = \frac{A_r}{(m - 1) \cdot A_p} \quad (1)$$

$$m_f = \frac{f_p}{f_r} \quad (2)$$

Três possíveis disposições das portadoras são apresentadas por Carrara (1992), levando-se em contas as suas relativas polaridades: disposição em oposição de fases alternadas, disposição em oposição de fases e disposição em fase. Nas seções a seguir são detalhas as técnicas utilizando imagens simuladas no ambiente Simulink do *software* Matlab.

#### 3.1.1.1.1 *Disposição em oposição de fases alternadas (APOD - Alternative Phase Opposition Disposition)*

Cada uma das  $m - 1$  portadoras está deslocada de  $180^\circ$  das portadoras vizinhas. As vantagens que essa estratégia traz envolvem o fato de que os harmônicos mais significativos se localizam em bandas laterais em torno da frequência da portadora  $f_p$  e que não existem conteúdos harmônicos em  $f_p$ . Ainda é garantido a simetria de quarto de onda, fazendo com que apenas existam harmônicos ímpares. A Figura 23 exemplifica a técnica.

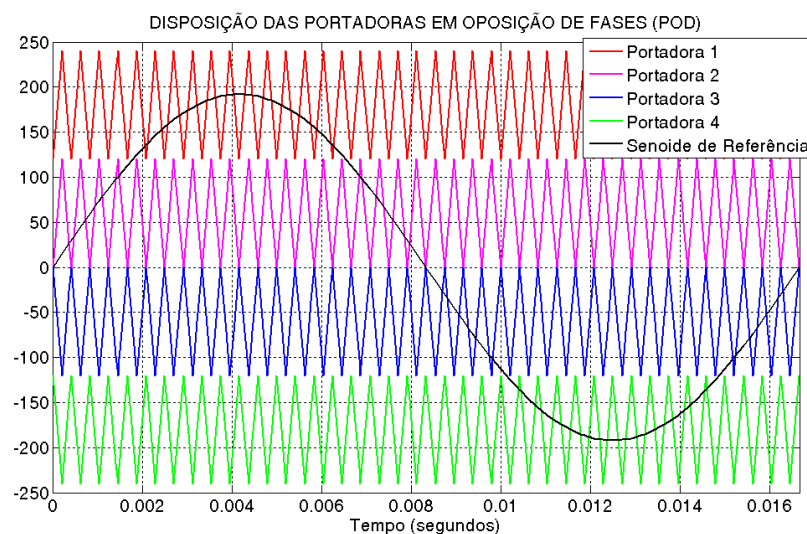


**Figura 23: Disposição das portadoras em oposição de fases alternadas (APOD) utilizando o Simulink ( $m = 5$ ,  $m_a = 0,8$ ,  $m_f = 40$ ).**

Fonte: Autoria própria.

### 3.1.1.1.2 Disposição em oposição de fases (POD - Phase Opposition Disposition)

Todas as portadoras com nível acima de zero possuem a mesma polaridade, porém se encontram deslocadas de  $180^\circ$  em relação a todas as portadoras que estão abaixo do nível zero. Esse tipo de disposição traz as mesmas vantagens do que a distribuição em oposição de fases alternadas. Na Figura 24 são apresentados os resultados de simulação para melhor ilustração da técnica POD.

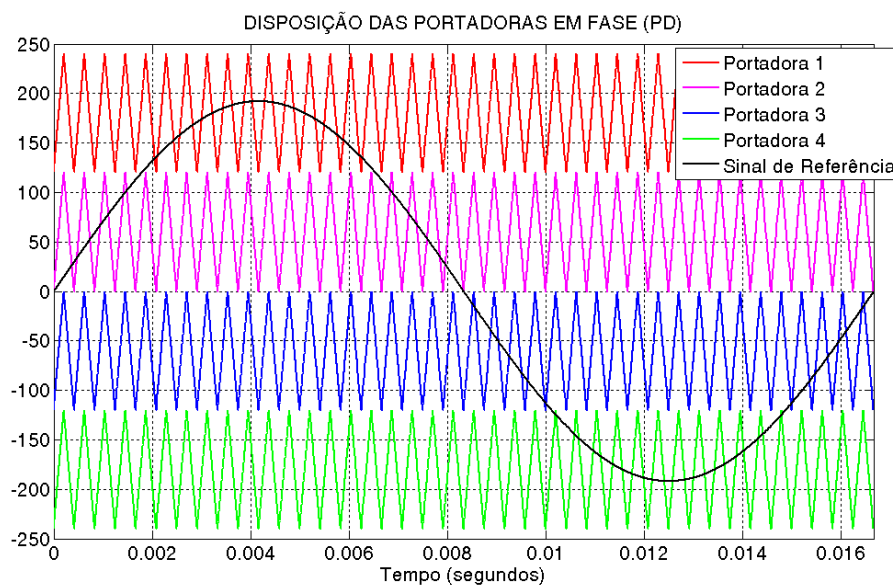


**Figura 24: Disposição das portadoras em oposição de fases (POD) ( $m = 5$ ,  $m_a = 0,8$ ,  $m_f = 40$ ).**

Fonte: Autoria própria.

### 3.1.1.1.3 Disposição em fase (PD - Phase Disposition)

Todas as portadoras possuem a mesma fase e estão distribuídas com a mesma polaridade. Nesta estratégia, o conteúdo harmônico mais significativo está na frequência da portadora  $f_p$ . A estratégia de modulação por disposição de fase garante que só hajam harmônicos ímpares quando o valor do índice de modulação de frequência assume valores ímpares. Na Figura 25 são apresentados os resultados de simulação para melhor ilustração da técnica PD.



**Figura 25: Disposição das portadoras em fase (PD) ( $m = 5$ ,  $m_a = 0,8$ ,  $m_f = 40$ ).**  
**Fonte: Autoria própria.**

Para os três métodos, os harmônicos mais significativos estão sempre localizados em torno da frequência portadora  $f_p$ , porém ao aumentar a quantidade de níveis esses harmônicos se deslocam, com amplitudes reduzidas, para mais próximo da frequência fundamental. Logo, esse efeito é indesejável pela complexidade envolvida no processo da implementação de um filtro que atue sobre esses harmônicos de ordens mais baixas.

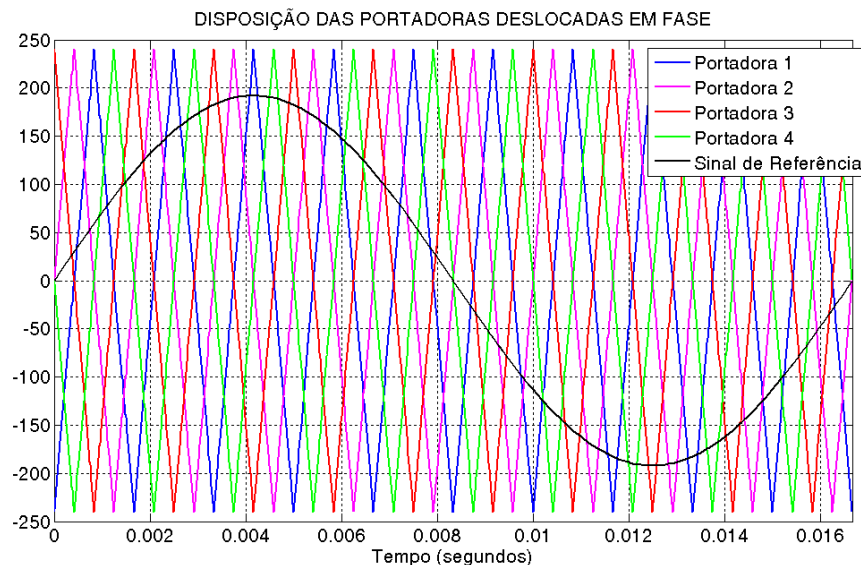
Quando o índice de modulação  $m_f$  é elevado – maior do que 30 –, não existe diferença significativa no desempenho harmônicos destas três disposições de portadoras. Porém, é válido ressaltar que a modulação por disposição das portadoras em fase sintetiza tensões de linha com menor THD (RECH, 2005).

### 3.1.1.1.4 Estratégia PWM baseada no deslocamento de fase das múltiplas portadoras

A estratégia PWM de deslocamento de fase se assemelha a estratégia de distribuição de portas no quesito de possuir uma pequena série de considerações para a sua construção: utiliza-se  $m - 1$  portadoras com a mesma amplitude  $A_p$  e deslocamento entre si de  $360 / (m - 1)$  graus, para então ser possível gerar um sinal de tensão de fase com  $m$  níveis (RECH, 2005). Para essa estratégia o índice de modulação de amplitude  $m_a$  é dado por:

$$m_a = \frac{A_r}{A_p} \quad (3)$$

A Figura 26 mostra o sinal de referência e as quatro portadoras deslocadas entre si de  $90^\circ$  para um conversor de cinco níveis.



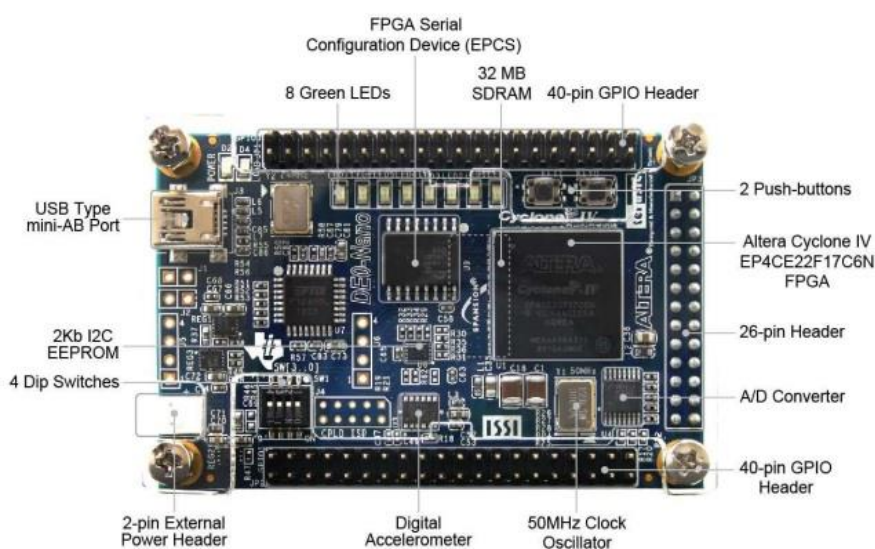
**Figura 26: Disposição das portadoras deslocadas em fase ( $m = 5, m_a = 0,8, m_f = 10$ ).**  
**Fonte: Autoria própria.**

Essa estratégia possui o diferencial de aumentar o espaço existente entre a componente fundamental do sinal e os harmônicos, quando o número de níveis aumenta. A equação que determina a posição em que os harmônicos estarão concentrados é  $(m - 1)f_p$ . Para valores pares de  $m_f$ , as formas de onda sintetizadas

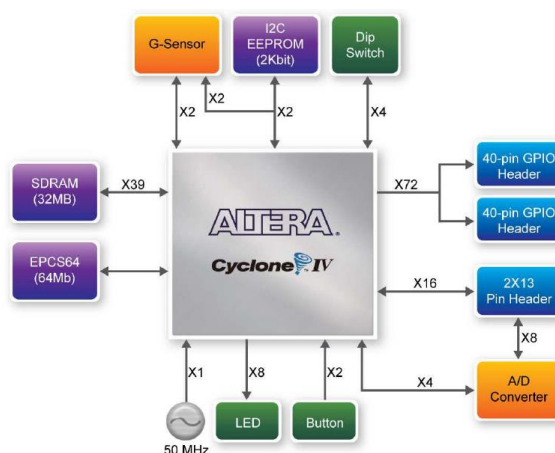
a partir desse método de modulação apresentam simetria de quarto de onda, o que resulta em somente harmônicos ímpares (GRIGOLETTO, 2009).

### 3.2 KIT DE DESENVOLVIMENTO DE0-NANO TERASIC-ALTERA

O *kit* DE0-Nano, Figura 27, fabricado pela Terasic Technologies Inc. (Taiwan), e desenvolvido em parceria com a Altera Corp., foi escolhido por atender as necessidades do projeto e pela disponibilidade de utilização na UTFPR (Universidade Tecnológica Federal do Paraná). Na Figura 28 é apresentado o diagrama em blocos do *kit*.



**Figura 27: Layout e componentes da placa DE0-Nano.**  
Fonte: DE0-Nano User Manual.



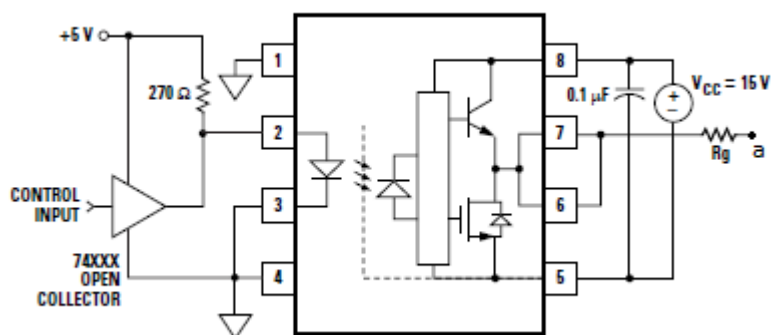
**Figura 28: Diagrama de blocos da placa DE0-Nano.**  
Fonte: DE0-Nano user manual.

Intrínseco à placa DE0-Nano está o FPGA, da família Cyclone IV, modelo EP4CE22F17C6N, com 22320 elementos lógicos, 32 MB de SDRAM (*Synchronous Dynamic Random Access Memory*), 2 KB EEPROM (*Electrically-Erasable Programmable Read-Only Memory*), e uma memória serial de 64 KB utilizada para configuração do FPGA.

### 3.3 CIRCUITO DRIVER DOS MOSFETS

O *driver* das chaves semicondutoras de potência nada mais é do que um circuito que permite a conexão adequada entre o inversor e a placa de comando digital baseada em FPGA. O módulo implementado neste trabalho é constituído por oito células e tem como finalidade promover a transferência isolada e o condicionamento de sinal lógico das saídas programadas do FPGA para o inversor.

O componente principal responsável pela isolação de sinal é o HCPL-3180. Por isso, adotou-se como base para a construção do *driver* o circuito sugerido pelo fabricante do optoacoplador. Este dispositivo é alimentado por duas fontes de tensão isoladas: +5 V e +15 V, conforme ilustrado na Figura 29.



**Figura 29: Driver HCPL-3180 do fabricante Agilent Technologies.**  
**Fonte: Manual do HCPL-3180 (2009).**

O circuito de alimentação de +5 V utiliza a mesma referência que o *kit* FPGA, o qual envia o sinal lógico para um CI SN74LS07 com saída do tipo coletor aberto para excitação do LED (*Light-Emitting Diode*) interno do optoacoplador. Este, por sua vez, faz o papel do *buffer* do *driver*, que é um amplificador de ganho unitário usado para isolar e conectar o estágio de alta impedância de saída a carga de baixa impedância de entrada. Neste tipo de circuito é necessário a utilização de um resistor



externo entre a saída da porta lógica e a alimentação  $V_{cc}$  (*pull-up*). Neste caso, foi utilizado um resistor de  $270 \Omega$ .

Para diminuir as altas derivadas de tensão nos MOSFETS adicionou-se um resistor de *gate* ( $R_g$ ) de  $100 \Omega$ , o que é adequado para frequência de comutação 2400 Hz. Já o capacitor eletrolítico foi incluído como filtro passa-baixa para eliminar ruídos da fonte de alimentação de +15 V.

A Tabela 6 contém a lista de componentes e equipamentos utilizados para a validação individual do *driver* em placa perfurada de teste.

**Tabela 6: Lista de componentes eletrônicos e equipamentos utilizados no *driver***

Item	Quantidade	Descrição
1	1	Resistor $270\Omega$
2	1	Resistor $100\Omega$
3	1	Capacitor eletrolítico $10\mu F/25V$
4	1	Capacitor de poliéster $100 nF/63V$
5	1	Optoacoplador HCPL-3180
6	1	CI TTL SN74LS07
7	1	Fonte CC Icel modelo PS-5000
8	1	Osciloscópio Digital Tektronix modelo THS720A
9	1	Gerador de Função Dower FG200D
10	1	Placa de perfurada de teste
11	10	Cabos jumpers
12	1	Soquete 14 pinos estampado
13	1	Cabo RF - Jacaré

Fonte: Autoria própria.

### 3.4 CONFECÇÃO DO HARDWARE

O método para confecção da placa de *hardware* foi subdividido em:

- Desenho do circuito esquemático e projeto do *layout* da placa protótipo;
- Lista de componentes utilizados na montagem.

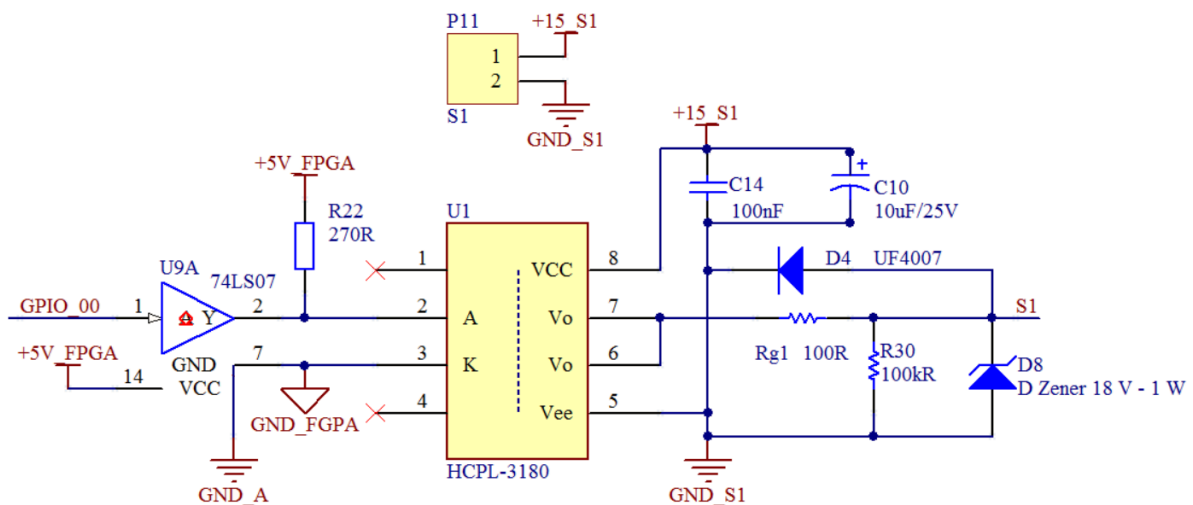
#### 3.4.1 Circuito Esquemático e *Layout* da Placa Protótipo

Para a elaboração do *layout* é importante citar que os sinais de controle digital de alta frequência devem ser o mais isolado possível dos sinais de alta potência, para que não haja interferência entre esses sinais. Dessa forma, os sinais de controle não

devem cruzar com os sinais da saída do inversor ou das fontes de tensão de entrada, pois qualquer ruído na ordem do sinal de comando pode gerar um falso sinal de comando para as chaves de potência. O mesmo critério de isolamento é levado em consideração para os sinais de referência digital e analógico (GNDs – *Grounds*).

Portanto, a partir deste fundamento, definiu-se que o circuito inversor seria espelhado (duas linhas com 4 MOSFETs compartilhando o mesmo dissipador) e o sistema de controle se apresentaria em torno da parte com processamento de potência da placa em um formato de “U”, de tal forma que os sinais de alta tensão não cruzassem os sinais dos *drivers* e das tensões de alimentação do inversor. Outro critério importante na montagem é o acesso da placa às fontes e ao *kit* de FPGA.

Para o desenho do circuito esquemático e desenvolvimento do *layout* da PCB (*Printed Circuit Board* – Placa de Circuito Impresso) protótipo, foi utilizado o programa Altium Designer. Foram incluídas as entradas para seis fontes de tensão CC, com alimentação próxima a +15 V, para condicionamento dos sinais de saída do *driver* de comando dos MOSFETS, como ilustrado na Figura 30.



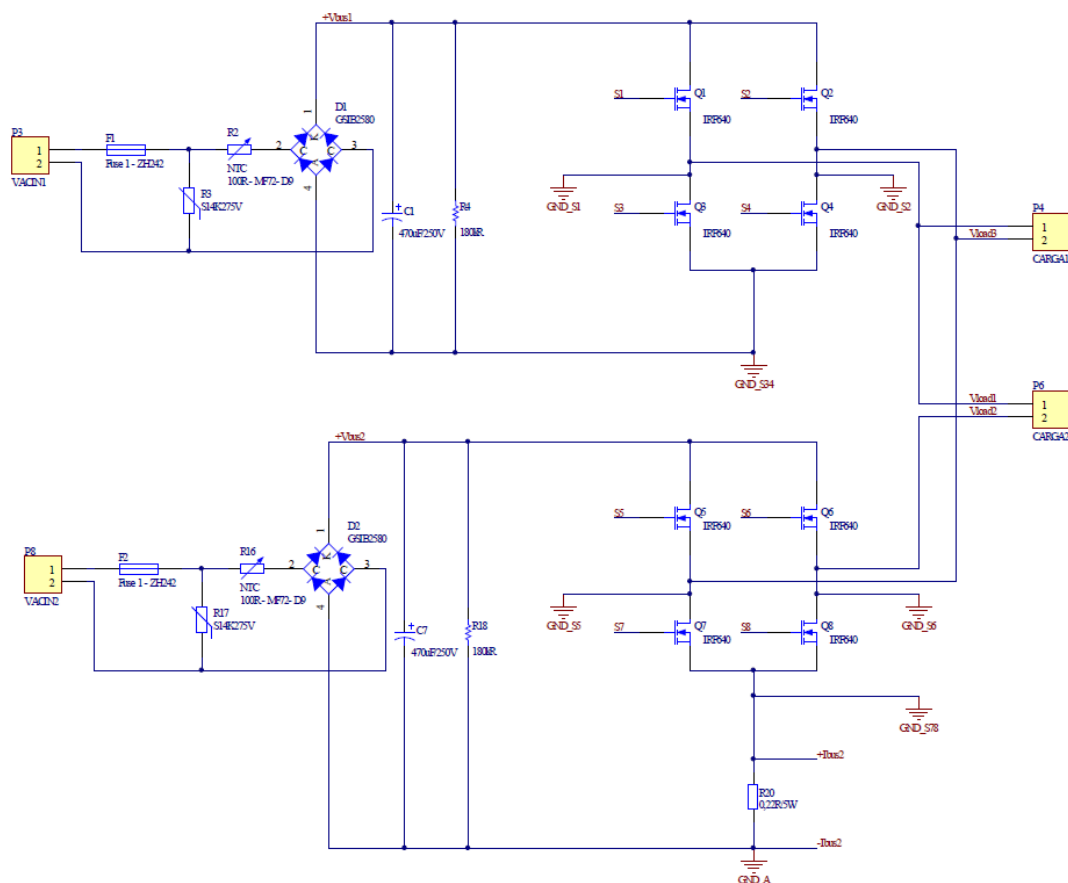
**Figura 30: Configuração do *driver* responsável pelo comando da chave S1.**  
**Fonte: Autoria própria.**

A topologia adotada para o inversor ponte H em cascata consiste de duas pontes completas convencionais interligadas, formando um sistema de potência com oito MOSFETs IRF640N, conforme apresentado na Figura 31. Tais MOSFETs são indicados para aplicações com alta frequência de chaveamento com tensão máxima entre dreno e *source* de 600 V e corrente contínua de 18 A a 25°C. Para cada ponte faz-se necessário a utilização de uma fonte de tensão contínua isolada, cuja tensão

servirá como base para a geração da onda de tensão alternada na saída do inversor multinível. Neste caso, foi incluído um retificador ponte completa a diodo, representado pelo componente GSIB2580 com tensão reversa máxima de 800 V e corrente contínua de 3,5 A a 25°C, sem a necessidade de dissipador. Também foram incluídos um fusível de 4 A, varistor de 275 V e um NTC (*Negative Temperature Coefficient*) de 5  $\Omega$  para cada célula.

Além da garantia do correto isolamento, houve o cuidado para que a amplitude do sinal de saída dessas fontes não ultrapassasse o limite de tensão admissível dos MOSFETs. Para isso foi adicionado ao projeto um circuito de segurança formado por um diodo Zener de 18 V. Nota-se também que não foi necessária a utilização de oito fontes isoladas, pois os MOSFETs inferiores de cada célula compartilham a mesma referência.

O projeto completo se encontra no Apêndice – A.



**Figura 31: Projeto Inversor Multinível ponte H em Cascata com 8 chaves semicondutoras.**  
Fonte: Autoria própria.

Paralelamente ao projeto de *layout* da placa do inversor multinível, foi elaborada a lista de componentes, descritas na Tabela 7 e Tabela 8.

**Tabela 7: Lista de componentes utilizados na implementação da placa**

<b>Componente</b>	<b>Quantidade</b>	<b>Descrição</b>
Capacitor poliéster 100 nF/ 63 V	16	C2, C3, C4, C5, C6, C8, C9, C14, C15, C16, C17, C20, C21, C22, C23, C24
Capacitor eletrolítico radial 10 $\mu$ F / 25 V	6	C10, C11, C12, C13, C18, C19
Capacitor eletrolítico radial 470 $\mu$ F /250 V	2	C1, C7
Diodo Zener 18 V/1 W	8	D8, D9, D10, D11, D16, D17, D18, D19
Diodo UF4007	9	D3, D4, D5, D6, D7, D12, D13, D14, D15
Ponte Retificadora GSIB2580 25 A/800 V	2	D1, D2
Resistor de fio 5W 0,22 $\Omega$	1	R20
Resistor 1/4 W 100 $\Omega$	8	Rg1, Rg2, Rg3, Rg4, Rg5, Rg6, Rg7, Rg8
Resistor 1/4 W 180 k $\Omega$	7	R4, R5, R7, R8, R12, R13, R18
Resistor 1/4 W 270 $\Omega$	8	R22, R23, R24, R25, R26, R27, R28, R29
Resistor 1/4 W 1 k $\Omega$	1	R1
Resistor 1/4 W 2,7 k $\Omega$	5	R9, R10, R11, R14, R15
Resistor 1/4 W 100 k $\Omega$	8	R30, R31, R32, R33, R34, R35, R36, R37
Resistor 1/4 W 150 k $\Omega$	1	R19
Varistor S10K 275 V	2	R3, R17
Termistor 100R - D9	2	R2, R16
LED 3mm Amarelo	1	LED1
MOSFET IRF640N	8	S1, S2, S3, S4, S5, S6, S7, S8
CI SN 74LS07N	2	U9, U10
HCPL-3180	8	U1, U2, U3, U4, U5, U6, U7, U8
Barra de pinos (40x1)	2	P1, P2, P5, P7, P9, P10, TP1, TP2, TP3, TP4, TP5, TP6, TP7, TP8
Borne KRE WECO fêmea 2 vias	10	P3, P4, P6, P8, P11, P12, P13, P14, P15, P16
Borne KRE WECO macho 2 vias	10	P3, P4, P6, P8, P11, P12, P13, P14, P15, P16
Porta fusível da Metaltex - ZH242	2	F1, F2
Fusível 4 A	2	F1, F2

**Fonte: Autoria própria.**

**Tabela 8: Componentes adicionais.**

<b>Componente</b>	<b>Quantidade</b>
Dissipador 21x86x40	2
Pasta térmica 10g	1
Mica isolante	8
Parafusos 3mm	8
Porcas 3mm	16
Arruela de pressão 3mm	4
Arruela isolante 3mm	8
Espaçador Metálico 3mm - 60mm de comprimento	4
Soquete torneado 14 pinos	2
Fusível 4 A	2

**Fonte: Autoria própria.**

### 3.5 DIMENSIONAMENTO DE CARGA

#### 3.5.1 Cargas Resistivas

Devido a disponibilidade de equipamentos com características predominante resistiva, comuns no ambiente acadêmico, a escolha por cargas dessa natureza se mostrou viável para validar o circuito proposto. Outra característica que colaborou para essa escolha foi a capacidade elevada destes para suportarem elevados níveis de potência.

As principais cargas utilizadas neste trabalho foram: um resistor de fio fixo radial, apresentado na Figura 32, e um reostato com deslocamento longitudinal, apresentado na Figura 33.



**Figura 32: Resistor de fio fixo radial de 220  $\Omega$ /100 W.**  
**Fonte: Autoria própria.**



Figura 33: Reostato com deslocamento longitudinal de 300  $\Omega$ /1200 W.  
Fonte: Autoria própria.

### 3.6 ESTUDO DO FILTRO

É proposta a implementação de um filtro passa-baixa LC para que a forma de onda na saída se aproxime de uma senoide perfeita, e, conseqüentemente, os harmônicos indesejados sejam eliminados ou atenuados (BARBI & DE SOUZA, 1993).

Deseja-se atenuar as frequências da ordem do chaveamento dos MOSFETs. Posiciona-se então o polo duplo do filtro de acordo com a Equação 4. Esta equação é uma adaptação feita para esse projeto a partir da consideração padrão para o dimensionamento de um filtro para inversor de três níveis.

Assim, para a modulação cinco níveis assumiram-se que:

$$f_{f_{5n}} = \frac{4 \cdot f_c (Hz)}{10} \quad (4)$$

$$\omega_c = f_{f_{5n}} (Hz) \cdot 2\pi \frac{rad}{s} \quad (5)$$

Onde,

- $f_c$ : Frequência de chaveamento dos interruptores;
- $f_{f_{5n}}$ : Frequência de corte do filtro para o inversor de cinco níveis;
- $\omega_c$ : Frequência angular de corte.

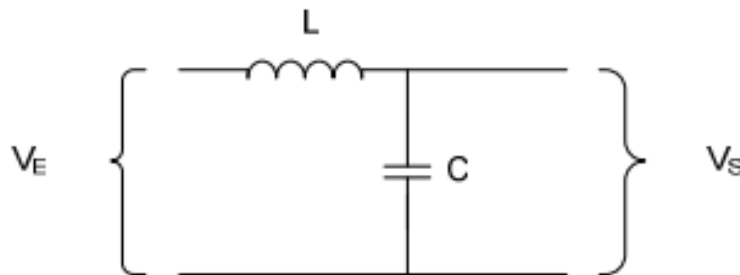
Por se tratar de uma topologia de inversor multinível a frequência de corte escolhida pode ser menor do que o usualmente proposto para inversores de dois níveis (uma década abaixo da frequência de chaveamento).

Adota-se  $\zeta > 0,7$  para evitar oscilações em altas frequências e deslocamento de fase em baixas frequências. O valor de  $R_{eq}$  é determinado pela própria resistência da carga. Determina-se então o valor de capacitância de filtro  $C_f$  e indutância de filtro  $L_f$  a partir das Equações 6 e 7, respectivamente.

$$C_f = \frac{1}{R_{eq} \cdot 2 \cdot \zeta \cdot \omega_c} \quad (6)$$

$$L_f = \frac{1}{\omega_c^2 \cdot C_f} \quad (7)$$

O circuito padrão do filtro passa-baixa LC é apresentado na Figura 34.



**Figura 34: Filtro passa baixa de segunda ordem.**  
**Fonte: Autoria própria.**

Durante o processo do dimensionamento do filtro foi necessário limitar a escolha do valor do capacitor de acordo com os valores comerciais usuais. A partir disso, a implementação do filtro foi simulada, para então os valores dos componentes fossem ajustados de forma a apresentarem um resultado satisfatório.

### 3.7 GERAÇÃO DOS SINAIS DIGITAIS DE CONTROLE E SIMULAÇÕES

Para a verificação do funcionamento do circuito multinível inversor foi utilizado o *software* Matlab, através da sua ferramenta de simulação Simulink. A utilização deste método se deve à confiabilidade do programa, cujos resultados de simulação são amplamente utilizados para validação de diversos tipos de topologias na área de Eletrônica de Potência.

Inicialmente, para a simulação foi adotada a técnica de disposição em oposição de fases (POD - *Phase Opposition Disposition*) com portadoras triangulares e os seguintes parâmetros:

- Número de níveis  $m = 5$ ;
- Índice de modulação  $m_a = 0,8$ ;
- Tensão CC = 60 V;
- Sinal de referência: senoide com 60 Hz;
- Frequência de chaveamento  $f_s = 2,4$  kHz;
- Índice de frequência  $m_f = 40$ ;

Na sequência, foram verificadas as formas da onda de tensão de saída e corrente sobre a carga para os métodos APOD, POD, PD e de deslocamento de fase, respectivamente. Durante os testes foram verificados os espectros dos conteúdos harmônicos para os índices de modulação de frequência ímpares e pares, para os métodos mencionados.

Ao final do próximo capítulo é apresentado um estudo sobre o filtro de saída para reconstituição do sinal CA.

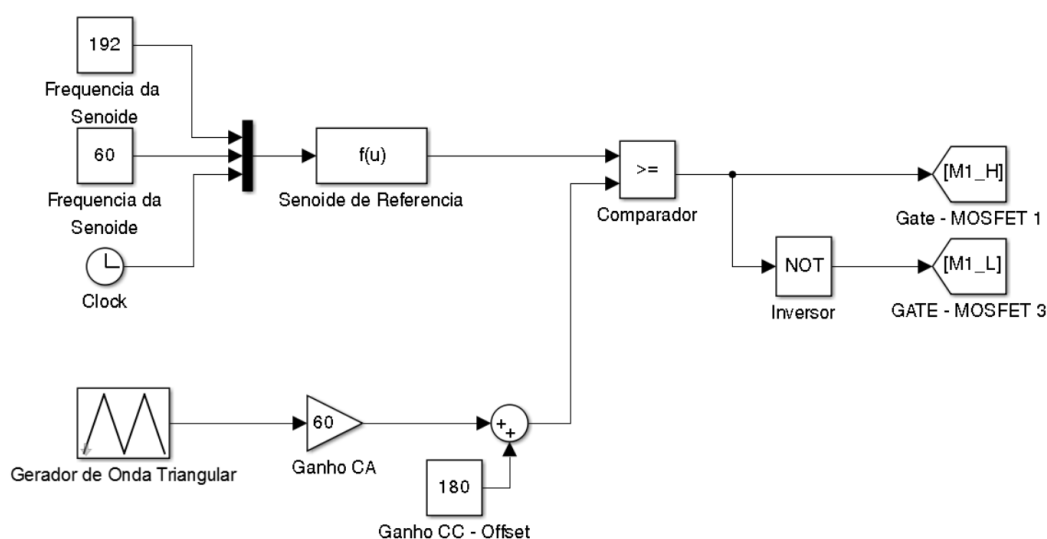


## 4 RESULTADOS

Neste capítulo serão apresentados os resultados simulados do inversor multinível de 5 níveis utilizando a ferramenta Simulink do Matlab para as estratégias PWM já citadas, bem como os resultados práticos de validação do sistema de potência desenvolvido com diferentes índices de modulação de amplitude e cargas. A frequência de chaveamento base tanto para as simulações quanto para os testes práticos foi fixada em 2,4 kHz.

### 4.1 MODELAGEM DO INVERSOR MULTINÍVEL NO SIMULINK

Para simular o conversor multinível de 5 níveis foi necessário gerar quatro portadoras triangulares. Dessa forma, foi implementado um circuito de testes, conforme apresentado na Figura 35.



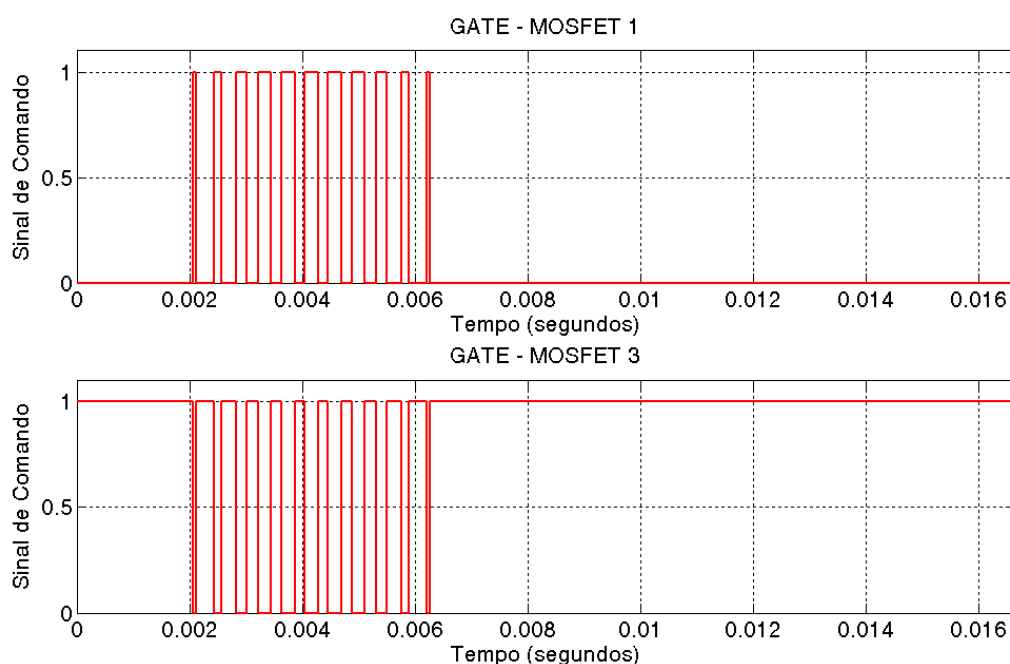
**Figura 35: Circuito de uma portadora com as características do sinal triangular e do sinal de referência. Simulação realizada a partir do software Simulink. Fonte: Autoria própria.**

O sinal senoidal de referência é obtido a partir da seguinte equação:

$$f(u) = u[1] \cdot \sin(2 \cdot \pi \cdot u[2] \cdot u[3]) \quad (8)$$

onde  $u[1]$  representa a amplitude do sinal,  $u[2]$  a frequência e  $u[3]$  o Clock.

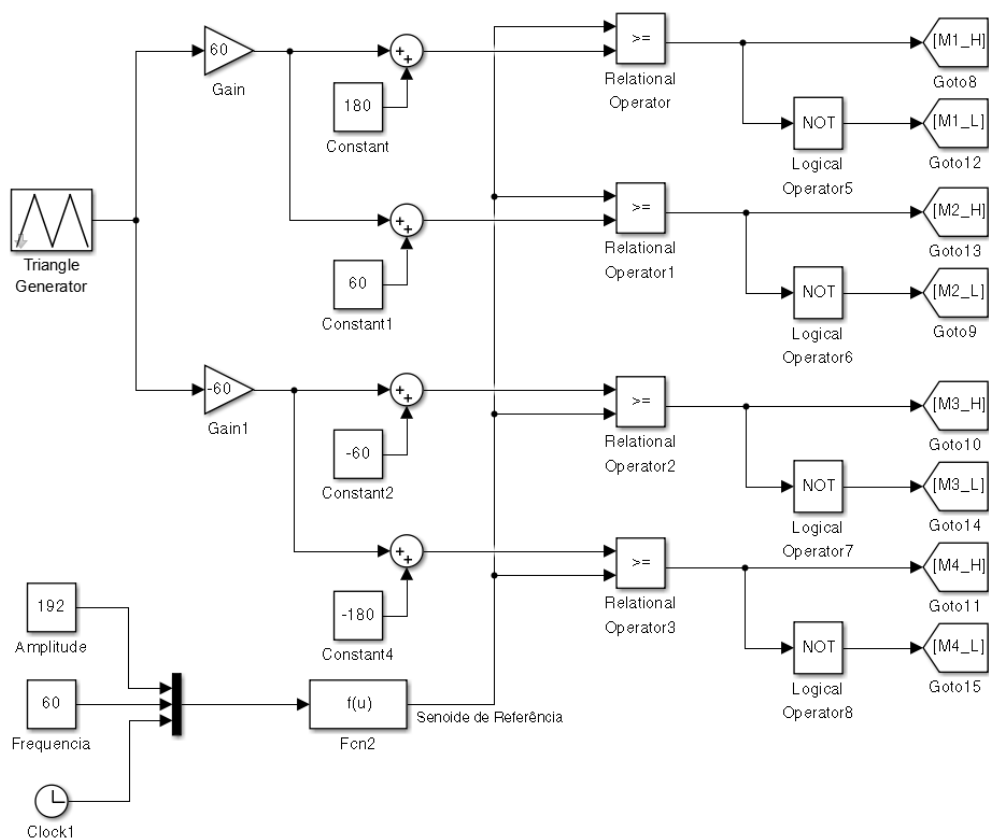
O gerador de onda triangular só necessita da informação da frequência de operação das portadoras, nesse caso 2400 Hz (40 vezes maior do que a frequência de referência de 60 Hz). O sinal resultante da configuração apresentada na Figura 35 e que atuará sobre os MOSFETs 1 e 3 da Figura 40, respectivamente, é mostrado na Figura 36.



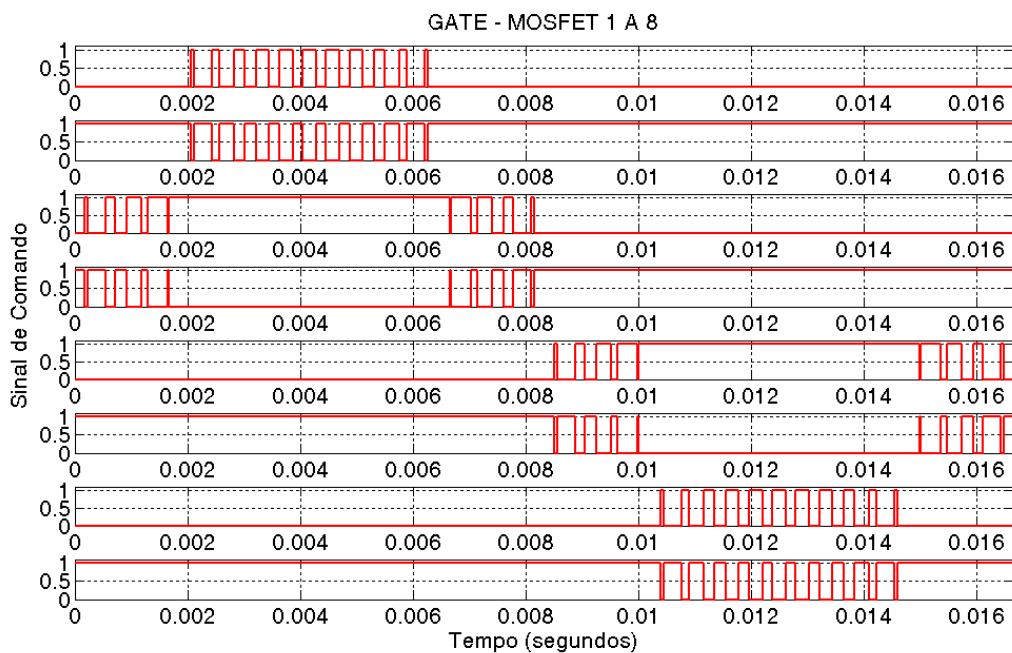
**Figura 36: Sinais complementares de saída de uma portadora simulados no Simulink.**  
**Fonte: Autoria própria.**

Após detalhar a construção de uma portadora é possível replicá-la para que hajam no total quatro portadoras com os devidos valores (Figura 37). Os sinais de interesse sobre a construção do sistema presente na Figura 37 são apresentados na Figura 38 e Figura 39, sendo que a demonstração com os sinais sobrepostos foi previamente mostrada na Figura 24 do capítulo 3 – Materiais e Métodos, seção 3.1.1.1.2 – Disposição em oposição de fases (POD - *Phase Opposition Disposition*).

Após exemplificar cada passo da operação das portadoras, foi possível implementar a etapa de potência do conversor multinível, como mostrado na Figura 40. As fontes de tensão CC foram simuladas com valor de 60 V e os parâmetros dos MOSFETs foram mantidos de acordo com o padrão estipulado pelo Simulink. Na simulação foi escolhida uma carga puramente resistiva com valor de 220  $\Omega$ .



**Figura 37: Grupo de portadoras utilizadas durante as simulações.**  
**Fonte: Autoria própria.**



**Figura 38: Sinais gerados para aplicação nos gates dos MOSFETs.**  
**Fonte: Autoria própria.**

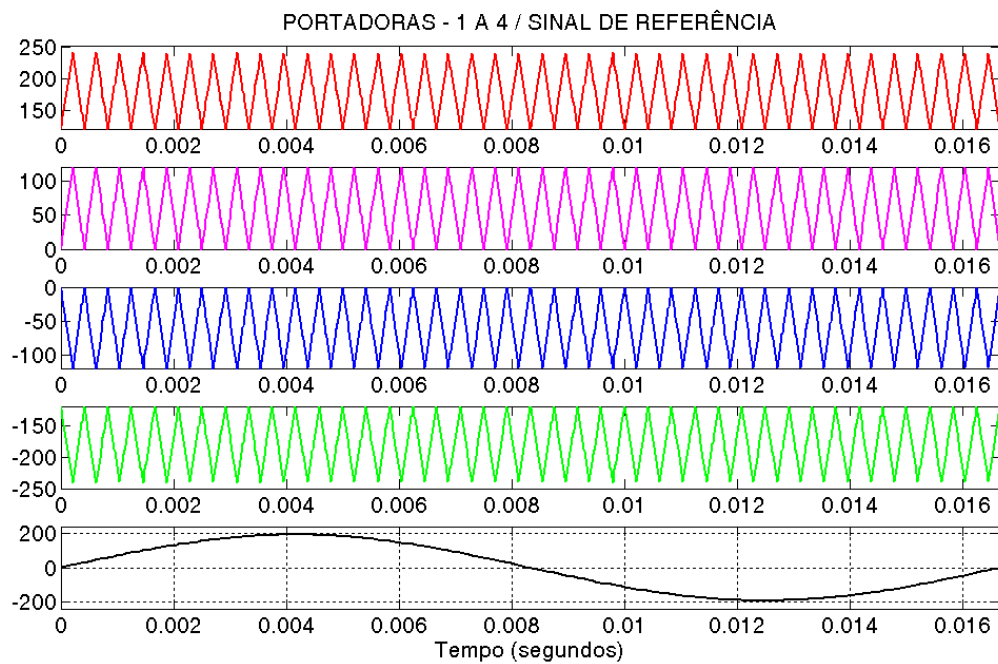


Figura 39: Comparação do sinal de referência com as quatro portadoras distribuídas em oposição de fases.

Fonte: Autoria própria.

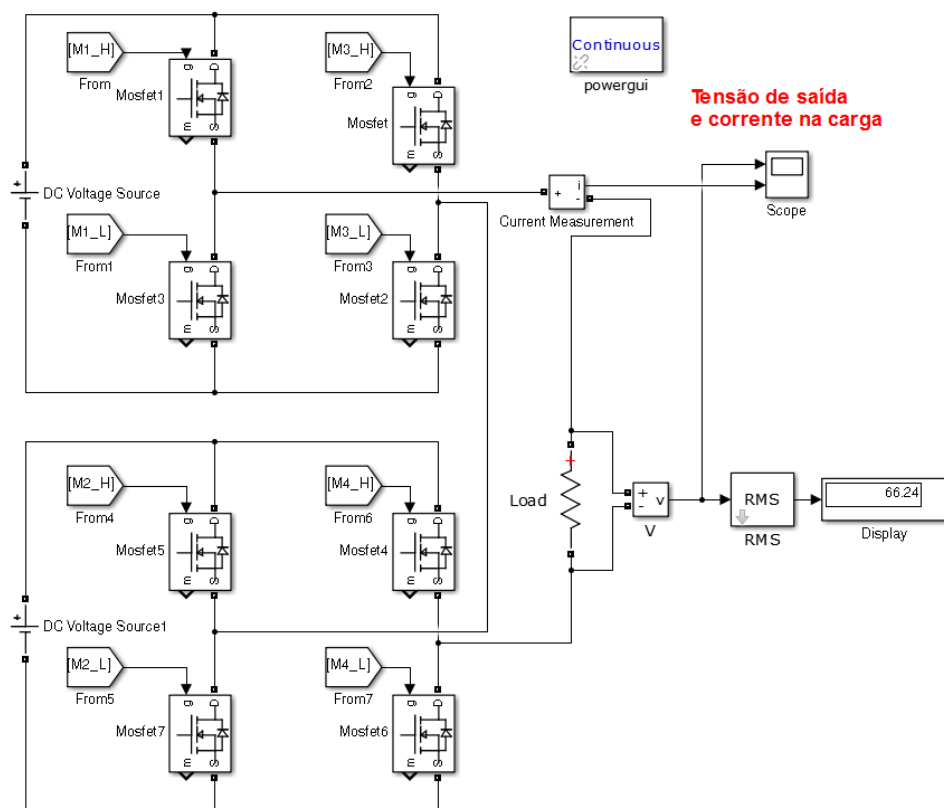


Figura 40: Etapa de potência do inversor multinível de 5 níveis a partir do software Simulink.

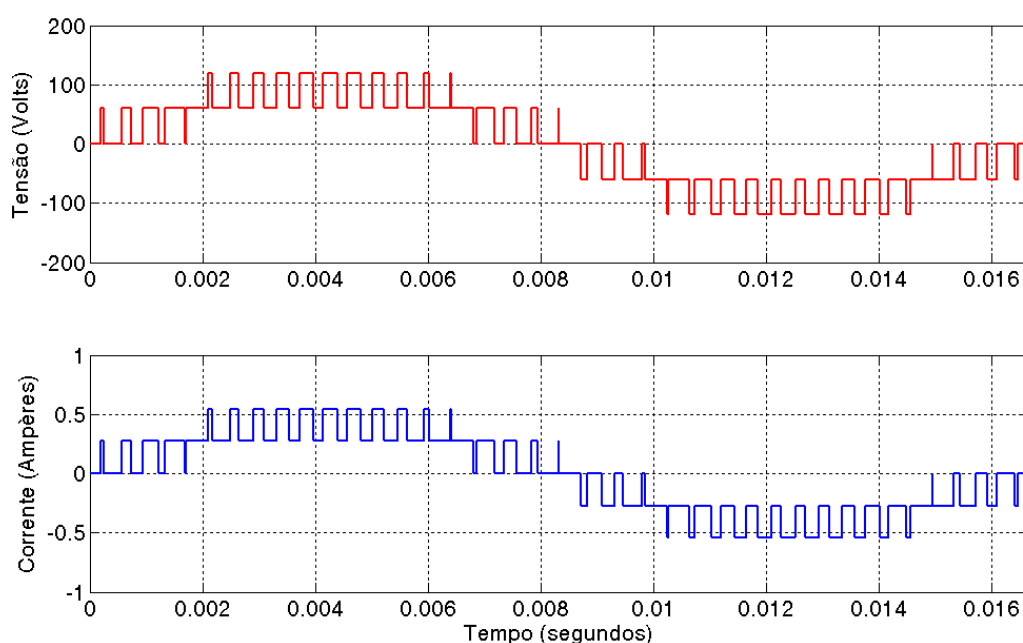
Fonte: Autoria própria.

## 4.2 SIMULAÇÃO DAS ESTRATÉGIAS DE DISTRIBUIÇÃO DAS PORTADORAS

Nessa seção é apresentado o resultado da aplicação de cada PWM detalhado na seção de modulação. Os testes incluem a apresentação do formato da onda de tensão e corrente na carga, além da amplitude dos harmônicos de até a 50ª ordem. São demonstradas na Figura 41, Figura 44, Figura 47 e Figura 50 as formas da onda de tensão de saída e corrente sobre a carga para os métodos APOD, POD, PD e de deslocamento de fase, respectivamente.

Na Figura 42, Figura 45, Figura 48 e Figura 51 são apresentados os espectros dos conteúdos harmônicos quando o índice de modulação de frequência é ímpar ( $m_f = 39$ ), para os mesmos métodos. Complementarmente, são apresentados na Figura 43, Figura 46, Figura 49 e Figura 52 os espectros dos conteúdos harmônicos quando o índice de modulação assume valores pares ( $m_f = 40$ ).

### 4.2.1 Resultados da Simulação para Disposição em Oposição de Fases Alternadas



**Figura 41: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método APOD ( $m = 5, m_a = 0,8, m_f = 40$ ).**

**Fonte: Autoria própria.**

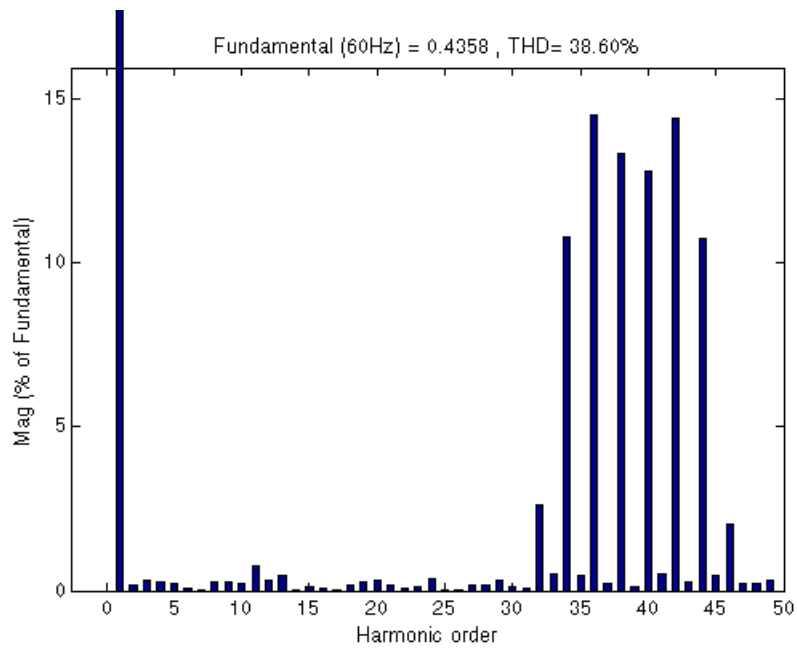


Figura 42: Espectro da tensão da carga quando  $m_f = 39$  para o método APOD.  
Fonte: Autoria própria.

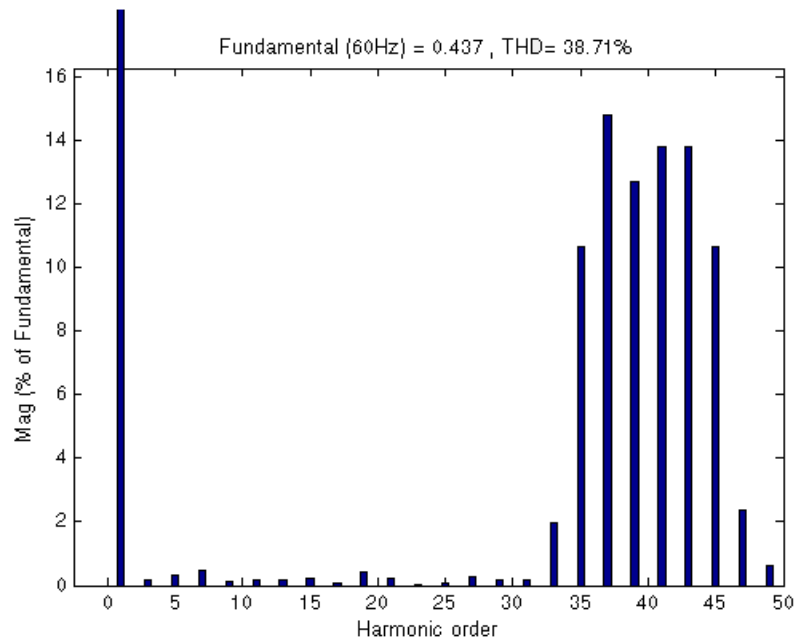


Figura 43: Espectro da tensão da carga quando  $m_f = 40$  para o método APOD.  
Fonte: Autoria própria.

#### 4.2.2 Resultados da Simulação para Disposição em Oposição de Fases

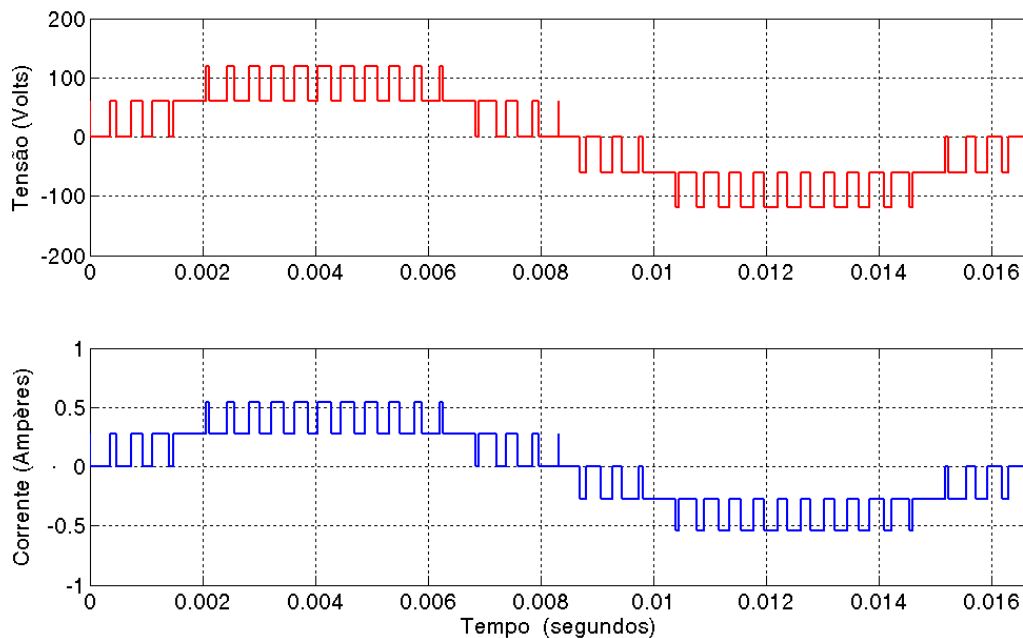


Figura 44: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método POD ( $m = 5, m_a = 0,8, m_f = 40$ ).

Fonte: Autoria própria.

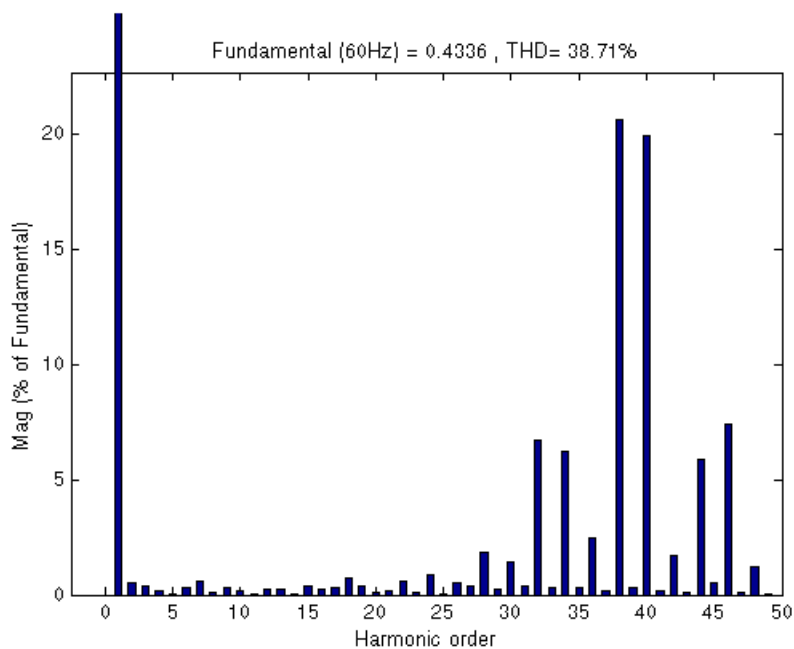


Figura 45: Espectro da tensão da carga quando  $m_f = 39$  para o método POD.

Fonte: Autoria própria.

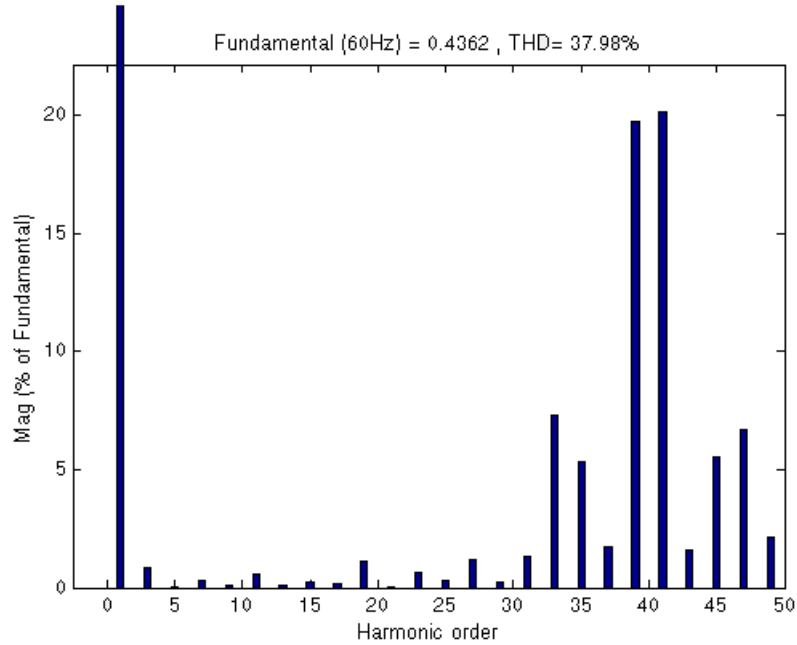


Figura 46: Espectro da tensão da carga quando  $m_f = 40$  para o método POD.  
Fonte: Autoria própria.

#### 4.2.3 Resultados da Simulação para Disposição em Fase

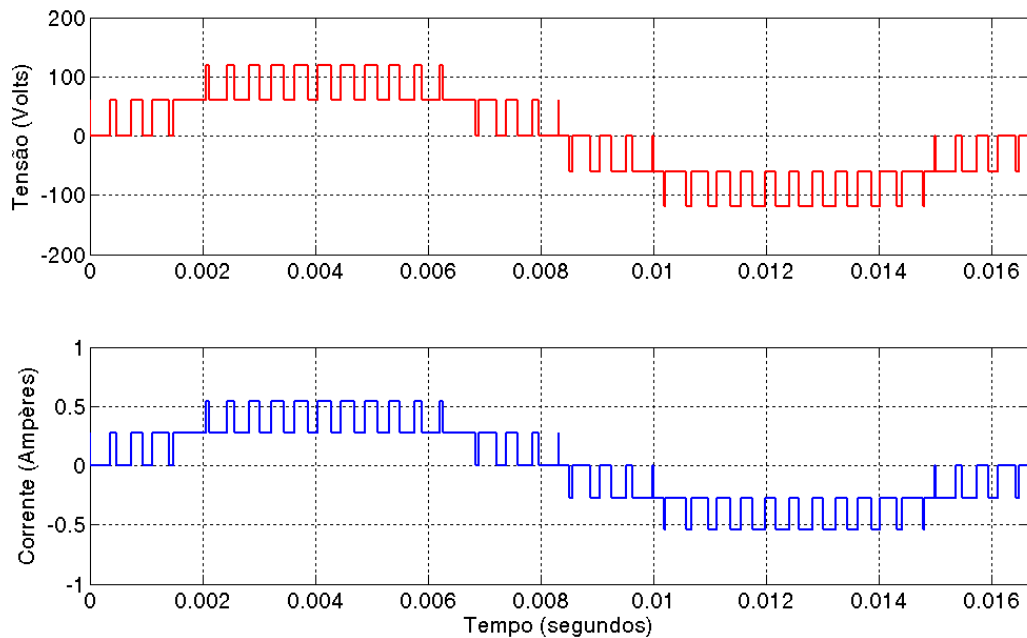


Figura 47: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método PD ( $m = 5, m_a = 0,8, m_f = 40$ ).  
Fonte: Autoria própria.



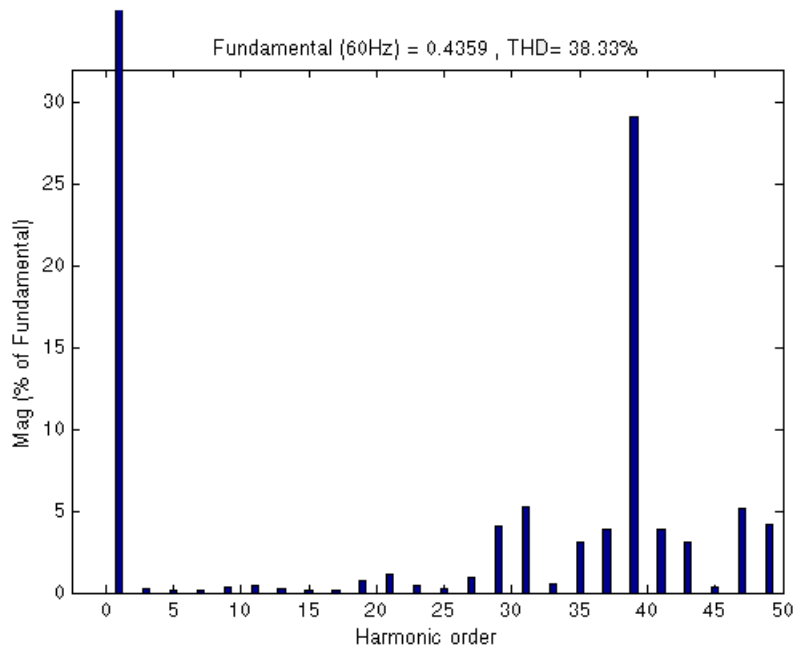


Figura 48: Espectro da tensão da carga quando  $m_f = 39$  para o método PD.  
Fonte: Autoria própria.

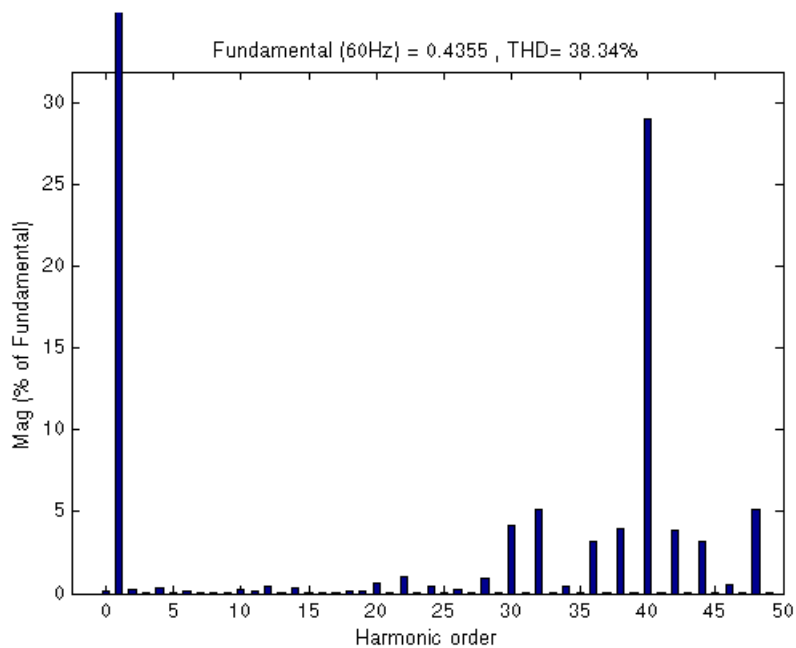


Figura 49: Espectro da tensão da carga quando  $m_f = 40$  para o método PD.  
Fonte: Autoria própria.

## 4.2.4 Resultados da Simulação para Deslocamento de Fase

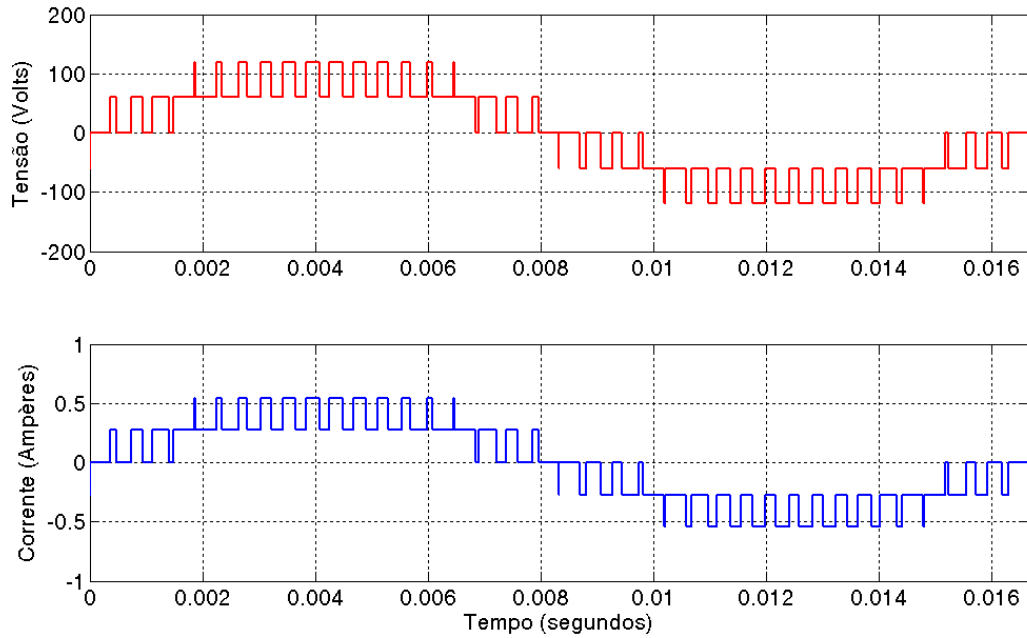


Figura 50: Tensão de saída (sinal superior) e corrente na carga (sinal inferior) para o método de deslocamento de fase ( $m = 5$ ,  $m_a = 0,8$ ,  $m_f = 10$ ).

Fonte: Autoria própria.

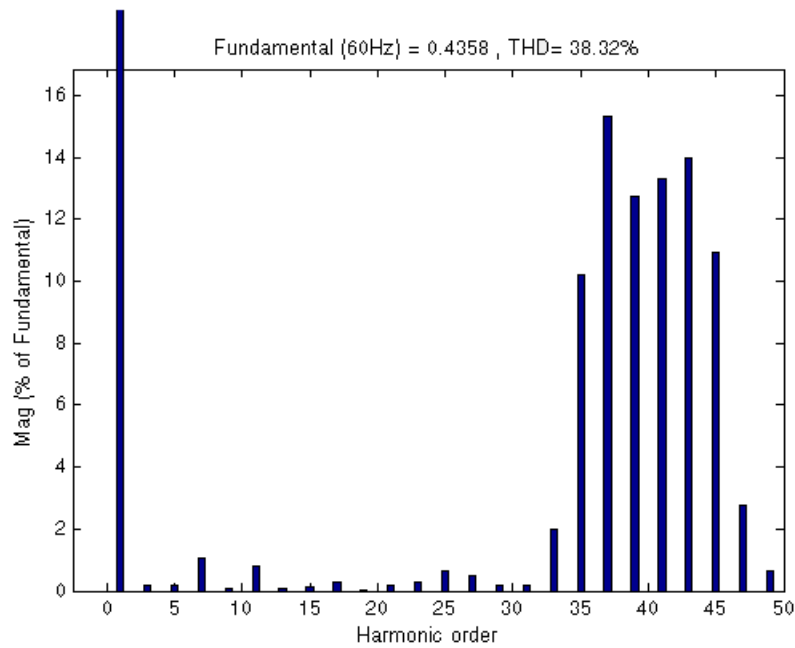
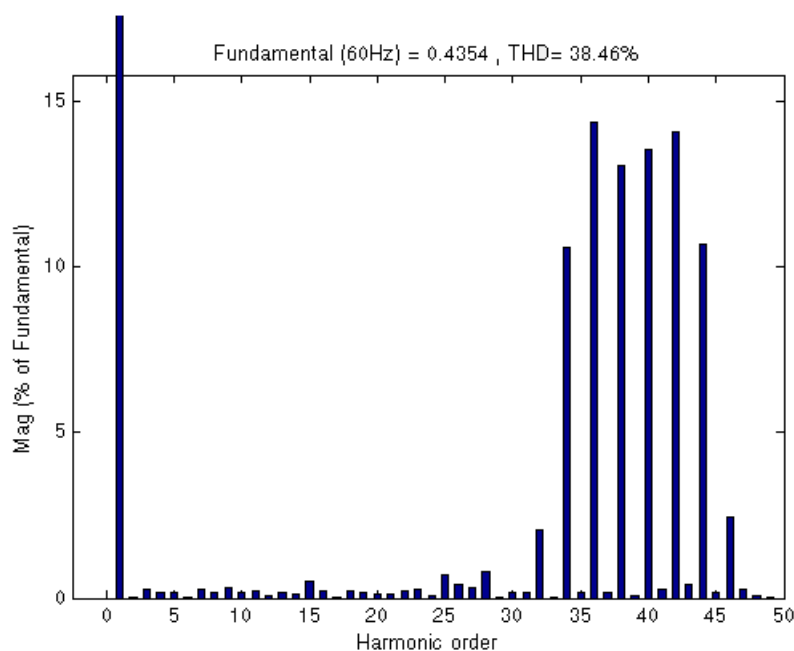


Figura 51: Espectro da tensão da carga quando  $m_f = 10$  para o método de deslocamento de fase.

Fonte: Autoria própria.



**Figura 52: Espectro da tensão da carga quando  $m_f = 9,75$  para o método de deslocamento de fase.**

**Fonte: Autoria própria.**

#### 4.3 SIMULAÇÃO DA AQUISIÇÃO DA AMOSTRA DE TENSÃO NA CARGA

Apesar de não ser foco deste trabalho, na prática os dados sobre a tensão serão adquiridos de forma indireta, devido a necessidade de proteger o FPGA de possível sobretensão. Logo, na Figura 53 é proposta uma configuração utilizando divisores resistivos para solucionar o problema, e seu resultado é demonstrado na Figura 54.

O divisor de tensão proposto possui um ganho de 0,014778. Sendo assim, a máxima tensão que a carga deve estar submetida durante os testes com a aquisição do módulo conversor analógico-digital (A/D) presente no *kit* DE0-Nano deve ser próximo de 220 V. Sob essas condições o módulo A/D estará sendo submetido a uma tensão de 3,3 V.

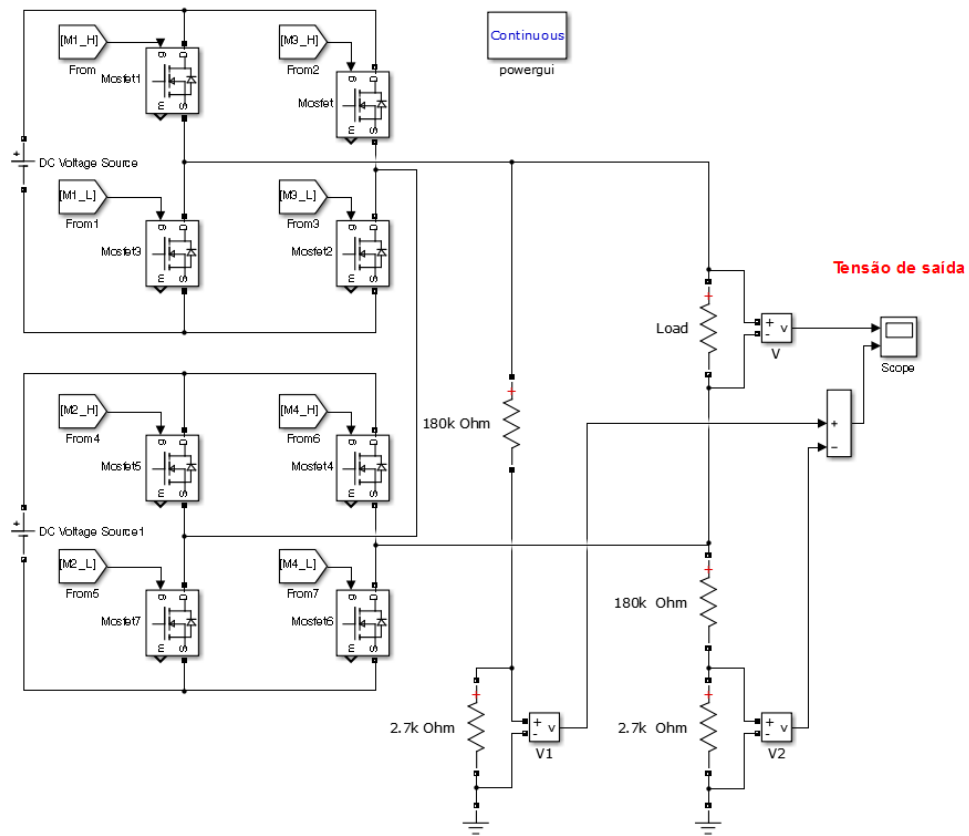


Figura 53: Aquisição do valor de tensão através da subtração da tensão dos divisores.  
Fonte: Autoria própria.

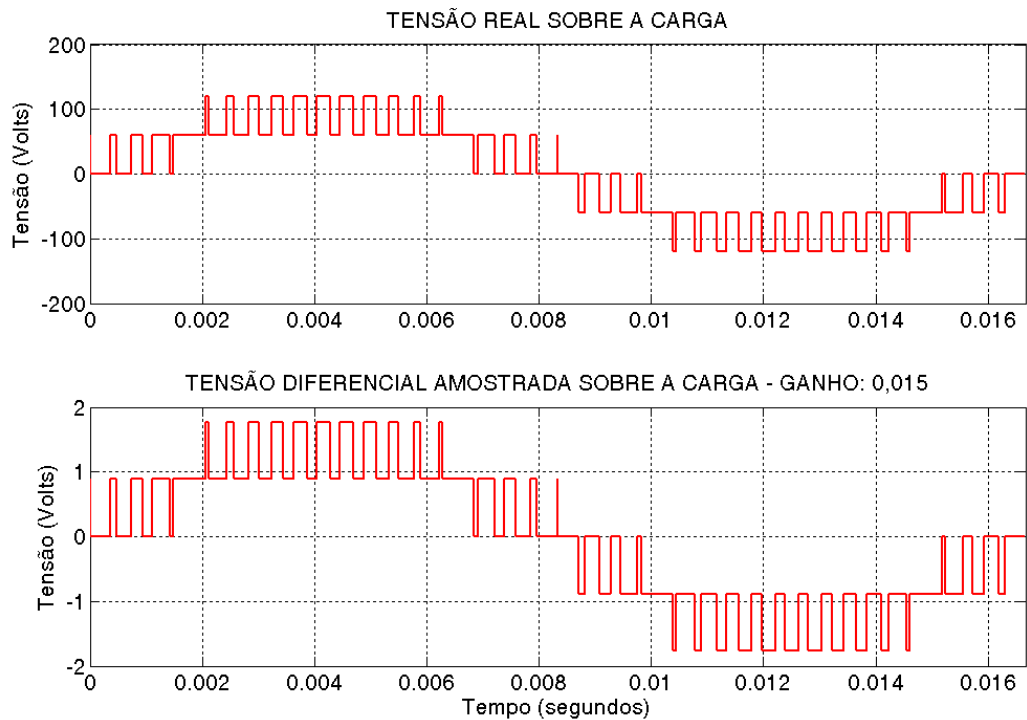


Figura 54: Verificação do resultado do circuito divisor resistivo para leitura da tensão na carga.  
(onda superior - tensão na carga; onda inferior - amostra da tensão na carga).  
Fonte: Autoria própria.

#### 4.4 IMPLEMENTAÇÃO DO FILTRO DE SAÍDA

Para determinar a frequência de corte do filtro implementado utilizou-se a Equação 4. Com o objetivo de verificar a atenuação das altas frequências originadas no chaveamento do circuito, o valor da resistência de carga nas simulações foi estipulado em  $220 \Omega$  e a frequência de corte para 960 Hz.

Para uma combinação de valores comerciais de capacitores foi construída a Tabela 9, determinando o valor do indutor referente para cada caso e, então, avaliando a distorção harmônica individualmente (respeitando a relação das Equações 6 e 7):

**Tabela 9: Tabela de relação entre o valor do capacitor, indutor e THD.**

Capacitor ( $\mu\text{F}$ )	Indutor (mH)	THD (%)
6,8	4,04	4,92
4,7	5,84	3,52
3,3	8,32	2,14
2,2	12,49	1,54
1,5	18,32	1,07
1	27,48	0,68

Fonte: Autoria própria.

Na Figura 55 é apresentado um exemplo da implementação do filtro LC. Os valores utilizados nas simulações se assemelham aos valores utilizados na implementação prática ( $L=5,43 \text{ mH}$  e  $C=6,8 \mu\text{F}$ ).

As tensões escolhidas para as fontes de entrada foram iguais a 20 V e o índice de modulação de amplitude utilizado nos testes foi 0,99. A tensão e corrente medidas sobre a carga na simulação são apresentadas na Figura 57. Para comparar os resultados também foram simulados os casos sem os filtros, apresentados na Figura 56 e Figura 58.

Por fim, é apresentado o espectro harmônico do sinal na Figura 59 e o diagrama de Bode do filtro na Figura 60. Esse filtro possui a característica de atenuar o sinal em  $-40\text{dB}$  por década e, nesse caso, a frequência efetiva de corte se encontra, aproximadamente, em 1285 Hz, pois nessa frequência o sistema apresenta um ganho de  $-3\text{dB}$ . Conclui-se que, sendo possível construir um indutor adequado para as condições de operação, principalmente corrente e frequência a qual ele estará

submetido, é considerável a possibilidade de implementar o conjunto desse filtro na prática.

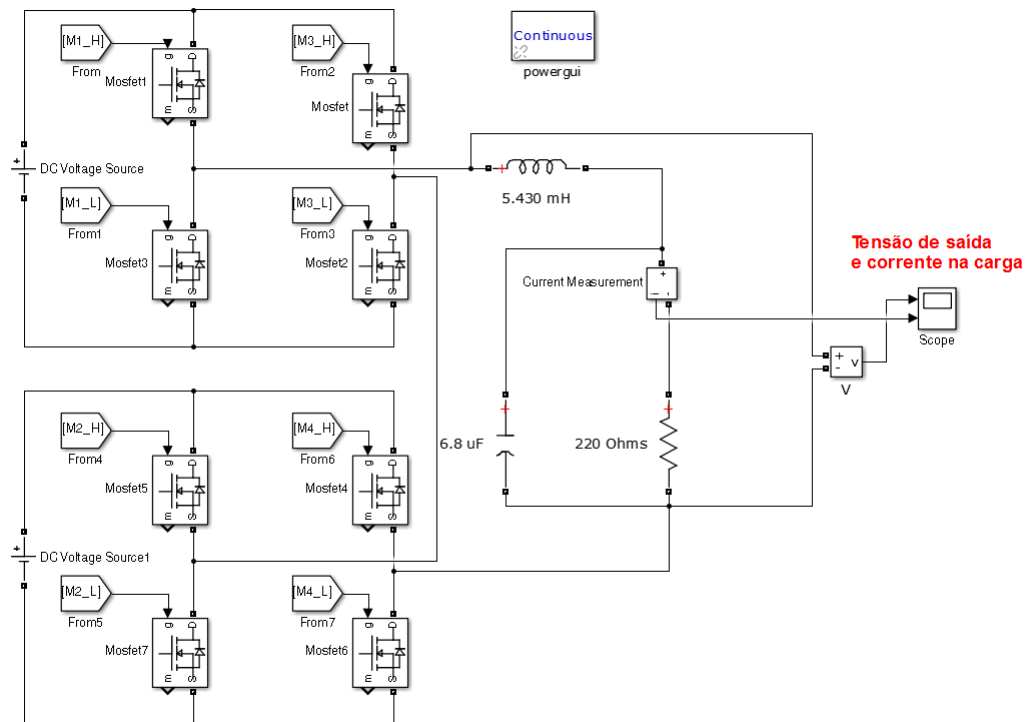


Figura 55: Circuito de potência com filtro LC na saída ( $L=5,43$  mH e  $C=6,8$   $\mu$ F).  
Fonte: Autoria própria.

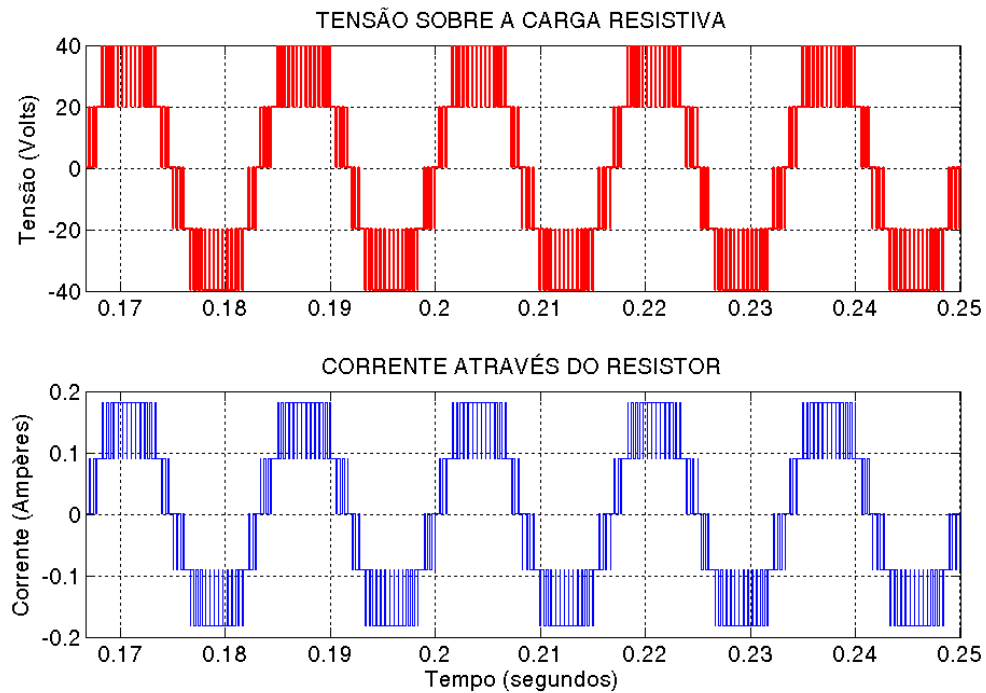
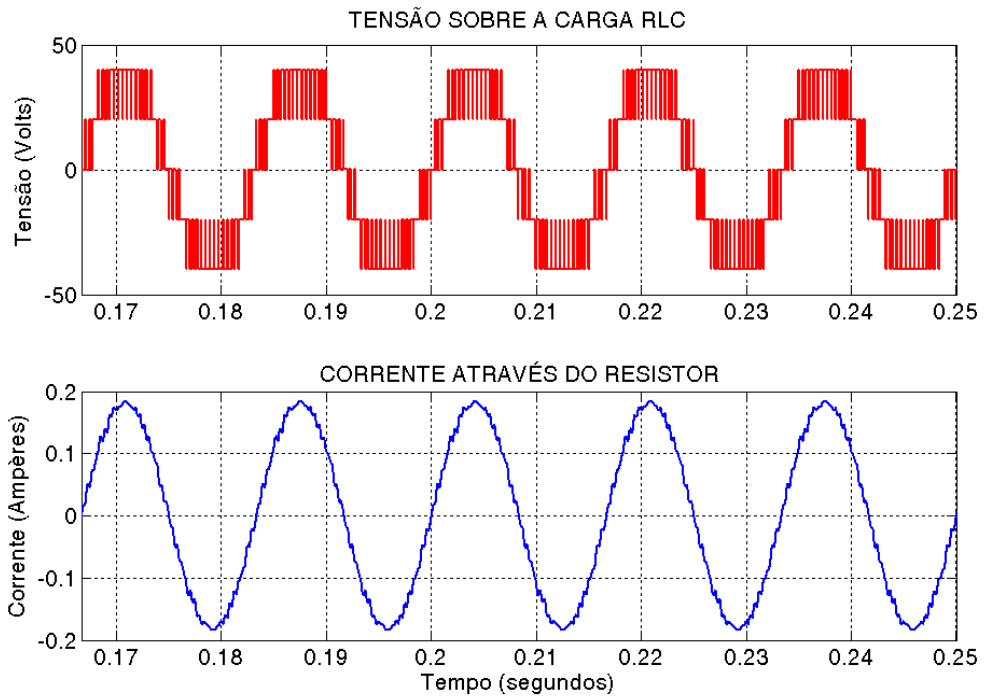
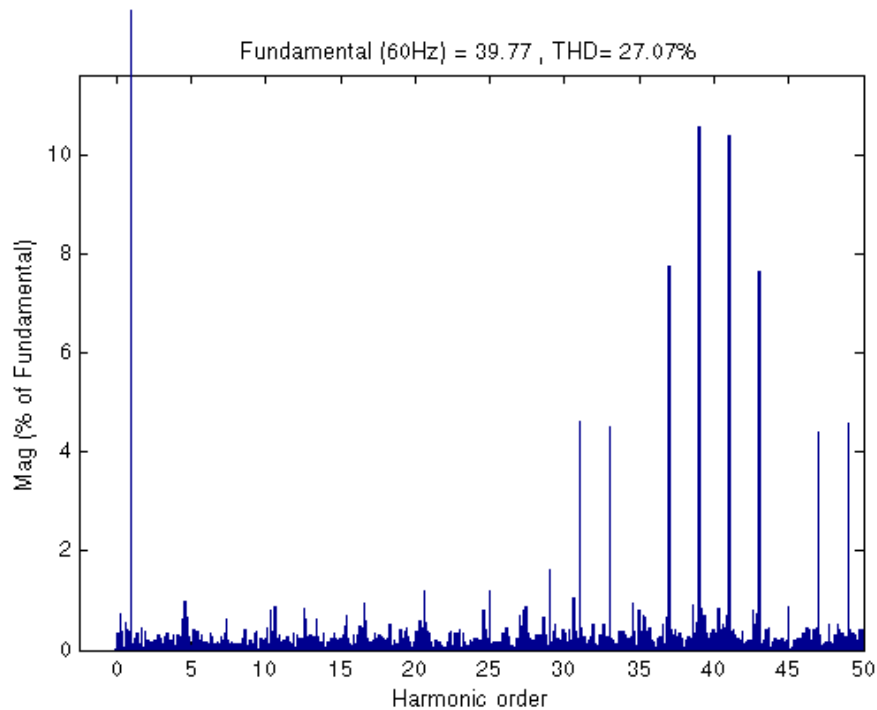


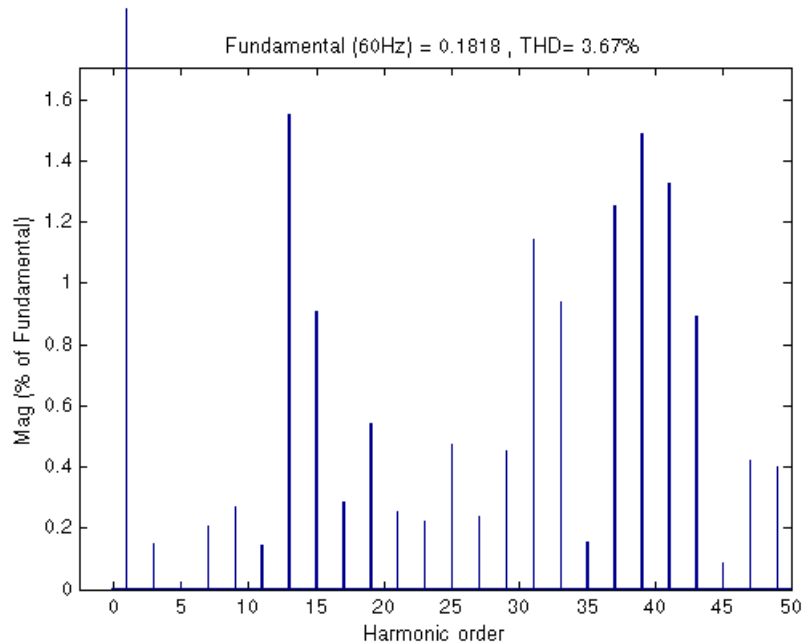
Figura 56: Ondas de tensão e corrente da carga simuladas antes da implementação do Filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 5 níveis.  
Fonte: Autoria própria.



**Figura 57:** Ondas de tensão e corrente da carga simuladas após a implementação do Filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 5 níveis.  
**Fonte:** Autoria própria.

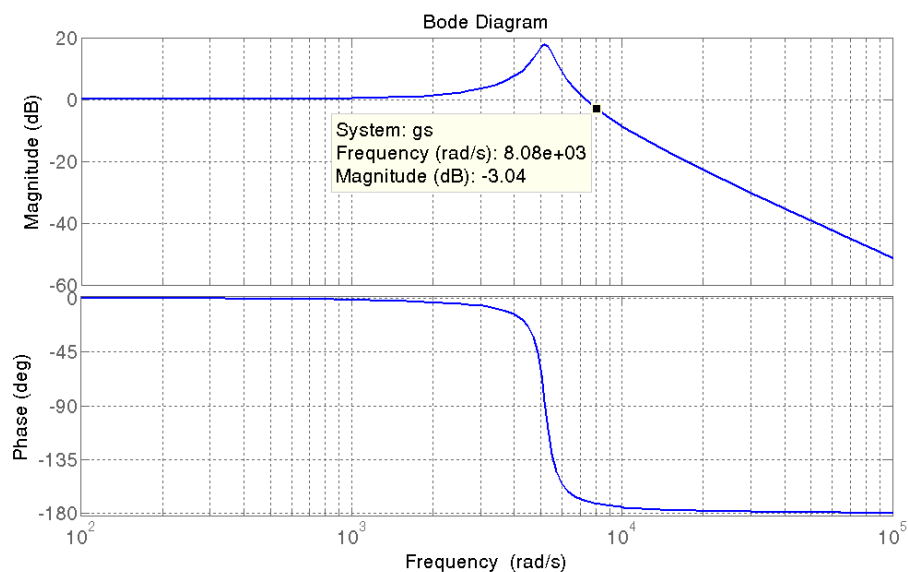


**Figura 58:** Espectro harmônico antes da aplicação do filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 5 níveis.  
**Fonte:** Autoria própria.



**Figura 59: Espectro harmônico após a aplicação do filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 5 níveis.**

Fonte: Autoria própria.

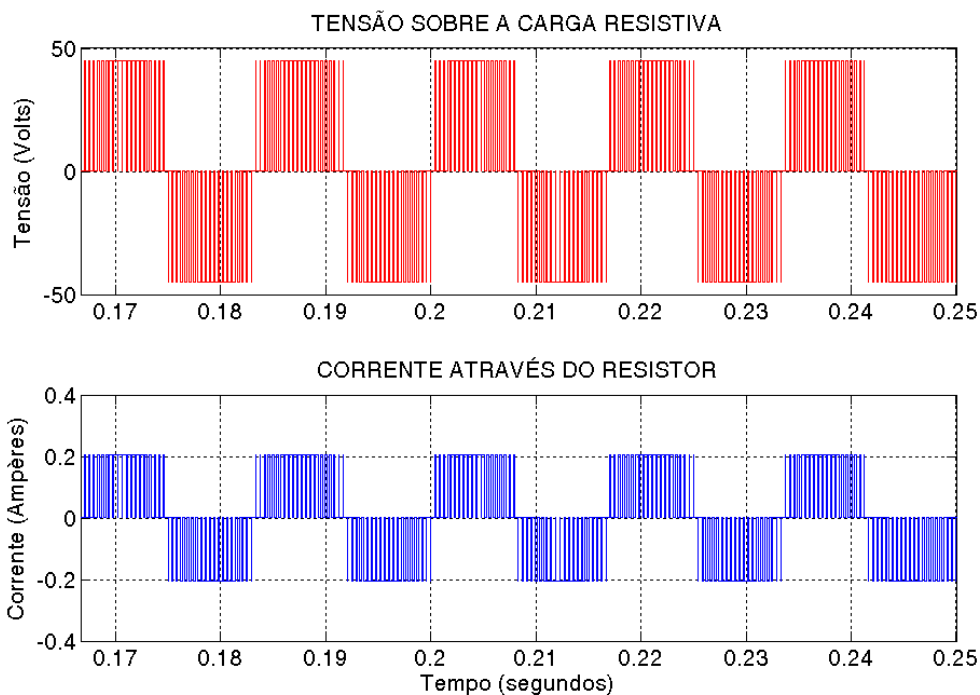


**Figura 60: Diagrama de Bode do conjunto RLC ( $R=220\Omega$ ,  $L=5,43$  mH e  $C=6,8$   $\mu$ F).**

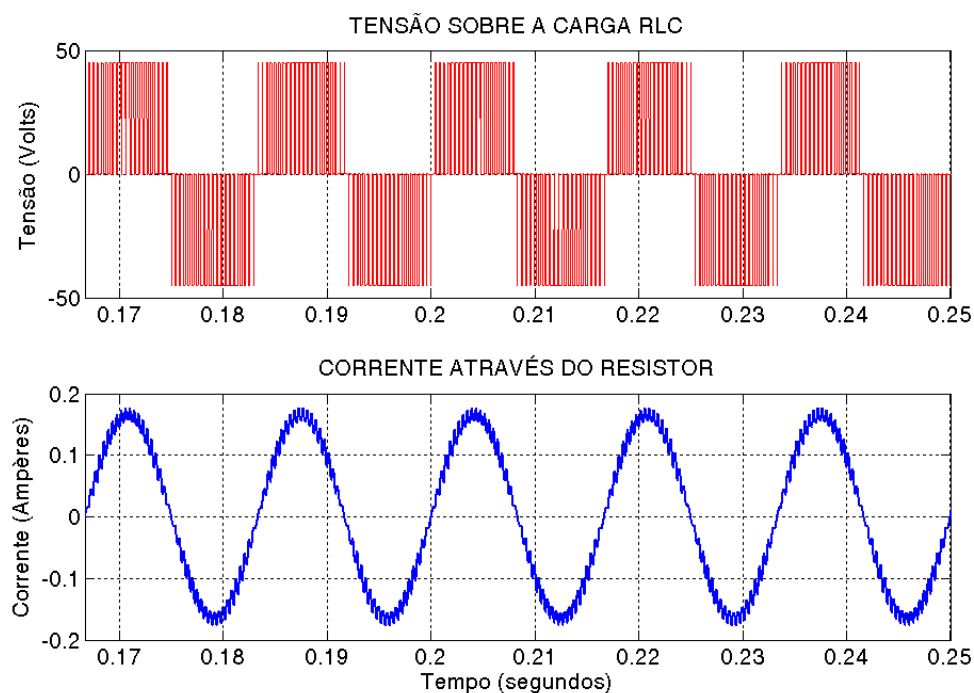
Fonte: Autoria própria.

O mesmo filtro foi simulado para o caso de o inversor estar operando em 3 níveis. As tensões escolhidas para as fontes de entrada foram iguais a 22,5 V e o índice de modulação utilizado nos testes foi 0,4. O resultado é apresentado na Figura 62 e o respectivo espectro harmônico da onda na Figura 64. Para comparar os resultados também foram simulados os casos sem os filtros, apresentados na Figura 61 e Figura 63.

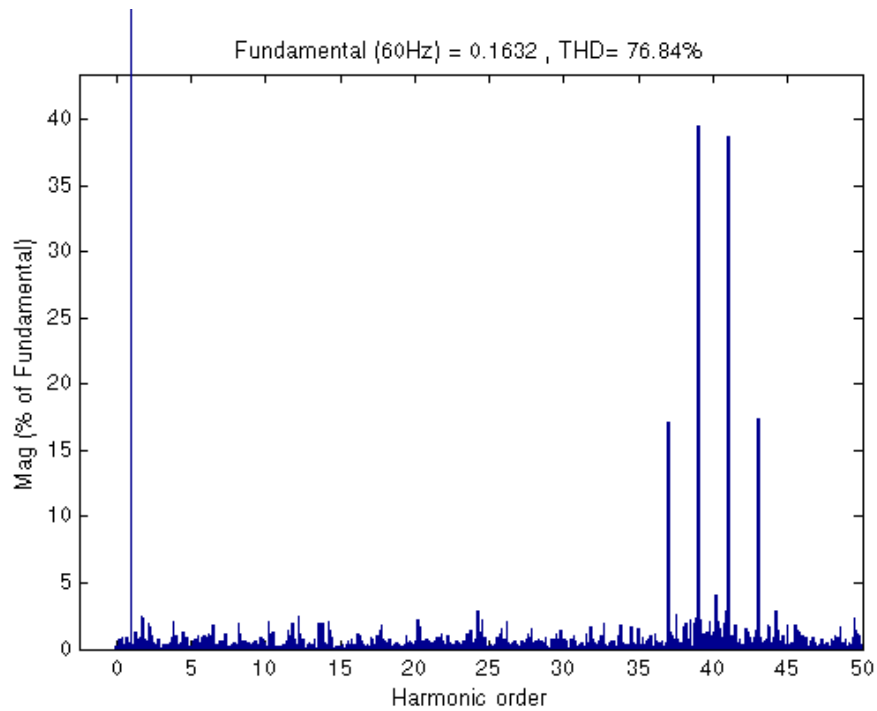




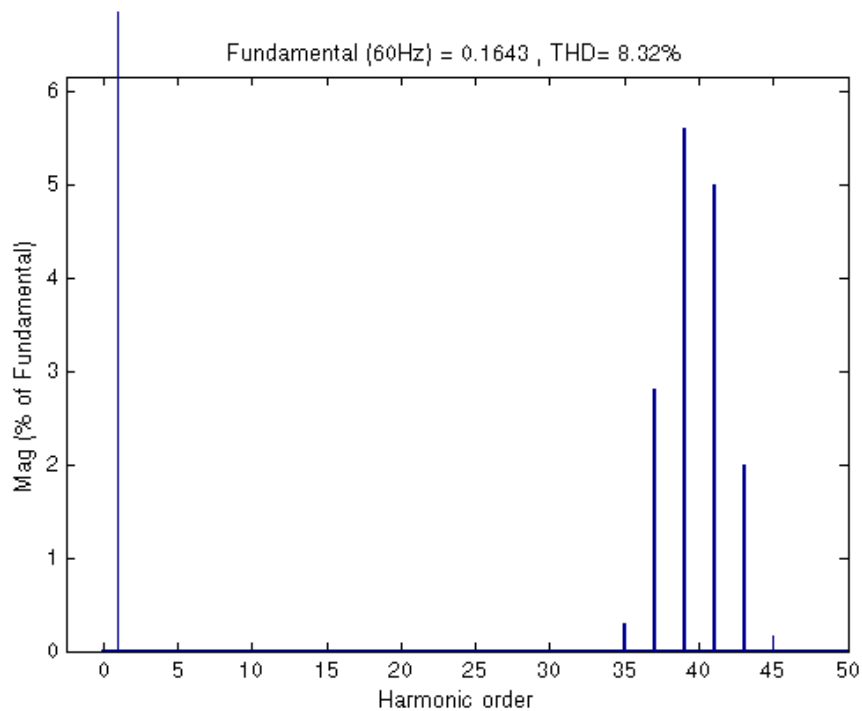
**Figura 61:** Onda de tensão e corrente da carga antes da implementação do Filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 3 níveis.  
 Fonte: Autoria própria.



**Figura 62:** Onda de tensão e corrente da carga após a implementação do Filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 3 níveis.  
 Fonte: Autoria própria.



**Figura 63: Espectro harmônico antes da aplicação do filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 3 níveis.  
Fonte: Autoria própria.**



**Figura 64: Espectro harmônico após a aplicação do filtro LC ( $L=5,43$  mH e  $C=6,8$   $\mu$ F) para modulação 3 níveis.  
Fonte: Autoria própria.**

## 4.5 PROGRAMAÇÃO DO FPGA

Nesta etapa do projeto foram feitas a programação, em linguagem VHDL e em blocos no programa Quartus II (versão Web 15.0), e a simulação do mesmo no programa ModelSim-Altera. Além disso, verificou-se os sinais de saída das portadoras e as chaves de modulação diretamente na placa FPGA.

### 4.5.1 Verificação do Código no *Software* de Simulação ModelSim-Altera

Para simulação de projeto feito com o programa Quartus II, foi usado o *software* ModelSim-Altera, que é instalado juntamente com o Quartus II. As simulações podem ser feitas de duas formas: interativa ou pelo *testbench*. O *testbench* é uma “bancada de testes” feita em código VHDL, onde é necessário a compilação do código do programa e um código auxiliar responsável pela declaração dos valores das variáveis de entrada. A simulação interativa também é uma bancada de testes com base em código VHDL, porém "manual", onde é necessário determinar os valores desejados nas entradas para que se consiga simular o projeto.

Após a compilação do arquivo de programação no Quartus II são gerados arquivos com as seguintes extensões: “\*.vht” e “\*.vho”. O primeiro é o arquivo que será executado no *testbench*, e o segundo é o código auxiliar que deve ser modificado a fim de se determinar o valor de todas as variáveis de entrada e variáveis que serão apresentadas durante a simulação.

Para validar a programação antes da gravação do programa no FPGA foram feitas simulações com diferentes índices de modulação do PWM, observando-se as formas de onda das quatro portadoras triangulares em oposição de fase, senoide de referência, e os oito sinais de PWM. Pode-se notar que para o índice de modulação 0,99 do PWM, Figura 65 e Figura 66, o sistema opera como inversor de cinco níveis. A baixo do índice de modulação 0,5, duas chaves deixam de conduzir (S2 e S8) e duas chaves complementares conduzem direto (S1 e S7), indicando que o sistema opera como um inversor multinível três níveis de tensão (Figura 67). Portanto, pela comparação dos resultados simulados com outros trabalhos (KHOMFOI & TOLBERT, 2007), (MEIRELES & MARTINS, 2011) e (FONT, NASCIMENTO & VIGLUS, 2012), pode-se afirmar que o programa funciona de forma adequada, como o esperado.

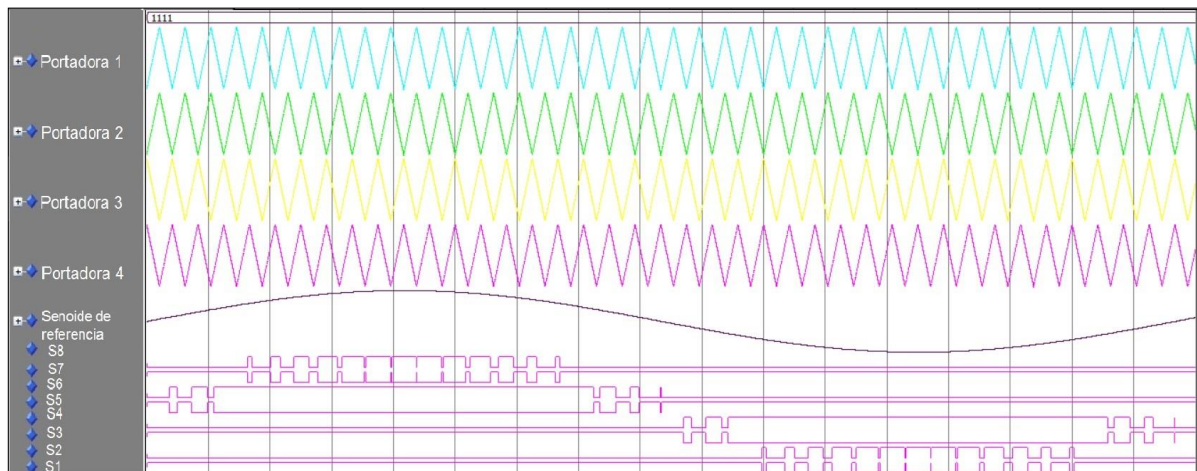
4.5.1.1 Resultado da simulação para  $m_a = 0,99$ 

Figura 65: Simulação do código no ModelSim para  $m_a = 0,99$ .

Fonte: Autoria própria.

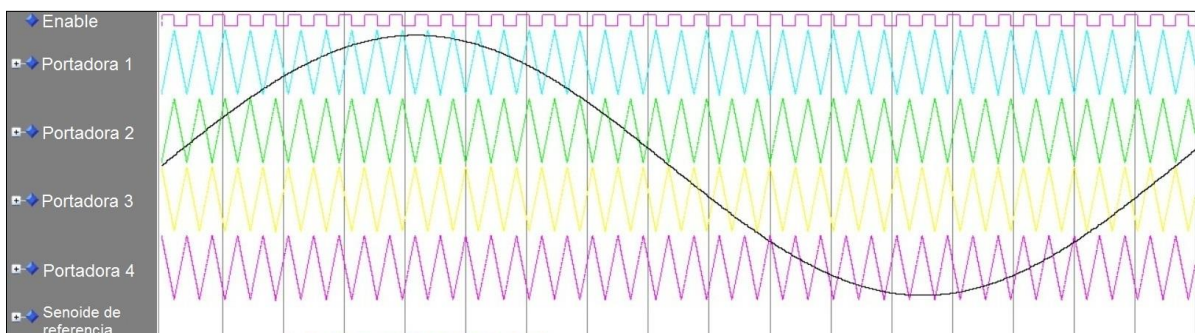


Figura 66: Simulação do código no ModelSim para  $m_a = 0,99$  com o sinal de referência sobrepondo o sinal das portadoras.

Fonte: Autoria própria.

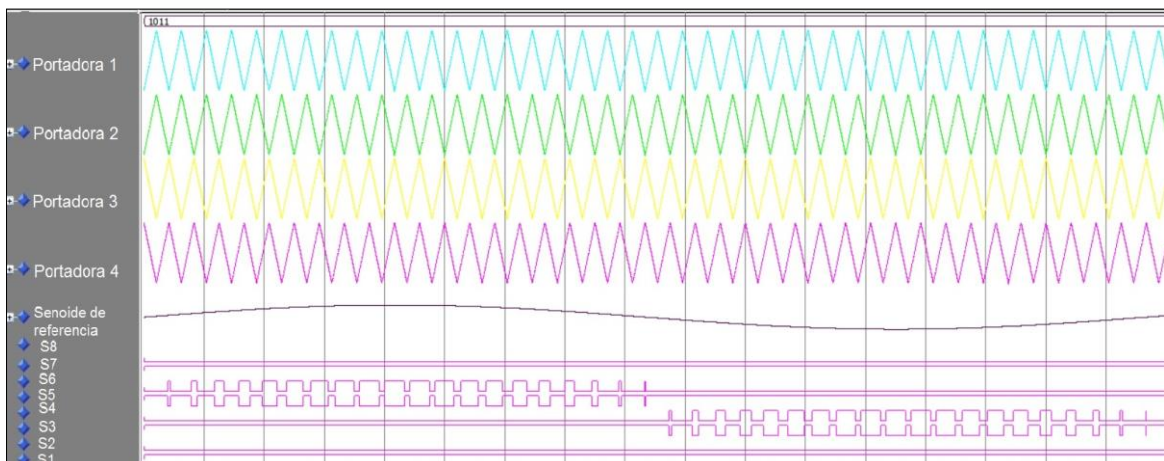
4.5.1.2 Resultado da simulação para  $m_a = 0,4$ 

Figura 67: Simulação do código no ModelSim para  $m_a = 0,4$ .

Fonte: Autoria própria.

#### 4.6 VERIFICAÇÃO DO CÓDIGO NA PLACA DE0-NANO

Depois de validar os resultados das simulações, elaborou-se o código para gravação da FPGA, via porta USB do computador. Nessa seção, são apresentados os sinais digitais de comando (sinais de PWM), gerados pelo *kit* com FPGA, no osciloscópio.

Para possibilitar a verificação do funcionamento do sistema com diferentes índices de modulação de amplitude sem alteração do código do FPGA, foi utilizada a *dip-switch* (chave *on-off*) com 4 posições, disponível na placa DE0-Nano, conforme indicado na Figura 68. Além disso, são mostrados conector de saída com os sinais digitais de comando do inversor e os LEDs para indicação do índice de modulação que está sendo empregado.

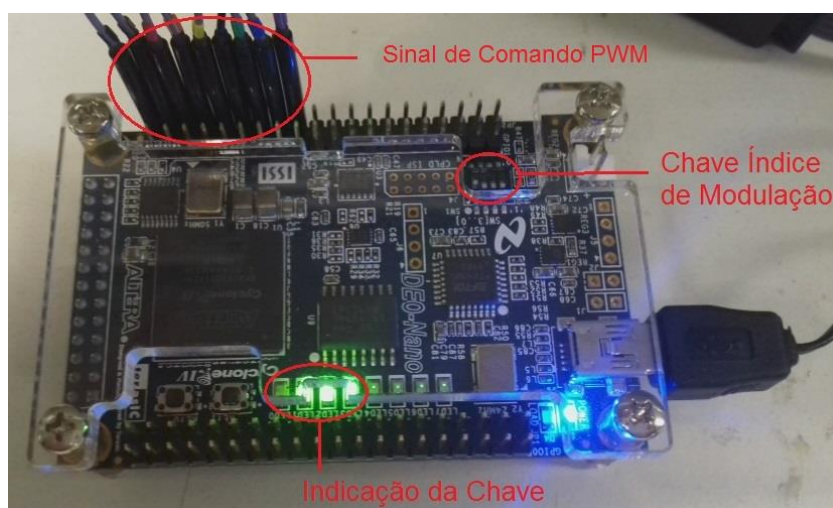
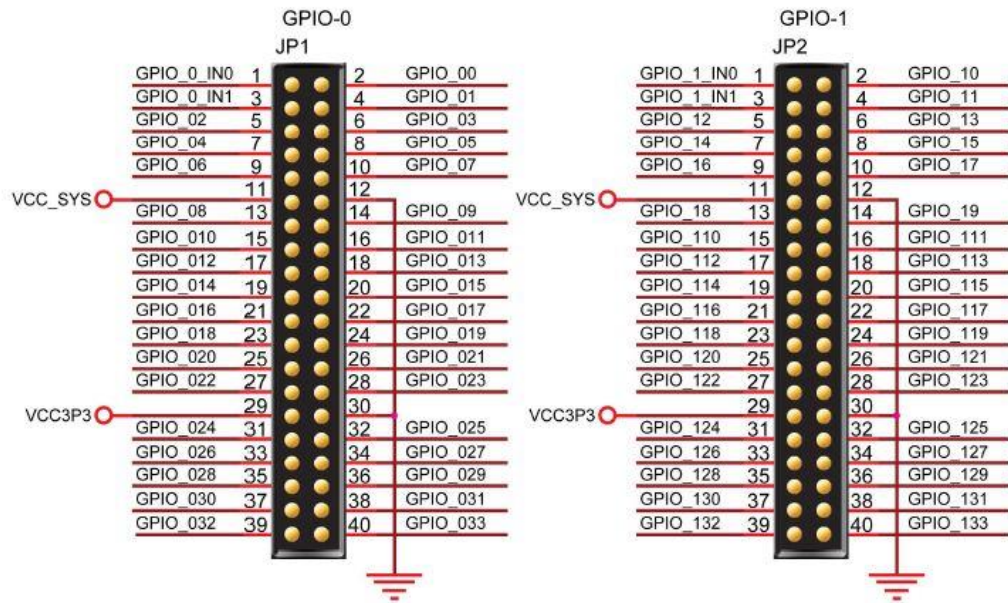


Figura 68: *Kit* FPGA DE0-Nano com indicações dos componentes utilizados.  
Fonte: Autoria própria.

Nesta etapa foi importante definir os pinos do FPGA responsáveis pelos sinais PWM de chaveamento dos MOSFETs da placa do inversor. A Figura 69 apresenta a pinagem utilizada e obtida do manual do DE0-Nano.



**Figura 69: Configuração dos Pinos GPIO do FPGA.**  
**Fonte: Adaptado do manual do *kit* DE0-Nano, Terasic Inc. (2016).**

A Tabela 10, Tabela 11 e Tabela 12 mostram a descrição completa da pinagem que foi atribuída através da programação. Na Tabela 10 são apresentados os pinos de saída para chaveamento.

**Tabela 10: Tabela de configuração dos pinos PWMs do FPGA.**

Nome do sinal	Pino do processador	Função	Descrição	Pino
GPIO_10	PIN_F13	Sinal da portadora M1_H	PWM	2
GPIO_11	PIN_T13	Sinal da portadora M1_L	PWM	4
GPIO_13	PIN_T11	Sinal da portadora M2_H	PWM	6
GPIO_15	PIN_R10	Sinal da portadora M2_L	PWM	8
GPIO_17	PIN_T15	Sinal da portadora M3_H	PWM	10
GPIO_19	PIN_T12	Sinal da portadora M3_L	PWM	14
GPIO_111	PIN_R11	Sinal da portadora M4_H	PWM	16
GPIO_113	PIN_P9	Sinal da portadora M4_L	PWM	18

**Fonte: Autoria própria.**

Na Tabela 11 são mostrados os LEDs que indicam o funcionamento do controle digital. Na Tabela 12 são apresentados os pinos do dip-switch utilizados para seleção do índice de modulação. Para qualquer outro estado diferente do apresentado na Tabela 12, o índice permanece como 0,2.

**Tabela 11: Tabela de configuração de LEDs do FPGA.**

Nome do sinal	Pino do processador	Função	Descrição	LED
LED[0]	PIN_A15	Modulação 0,99	LED Verde[0]	LED0
LED[1]	PIN_A13	Modulação 0,8	LED Verde[1]	LED1
LED[2]	PIN_B13	Modulação 0,6	LED Verde[2]	LED2
LED[3]	PIN_A11	Modulação 0,4	LED Verde[3]	LED3
LED[4]	PIN_D1	Sempre aceso	LED Verde[4]	LED4
LED[5]	PIN_F3	Sempre aceso	LED Verde[5]	LED5
LED[6]	PIN_B13	Sempre aceso	LED Verde[6]	LED6
LED[7]	PIN_L3	Sempre aceso	LED Verde[7]	LED7

**Fonte: Autoria própria.**

**Tabela 12: Tabela de configuração das chaves de modulação.**

Nome do sinal	Pino do processador	Função	Descrição	Chave
DIP Switch[0]	PIN_M1	Modulação 0,99	DIP Switch[0]	1
DIP Switch[1]	PIN_T8	Modulação 0,8	DIP Switch[1]	2
DIP Switch[2]	PIN_B9	Modulação 0,6	DIP Switch[2]	3
DIP Switch[3]	PIN_M15	Modulação 0,4	DIP Switch[3]	4

**Fonte: Autoria própria.**

O código completo do FPGA implementado encontra-se no Apêndice – B.

Com isso, considerando o sinal de saída com frequência de 60 Hz, a portadora deve ser de 2400 Hz. Os parâmetros adotados no processo de modulação deste trabalho são apresentados a seguir:

- Técnica PWM para geração de 5 níveis com oposição de fase;
- Frequência de saída de 60 Hz;
- Índice de modulação variável;
- Frequência da portadora igual a 2400 Hz, com índice de frequência de modulação  $m_f = 40$ ;
- Modulação PWM do tipo *center aligned* (alinhamento central) triangular;
- *Clock* da Portadora = 60 Hz · 50 amostras · 400 pontos = 1,2 MHz;
- Resolução de 833,33 ns (1/1,2 MHz).

Em seguida, foram feitas as aquisições dos sinais de comando para diferentes índices de modulação de amplitude – 0,99, 0,8, 0,6, 0,4 e 0,2 – e diferentes escalas de tempo, apresentadas entre a Figura 70 a Figura 84.

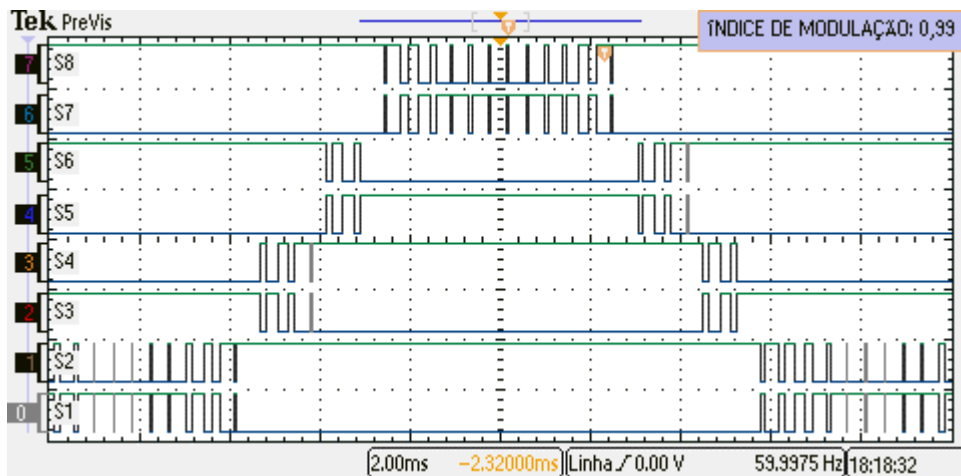
4.6.1 Resultados da Simulação para  $m_a = 0,99$ 

Figura 70: Sinal das portadoras para  $m_a = 0,99$  (escala de tempo de 2 ms).  
Fonte: Autoria própria.

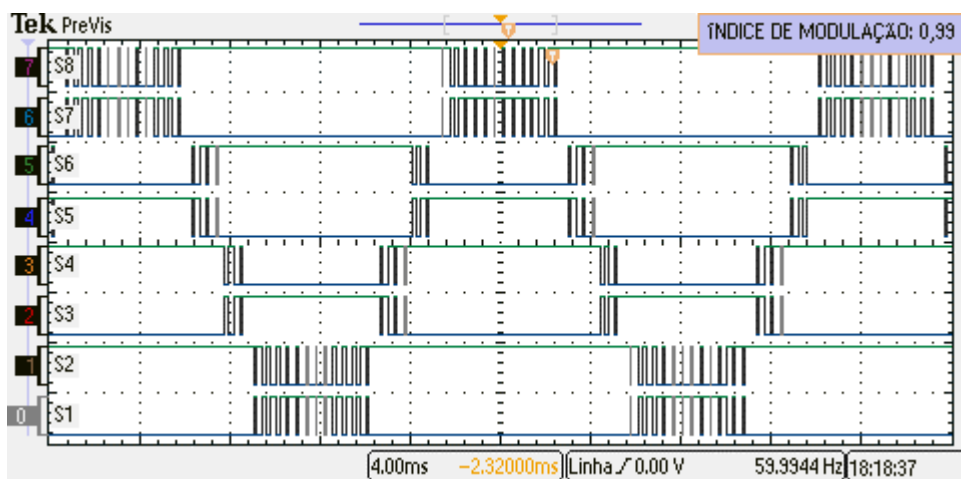


Figura 71: Sinal das portadoras para  $m_a = 0,99$  (escala de tempo de 4 ms).  
Fonte: Autoria própria.

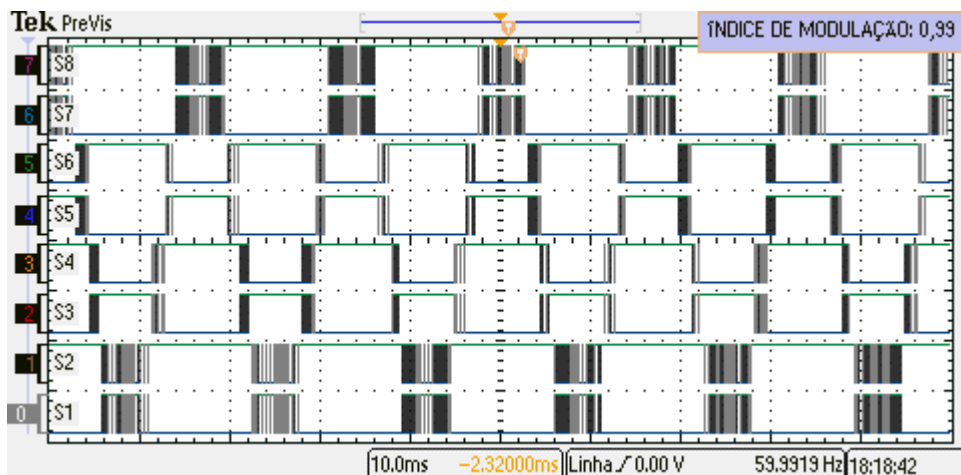


Figura 72: Sinal das portadoras para  $m_a = 0,99$  (escala de tempo de 10 ms).  
Fonte: Autoria própria.



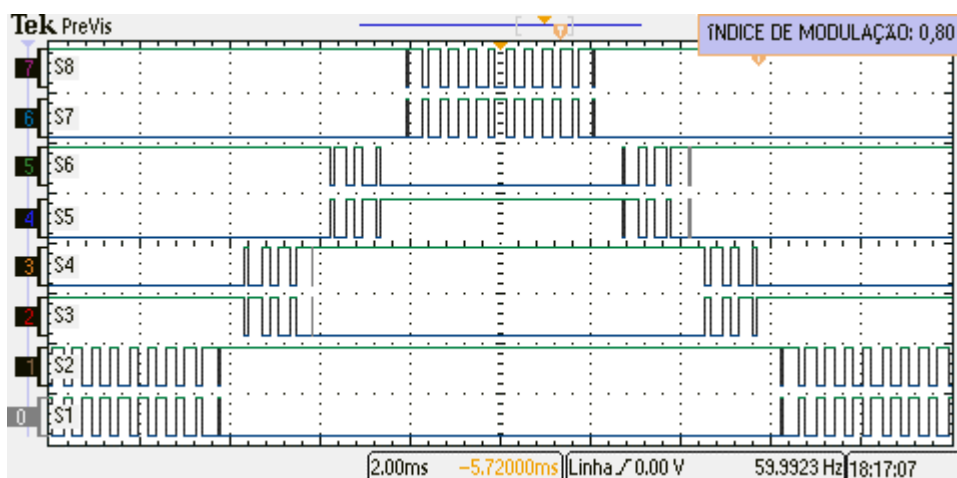
4.6.2 Resultados da Simulação para  $m_a = 0,8$ 

Figura 73: Sinal das portadoras para  $m_a = 0,8$  (escala de tempo de 2 ms).  
Fonte: Autoria própria.

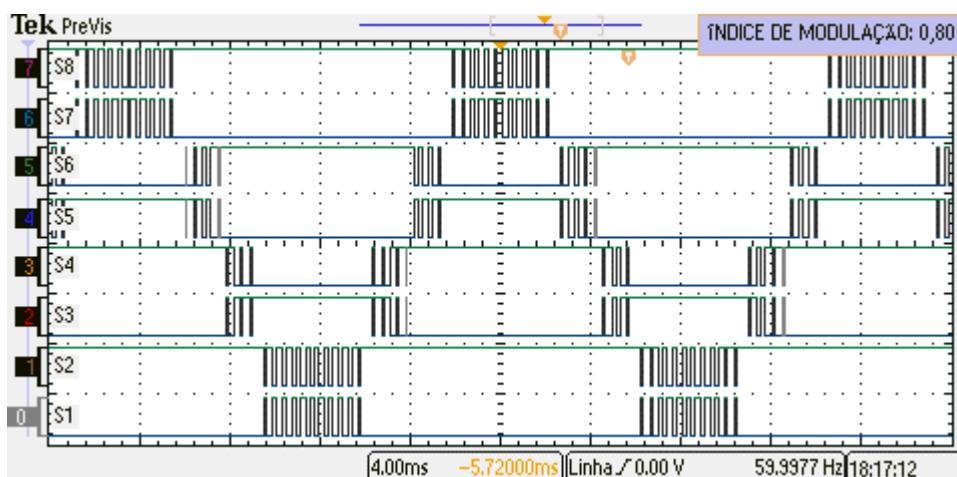


Figura 74: Sinal das portadoras para  $m_a = 0,8$  (escala de tempo de 4 ms).  
Fonte: Autoria própria.

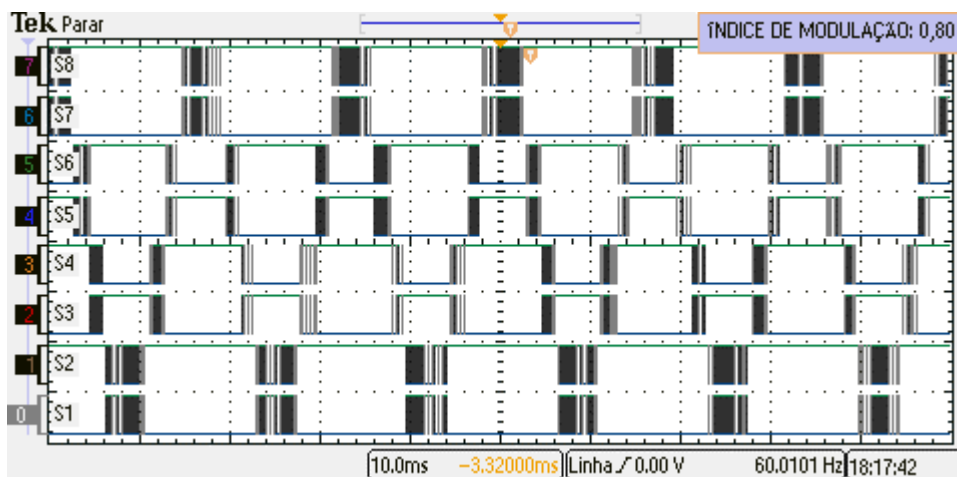


Figura 75: Sinal das portadoras para  $m_a = 0,8$  (escala de tempo de 10 ms).  
Fonte: Autoria própria.

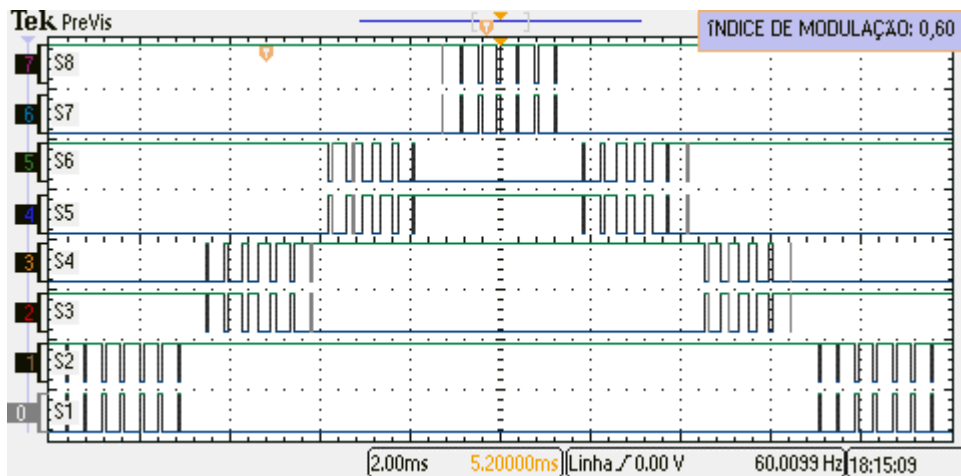
4.6.3 Resultados da Simulação para  $m_a = 0,6$ 

Figura 76: Sinal das portadoras para  $m_a = 0,6$  (escala de tempo de 2 ms).  
Fonte: Autoria própria.

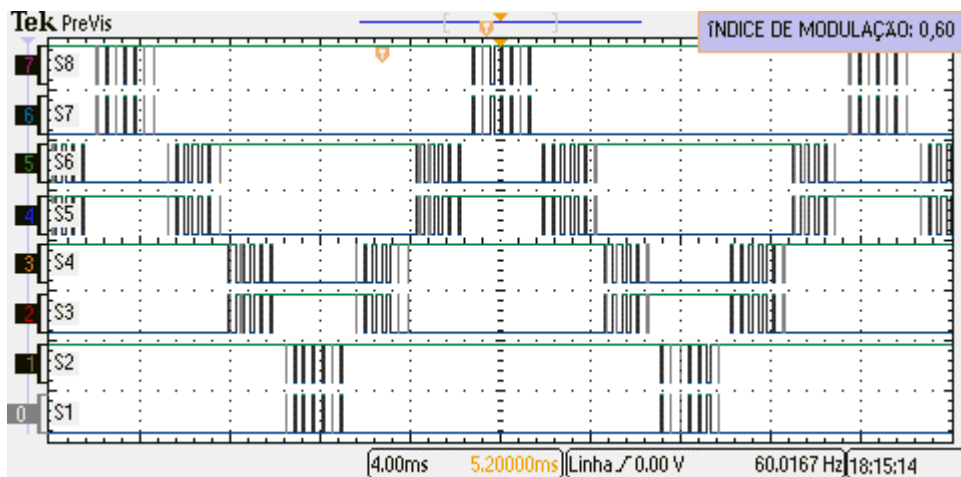


Figura 77: Sinal das portadoras para  $m_a = 0,6$  (escala de tempo de 4 ms).  
Fonte: Autoria própria.

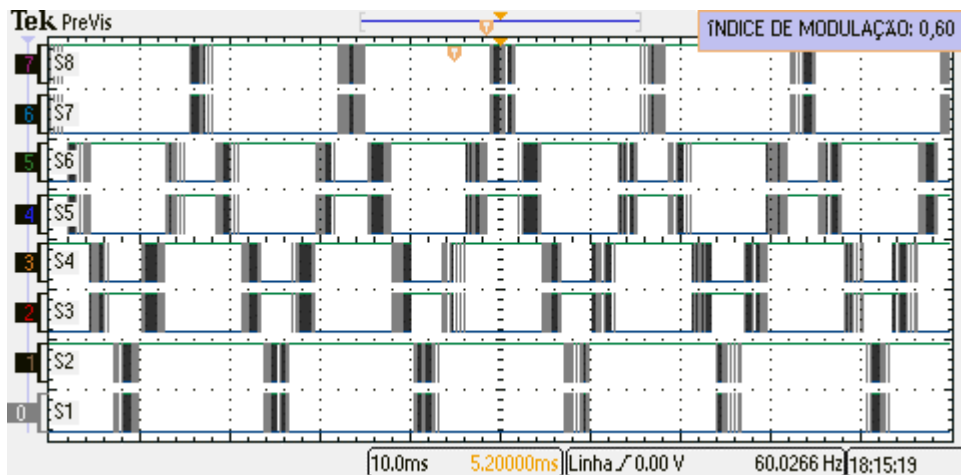


Figura 78: Sinal das portadoras para  $m_a = 0,6$  (escala de tempo de 10 ms).  
Fonte: Autoria própria.

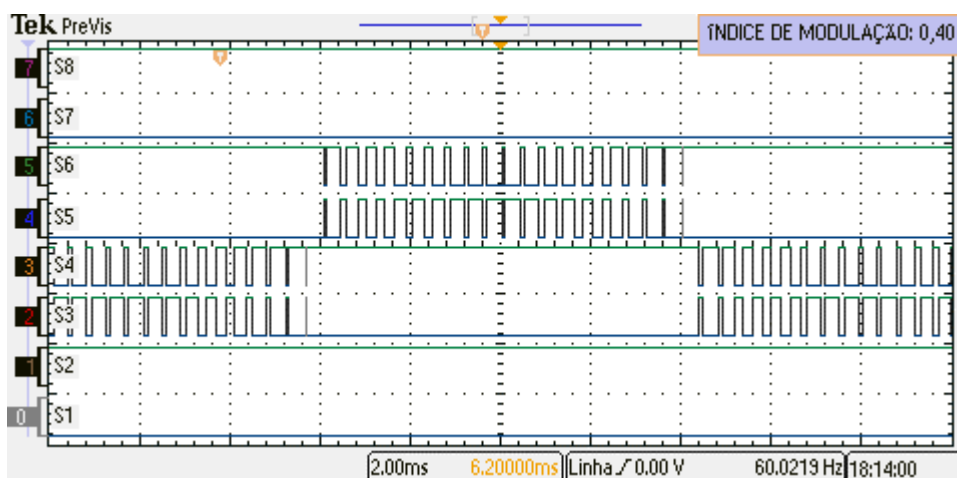
4.6.4 Resultados da Simulação para  $m_a = 0,4$ 

Figura 79: Sinal das portadoras para  $m_a = 0,4$  (escala de tempo de 2 ms).  
Fonte: Autoria própria.

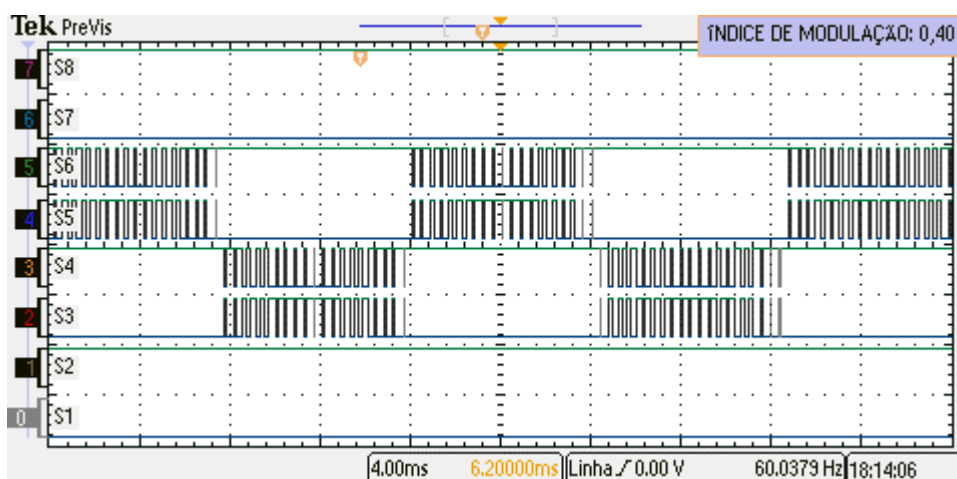


Figura 80: Sinal das portadoras para  $m_a = 0,4$  (escala de tempo de 4 ms).  
Fonte: Autoria própria.

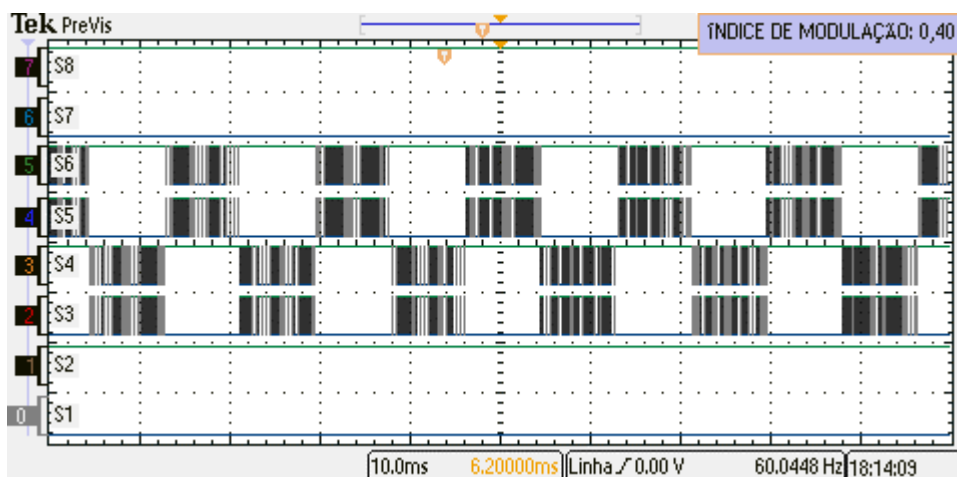


Figura 81: Sinal das portadoras para  $m_a = 0,4$  (escala de tempo de 10 ms).  
Fonte: Autoria própria.

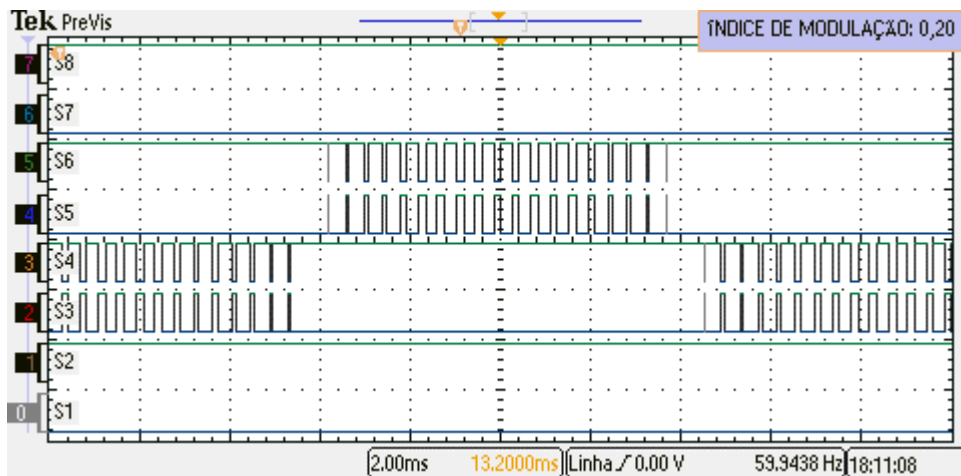
4.6.5 Resultados da Simulação para  $m_a = 0,2$ 

Figura 82: Sinal das portadoras para  $m_a = 0,2$  (escala de tempo de 2 ms).  
Fonte: Autoria própria.

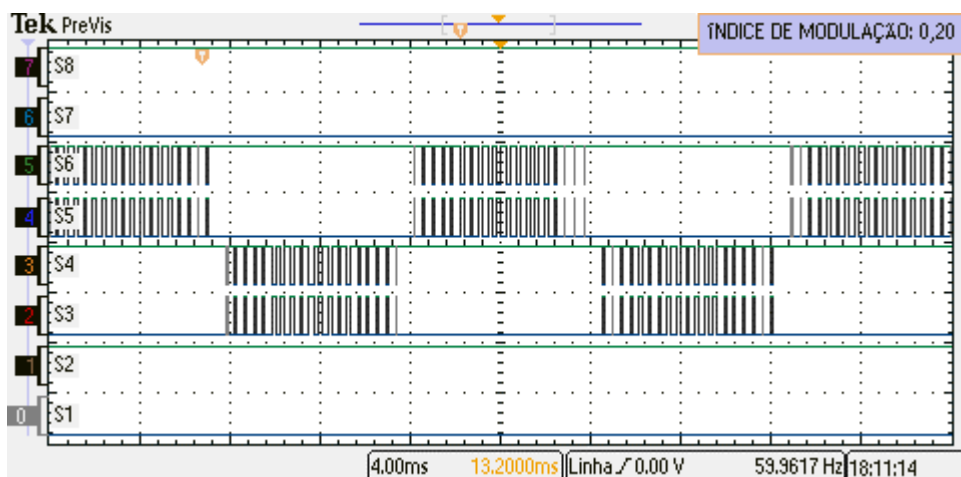


Figura 83: Sinal das portadoras para  $m_a = 0,2$  (escala de tempo de 4 ms).  
Fonte: Autoria própria.

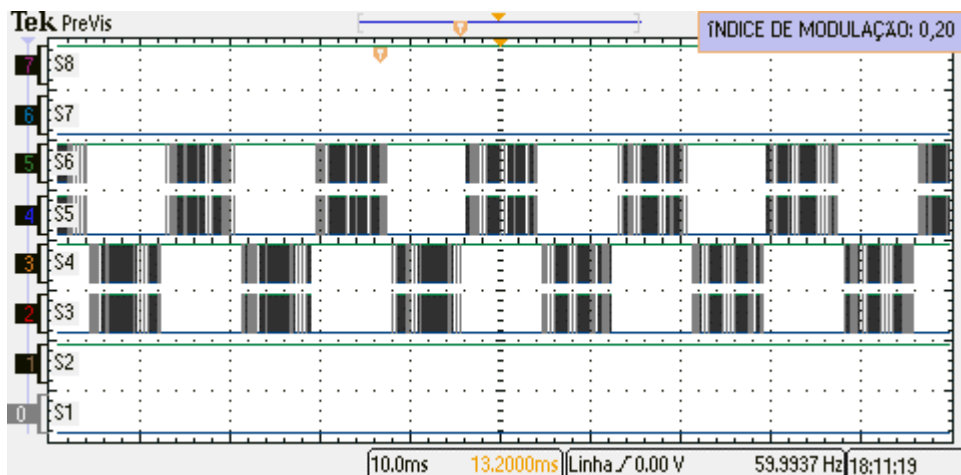


Figura 84: Sinal das portadoras para  $m_a = 0,2$  (escala de tempo de 10 ms).  
Fonte: Autoria própria.

#### 4.7 RESULTADOS EXPERIMENTAIS COM A PLACA DE POTÊNCIA

Após a elaboração e projeto do *layout* foi realizada a confecção da PCB. Na Figura 85 é apresentada a foto da placa com todos os componentes montados. Os MOSFETs foram soldados na parte inferior da placa para permitir a utilização de dissipadores de alumínio, como é possível perceber através da Figura 86.

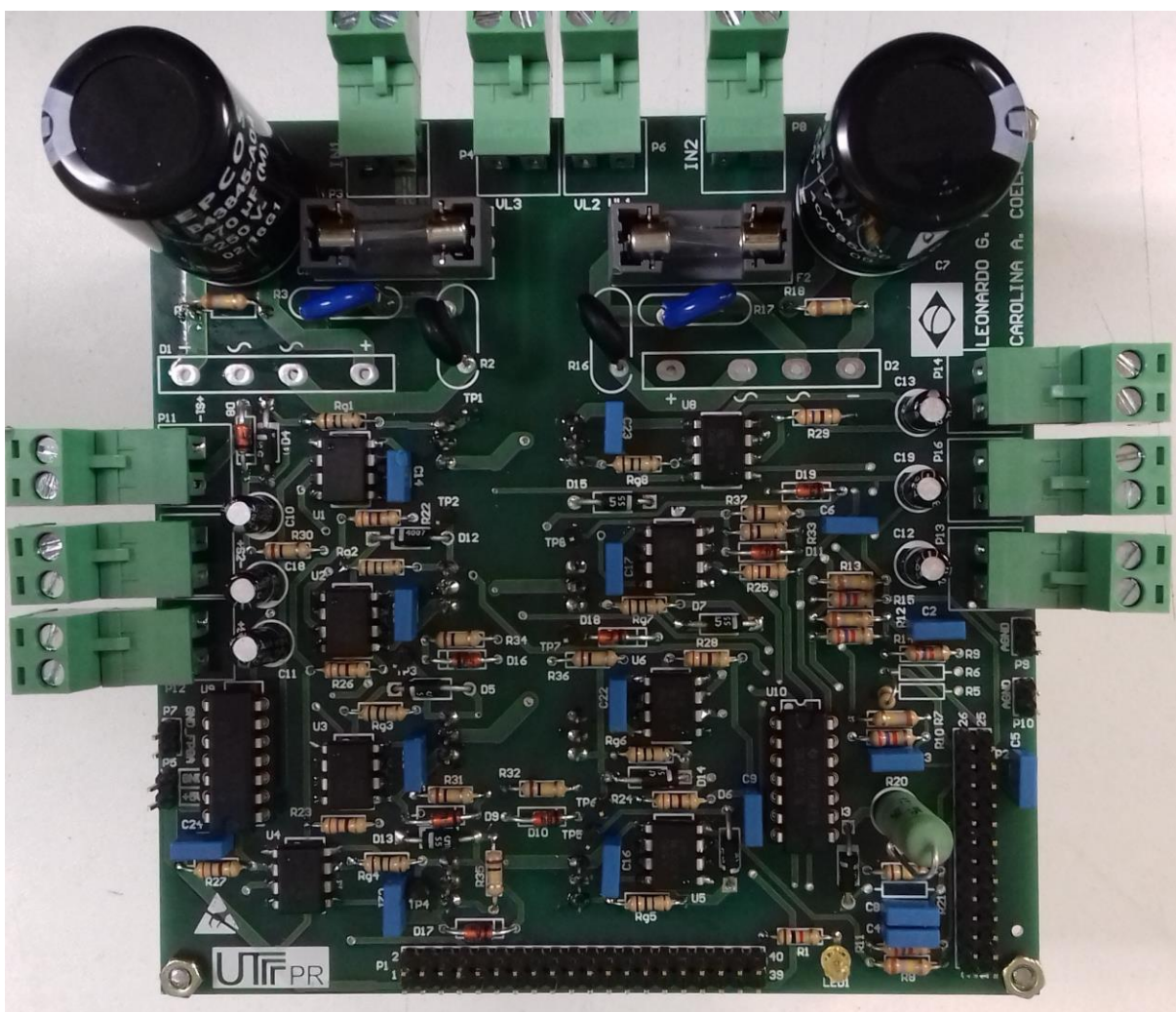
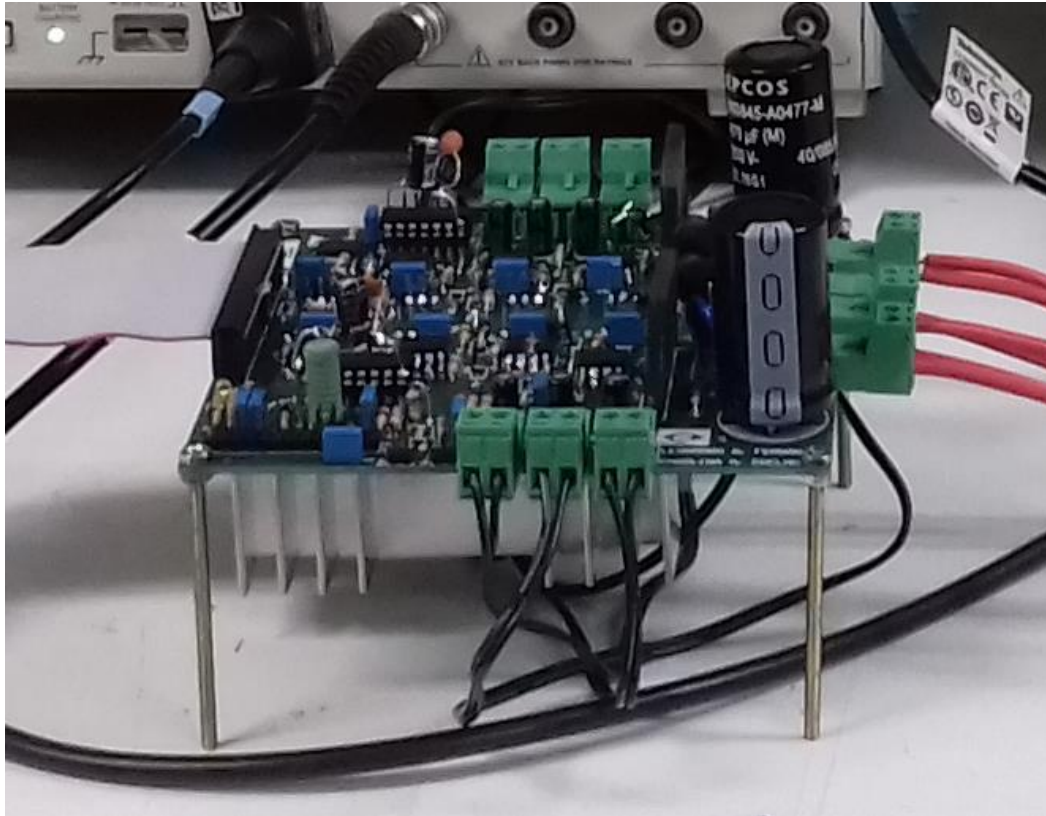


Figura 85: Placa Inversor Multinível com 8 chaves semicondutoras (Visão Superior).  
Fonte: Autoria própria.



**Figura 86: Placa Inversor Multinível com 8 chaves semicondutoras (visão lateral).**  
Fonte: Autoria própria.

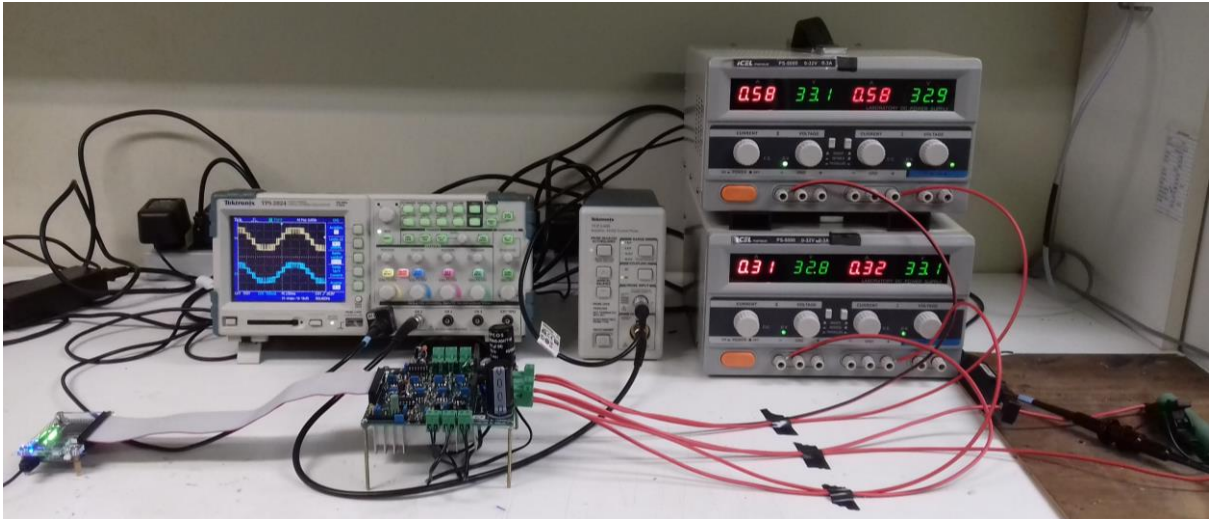
A confecção da placa teve um custo total de R\$ 796,52, sendo estes divididos entre o pagamento do projetista do *layout* da PCB (R\$ 240,00), confecção da placa mais o frete (R\$ 420,00) e na compra dos componentes (R\$ 136,52). Uma parcela considerável dos componentes foi disponibilizada pelos responsáveis do Laboratório de Processamento Eletrônico de Energia – LPEE do Departamento de Eletrotécnica (DAELT) da UTFPR campus Curitiba.

O inversor multinível é formado por 8 MOSFETs (com topologia ponte H em cascata) do tipo IRF640N, alimentados, cada um, por uma célula de *driver* com um sinal de referência de +15 V. O chaveamento desses componentes depende das células e da placa de controle (programação do FPGA, responsável pela modulação do circuito). Portanto, o funcionamento e a qualidade da onda de saída dependem da sintonia entre modulação e chaveamento. Além disso, o inversor é alimentado por duas fontes de tensão isoladas com tensão CC ( $V_{CC}$ ). Esta topologia permite que a tensão de saída, não apenas possua cinco níveis, mas também que seja a soma das tensões aplicadas ( $+2V_{CC}$ ,  $+V_{CC}$ , 0 V (zero),  $-V_{CC}$  e  $-2V_{CC}$ ). Dessa forma, seu comportamento pode ser comparado a um dobrador de tensão.

Nesta seção são apresentados os testes realizados com o inversor multinível implementado a fim de comprovar seu funcionamento com base no que foi apresentado no desenvolvimento deste trabalho. Nessa etapa utilizou-se os seguintes equipamentos:

- Um notebook para a gravação do programa;
- Um *kit* DE0-Nano da Altera;
- Seis fontes comuns CC de 15 V/1 A;
- Duas fontes CC simétricas Icel modelo PS-5000 (0-32V e 0-3A);
- Um osciloscópio digital Tektronix modelo TDS-1001B;
- Um osciloscópio isolado Tektronix modelo THS720A;
- Um osciloscópio com entradas analógicas e digitais Tektronix modelo MSO 2024B;
- Um amplificador CA/CC Tektronix modelo TCPA300 para medição de corrente;
- Quatro cabos banana-banana;
- Um cabo *flat* de 40 vias.

Alguns desses equipamentos são exibidos na Figura 87, na qual observa-se a bancada de testes do LPEE, reservada para execução do projeto.



**Figura 87: Circuito inversor: testes e ensaios.**  
**Fonte: Autoria própria.**

Para a validação do inversor multinível implementado foram feitos os seguintes testes e ensaios:

- Teste a vazio;
- Teste com carga resistiva;
- Ensaio com lâmpadas;
- Teste com carga RLC.

#### 4.7.1 Teste a Vazio Aplicando 60 V

O teste a vazio foi o primeiro passo para a verificação do inversor multinível. Aqui foram verificados o módulo e as formas de onda da tensão de saída, aumentando-se gradativamente a tensões fornecidas pelas fontes CC até o valor máximo de 60 V (considerando as duas saídas das fontes em série). Então, utilizando o osciloscópio, foram feitas aquisições da tensão de saída do inversor para diferentes índices de modulação em diferentes escalas de tempo. Além dessas aquisições, foi realizada a média da tensão de saída – configuração de 128 amostras – para se ter uma noção aproximada da forma de onda filtrada.



#### 4.7.1.1 Resultado da aquisição da tensão de saída para $m_a = 0,99$

Na Figura 88 é apresentada a tensão de saída para  $m_a = 0,99$  em diferentes escalas de tempo. Para melhor visualização, na Figura 88(a), (b) e (c) são mostrados os sinais gerados nas escalas de tempo de 10 ms, 5 ms e 2,5 ms, respectivamente. A média de 128 sinais com escala de tempo de 5 ms e sincronizados com a rede elétrica (60 Hz) é mostrado na Figura 88(d).

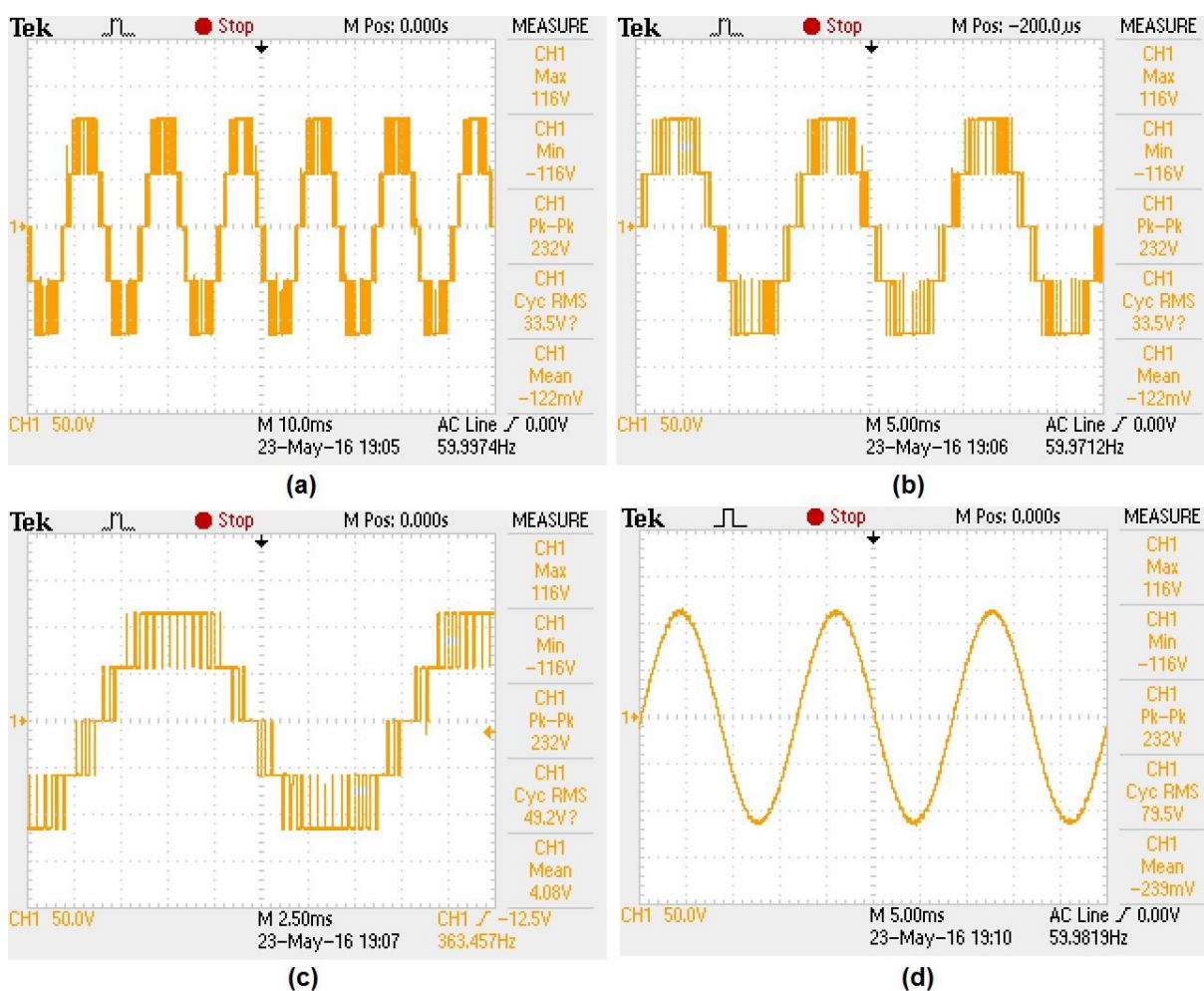


Figura 88: Tensão de saída para  $m_a = 0,99$  em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms. Fonte: Autoria própria.

4.7.1.2 Resultado da aquisição da tensão de saída para  $m_a = 0,8$ 

Na Figura 89 é apresentada a tensão de saída para  $m_a = 0,8$  em diferentes escalas de tempo. Para melhor visualização, na Figura 89(a), (b) e (c) são mostrados os sinais gerados nas escalas de tempo de 10 ms, 5 ms e 2,5 ms, respectivamente. A média de 128 sinais com escala de tempo de 5 ms é mostrado na Figura 89(d).

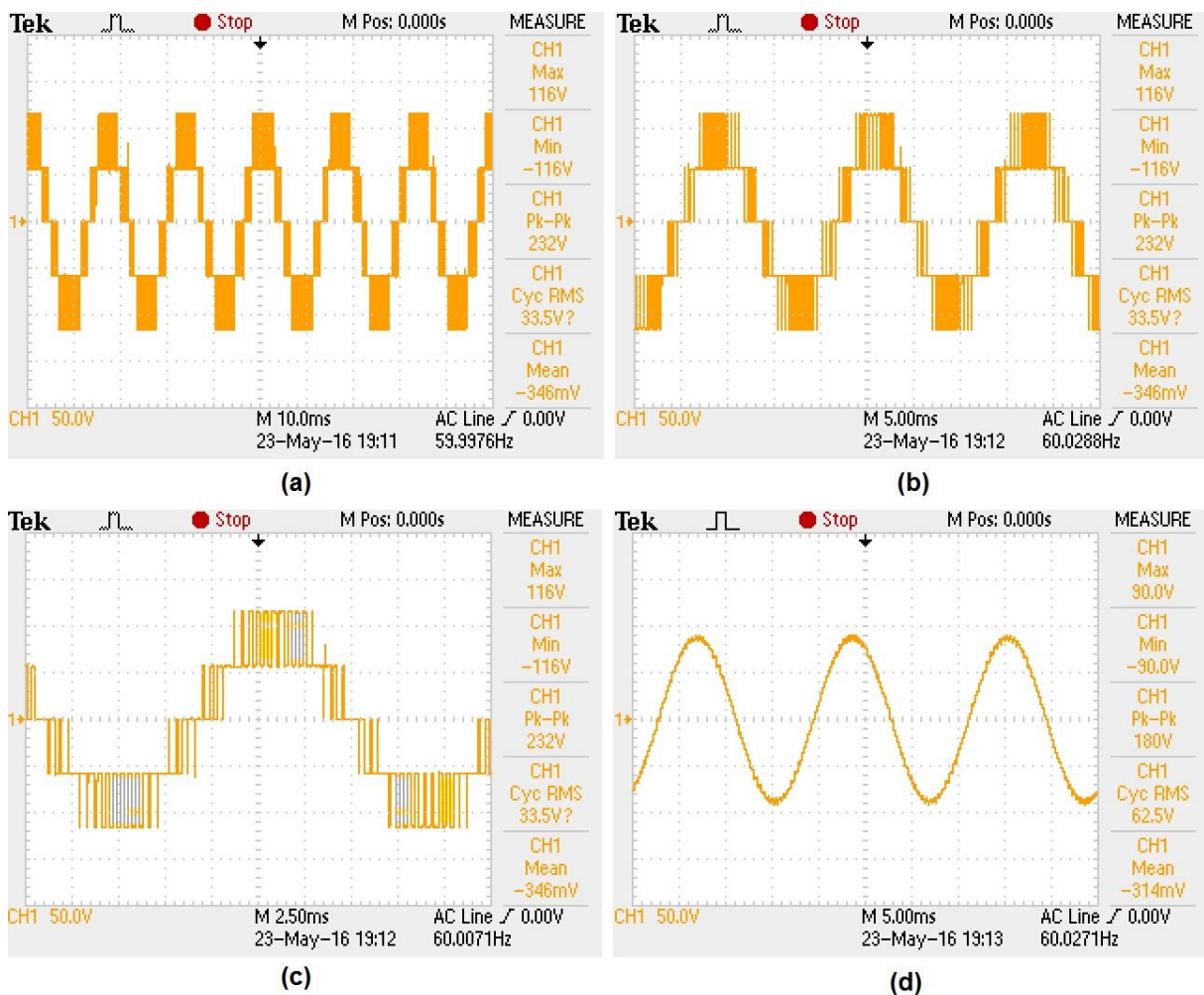


Figura 89: Tensão de saída para  $m_a = 0,8$  em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms. Fonte: Autoria própria.

#### 4.7.1.3 Resultado da aquisição da tensão de saída para $m_a = 0,6$

Na Figura 90 é apresentada a tensão de saída para  $m_a = 0,6$  em diferentes escalas de tempo. Para melhor visualização, na Figura 89(a), (b) e (c) são mostrados os sinais gerados nas escalas de tempo de 10 ms, 5 ms e 2,5 ms, respectivamente. A média de 128 sinais com escala de tempo de 5 ms é mostrado na Figura 90(d).

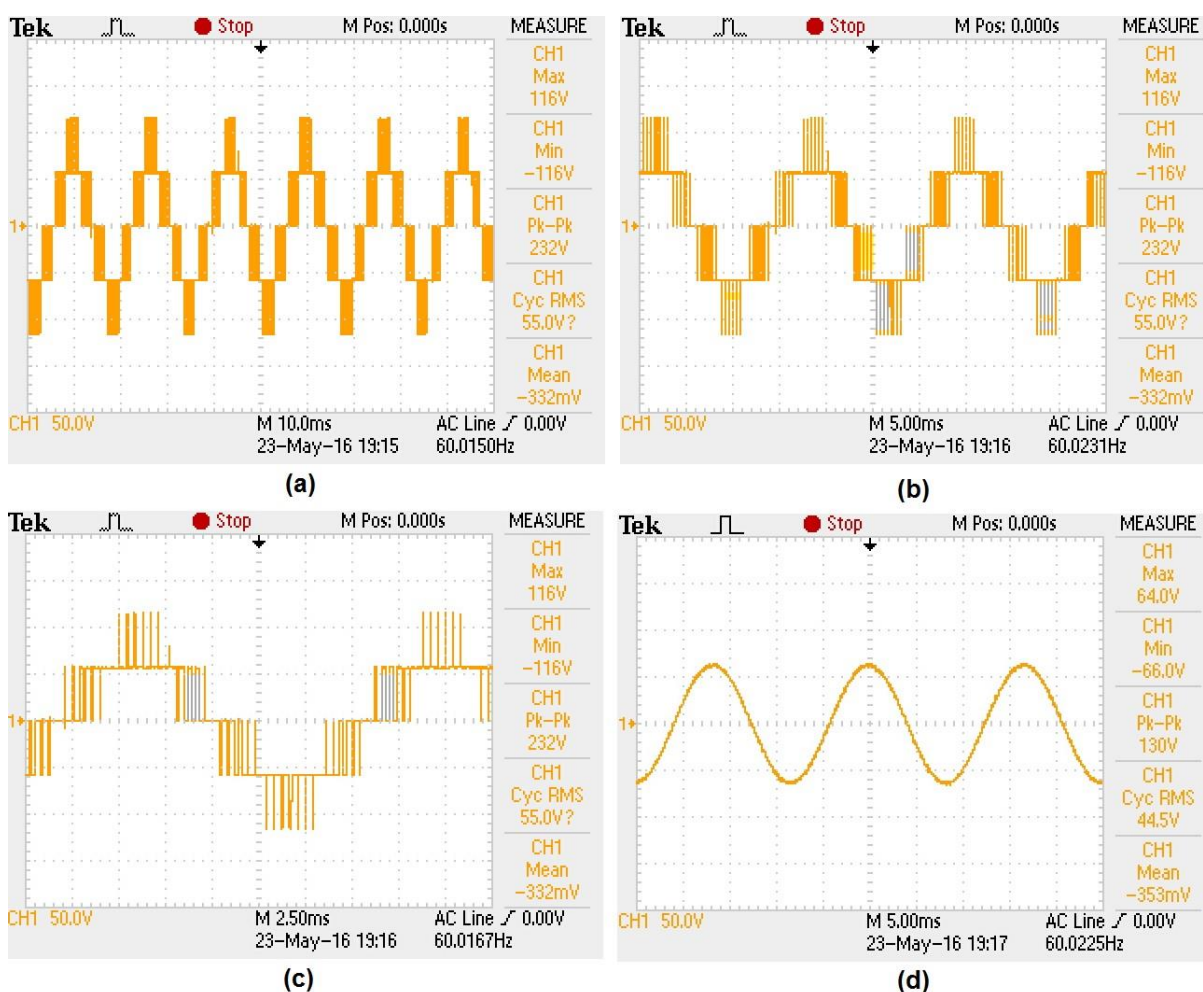


Figura 90: Tensão de saída para  $m_a = 0,6$  em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms. Fonte: Autoria própria.

4.7.1.4 Resultado da aquisição da tensão de saída para  $m_a = 0,4$ 

Na Figura 91 é apresentada a tensão de saída para  $m_a = 0,4$  em diferentes escalas de tempo. Para melhor visualização, na Figura 89(a), (b) e (c) são mostrados os sinais gerados nas escalas de tempo de 10 ms, 5 ms e 2,5 ms, respectivamente. A média de 128 sinais com escala de tempo de 5 ms é mostrado na Figura 91(d).

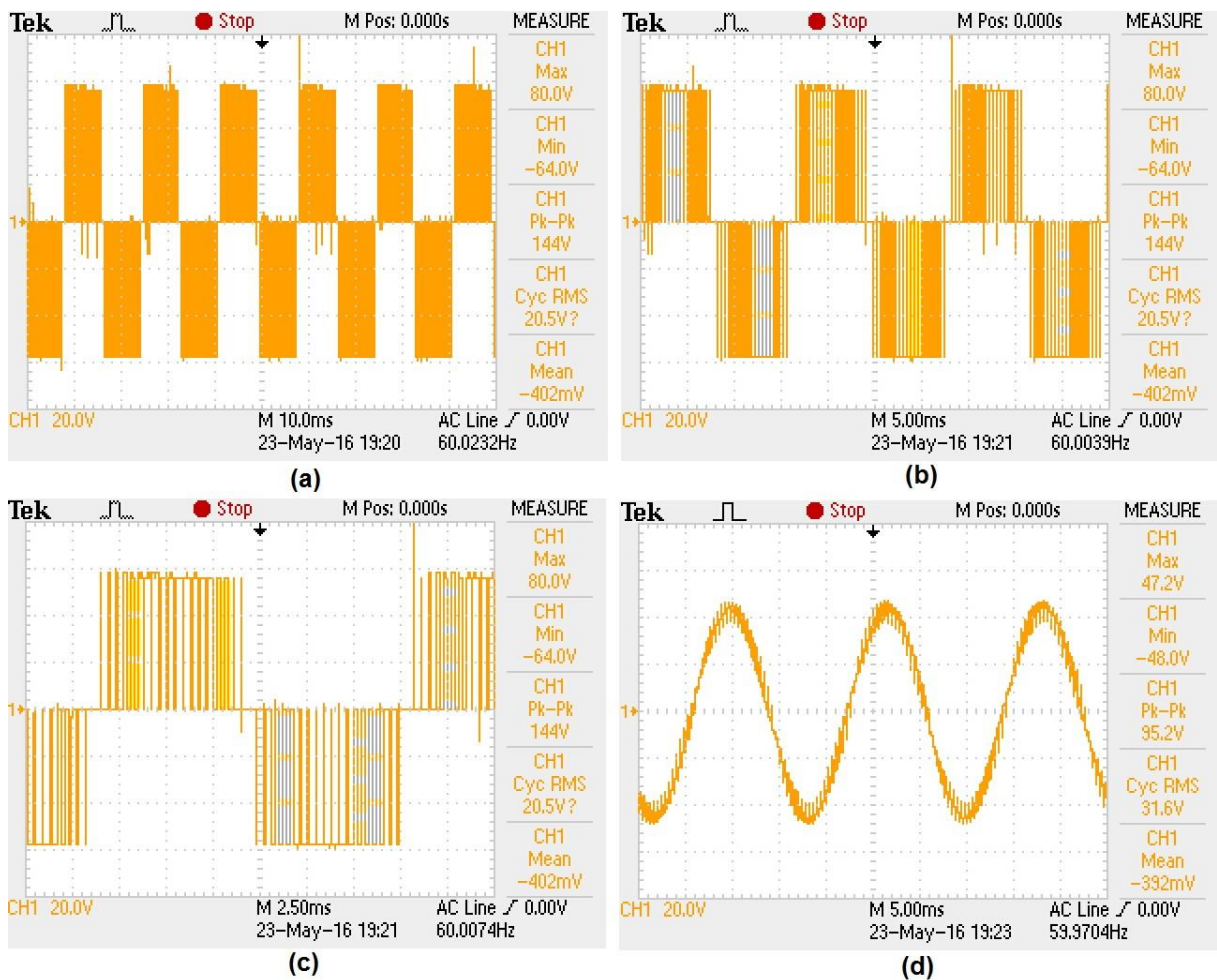


Figura 91: Tensão de saída para  $m_a = 0,4$  em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms. Fonte: Autoria própria.

#### 4.7.1.5 Resultado da aquisição da tensão de saída para $m_a = 0,2$

Na Figura 92 é apresentada a tensão de saída para  $m_a = 0,2$  em diferentes escalas de tempo. Para melhor visualização, na Figura 92 (a), (b) e (c) são mostrados os sinais gerados nas escalas de tempo de 10 ms, 5 ms e 2,5 ms, respectivamente. A média de 128 sinais com escala de tempo de 5 ms é mostrado na Figura 92(d).

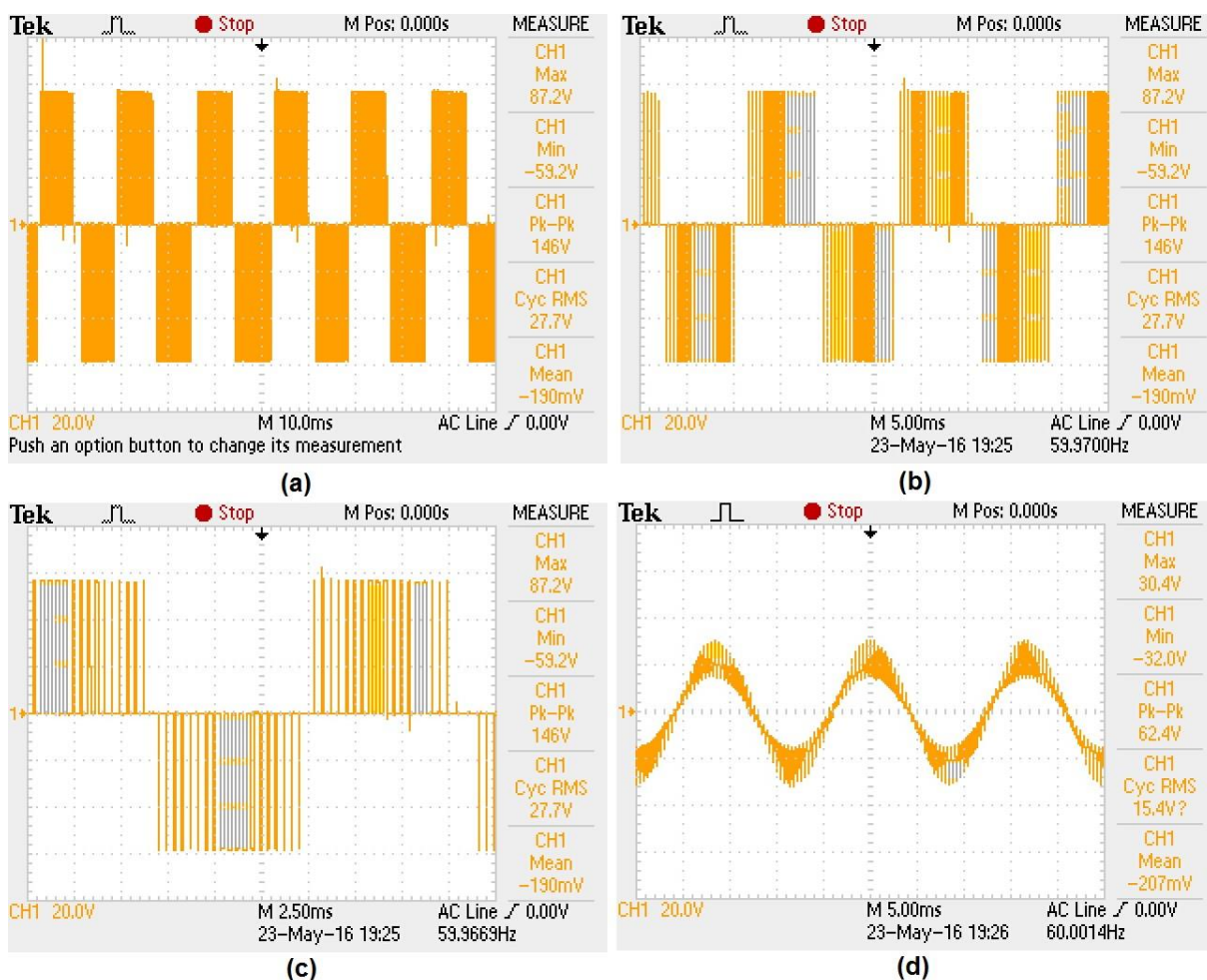


Figura 92: Tensão de saída para  $m_a = 0,2$  em diferentes escalas de tempo. (a) Escala de 10 ms. (b) Escala de 5 ms. (c) Escala de 2,5 ms. (d) 128 médias do sinal de saída na escala de 5 ms. Fonte: Autoria própria.

#### 4.7.2 Teste com Carga Resistiva

Para os testes com carga resistiva foi verificado as formas de onda de tensão e corrente na carga. Com o osciloscópio, também foi possível obter uma estimativa de potência na carga. Para a análise do comportamento do circuito com carga, foram feitos os seguintes testes:

- Resistor de fio fixo radial 220  $\Omega$  ;
- 3 Lâmpadas 220 V / 40 W;
- Reostato com deslocamento longitudinal ajustado para 30  $\Omega$  para ensaio de corrente máxima fornecida pelas fontes.

##### 4.7.2.1 Resistor de fio fixo radial 220 $\Omega$ e lâmpadas

Essa carga resistiva foi escolhida por possuir um valor relativamente alto. Sendo assim, a corrente a qual o circuito foi submetido não apresentou níveis que pudessem ser prejudiciais para a placa.

Na Figura 93 a Figura 94 são mostradas as formas de onda de tensão e corrente na carga para índice de modulação de amplitude de 0,99 nas escalas de tempo de 10 ms e 4 ms, respectivamente. Na Figura 95 é mostrada a mesma configuração da Figura 93, porém com 32 amostras do osciloscópio. Nas Figuras a escala horizontal de tempo foi ajustada para 100  $\mu$ s por divisão. O mesmo procedimento é demonstrado entre a Figura 96 e Figura 98, Figura 99 e Figura 101, Figura 102 e Figura 104, e Figura 105 e Figura 107, para os índices de modulação de amplitude 0,8, 0,6, 0,4 e 0,2, respectivamente.

Considerando as lâmpadas como carga, na Figura 108 são apresentadas as ondas medidas de tensão e corrente, e de potência instantânea calcula pelo osciloscópio para o índice de modulação de amplitude de 0,99, além dos valores médios para 32 amostras (Figura 109).

#### 4.7.2.1.1 Aquisição da tensão e corrente na carga para $m_a = 0,99$ e potência 33 W.

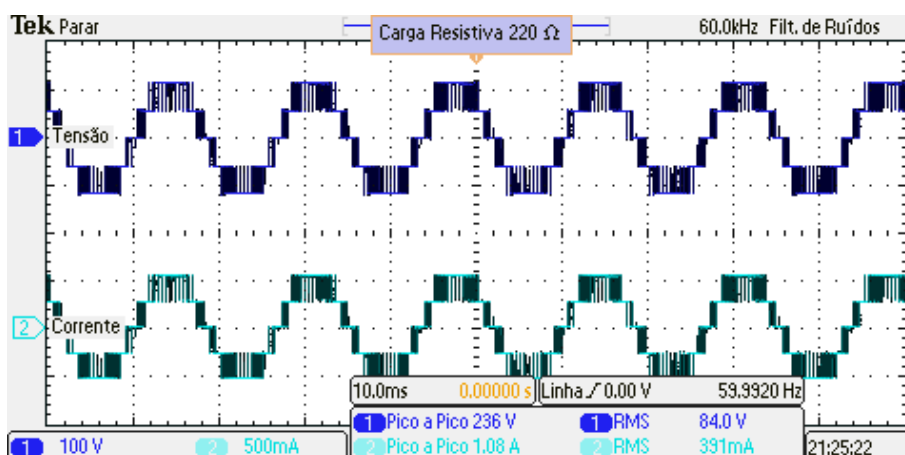


Figura 93: Tensão e corrente na carga resistiva para  $m_a = 0,99$  na escala de tempo de 10 ms.  
Fonte: Autoria própria.

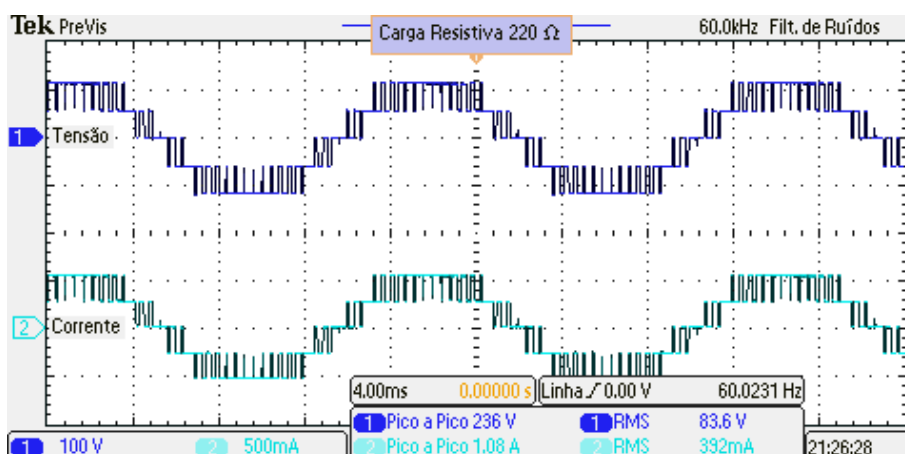


Figura 94: Tensão e corrente na carga resistiva para  $m_a = 0,99$  na escala de tempo de 4 ms.  
Fonte: Autoria própria.

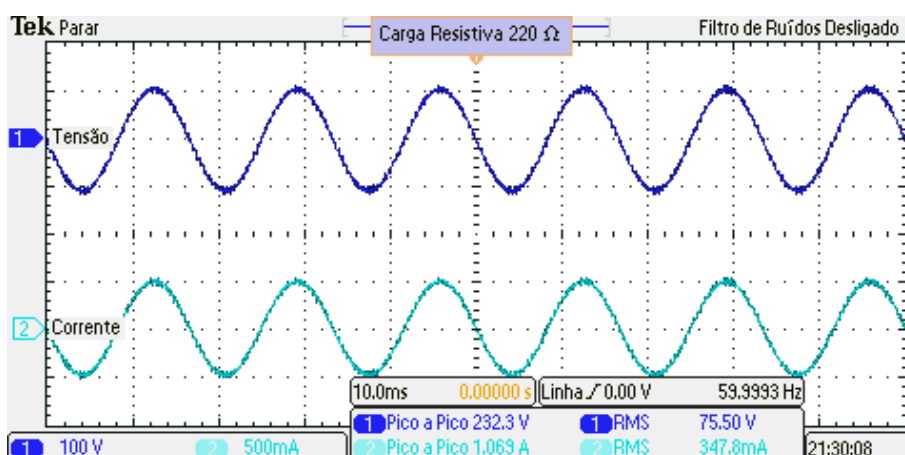


Figura 95: Tensão média e corrente média na carga resistiva  $m_a = 0,99$  com 32 amostras.  
Fonte: Autoria própria.

#### 4.7.2.1.2 Aquisição da tensão e corrente na carga para $m_a = 0,8$ e potência 23 W

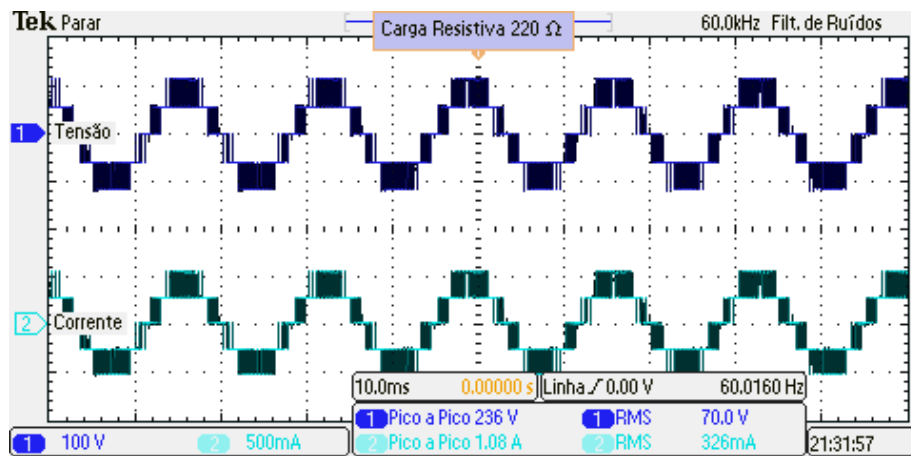


Figura 96: Tensão e corrente na carga resistiva para  $m_a = 0,8$  na escala de tempo de 10 ms.  
Fonte: Autoria própria.

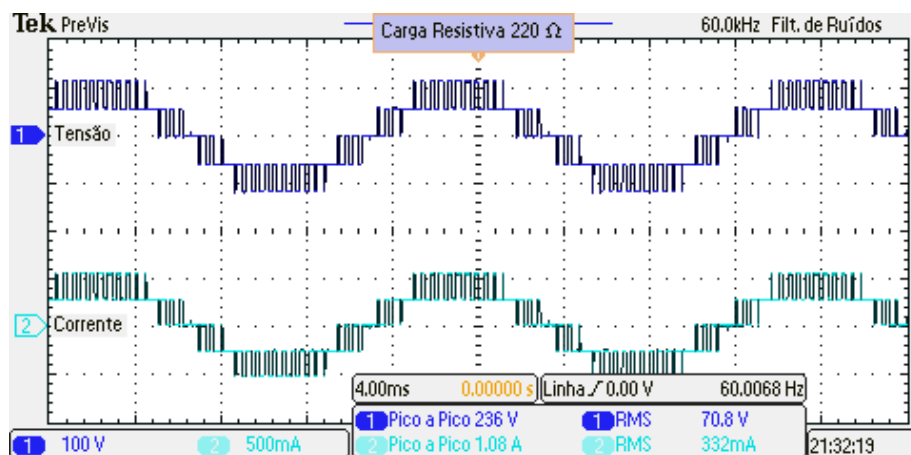


Figura 97: Tensão e corrente na carga resistiva para  $m_a = 0,8$  na escala de tempo de 4 ms.  
Fonte: Autoria própria.

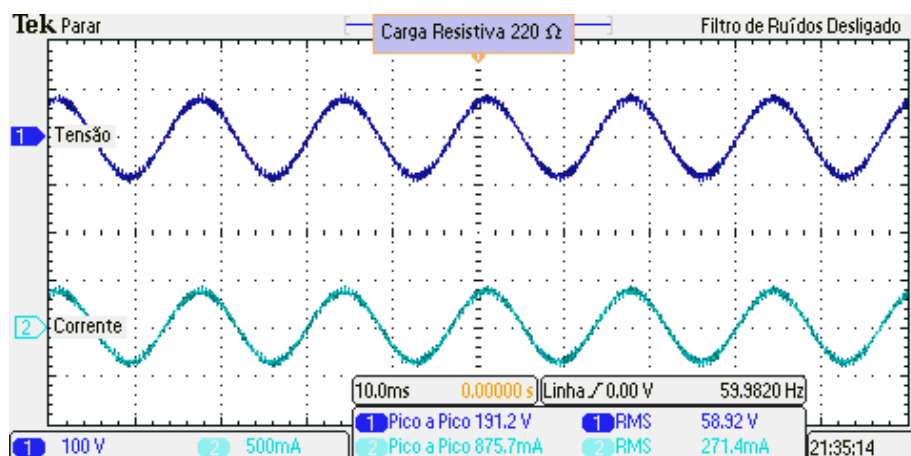


Figura 98: Tensão média e corrente média na carga resistiva para  $m_a = 0,8$  com 32 amostras.  
Fonte: Autoria própria.



#### 4.7.2.1.3 Aquisição da tensão e corrente na carga para $m_a = 0,6$ e potência 13 W

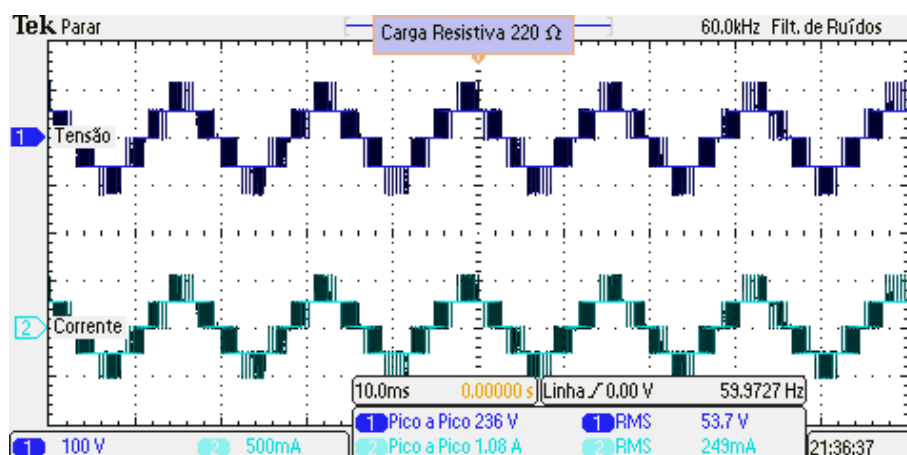


Figura 99: Tensão e corrente na carga resistiva para  $m_a = 0,6$  na escala de tempo de 10 ms.  
Fonte: Autoria própria.

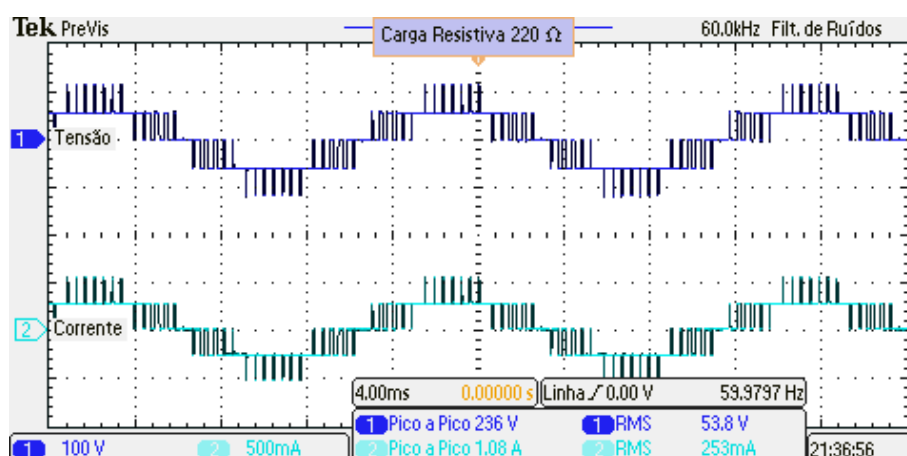


Figura 100: Tensão e corrente na carga resistiva para  $m_a = 0,6$  na escala de tempo de 4 ms.  
Fonte: Autoria própria.

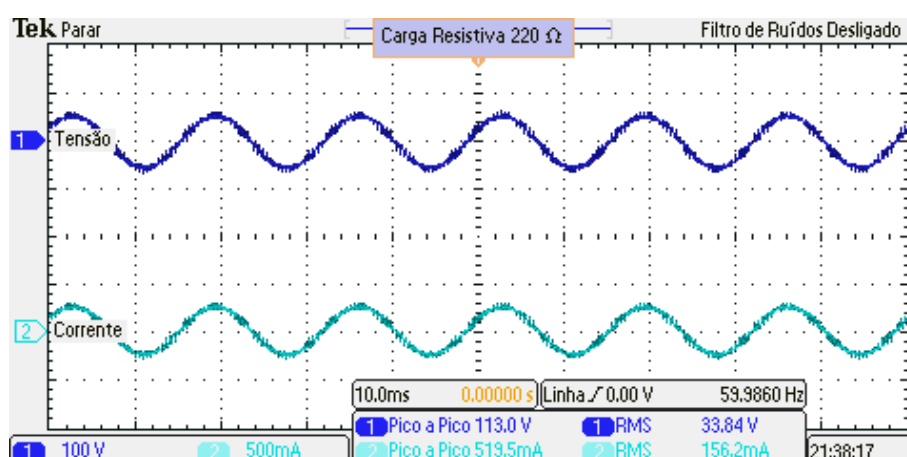


Figura 101: Tensão média e corrente média na carga resistiva para  $m_a = 0,6$  com 32 amostras.  
Fonte: Autoria própria.

#### 4.7.2.1.4 Aquisição da tensão e corrente na carga para $m_a = 0,4$ e potência 8 W

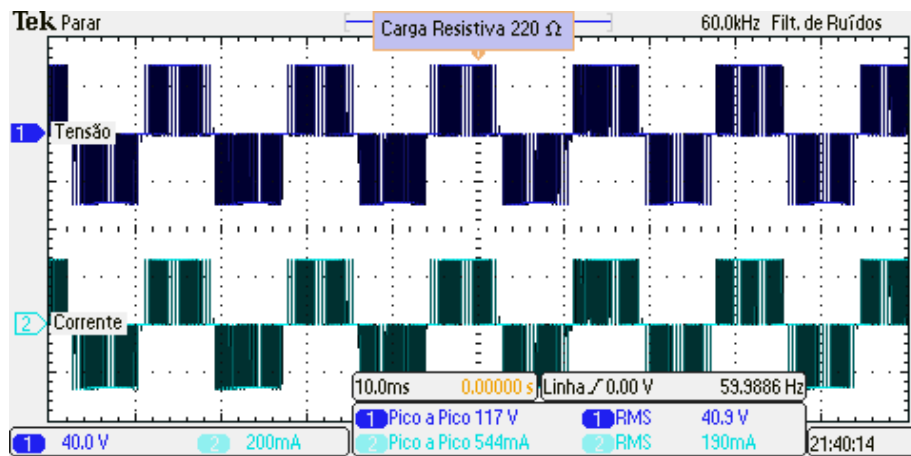


Figura 102: Tensão e corrente na carga resistiva para  $m_a = 0,4$  na escala de tempo de 10 ms.  
Fonte: Autoria própria.

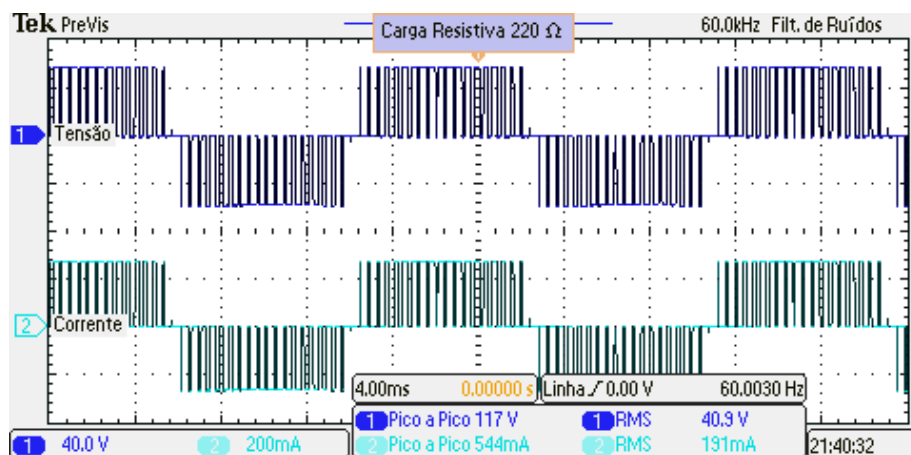


Figura 103: Tensão e corrente na carga resistiva para  $m_a = 0,4$  na escala de tempo de 4 ms.  
Fonte: Autoria própria.

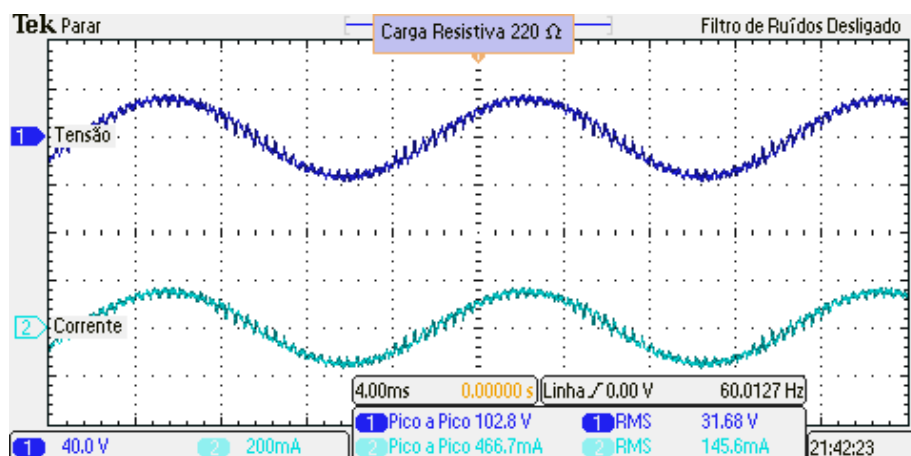


Figura 104: Tensão média e corrente média na carga resistiva para  $m_a = 0,4$  com 32 amostras.  
Fonte: Autoria própria.

#### 4.7.2.1.5 Aquisição da tensão e corrente na carga para $m_a = 0,2$ e potência 4 W

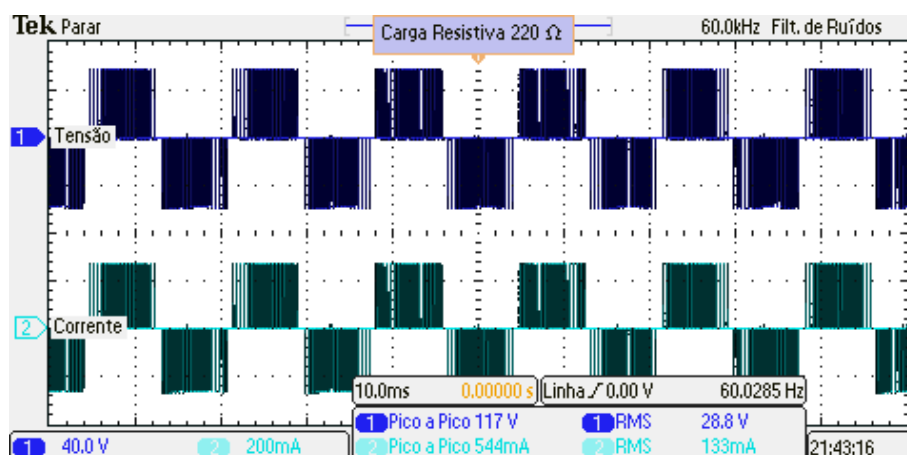


Figura 105: Tensão e corrente na carga resistiva para  $m_a = 0,2$  na escala de tempo de 10 ms.  
Fonte: Autoria própria.

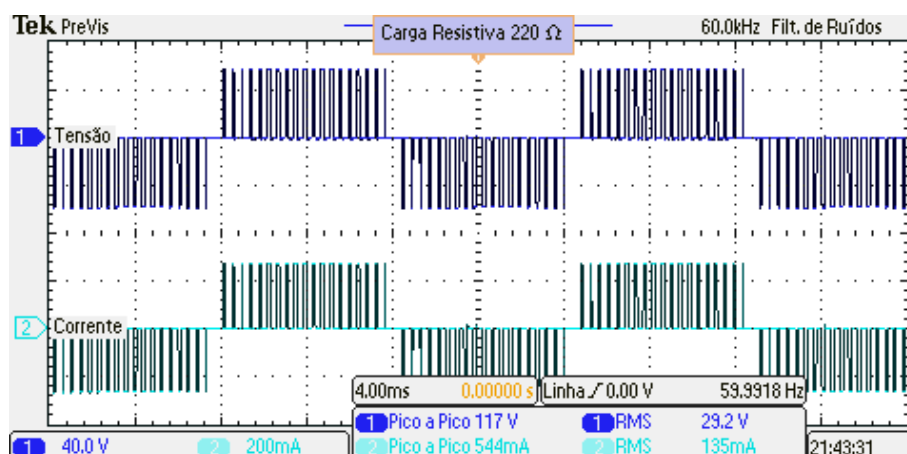


Figura 106: Tensão e corrente na carga resistiva para  $m_a = 0,2$  na escala de tempo de 4 ms.  
Fonte: Autoria própria.

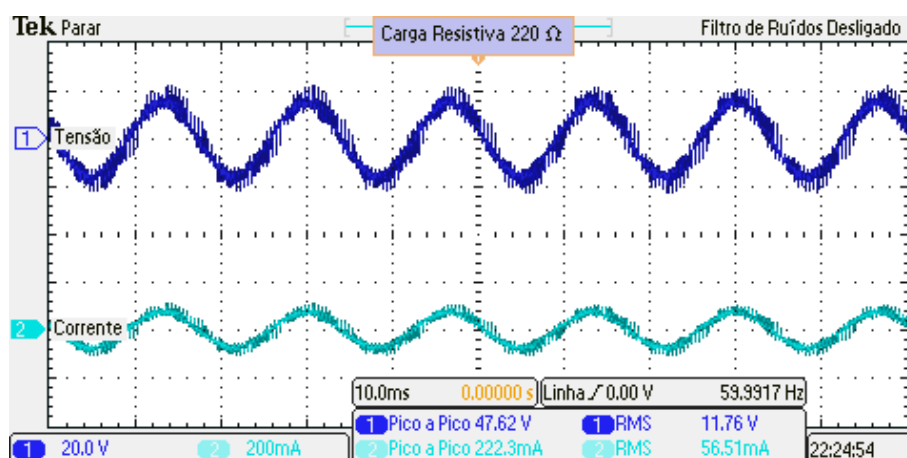


Figura 107: Tensão média e corrente média na carga resistiva para  $m_a = 0,2$  com 32 amostras.  
Fonte: Autoria própria.

#### 4.7.2.1.6 Aquisição da potência (65W), tensão e corrente em três lâmpadas ligadas em paralelo

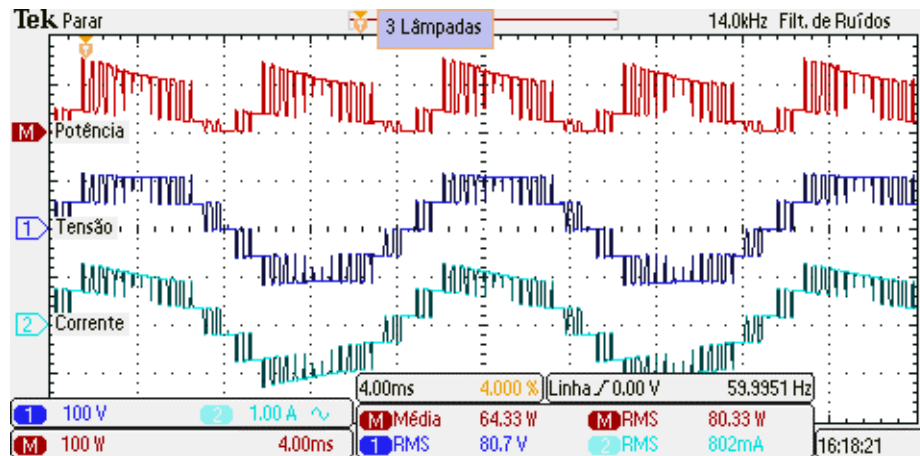


Figura 108: Potência, tensão e corrente na carga para  $m_a = 0,99$ .

Fonte: Autoria própria.

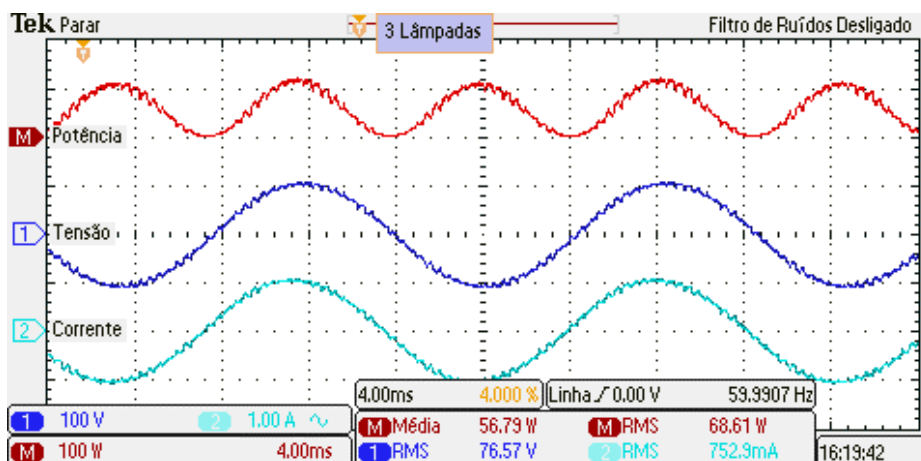


Figura 109: Potência, tensão e corrente média na carga para  $m_a = 0,99$  com 128 amostras.

Fonte: Autoria própria.

#### 4.7.3 Reostato com Deslocamento Longitudinal Ajustado para 30 $\Omega$ e Potência 250 W

Este teste tem o objetivo observar o comportamento do circuito quando uma corrente considerável é aplicada ao mesmo, ou seja, calculou-se o valor de resistência que ao ser submetida a uma tensão eficaz de 90 V retornaria uma corrente de 3 A – máxima corrente disponibilizada pelas fontes utilizadas.

Considerando o reostato ajustado como carga para a resistência de 30  $\Omega$ , na Figura 110 são apresentadas as ondas medidas de tensão e corrente, e de potência

instantânea calcula pelo osciloscópio para o índice de modulação de amplitude 0,99, além dos valores médios de 128 amostras (Figura 111). Nas Figuras, a escala vertical de tensão (canal 1) foi ajustada para 100 V por divisão, enquanto a escala vertical de corrente (canal 2) foi ajustada para 5 A por divisão.

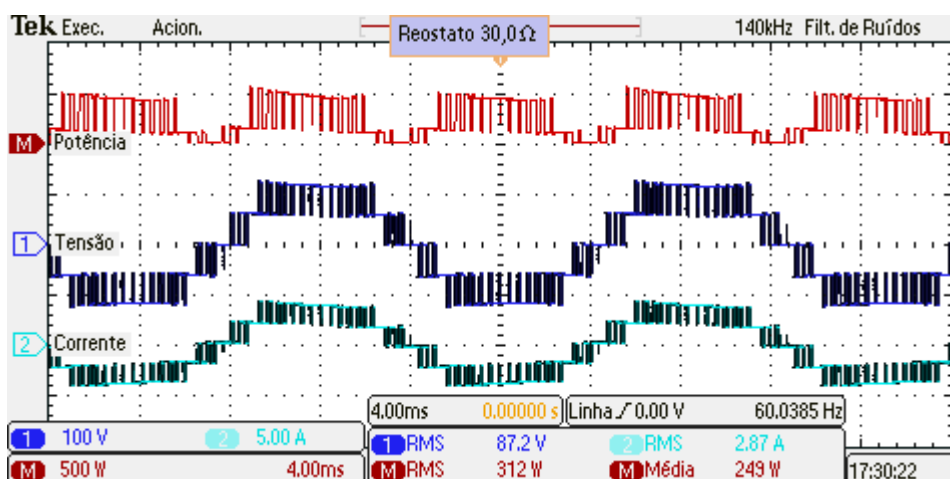


Figura 110: Potência, tensão e corrente no reostato para  $m_a = 0,99$ .  
Fonte: Autoria própria.

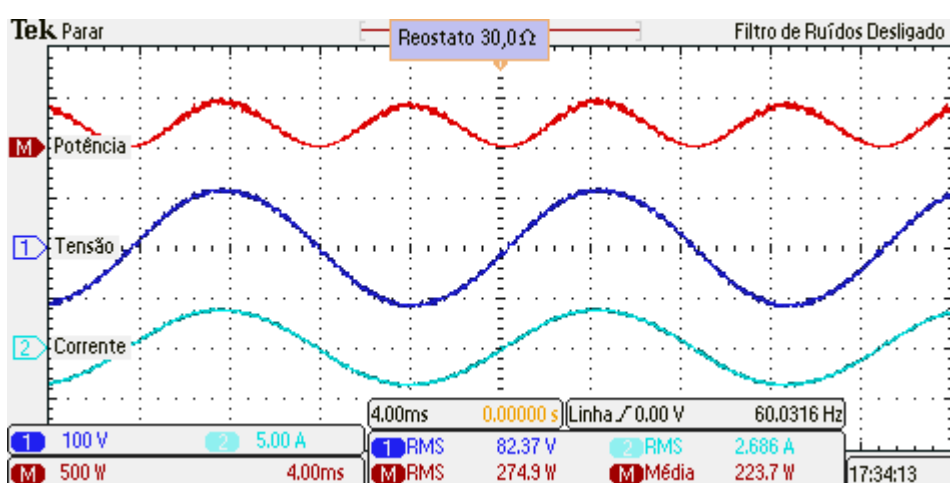
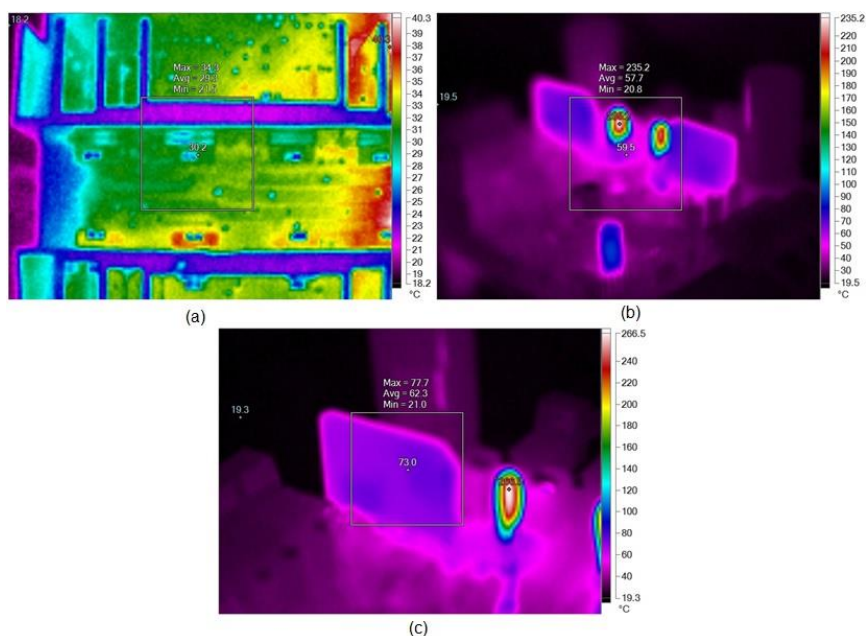


Figura 111: Potência, tensão e corrente média no reostato para  $m_a = 0,99$  com 128 amostras.  
Fonte: Autoria própria.

Também foram feitas aquisições de temperatura dos componentes com uma pistola térmica Fluke, resultando nas imagens da Figura 112.



**Figura 112: Temperatura dos componentes da placa em operação com corrente de 3 A. (a) Chaves semicondutoras próximo de 30°C. (b) NTC com valor máximo de 235,2°C. (c) Ponte retificadora com valor de 73°C.**

Fonte: Autoria própria

#### 4.8 IMPLEMENTAÇÃO DO FILTRO LC PROPOSTO

Essa seção consiste na implementação do filtro que foi proposto na seção 4.4 – Implementação do Filtro de Saída. Os valores de resistência, indutância, e capacitância se mantiveram fiéis aos simulados. Em algumas aquisições os valores de tensão das fontes CC tiveram de ser adaptados para que uma corrente eficaz padrão fosse aplicada nos testes. Conforme o estudo, foi estabelecido que o valor da corrente eficaz seria o mais próximo de 120 mA para todas as validações.

O projeto completo do indutor que foi utilizado encontra-se no Apêndice – C.

##### 4.8.1 Teste Sem Filtro para $m_a = 0,99$

Na Figura 113 são apresentados os sinais de tensão e corrente sem o filtro de saída que serviram como base para as análises da THD com  $m_a = 0,99$ . Na Figura 114 é mostrada a THD para o índice de modulação de amplitude 0,99 sem filtro com indicação da frequência dos harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.

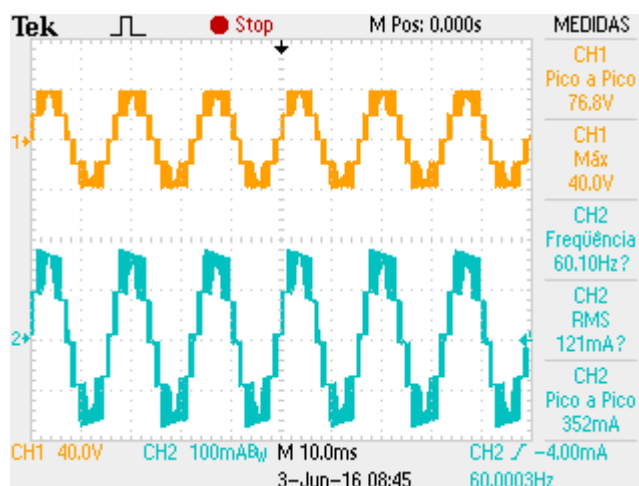


Figura 113: Sinais de tensão e corrente sem filtro de saída que serviram de base para análise da THD ( $m_a = 0,99$ ).

Fonte: Autoria própria.

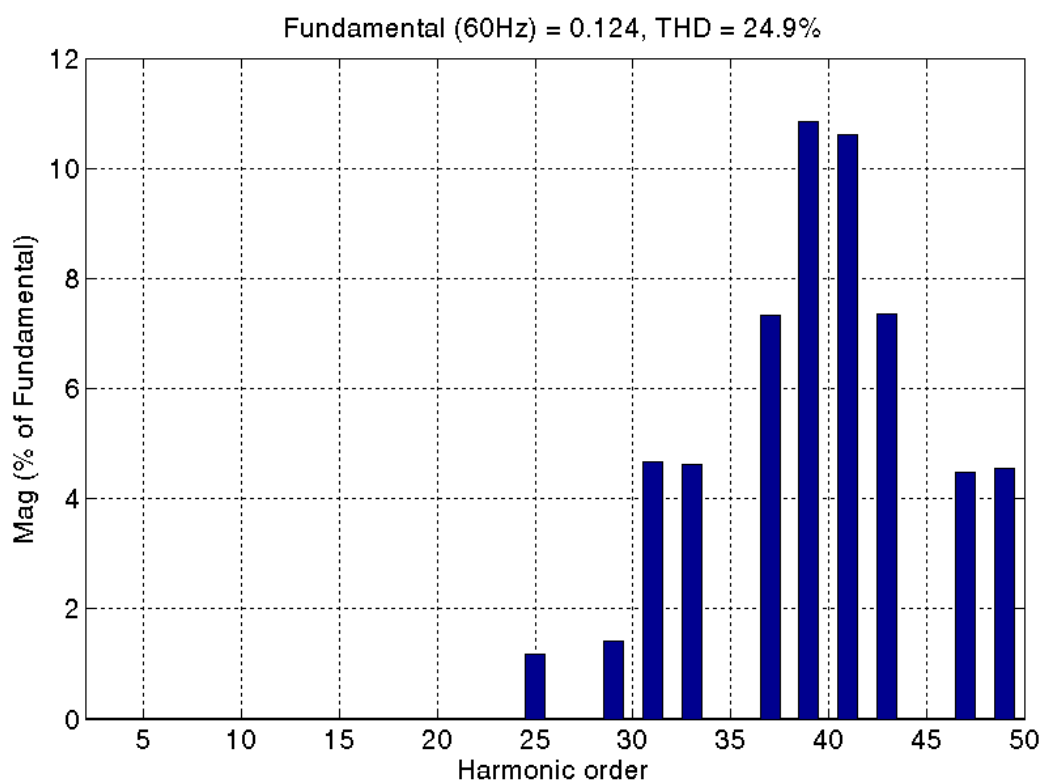


Figura 114: THD para  $m_a = 0,99$  sem filtro para harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.  
Fonte: Autoria própria.

#### 4.8.2 Teste Com Filtro LC para $m_a = 0,99$

Na Figura 115 são apresentados os sinais de tensão e corrente com filtro LC que serviram como base para as análises da THD ( $m_a = 0,99$ ). Na Figura 116 é

mostrada a THD para o índice de modulação de amplitude 0,99 com filtro LC e indicação da frequência de harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.

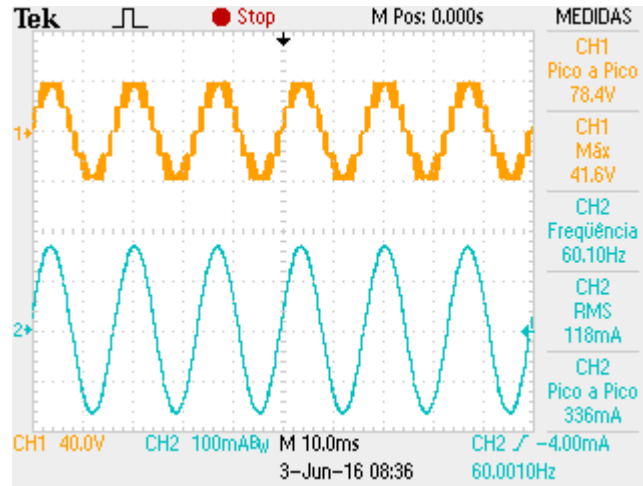


Figura 115: Sinais de tensão e corrente com filtro LC para análise da THD ( $m_a = 0,99$ ).  
Fonte: Autoria própria.

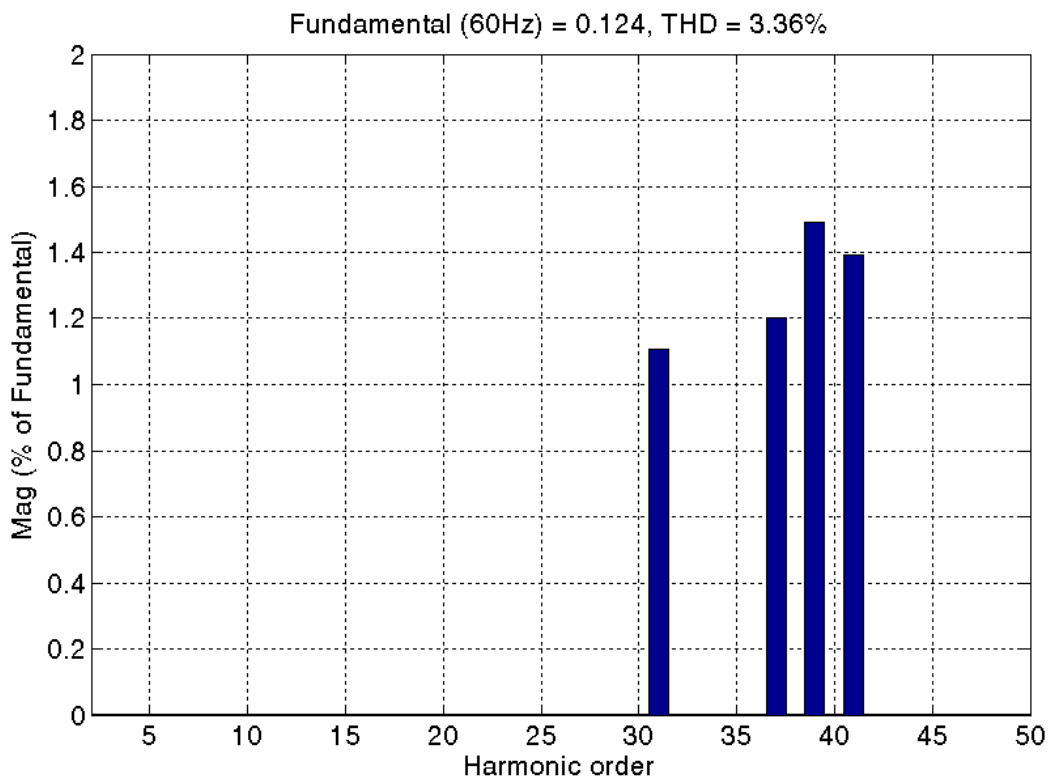


Figura 116: THD para  $m_a = 0,99$  com filtro LC para harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.  
Fonte: Autoria própria.



### 4.8.3 Teste Sem Filtro para $m_a = 0,4$

Na Figura 117 são apresentados os sinais de tensão e corrente sem o filtro de saída que serviram como base para as análises da THD com  $m_a = 0,4$ . Na Figura 118 é mostrada a THD sem filtro com indicação da frequência de harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.

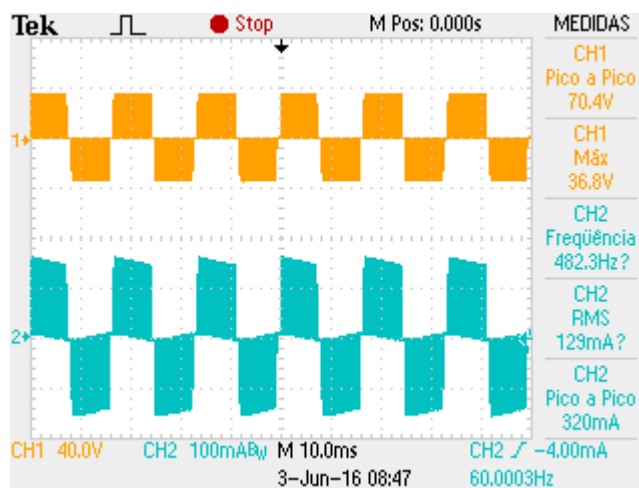


Figura 117: Sinais de tensão e corrente sem filtro de saída que serviram de base para análise da THD ( $m_a = 0,4$ ).  
Fonte: Autoria própria.

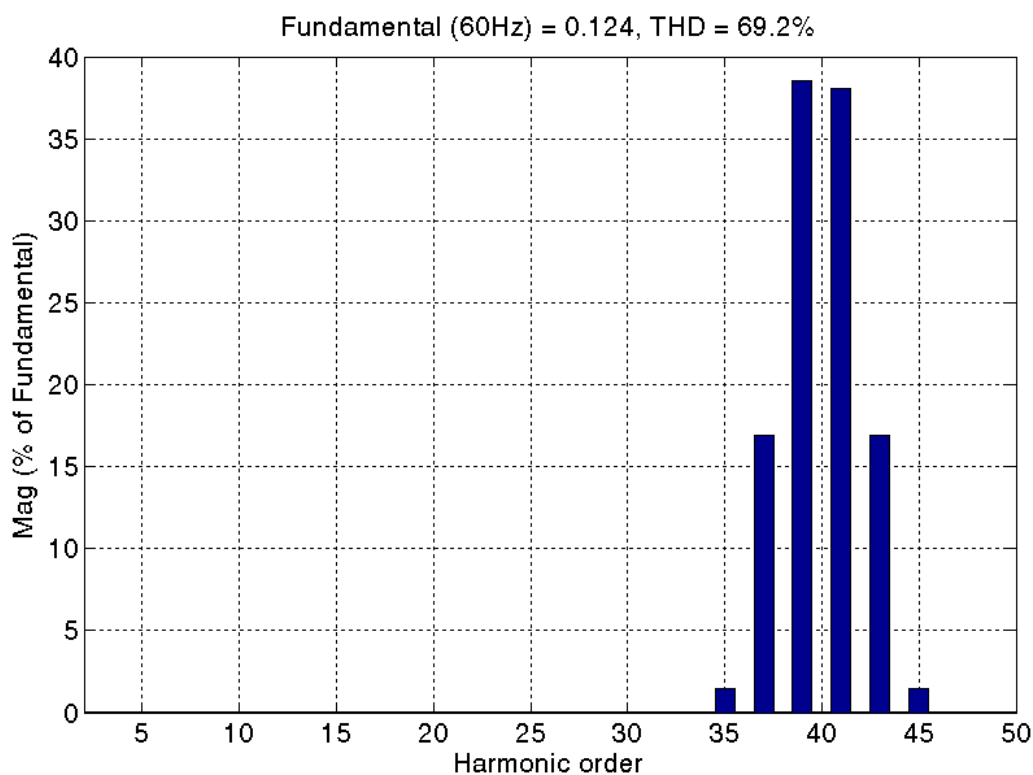


Figura 118: THD para  $m_a = 0,4$  sem filtro para harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.  
Fonte: Autoria própria.

4.8.4 Teste Com Filtro LC para  $m_a = 0,4$ 

Na Figura 119 são apresentados os sinais de tensão e corrente com filtro LC que serviram como base para as análises da THD ( $m_a = 0,4$ ). Na Figura 120 é mostrada a THD para o índice de modulação de amplitude 0,99 com filtro LC e indicação da frequência de harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.

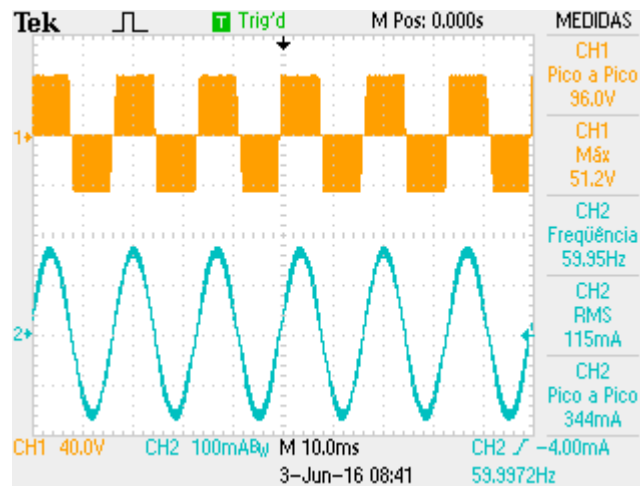


Figura 119: Sinais de tensão e corrente com filtro LC para análise da THD ( $m_a = 0,4$ ).  
Fonte: Autoria própria.

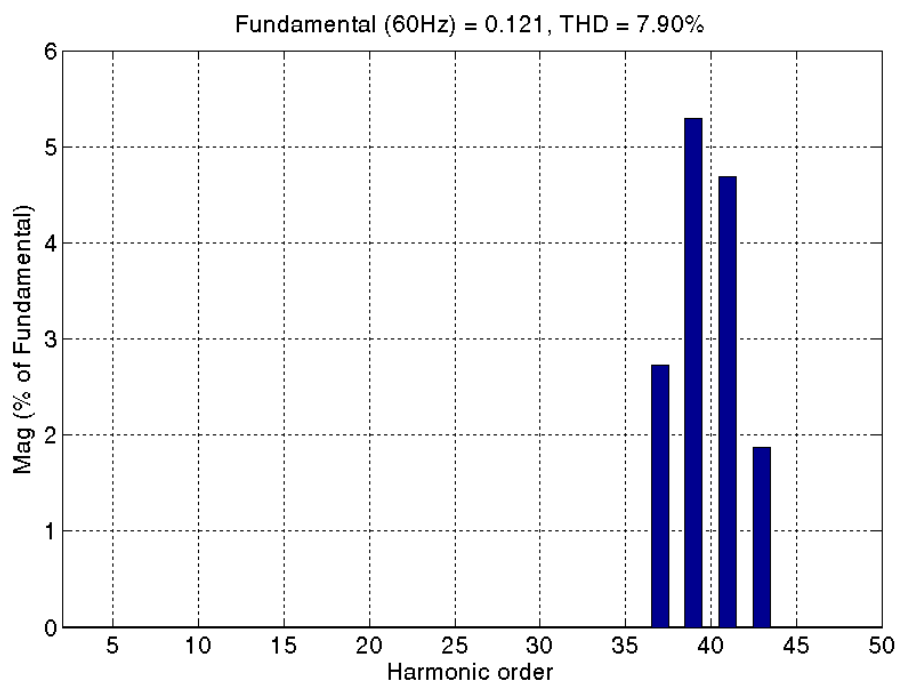


Figura 120: THD para  $m_a = 0,4$  com filtro LC para harmônicos da 2.<sup>a</sup> até a 50.<sup>a</sup> ordem.  
Fonte: Autoria própria.

#### 4.9 ANÁLISE DE RENDIMENTO

Nesta seção é demonstrada a análise de potência da entrada de ambas as fontes que alimentam o inversor, bem como a potência de saída do mesmo. Nos testes cada fonte foi configurada para fornecer 60 V e ajustou-se o reostato para uma resistência de 150  $\Omega$ . Na Figura 121 e Figura 122 são apresentadas as formas de ondas de entrada provenientes das duas fontes de alimentação com indicação de tensão e corrente fornecidas, além do cálculo da potência instantânea realizado pelo osciloscópio. Na Figura 123 são apresentados os formatos das ondas de tensão e corrente de saída do inversor, além da potência entregue à carga.

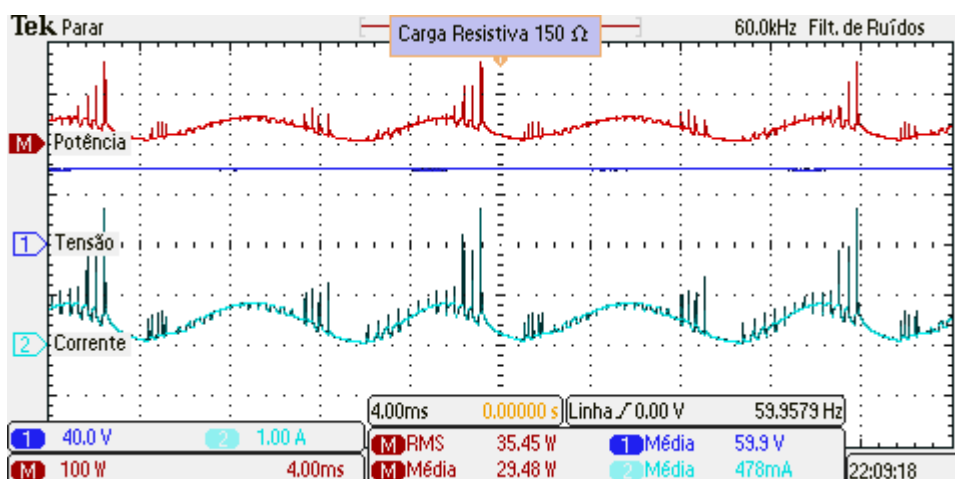


Figura 121: Potência, tensão e corrente provenientes da primeira fonte de alimentação.  
Fonte: Autoria própria.

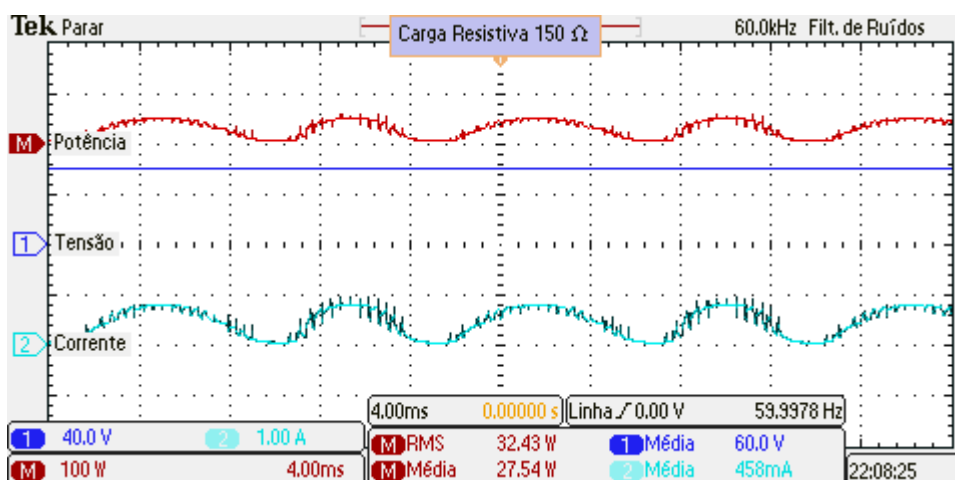


Figura 122: Potência, tensão e corrente provenientes da segunda fonte de alimentação.  
Fonte: Autoria própria.

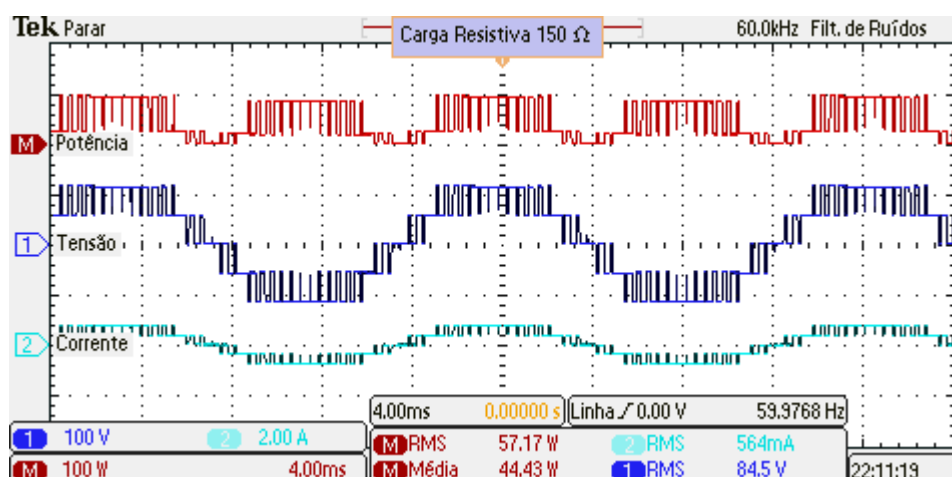


Figura 123: Potência, tensão e corrente fornecidas para carga na saída do inversor.  
Fonte: Autoria própria.

Para que os testes de rendimento fossem realizados da maneira adequada utilizou-se um multímetro da Tektronix modelo DMM916 True-RMS. O procedimento do teste se baseou em utilizar a função *Average* (média) do multímetro para que as aquisições fossem coletadas após um minuto transcorrido, garantindo assim a estabilização do valor. Um exemplo dos parâmetros coletados para que o cálculo do rendimento seja feito é apresentado na Tabela 13.

**Tabela 13: Parâmetros medidos no ensaio de rendimento**

Parâmetro	Valor	Unidade
Resistência da carga	60,13	$\Omega$
Tensão eficaz sobre a carga	83,85	V
Tensão média na fonte CC 1	59,93	V
Tensão média na fonte CC 2	59,78	V
Corrente eficaz através da carga	1,380	A
Corrente média através da fonte CC 1	0,993	A
Corrente média através da fonte CC 2	1,064	A

Fonte: Autoria própria.

Já na Tabela 14 são apresentados os valores das potências envolvidas e o rendimento do circuito, os valores encontrados são baseados nos dados da Tabela 13. Pode-se utilizar a tensão e corrente eficazes na saída para calcular a potência ativa na carga, pois esta é puramente resistiva.

Tabela 14: Potência e rendimento calculados

Parâmetro	Valor	Unidade
Potência ativa na saída	115,71	W
Potência ativa na fonte CC 1	59,51	W
Potência ativa na fonte CC 2	63,60	W
Potência total ativa na entrada	123,11	W
Rendimento	0,9399	
Perdas totais	7,4	W

Fonte: Autoria própria.

As perdas totais calculadas se devem as perdas por comutação e, principalmente, por condução, já que a frequência de chaveamento do circuito é relativamente baixa (2,4 kHz).

Na Figura 124 é mostrada a curva de rendimento em função da potência de saída. A curva foi levantada utilizando a tensão máxima fornecida pelas fontes CC (65 V).

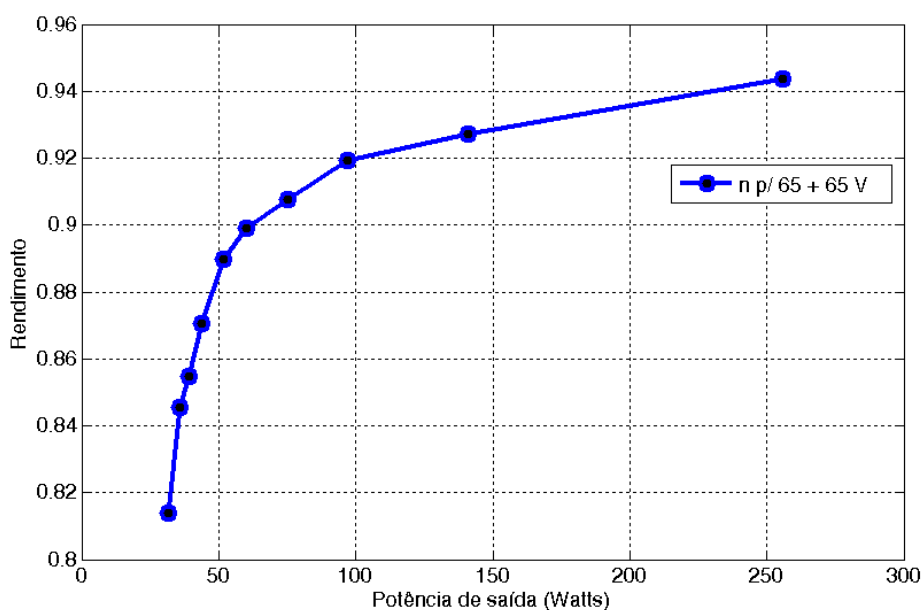


Figura 124: Resultado do rendimento do sistema completo com variação da potência de saída (carga linear resistiva) em função da tensão de entrada.

Fonte: Autoria própria.

O levantamento do rendimento apenas levou em consideração as perdas no inversor, não levando em consideração as perdas em cada um dos *drivers*.

## 5 DISCUSSÃO DOS RESULTADOS

Na fase inicial deste projeto foram feitas as simulações do inversor proposto no Simulink a fim de construir uma base de conhecimento para comparação dos resultados e definição dos parâmetros (escolha da carga). Estas simulações também comprovam os resultados obtidos por Rech (2005) e por Pereira (2008). Com isso, pôde-se elaborar uma estratégia para os testes e ensaios com protótipo de inversor multinível.

O funcionamento da programação foi verificado através da simulação no ModelSim (Figura 65 e Figura 67) e no osciloscópio. Uma ponteira digital com oito canais foi utilizada para observação dos oito sinais de PWM, e obteve-se o gráfico para cada índice de modulação (Figura 71, Figura 74, Figura 77, Figura 80 e Figura 83). A metodologia adotada já havia sido apresentada e utilizada por diversos autores (KHOMFOI & TOLBERT, 2007), (MEIRELES & MARTINS, 2011) e (FONT, NASCIMENTO & VIGLUS, 2012).

O teste em circuito aberto, seção 4.7.1, aplicando 60 V de tensão disponível por cada fonte CC, tinha como objetivo verificar o funcionamento do circuito observando a forma de onda de tensão da saída do inversor, além do funcionamento das chaves de modulação implementados na programação do FPGA.

Dessa forma, comprovou-se que o sinal de saída estava de acordo com as simulações feitas no Simulink e no ModelSim, onde aplicando tensão  $V_{cc}$  (60V) no circuito através de duas fontes CC isoladas, obtém-se na saída do inversor uma tensão alternada com amplitude de até  $2V_{cc}$  (240 V pico-a-pico) para cinco níveis (Figura 88, Figura 89 e Figura 90) e  $V_{cc}$  (120 V pico-a-pico) para três níveis (Figura 91 e Figura 92).

Durante o teste em malha aberta percebeu-se a presença de interferência no circuito quando a tensão de entrada era maior que 20 V. Após análise, descobriu-se que o problema estava no mau dimensionamento do resistor de *Gate*, que nos primeiros testes possuía o valor de 15  $\Omega$ . Esta resistência baixa implicou no descarregamento das chaves de forma muito rápida (alta derivada de corrente), que fazia com que sinais de sobre tensão aparecessem ao longo do circuito responsável pelo chaveamento. Como consequência, o chaveamento incorreto fazia com que o

comportamento da tensão de saída fosse inadequado. Este problema foi solucionado substituindo os resistores de  $15 \Omega$  por  $100 \Omega$ .

Para o aproveitamento deste trabalho, foram feitos testes com diferentes cargas. No teste com carga resistiva,  $220 \Omega$ , obteve-se os gráficos de tensão e corrente na carga para cada modulação, os quais podem ser observados nas seções 4.7.2.1.1, 4.7.2.1.2, 4.7.2.1.3, 4.7.2.1.4 e 4.7.2.1.5. Observa-se que a forma da onda de corrente não é idêntica ao formato da onda de tensão, isso ocorre devido a pequena parcela indutiva da carga proveniente do formato radial dos seus enrolamentos.

O circuito também foi submetido ao máximo de potência disponível pelas fontes CC, a fim de se obter a máxima potência (250 W) sobre a carga. Para isso, a carga teste usada foi o reostato,  $30\Omega$ , onde aplicada uma tensão eficaz de aproximadamente 90 V na saída, o circuito fosse capaz de fornecer 3 A. Pode-se perceber na Figura 110 que o valor de corrente máxima alcançada nessas condições foi de 2,87A.

Durante a realização desse teste, verificou-se também o estado térmico do circuito, apresentado na Figura 112. Através dessa análise foi possível concluir que era necessário curto-circuitar o dispositivo NTC, já que este componente estava sob uma temperatura de  $235,2 \text{ }^\circ\text{C}$  que é muito além do que o especificado para a sua temperatura normal de operação ( $125 \text{ }^\circ\text{C}$ ).

O ponto chave que valida a eficiência do inversor foram as aquisições da THD, que foram realizadas para configurações com e sem a presença de filtros. Para que a validação do filtro fosse feita de forma adequada se fez necessário primeiramente simular o efeito da distorção harmônica, para que então esses resultados pudessem ser comparados com os que foram obtidos durante os testes experimentais. Comparando a simulação sem filtro apresentada na Figura 58 com o teste sem filtro da Figura 114 é possível perceber que graças a estratégia de modulação escolhida apenas harmônicos de ordem ímpar foram encontrados, confirmado assim o que foi proposto por Rech, 2005. Também foi possível relacionar o resultado obtido na simulação com filtro para 5 níveis de tensão, Figura 59, que retornou um valor de THD igual a 3,57%, com o resultado obtido de forma prática com a presença do filtro para 5 níveis de tensão, Figura 116, que retornou um valor de THD próximo a 3,36%. Essa mesma comparação pode ser feita com a simulação referente à aplicação do filtro para 3 níveis de tensão, apresentado na Figura 64, onde foi obtido uma THD igual a

8,32%, com o resultado referente ao teste experimental com a presença do filtro para 3 níveis de tensão, apresentado na Figura 120, que retornou um valor de THD próximo a 7,90%. Sendo assim, é possível afirmar que os testes experimentais resultaram em valores muito próximo aos simulados, e que com o aumento da quantidade de níveis filtros menores se mostram mais eficazes.

Por fim, analisou-se o rendimento da placa. O formato da onda de corrente medido na saída das fontes CC é oscilatório devido ao fato de que a potência instantânea no circuito é pulsada. Como a tensão CC é imposta pela fonte, a única variável que responde ao comportamento pulsado da potência é a corrente. As aquisições de potência feitas através do osciloscópio não puderam ser consideradas no cálculo de rendimento do circuito, pois a resolução do osciloscópio é pequena (8 bits), o que faz com que o mesmo acumule erros de aquisição e de cálculo, caso seu *menu* matemático seja utilizado. Para contornar esse problema, utilizou-se um multímetro *True-RMS* com uma precisão decimal para medir as variáveis envolvidas no cálculo da potência ativa da entrada e da saída do circuito. Um exemplo da metodologia utilizada durante os testes foi apresentado na Tabela 13, e o resultado de tal teste foi apresentado na Tabela 14. Já que um único teste para uma determinada potência não é o suficiente para validar o rendimento do circuito, foi necessário levantar uma série de dados para construir um gráfico relacionando o rendimento com a potência de saída (BEZERRA, 2010), com resultado apresentado na Figura 124. Analisando a Figura 124 é possível perceber que o circuito não chegou ao ponto de operação ótimo (rendimento máximo), pois não há nenhum decréscimo no rendimento com o aumento da potência de saída, sendo assim, estimasse que o circuito opere de forma adequada para potências de até 350 W.



## 6 CONCLUSÕES GERAIS

Neste trabalho houve a preocupação de realizar os testes de forma didática a fim de mostrar a validação do protótipo do inversor multinível, para que este pudesse ser utilizado como material didático em aulas, ou como base para pesquisas acadêmicas futuras.

Foram realizados estudos de diferentes topologias de inversor multinível, com enfoque na topologia clássica ponte-H em cascata, colocando em evidência suas respectivas vantagens e desvantagens.

As simulações apresentadas com o *software* Simulink para os métodos APOD, POD, PD e de deslocamento de fase demonstram que é possível utilizar diferentes abordagens para a mesma topologia multinível. Após a conclusão dessa etapa, foi desenvolvida a programação do dispositivo FPGA em linguagem VHDL no programa Quartus II, bem como simulações utilizando ModelSim-Altera.

Na sequência, foi projetada e confeccionada a PCB com o módulo inversor multinível de 8 chaves controlado pelo *kit* DE0-Nano com um FPGA Cyclone IV, indicado para aplicações de baixo custo. Com isso, foram realizados testes e ensaios práticos com diferentes cargas para validação o projeto proposto, sendo que todos corroboraram o perfeito funcionamento do sistema proposto, conforme a literatura científica e simulações apresentadas, para aplicações de baixa potência, isto é, próximo de 350 W.

Dessa forma, pode-se concluir que o trabalho proposto, Estudo e Implementação de um Inversor Multinível Monofásico Controlado por FPGA para Aplicações de Ensino e Pesquisa, foi realizado com sucesso.

Uma das dificuldades encontradas no projeto foi com relação a interferência magnética e ruídos muito fortes, fazendo com que o chaveamento fosse prejudicado. A solução encontrada foi a adição de um resistor de *gate* maior.

Como sugestão para trabalhos futuros, pode-se listar:

- Implementação de controle digital em malha fechada;
- Construção de um conversor Flyback para alimentar as chaves (O projeto sugerido de um Flyback se encontra no Apêndice – D);
- Elaboração de um código em VHDL que, além de alterar os índices de modulação, também altere a estratégia de modulação e que possa comandar

as chaves de tal maneira que seja possível operar o inversor multinível com apenas uma ponte H. Sendo assim, o inversor apresentaria 3 níveis na saída e só seria necessário utilizar uma fonte de alimentação.

## REFERÊNCIAS

- AGILENT TECHNOLOGIES. **Manual Optoacoplador HCPL-3180**. Disponível em <<http://datasheet.octopart.com/HCPL-3180-000E-Avago-datasheet-132813.pdf>> Acesso em: 09 jun. 2016.
- AHMED, A. **Eletrônica de Potência**. São Paulo: Prentice-Hall, 2000. 479 p. ISBN 8587918036.
- BARBI, I.; DE SOUZA, A. F. **Curso de “Correção de Fator de Potência de Fontes de Alimentação”**. Florianópolis, julho de 1993.
- BERRANDJIA, M. L.; OUDJIDA, A. K.; BENBLIDIA, M. N. **Réalisation d’une Plateforme HW/SW sur FPGA Dédiée au Contrôle Embarqué**. 2011.
- BEZERRA, L. D. S. **Conversor CC-CA para Aplicação em Sistemas Autônomos de Energia Elétrica**. Dissertação de mestrado, Departamento de Engenharia Elétrica, Universidade Federal do Ceará, 2010.
- BRESSAN, M. V. **Inversor Multinível Híbrido Baseado na Cascata do Conversor 3L-NPC e Conversores Meia Ponte**. Dissertação de Mestrado. Universidade do Estado de Santa Catarina. Joinville, 2014.
- CARRARA, G. et al. **A New Multilevel PWM Method: A Theoretical Analysis**. Power Electronics, IEEE Transactions on, v. 7, n. 3, p. 497-505, 1992.
- COSTA, C. **Projetos de Circuitos Digitais com FPGA**. 1ª ed. São Paulo: Érica. 208 p. 2009.
- DA SILVA, F. J. G. **Estudo do Chaveamento por Vetores Espaciais em Modulação por Largura de Pulso em Conversores Multiníveis**. Tese de doutorado. Universidade Federal do Rio de Janeiro, 2008.
- DE OLIVEIRA, C. A.; DE AGUIAR, J. A.; FONTANI, M. G. S.; WENDING, M. **Dispositivos Lógicos Programáveis**. 2011.
- PEREIRA, I. F. B. **Projeto e Implementação de um Inversor Multinível**. 2008. Tese de Mestrado. Universidade do Porto.
- FONT, C., NASCIMENTO, C., VIGLUS F. **FPGA AND DSC-BASED DEVELOPMENT BOARD FOR RAPID PROTOTYPING OF POWER ELECTRONICS APPLICATIONS**. Anais do XIX Congresso Brasileiro de Automática, p. 2677-2683, Ponta Grossa, Paraná, Brasil, 2012.

GRIGOLETTO, F. B. **Contribuição ao Estudo de Estratégias de Modulação Aplicadas a Conversores Multiníveis com Diodos de Grampeamento**. Universidade Federal de Santa Maria, 2009, Santa Maria-RS.

KHOMFOI, S; TOLBERT, L. M. **Multilevel power converters**. Power electronics handbook, p. 451-482, 2007.

KILTS, S. **Advanced FPGA Design: Architecture, Implementation, and Optimization**. John Wiley & Sons, 2007.

MARTINS, D. C.; BARBI, I. **Eletrônica de Potência: Introdução ao Estudo dos Conversores CC-CA**. 2.ed. Florianópolis: Autores Associados, 2008. 489p. ISBN 85-905203-1-5.

MEIRELES, E. C.; MARTINS, A. P. **Control of Cascaded H-Bridge Inverters Using an FPGA-Based platform**. In: Power Engineering, Energy and Electrical Drives (POWERENG), 2011 International Conference on. IEEE, 2011. p. 1-5.

MEKHILEF, S.; MASAUD, A. **Xilinx FPGA Based Multilevel PWM Single-phase Inverter**. In: **Industrial Technology**, 2006. ICIT 2006. IEEE International Conference on. IEEE, 2006. p. 259-264.

MESQUITA, S. J. **Uma Proposta de Projeto Para Inversor Multinível em Cascata Assimétrico com 63 Níveis na Tensão de Saída e Operação em Baixa Frequência**, 2010. 147f. Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos Elétricos, Universidade Federal do Ceará, Fortaleza, 2011.

MEYNARD, T. A.; FOCH, Henry. **Multi-level Conversion: High Voltage Choppers and Voltage-source Inverters**. In: Power Electronics Specialists Conference, 1992. PESC'92 Record, 23rd Annual IEEE. IEEE, 1992. p. 397-403.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. **A New Neutral-point-clamped PWM Inverter**. Industry Applications, IEEE Transactions on, n. 5, p. 518-523, 1981.

NUNES, R. A. A.; ALBUQUERQUE, M. P.; ALBUQUERQUE, M. P.; SEIXAS, J. M. **Introdução a Processadores de Sinais Digitais-DSP**. Nota Técnica, CBPF-NT-001/2006, 2006.

OLIVEIRA, P. E. M. de; GABARDO, R. de L.; SUGAWARA, S. E. N. **Implementação de um Inversor Multinível Monofásico Controlado por FPGA**, 2013. 99f. Trabalho de conclusão de curso (Engenharia Industrial Elétrica, ênfase em Eletrotécnica) – Universidade Tecnológica Federal do Paraná. Curitiba, 2014.

ORDENEZ, E; PERICINI, R. **Projeto, Desempenho e Aplicações de Sistemas Digitais em Circuitos Programáveis (FPGAs)**. 1ª ed. São Paulo: Editora Ltda. 300 p. 2003.

PINHEIRO, H. **Apostila de Modulação para Conversores Estáticos**. Universidade Paranaense, 2013, Umuarama-PR.

PINTO, V. M. **Um Estudo Comparativo de Técnicas de Chaveamento de Conversores Três Níveis**. 2005. Dissertação de mestrado. UNIVERSIDADE FEDERAL DO RIO DE JANEIRO.

RECH, C., GRÜNDLING, H. A., HEY, H. L., PINHEIRO, H., & PINHEIRO, J. R. **Uma Metodologia de Projeto Generalizada para Inversores Multiníveis Híbridos**. Sba: Controle & Automação Sociedade Brasileira de Automática, v. 15, n. 2, p. 190-201, 2004.

RECH, C. **Análise, Projeto e Desenvolvimento de Sistemas Multiníveis Híbridos**. 2005. 249f. Tese (Doutorado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, Universidade Federal de Santa Maria, Santa Maria, 2005.

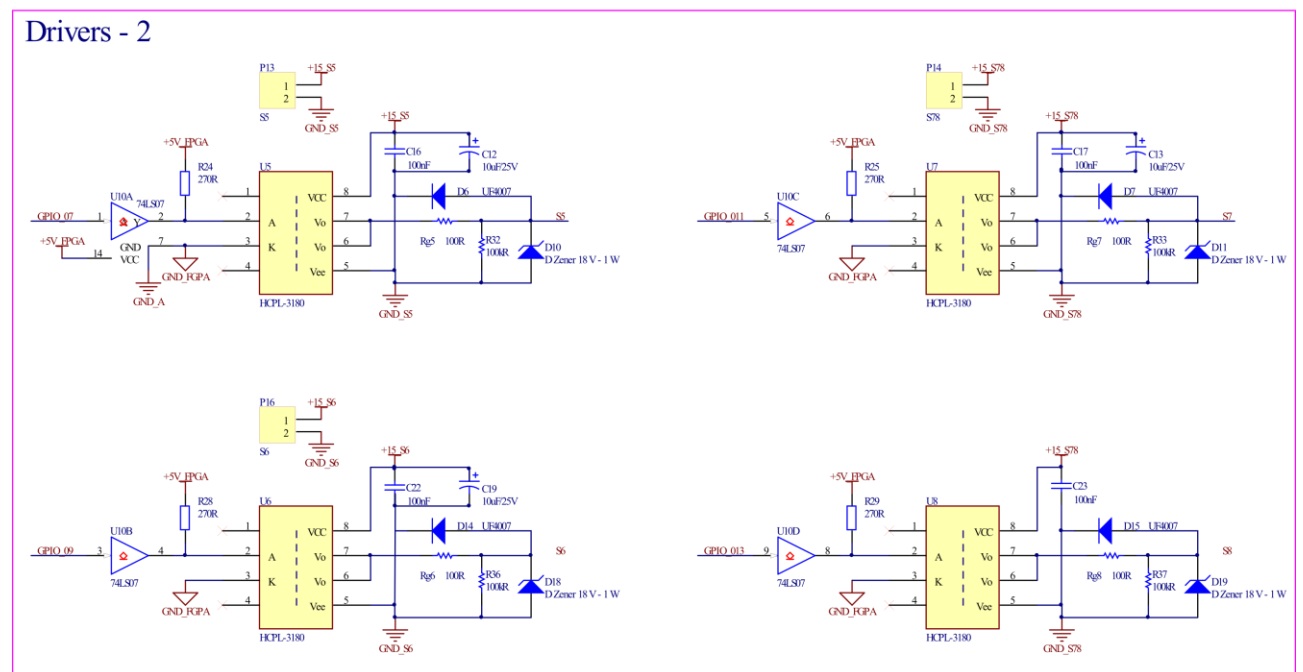
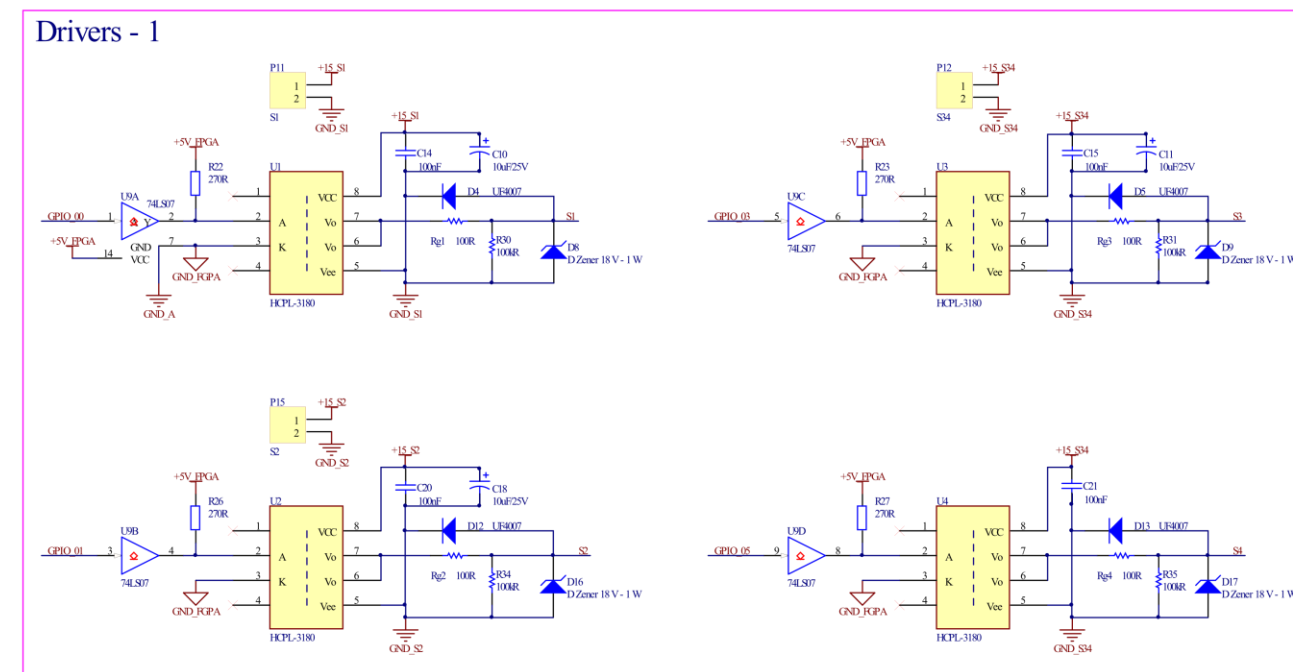
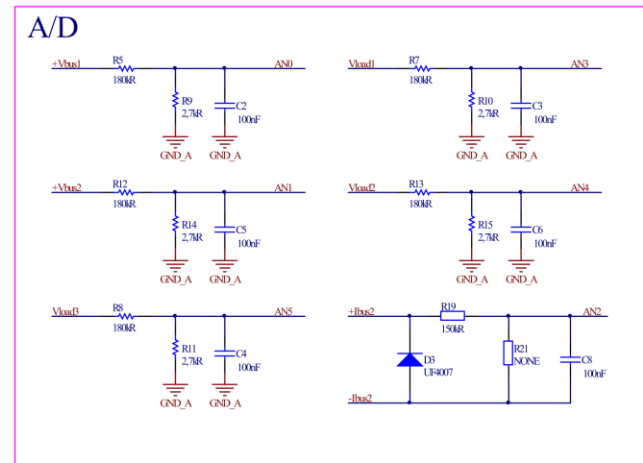
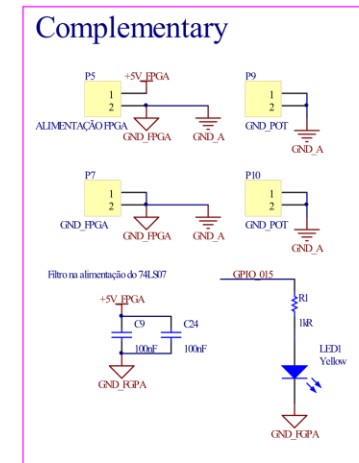
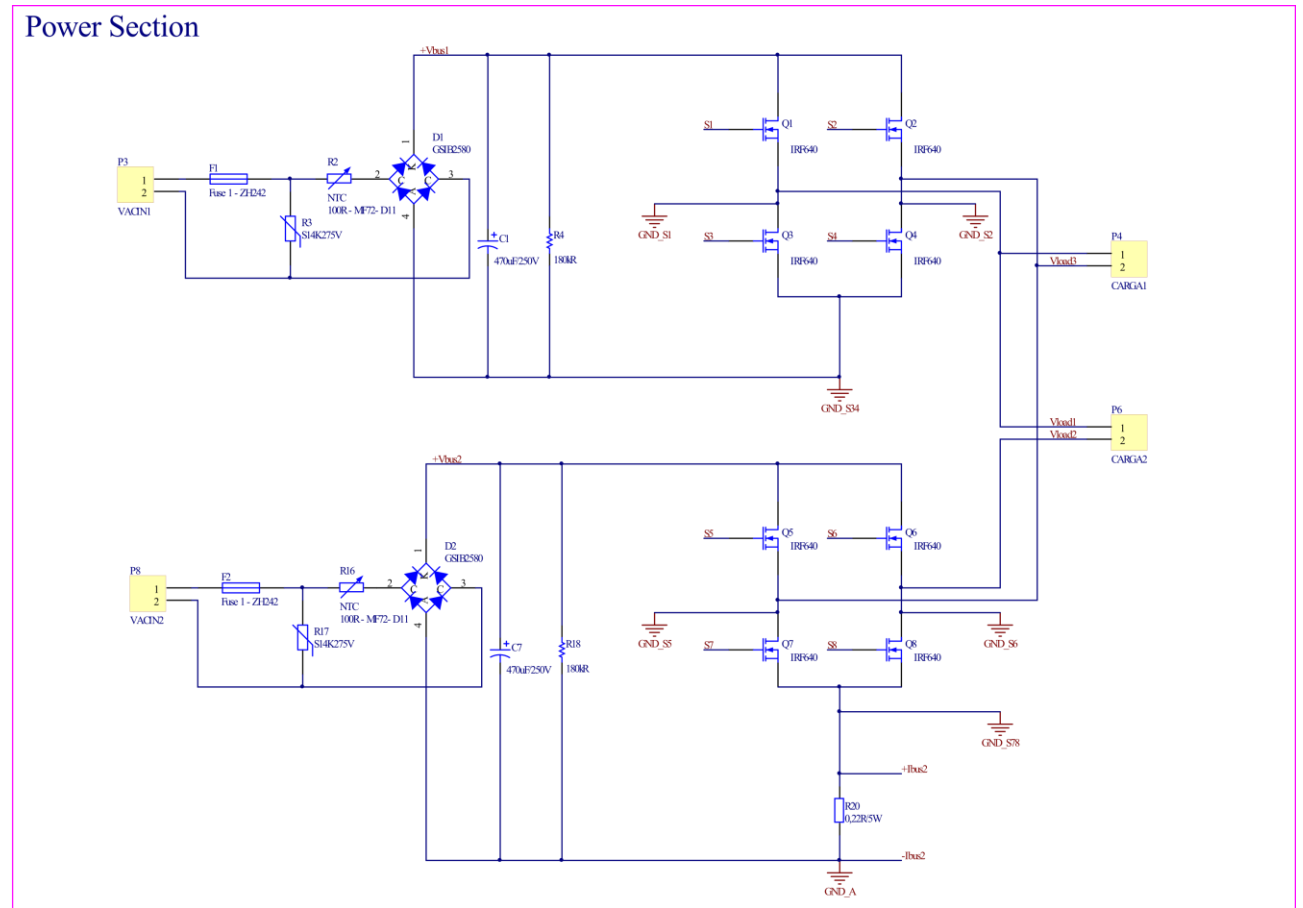
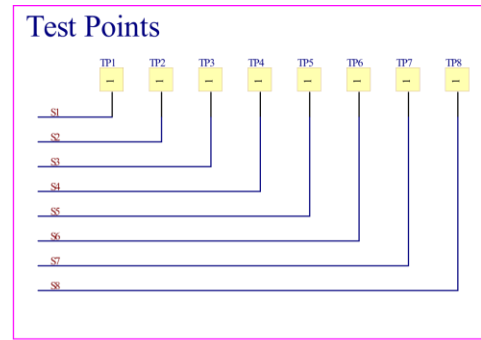
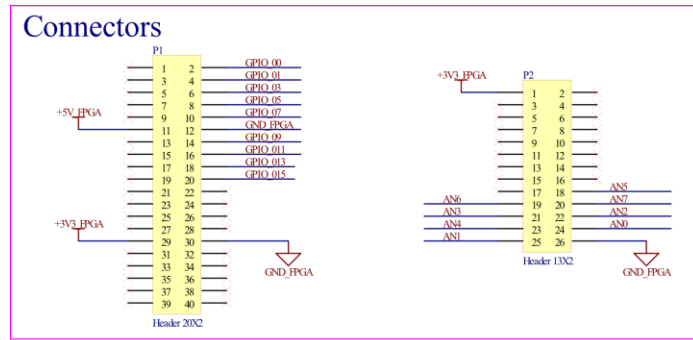
SANTOS, F. D. **Utilização de DSPs e FPGAs em Unidades Eletrônicas Automotivas**, 2008. 66f. Trabalho de conclusão de curso (Engenharia de Computação, ênfase em Sistemas Embarcados) – Universidade de São Paulo. São Carlos, 2008.

SILVA, R. N. A. L. **Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge/ANPC**. Universidade Federal do Ceará. Fortaleza, 2013.

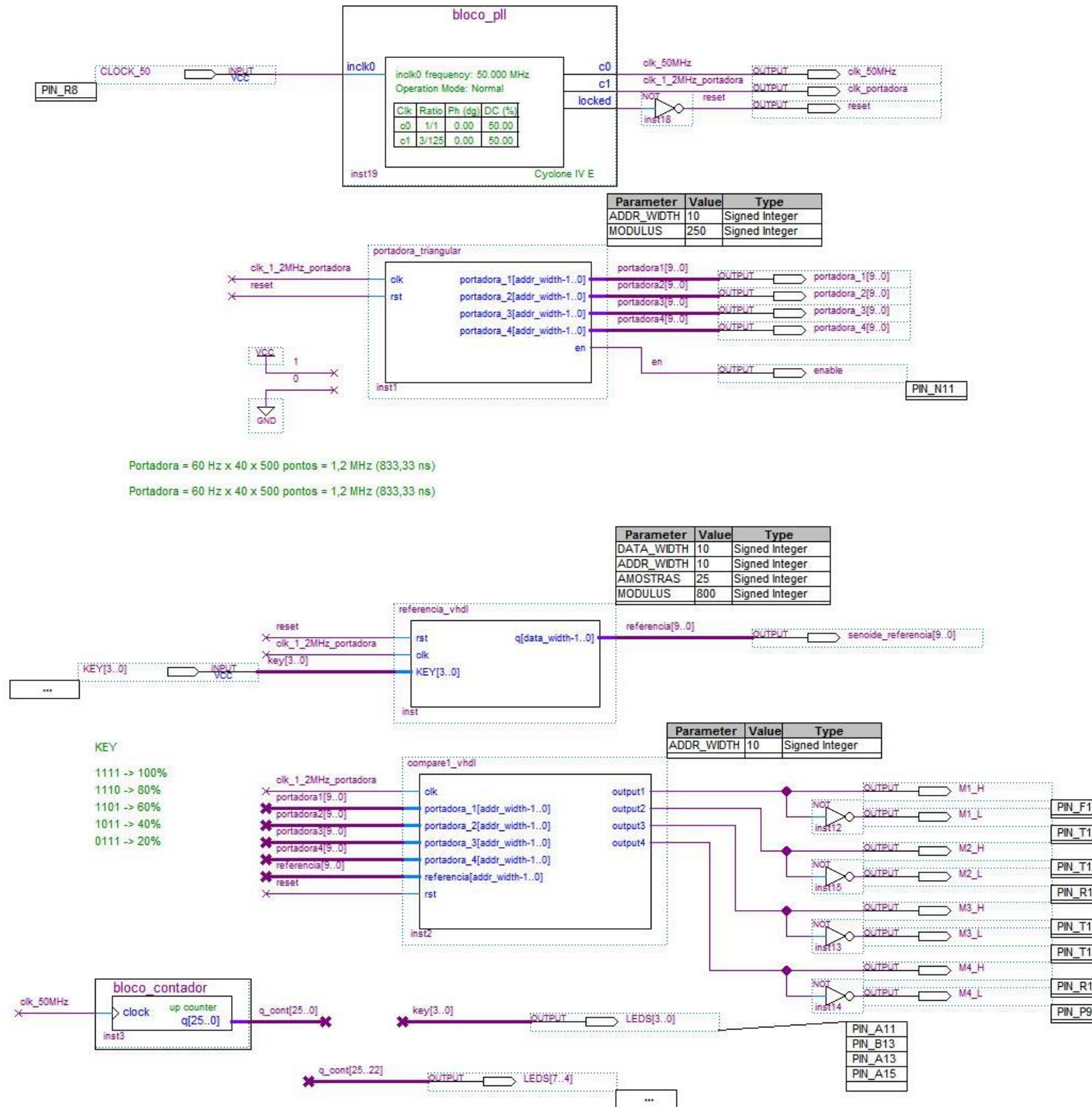
WALKILEH, G. J. **Harmonics in Rotating Machines**, Elsevir, p. 31-37, Kentucky, 2003.

WU, B. **High-Power Converter and AC Drivers**, First Edition, Canadá, Wiley Interscience, 2006.

## APÊNDICE A – ESQUEMÁTICO DO PROJETO DO INVERSOR MULTINÍVEL



APÊNDICE B – CÓDIGO DA FPGA EM ARQUIVOS VHDL CONVERTIDOS PARA BLOCOS



## APÊNDICE C – DIMENSIONAMENTO DO INDUTOR

Frequência de chaveamento:

$$f_s = 2400 \text{ Hz}$$

Valor da indutância:

$$L_f = 5 \text{ mH}$$

Corrente de pico no indutor:

$$I_{pico} = 518 \text{ mA}$$

Corrente eficaz no indutor:

$$I_{ef} = 366 \text{ mA}$$

Densidade de corrente:

$$J_{max} = 400 \frac{\text{A}}{\text{cm}^2}$$

Densidade de fluxo máxima para núcleo de Ferrite:

$$B = 0,3 \text{ T}$$

Produto de áreas  $A_e$  (eficaz) e  $A_w$  (janela):

$$A_e A_w = \frac{L_f \cdot I_{pico} \cdot I_{ef}}{B \cdot J_{max}}$$

Resultado do produto das áreas:

$$A_e A_w = 0,079 \text{ cm}^2$$

A partir do produto das áreas pode-se escolher o núcleo apropriado através do catálogo do fabricante. Foi escolhido o núcleo E-30/7 da Thornton.

Produto de áreas do núcleo escolhido:

$$A_e A_w = 0,48 \text{ cm}^4$$

Área efetiva do núcleo:

$$A_e = 0,6 \text{ cm}^2$$

Área da janela do núcleo:

$$A_w = 0,8 \text{ cm}^2$$



Número de espiras:

$$N = \frac{(L_f \cdot I_{pico})}{B \cdot A_e} = 144 \text{ espiras}$$

Permeabilidade do ar:

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7} \frac{H}{m}$$

Distância do entreferro (reatância para limitar B):

$$L_g = \frac{N^2 \cdot \mu_0 \cdot A_e}{L_f}$$

$$\frac{L_g}{2} = 0,156 \text{ mm}$$

Distância do entreferro em cada perna do núcleo:

$$S = \frac{I_{ef}}{J_{max}}$$

$$S = 9,15 \cdot 10^{-4} \text{ cm}^2$$

Área total de cobre do condutor equivalente (Levando-se em consideração o efeito pelicular para a frequência de comutação  $f_s$ ):

$$P = \frac{7,5 \text{ cm} \cdot s^{-0.5}}{\sqrt{f_s}}$$

$$P = 0,153 \text{ cm}$$

Profundidade de penetração (é usado como raio do condutor utilizado, o diâmetro do fio deve ser no máximo igual a duas vezes a profundidade de penetração):

$$Diam = 2 \cdot P$$

$$Diam = 0,306 \text{ cm}$$

Para esse diâmetro o fio máximo que pode ser utilizado é o 9 AWG.

Escolha do fio:

$$Fio = \frac{I_{ef}}{J_{max}}$$

$$Fio = 0,000915 \text{ cm}^2$$

Com base na área encontrada para o condutor optou-se por escolher o fio 27 AWG.

Área individual de cada fio de cobre 27 AWG:

$$S_{27AWG} = 0,001021 \text{ cm}^2$$

Verifica-se então a possibilidade de execução do enrolamento no núcleo proposto:

Área disponível na janela do carretel:

$$A_w = 0,8 \text{ cm}^2$$

Área ocupada pelos cabos:

$$A_{cu} = N \cdot S_{27AWG}$$

$$A_{cu} = 0,147 \text{ cm}^2$$

Viabilidade da construção do indutor (o indutor é viável tecnicamente quando  $R < 0,4$ ):

$$R = \frac{A_{cu}}{A_w}$$

$$R = 0,184$$

Quantidade de fio necessária:

$$I_t = 56 \text{ mm}$$

$$\text{Comprimento} = N \cdot I_t$$

$$\text{Comprimento} = 8,064 \text{ m}$$

Especificações finais do indutor:

$$L_f = 5 \text{ mH}$$

Núcleo EE30/7 Thorton

144 espiras

Fio 27 AWG

## APÊNDICE D – PROJETO DO FLYBACK

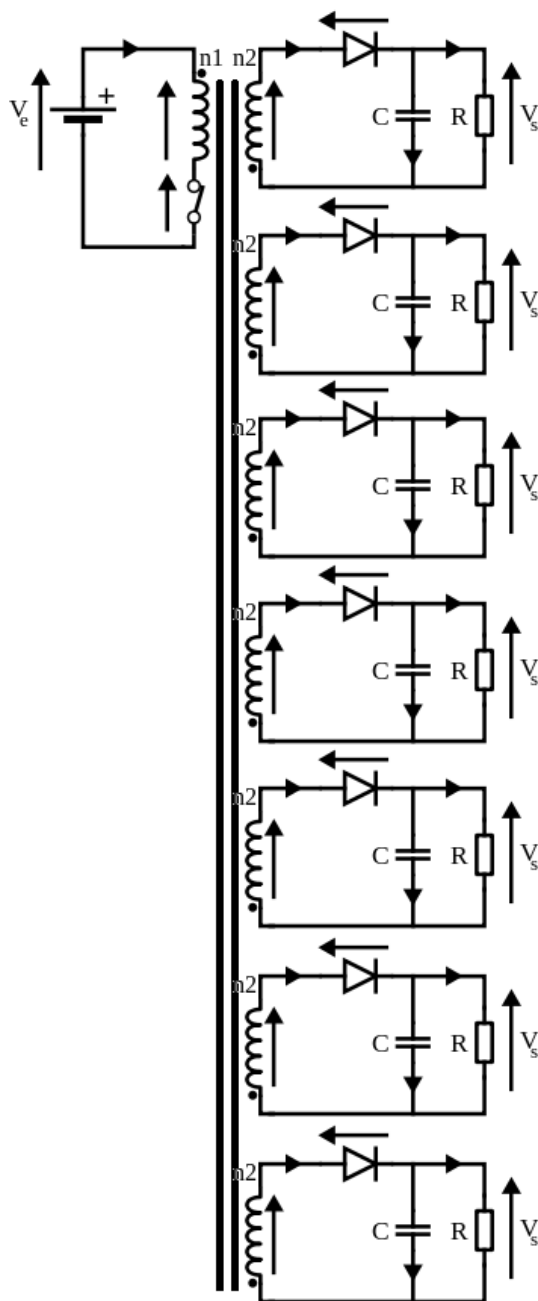


Figura 125: Conversor Flyback 7 saídas com controle em malha fechada  
Fonte: Autoria própria.

Especificações de projeto:

- $V_{in} = 180 \text{ V}$  Tensão de entrada;
- $V_{in \text{ máx}} = 207 \text{ V}$  Tensão de entrada máxima;
- $V_{in \text{ min}} = 140 \text{ V}$  Tensão de entrada mínima;
- $V_o = 15 \text{ V}$  e  $I_o = 100 \text{ mA}$  Tensão e corrente de cada saída;
- $P_o = 10,5 \text{ W}$  Potência de saída;
- $D_{\text{máx}} = 0,45$  Máxima razão cíclica;
- $\eta = 80\%$  Rendimento do conversor;
- $f_s = 50 \text{ kHz}$  Frequência de comutação;
- $\Delta V_o = 1\%$  de  $V_o$  Ondulação de tensão na saída.

Arquitetura do Sistema:

Na Figura 124 é mostrado a topologia da fonte chaveada sem considerar a etapa de retificação e os estágios de controle.

Potência de entrada e saída da fonte:

O rendimento esperado da estrutura é de  $\eta = 0,8$ . A potência de saída da fonte chaveada é dada por:

$$P_o = 7 \cdot |V_o| \cdot |I_o|$$

$$P_o = 7 \cdot 15 \text{ [V]} \cdot 0,100 \text{ [A]}$$

$$P_o = 10,5 \text{ W}$$

A potência de entrada será:

$$P_{in} = \frac{P_o}{\eta}$$

$$P_{in} = \frac{10,5 \text{ [W]}}{0,8}$$

$$P_{in} = 13,125 \text{ W}$$

Resistencia de cada carga nominal:

$$R_o = \frac{V_o^2}{\left(\frac{P_o}{7}\right)}$$

$$R_o = \frac{15^2 [V]}{\left(\frac{10,5 [W]}{7}\right)}$$

$$R_o = 150 [\Omega]$$

Transformador:

O transformador que será usado nesse projeto terá uma entrada e 7 saídas iguais, sendo uma exclusiva para ser implementada na malha de controle. Parâmetros desde espessura do cabo até o entreferro são calculados.

Adotando-se para as variáveis de entrada os valores dados a seguir:

- $k_p = 0,5$  Fator de utilização do primário;
- $k_w = 0,4$  Fator de utilização da área do enrolamento;
- $J = 300 \text{ A / cm}^2$  Densidade de corrente nos condutores;
- $J_{\text{máx}} = 350 \text{ A / cm}^2$  Densidade máxima de corrente nos condutores;
- $V_d = 1 \text{ V}$  Queda de tensão nos diodos;
- $\Delta B = B = 0,18 \text{ T} = 1,8 \cdot 10^3 \text{ G}$  Densidade de fluxo magnético;
- $\Delta B_{\text{máx}} = 0,2 \text{ T}$  Máxima variação da densidade de fluxo magnético.

O produto  $A_e A_w$  é determinado por:

$$A_e A_w = \frac{0,77 \cdot P_o \cdot 10^4}{\eta \cdot k_p \cdot k_w \cdot J \cdot f_s \cdot \Delta B}$$

$$A_e A_w = \frac{0,77 \cdot 10,5 [W] \cdot 10^4}{0,8 \cdot 0,5 \cdot 0,4 \cdot 300 \left[\frac{\text{A}}{\text{cm}^2}\right] \cdot 50000 [Hz] \cdot 0,18\text{T}}$$

$$A_e A_w = 0,1871 \text{ cm}^4$$

Desta forma, o núcleo de Ferrite escolhido foi o E-30/7 da Thornton.

Os dados do núcleo E-30/7 são:

- $A_e = 0,60 \text{ cm}^2$
- $A_w = 0,80 \text{ cm}^2$
- $A_e A_w = 0,48 \text{ cm}^2$

O entreferro do transformador é calculado por:

$$\delta = \frac{2\mu_0 \cdot P_o \cdot 10^4}{\Delta B^2 \cdot A_e \cdot \eta \cdot f_s}$$

$$\delta = \frac{2 \cdot 4\pi \cdot 10^{-7} \left[\frac{H}{m}\right] \cdot 10,5 [W] \cdot 10^4}{(0,18 [T])^2 \cdot 0,60 * 10^{-2} [cm^2] \cdot 0,8 \cdot 50000 [Hz]}$$

$$\delta = 0,03393 \text{ cm}$$

$$lg = \frac{\delta}{2} = \frac{0,03393}{2} = 0,01696 \text{ cm}$$

A corrente do primário é dada por:

$$I_p = \frac{2 \cdot P_o}{\eta \cdot V_{in_{min}} \cdot D_{máx}}$$

$$I_p = \frac{2 \cdot 10,5 [W]}{0,8 \cdot 140 [V] \cdot 0,45}$$

$$I_p = 0,416 \text{ A}$$

O número de espiras do primário é calculado por:

$$N_p = \frac{B \cdot \delta}{0,4 \cdot \pi \cdot I_p}$$

$$N_p = \frac{1,8 \cdot 10^3 [G] \cdot 0,03393 [cm]}{0,4 \cdot \pi \cdot 0,416 [A]}$$

$$N_p = 116,829 \cong 117 \text{ espiras}$$

O número de espiras dos secundários são:

$$N_S = N_P \cdot \frac{(|V_o| + V_d)}{V_{in_{min}}} \cdot \frac{(1 - D_{máx})}{D_{máx}}$$

$$N_S = 117 \cdot \frac{(|15 [V]| + 1)}{140 [V]} \cdot \frac{(1 - 0,45)}{0,45}$$

Assim, como todos os secundários possuem a mesma tensão de saída:

$$N_{S_{1 \rightarrow 7}} = 16,34 \cong 17 \text{ espiras}$$

Indutância do primário do transformador:

A indutância do primário do transformador pode ser encontrada por:

$$L = \frac{1}{2} \cdot \frac{V_{in_{min}}^2 \cdot D_{máx}^2 \cdot \eta}{f_s \cdot P_o}$$

$$L = \frac{1}{2} \cdot \frac{140^2 [V] \cdot 0,45^2 \cdot 0,8}{50000 [Hz] \cdot 10,5 [W]}$$

$$L = 3,024 \text{ mH}$$

Este valor de indutância é o valor máximo, ou valor crítico. Ao montar o transformador, o valor de indutância do primário deve ser regulado por um entreferro a fim de que esteja abaixo deste valor.

Cálculo dos capacitores:

Os capacitores de saída são calculados por:

$$C = \frac{I_o \cdot D_{máx}}{f_s \cdot \Delta V_o}$$

$$C = \frac{0,100 [A] \cdot 0,45}{50000 [Hz] \cdot 0,01 * 15 [V]}$$

$$C = 6 \mu F$$

A corrente de pico através dos enrolamentos secundários é definida por:

$$I_s = \frac{2 \cdot I_o}{(1 - D_{m\acute{a}x})}$$

$$I_s = \frac{2 \cdot 0,100 [A]}{(1 - 0,45)}$$

$$I_s = 0,3636 [A]$$

A resistência série equivalente máxima dos capacitores serão:

$$RSE = \frac{\Delta V_o}{I_s}$$

$$RSE = \frac{0,01 \cdot 15 [V]}{0,3636 [A]}$$

$$RSE = 0,4125 \Omega$$

Desta forma os capacitores escolhidos são:

$$C_{1 \rightarrow 7} = 120 \mu F$$

A RSE máxima quando o capacitor de 120  $\mu F$  / 25 V está sendo operado com uma frequência de 10 kHz em uma temperatura de 20 °C é de 0,615  $\Omega$ .

Este valor é menor do que a resistência série equivalente máxima calculada, portanto esse valor é adequado para a manter a variação de tensão estipulada.

Dimensionamento dos diodos:

A corrente de pico nos diodos é dada por:

$$I_{d_p} = I_s$$



Assim:

$$I_{d_p} = 0,3636 \text{ [A]}$$

A corrente média nos diodos será:

$$I_{d_{med}} = I_o$$

$$I_{d_{med}} = 0,100 \text{ [A]}$$

A tensão de pico sobre os diodos será:

$$V_{d_p} = V_o + V_{in_{m\acute{a}x}} \cdot \frac{N_s}{N_p}$$

$$V_{d_p} = 15 \text{ [V]} + 207 \text{ [V]} \cdot \frac{17}{117}$$

$$V_{d_p} = 45,076 \text{ [V]}$$

Por questões de segurança aconselha-se escolher o diodo UF4002, pois este suporta tensões de até 100 V, correntes de pico de até 30 A, correntes média de 1 A e a sua queda de tensão quando conduzindo é de 1 V. Todos esses parâmetros cumprem com os valores que foram encontrados através dos cálculos.

Seção dos condutores:

A corrente eficaz no primário será:

$$I_{p_{ef_{m\acute{a}x}}} = I_p \cdot \sqrt{\frac{D_{m\acute{a}x}}{3}}$$

$$I_{p_{ef_{m\acute{a}x}}} = 0,416 \text{ [A]} \cdot \sqrt{\frac{0,45}{3}}$$

$$I_{p_{ef_{m\acute{a}x}}} = 0,161 \text{ [A]}$$

A área do condutor necessária é:

$$S_{Cu_p} = \frac{I_{p_{ef\,m\acute{a}x}}}{J}$$

$$S_{Cu_p} = \frac{0,161 [A]}{300 [\frac{A}{cm^2}]}$$

$$S_{Cu_p} = 0,5370 \cdot 10^{-3} cm^2$$

As correntes nos enrolamentos secundários serão:

$$I_{s_{ef\,m\acute{a}x}} = I_s \cdot \sqrt{\frac{1 - D_{m\acute{a}x}}{3}}$$

$$I_{s_{ef\,m\acute{a}x}} = 0,3636 [A] \cdot \sqrt{\frac{1 - 0,45}{3}}$$

$$I_{s_{ef\,m\acute{a}x}} = 0,155 [A]$$

A área dos condutores será:

$$S_{Cu_s} = \frac{I_{s_{ef\,m\acute{a}x}}}{J}$$

$$S_{Cu_s} = \frac{0,155 [A]}{300 [\frac{A}{cm^2}]}$$

$$S_{Cu_s} = 0,518 \cdot 10^{-3} cm^2$$

A profundidade de penetração devido ao efeito pelicular pode ser determinada por:

$$\Delta = \frac{7,5}{\sqrt{f_s}}$$

$$\Delta = \frac{7,5}{\sqrt{50000 [Hz]}}$$

$$\Delta = 0,03354 \text{ cm}$$

O diâmetro máximo será:

$$d_{m\acute{a}x} = 2 \cdot \Delta$$

$$d_{m\acute{a}x} = 2 \cdot 0,03354 [cm]$$

$$d_{m\acute{a}x} = 0,0670 \text{ cm}$$

Respeitando o efeito pelicular optou-se por escolher:

Primário: Fio 27 AWG -  $S_{Cu_{27 AWG}} = 0,001021 \text{ cm}^2$

Secundário: Fio 28 AWG -  $S_{Cu_{28 AWG}} = 0,000810 \text{ cm}^2$

O número de condutores em paralelo no primário será:

$$N_{fios_p} = \frac{S_{Cu_p}}{S_{Cu_{27 AWG}}}$$

$$N_{fios_p} = \frac{0,5370 \cdot 10^{-3} [cm^2]}{1,021 \cdot 10^{-3} [cm^2]}$$

$$N_{fios_p} = 0,673$$

Como o número de condutores é menor do que um, utilizou-se apenas 1 fio no primário.

Já para os enrolamentos do secundário o número de condutores em paralelo é dado por:

$$N_{fios_s} = \frac{S_{Cu_s}}{S_{Cu_{28 AWG}}}$$

$$N_{fios_s} = \frac{0,518 \cdot 10^{-3} [cm^2]}{0,810 \cdot 10^{-3} [cm^2]}$$

$$N_{fios_s} = 0,722$$

Como o número de condutores é menor do que um, utilizou-se apenas 1 fio para cada secundário.

Portanto, os enrolamentos do transformador são:

- Primário: 117 espiras com 1 fio 27 AWG;
- Secundário 1: 17 espiras com 1 fio 28 AWG;
- Secundário 2: 17 espiras com 1 fio 28 AWG;
- Secundário 3: 17 espiras com 1 fio 28 AWG;
- Secundário 4: 17 espiras com 1 fio 28 AWG;
- Secundário 5: 17 espiras com 1 fio 28 AWG;
- Secundário 6: 17 espiras com 1 fio 28 AWG;
- Secundário 7: 17 espiras com 1 fio 28 AWG.

A possibilidade de execução do transformador é calculada por:

$$S_{Cu_{isol\ 27\ AWG}} = 0,001344\ cm^2$$

$$S_{Cu_{isol\ 28\ AWG}} = 0,001083\ cm^2$$

$$S_{Cu_{isol}} = (S_{Cu_p} \cdot N_p) + (7 \cdot S_{Cu_s} \cdot N_s)$$

$$S_{Cu_{isol}} = 0,2861\ cm^2$$

Portanto:

$$k_u = \frac{S_{Cu_{isol}}}{A_w}$$

$$k_u = \frac{0,2861\ [cm^2]}{0,80\ [cm^2]}$$

$$k_u = 0,357$$

Pode-se concluir que é possível construir o transformador, pois  $k_u < 0,4$ .

Dimensionamento do interruptor:

A tensão máxima sobre o interruptor é dada por:

$$V_{S_{m\acute{a}x}} = V_{in_{m\acute{a}x}} \cdot \frac{1}{1 - D_{m\acute{a}x}}$$

$$V_{S_{m\acute{a}x}} = 207 [V] \cdot \frac{1}{1 - 0,45}$$

$$V_{S_{m\acute{a}x}} = 376.363 [V]$$

A corrente média no interruptor é:

$$I_{S_{med}} = 7 \cdot \left( \frac{N_s}{N_p} \cdot I_o \right)$$

$$I_{S_{med}} = 0,101 A$$

A corrente eficaz do interruptor é dada por:

$$I_{S_{ef}} = \frac{V_{in_{m\acute{a}x}} \cdot I_p}{V_{in_{min}} \cdot D_{m\acute{a}x}} \cdot \sqrt{\frac{D_{m\acute{a}x}^3}{3}}$$

$$I_{S_{ef}} = \frac{207 [V] \cdot 0,416 [A]}{140 [V] \cdot 0,45} \cdot \sqrt{\frac{0,45^3}{3}}$$

$$I_{S_{ef}} = 0,238 A$$

O interruptor sugerido para implementação é o IFR 740. As principais características deste componente são:

- $V_{DS_{m\acute{a}x}} = 400 V$
- $I_D = 6,3 A @ T = 100 \text{ }^\circ C$
- $R_{DSon} = 1,1 \Omega @ T = 100 \text{ }^\circ C$
- $R_{thjc} = 1 \text{ }^\circ C/W$
- $t_r = 120 ns$
- $t_f = 140 ns$

As perdas em condução são calculadas por:

$$P_{perd_{cond}} = R_{DSon} \cdot I_{Sef}^2$$

$$P_{perd_{cond}} = 1,1 [\Omega] \cdot 0,238^2 [A]$$

$$P_{perd_{cond}} = 0,0623 W$$

Já as perdas na comutação são:

$$P_{perd_{com}} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_p \cdot V_{smáx}$$

$$P_{perd_{com}} = \frac{50000 [Hz]}{2} \cdot (120 + 140) \cdot 10^{-9} [s] \cdot 0,416 [A] \cdot 376,363 [V]$$

$$P_{perd_{com}} = 1,017 W$$

As perdas totais no interruptor serão:

$$P_{perd_{total}} = P_{perd_{cond}} + P_{perd_{com}}$$

$$P_{perd_{total}} = 0,0623 [W] + 1,0176 [W]$$

$$P_{perd_{total}} = 1,0799 W$$

Dimensionamento do controle em malha fechada:

Para a implementação do circuito de controle ser realizada, recomenda-se utilizar um divisor resistivo na última saída (exclusiva para o controle) do conversor Flyback. Por sua vez, esse sinal será comparado com um sinal de referência, de tal forma que a sua relação alterará a razão cíclica do chaveamento do conversor.

Modelo matemático da função de transferência do conversor Flyback:

O conversor Flyback apresenta a função de transferência dada pela expressão a seguir:

$$G(s) = \frac{V_{in}}{\sqrt{\frac{2 \cdot L \cdot f}{R_o}}} \cdot \frac{(1 + s \cdot RSE \cdot C_o)}{(1 + s \cdot R_o \cdot C_o)}$$

Onde:

$V_{in}$  – Tensão de entrada;

$L$  – Indutância do primário;

$f$  – Frequência de comutação;

$R_o$  – Resistência da carga nominal;

$C_o$  – Capacitor do filtro de saída;

$RSE$  – Resistência equivalente do capacitor de saída.

Pode-se observar que o modelo é dependente da tensão de entrada. Mas a pior situação, quanto a estabilidade do sistema, ocorre para a máxima tensão de entrada. Por isso, será utilizado  $V_{in} = 207 \text{ V}$  para realizar o projeto do compensador.

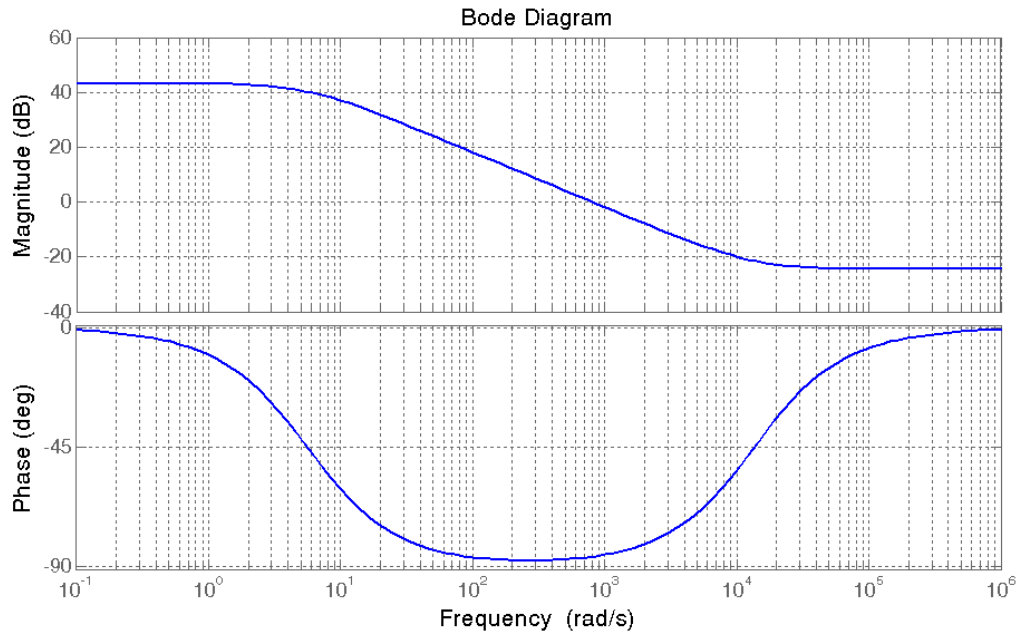
Logo,

$$G(s) = \frac{207 [V]}{\sqrt{\frac{2 \cdot 3,024 \cdot 10^{-3} [H] \cdot 50 \cdot 10^3 [Hz]}{150 [\Omega]}}} \cdot \frac{(1 + s \cdot 0,615 [\Omega] \cdot 120 \cdot 10^{-6} [H])}{(1 + s \cdot 150 [\Omega] \cdot 120 \cdot 10^{-6} [H])}$$

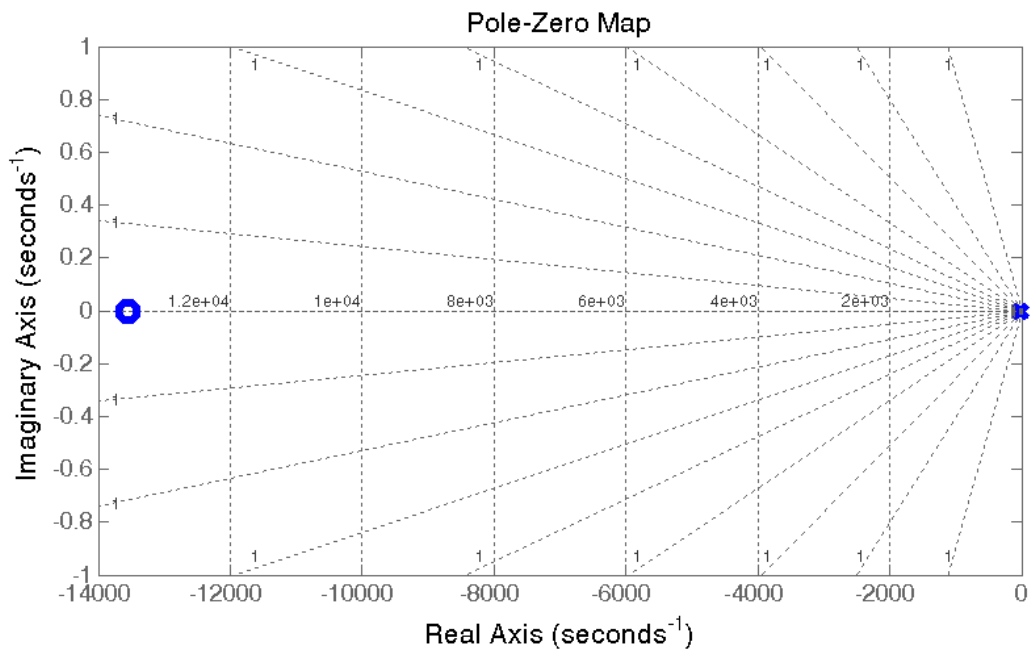
$$G(s) = 145,789 \cdot \frac{(1 + s \cdot 73,8 \cdot 10^{-6})}{(1 + s \cdot 0,18)}$$

$$G(s) = \frac{0,01076 \cdot s + 145,789}{0,18 \cdot s + 1}$$

A Figura 126 apresenta o ganho e a fase da função  $G(s)$ , e a Figura 127 apresenta o diagrama de polos e zeros da mesma função.



**Figura 126: Diagrama de bode da função  $G(s)$ .**  
 Fonte: Autoria própria.



**Figura 127: Diagrama de polos e zeros da função  $G(s)$ .**  
 Fonte: Autoria própria.

Projeto do compensador:

A implementação de uma malha de controle tem como objetivo garantir precisão no ajuste da variável de saída, nesse caso a tensão, bem como garantir uma



rápida correção de eventuais desvios provenientes de transitórios na tensão de entrada ou carga.

O compensador deve, além de garantir a estabilidade do sistema, ter um alto ganho para baixas frequências, minimizando o erro estático. Adicionalmente, o aumento da banda passante melhora a resposta dinâmica do sistema, permitindo compensar com maior rapidez os transitórios.

Recomenda-se a utilização de um compensador de 1 polo, indicado para conversores que contenham um filtro de saída de 1 polo, como o Flyback.

A equação característica do compensador é apresentada a seguir:

$$C(s) = kc \cdot \frac{1}{1 + Pc \cdot s}$$

Para projetar o compensador, deve-se primeiramente, definir a frequência de cruzamento desejada. Esta deve ser um quarto da frequência de chaveamento.

$$f_{cc} = \frac{f}{4} = \frac{50 \text{ kHz}}{4} = 12,5 \text{ kHz}$$

$$w_{cc} = 12,5 \cdot 10^3 [\text{Hz}] \cdot 2\pi$$

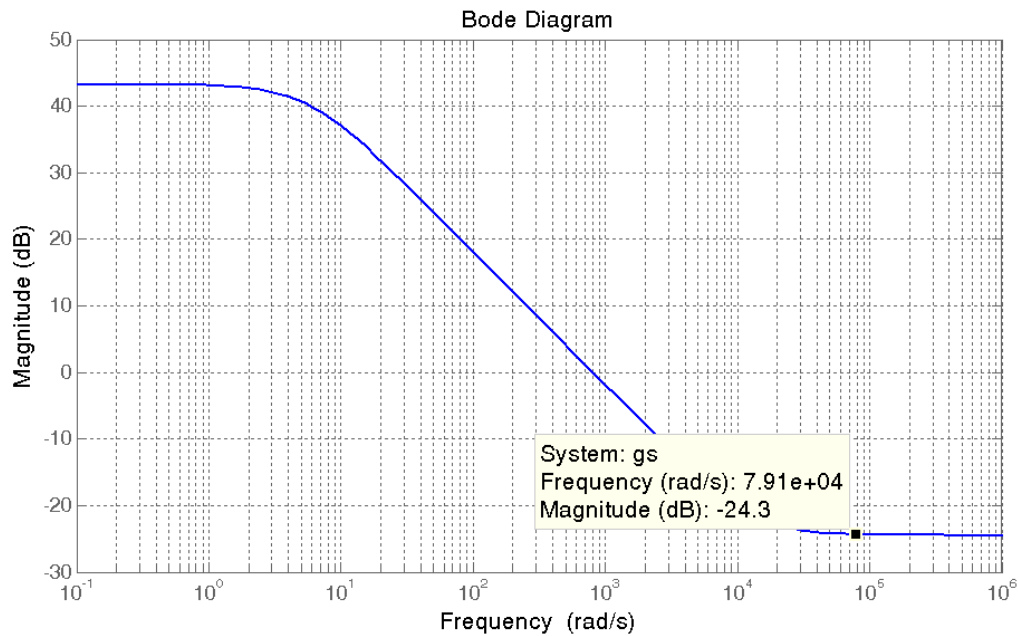
$$w_{cc} = 78539,816 \frac{\text{rad}}{\text{s}}$$

O polo do compensador deve ser colocado na frequência do zero da planta, com o objetivo de anulá-lo.

Definida a frequência de cruzamento desejada, resta definir o ganho. O ganho do compensador na frequência de corte desejada é definido pela expressão a seguir:

$$kc = \frac{1}{|G(w_{cc})|} \cdot |1 + C_o \cdot R_{se} \cdot w_{cc} \cdot j|$$

Ou simplesmente pode ser utilizado a informação provida da Figura 128 que apresenta o ganho na frequência de cruzamento desejada.



**Figura 128: Magnitude em dB da frequência de cruzamento desejada.**  
**Fonte: Autoria própria.**

A partir disso, sabe-se que o ganho absoluto necessário é:

$$k_c = 10^{\frac{|-24,3|}{20}} = 16,405$$

A seguir é apresentado o dimensionamento dos componentes do circuito compensador. A equação geral do controlador PI é:

$$C(s) = \frac{R_2}{R_1} \cdot \frac{1}{1 + R_2 \cdot C \cdot s}$$

O circuito do compensador está representado na Figura 129.

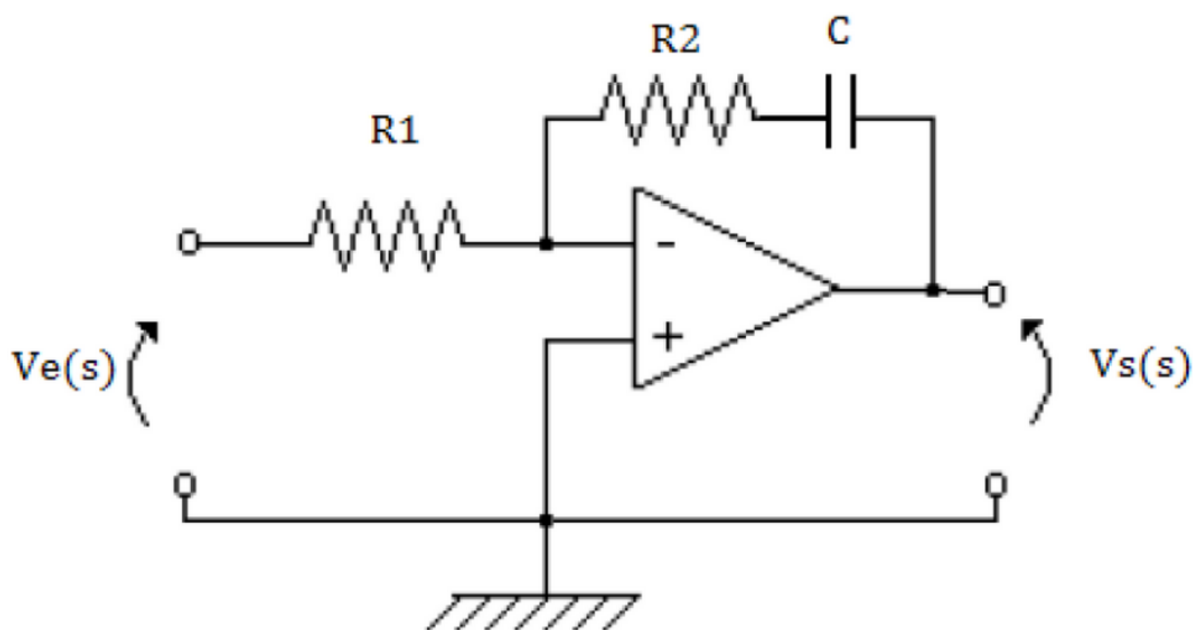


Figura 129: Circuito do compensador de 1 polo (PI).  
Fonte: Autoria própria.

Assim, o ganho do compensador é dado pela expressão:

$$k_c = \frac{R_2}{R_1}$$

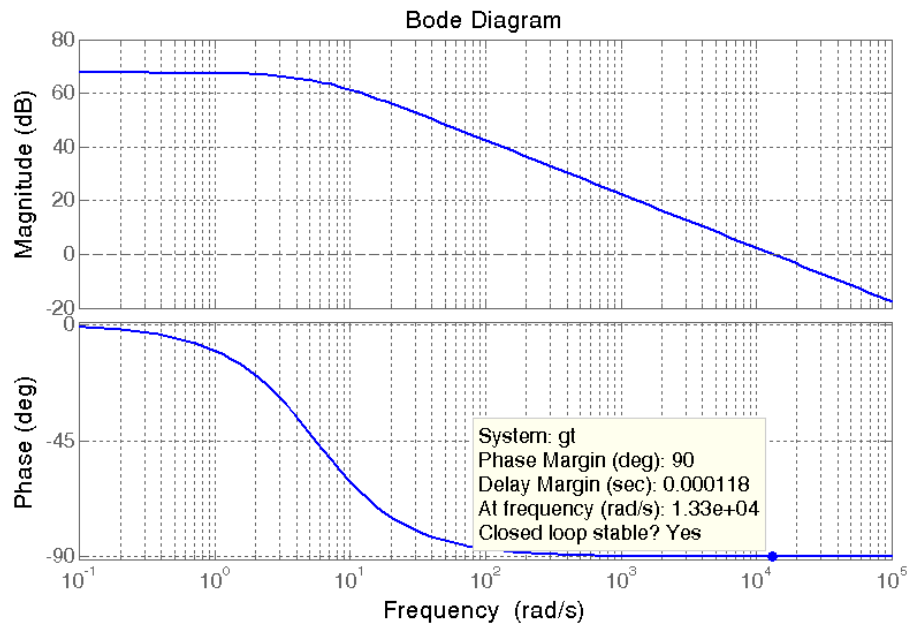
Arbitrando-se  $R_1 = 2 \text{ k}\Omega$  e aplicando a equação do ganho proporcional, pode-se definir o  $R_2$ :

$$R_2 = 2 \text{ k}[\Omega] \cdot 16,405 = 32,8 \text{ k}[\Omega]$$

O capacitor  $C$  é definido pela expressão:

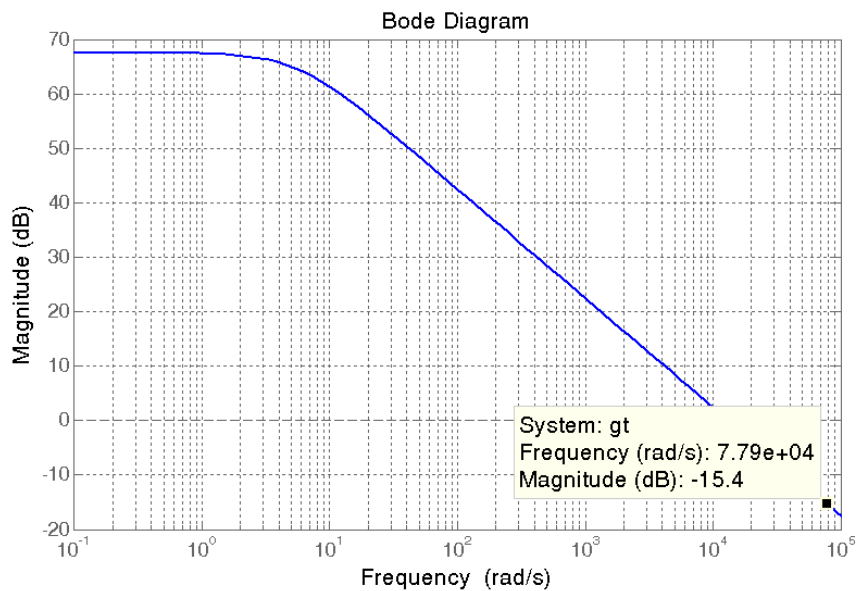
$$C = \frac{C_o \cdot RSE}{R_2} = \frac{120 \cdot 10^{-6} [F] \cdot 0,615 [\Omega]}{32,8 \cdot 10^3 [\Omega]} = 2,25 \text{ nF}$$

Ajustes foram realizados durante a simulação, o valor da capacitância foi alterado para  $10 \text{ nF}$ , para que a frequência de corte apresentasse uma margem de fase de  $90^\circ$ . A função de transferência do produto do compensador com a função de transferência do Flyback,  $G(t)$ , é apresentada na Figura 130.



**Figura 130: Diagrama de Bode da função  $G(t)$ .**  
**Fonte: Autoria própria.**

Através da Figura 131 é possível perceber que a frequência de cruzamento escolhida não está com ganho nulo. Portanto, é necessário recalcular a relação do ganho proporcional do compensador.



**Figura 131: Magnitude em dB da frequência de cruzamento desejada após aplicação do compensador.**  
**Fonte: Autoria própria.**

O novo ganho é apresentado a seguir:

$$kc2 = 10^{\frac{|-15.4|}{20}} = 5,888$$

$$kc.novo = kc \cdot kc2$$

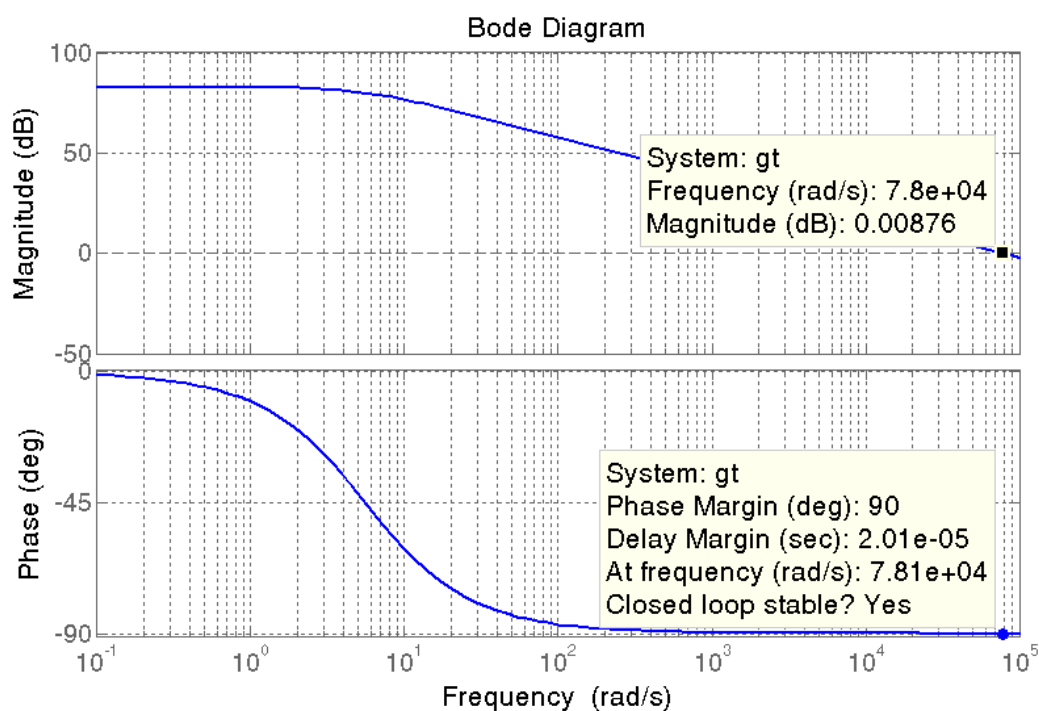
$$kc.novo = 16,405 \cdot 5,888$$

$$kc.novo = 96,599$$

Sendo assim, é necessário recalcular  $R_1$  mantendo o valor de  $R_2$  fixo.

$$R_{1\ novo} = \frac{32,8\ k[\Omega]}{96,599} = 340\ [\Omega]$$

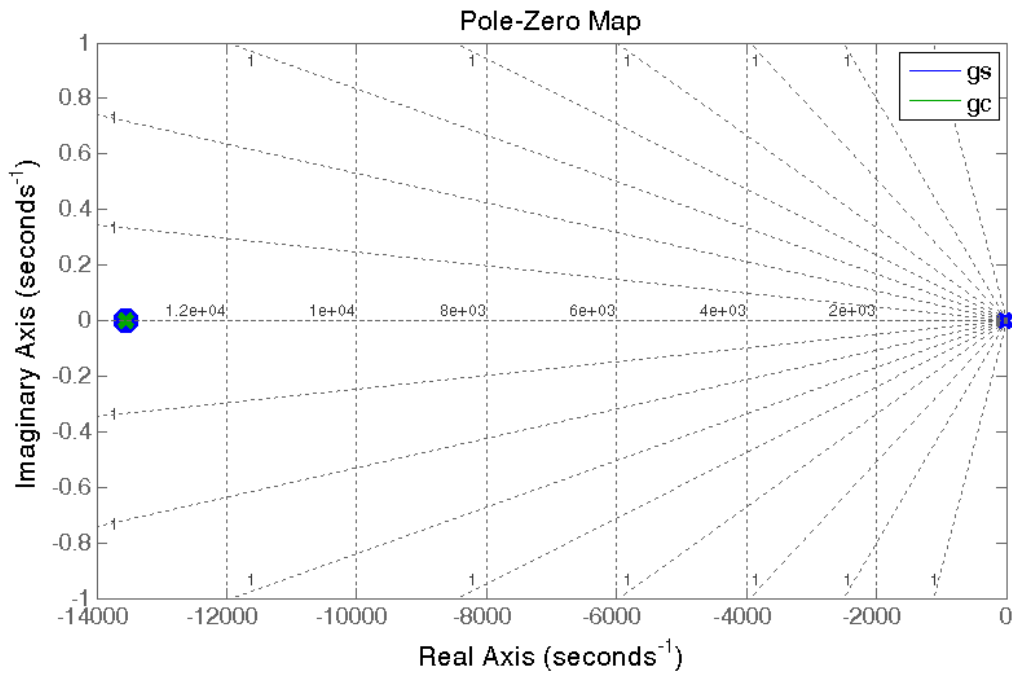
Finalmente, é apresentado o diagrama de bode da função  $G(t)$  na Figura 132.



**Figura 132: Diagrama de Bode da função  $G(t)$  ajustada.  
Fonte: Autoria própria.**

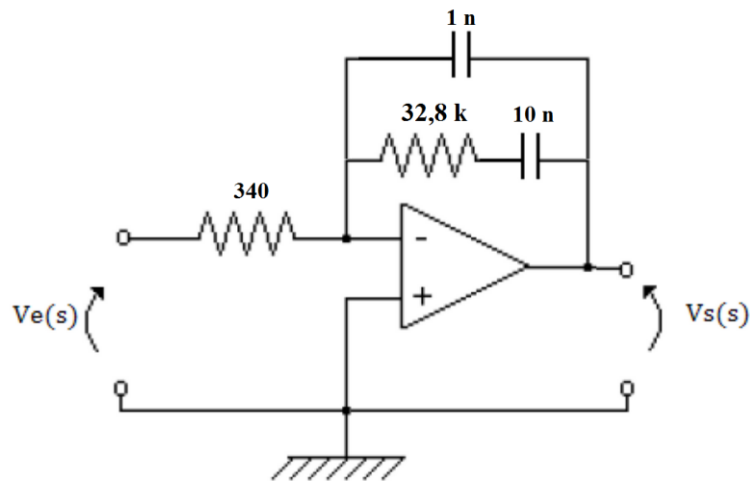
Pode-se observar que a frequência de cruzamento por 0 dB é de aproximadamente 12,5 kHz e a margem de fase é 90°, garantindo assim a estabilidade do sistema. O ganho para baixas frequências é superior a 80 dB, o que minimiza o erro estático.

Como é possível perceber pela Figura 133, o compensador inseriu um polo de tal forma a anular o zero da função de transferência do Flyback.



**Figura 133: Diagrama de polos e zeros da função  $G(s)$  e do compensador.**  
Fonte: Autoria própria.

A Figura 134 apresenta o circuito do compensador proporcional-integrativo proposto.



**Figura 134: Circuito do compensador proposto.**  
Fonte: Autoria própria.

Observação: No projeto apresentado não foi definido o circuito de grameamento da chave e o *driver* responsável pelo chaveamento.