

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
BACHARELADO EM ENGENHARIA ELETRÔNICA

LUCAS RICKEN GARCIA

**DESENVOLVIMENTO DE UM SISTEMA DE COMUNICAÇÃO DE
BAIXO CONSUMO PARA DISPOSITIVOS IMPLANTÁVEIS**

TRABALHO DE CONCLUSÃO DE CURSO

CAMPO MOURÃO

2015

LUCAS RICKEN GARCIA

**DESENVOLVIMENTO DE UM SISTEMA DE COMUNICAÇÃO DE
BAIXO CONSUMO PARA DISPOSITIVOS IMPLANTÁVEIS**

Trabalho de Conclusão de Curso de Graduação, apresentado à disciplina de Trabalho de Conclusão de Curso 2 - TCC2, do curso Superior de Engenharia Eletrônica do Departamento Acadêmico de Eletrônica (DAELN) da Universidade Tecnológica Federal do Paraná (UTFPR), como requisito parcial para obtenção do título de Engenheiro Eletrônico.

Orientador: Prof. MSc. Ricardo Bernardi

CAMPO MOURÃO

2015



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Campus Campo Mourão
Coordenação de Engenharia Eletrônica



TERMO DE APROVAÇÃO
DO TRABALHO DE CONCLUSÃO DE CURSO INTITULADO

Desenvolvimento de um Sistema de Comunicação de Baixo Consumo para
Dispositivos Implantáveis

por

Lucas Ricken Garcia


Trabalho de Conclusão de Curso apresentado no dia 13 de Fevereiro ao Curso Superior de Engenharia Eletrônica da Universidade Tecnológica Federal do Paraná, Câmpus Campo Mourão. O candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho APROVADO (aprovado, aprovado com restrições ou reprovado).




Prof. Msc. Paulo Garcez da Luz
(UTFPR)



Prof. Msc. Reginaldo Nunes de Souza
(UTFPR)



Prof. Msc. Ricardo Bernardi
(UTFPR)
Orientador



Prof. Msc. Leandro Castilho Brolin
Responsável pelo TCC do Curso de Eng. Eletrônica

Campo Mourão, 13 de Fevereiro de 2015.

AGRADECIMENTOS

Primeiramente, agradeço a Deus, Aquele que me deu o dom da vida e que me fortalece a cada dificuldade. Agradeço a meus pais, Valdomiro Garcia e Valmira Ricken Garcia, por me educarem com sabedoria e extrema dedicação com constante incentivo aos estudos, principalmente nestes cinco anos de graduação. Ao meu irmão Hugo, pela companhia e ajuda indispensável para lavar a louça nos quatro anos que moramos juntos. Agradeço a minha namorada Thaysa F. Moya Moreira, pelo companheirismo, lealdade e compreensão, especialmente quando nossos finais de semana juntos se tornavam dias de estudo.

Aos professores, agradeço os ensinamentos e conselhos dados dentro e fora da aula, em especial ao Prof. Ricardo Bernardi, um dos responsáveis pela minha escolha em seguir a área de Engenharia Biomédica e buscar carreira acadêmica, e que mesmo após transferir de *campus* continuou a orientar e ajudar a tornar possível o desenvolvimento deste trabalho. Por fim, agradeço a meus colegas e amigos de universidade, por fazerem desta graduação um período de grande aprendizado, experiências e momentos felizes, pois com colaboração mútua, e uma certa ajuda da madrugada, fomos passando pelas disciplinas e cada um foi conquistando o que almejava.

RESUMO

GARCIA, Lucas Ricken. DESENVOLVIMENTO DE UM SISTEMA DE COMUNICAÇÃO DE BAIXO CONSUMO PARA DISPOSITIVOS IMPLANTÁVEIS. 159 f. Trabalho de Conclusão de Curso – Bacharelado em Engenharia Eletrônica, Universidade Tecnológica Federal do Paraná. Campo Mourão, 2015.

O presente trabalho apresentou o desenvolvimento de uma solução sob demanda para sistemas de comunicação aplicados a dispositivos implantáveis. O projeto proposto trata-se de um sistema de comunicação passivo a 125 kHz com comunicação bidirecional *half-duplex*, formado por um dispositivo externo responsável por enviar uma requisição para habilitar um sistema de comunicação principal e por um dispositivo implantável que recebe a requisição e responde ao dispositivo externo se o procedimento foi executado com sucesso. A comunicação deste sistema desenvolvido ocorre passivamente com apenas um enlace indutivo responsável por enviar energia ao dispositivo implantável e dados em ambos os sentidos *uplink* e *downlink* utilizando modulação *ASK* e codificação Manchester, seguindo um protocolo próprio baseado no CI EM4100. Projetado e confeccionado o protótipo dos dispositivos, foi possível realizar uma comunicação bidirecional a 3,5 cm de distância com uma taxa de comunicação igual a 1851,85 bit/s. Apesar de observado uma acentuada dificuldade em ajustar os parâmetros do circuito para obter uma boa relação entre consumo de potência e desempenho, o sistema desenvolvido obteve êxito em apresentar uma solução para reduzir o consumo de energia de dispositivos implantáveis.

Palavras-chave: Dispositivos Implantáveis, RFID, Acoplamento Magnético, *Link* Indutivo

ABSTRACT

GARCIA, Lucas Ricken. DEVELOPMENT OF A LOW POWER COMMUNICATION SYSTEM FOR IMPLANTABLE DEVICES. 159 f. Trabalho de Conclusão de Curso – Bacharelado em Engenharia Eletrônica, Universidade Tecnológica Federal do Paraná. Campo Mourão, 2015.

This work presented the development of an on-demand solution for communication systems applied to implantable devices. The proposed project deals with a passive communication system at 125 kHz with bidirectional half-duplex communication, formed by an external device responsible for sending a request to enable a main communication system and an implantable device that receives the request and responds to the external device if the procedure was successful. The communication of this developed system occurs passively with only an inductive link responsible for sending power to the implantable device and data in both uplink and downlink directions using ASK modulation and Manchester coding, following an own protocol based on IC EM4100. With the prototype of the devices designed and developed was possible to perform two-way communication to 3.5 cm apart with a baud rate equal to 1851.85 bit/s. Although observed an intense difficulty to adjust circuit parameters for a good relationship between power consumption and performance, the system developed was successful in presenting a solution to reduce the energy consumption of implantable devices.

Keywords: Implantable Devices, RFID, Magnetic Coupling, Inductive Link

LISTA DE FIGURAS

FIGURA 1	– Número de documentos publicados com palavra chave: "microsystem", "wearable" e "implantable".	2
FIGURA 2	– Implante coclear composto por a) transmissor e b) receptor/estimulador.	5
FIGURA 3	– Dispositivo de estimulação gástrica.	5
FIGURA 4	– Diagrama representativo de dispositivos a) passivo e b) ativo.	7
FIGURA 5	– Dispositivo implantável passivo desenvolvido por Oliveira (2007).	7
FIGURA 6	– Modelo de um sistema de comunicação.	8
FIGURA 7	– Linhas de campo elétrico para cargas positivas e negativas.	12
FIGURA 8	– a) interação entre polos magnéticos b) linhas de campo magnético.	12
FIGURA 9	– Experimento para verificar as linhas de campo magnético geradas por uma barra de ímã permanente.	12
FIGURA 10	– Direção do vetor força magnética.	14
FIGURA 11	– a) Representação do experimento de Faraday b) Foto do anel de ferro construído por Faraday para experimentos de 1831.	15
FIGURA 12	– Exemplos de diferentes elementos indutivos: a) bobina com núcleo de ar, b) bobina com núcleo de material ferromagnético, c) transformador, d) eletroímã, e) barras de barramento da estação elétrica de energia e f) placa de circuito impresso com trilhas condutoras.	16
FIGURA 13	– Formação de um <i>link</i> indutivo entre duas bobinas alinhadas a) Se a corrente na bobina 1 variar, uma <i>fem</i> será induzida na bobina 2 b) Se a corrente na bobina 2 variar, uma <i>fem</i> será induzida na bobina 1.	17
FIGURA 14	– Disposição de duas bobinas em um eixo x, y, z	19
FIGURA 15	– Indutores longos acoplados.	20
FIGURA 16	– Área aparente ao qual circula a parte representativa da corrente elétrica.	22
FIGURA 17	– a) Um simples circuito ressonante sem perdas, b) um circuito ressonante série e c) um circuito ressonante paralelo. O fator de qualidade é o mesmo, mas os valores das resistências não são iguais.	24
FIGURA 18	– Tipos de enlaces a) acoplamentos distintos, b) acoplamentos simultâneos e c) acoplamento multiplexado.	28
FIGURA 19	– Circuito base de um <i>link</i> indutivo, ao qual os capacitores C1 e C2 mudam conforme a configuração desejada.	30
FIGURA 20	– Circuito utilizado por Zierhofer e Hochmair (1996).	31
FIGURA 21	– Diagrama do sistema de comunicação para dispositivos microeletrônicos implantáveis desenvolvido por Ghovanloo e Atluri (2007).	32
FIGURA 22	– <i>PTE</i> do <i>link</i> indutivo pela variação da carga R_L , os resultados produzidos por Baker e Sarpeshkar (2007) ignoram as perdas no amplificador de potência.	33
FIGURA 23	– Microssistema passivo para monitoramento de glicose desenvolvido por Ahmadi e Jullien (2009).	34
FIGURA 24	– Circuito base de um <i>link</i> indutivo formado por 4 bobinas.	35
FIGURA 25	– Eficiência energética e fator de forma <i>versus</i> distância entre as bobinas L_2 e L_3 desenvolvidas por Yang e Yang (2013).	35

FIGURA 26	– Eficiência energética <i>versus</i> distância para acoplamento a 2 e 4 bobinas, demonstrando um comparativo entre valores simulados e práticos quando há variação da resistência interna da fonte.	36
FIGURA 27	– Circuito base de um <i>link</i> indutivo formado por 3 bobinas.	37
FIGURA 28	– Simulação da a) eficiência na transmissão de energia (<i>PTE</i> e b) potência entregue à carga (<i>PDL</i>) para um <i>link</i> indutivo a 4 bobinas em função de k_{12} e d_{23} considerando $k_{34} = 0,22$; e c) <i>PTE</i> e d) <i>PDL</i> para um <i>link</i> indutivo a 3 bobinas em função de k_{34} e d_{23} considerando $V_S = 1 \text{ V}$ e $R_L = 100 \Omega$	38
FIGURA 29	– Visão geral de um sistema de comunicação passivo para aplicações biomédicas.	39
FIGURA 30	– Diagrama geral do sistema de comunicação proposto.	43
FIGURA 31	– Pinagem do AT89S52 com encapsulamento de 40 pinos.	45
FIGURA 32	– a) Gravador USBASP e b) pinagem do conector de 10 vias destinado a conectar gravador e microcontrolador.	46
FIGURA 33	– Circuito base para utilização do AT89S52.	46
FIGURA 34	– a) Exemplo de um ATtiny10 e sua b) pinagem.	48
FIGURA 35	– Circuito para gravação do ATtiny10 usando USBASP.	49
FIGURA 36	– a) Modelo simplificado de um <i>link</i> indutivo a 2 bobinas, b) circuito equivalente considerando o efeito da indutância mútua no primário e c) Impedância refletida no primário quando operando na frequência de ressonância.	51
FIGURA 37	– Algoritmo de otimização de um <i>link</i> indutivo a 2 bobinas.	55
FIGURA 38	– Carretel de madeira para montagem das bobinas.	56
FIGURA 39	– Carretel acoplado a parafusadeira.	57
FIGURA 40	– Base desenvolvida em madeira para fixação e ajuste de distância das bobinas projetadas.	58
FIGURA 41	– a) circuito base de um <i>PA</i> classe E e b) forma de onda típica da corrente e tensão de dreno.	61
FIGURA 42	– Circuito base de um <i>PA</i> classe E com oscilador Hartley.	62
FIGURA 43	– Circuito modulador projetado para o dispositivo externo.	65
FIGURA 44	– Circuito demodulador projetado para o dispositivo externo.	66
FIGURA 45	– Circuito modulador projetado para o dispositivo implantável.	67
FIGURA 46	– Circuito demodulador projetado para o dispositivo implantável.	68
FIGURA 47	– Protocolo de comunicação do sistema desenvolvido.	73
FIGURA 48	– Visão geral do funcionamento do dispositivo.	73
FIGURA 49	– Componentes que compõem o <i>hardware</i> do dispositivo externo.	74
FIGURA 50	– a) Exemplo de <i>display LCD</i> e b) sua pinagem.	74
FIGURA 51	– Fluxograma do código desenvolvido em C para o dispositivo externo.	76
FIGURA 52	– Detalhe do sincronismo na leitura do a) sinal demodulado, b) os instantes em que ocorre a leitura do sinal e c) o código binário resultante.	78
FIGURA 53	– Fluxograma do programa desenvolvido em <i>Assembly</i> para o dispositivo implantável.	81
FIGURA 54	– Registrador especial do comparador analógico interno do ATtiny10 e seus bits de configuração do modo de interrupção.	82
FIGURA 55	– Diagrama do circuito interno do comparador analógico.	82
FIGURA 56	– Distribuição dos dados na SRAM.	83
FIGURA 57	– Protótipo do dispositivo externo.	86
FIGURA 58	– Protótipo do dispositivo implantável.	86

FIGURA 59	– Valor <i>PTE</i> calculada pela distância entre as bobinas L_1 e L_2 para duas bobinas montadas sem seguir as especificações do projeto, mas com o intuito de comparar resultados práticos e teóricos.	87
FIGURA 60	– Valor <i>PTE</i> calculada pela distância entre as bobinas L_1 e L_2 para as bobinas solenoide e planar projetadas.	88
FIGURA 61	– Valor da <i>PTE</i> teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.	89
FIGURA 62	– Valor da <i>PTE</i> teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.	89
FIGURA 63	– Circuito de um amplificador Classe E com oscilador Hartley.	90
FIGURA 64	– Formas de onda do chaveamento do IRF540N (canal 1) e da tensão na carga.	91
FIGURA 65	– Bobinas multicamadas projetadas para o sistema de comunicação.	92
FIGURA 66	– Valor da <i>PTE</i> teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.	93
FIGURA 67	– Forma de onda de um sinal modulado (canal 1) e o resultado da retificação após passar por um comparador inversor.	94
FIGURA 68	– Sinal recepcionado no secundário (canal 2) e o resultado da demodulação (canal 1).	94
FIGURA 69	– Sinal de entrada (canal 2) e de sinal de saída (canal 1) do comparador analógico.	95
FIGURA 70	– Sinal de controle do microcontrolador (canal 1) e sinal obtido após o FPB no demodulador.	95
FIGURA 71	– Sinal demodulado (canal 1) e sinal de controle do microcontrolador (canal 2) durante todo o processo de leitura.	96
FIGURA 72	– Sinal demodulado (canal 1) e sinal de controle do microcontrolador (canal 2) mostrando momento em que inicia-se a leitura dos dados.	96
FIGURA 73	– Tensão na carga do amplificador de potência (canal 1) e consequente demodulação no próprio dispositivo externo (canal 2).	97
FIGURA 74	– Saída do comparador analógico do ATtiny10 (canal 1) frente a demodulação do sinal de recepcionado (canal 2).	98
FIGURA 75	– Formas de onda do circuito demodulador quando o dispositivo implantável estava sendo alimentado ativamente.	99
FIGURA 76	– Formas de onda do circuito demodulador quando o dispositivo implantável estava sendo alimentado passivamente. No canal 1 é apresentado a saída do comparador inversor de acordo com o sinal de entrada mostrado no canal 2.	100
FIGURA 77	– Imagem das bobinas na base de testes conectadas nos protótipos.	100
FIGURA 78	– Resultado do dispositivo implantável finalizado, a) demonstra o ajuste do comparador analógico (canal 1) e b) ajuste do <i>software</i> de leitura para o sinal recepcionado e demodulado mostrado no canal 2.	101
FIGURA 79	– Processo de demodulação no dispositivo externo a) com o correto ajuste da detecção quando o sistema estava operando com comunicação bidirecional e b) sem o correto ajuste da tensão de referência do comparador.	102
FIGURA 80	– Representação das potências.	112
FIGURA 81	– Diagrama do circuito base de um <i>PA</i> classe C.	115
FIGURA 82	– Diagrama do circuito base de um <i>PA</i> classe D.	115
FIGURA 83	– Diagrama do circuito base de um <i>PA</i> classe E.	116

FIGURA 84	– Impedância de uma típica carga ressonante operando a multi frequências. A frequência do PA Classe E esta localizado entre os picos da ressonância paralela e série.	117
FIGURA 85	– Forma de onda ótima da a) Tensão e b) corrente para a máxima eficiência de um PA classe E.	117
FIGURA 86	– Exemplo de uma figura	118
FIGURA 87	– Forma de onda da tensão e corrente ideais de um amplificador a) classe F e b) classe F^{-1}	119
FIGURA 88	– Modulação AM.	121
FIGURA 89	– Modulação ASK a) MASK b) BASK e c) OOK.	122
FIGURA 90	– Modulação FM.	122
FIGURA 91	– a) Sinal digital modulante, b) ASK, c) FSK e d) PSK.	123
FIGURA 92	– Exemplo de uma figura	124
FIGURA 93	– Codificação Manchester, considerando borda de subida como bit '0' e borda de descida como bit '1'.	125
FIGURA 94	– Codificação Diferencial a) NRZ Diferencial e b) Manchester Diferencial.	126
FIGURA 95	– Codificação DBP.	126
FIGURA 96	– Comparativo entre alguns tipos de codificação.	127
FIGURA 97	– Estrutura dos dados no protocolo de comunicação definido pelo padrão ISO 11784.	130
FIGURA 98	– Estrutura dos dados no protocolo de comunicação do circuito integrado EM4100.	131
FIGURA 99	– Esquemático da versão final do dispositivo implantável.	132
FIGURA 100	– Projeto da PCI do dispositivo implantável.	133
FIGURA 101	– PCI final do dispositivo implantável.	133
FIGURA 102	– Esquemático da versão final do dispositivo externo.	134
FIGURA 103	– Projeto da PCI do dispositivo externo.	135
FIGURA 104	– PCI final do dispositivo externo.	136

LISTA DE TABELAS

TABELA 1	– Dimensões Físicas das bobinas planares projetadas por Wang et al. (2005).	32
TABELA 2	– Recursos e características presentes no AT89S52.	44
TABELA 3	– Recursos e características presentes no ATtiny10.	47
TABELA 4	– Especificações e limites para o projeto de bobinas planares e solenoidais. .	59
TABELA 5	– Especificações e limites para o projeto das bobinas multicamadas para o sistema de comunicação proposto.	59
TABELA 6	– Algumas das principais instruções dos microcontroladores AVR.	79
TABELA 7	– Registradores de configuração dos pinos de I/O do ATtiny10.	83
TABELA 8	– Resultado da otimização das bobinas solenoide e planar.	88
TABELA 9	– Valores calculados e práticos dos componentes do PA Classe E projetado a uma frequência de 125 kHz.	90
TABELA 10	– Especificações e limites para o projeto das bobinas multicamadas para o sistema de comunicação proposto.	92
TABELA 11	– Características e Resultados finais do sistema de comunicação desenvolvido.	101

LISTA DE SIGLAS

UTI	Unidade de Tratamento Intensivo
NTC	<i>Negative Temperature Coefficient</i>
SI	Sistema internacional
WBSN	<i>Wireless Body Sensor Networks</i>
RF	Radio Frequência
PTE	<i>Power Transmission Efficiency</i>
PDL	<i>Power Delivered to Load</i>
LSK	<i>Load Shift Keying</i>
CMOS	<i>Complementary metal-Oxide-Semiconductor</i>
CI	Circuito integrado
ROM	<i>Read Only Memory</i>
RAM	<i>Random Access Memory</i>
CISC	<i>Complex Instruction Set Computer</i>
I/O	<i>Input/Output</i>
ISP	<i>In-System Programming</i>
SMD	<i>Surface Mount Devices</i>
TPI	<i>Tiny Programming Interface</i>
PCI	Placa de Circuito Impresso
RLT	<i>Reflected Load Theory</i>
CMT	<i>Coupled-Mode Theory</i>
PVC	<i>Polyvinyl Chloride</i>
DAELN	Departamento Acadêmico de Engenharia Eletrônica
FPB	Filtro Passa Baixa
IDE	<i>Integrated Development Environment</i>
GCC	<i>GNU Compiler Collection</i>
PA	<i>Power Amplifier</i>
CC	Corrente Contínua
FET	<i>Field Effect Transistor</i>
AM	Modulação em Amplitude
ASK	<i>Amplitude Shift Keying</i>
BASK	<i>Binary Amplitude Shift Keying</i>
OOK	<i>On-Off Keying</i>
MASK	<i>Multilevel Amplitude Shift Keying</i>
FM	Modulação em Frequência
FSK	<i>Frequency Shift Keying</i>
PM	Modulação em Fase
SNR	<i>Signal-Noise Ratio</i>
PSK	<i>Frequency Shift Keying</i>
BPSK	<i>Binary Frequency Shift Keying</i>
NRZ	<i>Non-Return-to-Zero</i>
RZ	<i>Return-to-Zero</i>

DPC *Diferencial Bi-phase Code*
LRC *Longitudinal Redundancy Check*
RFID *Radio Frequency Identification*
ISM *Industrial, Scientific and Medical*
ISO *International Organization for Standards*
QPSK *Quadrature Phase Shift Keying*

LISTA DE SÍMBOLOS

V_{ca}	Tensão em corrente alternada
L	Indutância
C	Capacitância
\vec{E}	Campo elétrico
q	Carga elétrica
\vec{B}	Campo Magnético
\vec{F}_B	Força magnética
\vec{v}	Movimento de carga elétrica
μ_0	Permissividade magnética no vácuo
$d\vec{s}$	Elemento diferencial de área
Φ_B	Fluxo magnético
$d\vec{l}$	Elemento diferencial de linha
M_{21}	Indutância mútua da bobina 2 em relação a bobina 1
ξ	Força eletromotriz
M_{12}	Indutância mútua da bobina 1 em relação a bobina 2
R_P	Raio externo da bobina do primário
R_S	Raio externo da bobina do secundário
ϕ	Ângulo de integração até qualquer outro ponto da segunda bobina
c	Distância entre os centros das bobinas
d	Distância entre os eixos das bobinas
θ	Ângulo entre os planos das bobinas
$K(\kappa)$	integral elíptica completa de primeira espécie
$E(\kappa)$	integral elíptica completa de segunda espécie
M	Indutância mútua
A	Diâmetro da bobina para o cálculo da autoindutância
l	Comprimento de uma bobina para o cálculo de sua auto indutância
L_1	Indutância da bobina 1
L_2	Indutância da bobina 2
k	Coefficiente de acoplamento magnético
R_{Ap}	Resistência aparente de um condutor
δ	Profundidade pelicular
ρ	Resistividade
ω	Frequência angular
ζ	Espessura da camada isolante de uma bobina
θ_e	ângulo efetivo entre a duas espiras de uma bobina
s	distância entre duas espiras
η_0	Permissividade elétrica no vácuo
η_r	Permissividade elétrica relativa
D_0	Diâmetro da espira de uma bobina
C_P	Capacitância parasita
N	Número de voltas de uma bobina

Q	Fator de qualidade
X_L	Reatância do indutor
R	Resistência
$C_{funcionamento}$	Taxa de funcionamento
$T_{repouso}$	Tempo de repouso
$T_{func.}$	Tempo de funcionamento
V_s	Tensão da fonte
C_1	Capacitor do primário
f_0	Frequência de ressonância
R_1	Perdas do da bobina do primário
R_2	Perdas da bobina do secundário
R_S	Resistência interna da fonte
$R_{L,PTE}$	Resistência de carga ótima para máxima <i>PTE</i>
$R_{L,PDL}$	Resistência de carga ótima para máxima <i>PDL</i>
P_O	Potência de saída
P_I	Potência de entrada
P_S	Potência da fonte
P_L	Potência na carga
P_D	Potência dissipada
I_{CQ}	Corrente de polarização do coletor do transistor
R_L	Resistência de carga
$m(t)$	Sinal modulante
$s(t)$	Sinal transmitido
t	Tempo
k_P	Ganho de amplitude sobre o sinal modulante
T_B	Tempo de bit

SUMÁRIO

1 INTRODUÇÃO	2
1.1 RESUMO HISTÓRICO E COLOCAÇÃO DO PROBLEMA	3
1.1.1 Engenharia Eletrônica	3
1.1.2 Dispositivos Implantáveis e Motivação	4
1.2 OBJETIVOS	9
1.2.1 Objetivos Gerais	9
1.2.2 Objetivos Específicos	9
1.3 ORGANIZAÇÃO DO TRABALHO	10
2 CONCEITOS INICIAIS	11
2.1 ELETROMAGNETISMO	11
2.1.1 Campo Magnético e Força Magnética	13
2.1.2 Lei de Ampère	13
2.1.3 Lei de Faraday	14
2.2 TERMOS PARA MODELAGEM DE UM INDUTOR	16
2.2.1 Indutância Mútua	17
2.2.2 Autoindutância e Acoplamento Magnético	19
2.2.3 Resistência em Corrente Alternada	21
2.2.4 Capacitância Parasita	22
2.2.5 Fator de Qualidade	23
3 DISPOSITIVOS IMPLANTÁVEIS E SISTEMAS DE COMUNICAÇÃO	
PASSIVOS	25
3.1 GERENCIAMENTO DE ENERGIA	26
3.2 SISTEMA DE COMUNICAÇÃO PASSIVO	27
3.3 <i>LINK</i> INDUTIVO	28
3.3.1 2, 3 e 4 Bobinas	34
4 MATERIAIS E MÉTODOS	39
4.1 METODOLOGIA	40
4.2 DEFINIÇÕES GERAIS DO SISTEMA DE COMUNICAÇÃO	41
4.3 DEFINIÇÃO DOS MICROCONTROLADORES	42
4.3.1 Dispositivo Externo	43
4.3.1.1 AT89S52	43
4.3.2 Dispositivo Implantável	46
4.3.2.1 ATtiny10	47
4.4 PROJETO DE UM <i>LINK</i> INDUTIVO	49
4.4.1 Definição das Características do <i>Link</i> Indutivo	50
4.4.2 Modelamento Matemático	50
4.4.3 Algoritmo de Otimização	52
4.4.4 Montagem das Bobinas	55
4.4.5 Projeto e Testes do <i>link</i> Indutivo	56
4.4.6 Amplificador de Potência	60
4.5 MODULAÇÃO E DEMODULAÇÃO	64

4.5.1 Dispositivo Externo	64
4.5.2 Dispositivo Implantável	67
4.5.3 Ajustes Finais do Sistema de Comunicação	70
4.6 IMPLEMENTAÇÃO DO PROTOCOLO DE COMUNICAÇÃO	72
4.6.1 Programa do Dispositivo Externo	73
4.6.2 Programa do Dispositivo Implantável	79
5 RESULTADOS E DISCUSSÕES	85
5.1 <i>LINK</i> INDUTIVO	86
5.1.1 Amplificador de Potência	89
5.1.2 Link Indutivo Projetado	91
5.2 SISTEMA DE COMUNICAÇÃO	92
5.2.1 <i>Uplink</i>	93
5.2.2 <i>Downlink</i>	97
5.3 RESULTADOS FINAIS	98
6 CONCLUSÃO	103
6.1 TRABALHOS FUTUROS	104
REFERÊNCIAS	106
Apêndice A – AMPLIFICADORES DE POTÊNCIA	112
A.1 EFICIÊNCIA	112
A.2 POTÊNCIA DE ENTRADA	113
A.3 POTÊNCIA DE SAÍDA	113
A.4 CLASSE DE OPERAÇÃO	114
A.4.1 Classe C	114
A.4.2 Classe D	114
A.4.3 Classe E	116
A.4.4 Classe F e F^{-1}	118
Apêndice B – CONCEITOS INICIAIS DE UM SISTEMA DE COMUNICAÇÃO ...	120
B.1 MODULAÇÃO	120
B.1.1 Modulação em Amplitude (<i>AM</i>)	120
B.1.2 Modulação em Frequência (<i>FM</i>)	121
B.1.3 Modulação em Fase (<i>PM</i>)	123
B.2 CODIFICAÇÃO	123
B.2.1 Codificação Unipolar e Bipolar	124
B.2.2 Codificação Manchester	125
B.2.3 Codificação Diferencial	125
B.2.4 Codificação Diferencial Bifásica	125
B.2.5 Codificação <i>Miller</i>	126
B.3 INTEGRIDADE DOS DADOS	127
B.4 PROTOCOLO	128
B.4.1 <i>ISO 10536</i>	128
B.4.2 <i>ISO 11784</i>	129
B.4.3 <i>ISO 11785</i>	129
B.4.4 <i>EM 4100</i>	130
Apêndice C – ESQUEMÁTICOS E <i>PCIS</i> FINAIS	132
C.1 DISPOSITIVO IMPLANTÁVEL	132
C.2 DISPOSITIVO EXTERNO	133
Apêndice D – CÓDIGO DO DISPOSITIVO EXTERNO	137
Apêndice E – CÓDIGOS DO DISPOSITIVO IMPLANTÁVEL	146

1 INTRODUÇÃO

Há quatro décadas atrás, a engenharia biomédica era considerada um campo multidisciplinar emergente, cujos objetivos iniciais eram o estudo de técnicas e ferramentas para aplicação em diagnósticos, tratamento e prevenção de doenças (SODAGAR, 2014). Atualmente, a engenharia biomédica consiste em uma área com grande potencial de desenvolvimento, tanto em uma visão industrial quanto acadêmica, com pesquisas promissoras e com característica multidisciplinar bem evidente buscando solucionar problemas da biologia e medicina.

Em (SODAGAR, 2014), faz-se uma análise dos aspectos históricos da engenharia biomédica como parte de graduações, pós-graduações e como fonte de desenvolvimento para melhorias na área da saúde. Dentre os aspectos avaliados, verifica-se um crescente aumento de trabalhos relacionados a microssistemas e dispositivos implantáveis, como apresentado na figura 1.

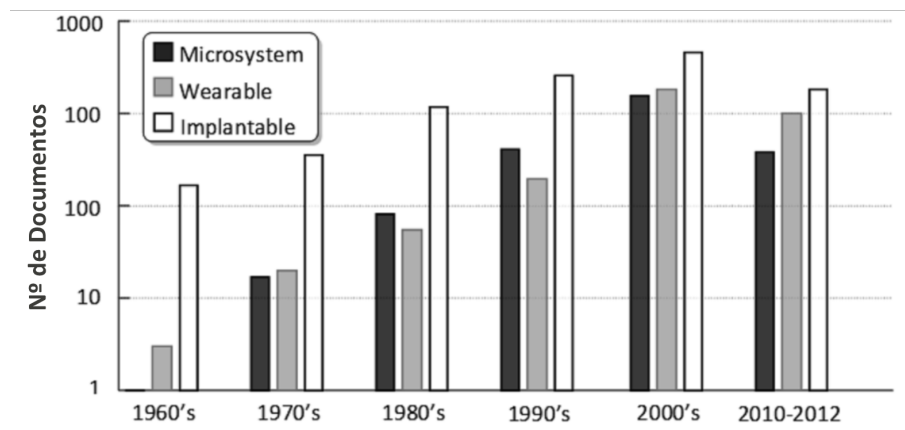


Figura 1: Número de documentos publicados com palavra chave: *"microsystem"*, *"wearable"* e *"implantable"*.

Fonte: Adaptado de (SODAGAR, 2014).

Observando o gráfico da figura 1, é possível notar que mesmo contabilizando um período de dois anos, o período de 2010-2012 quase aproxima-se em número de documentos

comparado ao produzido na década de 2000, ou seja, há um grande interesse da comunidade científica em desenvolver soluções para dispositivos implantáveis e microssistemas. Seguindo essa tendência de interesse e buscando utilizar a engenharia biomédica como fonte de melhorias na qualidade de vida, o presente trabalho tem como objetivo contribuir no desenvolvimento de dispositivos médicos implantáveis.

1.1 RESUMO HISTÓRICO E COLOCAÇÃO DO PROBLEMA

A engenharia biomédica não possui uma data de início bem definida na história, mas está diretamente relacionada ao desenvolvimento de outras áreas da ciência, já que utiliza de conhecimentos da engenharia, física, química, matemática e computação para solucionar problemas da biologia e medicina.

Devido a sua ampla multidisciplinaridade, é difícil a classificação de profissionais na área ou a divisão em subáreas bem definidas. Mas é possível avaliar de forma mais específica determinado problema, quais as soluções desenvolvidas no decorrer da história e qual o papel, por exemplo, da engenharia eletrônica neste desenvolvimento.

1.1.1 ENGENHARIA ELETRÔNICA

Desde a chamada “Guerra das Correntes” entre os americanos George Westinghouse e Thomas Edison que ocorreu nas duas últimas décadas do século XIX - na qual Westinghouse, junto com Nikola Tesla, defendia o uso da corrente alternada como transmissão de energia, já Thomas Edison defendia o uso da corrente contínua - até hoje, o desenvolvimento da eletrônica é uma das áreas mais crescentes no mundo. Ao acender a primeira lâmpada incandescente em 1879, Thomas Edison iniciou a técnica que posteriormente permitiria a descoberta da válvula diodo por W. R. Preece em 1895, e desenvolvida de forma prática só em 1904 pelo inglês John Ambrose Fleming que a utilizou para detecção de ondas de rádio. Já em 1907, De Forest descobriu a válvula “triódo”, o que tornou possível o desenvolvimento de muitos instrumentos médicos e que junto a necessidade de comunicação na primeira guerra mundial (1914-1918) estimulou a produção em massa de válvulas (BERTOTTI, 2005).

A segunda guerra mundial (1939-1945) também foi grande estimulador de novas tecnologias na área eletrônica e de avanços significativos na medicina. Assim, como resultado da aplicação das tecnologias desenvolvidas, novos dispositivos médicos foram criados (BERTOTTI, 2005). Após a guerra, nos laboratórios da Beel Telephone em 1947, Bardeen e Brattain descobriram o primeiro transistor, que em 1950 começa a ser comercializado em

massa e inicia uma nova fase da eletrônica. O transistor comparado a antiga válvula possui uma maior resposta em frequência, maior facilidade de fabricação e, principalmente, menor dimensão. Estas características em conjunto com a criação dos circuitos integrados em 1952 por Geoffrey Dummer, permitiram a miniaturização de circuitos eletrônicos e a possibilidade de criar instrumentos e mecanismos portáteis aplicado a diversas áreas, inclusive a biomédica.

Assim, a partir de 1950 a instrumentação biomédica começou a crescer consideravelmente. O ventilador mecânico desenvolvido na década de 50, começou a ser empregado em unidades de tratamento intensivo (UTI) já na década de 60, popularizando as UTIs no país (NEBEKER, 2002). Em 1952, Dr. Paul Zoll descreveu o primeiro marcapasso cardíaco (ZOLL, 1952; NEBEKER, 2002), porém, este ainda era grande, alimentado com 110 V_{ca} , e apesar de o tratamento causar dor e danos a pele do paciente, o mesmo permitiu salvar diversas vidas (GREATBATCH; HOLMES, 1991). Além da instrumentação, a miniaturização possibilitada pelo transistor despertou o interesse em desenvolver dispositivos pequenos o suficiente para serem implantados. Isto foi possível com o auxílio da engenharia eletrônica, permitindo que diversos dispositivos implantáveis fossem desenvolvidos para os mais diversos fins, sendo hoje, uma das crescentes áreas da engenharia biomédica.

1.1.2 DISPOSITIVOS IMPLANTÁVEIS E MOTIVAÇÃO

No final dos anos 50, A Djourno e C. Eyries iniciaram os primeiros experimentos que iriam possibilitar o desenvolvimento de implantes cocleares, na época, eram apenas sistemas implantados para estimular o nervo auditivo (NEBEKER, 2002). Em 1958 e 1959, Wilson Greatbatch e William M. Chardack desenvolveram o primeiro marcapasso implantável, cuja unidade externa era acoplada magneticamente à unidade implantável (NEBEKER, 2002; BERTOTTI, 2005). Em 1960, Chardak et al. (1960) realizaram o primeiro implante em seres humanos com sucesso.

Nos anos 70 foi criado o primeiro desfibrilador automático implantável, este foi implantado em um ser humano em 1980, no hospital universitário Johns Hopkins nos Estados Unidos (BERTOTTI, 2005). A partir disso, diversos dispositivos implantáveis foram desenvolvidos e aperfeiçoados. Atualmente há implantes retiniais para cegos, implantes cocleares para surdos e estimuladores para doença de Parkinson ou para o controle de dor (BAKER; SARPESHKAR, 2007).

A figura 2 apresenta um implante coclear, composto por um transmissor externo que envia ao implante o som captado externamente, este converte a informação em impulsos elétricos e envia-os via eletrodos posicionados na cóclea. Outro exemplo, demonstrado pela

figura 3, trata-se de um estimulador gástrico, ele funciona através do aumento da atividade dos músculos gástricos apenas quando o paciente come, o que modifica a secreção de hormônios afetando favoravelmente o metabolismo da glicose e gordura (PRUTCHI, 2011), neste caso é possível verificar a presença de uma bobina responsável pela recarga da bateria do implante.

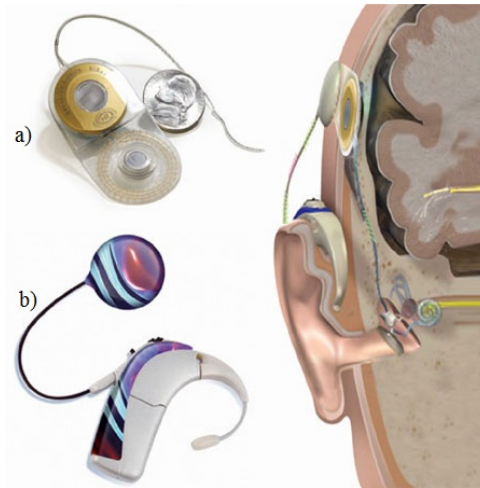


Figura 2: Implante coclear composto por a) transmissor e b) receptor/estimulador.

Fonte: Adaptado de (AUDIOLOGY BY ACCENT, 2012).

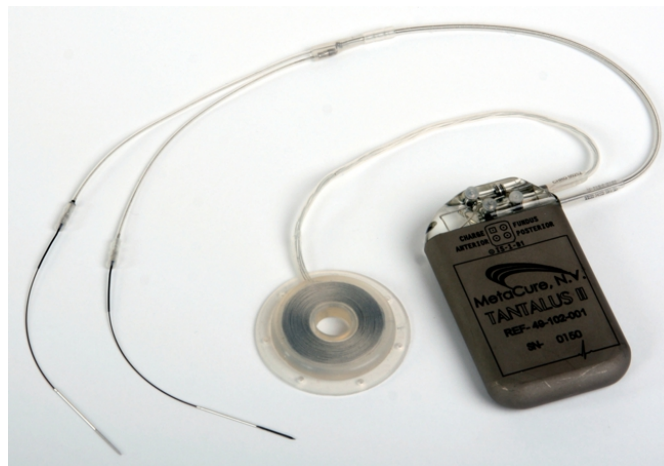


Figura 3: Dispositivo de estimulação gástrica.

Fonte: Adaptado de (PRUTCHI, 2011).

Muitos tratamentos necessitam de uma supervisão periódica de condições químico-físicas do paciente, tais como temperatura, força muscular e níveis de glicose no sangue (AHMADI; JULLIEN, 2009). Este último sendo muito importante para o tratamento de pacientes com diabetes, tanto no controle dos níveis de açúcar para diabetes tipo 2, que não são dependentes de insulina, quanto no controle da diabetes tipo 1 que normalmente ocorre entre crianças e adolescentes e necessita de aplicações periódicas.

O porquê de desenvolver tecnologias de dispositivos implantáveis muitas vezes sobrepõe o ato de tratar eficientemente uma doença, pois permite a melhora da qualidade de vida do indivíduo, evitando que um procedimento cotidiano, imprescindível e algumas vezes doloroso seja necessário e o substituindo por um procedimento mais confiável, eficiente e indolor. Dentre os dispositivos implantáveis existentes, pode-se classificá-los de acordo com o tipo de alimentação. Se o dispositivo necessita de uma fonte de alimentação inclusa, presente no implante, para fornecer a potência necessária ao circuito, é classificado como um dispositivo ativo; por outro lado, os dispositivos passivos normalmente usam de fontes externas que transferem energia ao circuito implantado. Devido aos obstáculos presentes entre a fonte de alimentação e o circuito implantado não é possível transmitir toda a potência disponível na fonte, esta atenuação é visível quando analisado a eficiência energética do dispositivo passivo, gerando uma desvantagem frente ao uso de dispositivos ativos.

A figura 4, apresenta uma representação básica de dispositivos implantáveis passivos e ativos, ambos são compostos por um leitor que externamente é responsável, se necessário, pela comunicação com o dispositivo. O controle e processamento das informações são executadas pelos microprocessadores (μP). Dependendo da complexidade dos dados aferidos e enviados, não há a necessidade de um μP no dispositivo, por exemplo em Oliveira (2007) cujo dispositivo passivo desenvolvido, figura 5, é composto por um indutor L variável responsável por modular a grandeza força, um capacitor C projetado para a frequência base de funcionamento e um *Negative Temperature Coefficient (NTC)* que trata-se de uma resistência variável de acordo com a temperatura; enquanto todo o processamento das informações ocorre no leitor.

Apesar da maior eficiência energética dos dispositivos ativos, o uso de baterias no implante gera de tempos em tempos sua substituição, e assim, um novo procedimento cirúrgico. Para minimizar este problema, diversas pesquisas nas últimas décadas focaram no desenvolvimento de dispositivos de baixa potência para maximizar a autonomia dos implantes, tanto no desenvolvimento de baterias mais eficientes quanto em dispositivos com tecnologias de baixíssimo consumo de energia. Já os dispositivos passivos permitem que uma vez implantados não haja mais a necessidade de substituições, porém suas aplicações ficam limitadas pela eficiência na transmissão de energia, podendo ser utilizado em aplicações de baixa potência que não exigem processamento de informação no implante. Assim, com o intuito de realizar avanços significativos no desenvolvimento de sistemas passivos, diversos estudos buscam aumentar a eficiência otimizando o projeto de indutores e circuitos específicos para transmissão de potência e dados como em (BAKER; SARPESHKAR, 2007) e (KAINI et al., 2011). Portanto, verifica-se que o bom desenvolvimento de dispositivos implantáveis, tanto ativos quanto passivos, possuem uma considerável dependência da eficiência energética, seja a respeito da potência consumida

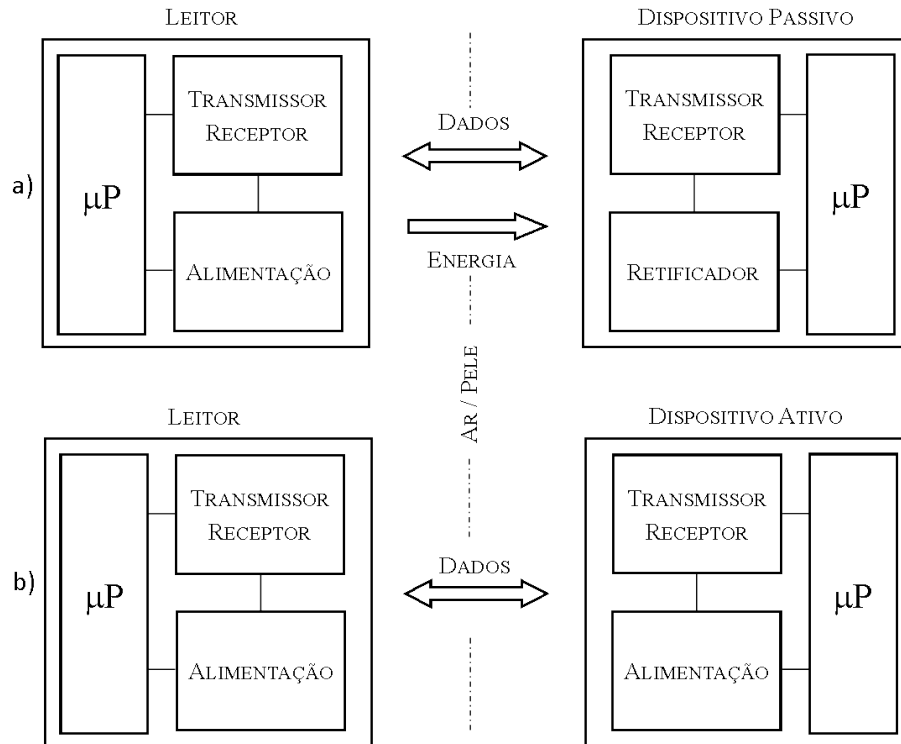


Figura 4: Diagrama representativo de dispositivos a) passivo e b) ativo.

Fonte: Baseado em (PORTO et al., 2014).

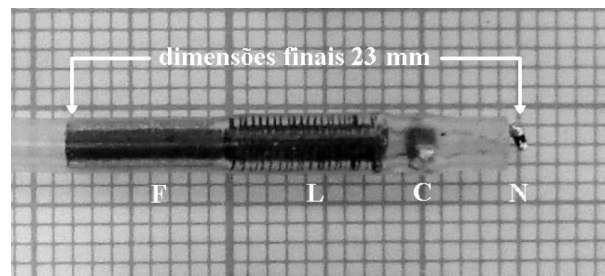


Figura 5: Dispositivo implantável passivo desenvolvido por Oliveira (2007).

Fonte: (OLIVEIRA, 2007).

pelo implante ou pela eficiência da alimentação empregada.

Outro aspecto importante em implantes é a transferência de dados, a maioria dos dispositivos eletrônicos implantáveis precisam trocar informações entre leitor e implante, dependendo da aplicação essa comunicação pode ocorrer de forma unidirecional, quando os dados somente são transferidos em um sentido, ou bidirecional, quando há transferência de dados em ambos os sentidos. Esta transferência de dados é obtida através de um sistema de comunicação composto por três blocos básicos, figura 6, um transmissor que tem a finalidade de transformar a informação nele aplicada pela fonte em um sinal adequado para vencer a

distância que o separa do destino, um receptor com a finalidade de receber o sinal transmitido e enviá-lo ao destino e um canal responsável pelo transporte deste sinal até o receptor, ou seja, um meio de transmissão, sendo o bloco que exerce maior influência sobre o desempenho de um sistema de comunicação - determinando, inclusive, o tipo de transmissor e receptor utilizados (NASCIMENTO, 2000).

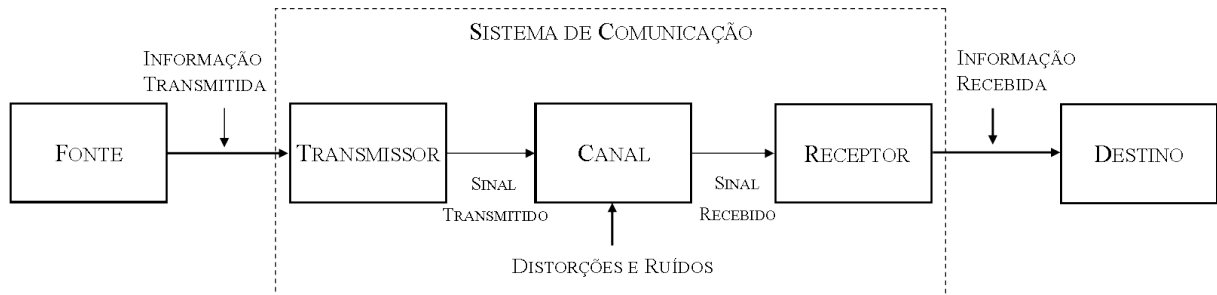


Figura 6: Modelo de um sistema de comunicação.

Fonte: Adaptado de (NASCIMENTO, 2000).

Um sistema de comunicação também pode ser classificado em ativo e passivo. Um sistema de comunicação ativo geralmente possui uma capacidade de transmissão de dados com maior fluxo de dados e alcance, devido a grande disponibilidade de potência. Um sistema de comunicação passivo, analogamente aos dispositivos passivos, fica limitado pela potência disponível para consumo, conseqüentemente limitando seu fluxo de dados e principalmente o alcance, muitas vezes impossibilitando uma comunicação bidirecional. Geralmente utiliza-se sistemas de comunicação passivo em dispositivos passivos, transmitindo dados e energia em um mesmo canal, como realizado em (OLIVEIRA, 2007), já que um implante passivo não possui potência suficiente para alimentar uma comunicação ativa.

A grande desvantagem no uso de comunicação ativa se dá pelo seu alto consumo de energia, o que exonera a autonomia do implante. Buscando minimizar este consumo, limita-se o tempo de operação do sistema de comunicação, havendo períodos programados em que o sistema estará habilitado e desabilitado (*standby*), ocasionando a seguinte relação: quanto maior o período de *standby*, menor será o consumo, porém menor será o período disponível para comunicação e, conseqüentemente, menor a confiabilidade do dispositivo quando ações de emergência forem requisitadas. Por exemplo, em um dispositivo responsável pela aplicação de um medicamento, pode haver a necessidade de o paciente precisar com urgência de uma aplicação não programada pelo sistema, idealmente o paciente deve estabelecer conexão imediata com o implante e configurar a aplicação do medicamento, porém, na prática, o leitor deverá esperar o sistema de comunicação ativar para poder enviar esta informação. Em sistemas passivos, esta limitação não acontece, já que basta aproximar o leitor ao implante que o leitor

fornecerá energia e estabelecerá conexão.

Avaliando as dificuldades no desenvolvimento de dispositivos implantáveis, verifica-se que um dos blocos fundamentais para este desenvolvimento engloba o sistema de comunicação, este deve ser eficiente e seguro, e consumir o mínimo possível de energia. Entretanto, o uso dos sistemas de comunicação convencionais aplicados a implantes são consideravelmente limitados pelo consumo de energia, reduzindo sua eficiência e principalmente segurança. Uma solução para reduzir o consumo do sistema de comunicação e ao mesmo tempo permitir o tratamento de informações emergenciais próximo do ideal é desenvolver um sistema sob demanda, ao qual o dispositivo implantado se comunica através de um canal ativo apenas quando há uma requisição válida, auxiliado por um canal passivo responsável por habilitar o sistema de comunicação ativo.

1.2 OBJETIVOS

1.2.1 OBJETIVOS GERAIS

O objetivo do presente trabalho é realizar um estudo teórico e prático a respeito de sistemas de comunicação passivos aplicados a dispositivos implantáveis, bem como projetar de forma satisfatória um sistema de comunicação passivo visando uma solução sob demanda, no qual este canal passivo possua a função de habilitar um sistema de comunicação ativo.

1.2.2 OBJETIVOS ESPECÍFICOS

- Realizar um estudo teórico e prático a respeito do projeto de um *link* indutivo.
- Projetar e otimizar as dimensões das bobinas que irão compor o enlace indutivo.
- Projetar um dispositivo externo composto por um bloco de amplificação de potência e geração da portadora a uma frequência de 125 kHz. Além dos blocos de modulação e demodulação controlados por um microcontrolador de uso geral.
- Projetar um dispositivo implantável composto por um bloco de retificação, de modulação e demodulação, estes dois últimos ligados a um microcontrolador de baixo consumo.
- Desenvolver um algoritmo para o dispositivo externo, de forma que este envie uma requisição, aguarde a confirmação do outro dispositivo, e mostre ao usuário que a informação foi enviada com sucesso.

- Desenvolver um algoritmo para o dispositivo implantável, de forma que este aguarde a recepção de uma mensagem válida e depois envie ao dispositivo externo uma confirmação.
- Por fim, obter um sistema de comunicação passivo que possa ser aplicado em desenvolvimentos futuros para habilitar um sistema de comunicação ativo presente em um dispositivo implantável, e assim reduzir o consumo de energia do mesmo.

1.3 ORGANIZAÇÃO DO TRABALHO

Além do presente capítulo, que realizou uma introdução sobre o tema e apresentou os objetivos e motivações, o presente trabalho será composto por mais cinco capítulos. O primeiro abordará os conhecimentos utilizados no decorrer do projeto. O segundo capítulo apresentará o estado da arte de dispositivos implantáveis, e principalmente o desenvolvimento de sistemas de comunicação passivos para esta finalidade. O terceiro capítulo consistirá dos métodos e critérios utilizados para desenvolvimento do trabalho. O quarto capítulo descreverá a obtenção dos resultados finais do trabalho, realizando análises qualitativas e quantitativas do protótipo desenvolvido, além de discutir as dificuldades e soluções que se fizeram presentes. E por fim, será exposto a conclusão do projeto, quais foram os objetivos alcançados e contribuições relevantes desenvolvidas, bem como serão apresentados possíveis trabalhos futuros.

2 CONCEITOS INICIAIS

Antes de iniciar estudos mais aprofundados a cerca do tema em questão e/ou iniciar a descrição do desenvolvimento, faz-se interessante descrever e exemplificar alguns conceitos utilizados no decorrer do trabalho para um melhor entendimento. Caso o leitor já possua o conhecimento aqui apresentado, é possível pular este capítulo sem prejuízo de entendimento dos capítulos seguintes. Nesta seção, serão abordados alguns conceitos de eletromagnetismo, autoindutância, efeito da corrente alternada na resistência e demais tópicos, objetivando uma melhor compreensão dos princípios físicos aplicados no decorrer do desenvolvimento do trabalho.

2.1 ELETROMAGNETISMO

Primeiramente, é interessante relembrar o que é um campo elétrico e sua relação com carga elétrica para então discutir o que é campo magnético, força magnética e a sua relação com a eletricidade. O campo elétrico \vec{E} trata-se de um campo vetorial gerado ao redor de uma carga q , quando outra carga aproxima-se deste campo nota-se o surgimento de uma força elétrica proporcional a distância entre as duas cargas (HALLIDAY et al., 1960). A figura 7 mostra o sentido das linhas de campo elétrico de acordo com a polarização da carga: em cargas positivas, as linhas de campo elétrico “saem”, e em cargas negativas, as linhas de campo “entram”.

Foi em 1785, que Charles Coulomb publicou a lei dos polos inversos de atração e repulsão, entre cargas elétricas e polos magnéticos - os fenômenos são mostrados na figura 7 e 8a), respectivamente. Ou seja, seguindo o mesmo raciocínio para o campo elétrico, é compreensível imaginar que as linhas de campo magnético \vec{B} ocorrem devido aos polos magnéticos. Porém, há um problema neste conceito, pois polos magnéticos separados nunca foram descobertos e até o momento sabe-se que campos magnéticos podem ser gerados por eletroímãs ou ímãs permanentes - que sempre possuem polos norte e sul inseparáveis (HALLIDAY et al., 1960).

A figura 8b) apresenta o sentido das linhas de campo magnético, esta disposição das



Figura 7: Linhas de campo elétrico para cargas positivas e negativas.

Fonte: Adaptado de (MASSACHUSETTS INSTITUTE OF TECHNOLOGY, 2004).

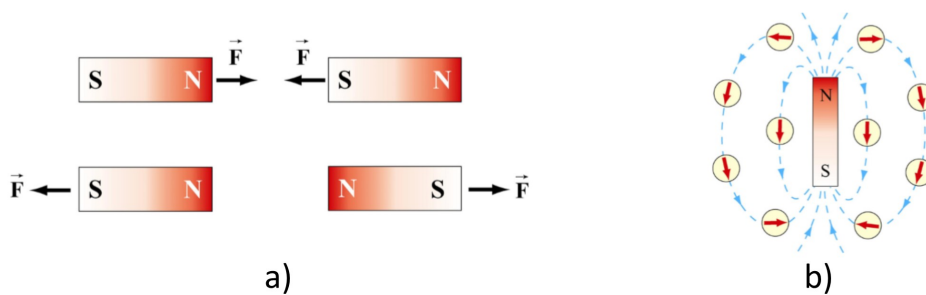


Figura 8: a) interação entre polos magnéticos b) linhas de campo magnético.

Fonte: Adaptado de (MASSACHUSETTS INSTITUTE OF TECHNOLOGY, 2004).

linhas de campo pode ser verificada experimentalmente na figura 9, na qual espalha-se limalha de ferro próximo a uma barra de ímã permanente e estas se acomodam de modo a evidenciar a teoria proposta.

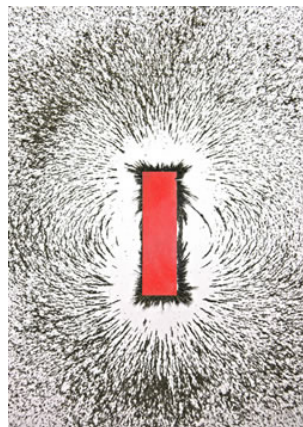


Figura 9: Experimento para verificar as linhas de campo magnético geradas por uma barra de ímã permanente.

Fonte: Adaptado de (MARQUES, 2013).

Experimentalmente foi possível chegar a um conceito plausível. Verificou-se que o campo magnético vem de cargas elétricas em movimento e não da simples disposição dos polos. No ímã permanente, essas cargas são os elétrons dos átomos de ferro que constituem o ímã; e nos eletroímãs, elas são os elétrons que se movem através das bobinas (HALLIDAY et al., 1960).

É neste ponto que destaca-se um dos princípios para o desenvolvimento do trabalho proposto. Portanto, se cargas elétricas em movimento significam corrente elétrica, é possível afirmar que campo magnético é gerado por uma corrente elétrica e vice-versa. Toda via, foi apenas em 1820, que o físico dinamarquês Hans Christian Oersted conseguiu ligar as duas ciências, até então separadas, eletricidade e magnetismo. Verificando que uma corrente passando por um condutor alterava a direção da agulha magnética de uma bússola (HALLIDAY et al., 1960).

Todas estas descobertas despertaram um profundo interesse da comunidade científica a partir da década de 1820, tendo como grandes pesquisadores desta área na época: André-Marie Ampère, Carl Friederich Gauss, Joseph Henry, Michael Faraday e James Maxwell. Cada qual com contribuições essenciais para o desenvolvimento e consolidação do eletromagnetismo. É com base nestes pesquisadores que nos tópicos a seguir serão expostos alguns conceitos e expressões matemáticas que fizeram o desenvolvimento do presente trabalho ser possível. Para uma análise mais profunda sobre o tema, aconselha-se a leitura do livro Fundamentos de Física volume 3, escrito por Halliday et al. (1960).

2.1.1 CAMPO MAGNÉTICO E FORÇA MAGNÉTICA

Como já citado, o campo magnético é base para o entendimento do eletromagnetismo. Matematicamente é possível relacionar o vetor força magnética \vec{F}_B , figura 10, a direção do movimento da carga \vec{v} e a direção do vetor campo magnético \vec{B} - apresentado pela equação (1). A unidade de medida para o campo \vec{B} no sistema internacional SI é denominada Tesla T (MASSACHUSETTS INSTITUTE OF TECHNOLOGY, 2004).

$$\vec{F}_B = q\vec{v} \times \vec{B} \quad (1)$$

2.1.2 LEI DE AMPÈRE

Baseado nas descobertas de Oersted, Ampère realizou uma análise mais prática que a Lei de Biot-Savart para o cálculo de um campo magnético gerado por uma corrente elétrica

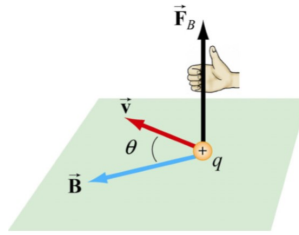


Figura 10: Direção do vetor força magnética.

Fonte: Adaptado de (MASSACHUSETTS INSTITUTE OF TECHNOLOGY, 2004).

estacionária. Sua análise usa de características simétricas de um circuito, relacionando a permissividade magnética no vácuo μ_0 e a corrente elétrica com a integral fechada do campo magnético em um determinado elemento $d\vec{s}$, como mostra a equação (2).

$$\oint \vec{B}d\vec{s} = \mu_0 i \quad (2)$$

Posteriormente, James Maxwell ao reorganizar e formular as quatro equações que regem o eletromagnetismo, chamadas de “Equações de Maxwell” em sua homenagem, fez uma correção na lei de Ampère. Esta correção permitiu provar que um campo magnético que varia no tempo cria um campo elétrico que varia no tempo, e que um campo elétrico que varia no tempo gera um campo magnético que varia no tempo. Portanto, estas equações permitem a existência de “ondas eletromagnéticas” autossustentadas através do espaço vazio (HALLIDAY et al., 1960; LIMA, 2012).

2.1.3 LEI DE FARADAY

Michael Faraday estudou e formulou o conceito de indução magnética realizando algumas observações através de dois experimentos com bobinas e ímãs permanentes. A figura 11 apresenta, respectivamente, uma representação do experimento de Faraday e a foto de um anel de ferro construído para realizar os experimentos em 1831.

Ao aproximar duas bobinas, uma alimentada e outra não, observou que uma corrente variável em um circuito produz campo magnético variável, que, por sua vez, gera uma corrente elétrica em um segundo circuito. Também verificou que ao variar a posição de um ímã permanente frente a uma bobina, uma corrente elétrica também é gerada no circuito. Em conjunto, estas observações indicam que a variação do fluxo magnético gera um campo elétrico associado a uma tensão que, na presença de cargas, gera uma corrente induzida (LIMA, 2012).

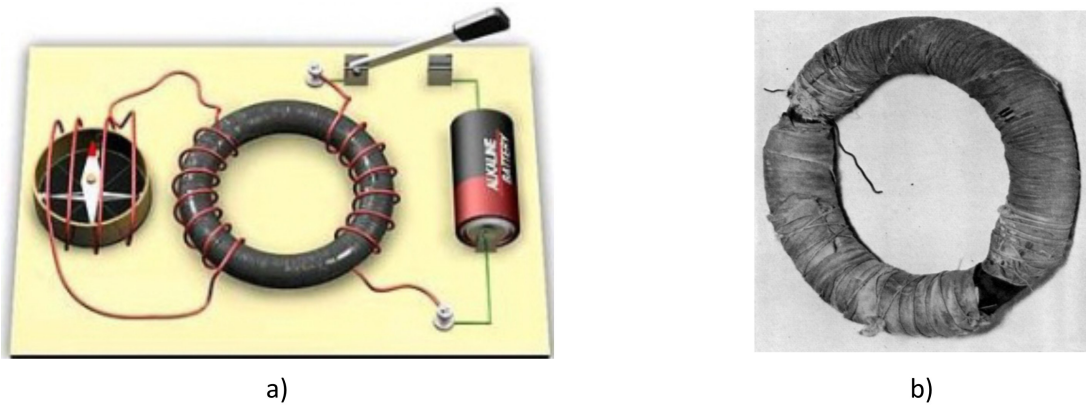


Figura 11: a) Representação do experimento de Faraday b)Foto do anel de ferro construído por Faraday para experimentos de 1831.

Fonte: Adaptado de (DIAS, 2004a) e (DIAS, 2004b).

Portanto, a Lei de Faraday formaliza as observações verificadas experimentalmente relacionando a variação temporal de um fluxo magnético Φ_B , equação (3), em uma superfície S com a indução de um campo elétrico circulante em um elemento diferencial de linha $d\vec{l}$, apresentado pela equação (4).

$$\Phi_B^S = \int_S \vec{B} d\vec{S} \quad (3)$$

$$\xi = \oint_C \vec{E} d\vec{l} = -\frac{d\Phi_B^S}{dt} \quad (4)$$

O sinal negativo apresentado na equação 4 não foi definido por Faraday quando publicou sua lei, este ajuste foi realizado por Heinrich Lenz, que ao fazer o mesmo experimento que Faraday verificou que a variação do fluxo magnético induz um efeito (campo elétrico, tensão, ou corrente induzida) que tende a anular esta variação. Essa constatação faz sentido, já que toda ação causa uma reação contrária não podendo haver conservação de energia, ou seja, a corrente induzida não poderia ser infinita.

Através das descobertas realizadas por Faraday, foi possível então adquirir o conceito necessário para gerar energia elétrica através do movimento. Com a criação do primeiro Dínamo, por Hippolyte Pixii em 1832, a eletricidade tornou-se acessível e os olhos dos pesquisadores se voltaram ao grande potencial de inovação e desenvolvimento que a eletricidade possuía (M.WHELAN; S.ROCKWELL, 2014).

2.2 TERMOS PARA MODELAGEM DE UM INDUTOR

Um indutor pode ser definido como um dispositivo passivo que possui a capacidade de produzir um determinado campo numa certa região (HALLIDAY et al., 1960). Ou seja, utilizando dos fenômenos estudados por Ampère e seus contemporâneos é possível montar um indutor concatenando diversas espiras de fio - não muito diferente das bobinas que Faraday utilizou para decifrar o fenômeno da indução. A figura 12 apresenta diversos exemplos de elementos indutivos.

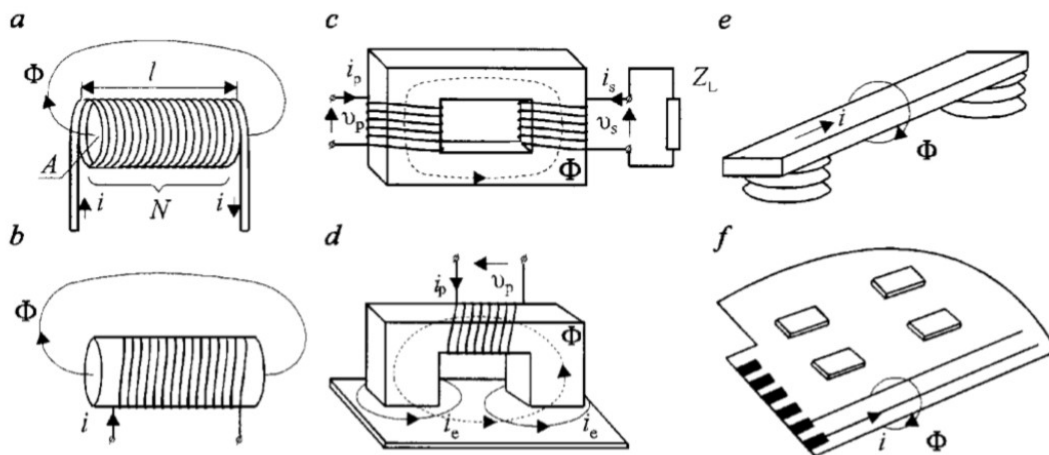


Figura 12: Exemplos de diferentes elementos indutivos: a) bobina com núcleo de ar, b) bobina com núcleo de material ferromagnético, c) transformador, d) eletroímã, e) barras de barramento da estação elétrica de energia e f) placa de circuito impresso com trilhas condutoras.

Fonte: Adaptado de (SZYPER, 1999).

Para tanto, a grandeza que quantiza um indutor chama-se indutância. Ao aplicar uma corrente i num indutor, aparece, em cada uma de suas espiras, um fluxo magnético Φ , devido a esta corrente. A indutância L de um indutor é então o produto do número de espiras e do fluxo magnético dividido pela corrente que passa pelo condutor, como mostra a equação (5) (HALLIDAY et al., 1960).

$$L = \frac{N\Phi}{i} \quad (5)$$

A unidade SI para indutância foi denominada henry H , em homenagem ao físico Joseph Henry, co-autor da lei da indução.

Um indutor pode ser modelado de forma ideal, sem considerar sua resistência, capacitância e dissipação de energia. Entretanto, um indutor real possui características intrínsecas a sua construção e aplicação, como resistência e capacitância parasita.

Em aplicações que usam de frequências elevadas estas características ficam mais evidentes e influenciam o circuito consideravelmente (SENJUTI, 2013). Assim, os próximos tópicos abordam de forma sucinta esses parâmetros importantes à modelagem de indutores e demais conceitos relacionados ao fenômeno da indução.

2.2.1 INDUTÂNCIA MÚTUA

Como já dizia Faraday, ao aproximar duas bobinas uma corrente i numa bobina estabelecerá um fluxo magnético através da outra bobina, chama-se isso de indução.

Avaliando quantitativamente o exemplo mostrado pela figura 13, sabe-se que além das indutâncias de cada bobina há uma indutância mútua devido a interação entre as mesmas, esta indutância mútua M_{21} da bobina 2 em relação a bobina 1 pode ser definida pela equação (6).

$$M_{21} = \frac{N_2 \Phi_{21}}{i_1} \quad (6)$$

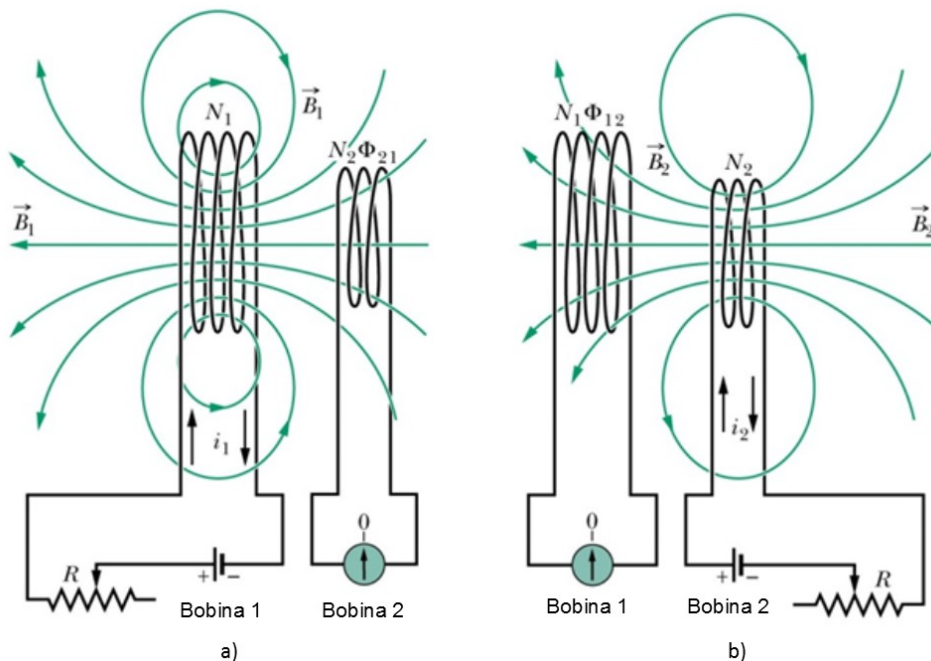


Figura 13: Formação de um *link* indutivo entre duas bobinas alinhadas a) Se a corrente na bobina 1 variar, uma *fem* será induzida na bobina 2 b) Se a corrente na bobina 2 variar, uma *fem* será induzida na bobina 1.

Fonte: Adaptado de (HALLIDAY et al., 1960).

Comparando a equação (6) com a (5) e manipulando matematicamente, é possível verificar que da mesma forma que a lei de Faraday, a *fem* induzida ξ em qualquer

uma das bobinas, é proporcional à taxa de variação da corrente na outra bobina (HALLIDAY et al., 1960).

Analogamente, para M_{12} obtêm-se o mesmo resultado. Além disso, na prática é possível constatar que $M_{21} = M_{12} = M$, ou seja, a indução, de fato, é mútua (HALLIDAY et al., 1960).

Esta relação mútua entre duas bobina pode ser chamada de *link* indutivo, já que há uma ligação entre elas via fluxo magnético. Este *link* indutivo esta relacionado com as dimensões das bobinas, distância e posicionamento das mesmas (SENJUTI, 2013). A equação (7) apresenta o cálculo da indutância mútua entre duas bobinas não alinhadas.

A figura 14 demonstra a disposição de duas bobinas desalinhadas em x, y, z , vale ressaltar que ambas bobinas estão seccionadas no plano x, y , para uma melhor compreensão deve-se notar que R_p e R_s representam, respectivamente, o raio da primeira e segunda bobina do centro do núcleo da bobina à metade da bobina formada pelo condutor. Mais a frente, no decorrer do desenvolvimento do projeto, será demonstrado uma forma simplificada desta expressão ao alinhar as duas bobinas de forma a facilitar as análises e cálculos matemáticos.

$$M = \frac{\mu_0}{\pi} \sqrt{R_p R_s} \int_0^{\pi} \frac{(\cos \theta - \frac{d}{R_s} \cos \phi) \Psi(\kappa)}{\sqrt{V^3}} d\phi \quad (7)$$

onde

$$V = \sqrt{1 - \cos^2 \phi \sin^2 \theta - 2 \frac{d}{R_s} \cos \phi \cos \theta + \frac{d^2}{R_s^2}}$$

$$\kappa^2 = \frac{4\alpha V}{(1 + \alpha V)^2 + (\beta - \alpha \cos \phi \sin \theta)^2}$$

$$\Psi(k) = \left(\frac{2}{\kappa} - \kappa\right) K(\kappa) - \frac{2}{\kappa} E(\kappa), \alpha = \frac{R_s}{R_p}, \beta = \frac{c}{R_p}$$

ϕ ângulo de integração até qualquer outro ponto da segunda bobina;

R_p raio da primeira bobina;

R_s raio da segunda bobina;

c distância entre os centros das bobinas;

d distância entre os eixos das bobinas;

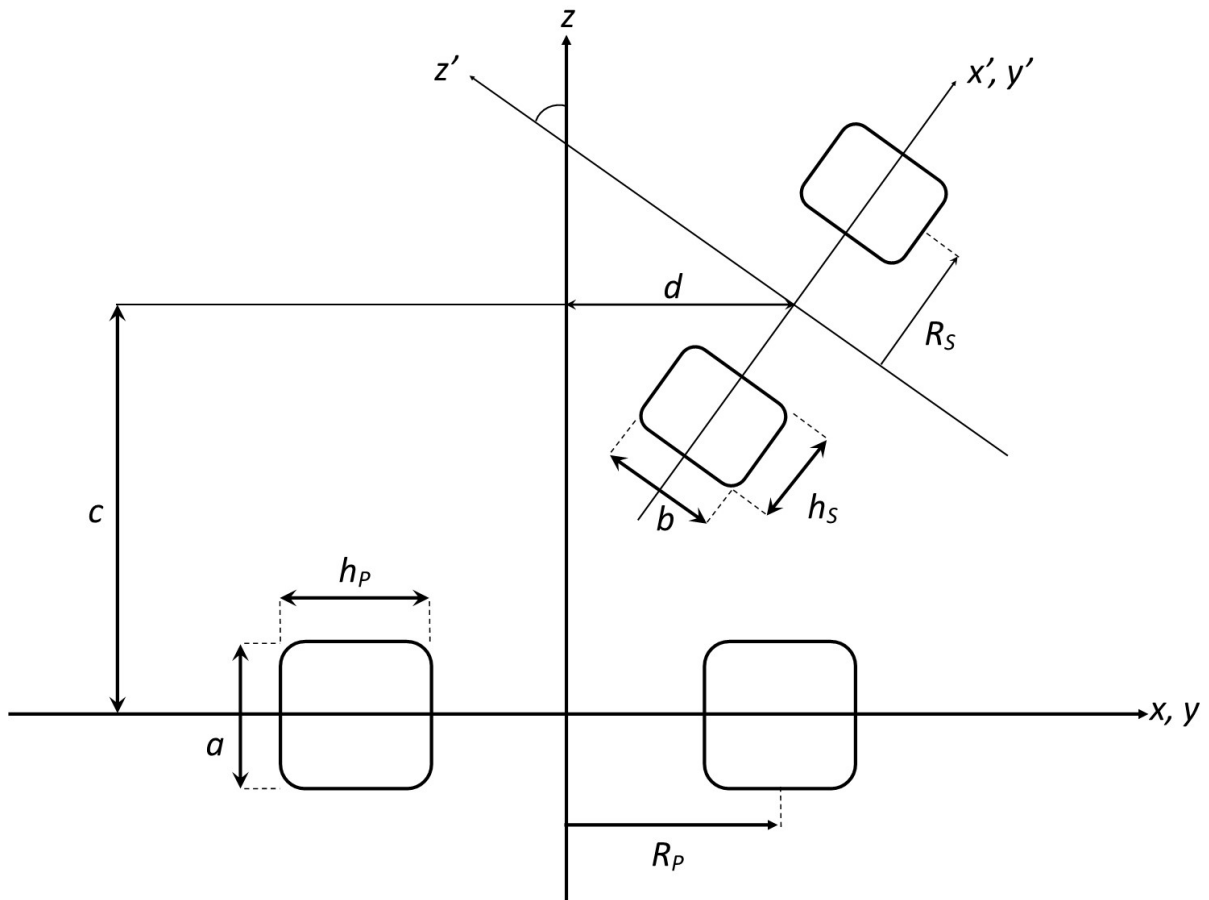


Figura 14: Disposição de duas bobinas em um eixo x, y, z .

Fonte: Adaptado de (SENJUTI, 2013) e (ZIERHOFER; HOCHMAIR, 1996).

θ ângulo entre os planos das bobinas;

$K(\kappa)$ integral elíptica completa de primeira espécie;

$E(\kappa)$ integral elíptica completa de segunda espécie;

$\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$ permeabilidade magnética no vácuo;

2.2.2 AUTOINDUTÂNCIA E ACOPLAMENTO MAGNÉTICO

Como já citado, o ato de uma corrente passar por um condutor gera um campo magnético, assim, se esta corrente for variável gerará um campo magnético variável que influenciará no próprio circuito. Portanto, diferentemente da indutância mútua M , o fenômeno de autoindução de um indutor qualquer é chamado de autoindutância L e também mede-se em henry H .

A autoindutância de um indutor está relacionado com suas dimensões, formato e

materiais utilizados. Assim, há diferentes expressões para o cálculo de indutores planares, solenoidais, helicoidais, multicamadas e de circuito impresso.

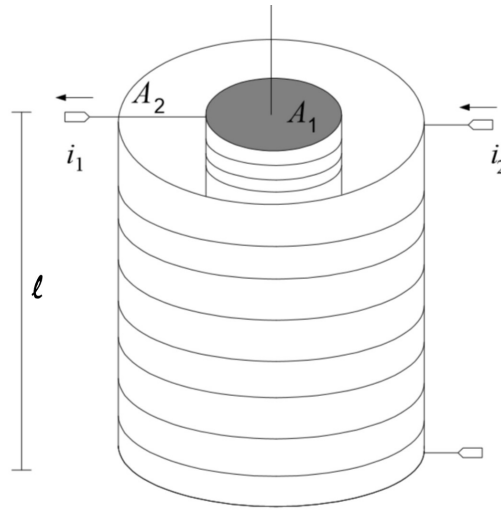


Figura 15: Indutores longos acoplados.

Fonte: Adaptado de (VOLPATO, 2012).

Para uma primeira análise, será considerado duas solenoides longas com núcleo de ar ($\mu = \mu_0$), concêntricas e com mesmo número de espiras, ou seja, $N_1 = N_2 = N$. Para uma solenoide, a autoindutância é expressa pela equação (8), na qual A é o diâmetro da bobina e l o comprimento (HALLIDAY et al., 1960).

$$L = \frac{\mu_0 N^2 A}{l} \quad (8)$$

Como em Volpato (2012), admite-se os diâmetros A_1 e A_2 dos indutores, obtém-se as equações (9) e (10).

$$L_1 = \frac{\mu_0 N^2 A_1}{l} \quad (9)$$

$$L_2 = \frac{\mu_0 N^2 A_2}{l} \quad (10)$$

Combinando-as, é possível obter uma relação entre os números das espiras e suas respectivas indutâncias, como mostrado na equação (11).

$$\frac{N_2}{N_1} = \sqrt{\frac{A_1 L_2}{A_2 L_1}} \quad (11)$$

Relacionando a equação (11) e a indutância mútua dada pela equação (12), obtém-se a

equação (13).

$$M_{12} = \frac{\mu_0 N_1 N_2 A_1}{l} \quad (12)$$

$$M_{12} = \mu_0 \frac{N_1^2 A_1}{l} \frac{N_2}{N_1} = L_1 \frac{N_2}{N_1} \quad (13)$$

Substituindo (11) em (13), tem-se:

$$M_{12} = L_1 \sqrt{\frac{A_1 L_2}{A_2 L_1}} = \sqrt{\frac{A_1}{A_2}} \sqrt{L_1 L_2} \quad (14)$$

Verifica-se que a indutância mútua entre as duas bobinas do exemplo esta relacionada com as dimensões das mesmas e conseqüentemente com suas autoindutâncias. Também vale ressaltar que no estabelecimento do acoplamento magnético nem todo o fluxo magnético gerado por L_1 , atingirá L_2 . Isto ocorre devido ao espalhamento das linhas de campo e uma combinação de diversos efeitos que exigem que se escreva esta relação como em (15) (VOLPATO, 2012).

$$M_{12} = k \sqrt{L_1 L_2} \quad (15)$$

onde k é o coeficiente de acoplamento magnético entre os indutores. Este coeficiente varia entre 0 e 1 e acrescenta todos os demais efeitos que reduzem a mútua indutância e conseqüentemente o acoplamento magnético do *link* indutivo. No desenvolvimento esta relação será importante para o projeto de um *link* indutivo - parte fundamental em dispositivos passivos.

2.2.3 RESISTÊNCIA EM CORRENTE ALTERNADA

Quando calcula-se a resistência em corrente contínua de um condutor, considera-se que a corrente elétrica flui homogênea em toda sua seção, porém, isso não ocorre quando aplicado uma corrente alternada. Nesta segunda condição a corrente não se distribui uniformemente, dependendo da frequência, do campo elétrico, da condutividade elétrica e da forma geométrica do condutor. No caso de um condutor de seção transversal circular a densidade de corrente é máxima na superfície e mínima sobre o eixo (ROBERT, 2000). Chamado de efeito pelicular, ou em inglês, *skin effect*, é um fenômeno que causa um aumento da resistência do condutor, e quando trabalhado a altas frequências influencia consideravelmente no desempenho do circuito.

O cálculo mais simples do efeito pelicular, é considerar uma resistência constante em

toda secção do fio e calcular a resistência aparente R_{Ap} deste fio de acordo com a profundidade pelicular δ nas condições propostas. A profundidade pelicular pode ser expressa pela equação (16), na qual ρ é a resistividade do material, ω a frequência angular e μ a permeabilidade magnética do condutor (MACHADO, 2007).

$$\delta = \sqrt{\frac{2\rho}{\omega\mu}} \quad (16)$$

Através desta profundidade pelicular calcula-se a secção aparente do condutor, ou seja, a área superficial útil que irá passar corrente elétrica, como mostra a figura 16.

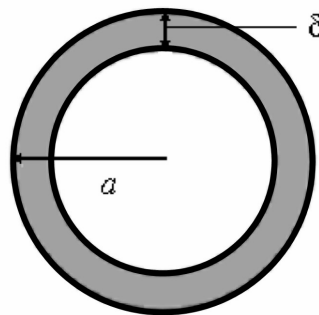


Figura 16: Área aparente ao qual circula a parte representativa da corrente elétrica.

Fonte: Adaptado de (MACHADO, 2007).

$$A_{Ap} = \pi a^2 - \pi(a - \delta)^2 \quad (17)$$

Por fim, utiliza-se a área aparente, equação (17) para o cálculo da resistência:

$$R_{Ap} = \frac{\rho l}{A_{Ap}} \quad (18)$$

2.2.4 CAPACITÂNCIA PARASITA

Outra característica presente em indutores é a presença de capacitância entre seus enrolamentos, ou voltas, gerando uma capacitância parasita. Esta capacitância tende a ser mais evidente quanto maior a frequência de operação. Avaliando uma bobina solenoide, que possui apenas uma camada de voltas, pode-se calcular a capacitância de uma volta através da equação (19).

$$C_{volta} = \eta_0 \eta_r \int_0^{\theta_e/2} \frac{\pi D_0 \omega / 2}{\zeta + (\omega/2) \eta_r (1 - \cos \theta) + 0,5 \eta_r s} d\theta \quad (19)$$

onde ζ é a espessura da camada de isolante, θ_e é o ângulo efetivo entre a volta i e j , no caso, 90° ; s é a distância entre as espiras, η_0 é a permissividade elétrica no vácuo, η_r é a permissividade elétrica relativa e D_0 é o diâmetro da espira.

A capacitância parasita C_P é então a soma da influência de cada volta. Este somatório pode ser simplificado por $C_P = 2NC_{volta}$, na qual N é o número de voltas na bobina (KAINI et al., 2011).

2.2.5 FATOR DE QUALIDADE

Fator de qualidade Q é um método de caracterização da taxa de dissipação de energia em sistemas oscilantes, ao qual é definido como 2π vezes a energia armazenada em um sistema ressonante dividido pela energia dissipada por ciclo (HELFRICK, 1999).

O fator Q depende do sistema a que é aplicado, nem sempre obtendo os melhores resultados quanto mais alto - como o nome sugere. Quando aplicado em componentes, como um indutor, Q pode ser obtido se aplicado a um sistema ressonante com um capacitor. Neste caso, o valor do fator depende da frequência (HELFRICK, 1999).

Em um circuito LC, figura 17a), a energia fica oscilando entre o indutor e o capacitor, ora armazenando em forma de campo elétrico, ora em campo magnético. Se os componentes fossem ideais, não haveria perdas e Q seria infinito. Entretanto, na prática há perdas de energia neste processo de oscilação que são representadas por um resistor como mostra a figura 17b) e 17c).

O cálculo do fator de qualidade de um indutor para um circuito ressonante é dado pela relação entre a resistência interna do indutor e sua reatância X_L , como mostra a equação (20).

$$Q = \frac{R}{X_L} \quad (20)$$

Vale ressaltar que R corresponde a todas as perdas de energia do circuito ressonante. Estas perdas são originárias de diversas fontes, como perdas nos materiais ferromagnéticos usados no indutor e radiações presentes devido a frequência, não sendo exclusivamente a resistência interna do indutor responsável pelas perdas. Em circuitos ressonantes que há interação de fontes de alimentação e cargas, o fator Q é chamado *loaded Q*, já que estes demais

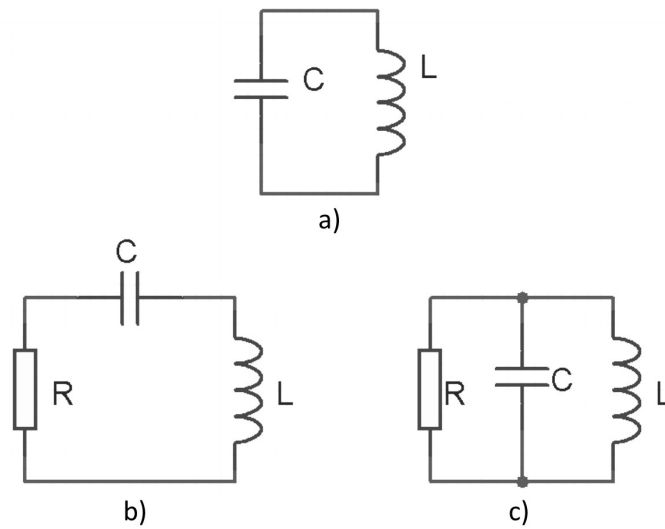


Figura 17: a) Um simples circuito ressonante sem perdas, b) um circuito ressonante série e c) um circuito ressonante paralelo. O fator de qualidade é o mesmo, mas os valores das resistências não são iguais.

Fonte: Adaptado de (HELFRICK, 1999).

componentes consomem a energia presente no sistema ressonante (HELFRICK, 1999).

3 DISPOSITIVOS IMPLANTÁVEIS E SISTEMAS DE COMUNICAÇÃO PASSIVOS

Em geral, na medicina os implantes são projetados para detectar sinais, restaurar funções e auxiliar eletricamente ou mecanicamente o corpo humano (JOUNG, 2013). Desde o primeiro marcapasso implantável em 1958, o desenvolvimento de dispositivos médicos implantáveis despertou grande interesse de pesquisadores e empresas da área. Acompanhando os avanços da ciência, diversos dispositivos foram criados e aperfeiçoados frente aos mais variados desafios: materiais para eficiente e seguro encapsulamento, consumo de potência do dispositivo, baterias, dimensões do dispositivo, estímulo de tecidos biológicos e comunicação sem fio (BAZAKA; JACOB, 2013; JOUNG, 2013). Já na década de 90 estimava-se que cerca de 1% da população (aproximadamente 17 bilhões) dos países industrializados já tiveram alguma experiência com dispositivos implantáveis (JIANG; ZHOU, 2010).

Quando trata-se do monitoramento de sinais biológicos, o dispositivo implantável deve coletar os dados internamente, utilizando de eletrodos e sensores específicos, e transmiti-lo a um dispositivo externo - chamado também de leitor. Neste processo há a possibilidade do pré-processamento dos dados coletados ocorrer tanto no implante quanto no leitor, isto depende diretamente da técnica utilizada para coletar, do volume de dados, da complexidade do processamento e da função que o dispositivo possui. Atualmente há dispositivos que coletam dados da temperatura corporal, da força muscular, da pressão sanguínea e níveis de glicose no sangue (JOUNG, 2013; MAEOKA et al., 2006; AHMADI; JULLIEN, 2009; LUIS, 2010).

Geralmente aliado a coleta de dados há implantes responsáveis por realizar estímulos ou aplicar medicamentos, como em dispositivos destinados ao tratamento de diabetes e doença de Parkinson. Nestes casos, a complexidade em se projetar um sistema biomédico implantável aumenta consideravelmente, uma vez que o sucesso do procedimento a ele confiado esta, na maioria das vezes, diretamente relacionado com a saúde do paciente, podendo - em situações extremas - ocasionar seu falecimento. Considerando que muitos implantes são introduzidos em camadas profundas do tecido biológico e em cavidades do corpo, o monitoramento e manutenção de dispositivos implantáveis é complicado e pode causar riscos a saúde do paciente

(BAZAKA; JACOB, 2013).

Um dos fatores-chave para o bom monitoramento de sistemas implantáveis é o sistema de comunicação sem fio utilizado, que junto com o tipo de alimentação - ativo ou passivo - utilizado são barreiras frequentes no desenvolvimento de um implante eletrônico (JOUNG, 2013).

Nas seções a seguir serão expostas algumas características quanto ao consumo de energia de implantes e o estado da arte de sistemas de comunicações passivos e ativos aplicado a sistemas implantáveis, de forma a buscar compreender quais as melhores e acessíveis soluções para o problema proposto.

3.1 GERENCIAMENTO DE ENERGIA

O fornecimento de energia para um dispositivo implantável é uma das grandes barreiras em seu desenvolvimento. Hoje há três bases de estudos destinados a desenvolver e aperfeiçoar meios de fornecer a energia que o implante necessita. A forma mais convencional é o uso de baterias de alta densidade de potência. Neste caso, o objetivo dos estudos atuais é o desenvolvimento de baterias cada vez menores e com uma duração ainda maior, por exemplo, a fabricação de baterias de lítio-iodo, lítio-carbono ou fluoreto de lítio que permitem aumentar o tempo necessário para uma nova substituição em um implante (MAEOKA et al., 2006). Ainda seguindo a linha de dispositivos ativos, uma solução amplamente estudada e aplicada é o uso de baterias que são recarregadas sem fio por meio de acoplamento magnético, minimizando ou eliminando a necessidade de outro procedimento cirúrgico para substituição da bateria.

A segunda possibilidade de fornecimento de energia também utiliza de acoplamento magnético, desta vez não para recarregar uma bateria, mas sim, para alimentar todo o circuito implantado. A técnica consiste de duas ou mais bobinas, que acopladas formam um *link* indutivo que permite a transferência de energia utilizando do fenômeno indutivo estudado por Michael Faraday. No entanto, como há perdas de energia no processo de transferência, esta área de pesquisa busca, incessantemente, aumentar a eficiência na transferência de energia e potência disponível à carga.

Recentemente, estudos tem buscado uma terceira forma de fornecer energia, desta vez, utilizando do próprio organismo do paciente, seja transformando fenômenos químicos, físicos ou mecânicos do corpo humano em energia elétrica. Esta tecnologia tem sido chamada de “*energy harvesting*” ou “*energy scavenging*” (MITCHESON, 2010). No entanto, os métodos para geração de energia através do próprio organismo tem produzido níveis muito

reduzidos de energia e baixa eficiência, o que ainda limita seu uso em dispositivos implantáveis (JOUNG, 2013).

Seguindo os mesmos objetivos das técnicas de fornecimento de energia, ou seja, eficiência energética, é possível focar no desenvolvimento de circuitos de baixo consumo ou em soluções que reduzam o consumo de energia do dispositivo. É neste ponto que se faz importante destacar o desenvolvimento de sistemas de comunicação de baixo consumo. No caso de sistemas de comunicação ativos, uma solução para reduzir o consumo do implante é definir intervalos em que o sistema entra em repouso, diminuindo consideravelmente seu consumo.

Zhang *et al* (2010) descreve a necessidade e importância de desenvolver um sistema de comunicação sob demanda para aplicação em redes sem fio de sensoriamento do corpo (em inglês, *WBSN*) para aplicações médicas demonstrando a relação da taxa de funcionamento $C_{funcionamento}$ do sistema ativo frente o tempo de repouso $T_{repouso}$ e tempo de funcionamento $T_{func.}$:

$$C_{funcionamento} = \frac{T_{func.}}{T_{func.} + T_{repouso}} \approx \frac{T_{func.}}{T_{repouso}} \quad (21)$$

Verifica-se, portanto, que há um conflito entre aumentar a eficiência de energia e minimizar o tempo de atraso da resposta do implante para uma requisição do dispositivo externo (ZHANG *et al.*, 2010). Buscando solucionar este conflito e desenvolver um sistema sob demanda, ou seja, a comunicação ficar habilitada somente quando houver a necessidade de receber ou enviar dados, que Zhang e demais colaboradores apresentaram a ideia de utilizar um sistema de comunicação passivo unidirecional que habilite o sistema de comunicação ativo bidirecional.

3.2 SISTEMA DE COMUNICAÇÃO PASSIVO

Um sistema de comunicação passivo tem como característica possuir uma unidade externa alimentada ativamente que envia dados e energia, simultaneamente ou não, para uma segunda unidade passiva. Quando utiliza-se de bobinas para enviar dados e energia, o acoplamento ocorre através do campo magnético gerado. Se ondas eletromagnéticas ou rádio frequência (RF) forem utilizadas, o acoplamento ocorre com o uso de antenas (BERTOTTI, 2005).

A figura 18 mostra três tipos de disposições ao projetar uma comunicação passiva com bobinas. O primeiro consiste em dois enlaces distintos, ao qual um transfere energia e outro os

dados (SCHNEIDER, 1994; OLIVEIRA, 2007). O segundo trata-se de um enlace que envia, simultaneamente, energia e informação. E por fim, o enlace multiplexado que ora transmite energia, ora dados (ABATTI; JR., 1998).

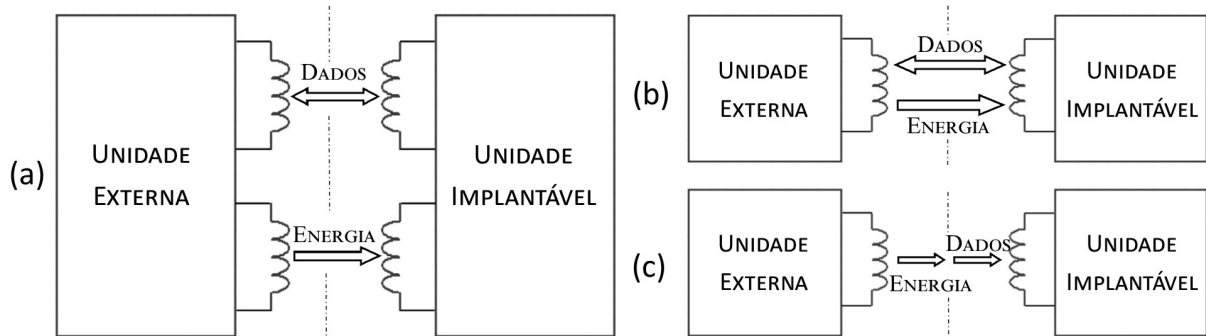


Figura 18: Tipos de enlaces a) acoplamentos distintos, b) acoplamentos simultâneos e c) acoplamento multiplexado.

Fonte: Adaptado de (OLIVEIRA, 2007).

Além do tipo de enlace e método de transferência de energia, deve-se definir quais técnicas de comunicação podem ser utilizadas para que se possa distinguir o que é informação no meio de um sinal cheio de interferências.

Em uma comunicação sem fio, seja por acoplamento magnético ou RF, utiliza-se um sinal principal denominado portadora. Este sinal, de início, não possui informação, mas já sofre interferências e atenuações em todo o seu percurso entre a unidade transmissora e receptora. O ato de transmitir uma informação consiste em manipular a portadora para inserir os dados desejados, de tal forma, que seja possível detectar e interpretar quando recebido, para isso, faz-se uso de técnicas de modulação, codificação e definição de um protocolo de comunicação. Pode-se dizer que todas estas técnicas compõem um “dicionário” que, se a informação for enviada corretamente, permitirá que a unidade receptora leia os dados enviados até ela. No apêndice B são apresentados alguns conceitos e técnicas para o projeto de um sistema de comunicação, alguns tópicos do mesmo serão abordados de forma objetiva no decorrer do desenvolvimento.

3.3 LINK INDUTIVO

Segundo o fenômeno da indução eletromagnética, ao aplicar uma corrente variável em uma bobina, esta gerará um campo magnético; ao aproximar uma segunda bobina, presente em um circuito fechado, de forma a estabelecer um fluxo variável, gerará, conseqüentemente, uma corrente variável neste circuito, ou seja, será estabelecido uma ligação (*link*) indutiva entre os

dois circuitos. Este fenômeno tem sido muito utilizado para transferência de energia sem fio, e desenvolvimento de sistemas de comunicação passivos.

O projeto de *links* indutivos para implantes médicos, exige a observação de diversos aspectos, tais como eficiência na transferência de energia (em inglês, *PTE*), potência entregue a carga (em inglês, *PDL*), frequência de operação, sensibilidade do acoplamento magnético a desalinhamento das bobinas, fator de forma e biocompatibilidade (ALI et al., 2009a). Todos estes aspectos estão interligados, de forma que a definição de uma destas características influenciará em todas as demais. Por exemplo, ao definir a frequência de operação de um sistema de comunicação, busca-se uma frequência elevada que permita uma alta taxa de transmissão de dados. No entanto, o uso de frequências elevadas pode reduzir a eficiência energética do *link*, uma vez que campos magnéticos de baixa frequência possuem uma penetração maior no corpo humano, além que o aumento da frequência resulta em uma maior absorção de potência pela pele (PUNDI, 2002; LIN; GUY, 1973; ATLURI, 2006). Em contra partida, o uso de frequências mais baixas influenciam no tamanho do dispositivo, já que exige bobinas com dimensões maiores, o que pode afetar sua viabilidade dependendo da aplicação. O que pode-se afirmar de seu uso em sistemas de comunicação, é que a otimização da eficiência energética sobrepõe a otimização da eficiência na transmissão de dados (ALI et al., 2009a).

Em (ALI et al., 2009b), é realizado um modelamento matemático de diversas configurações possíveis no projeto de um *link* indutivo. Tomando como base o circuito mostrado na figura 19, são realizadas diversas simulações utilizando circuito não ressonante, série e/ou paralelo ressonante e descrevendo suas principais características. Verificou-se que o ganho de tensão e a eficiência do *link* esta diretamente relacionada com um bom fator de qualidade das bobinas; o uso de circuitos ressonantes, ao qual as impedâncias do capacitor e do indutor se anulam a uma determinada frequência, aumenta a eficiência e o ganho do *link*, sendo que o uso de uma ressonância no primário causa um aumento no ganho de tensão, enquanto a ressonância no secundário incrementa os dois parâmetros avaliados. Dentre as configurações possíveis, o uso de ressonância em série no primário e em paralelo é a que possui melhor eficiência e ganho. No entanto, o uso de circuitos ressonantes resulta em uma maior dependência da frequência projetada, limitando a largura de banda do sistema consideravelmente.

O mesmo resultado foi verificado experimentalmente e analiticamente por Volpato (2012), além de citar a grande dependência da frequência projetada, o uso do circuito ressonante duplo exige maiores cuidados na definição do fator de qualidade ótimo do *link*, assim faz-se necessário estipular a distância de operação para que se possa projetar considerando a influência da indutância mútua no fator de qualidade do circuito.

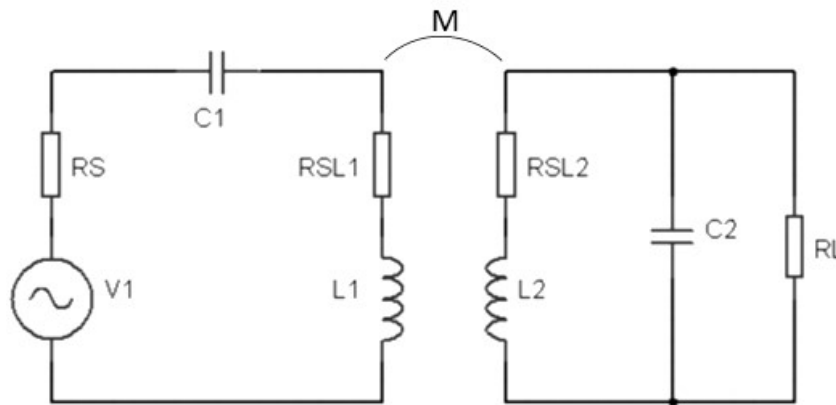


Figura 19: Circuito base de um *link* indutivo, ao qual os capacitores C1 e C2 mudam conforme a configuração desejada.

Fonte: Adaptado de (ALI et al., 2009a).

Para constatar o papel da ressonância no projeto de *links* indutivos foram realizadas as análises utilizando um modelo de 2 bobinas, porém, nos últimos anos, devido ao grande aumento de interesse nesta área, modelos a 3 e 4 bobinas foram propostos. No entanto, a maioria dos trabalhos não realizaram apenas a análise da eficiência, mas também demonstram suas características projetando sistemas de comunicação, ou de transferência de energia aplicado a dispositivos implantáveis. Para tanto, torna-se interessante descrever estes avanços científicos.

Em 1996, (ZIERHOFER; HOCHMAIR, 1996)descreveram técnicas de projeto geométrico de bobinas para obter um acoplamento magnético ótimo entre duas bobinas. A técnica consiste em calcular a autoindutância e indutância mútua de duas bobinas levando em consideração suas dimensões e distância, além da frequência de operação e perdas devido a capacitância parasita e resistência nos indutores. Utilizando como parâmetro a eficiência na transmissão de energia, pode-se determinar qual a melhor configuração de forma a otimizar esta eficiência. Para demonstrar este resultado na prática, Zierhofer e Hochmair montaram o circuito mostrado na figura 20, em que verifica-se o uso de um circuito ressonante duplo. Realizaram o comparativo entre dois casos, o primeiro definiram o raio máximo das bobinas igual a 12 mm e raio mínimo igual a 11.25, considerando o raio do fio de cobre igual a 0.125 mm, foi possível obter bobinas com quatro espiras, com fator de qualidade próximo de 80, o que resultou em 52% de eficiência. Já no segundo caso, foi reduzido as dimensões máxima e mínima para 10.3 mm e 6.8 mm, respectivamente, obtendo bobinas com 6 espiras. Verificou-se que apesar da redução do tamanho, obteve-se a mesma eficiência energética. Este tipo de otimização permite otimizar as dimensões das bobinas, reduzindo os efeitos das mesmas no tamanho de dispositivos implantáveis.

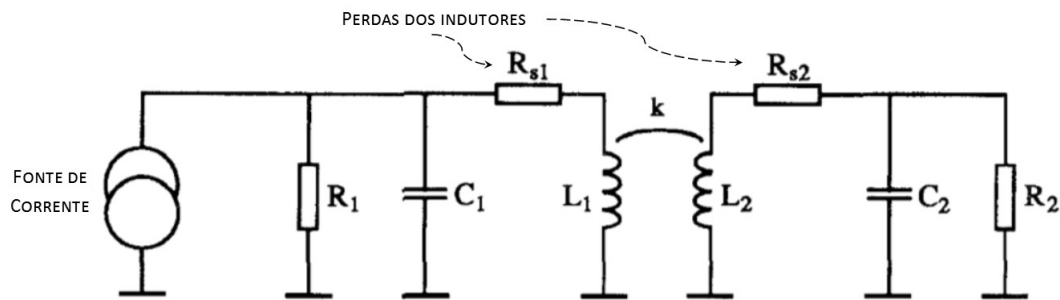


Figura 20: Circuito utilizado por Zierhofer e Hochmair (1996).

Fonte: Adaptado de (ZIERHOFER; HOCHMAIR, 1996).

Wang et al. (2005), apresentaram o desenvolvimento de um sistema de transmissão de energia e dados sem fio com técnicas de controle adaptativo para eliminar as variações de potência causadas por variação na carga e mudanças no coeficiente de acoplamento. Para obter uma melhor eficiência energética, além de projetar os indutores, os autores utilizaram um amplificador Classe E para conseguir fornecer uma potência de até 250 mW ao dispositivo implantável. Para a comunicação entre dispositivo implantável e dispositivo externo, utilizou-se um tipo específico de modulação *ASK* chamada de *load shift keying (LSK)* que consiste no chaveamento de uma carga para modular a informação a ser enviada. No entanto, há um conflito ao utilizar um sistema de controle de potência e uma técnica de modulação *ASK* que utiliza a variação da amplitude para enviar a informação. Para solucionar este problema, foi proposto a inclusão de um tempo de atraso até o sistema de controle de potência responder, além do uso de um protocolo específico para reduzir o efeito da comunicação no controle.

Como resultado, Wang *et al* obtiveram um sistema de comunicação passivo comunicando a uma taxa 3,3 kbps a uma distância ótima de 7 mm. O uso do controle adaptativo permitiu melhorar a eficiência na transmissão de energia, chegando a 65,8% de eficiência no melhor caso, além de reduzir a probabilidade de o sistema trabalhar com sobretensão, “estressando” capacitores e demais componentes presentes no circuito. A tabela 1 apresenta algumas informações a cerca das bobinas projetadas.

Ghovanloo e Atluri (2007), descreve o desenvolvimento de um dispositivo implantável utilizando múltiplos enlaces, como mostra o diagrama do sistema de comunicação proposto apresentado na figura 21. O sistema consiste de um enlace destinado ao envio de potência, este opera a baixa frequência ($f < 1$ MHz) e alta amplitude ($V_p \approx 100$ V), e um enlace para o envio de dados ao implante, este opera a média frequência (entre 1 e 100 MHz) e média amplitude ($V_p = 5$ V a 10 V). Para receber informação do implante, utilizou-se de uma par de antenas operando a aproximadamente 400 MHz. Para suprir a energia do sistema, o enlace

Tabela 1: Dimensões Físicas das bobinas planares projetadas por Wang et al. (2005).

Parâmetros		Bobina externa (bobina planar)	Bobina interna (bobina planar)
Dimensões Físicas	Diâmetro externo	40 mm	22 mm
	Diâmetro interno	32 mm	18 mm
	Espessura	5 mm	0.5 mm
Indutância		69 μ H	60 μ H
Resistência equivalente série		3,9 Ohms	11,4 Ohms

Fonte: Adaptado de (WANG et al., 2005).

de potência foi alimentado através de um amplificador de potência classe E projetado para a largura de banda escolhida. Já o enlace de comunicação não utilizou de amplificador de potência, sendo alimentado por um gerador senoidal que também foi responsável por modular a informação utilizando modulação *FSK*. O trabalho ainda apresentou uma análise dos efeitos do desalinhamento entre as bobinas, o que certamente altera a eficiência energética do *link* indutivo e no decorrer do desenvolvimento, destacou-se um grande desafio ao tentar minimizar as interferências que cada enlace causava ao outro. O uso de alinhamentos diferentes e otimização geométrica das bobinas auxiliou na redução desta interferência.

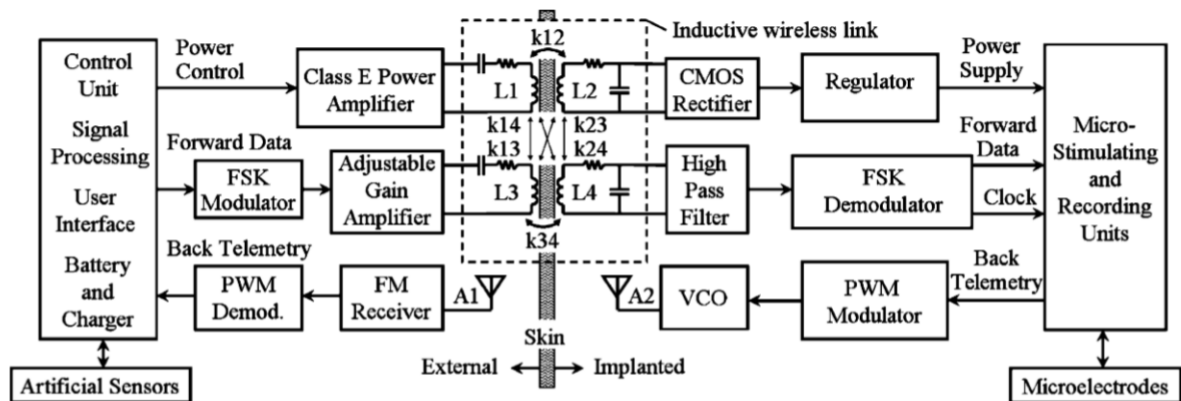


Figura 21: Diagrama do sistema de comunicação para dispositivos microeletrônicos implantáveis desenvolvido por Ghovanloo e Atluri (2007).

Fonte: Adaptado de (GHOVANLOO; ATLURI, 2007).

Baker e Sarpeshkar (2007) apresenta em seu trabalho o projeto de um *link* indutivo para transmissão de energia, bem como o desenvolvimento de um circuito integrado ao qual é aplicado. Em seu projeto, destaca-se a otimização da eficiência do *link* indutivo escolhendo adequadamente um valor para carga para uma determinada distância entre as bobinas do primário e secundário, como mostra o gráfico da figura 22. Os parâmetros do projeto foram calculados considerando um consumo de potência próximo de 10 mW e uma distância de até 10 mm. Como

resultado, verificaram uma considerável perda no bloco retificador e no amplificador de potência classe E utilizados, assim, sentiram a necessidade de descrever um novo método de projeto de PA classe E para minimizar suas perdas. A uma distância de 10 mm entre as bobinas, obteve-se, portanto, uma eficiência máxima de 51% utilizando duas bobinas de fio de cobre, uma com 10 espiras, outra com 15 espiras e ambas com 15 mm de raio. Vale ressaltar que, posteriormente, foi realizada uma correção em (GASULLA et al., 2014) do modelo matemático usado por Baker e Sarpeshkar (2007), possibilitando melhorar a comparação entre resultados práticos e teóricos.

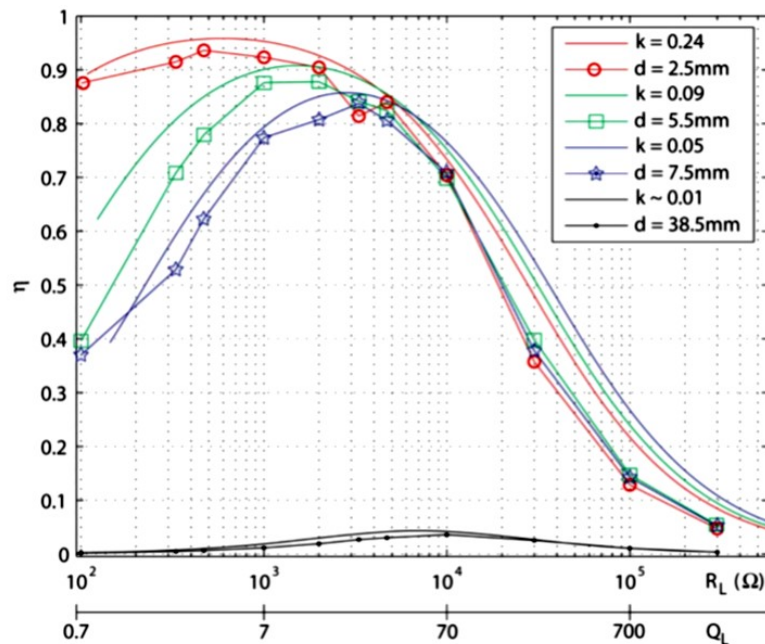


Figura 22: PTE do link indutivo pela variação da carga R_L , os resultados produzidos por Baker e Sarpeshkar (2007) ignoram as perdas no amplificador de potência.

Fonte: Adaptado de (BAKER; SARPESHKAR, 2007).

Assim como (BAKER; SARPESHKAR, 2007), diversos trabalhos aplicam o projeto de links indutivos, amplificadores de potência e retificadores, destinados a dispositivos médicos implantáveis, já integrando-os a circuitos integrados (LU; KI, 2014; KENDIR et al., 2005; WANG et al., 2005; AHMADI; JULLIEN, 2009; WU et al., 2014). Em (AHMADI; JULLIEN, 2009) foi desenvolvido um microssistema, mostrado na figura 23, destinado ao monitoramento de níveis de glicose no sangue. Este dispositivo é alimentado passivamente por um link indutivo, também utilizado para enviar informações através de modulação LSK. O microssistema projetado com tecnologia *complementary metal-oxide-semiconductor* (CMOS), quando alimentado com 2,6 V via acoplamento magnético, consome em média 110 μA . O link indutivo projetado opera a uma frequência de 13,56 MHz, que através de duas bobinas consegue suprir os 1,8 V, de tensão de alimentação do (CI), após a retificação e realizar comunicação a

uma distância de até 4 cm.

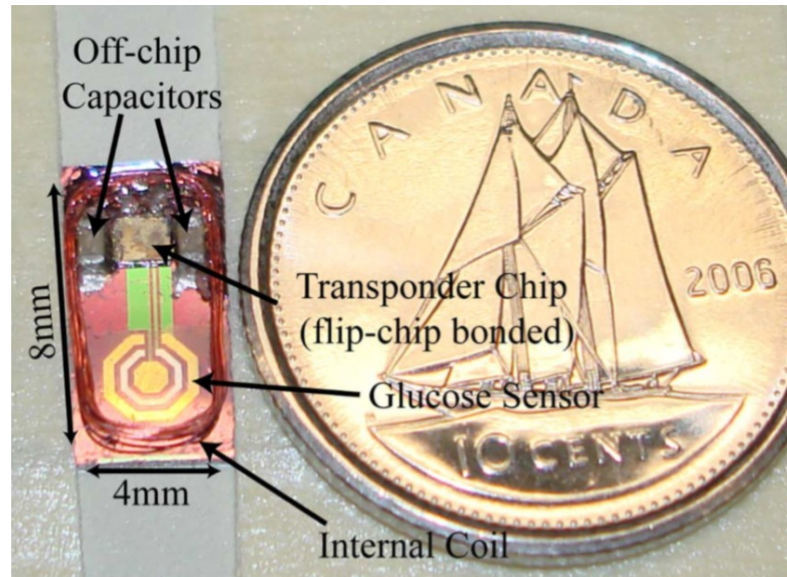


Figura 23: Microsistema passivo para monitoramento de glicose desenvolvido por Ahmadi e Jullien (2009).

Fonte: Adaptado de (AHMADI; JULLIEN, 2009).

Alguns trabalhos buscam descrever o modelo matemático, simular e/ou otimizar o projeto de bobinas em circuito impresso, tal como Jow e Ghovanloo (2007), que descreve o projeto e otimização deste tipo de bobina para transmissão de energia em dispositivos abaixo da pele (transcutâneo). A técnica apresentada considera as resistências e capacitâncias parasitas em conjunto com o fator de qualidade do circuito e o coeficiente de acoplamento magnético para definir as dimensões geométricas ótimas para obter melhor *PTE*, que experimentalmente, foi validada para frequências entre 1 a 5 MHz. Em 2011, este tipo de bobina foi utilizado por Kaini et al. (2011) para descrever uma técnica de otimização para enlaces a 2, 3 e 4 bobinas.

3.3.1 2, 3 E 4 BOBINAS

O *link* indutivo a 2 bobinas possui uma grande dependência da distância e dimensões das bobinas, foi buscando melhorar sua eficiência e potência fornecida à carga, que modelos a 4 bobinas começaram a ser estudados, figura 24. Por exemplo em (YANG; YANG, 2013), no qual foi projetado um *link* com quatro bobinas para distâncias superiores a 1 cm (até o momento a maioria dos trabalhos englobavam esta distância média) é possível verificar inicialmente um aumento da eficiência energética frente o projeto convencional de duas bobinas, uma vez que a distâncias de até 4 cm, utilizando como frequência de ressonância 13,56 MHz a *PTE* é superior a 80 %, como mostra o gráfico da figura 25.

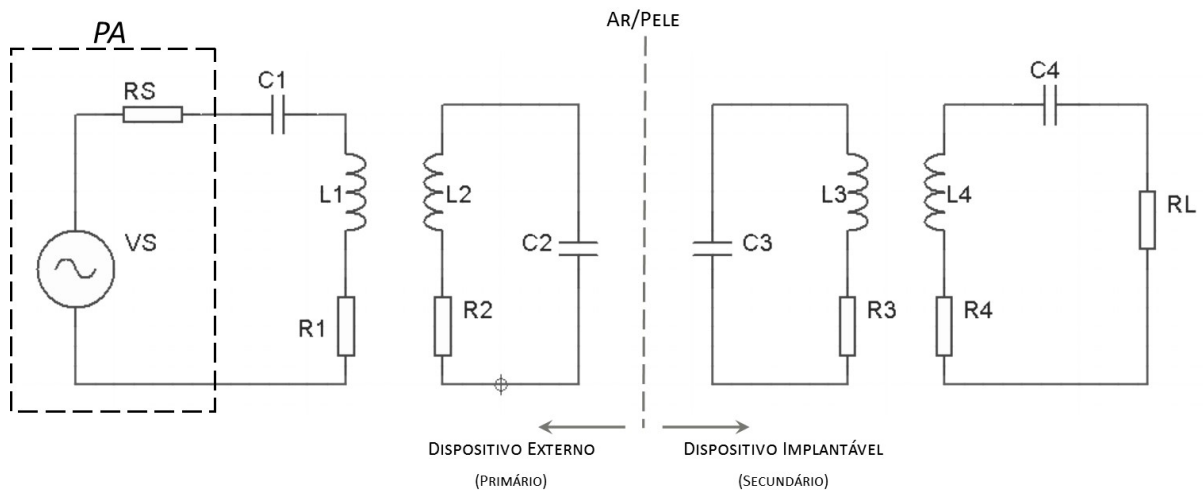


Figura 24: Circuito base de um *link* indutivo formado por 4 bobinas.

Fonte: Adaptado de (YANG; YANG, 2013).

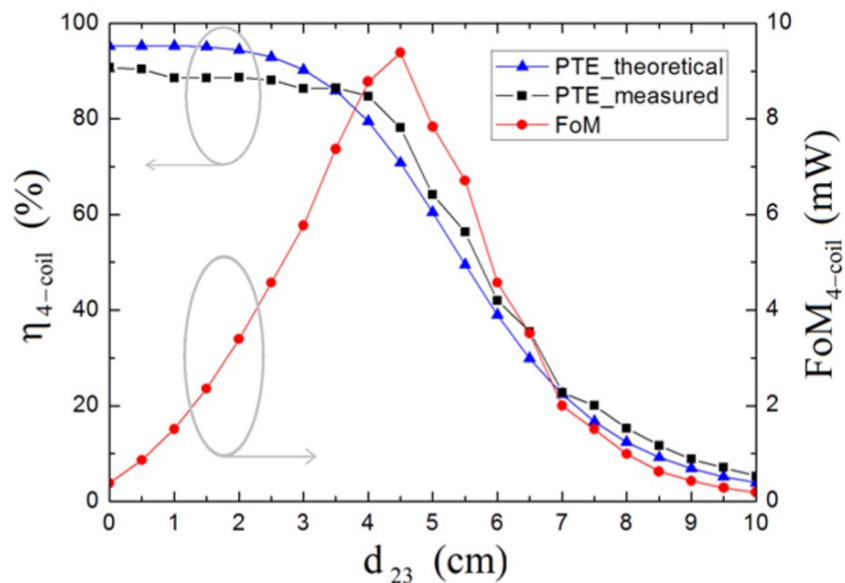


Figura 25: Eficiência energética e fator de forma *versus* distância entre as bobinas L_2 e L_3 desenvolvidas por Yang e Yang (2013).

Fonte: Adaptado de (YANG; YANG, 2013).

RamRakhyani et al. (2011) realizou um comparativo entre os dois modelos, 2 e 4 bobinas, variando sua distância e a resistência interna da fonte R_S , como mostra o gráfico da figura 26. Neste caso, as bobinas foram construídas com fio de *Litz*, que trata-se de vários fios de cobre de menor diâmetro para que haja uma redução do efeito pelicular ocasionado pela alta frequência do sinal, e multicamada operando a uma frequência de 700 kHz. Verifica-se,

portanto, que o *link* de 4 bobinas projetado possui um comportamento distinto do de 2 bobinas frente a variação da distância.

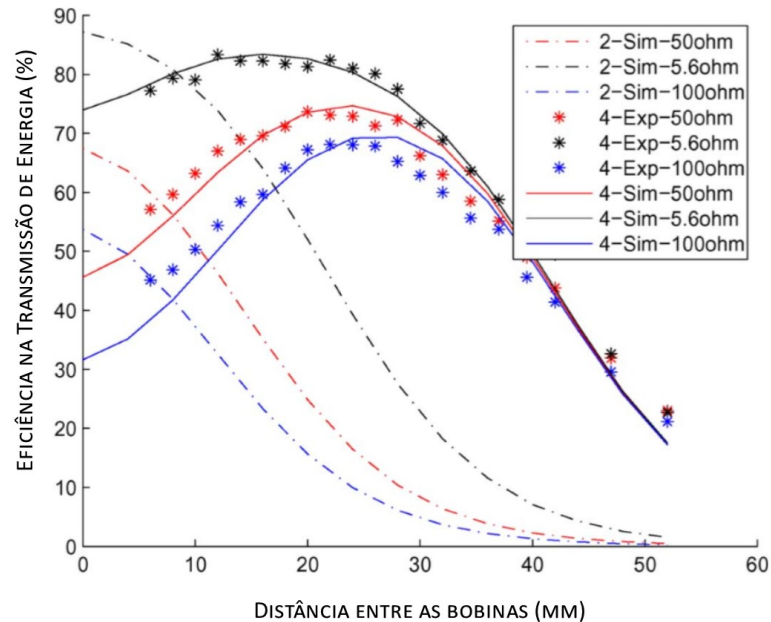


Figura 26: Eficiência energética versus distância para acoplamento a 2 e 4 bobinas, demonstrando um comparativo entre valores simulados e práticos quando há variação da resistência interna da fonte.

Fonte: Adaptado de (RAMRAKHYANI et al., 2011).

Outra configuração possível para projeto de *link* indutivo é o uso de três bobinas, ao qual duas bobinas localizam-se no dispositivo externo e uma no dispositivo implantável como mostra a figura 27. RamRakhyani e Lazzi (2013) realiza um comparativo entre o projeto de um *link* indutivo a 2 e 3 bobinas quando avaliado sua *PTE* em função da variação da frequência em uma distância fixa, além de demonstrar experimentalmente os efeitos positivos que o uso de bobinas com alto fator de qualidade proporcionam a *PTE* para 2 e 3 bobinas. Como resultado, os autores obtiveram uma eficiência de até 65% para a configuração a 3 bobinas em comparação a 35% de eficiência para o *link* a 2 bobinas, considerando uma distância de 12 mm, frequência de ressonância igual a 3 MHz e 100 Ω de carga, além de as bobinas L1, L2 e L3 possuírem diâmetro de 4, 3,6 e 1,8 cm, respectivamente. De forma a provar a viabilidade do uso de 3 bobinas aplicado a telemetria passiva, RamRakhyani e Lazzi (2013) também projetou uma comunicação com modulação *FSK*, ao qual o bit '1' foi representado pela frequência 2,673 MHz e o bit '0' por 3,194 MHz.

Da mesma forma, já em 2011, Kaini et al. (2011) apresentou um estudo bem detalhado do projeto de *links* indutivos com multi-bobinas, demonstrando de forma teórica e prática um

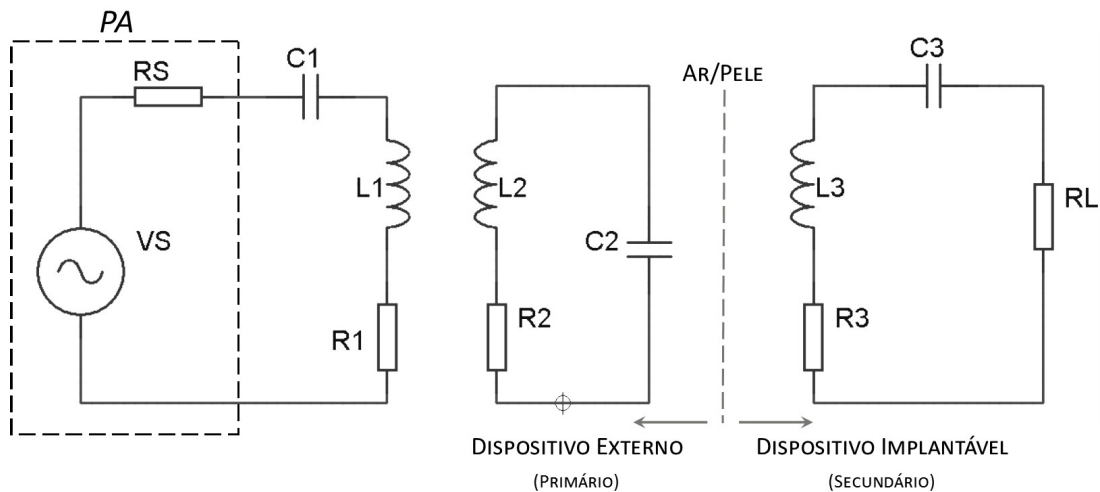


Figura 27: Circuito base de um *link* indutivo formado por 3 bobinas.

Fonte: Adaptado de (RAMRAKHYANI; LAZZI, 2013).

método de otimização com bobinas de fio enrolado e bobinas de circuito impresso, tendo como parâmetros de comparação a *PTE* e a *PDL*. O método apresentado busca otimizar as dimensões das bobinas de forma a obter a melhor relação entre *PTE*, *PDL* e tamanho para um determinado valor de carga e distância. Primeiro analisando o projeto de 2 bobinas, verificou-se que o mesmo possui como característica uma baixa eficiência energética, porém um alto valor de potência entregue a carga. No entanto, vale destacar que, neste caso, não há um ponto ótimo em comum de *PTE* e *PDL* para um mesmo coeficiente de acoplamento e mesma carga.

Quando analisado o projeto de 4 bobinas, o mesmo demonstra possuir uma alta eficiência, porém baixos valores de *PDL*, esta característica é visível quando varia-se o coeficiente de acoplamento entre as bobinas $L1$ e $L2$, e a distância entre primário e secundário - alterando, consequentemente, o coeficiente de acoplamento entre $L2$ e $L3$, como mostra os gráficos apresentados na figura 28a e 28b. Em contra partida, o projeto a 3 bobinas demonstra possuir altos valores de *PTE* e *PDL* ao mesmo tempo, como mostra os gráficos da figura 28c e 28d.

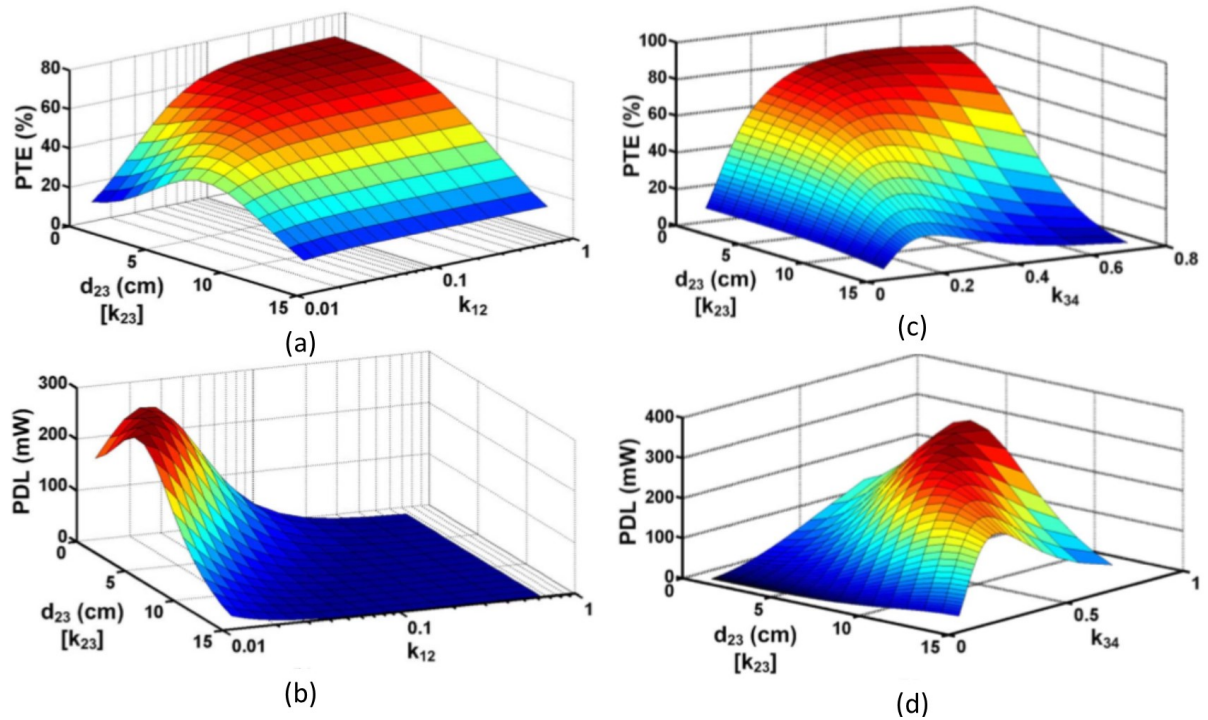


Figura 28: Simulação da a) eficiência na transmissão de energia (*PTE* e b) potência entregue à carga (*PDL*) para um *link* indutivo a 4 bobinas em função de k_{12} e d_{23} considerando $k_{34} = 0,22$; e c) *PTE* e d) *PDL* para um *link* indutivo a 3 bobinas em função de k_{34} e d_{23} considerando $V_S = 1$ V e $R_L = 100 \Omega$.

Fonte: Adaptado de Kaini et al. (2011).

4 MATERIAIS E MÉTODOS

O desenvolvimento de um sistema de comunicação passivo exige o estudo de diversas áreas da eletrônica, ao qual são aplicados conhecimentos de eletrônica analógica, ao projetar *links* indutivos, retificadores, filtros e osciladores analógicos, além de amplificadores de potência; conhecimentos de eletrônica digital, tais como o uso de amplificadores operacionais para projeto de filtros, amplificadores e comparadores, e o uso de microcontroladores responsáveis por realizar todo o processamento de informação e atuar da forma desejada no sistema; e certamente, conhecimento em telecomunicações para definição e desenvolvimento das técnicas de transmissão e recepção propícias ao sistema de comunicação a ser projetado e sua aplicação.

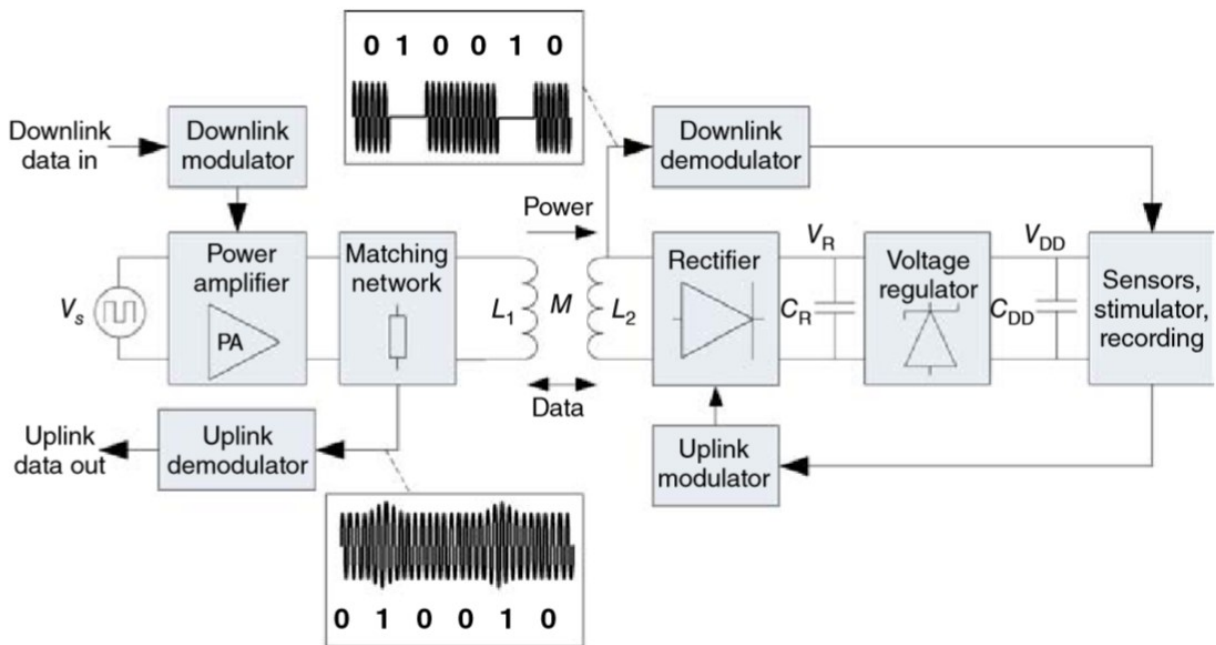


Figura 29: Visão geral de um sistema de comunicação passivo para aplicações biomédicas.

Fonte: Adaptado de Nikita (2014).

Em Nikita (2014) são destacados alguns pontos fundamentais, presentes na literatura, no desenvolvimento de dispositivos de telemetria para aplicações biomédicas, bem como

uma visão geral dos blocos que compõem um sistema de comunicação passivo utilizando um *link* indutivo como mostra a figura 29. Objetivando expandir e detalhar cada bloco do sistema proposto, que neste capítulo serão apresentados de forma mais detalhada a metodologia e critérios utilizados para seu desenvolvimento, baseando-se tanto na literatura quanto na experimentação.

4.1 METODOLOGIA

Para alcançar o objetivo proposto, foi primeiramente definido uma metodologia de trabalho composta por cinco etapas:

- A primeira etapa trata-se da análise e projeto de um *link* indutivo a duas bobinas. Para otimização e projeto do mesmo, fez-se uso do *software* Matlab® para implementar o modelo matemático do *link* e um algoritmo que auxiliará na otimização das dimensões em relação a eficiência na transmissão de energia. Para análise e testes, foram avaliados as dimensões físicas das bobinas, a distância, a *PTE* e a *PDL*.
- A segunda etapa consistiu em projetar o *hardware* dos dois dispositivos. Para tanto, primeiro foi projetado o bloco de potência do dispositivo externo, composto por um amplificador classe E e um oscilador Hartley. Este bloco foi avaliado mensurando a relação entre a potência de entrada e a potência de saída, além da precisão em adquirir a frequência de ressonância desejada. Em seguida foram projetados os blocos que possibilitam o envio da comunicação e sua detecção em ambos os dispositivos, priorizando obter um bom resultado na transmissão de dados no sentido *uplink* e posteriormente no sentido *downlink*. Após projetado e testado seu funcionamento via *protoboard*, foi confeccionado um protótipo ajustável para auxiliar a obtenção dos resultados descritos no capítulo 5 e testes do *software*.
- A terceira etapa seguiu em paralelo com a etapa anterior, ao qual através de uma placa de desenvolvimento para o microcontrolador AT89S52 deu-se início ao desenvolvimento do *software*. Nesta etapa o primeiro passo foi a implementação do código de detecção e envio de informação seguindo o protocolo do CI EM4100. Verificado o correto funcionamento do código, passou-se a desenvolvê-lo junto ao protótipo.
- A quarta etapa trata-se de todo o processo de ajuste e testes de funcionamento de cada sentido de comunicação do sistema projetado. Neste processo foram obtidos os primeiros resultados com o auxílio de um osciloscópio.

- A última etapa consistiu em ajustar, testar e melhorar o desempenho do sistema de comunicação operando em modo *half-duplex*, para isso, foi implementado o funcionamento geral do sistema.

Quanto aos equipamentos que foram utilizados para alimentar, gerar sinais e mensurar os diversos parâmetros presentes nos circuitos pode-se citar o uso de uma fonte de bancada Instrutherm FA-3030 para alimentação dos protótipos, que possui ajuste de tensão, limitador de corrente e proteção contra curto-circuito, além de possuir alimentação simétrica, e o uso de fontes universais com tensão mínima de ajuste de 12 V. Para gerar sinais periódicos, utilizou-se de um gerador senoidal *Minipa* MFG-4220, com resistência interna de 50 Ohms. Para mensurar a resistência, tensão e corrente CC, além de verificar a continuidade de conexões e testes em componentes utilizou-se de um multímetro *Minipa* ET-2042D, enquanto uma Ponte LCR *Minipa* MX-1010 foi utilizada para mensurar capacitância, indutância e resistência CA dos componentes. Por fim, para mensurar e visualizar a forma de onda dos sinais de tensão e corrente presentes no circuito, foi utilizado um osciloscópio Tektronix 2002B de 2 canais, 1 Giga *sample* por segundo de amostragem e 60 MHz de banda.

4.2 DEFINIÇÕES GERAIS DO SISTEMA DE COMUNICAÇÃO

Para melhor compreensão do sistema de comunicação proposto faz-se interessante apresentar a visão geral do sistema de comunicação desenvolvido e relembrar os objetivos do trabalho. Posteriormente cada bloco será explicado com mais detalhes ao expor a metodologia de forma aprofundada, critérios, funcionamento e alguns resultados preliminares.

O presente trabalho tem como objetivo desenvolver uma solução para reduzir o consumo de dispositivos implantáveis ativos. O foco, neste caso, é o sistema de comunicação ativo, que possui a característica de consumir boa parte da potência disponível na bateria implantada. A solução apresentada trata-se do desenvolvimento de um sistema de comunicação passivo (canal auxiliar) para que este seja, em aplicações futuras, o responsável por habilitar o sistema de comunicação ativo (canal principal). Esta solução permite que haja uma comunicação sob demanda, consumindo energia apenas quando for requisitado uma comunicação através deste canal auxiliar. Tomando como base um dispositivo de aplicação de insulina para tratamento de pacientes com diabetes, foram estipuladas algumas premissas:

- Distância: o local do implante pode variar muito, porém, dispositivos ativos, geralmente, possuem dimensões que limitam seu uso logo abaixo da pele, sendo necessário implantá-lo em cavidades próximas da aplicação. Este é o caso de marcapassos e de dispositivos

para diabetes. Levando em consideração a cavidade abdominal - aonde se localiza a maioria dos órgãos humanos - é difícil definir uma média da espessura dos tecidos que compõem a parede abdominal. Para nível de referência foi definido uma distância mínima de 3 cm, tendo em vista que a bobina não precisa, necessariamente, estar junto ao implante, podendo ser inserida em regiões cuja espessura é reduzida.

- Dimensões das bobinas: outro fator totalmente ligado a localização do implante são as dimensões das bobinas. No dispositivo externo não há limitações, mas a bobina implantável deve, em uma aplicação real, ter dimensões reduzidas ao máximo. Também como referência, tendo em vista a dificuldade de informações a respeito, foi estipulado um raio de 2,5 cm como limite superior.
- Comunicação: a comunicação deve ocorrer nos dois sentidos, ora dispositivo externo e ora dispositivo interno enviando dados, caracterizando uma comunicação *half-duplex*. O intuito deste tipo de comunicação para a aplicação estudada é enviar uma requisição ao implante, e este deve informar ao dispositivo externo, ainda utilizando o canal auxiliar, que a informação foi recebida e que foi enviado ao canal principal um sinal para habilitá-lo. Desta forma, aumenta-se a confiança do sistema de comunicação passivo, fator fundamental em aplicações que influenciam diretamente na saúde e bem estar do ser humano.

Desta forma, definiu-se o diagrama geral do sistema de comunicação proposto, como mostra a figura 30. No sentido *downlink*, a informação é transmitida pelo dispositivo externo e recepcionado pelo dispositivo implantável. Já no sentido *uplink*, ocorre o inverso, ao qual o dispositivo implantável enviará a informação e o dispositivo externo a recepcionará. Em ambos os sentidos, o sistema de comunicação foi baseado na modulação ASK com codificação Manchester.

A frequência de operação definida para em ambos os sentidos foi de 125 kHz, utilizando um enlace simultâneo formado por duas bobinas. O *link* indutivo foi projetado respeitando os limites estipulados, enquanto sua alimentação e geração da portadora fica a cargo de um amplificador de potência classe E com oscilador *Hartley*.

4.3 DEFINIÇÃO DOS MICROCONTROLADORES

Um microcontrolador é um dispositivo eletrônico programável, trata-se de um processador que dotado de periféricos para as mais diversas funções auxilia no desenvolvimento

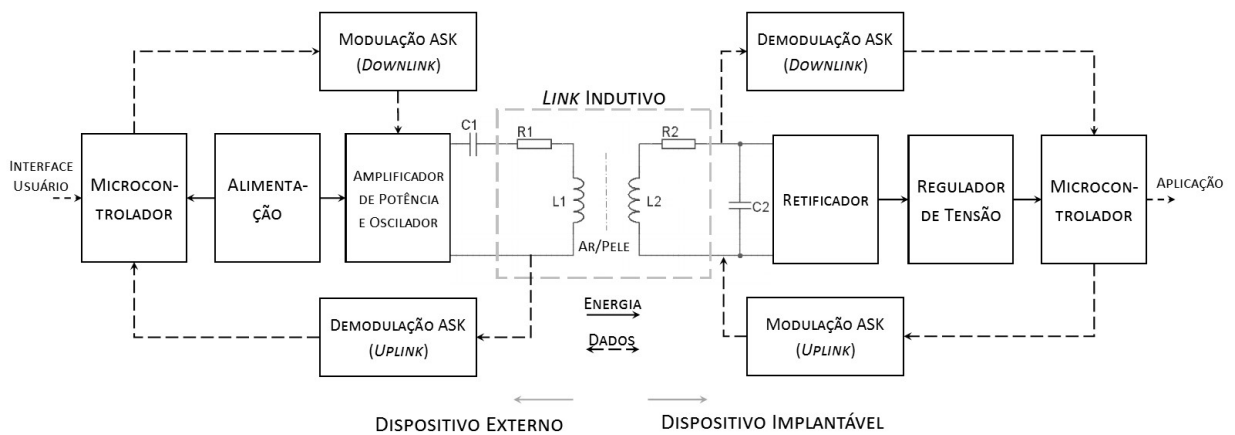


Figura 30: Diagrama geral do sistema de comunicação proposto.

Fonte: Baseado em Nikita (2014).

de sistemas de controle, sistemas de comunicação, interface homem-máquina etc.. Hoje há microcontroladores dos mais diversos tipos, que muitas vezes se especificam para alguma função de acordo com os periféricos inseridos. Desta forma, faz-se interessante buscar um microcontrolador que atenda as necessidades do projeto da melhor forma. Tomando como critério de escolha as características do microcontrolador, disponibilidade e familiaridade frente a aplicação, assim, os tópicos a seguir descrevem sucintamente os μC s escolhidos bem como as ferramentas e circuitos necessários para seu uso.

4.3.1 DISPOSITIVO EXTERNO

O dispositivo externo é o responsável por enviar uma requisição ao implante e aguardar uma confirmação do mesmo. Para isso, é necessário haver uma forma de interação entre o usuário e o dispositivo, tanto para definir o procedimento a ser enviado, quanto para verificar o recebimento da confirmação. Isto exige um microcontrolador com entradas e saídas suficientes para utilizar um *display LCD*, um teclado matricial além de uma saída destinada a enviar o sinal para modular e uma entrada para receber a informação demodulada. Devido a possibilidade de atender estas exigências, além da familiaridade com os microcontroladores da família *MCS-51*, optou-se por utilizar o microcontrolador AT89S52 da Atmel© para o desenvolvimento do dispositivo externo.

4.3.1.1 AT89S52

A família MCS-51 trata-se de uma família de microcontroladores de 8 bits desenvolvida pela Intel© em 1980. É considerado um dos μC mais populares no

mundo, tendo sua inserção no mercado expandida devido a liberação do seu *core* para fabricação e desenvolvimento por outras empresas de semicondutores, tais como Atmel e *NXP semiconductors*.

O mesmo utiliza arquitetura *Harvard*, ao qual as memórias de código e dados são distintas, a primeira destinada a gravar o programa, geralmente, é composta por uma *Read Only Memory (ROM)*, enquanto a segunda, destinada a armazenar dados diversos, é composta por uma memória *Random Access Memory (RAM)*. Outra característica é o uso de tecnologia *Complex Instruction Set Computer (CISC)*, esta tecnologia permite programar utilizando instruções complexas, que internamente o μC quebrará em instruções menores mais próximas da linguagem de máquina, assim, facilitando sua programação.

O AT89S52 é uma versão muito popular e acessível do MCS-51, possui periféricos básicos, mas muito usuais em aplicações de uso geral. Possui 32 pinos de entrada e saída (I/O), sendo viável sua aplicação para realizar toda a interface entre o dispositivo e o usuário, além da possibilidade implementação do funcionamento do dispositivo utilizando linguagem de programação *C* ou *Assembly*. A tabela 2 apresenta as demais características presentes no AT89S52, enquanto a figura 31 mostra a pinagem deste microcontrolador. Destacando-se a presença de três *timers/interrupções*, que permitem o tratamento de eventos com rapidez e a implementação de contadores precisos para geração de pulsos ou tempos de atraso, além de uma memória de código ampla de 8 Kbytes (ATMEL, 2001).

Tabela 2: Recursos e características presentes no AT89S52.

Característica	Especificação
Alimentação	4,0 V a 5,5 V
Frequência de Operação	0 Hz a 33 MHz
Memória ROM	8 kbytes
Memória RAM	256 bytes
Pinos de I/O	32
Timer/Counter 16 bits	3
Comunicação Serial	Full Duplex UART
Fontes de Interrupção	8
Gravação	ISP

Fonte: Adaptado de Atmel (2001).

Para realizar a gravação do programa no AT89S52 há inserido no *hardware* uma interface serial *In-System Programming (ISP)*. A interface é formada por três pinos: SCK, MOSI e MISO, que em conjunto com o *reset* permite realizar a gravação com um cabo serial e um algoritmo de gravação especificado na folha de dados do μC (ATMEL, 2001). No entanto, hoje a presença de portas seriais nos computadores esta cada vez mais rara, assim,

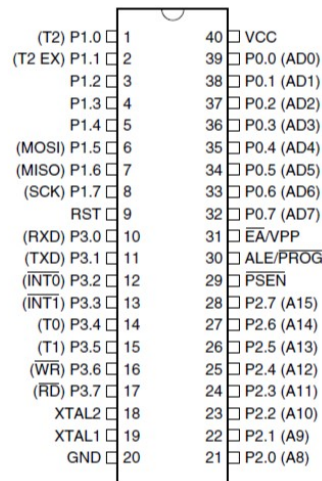


Figura 31: Pinagem do AT89S52 com encapsulamento de 40 pinos.

Fonte: Adaptado de Atmel (2001).

para solucionar esta dificuldade, é possível utilizar de gravadores que convertem a comunicação serial convencional para comunicação *USB*. No caso, o gravador utilizado é o USBASP, utilizado para gravar microcontroladores baseados no MCS-51 e no AVR.

A figura 32 apresenta o gravador USBASP e a pinagem do conector de 10 vias, um dos padrões utilizados para conexão em *hardware* deste tipo de gravador. O USBASP foi desenvolvido por Fischl (2005) para uso em microcontroladores AVR, ele disponibiliza gratuitamente o projeto do *hardware*, *software* de gravação e *drivers* atualizados. As versões encontradas no mercado utilizam de um ATmega88 ou ATmega8, já com uma interface USB. Funciona em diversas plataformas, como Linux, Mac OS X e Windows, possui velocidade de programação de até 5kBytes por segundo, além de uma opção de baixa velocidade para microcontroladores que operam a frequência menores que 1,5 MHz (FISCHL, 2005).

O AT89S52 não possui todos os componentes que permita ser alimentado e já utilizado, sendo necessário a inclusão de um circuito de *reset* responsável por garantir a correta inicialização do microcontrolador, e um oscilador responsável por gerar a frequência que regerá toda a execução e funcionamento do dispositivo. A figura 33 apresenta o circuito base para utilização do AT89S52, bem como a conexão dos pinos de gravação em um conector de 10 vias.

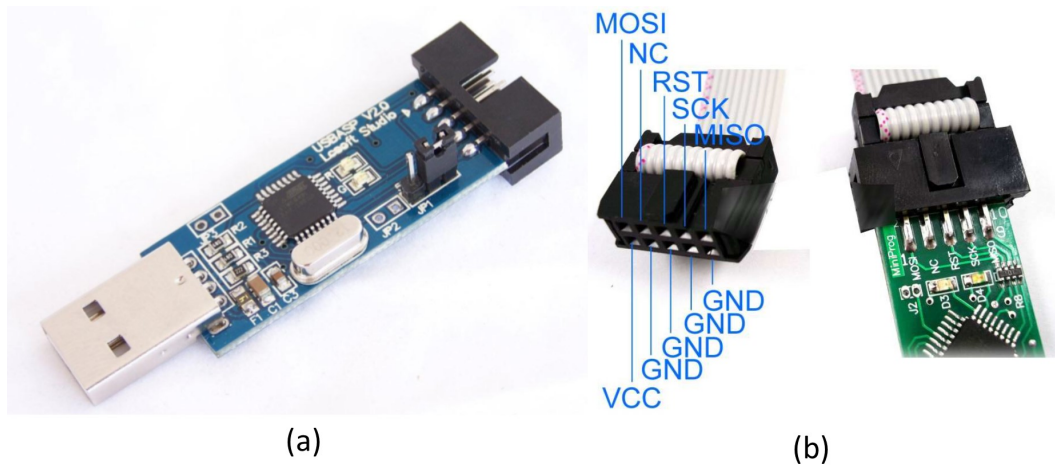


Figura 32: a) Gravador USBASP e b) pinagem do conector de 10 vias destinado a conectar gravador e microcontrolador.

Fonte: Adaptado de ATtiny10... (2013) e Motisan (2012)

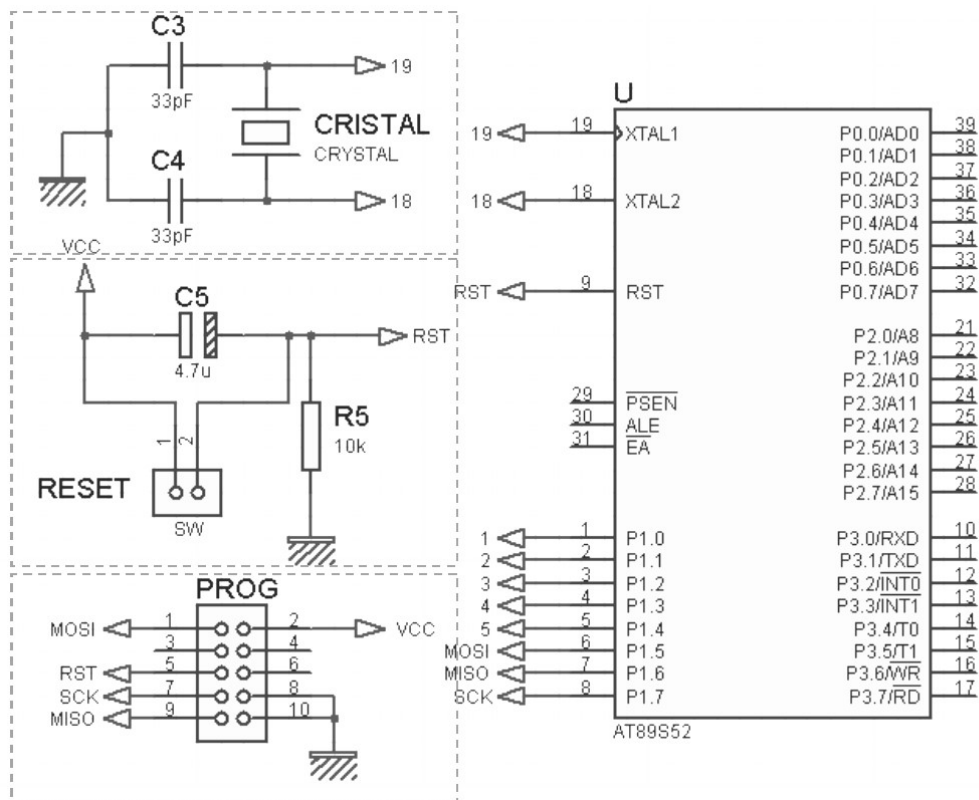


Figura 33: Circuito base para utilização do AT89S52.

Fonte: Baseado em Atmel (2001).

4.3.2 DISPOSITIVO IMPLANTÁVEL

No caso do dispositivo implantável, há vários pontos críticos para definição do microcontrolador devido a sua limitação de potência e dimensões físicas. Portanto, é necessário

utilizar um microcontrolador que funcione com um pequeno nível de tensão, na faixa de 1,8 V a 3,3 V, e que possua baixo consumo de energia. Outra característica desejável é o uso de microcontroladores pequenos, com poucos pinos de entrada e saída, porém com periféricos que auxiliem a implementação do código, reduzindo o número de componentes do dispositivo implantável e, assim, reduzindo seu tamanho. Para tanto, avaliou-se o uso de microcontroladores da família AVR, desenvolvida pela Atmel®), mais especificamente a linha de microcontroladores *Tiny*.

4.3.2.1 ATTINY10

O ATtiny10 é um microcontrolador de 8 bits baseado em AVR, possui como característica principal ter um tamanho reduzido, com poucos pinos de entrada e saída, sem deixar de possuir periféricos e funções úteis que auxiliam no desenvolvimento de projeto. De forma a resumir as características deste μC , é apresentado alguns recursos na tabela 3.

Tabela 3: Recursos e características presentes no ATtiny10.

Característica	Especificação
Alimentação	1,8 V a 5,5 V
Frequência de Operação	0 Hz a 12 MHz
Memória ROM	1 kbytes
Memória RAM	32 bytes
Pinos de I/O	4
Timer/Counter 16 bits	1
Instruções	54
Registadores de Propósito Geral	16 x 8 bits
Gravação	TPI
ADC	4 canais, 8 bits
Oscilador	On-Chip
Comparador Analógico	On-Chip

Fonte: Adaptado de Atmel (2013).

Diante dos periféricos e características existentes frente a limitação do número de pinos de I/O, é interessante destacar aqueles que fazem deste microcontrolador um ótima opção para desenvolvimento do sistema de comunicação no dispositivo implantável. Um dos principais fatores é seu tamanho reduzido, que utilizando de tecnologia *surface mount devices (SMD)* possui como dimensões máximas 3 mm de largura e 3 mm de comprimento. Outra característica fundamental é o baixo consumo e baixa tensão de alimentação, quando em modo ativo e alimentado a 1,8 V, consome em média 200 μA . Um periférico útil para o projeto proposto,

é a existência de um comparador interno que faz desnecessário o uso de outro componente para esta mesma função aplicado ao circuito demodulador.

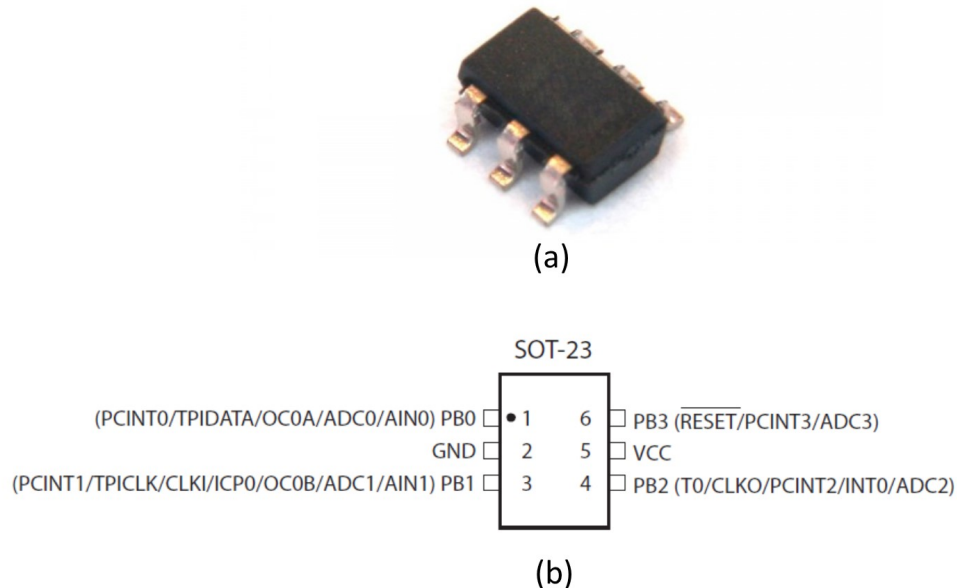


Figura 34: a) Exemplo de um ATtiny10 e sua b) pinagem.

Fonte: Adaptado de Atmel (2013).

Possuindo apenas 4 pinos de entrada e saída, como mostrado na figura 34, vários periféricos compartilham os mesmo pinos, inclusive a interface serial. Devido a esta limitação, os desenvolvedores da Atmel precisaram adaptar a interface ISP criando o protocolo *Tiny Programming Interface (TPI)* que utiliza de um pino (TPIDATA) para comunicar tanto no sentido *downlink* quanto no sentido *uplink*, mais um pino (TPICLK) responsável pela sincronização e o pino de *reset*. Esta característica, no início, trouxe preocupação, já que a disponibilidade de um gravador próprio para o ATtiny10 não é de fácil aquisição no Brasil. De forma a sanar esta dificuldade, aproveitou-se a disponibilidade e familiaridade com o gravador USBASP, já utilizado para com o AT89S52, para gravar o ATtiny10. Para que isto fosse possível, foi necessário atualizar o *firmware* do dispositivo através de outro gravador USBASP. Como o microcontrolador do gravador é um ATmega8 que usa de ISP, é possível atualizar o *firmware* sem muitos problemas, apenas habilitando sua gravação através de um *jumper* em *hardware*, o procedimento para atualizar e o *firmware* estão disponíveis em Fischl (2005). A conexão entre os pinos de gravação do ATtiny com o gravador é apresentado pela figura 35.

Diferentemente do AT89S52, o ATtiny10 não necessita de circuitos extras para sua utilização, já que possui um oscilador interno que a 5 V consegue operar até 8 MHz, a 3,3 V limita-se a 6 MHz, e a 1,8 V a 4 MHz. Este é um fator importante para redução do

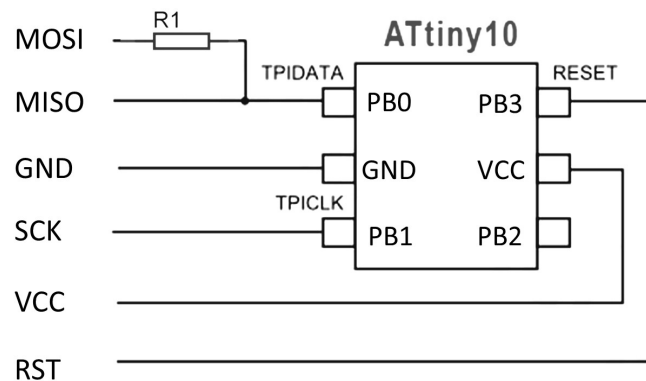


Figura 35: Circuito para gravação do ATtiny10 usando USBASP.

Fonte: Adaptado de Atmel (2013).

tamanho do dispositivo implantável no protótipo, que apesar de utilizar componentes discretos cuja maioria é fabricado com tecnologia *through-hole*, ou seja, componentes que exigem a passagem de seus terminais por um orifício para que então seja soldado do outro da placa de circuito impresso (PCI), ainda é possível projetar uma placa com dimensões reduzidas. A nível industrial, os dispositivos utilizam de tecnologia *SMD* aumentando drasticamente a densidade de componentes, e conseqüentemente, suas dimensões.

4.4 PROJETO DE UM *LINK* INDUTIVO

O projeto de um *link* indutivo compõe o bloco mais complexo e fundamental para o correto funcionamento do sistema de comunicação passivo, sendo o responsável por transmitir os dados e a energia suficiente para alimentar o sistema no dispositivo implantável. O seu projeto visa obter uma relação estrutural das bobinas de forma a obter um acoplamento magnético de boa qualidade, formando uma ligação entre as bobinas do primário e secundário através do fluxo magnético gerado. É possível dividir este projeto em pelo menos três etapas:

- Projetar e analisar o comportamento de um *link* indutivo para a frequência de operação desejada, bem como avaliar o custo-benefício para aplicação dos diferentes métodos existentes, seja a respeito do circuito ressonante, uso de técnicas a 2, 3 e 4 bobinas ou quanto ao melhor enlace: distinto, simultâneo ou multiplexado.
- Após definido o circuito base, é necessário projetar as bobinas, avaliando suas dimensões, sua geometria, distância e perdas do indutor. Este processo é extremamente crítico para otimização da transferência de energia e de dados.

- O último passo é a definição do circuito destinado a excitar o circuito base, este deve gerar um sinal na frequência projetada e disponibilizar potência suficiente para que a informação transpasse as barreiras até o receptor com a maior *SNR* possível.

4.4.1 DEFINIÇÃO DAS CARACTERÍSTICAS DO *LINK* INDUTIVO

Levando em consideração a disponibilidade de componentes e equipamentos para faixa de frequência a ser escolhida, além das características da sua influência na eficiência de energia do *link*, foi definido uma frequência de 125 kHz. Quando comparado esta faixa de frequência com faixas maiores como à 13,56 Mhz, verifica-se que frequências mais baixas possuem maior penetração no corpo humano, menor dissipação de potência e, principalmente, exige circuitos menos complexos com componentes com maior disponibilidade no mercado. Em contrapartida, quanto maior a frequência, menor será o tamanho das bobinas e maior será a eficiência energética.

O uso de uma frequência de operação baixa facilita o desenvolvimento do sistema de comunicação, uma vez que não exige microcontroladores que operem a frequências elevadas. Entretanto, o fator de qualidade das bobinas é prejudicado, exigindo bobinas com dimensões maiores, fazendo-se interessante projetar um enlace simultâneo, utilizando de apenas um *link* para comunicar e enviar energia.

Quanto ao uso de *links* a 2, 3 ou 4 bobinas, o estado da arte demonstra que o uso de três bobinas permite uma melhor *PTE*, enquanto o de 4 bobinas possui como característica uma alta *PDL*. Comparando um *link* a 2 bobinas, verifica-se que o mesmo se encontra no meio termo dos dois modelos, sendo possível otimizar um dos dois parâmetros de forma a se aproximar das características do modelo a três ou quatro bobinas. Desta forma, levando em consideração a complexidade de implementação e a limitação das dimensões das bobinas, optou-se por projetar um *link* indutivo a 2 bobinas.

4.4.2 MODELAMENTO MATEMÁTICO

O *link* indutivo a 2 bobinas é utilizado desde as primeiras descobertas sobre indução, sua análise matemática é expressa na literatura de duas formas. A primeira, e mais convencional, é baseada na teoria da impedância refletida (*RLT*), enquanto a segunda utiliza de uma teoria publicada por Haus e Huang (1991) chamada de *coupled-mode theory* (*CMT*) utilizada para análise de circuito com multi-bobinas acopladas, ambas consideram as perdas dos indutores e permitem uma boa aproximação do fenômeno indutivo. Em uma análise mais

detalhada, Kiani e Ghovanloo (2012) demonstraram que a *CMT* e a *RLT* possuem o mesmo resultado quando avaliado a eficiência de um *link* indutivo, verificando que a *CMT* apresentou uma melhor aproximação para análise do comportamento transitório do circuito, já para as demais situações a *RLT* também se comporta bem.

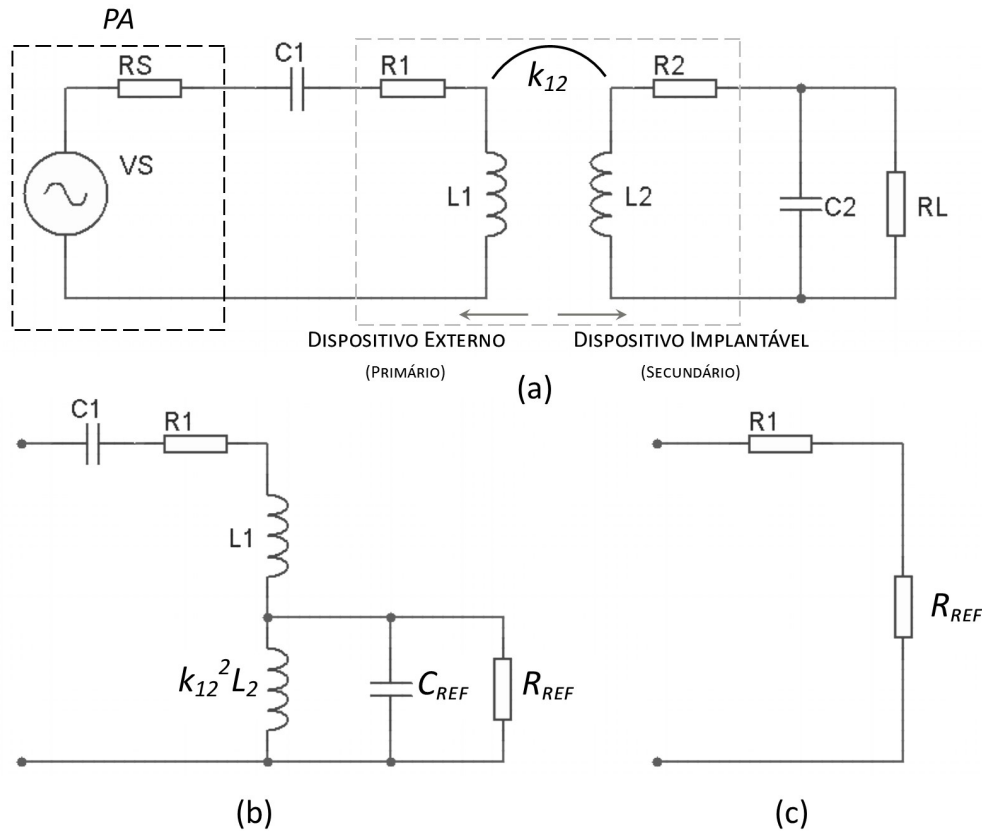


Figura 36: a) Modelo simplificado de um *link* indutivo a 2 bobinas, b) circuito equivalente considerando o efeito da indutância mútua no primário e c) Impedância refletida no primário quando operando na frequência de ressonância.

Fonte: Adaptado de Ali et al. (2009a).

O circuito base para as análises de eficiência é mostrado na figura 36a. O primário do *link* é composto por uma fonte alternada V_S , um circuito LC série, no qual L_1 corresponde a indutância da bobina a ser projetada e C_1 é uma capacitância devidamente projetada para a frequência de ressonância f_0 , sabendo que $f_0 = 1/2\pi\sqrt{LC}$. Já o receptor é composto por um circuito LC paralelo, também ressonante. As resistências R_1 e R_2 correspondem às perdas das bobinas L_1 e L_2 , que são fundamentais no cálculo do fator de qualidade Q de cada indutor dado por $Q = \omega_0 L/R$. A resistência R_S corresponde a resistência interna da fonte. Seguindo o exposto em Kiani e Ghovanloo (2012) a eficiência energética, *PTE*, para duas bobinas é obtida através da equação (22).

$$\eta_{(2-bobinas)} = \frac{(k_{12}^2 Q_1 Q_2)}{(1 + k_{12}^2 Q_1 Q_L)} \frac{Q_2 L}{Q_L} \quad (22)$$

Em que, k_{12} corresponde ao coeficiente de acoplamento entre os indutores L_1 e L_2 com seus respectivos fatores de qualidade Q_1 e Q_2 , $Q_L = R_L/\omega_0 L_2$ e $Q_2 L = Q_2 Q_L/(Q_2 + Q_L)$. Deve-se considerar que a resistência série do primário é a soma da resistência da bobina L_1 a resistência da fonte e demais perdas ocasionadas pela não idealidade dos componentes, estes fatores influenciam no fator de qualidade do circuito. Para se calcular a potência entregue à carga, pode-se utilizar a equação (23).

$$PDL_{(2-bobinas)} = \frac{V_s^2}{2R_1} \frac{k_{12}^2 Q_1 Q_2}{(1 + k_{12}^2 Q_1 Q_L)^2} \frac{Q_2 L}{Q_L} \quad (23)$$

Avaliando o circuito equivalente apresentado em 36a e 36b de acordo com a *RLT* pode-se observar a relação entre a impedância refletida e o coeficiente de acoplamento sobre a *PTE* e a *PDL* verificando que a maior potência na carga ocorrerá quando a impedância refletida $R_{ref} = k_{12}^2 R_1 Q_1 Q_2 L$ for igual à soma das impedâncias do primário (i.e., R_1). Desta forma, o *PTE* será menor que 50% já que nesta condição metade da potência esta sendo dissipada em R_1 . Portanto, em *links* indutivos a duas bobinas, não há um ponto ótimo comum que obtêm-se altos valores de *PTE* e *PDL* simultaneamente.

4.4.3 ALGORITMO DE OTIMIZAÇÃO

Não distante dos termos matemáticos já citados, a otimização da *PTE* ou da *PDL* de um *link* indutivo a duas bobinas baseia-se em obter valores de Q_1 , Q_2 e k_{12} que resultem na maximização da característica desejada. No entanto, estes valores estão diretamente relacionados com o projeto físico das bobinas, levando em consideração suas dimensões, características elétricas e distância desejada. O algoritmo de otimização aqui apresentado baseia-se nas técnicas e análises já desenvolvidas por Zierhofer e Hochmair (1996), Kaini et al. (2011) e RamRakhyani et al. (2011).

Em Zierhofer e Hochmair (1996), faz-se a otimização das dimensões geométricas de duas bobinas planares para obter uma eficiência energética otimizada. A otimização inicia-se com base no coeficiente de acoplamento entre duas bobinas, dado por $k = M_{12}/\sqrt{L_1 L_2}$, ao qual verifica-se que o coeficiente de acoplamento é diretamente proporcional a indutância mútua entre as bobinas. Quando alinhadas perfeitamente duas bobinas, pode-se calcular a mútua indutância através da equação (24), ao qual $\rho = 0$ e κ é dado pela equação (25).

$$M(a, b, \rho = 0, d) = \mu_0 \sqrt{ab} \left[\left(\frac{2}{k} - \kappa \right) K(\kappa) - \frac{2}{\kappa} E(\kappa) \right] \quad (24)$$

$$\kappa = \left(\frac{4ab}{(a+b)^2 + d^2} \right)^{\frac{1}{2}} \quad (25)$$

e que K e E correspondem as integrais elípticas completas de primeira e segunda espécie, respectivamente. Sendo, a e b os raios das bobinas L_1 e L_2 e d a sua distância horizontal. Através da equação da mútua indutância apresentada, é possível obter uma fórmula que determine a autoindutância de uma bobina de apenas uma volta. Considerando que a razão entre o raio do fio R e o raio a da bobina é muito menor que 1, a autoindutância pode ser aproximada por:

$$L(a_i, R) = \mu_0 \mu_r a \left(\ln \frac{8a}{R} - 2 \right) \quad (26)$$

Para uma bobina circular composta por varias voltas N_a concêntricas e com raios diferentes, a autoindutância total L_a é dada por:

$$L_a = \sum_{i=1}^{N_1} L(a_i, R) + \sum_{i=1}^{N_1} \sum_{j=1}^{N_1} M(a_i, a_j, \rho = 0, d = 0) (1 - \delta_{i,j}) \quad (27)$$

onde $\delta_{i,j} = 1$ quando $i = j$ e $\delta_{i,j} = 0$ caso contrário. Já para uma bobina solenoide cujo raio das espiras é igual a a , a autoindutância total é igual a autoindutância de uma volta multiplicado pelo quadrado do número de voltas. Portanto, a indutância mútua entre duas bobinas M_{12} é obtida realizando o somatório das indutâncias mútuas entre cada volta das duas bobinas, como mostra a equação 28. O mesmo conceito pode ser utilizado para o cálculo de bobinas multicamadas, atentando para a variação do raio de cada volta em conjunto com o incremento da distância d para cada camada.

$$M_{12} = \sum_{i=1}^{N_1} \sum_{j=1}^{N_2} (a_i, b_j, \rho, d) \quad (28)$$

Relacionando a indutância mútua do link indutivo e o fator de qualidade da bobina, é possível utilizar da relação apresentada por Kaini et al. (2011), ao qual descreve a carga ótima no secundário para obter a máxima PTE como $R_{L,PTE} = \omega_0 L_2 Q_{L,PTE}$, para obter o fator de qualidade ótimo para determinado coeficiente de acoplamento, como mostra a equação 29.

$$Q_{L,PTE} = \frac{Q_2}{(1 + k_{23}^2 Q_1 Q_2)} \quad (29)$$

Analogamente, é possível obter o valor ótimo da carga para maximizar a *PDL* do *link* indutivo, através da equação (30).

$$Q_{L,PTE} = \frac{Q_2}{(1 + k_{23}^2 Q_1 Q_2)} \quad (30)$$

Através de todas as relações matemáticas apresentadas nesta seção, desenvolveu-se um algoritmo de otimização baseado na iteração do número de voltas das bobinas de acordo com parâmetros estruturais e elétricos pré definidos. O algoritmo foi implementado no software Matlab®, ao qual possui uma grande gama de bibliotecas que facilitam a implementação de cálculos complexos, além do poder computacional que o mesmo possui para realizar cálculos e executar laços de repetição.

A figura 37 apresenta o fluxograma do algoritmo utilizado. O primeiro passo trata-se da inicialização de todas as constantes, limites e especificações do projeto, tais como frequência de operação, raio máximo e mínimo das bobinas - no caso de bobinas solenoide e multicamadas exige-se a definição do comprimento máximo e mínimo - tensão e resistência interna da fonte de alimentação, diâmetro do fio, distância entre as bobinas e resistência de carga. No processo de número 1, calcula-se a indutância mútua e auto autoindutância através das equações (28) e (27), respectivamente, o que permite calcular o coeficiente de acoplamento. Este cálculo baseia-se no incremento do número de voltas a partir do limite superior do raio da bobina.

O segundo processo utiliza do coeficiente de acoplamento calculado anteriormente, aliado as perdas dos indutores para calcular a carga ótima para obter máxima *PTE* ou *PDL*, através das equações 29 e 30. As perdas dos indutores ocorrem devido a resistência interna do fio utilizado, efeito pelicular, e demais perdas ocasionadas pela não idealidade dos componentes. Todas estas perdas são expressas por uma resistência em série, porém, vale enfatizar que mensurar ou modelar esta grandeza com precisão é de grande complexidade. Para tanto, é possível fazer uma estimativa comparando resultados teóricos e práticos para um *link* indutivo específico.

O processo número 3 compara as resistências ótimas obtidas no processo de iteração e busca a resistência ótima ($R_{L,PTE}$ ou $R_{L,PDL}$) mais próxima da resistência de carga do projeto. Desta forma, através do número de voltas de cada bobina, é possível calcular a *PTE* e a *PDL* para a carga especificada através do modelo matemático exposto na subseção passada, exibindo

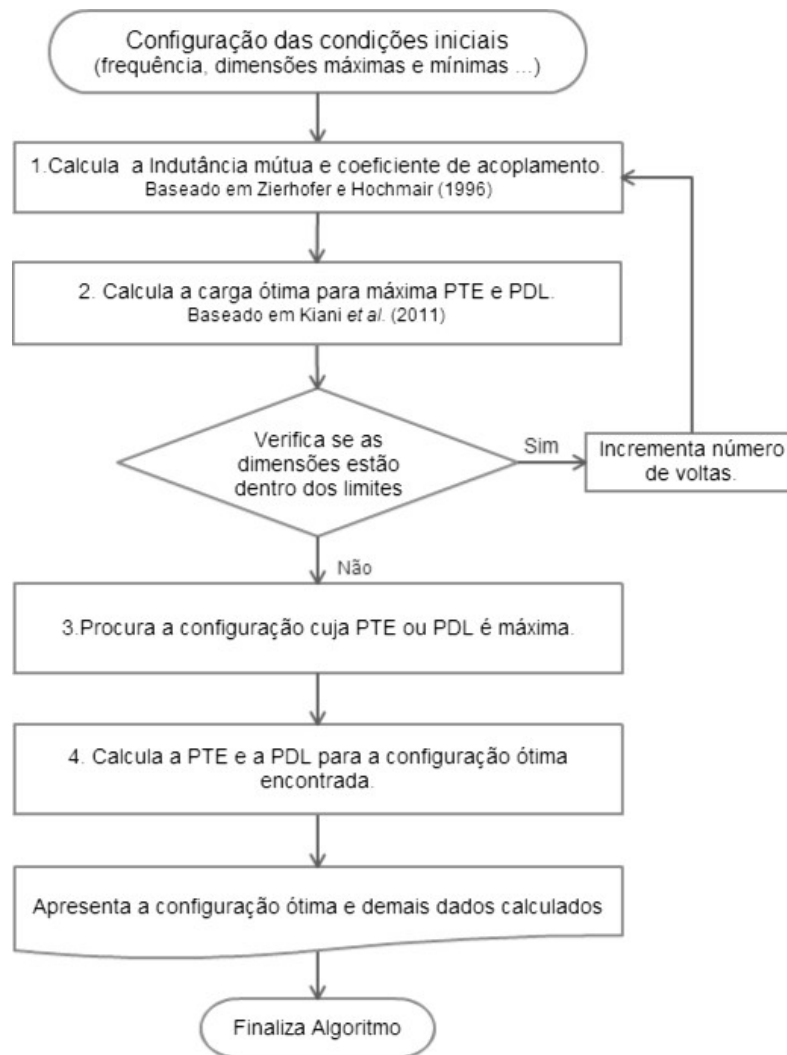


Figura 37: Algoritmo de otimização de um *link* indutivo a 2 bobinas.

Fonte: Autoria Própria.

os resultados do link indutivo projetado.

4.4.4 MONTAGEM DAS BOBINAS

Após definido as especificações do projeto e obtido o número de voltas ótimo, inicia-se o processo de confecção das bobinas. Este é um processo delicado e de grande influência nos resultados práticos. Devido a falta de equipamentos específicos para esta finalidade, utilizou-se de materiais e equipamentos diversos de baixo custo e de fácil aquisição para montagem das bobinas.

Em um primeiro instante utilizou-se de papelão rígido e tubos de *polyvinyl chloride*(PVC). No entanto ao montar bobinas multivolta notou-se grande fragilidade do

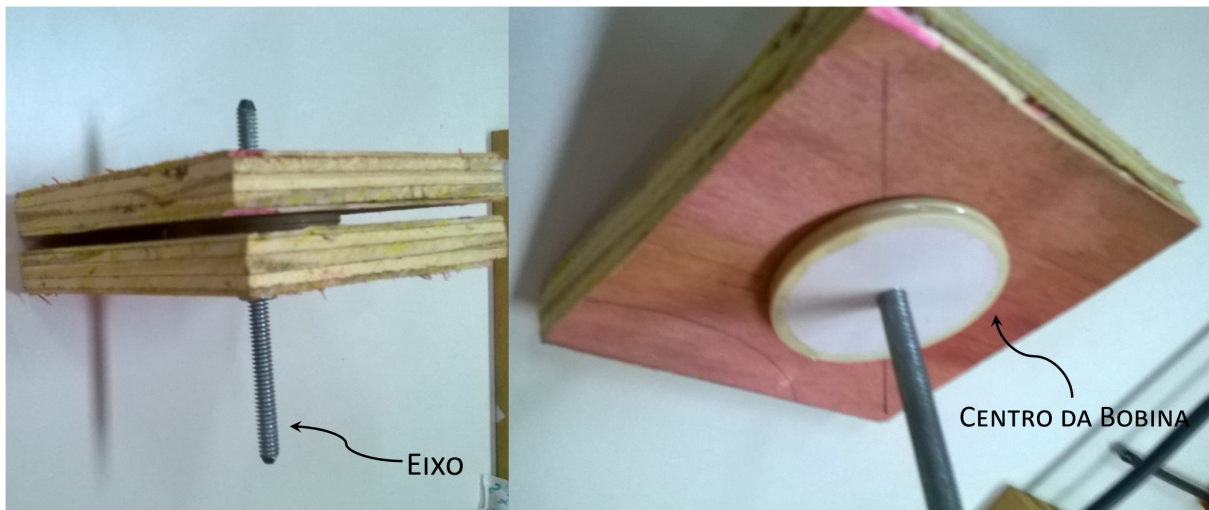


Figura 38: Carretel de madeira para montagem das bobinas.

Fonte: Autoria Própria.

papelão rígido de manter-se a um ângulo de 90° durante todo o processo de enrolamento, já que quanto mais voltas, maior é a tensão que as espiras exercem sobre a lateral do carretel. A solução acessível no momento foi a construção de um carretel de madeira, mostrado na figura 38, cujo centro pode ser alterado de acordo com o raio interno desejado e a distância necessária para enrolar o número de camadas correto. Os raios internos foram limitados por circunferências de placas de *PVC* moldadas utilizando de Furadeira convencional e Moto Esmeril presentes nos laboratórios do DAELN.

Objetivando facilitar o processo de montagem, acoplou-se o eixo do carretel a uma parafusadeira, permitindo enrolar o fio de cobre com velocidade e torque apropriadas para obter uma bobina com o mínimo de espiras desalinhadas possível e com o número de voltas projetado. A figura 39 demonstra o eixo do carretel acoplado a parafusadeira.

4.4.5 PROJETO E TESTES DO *LINK* INDUTIVO

Para realizar os testes do *link* indutivo com maior precisão, elaborou-se uma base para fixação das bobinas com ajuste da distância com o auxílio de uma escala milimétrica acoplada a base, como mostra a figura 40. O projeto das bobinas seguiu a metodologia exposta na seção 4.4.2 e 4.4.3. Os testes de eficiência energética foram realizados utilizando um gerador senoidal para obter um sinal a 125 kHz que incitará as bobinas. Além do mais, vale ressaltar que como realizado em RamRakhyani e Lazzi (2013), foi inserido uma pequena resistência em série no primário para mensurar a potência consumida, enquanto as perdas na resistência interna do gerador senoidal (50Ω) foram ignoradas no momento de definir a tensão de entrada. Assim é



Figura 39: Carretel acoplado a parafusadeira.

Fonte: Aatoria Própria.

possível simular a presença de um amplificador Classe E, que geralmente possui um valor de resistência baixa, dependendo da potência desejada.

Os primeiros testes ocorreram projetando bobinas solenoidais e planares, e fazendo um comparativo entre elas para especificações de projeto bem parecidas. A tabela 4 apresenta todas as especificações definidas para a otimização e cálculo do desempenho do *link* indutivo. Nesta etapa das análises ainda não se sabia ao certo a resistência do dispositivo implantável, portanto, foi estipulado uma resistência de carga de 125 Ω .

Com o intuito de verificar a precisão do modelo matemático implementado, montou-se duas bobinas planares: a primeira possui 30 mm de raio e 17 voltas, enquanto a segunda possui 21 mm de raio externo e 19 voltas, ambas formadas por um fio de cobre com 0,643 mm de diâmetro. A escolha do diâmetro do fio seguiu a disponibilidade do mesmo, tendo em vista que não se encontra com facilidade no mercado bobinas de cobre com poucos metros - ou quilos, dependendo do tamanho da bobina já não se mede por unidade de comprimento. Para uma melhor aproximação dos resultados práticos e teóricos foi preciso inserir uma resistência de aproximadamente 0,5 Ω para representar as perdas devido a não idealidade dos componentes e interferências no momento de aferir os dados.

Já de início, verificou-se que a eficiência energética, ao utilizar estes tipos de bobinas

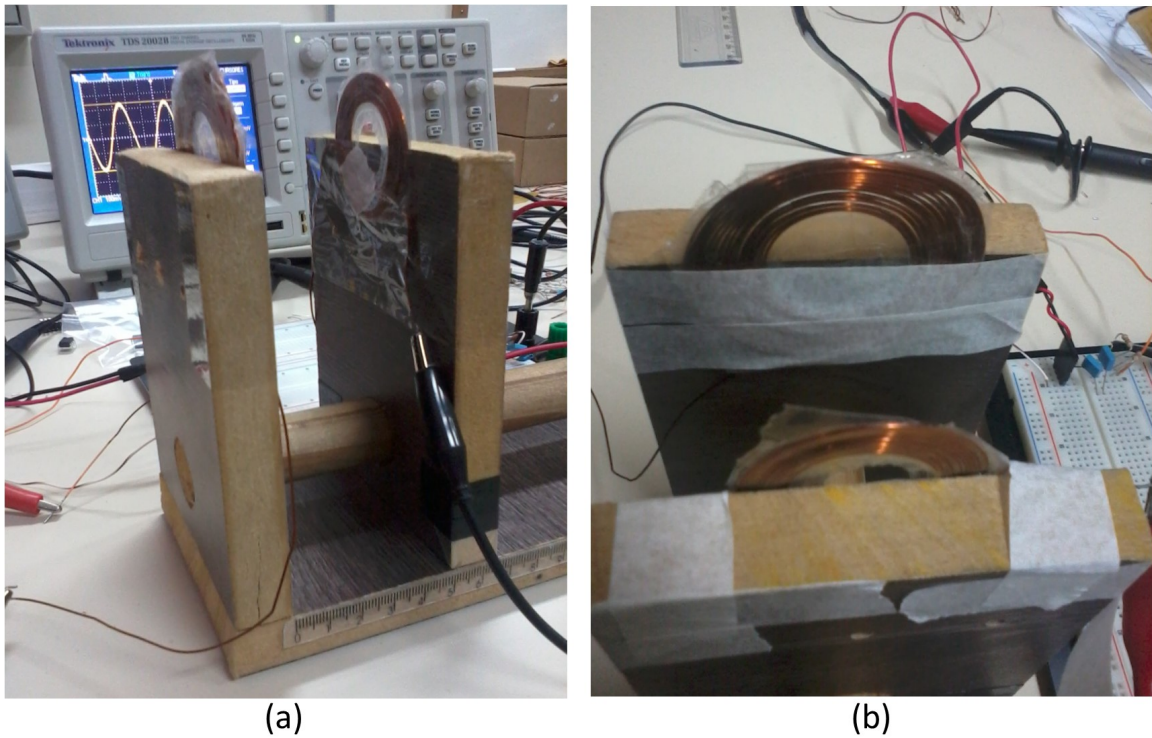


Figura 40: Base desenvolvida em madeira para fixação e ajuste de distância das bobinas projetadas.

Fonte: Autoria Própria.

para a frequência desejada, é consideravelmente baixa, mesmo simulando uma resistência de entrada da fonte de apenas $4,4 \Omega$. Para visualizar melhor esta característica, calculou-se a *PTE* para diferentes distâncias entre as bobinas.

O uso de circuitos ressonantes em baixas frequências possui como característica um baixo fator de qualidade Q que, conseqüentemente, reduz significativamente a eficiência e a potência disponível à carga quando comparado com projetos em alta frequência (GARCIA et al., 2014). Assim, para compensar um baixo Q foi necessário aumentar as dimensões das bobinas, tendo como alternativa projetar bobinas multicamadas.

Uma primeira análise deste tipo de bobina foi realizada projetando um *link* indutivo seguindo as mesmas especificações da tabela 4. Aplicando estes valores no algoritmo de otimização obteve-se a primeira bobina com 4 camadas e 26 voltas por camada, gerando uma autoindutância igual a aproximadamente $644,3 \mu\text{H}$; já a segunda bobina foi determinada 4 camadas com 20 voltas por camada que resultaram em $23,2 \mu\text{H}$ de autoindutância. Através de valores de capacitores comerciais, com erro de aproximadamente 10%, utilizou-se C_1 igual a $2,5 \text{ nF}$ e C_2 igual a 70 nF , buscando aproximar-se da frequência de ressonância desejada.

Tabela 4: Especificações e limites para o projeto de bobinas planares e solenoidais.

Especificação	Variável	Valor
Frequência de Ressonância	f_0	125 kHz
Tensão da Fonte	V_S	1 V_{PP}
Resistência de Prova	R	4,4 Ω
Distância entre L_1 e L_2	d_{12}	3 cm
Raio máximo da bobina L_1	a_{max}	3,6 cm
Raio máximo da bobina L_2	b_{max}	1,5 cm
Comprimento máximo de L_1	$l_{a_{max}}$	1,0 cm
Comprimento máximo de L_2	$l_{b_{max}}$	1,0 cm
Diâmetro do fio da bobina L_1	dw_a	0,643 mm
Diâmetro do fio da bobina L_2	dw_b	0,643 mm

Fonte: Autoria Própria.

Avaliado o desempenho dos diversos tipos de bobinas, e observado uma boa aproximação do modelamento matemático empregado, definiu-se as novas especificações para realizar o projeto das bobinas que formaram o *link* indutivo que foi realmente utilizado no sistema de comunicação.

Tabela 5: Especificações e limites para o projeto das bobinas multicamadas para o sistema de comunicação proposto.

Especificação	Variável	Valor
Frequência de Ressonância	f_0	125 kHz
Resistência de Prova	R	50 Ω
Distância entre L_1 e L_2	d_{12}	4 cm
Raio máximo da bobina L_1	a_{max}	50 mm
Raio máximo da bobina L_2	b_{max}	25 mm
Número de camadas de L_1	NC_a	6
Número de camadas de L_2	NC_b	5
Diâmetro do fio da bobina L_1	dw_a	0,643 mm
Diâmetro do fio da bobina L_2	dw_b	0,361 mm

Fonte: Autoria Própria.

Seguindo o algoritmo de otimização, e considerando uma resistência de 1 Ω (devido a maior presença de imperfeições na montagem das bobinas), obteve-se um valor ótimo de 7 voltas por camada para a bobina do primário, e 5 voltas por camada para a bobina do secundário, o que teoricamente resultaria em 2,7 % de eficiência no pior caso (quando a carga do PA é de 100 Ω) e de 5,5 % para o melhor caso (i.e., 50 Ω de carga) a 4 cm de distância. Nesta etapa, devido ao desenvolvimento do *hardware* do dispositivo, foi possível calcular as bobinas para uma resistência ótima de 770 Ω , que é o valor aproximado da carga do

dispositivo implantável quando operando a uma distância de aproximadamente 4 cm. Toda via, tendo em vista que há um maior grau de liberdade na bobina do dispositivo externo, montou-se uma bobina do primário com 15 voltas por camada, o que resultou em 90 voltas totais, enquanto a bobina do secundário continuou com 25 voltas. Esta alteração permitiu uma *PTE* de aproximadamente 16,4 % para o melhor caso, e de 9,8 % no pior caso, considerando uma distância de 4 cm. Observou-se também que esta alteração gerou um deslocamento teórico de quase 90 % da carga ótima. Entretanto, este deslocamento é irrisório frente ao ganho de eficiência do *link* indutivo, sem a necessidade de alterar as dimensões da bobina do secundário, estando as dimensões da mesma no limiar determinado pela definição geral do sistema de comunicação na seção 4.2.

4.4.6 AMPLIFICADOR DE POTÊNCIA

A escolha do amplificador de potência, influencia diretamente na eficiência de transmissão de energia do dispositivo, uma vez que quanto maior a eficiência do *PA*, menor serão as perdas e menor será a potência consumida para suprir a energia que o *link* indutivo em conjunto com a carga precisam. O apêndice A apresenta alguns amplificadores de potência para altas frequências e com boa eficiência energética. Diversos trabalhos tem focado no desenvolvimento de *PA*s para aplicação em dispositivos implantáveis, expondo novos métodos de projeto e configurações, a maioria tratando de amplificadores classe E, devido a sua alta eficiência e característica de utilizar um circuito LC sintonizado para definição da frequência de operação do amplificador.

A metodologia de projeto utilizada neste projeto baseia-se no trabalho de Duarte et al. (2012), que consiste no desenvolvimento de um amplificador de potência classe E em conjunto com um oscilador. A presença de um oscilador incluso ao projeto do *PA* facilita seu uso em *links* indutivos, uma vez que não há a necessidade de projetar outro oscilador externamente, seja um oscilador analógico ou digital, reduzindo o número de componentes. A figura 41 apresenta o circuito base de um *PA* classe E - sem o oscilador ainda - e sua forma de onda típica.

$$K_L(q) = 8,085q^2 - 24,53q + 19,23 \quad (31a)$$

$$K_C(q) = -6,97q^3 + 25,93q^2 - 31,071q + 12,48 \quad (31b)$$

$$K_P(q) = -11,90q^3 + 42,753q^2 - 49,63q + 19,70 \quad (31c)$$

$$K_X(q) = -2,9q^3 + 8,8q^2 - 10,2q + 5,02 \quad (31d)$$

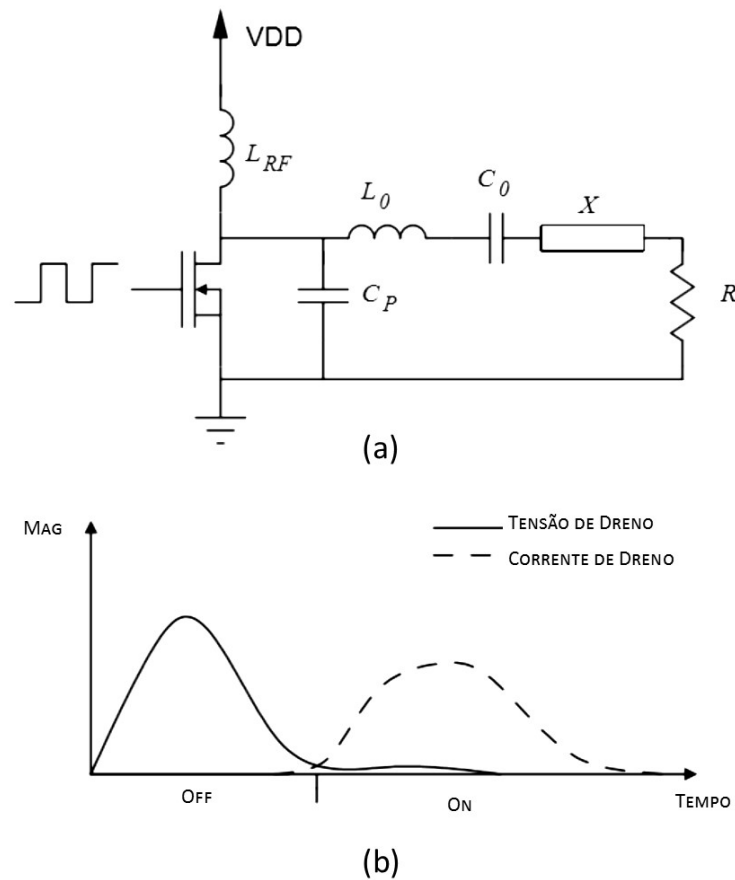


Figura 41: a) circuito base de um *PA* classe E e b) forma de onda típica da corrente e tensão de dreno.

Fonte: Adaptado de Duarte et al. (2012).

Diante de vários métodos descritos na literatura, Duarte et al. (2012) utilizou a metodologia exposta em Acar et al. (2006), na qual é possível dimensionar os componentes do amplificador de potência resolvendo equações polinomiais, apresentadas na equação (31), estas são utilizadas para um q entre 1 e 1,6 (ACAR et al., 2006). Estas equações expressam os coeficientes (K_L , K_C , K_P e K_X) que auxiliam na definição dos termos (L_{RF} , C_P , X e R) que são apresentados pelas equações em (36).

$$K_L = \frac{\omega L_{RF}}{R} \quad (36a)$$

$$K_C = \omega C_P R \quad (36b)$$

$$K_P = \frac{P_{OUT} R}{V_{DD}^2} \quad (36c)$$

$$K_X = \frac{X}{R} \quad (36d)$$

Primeiramente defini-se certas características do projeto, tais como, tensão de alimentação V_{DD} , a frequência angular de operação ω e a resistência da carga R , que será posteriormente a resistência interna da fonte quando estabelecido um *link* indutivo através da bobina L_0 que pode ser definida seguindo a metodologia apresentada na seção anterior.

Observando a equação (36c) pode-se notar que K_P é diretamente proporcional a potência de saída e a potência entregue à carga dado por R/V_{DD}^2 . Buscando, portanto, obter a máxima potência possível entregue à carga, deve-se escolher um valor de q que maximize o coeficiente K_P . Este valor é obtido derivando a expressão de K_P em função de q e igualando a zero. Desta forma é possível chegar ao valor de q igual a 1,412, e é exatamente nesta condição que defini-se se a impedância X é uma indutância ($q < 1,412$) ou uma capacitância ($q > 1,412$) (DUARTE et al., 2012; ACAR et al., 2006).

Teoricamente, um amplificador classe E possui eficiência igual a 100%, porém, devido a não idealidade dos componentes e a necessidade de chavear o transistor - muitas vezes por outro circuito, há uma redução da eficiência do *PA*. Uma alternativa para reduzir as perdas de potência no processo de chaveamento é utilizar um oscilador analógico em conjunto com o *PA*.

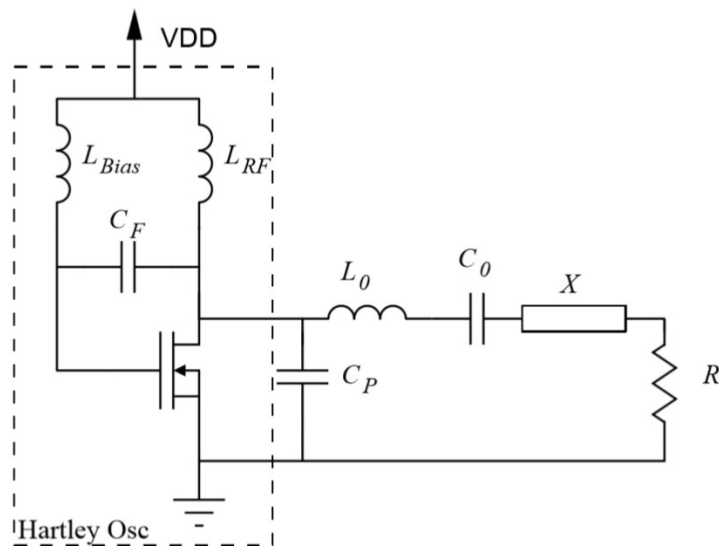


Figura 42: Circuito base de um *PA* classe E com oscilador Hartley.

Fonte: Adaptado de Duarte et al. (2012).

A figura 41a apresenta um *PA* ao qual seu chaveamento ocorre através de uma onda quadrada gerada externamente. Adaptando este circuito base pode-se inserir um oscilador *Hartley*, como mostra a figura 42, que se projetado considerando a indutância L_{RF} , já presente no projeto do *PA* classe E, permite obter uma onda senoidal que chaveará o *MOSFET* na

frequência desejada. Seu projeto inicia-se com a expressão apresentada pela equação (41), lembrando que $\omega = 2\pi f$.

$$\omega = \frac{1}{\sqrt{C_F(L'_{RF} + L'_{Bias})}} \quad (41)$$

As indutâncias L'_{RF} e L'_{Bias} são as indutâncias equivalentes do circuito. Para obter estes valores deve-se considerar as capacitâncias presentes entre o *gate* e o *source* C_{GS} e a capacitância C_P em paralelo definido pelo critério q , para então definir os corretos valores dos indutores L_{RF} e L_{Bias} através das equações 42 e 43, respectivamente.

$$L_{RF} = \frac{L'_{RF}}{1 + \omega^2 L'_{RF} C_P} \quad (42)$$

$$L_{Bias} = \frac{L'_{Bias}}{1 + \omega^2 L'_{Bias} C_{GS}} \quad (43)$$

Para definir o valor da capacitância C_0 , basta utilizar a frequência de ressonância do projeto e o valor indutor, uma vez que a frequência de ressonância é definido por $f = 1/(2\pi\sqrt{L_0 C_0})$. Este é mesmo valor do capacitor calculado no projeto do *link* indutivo. Vale destacar que o oscilador *Hartley* limitará a tensão V_{DD} do *PA*, uma vez que exige-se um nível de tensão que seja suficiente para iniciar a oscilação e, conseqüentemente, o chaveamento do *MOSFET*.

Outra limitação que pode ser verificada, é quanto a resistência de carga. Esta pode influenciar no oscilador e impedir seu correto funcionamento. Para que isto não ocorra, a expressão (44) deve ser verdadeira.

$$L'_{Bias} = \frac{1 - \omega^2 C_F L'_{RF}}{\omega^2 C_F} > 0 \quad (44)$$

Manipulando esta equação é possível verificar que a carga possui como limite superior a seguinte condição:

$$R < \frac{1}{K_L \omega^2 C_F} \quad (45)$$

O projeto do amplificador de potência foi parte fundamental para o funcionamento do sistema de comunicação, uma vez que ele disponibiliza a potência necessária para que o campo

magnético transpasse as barreiras até o alvo. Quanto as especificações definidas para posterior cálculo dos componentes, foi necessário fixar a carga do *PA* em 50Ω para limitar a potência a aproximadamente 500 mW, e assim ser viável sua implementação com os recursos disponíveis, sem a necessidade de realizar muitas associações entre os componentes para dividir a potência entre eles. A alimentação deste circuito ficou a cargo de uma fonte de bancada, para que pudesse ser ajustado o valor da tensão de entrada ao longo do desenvolvimento.

Nos testes seguintes foi alterado a alimentação do *PA*, passando a alimentá-lo por uma bateria que era regulada em 5 V através do CI LM7805. No entanto, verificou-se uma grande oscilação na tensão de alimentação. Esta oscilação ocorre devido a mudança brusca de corrente no *PA* quando o MOSFET é chaveado, o capacitor ligado ao 7805 não consegue responder rapidamente e verifica-se a oscilação indesejada. Para solucionar este problema foi possível inserir um capacitor de maior valor, porém, isto acarreta em um aumento da tensão de alimentação, sendo inviável para a aplicação, já que esta mesma alimentação é ligada ao microcontrolador que opera até 5,5 V. Assim houve duas outras possibilidades avaliadas: utilizar um outro 7805 exclusivo para o *PA*, ou ajustar a tensão de um LM117, que já possui como característica uma melhor resposta ao aumento repentino de corrente, sendo usado em algumas aplicações como fonte de corrente. Optou-se por inserir o LM117, que em conjunto com um capacitor de $220 \mu s$ permite obter uma tensão sem oscilação. Mesmo assim, ainda foi inserido no circuito final a possibilidade de alimentar o *PA* através de uma fonte externa como uma fonte de bancada.

4.5 MODULAÇÃO E DEMODULAÇÃO

A modulação *ASK* tem com característica uma maior simplicidade no projeto do modulador e demodulador, porém, possui grande sensibilidade a ruídos. O uso de um circuito mais simples, permite consumir menos potência, além de reduzir o processamento, o que é uma característica interessante para sistemas implantáveis.

4.5.1 DISPOSITIVO EXTERNO

No dispositivo externo, não há limitações de potência, este é responsável por enviar tanto as informações quanto a energia através do acoplamento magnético entre as duas bobinas. Portanto, o processo de modulação está atrelado ao envio de energia - ou seja, ao amplificador de potência - uma vez que a modulação *ASK* utiliza da variação de amplitude para enviar uma informação, assim sendo necessário reduzir a amplitude da tensão aplicada ao indutor. Para

isso, foi implementado um modulador *LSK*, ao qual, ao chavear uma resistência em paralelo com a carga há uma redução da eficiência energética do *PA* classe E e, conseqüentemente, uma redução na tensão do indutor, o que reflete diretamente na tensão no secundário. A figura 43 apresenta o circuito modulador do dispositivo externo chaveando uma carga em paralelo ao resistor *RL1* do amplificador de potência. O uso de dois transistores encadeados permite proteger a saída do microcontrolador, já que a corrente necessária para chavear é reduzida, pois a cada transistor é amplificada a corrente de coletor.

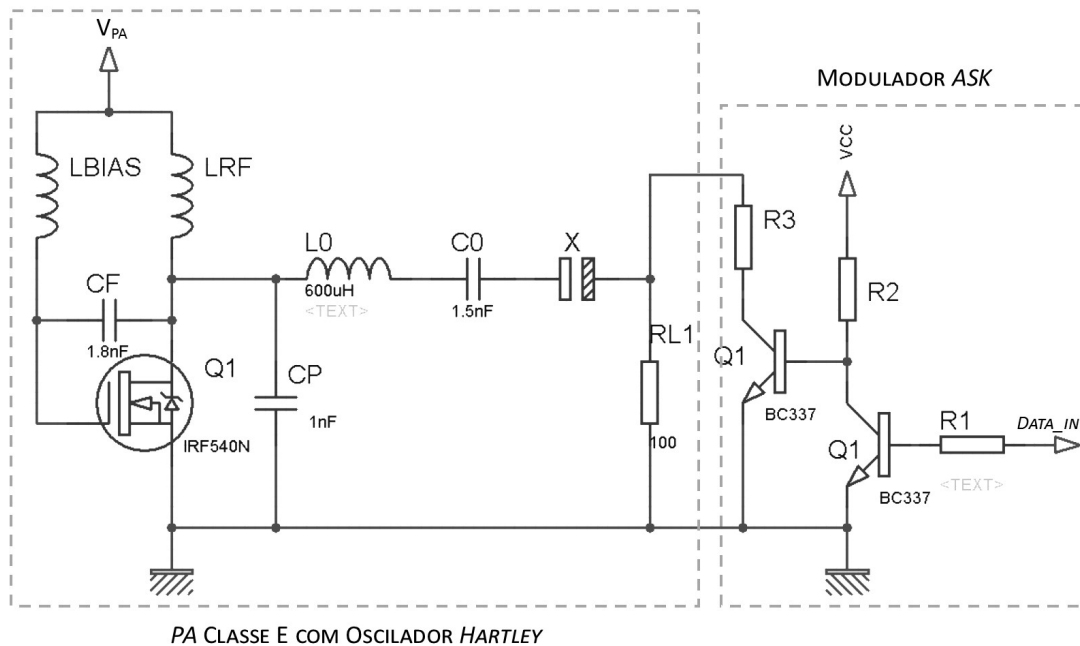


Figura 43: Circuito modulador projetado para o dispositivo externo.

Fonte: Autoria Própria.

Como o PA Classe E foi projetado para uma resistência de 50Ω , decidiu-se por inserir uma resistência fixa de 100Ω enquanto ocorre o chaveamento de uma resistência de 100Ω quando saturado o transistor Q1 através do sinal modulante digital (*DataIn*) enviado pelo AT89S52. Ou seja, o sistema possui a melhor eficiência, portanto, maior amplitude do sinal, quando o pino do demodulador chaveia a resistência R3 e na carga equivalente obtêm-se 50Ω .

No caso do processo de demodulação, exige-se um pouco mais de projeto. O circuito base de um demodulador *ASK* consiste na detecção da envoltória que ocorre em duas etapas. A primeira consiste em retirar a portadora, para isso, utiliza-se de um diodo retificador que cortará o semiciclo negativo e um filtro passa baixa (FPB) que filtrará a frequência da portadora; neste processo pode haver atenuação do sinal, mas ainda haverá diferença de tensão entre os níveis lógicos alto e baixo. A segunda etapa consiste em tratar este sinal de baixa intensidade, geralmente com nível de tensão contínua alto, aplicando um comparador analógico

que disponibilizará na saída um sinal com nível lógico alto e baixo bem evidente, propício para a leitura através de um microcontrolador. O FPB, neste caso, precisa ser bem projetado, para que elimine a portadora e atenue o mínimo possível a intensidade do sinal. A especificação dos valores da resistência R e do capacitor C pode ser baseada na equação 46, que relaciona a constante de tempo RC , que é o inverso da frequência de corte, com a frequência máxima do sinal modulante $f_{m_{max}}$ e o índice de modulação m .

$$RC = \frac{1}{2\pi m f_{m_{max}}} \quad (46)$$

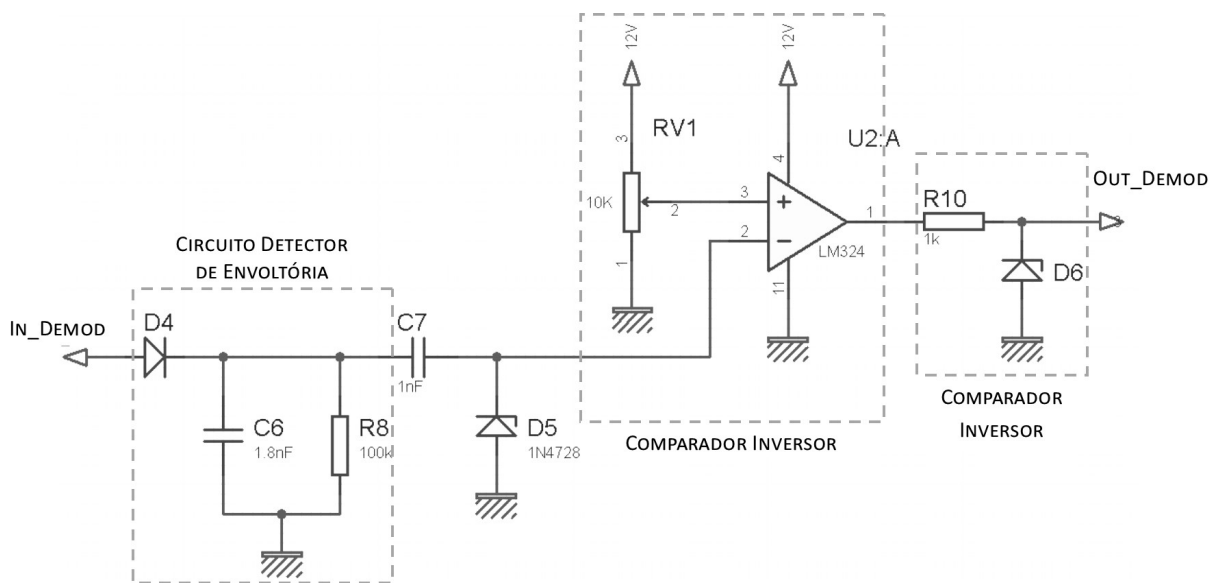


Figura 44: Circuito demodulador projetado para o dispositivo externo.

Fonte: Autoria Própria.

Tendo avaliado o funcionamento básico de um demodulador ASK, montou-se um circuito básico, formado apenas por um detector de envoltória e um comparador inversor, porém, os resultados esperados não foram obtidos. O sinal obtido após o detector de envoltória estava praticamente sem a frequência da portadora e com a envoltória bem pronunciada (como esperado), porém, com uma componente CC elevada, ou seja, o sinal não estava próximo da referência, mas sim com seu eixo elevado. Na situação, o amplificador operacional utilizado era um TL072 que possui baixo nível de *Offset* de entrada. Esta característica do TL072 foi inicialmente descartada e considerou-se o uso de um capacitor em série para reduzir o nível CC. Entretanto, a componente CC não reduziu suficientemente e a saída do amplificador ainda demonstrava aproximadamente 1 V para nível baixo e 5 V para nível alto, fazendo com que o microcontrolador não interpreta-se corretamente o nível lógico. A solução encontrada foi substituir o amplificador operacional. Optou-se por utilizar o LM324 que possui um melhor

funcionamento quando operando com tensões de alimentação não simétricas (12 V e 0 V), o que é o caso do comparador analógico utilizado. Como resultado, obteve-se um sinal sem componente CC, ao qual no circuito ainda foi inserido um diodo zener antes e depois do amplificador operacional para auxiliar no correto condicionamento do sinal. No caso do diodo D6, trata-se de um zener que regula a tensão em 5,1 V, protegendo o AT89S52 de uma sobretensão na entrada, tendo em vista que o LM324 é alimentado diretamente da fonte sem passar pelo regulador de tensão LM7805. O circuito final do demodulador é mostrado na figura 44.

4.5.2 DISPOSITIVO IMPLANTÁVEL

No dispositivo implantável o processo de modulação e demodulação é o mesmo, a única diferença ocorre no processo de modulação. Quando o primário e secundário estabelecem um *link* indutivo, toda mudança em um lado acarreta em mudanças no outro lado, isto se deve a propriedade da indutância mútua e a influência da impedância do secundário refletida no primário. Aproveitando desta característica, é possível alterar a tensão no primário alterando a carga do secundário, ou seja, através de uma técnica de modulação *LSK*.

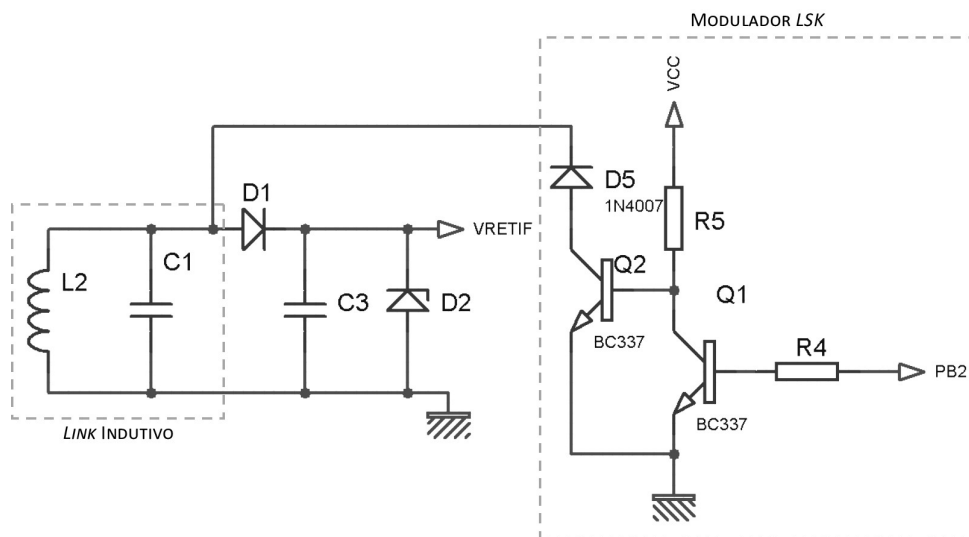


Figura 45: Circuito modulador projetado para o dispositivo implantável.

Fonte: Autoria Própria

A figura 45 apresenta o circuito responsável por modular a carga no secundário, a alteração da carga no implante deve ser suficiente para reduzir a eficiência energética do *link* indutivo a ponto do primário sentir esta queda e possibilitar a demodulação da informação.

O circuito modulador foi primeiramente implementado utilizando o microcontrolador

AT89S52 e ainda alimentado através de uma bateria apenas para testar o *software* responsável por gerar o sinal modulado seguindo o protocolo do CI EM4100. Assim foi possível verificar se o protocolo implementado estava correto aproximando o circuito modulador de um leitor *RFID* comercial (o leitor utilizado é o responsável pelo controle de acesso ao laboratório que o projeto foi desenvolvido).

Após verificado seu correto funcionamento, foi implementado o *software* para o ATtiny10 seguindo a mesma lógica, porém programando em Assembly. Nos primeiros testes o circuito ainda não foi energizado utilizando o *link* indutivo, sendo alimentado neste caso pelo gravador USBASP conectado a uma porta USB (ou seja, 5 V). Estabelecendo um *link* indutivo com o dispositivo passivo, foi possível verificar a influência da modulação na tensão da carga do amplificador de potência no dispositivo externo. A relação de tensão entre o primário e o secundário se deve a indutância mútua formada entre os dois indutores em conjunto com a carga no secundário que é refletida no primário, formando um circuito série que divide a potência entre a resistência do primário e a do secundário, mesmo não havendo um contato elétrico entre os dois circuitos. Desta forma, ao chavear o diodo D5 através dos transistores Q1 e Q2 há uma queda na carga do secundário repentinamente, o que ocasiona um maior consumo e uma elevação da tensão no primário. Portanto, o sinal recepcionado no primário esta invertido em relação a tensão da bobina do secundário, esta é uma característica do uso de *links* indutivos para transmitir dados.

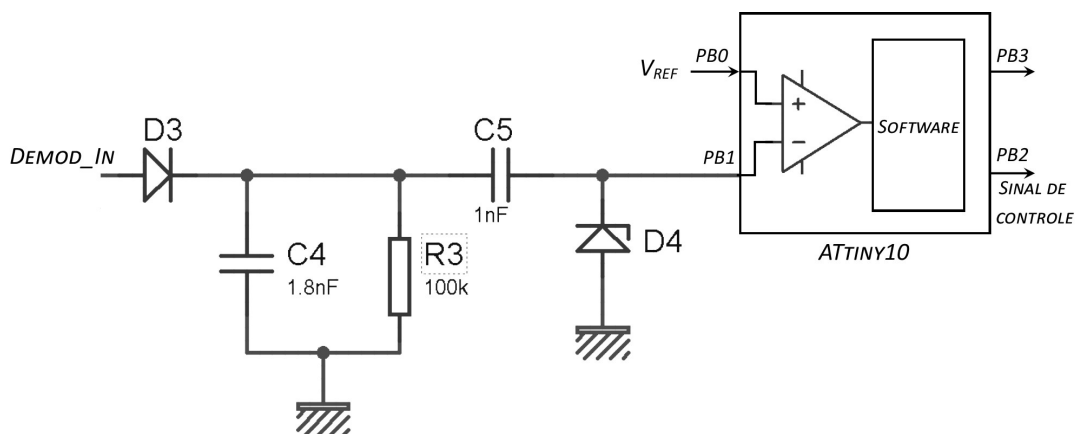


Figura 46: Circuito demodulador projetado para o dispositivo implantável.

Fonte: Autoria Própria

A figura 46 mostra o circuito demodulador do dispositivo implantável projetado. Através deste circuito foram realizados alguns testes. Inicialmente, verificou-se que o sinal apresentado antes da comparação ainda não demonstrou uma envoltória com a ausência de alta frequência, mas mesmo assim foi possível comparar os níveis lógicos corretamente. É neste

ponto que destacou-se o projeto do filtro passa baixa e sua relação com a amplitude do sinal, os resultados práticos demonstraram que não é necessário filtrar toda a portadora, mas deve-se obter um sinal que através de um potenciômetro de precisão regulando a tensão de referência possa obter um sinal de saída cujos níveis lógicos alto e baixo possuam praticamente a mesma largura de pulso - levando em consideração uma sequência de bits '1' que há mudança de estado a cada meio tempo de bit.

Os ajustes e testes do sistema de comunicação no sentido *uplink* demonstraram uma maior facilidade, tendo em vista que o processo de demodulação não possui limitação de potência e a disponibilidade de vários pinos de *I/O* no AT89S52 permite um monitoramento dos sinais de controle, mesmo quando o sistema foi testado com os dois modos de transmissão. Já no sentido *downlink*, observou-se uma considerável dificuldade de monitorar as funcionalidade do programa desenvolvido para o ATtiny10, e também do desempenho do hardware, uma vez que o comparador analógico se encontra no próprio microcontrolador e há apenas quatro pinos de *I/O* disponíveis, sendo um deles destinado ao *reset* e dois já sendo utilizados para entrada do comparador analógico. Portanto, durante os testes em que apenas o sentido *downlink* estava habilitado, foi possível utilizar o pino PB2 para saída de um sinal de controle destinado ao monitoramento do *software*. Posteriormente, nos testes em que os dois modos estavam habilitados, não foi possível mais utilizá-lo para esta função, pois o pino PB2 ficou responsável por controlar a modulação.

O primeiro passo para ajuste da detecção da mensagem foi verificar o funcionamento do comparador analógico do ATtiny10. Para isso fez-se um programa em *Assembly* para mostrar no pino PB2 a própria saída ACO do comparador. Observou-se que quando o microcontrolador esta sendo alimentado pela energia transmitida através do *link* indutivo, a forma de onda que o ATtiny10 fornece não possui um nível de tensão constante. Esta característica se deve ao fato de o próprio sinal que carrega a informação ser o sinal que fornece energia ao sistema, havendo uma queda de tensão de acordo com a descarga do capacitor presente no circuito retificador.

Uma dificuldade encontrada para demonstrar a aplicação do sistema de comunicação foi a respeito do pino PB3 do ATtiny10, é possível utilizá-lo para habilitar o canal ativo na aplicação descrita no capítulo 1. Entretanto, é preciso desabilitá-lo para poder utilizá-lo como pino de *I/O*. Ao desabilitá-lo é possível acionar o *reset* apenas com uma tensão superior a 5 V. Tendo em vista que o gravador USBASP utilizado alimenta-o apenas com 3.3 V ou 5 V, isto impediu de realizar um teste mais efetivo demonstrando habilitar um sistema de comunicação ativo com o ATtiny10, caso contrário seria possível gravar apenas uma vez e caso fosse necessário fazer alguma alteração não seria mais possível. Houve a opção de adquirir o

gravador específico, desenvolvido pela Atmel, para este microcontrolador e testar se com um nível de tensão bem superior a 5 V ocorre o acionamento do *reset* e assim a gravação, porém, isto se mostrou inviável. Recomenda-se portanto, que só deve desabilitar o *reset* quando o programa já estiver devidamente testado e sem mais necessidade de realizar alterações.

4.5.3 AJUSTES FINAIS DO SISTEMA DE COMUNICAÇÃO

Até o momento, o funcionamento do sistema de comunicação havia sido testado separadamente, verificando-se um bom desempenho na transmissão de dados no sentido *uplink* e sendo possível receber uma mensagem do implante a distâncias de até 6,5 cm. O mesmo ocorreu quando houve transmissão de dados do dispositivo externo para o dispositivo interno. Entretanto, um dos maiores desafios junto a otimização do *link* indutivo foi ajustar o sistema de comunicação para funcionar nos dois sentidos sequencialmente, alimentando passivamente o dispositivo implantável.

No decorrer do desenvolvimento observou-se uma considerável dificuldade em ajustar o sistema de comunicação para transmitir uma informação do dispositivo externo para o dispositivo passivo e este reenviar uma informação para confirmar o primeiro recebimento. O procedimento utilizado consistia em calibrar os circuitos que compunham a transmissão no sentido *uplink*. Após obtido o desempenho desejado calibrava-se os outros circuitos destinados ao funcionamento do sentido *downlink*, porém, os ajustes aplicados no dispositivo implantável acabavam por influenciar no desempenho do primeiro modo já calibrado.

Tendo em vista esta situação, buscou-se investigar alguns fatores que podem contribuir para o aumento da sensibilidade de um dispositivo ao outro. O primeiro fator seria o próprio tipo de sistema, ao qual utiliza-se do mesmo enlace para enviar e transmitir informação e energia. O fato de que a modulação *ASK* altera a todo momento a alimentação do dispositivo passivo, e que os ajustes realizados nos capacitores e/ou resistências em ambos os lados acabam por influenciar a eficiência do *link*, além de que a alteração dos resistores de polarização dos transistores do circuito demodulador do dispositivo implantável altera completamente o consumo do dispositivo. Com tantas variáveis influenciando o desempenho do sistema de comunicação *half-duplex*, foi necessário realizar algumas alterações no projeto até obter os circuitos finais apresentados no Apêndice C.

Um das alterações foi realizada após observar que o capacitor C3, destinado a reduzir a oscilação da alimentação no processo de retificação, ainda influenciava na eficiência energética do *link* indutivo mesmo após o diodo retificador. Avaliando o funcionamento do diodo utilizado, no caso um 1N4007, notou-se que agravado pela alta frequência de funcionamento do sistema,

o diodo permitia a passagem de uma parcela razoável do semiciclo negativo. Como solução, foi proposto o uso de um diodo que possua uma resposta rápida o suficiente para não permitir a passagem deste semiciclo. Para tanto, optou-se por utilizar um diodo 1N4148 que trata-se de um diodo de resposta rápida e que pode ser aplicado a sinais cuja corrente não ultrapasse 450 mA e 100 V de tensão. Avaliando novamente o desempenho, verificou-se que o emprego deste diodo possibilitou um melhor desempenho no processo de retificação e, conseqüentemente, um ganho na eficiência energética do dispositivo passivo.

Seguindo a mesma solução, os demais diodos 1N4007 também foram substituídos nos circuitos de demodulação, aproveitando a disponibilidade deste componente. Esta alteração possibilitou obter resultados mais promissores. No entanto, a dificuldade em obter uma modulação no dispositivo passivo suficiente o bastante para conseguir aproximar dos resultados obtidos quando apenas funcionava um sentido de comunicação, continuou sendo um entrave para otimização da comunicação.

O circuito modulador do dispositivo implantável possui a característica de alterar a carga para obter uma variação da tensão no secundário e esta também visualizada no primário. Entretanto, dependendo da distância desejada e do *link* indutivo, observou-se que o dispositivo, com uma mesma carga de modulação, ao ponto que se distancia as bobinas, menor será o índice de modulação. Assim sendo, é preciso conseguir uma maior influência da carga de modulação sobre a impedância equivalente do secundário, ou seja, é preciso reduzir esta impedância de forma a fazer o secundário consumir mais energia e assim o primário responder alterando a amplitude da tensão na bobina. Para isso, bastaria definir as resistências de base e coletor dos transistores - para que houvesse uma maior corrente de coletor passando pelo diodo quando o mesmo é chaveado - se não fosse a grande dependência entre consumo de energia e desempenho da recepção de dados no dispositivo passivo. Em outras palavras, há um conflito entre aumentar o consumo do dispositivo para uma melhor modulação ou reduzir o consumo para que o sistema possua um melhor desempenho na demodulação. É devido a este conflito que verificou-se nos primeiros testes um melhor desempenho e facilidade nos ajustes quando havia apenas um dos sentidos de comunicação funcionando, e quando os dois sentidos foram habilitados, os ajustes em um influenciavam consideravelmente o outro a ponto de não realizar a leitura corretamente.

Tendo em vista todas estas características, buscou-se ajustar o consumo de potência do circuito modulador o mínimo possível para que houvesse detecção da informação no primário e ao mesmo tempo obtive-se uma boa leitura da informação recebida pelo implante.

4.6 IMPLEMENTAÇÃO DO PROTOCOLO DE COMUNICAÇÃO

O protocolo de comunicação é o responsável por definir as regras e a forma que será organizada a informação, para que seja possível o receptor interpretar o sinal modulado recebido. Para facilitar a criação do protocolo e dar praticidade aos testes dos algoritmos para envio e recepção de informação, foi implementado, inicialmente, o protocolo do CI EM4100. De posse de um cartão *RFID* a 125 kHz com este protocolo, foi possível confirmar que o mesmo utiliza codificação *Manchester* com um tempo de bit 32, além de trabalhar com 64 bits. Mais detalhes a cerca deste e outros protocolos pode ser visto no apêndice B.

Para o desenvolvimento do protocolo e de todo o processo de detecção e formação da informação a ser enviada, seguiu-se os seguintes passos:

- Desenvolvimento de um código para leitura de um cartão *RFID* EM4100;
- Desenvolvimento de um cartão *RFID* seguindo o protocolo EM4100, ao qual os testes para validar o protocolo foi realizado em um leitor *RFID* comercial;
- Criação de um protocolo próprio baseado no protocolo já implementado EM4100;
- Implementação do protocolo no dispositivo externo utilizando microcontrolador da família *MCS-51*;
- Implementação do protocolo no dispositivo implantável utilizando microcontrolador da família *AVR*;

O protocolo criado é apresentado pela figura 47. Este é composto por 34 bits, sendo 9 bits de nível lógico '1' que compõem o *header* responsável por indicar o início do protocolo e auxiliar na sincronização; os dados enviados são definidos por 2 bytes, sendo 1 byte para definição do *ID* do dispositivo e 1 byte para armazenar a informação. 4 bits são destinados à paridade horizontal, e 4 bits à paridade vertical, além de um *stop* bit representado pelo nível lógico '0'. A codificação dos bits ocorre em codificação *Manchester*, e tempo de bit corresponde a aproximadamente 32 ciclos da frequência de corte.

A forma de implementação do protocolo foi bem distinta quando programada no dispositivo externo e no dispositivo implantável, uma vez que cada microcontrolador utilizado possui limitações e características diferentes. O funcionamento dos dispositivos é baseado em rotinas de envio de informação e espera de uma informação, porém, por se tratar de um sistema *half-duplex*, enquanto um dispositivo esta enviando, o outro esta lendo, e vice-versa. O

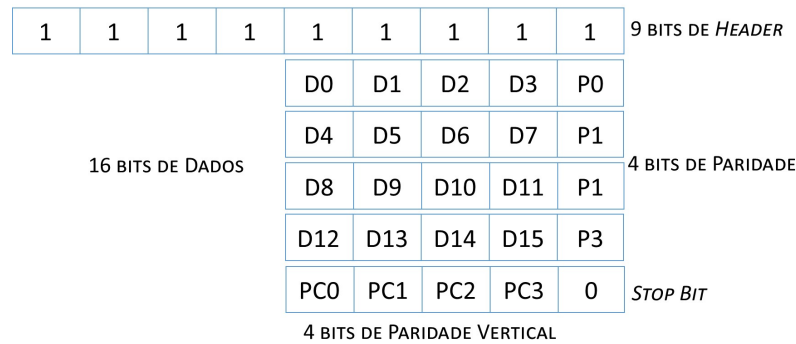


Figura 47: Protocolo de comunicação do sistema desenvolvido.

Fonte: Baseado em Priority One Design (2007).

diagrama geral de funcionamento do sistema de comunicação é apresentado pela figura 48, a partir deste objetivo foi implementado as rotinas necessárias.

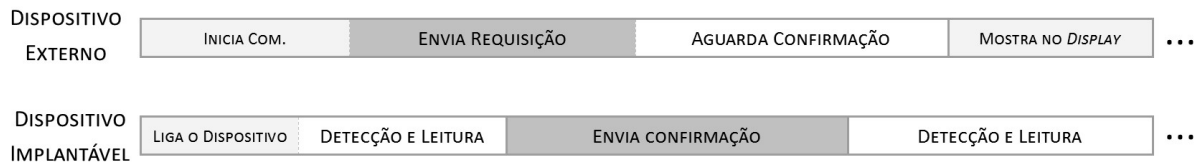


Figura 48: Visão geral do funcionamento do dispositivo.

Fonte: Autoria Própria

4.6.1 PROGRAMA DO DISPOSITIVO EXTERNO

Como já citado, o microcontrolador definido para executar as funções do dispositivo externo é o AT89S52, este possuirá a função de enviar uma requisição ao dispositivo implantável e depois de um determinado tempo de envio, deverá aguardar uma resposta executando a primeira parte do diagrama mostrado em 48, caso não receba alguma resposta deverá ser indicado que não houve comunicação com o dispositivo ou se recebido a resposta correta deverá ser indicado que o dispositivo ativo foi acionado. Portanto, seguindo o diagrama apresentado pela figura 49 que demonstra os componentes que compõem o hardware do dispositivo externo, será explicado sucintamente o funcionamento e características de cada componente.

O *display LCD* e o teclado matricial são os responsáveis por auxiliar na interação do usuário com o dispositivo. O *display* utilizado possui duas linhas com 16 caracteres que são controlados seguindo um protocolo próprio. A figura 50 mostra um *display LCD* 16x02 convencional e sua pinagem, ao qual o pino *R/W* indica ao *display* se a operação é de escrita ou

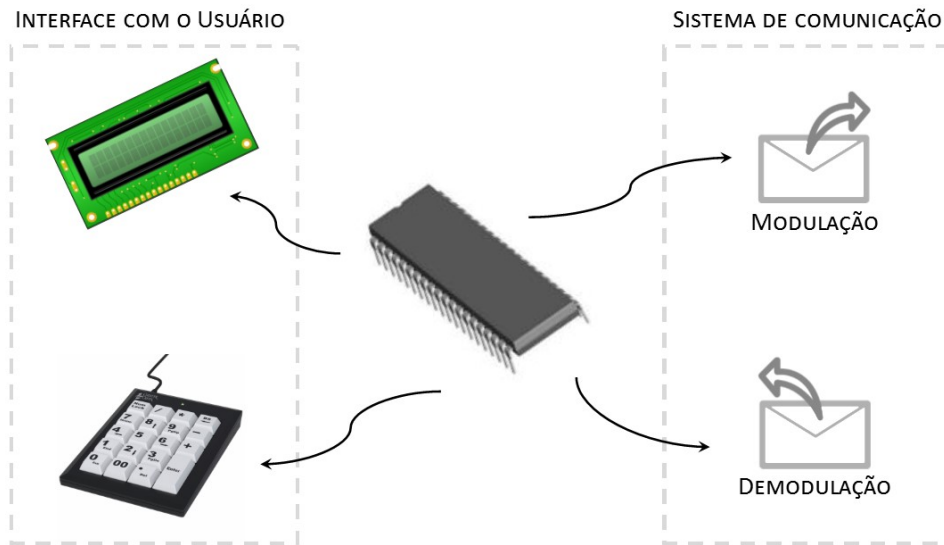
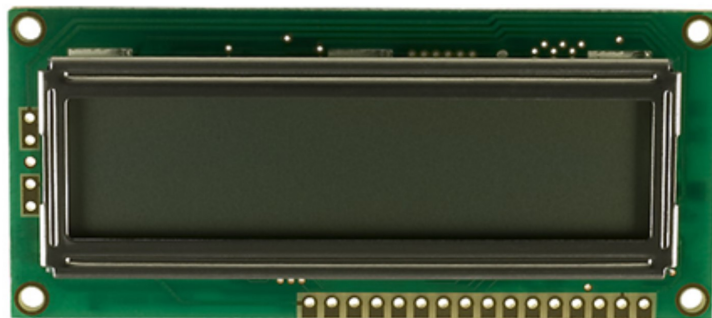


Figura 49: Componentes que compõem o *hardware* do dispositivo externo.

Fonte: Autoria Própria

leitura, o pino *RS* indica se os dados enviados paralelamente através dos 8 bits de dados (DB0 - DB7) representam um comando ou envio de um dado, enquanto o pino *E* representa o bit de *enable* destinado a habilitar ou não a comunicação com o *display*. Os demais pinos compõem funções do *hardware* do *LCD*, sendo V_{SS} o terra, V_{DD} o pino de alimentação (normalmente 5 V), V_{EE} é o pino destinado a ajustar o contraste do *display* enquanto os pinos *A* e *K* são os pinos de alimentação da luz de fundo (*backlight*) do mesmo.



(a)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
VSS	VDD	VEE	RS	R/W	E	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	A	K

(b)

Figura 50: a) Exemplo de *display LCD* e b) sua pinagem.

Fonte: Adaptado de Winstar (2015).

O teclado matricial permite que o usuário insira informações ao dispositivo e controle as funções que deseja. De início, a implementação desenvolvida não exige muitas ações do usuário utilizando o teclado, porém para aplicações e melhorias futuras torna-se interessante já tê-lo inserido no projeto. Já a respeito dos demais componentes, estão os blocos de modulação e de demodulação do sistema de comunicação, cada bloco destes exige apenas um pino ligado ao microcontrolador. No bloco de modulação o microcontrolador será responsável por gerar o sinal modulante através da geração de pulsos. Já o bloco de demodulação acontecerá o inverso, sendo o microcontrolador responsável por detectar os pulsos que receberá e assim compor e interpretar a informação recebida.

Após definido o funcionamento básico do dispositivo e seus componentes, inicia-se a implementação do programa. Avaliando as linguagens de programação disponíveis, optou-se por utilizar a linguagem *C* pela sua maior facilidade de implementação comparada ao *Assembly* e também pela familiaridade. O ambiente de programação utilizado foi a *IDE Keil* versão 4, trata-se de um ambiente integrado para desenvolvimento de software (IDE) destinado a microcontroladores ARM, 8051 (MCS-51), Cortex e outros, que se baseia no compilador gratuito *GNU Compiler Collection (GCC)*. A implementação do código segue o apresentado pelo fluxograma mostrado na figura 51, a partir dele será explicado a programação das rotinas do código presente no Apêndice D.

Após a inicialização das variáveis, e dos registradores TMOD e TCON responsáveis por configurar as interrupções 0 e 1, aguarda-se uma solicitação do usuário para enviar a mensagem destinada a ligar o sistema de comunicação ativo no dispositivo implantável. Assim que isso acontecer, inicia-se o modo envio. Nesta etapa chama-se a rotina para criar a mensagem que será enviada, chamada de “criaMSG”, esta lê a informação armazenada na variável global *MSGe* e cria a informação de acordo com o protocolo criado, reordenando os bits e inserindo os bits de paridade. Toda esta mensagem já ordenada de acordo com o protocolo é armazenada na memória interna do microcontrolador para que a função “enviaMSG” possa, com o auxílio do *timer 1* codificar os bits em codificação Manchester e enviar para o pino 3 do port 1 do microcontrolador, já que este é o pino encarregado por enviar o sinal da modulação.

Para gerar corretamente o sinal responsável por modular a informação, o *timer 1* foi configurado no modo 1. Neste modo configura-se o tempo do evento através de 16 bits, divididos em 2 bytes (TH1 e TL1), a cada ciclo de *clock* do microcontrolador incrementa-se uma vez o contador salvo em TH1 e TL1, quando estes valores chegam ao número máximo representável, i.e. *FFFFh*, um bit indicativo (chamado *flag*) TF1 tem seu valor alterado para '1' e chama a rotina de tratamento da interrupção. Este tipo de periférico permite uma ótima

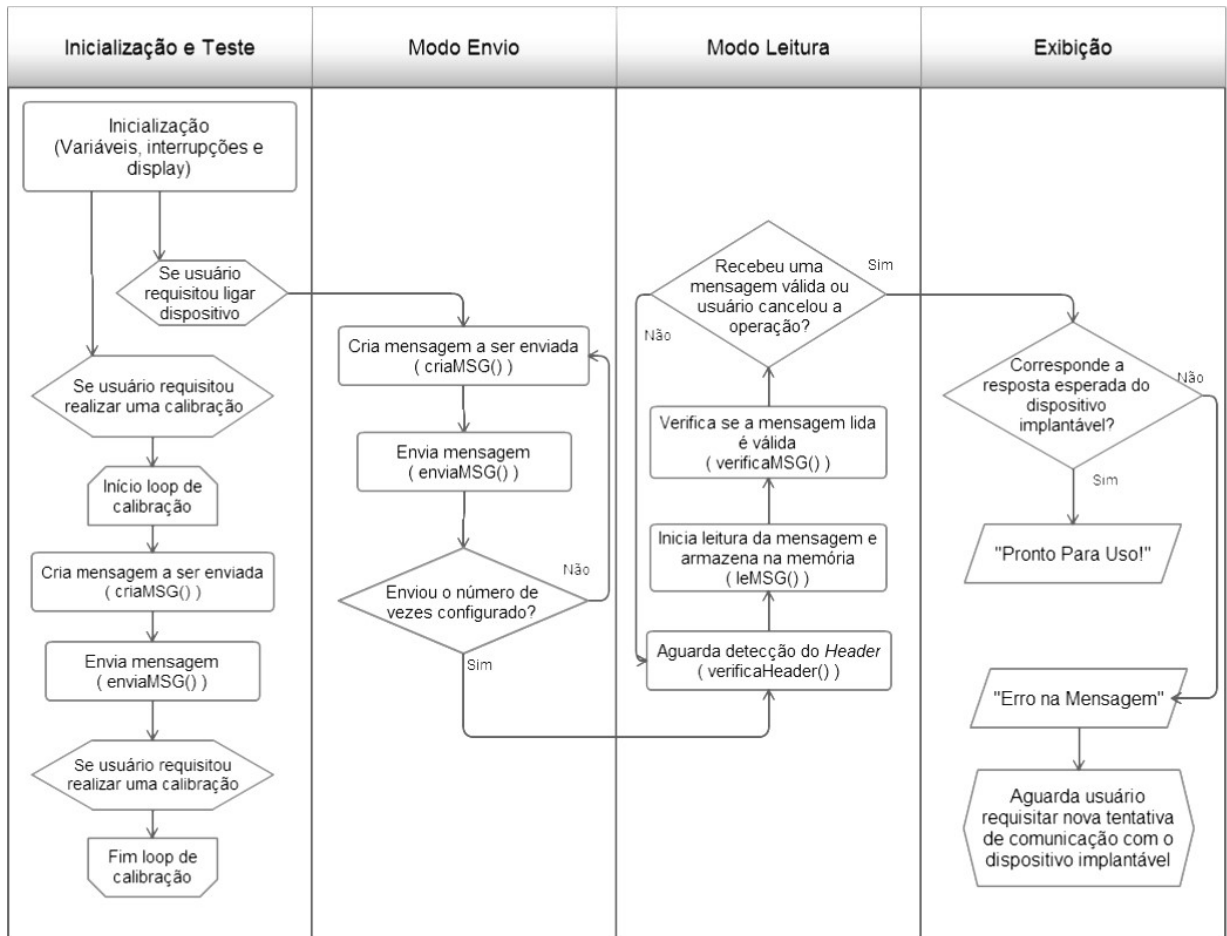


Figura 51: Fluxograma do código desenvolvido em C para o dispositivo externo.

Fonte: Autoria Própria

precisão, ao qual o ciclo de *clock* é determinado, para o AT89S52, pela frequência do cristal utilizado dividido por 12. Por exemplo, para um cristal de 12 MHz, obtêm-se uma frequência de 1 MHz, ou seja, seu período corresponde a 1 μ s. No caso, o cristal utilizado foi de 22 MHz, o que gera um período de 545,45 ns. Como foi definido que o tempo de bit do sistema de comunicação corresponde a 64 períodos da portadora ($f_0 = 125kHz$, i.e. $t_0 = 8\mu s$) o tempo de bit deve ser de aproximadamente 512 μ s, porém, na codificação Manchester deve-se haver uma transição no meio de T_B , ou seja, exatamente em 256 μ s, para obter este tempo configurou-se os bytes TH1 e TL1 com os valores em base hexadecimal FEh e 1Bh, respectivamente. Este tempo foi calibrado de forma com o auxílio de um osciloscópio de forma a compensar certos atrasos, tendo em vista que o *timer* do 8051 em modo 1 exige sua reconfiguração toda vez após seu tratamento.

No processo de transmissão e posterior modulação no dispositivo implantável, há diversas interferências que influenciam no processo de leitura no implante. Para reduzir a

probabilidade de enviar uma requisição e o dispositivo não conseguir ler, optou-se por repetir o envio 20 vezes e também inserir um tempo entre os envios de aproximadamente 6 ms para facilitar a visualização nos testes. Verificou-se que este tempo de atraso também influenciou positivamente na leitura do receptor, tendo em vista que o envio de outra informação logo em seguida dificulta a o processo de detecção do *header* no dispositivo implantável.

Após o envio da informação, passa-se para o modo leitura, primeiramente aguardando a detecção de uma sequência de 9 bits com nível lógico alto, o que caracteriza o *header* definido pelo protocolo de comunicação. Neste processo de detecção do início de uma mensagem, conta-se o número de bits '1' em sequência tendo como auxílio o *timer* o configurado em modo 2. No 8051, este modo configura o *timer* com apenas um byte, o que reduz consideravelmente o tempo máximo que se pode contar, porém esta redução ocorre pois, diferentemente do modo 1, TH0 atualiza o byte TL0 toda vez que a um “estouro” da flag TF0, por isso, também chama-se esta configuração de modo *reloaded*. A função deste *timer* no processo de detecção do header, que de tempos em tempos (aprox. 62 μ s), verificar o estado do pino de entrada que recebe o sinal do demodulador. Desta forma, é possível detectar se em um período de aprox. 512 μ s houve apenas uma borda de subida (o que indica um bit com nível lógico '1') e se houve realmente 9 bits '1' seguidos. Toda vez que na contagem dos bits verifica-se que houve um mesmo nível lógico por um longo período de tempo (nesta situação, considerou-se um T_B e meio como um “tempo longo”), o algoritmo zera o contador e retorna a detecção da sequência.

Após a detecção do início da mensagem e sincronização, inicia-se a leitura da mensagem através da função “leMSG”. Nesta etapa configura-se o timer 1 como modo 1 e TH1 e TL1 de forma a obter um metade do tempo de bit, já que devido a sincronização é possível com apenas duas verificações saber qual o nível lógico atual e anterior e assim definir se o bit recebido trata-se de um bit '0' ou '1'. Porém, há uma parte importante na sincronização antes de ler e armazenar os bits na memória interna no AT89S52: ajustar o evento de detecção exatamente na metade do nível lógico recebido, para isso foi realizado um deslocamento logo após a detecção do último bit do *header*, como mostra a figura 52. Esta sincronização influencia totalmente no sucesso da leitura da informação, pois ao deslocar o tempo de evento, distancia-se a verificação da transição entre um nível lógico a outro, reduzindo a probabilidade de leituras errôneas.

Após armazenar toda a mensagem lida, realiza-se a verificação da mensagem, através da função “verificaMSG”, para validar a informação comparando os bits de paridade. Se os bits de paridade recebidos corresponderem com os bits de paridade calculados com os dados recebidos, da-se a mensagem como válida e termina o processo de leitura; caso não ocorra a

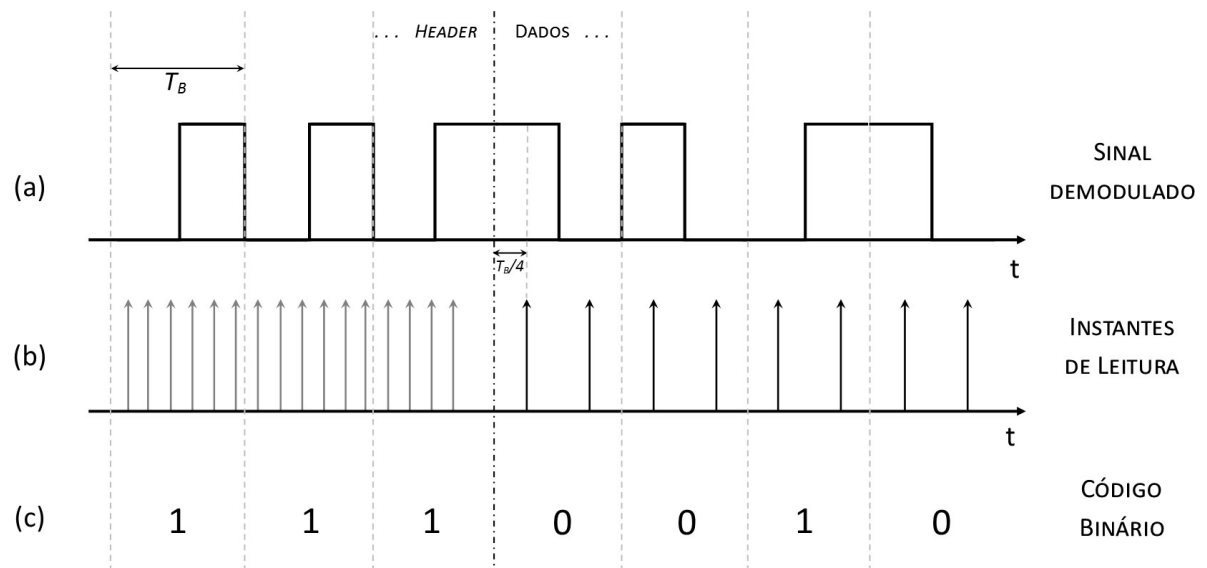


Figura 52: Detalhe do sincronismo na leitura do a) sinal demodulado, b) os instantes em que ocorre a leitura do sinal e c) o código binário resultante.

Fonte: Autoria Própria

validação, retorna a detecção de uma nova sequência de 9 bits '1', ou seja, uma nova mensagem.

Para o cálculo da paridade utilizou-se do bit P do registrador PCON, este bit indica o resultado de uma verificação de paridade ímpar de um *byte* armazenado no acumulador (representado por A ou ACC). Isto facilita o processo de verificação, movendo os dados para o acumulador e logo em seguida comparando o *status* de P . Na verificação dos bits de paridade vertical, é necessário concatenar os bits de cada coluna e então realizar o mesmo processo. Vale ressaltar que na geração da mensagem, a pouco citada, o cálculo dos bits de paridade ocorrem da mesma forma.

O último passo do algoritmo consiste em verificar se a mensagem recebida corresponde realmente a informação que corresponde a resposta do dispositivo implantável. Nos testes foi definido esta informação como $012Ah$, logo após a comparação com esta sequência de dados, é mostrado na tela que o dispositivo (na aplicação, seria o sistema de comunicação ativo) está pronto para uso. Caso não tenha ocorrido resposta válida durante a leitura, é mostrado no *display LCD* que houve erro na mensagem.

Ainda na implementação do dispositivo externo, definiu-se uma rotina de calibração para facilitar os testes de comunicação e a calibração da tensão de referência do comparador analógico no dispositivo implantável. Esta rotina trata-se do envio constante da informação. O processo de ajustes e calibração do sistema de comunicação será descrito no próximo capítulo.

4.6.2 PROGRAMA DO DISPOSITIVO IMPLANTÁVEL

O programa desenvolvido para o dispositivo implantável segue a mesma ideia que o programa para o dispositivo externo, como pode-se ver no fluxograma apresentado pela figura 53. No entanto, há algumas características que os diferem. Ao analisar o microcontrolador utilizado, o ATtiny10, verifica-se uma limitação muito grande frente ao espaço de memória de código e memória de dados frente ao AT89S52. O ATtiny possui 1 *kbytes* de memória ROM e uma SRAM interna de 32 bytes apenas, esta limitação de memória foi crucial para definir o *Assembly* como a linguagem a ser utilizada, ao invés de utilizar a linguagem C. O *Assembly* trata-se de uma linguagem de montagem que substitui os bits “brutos” da linguagem de máquina por mnemônicos formando uma instrução, a tabela 6 destaca algumas instruções para microcontroladores AVR - cada família de microcontroladores possui suas próprias instruções.

Tabela 6: Algumas das principais instruções dos microcontroladores AVR.

Instrução	Operandos	Descrição	#Clocks
ADD	Rd, Rr	Soma sem Carry	1
SUB	Rd, Rr	Subtrai sem Carry	1
AND	Rd, Rr	Operação lógica AND	1
OR	Rd, Rr	Operação lógica OR	1
EOR	Rd, Rr	Operação lógica “ou exclusivo”	1
INC	Rd	Incrementa registrador	1
DEC	Rd	Decrementa registrador	1
RJMP	k	Salto relativo	2
RET		Retorna de uma subrotina	4/5
RETI		Retorna de uma Interrupção	4/5
CP	Rd, Rr	Compara Registradores	1
CPI	Rd, K	Compara com valor direto	1
BRNE	k	Salta se Não foi Igual	1/2
BRTS	k	Salta se flag T estiver setada	1/2
LSL	Rd	Desloca bit para Esquerda	1
CPI	A, b	Limpa bit no registrado de I/O	1
SEI		Habilita Interrupção Global	1
MOV	Rd, Rr	Copia Registrador	1
NOP		Sem operação	1

Fonte: Adaptado de Atmel (2013).

Para entender a vantagem de utilizar o *Assembly*, é preciso conhecer primeiro como é o processo anterior a gravação quando programa-se em C. Antes de gravar um programa em C em um microcontrolador ou microprocessador, é necessário compilar todo o código, isto significa que é necessário analisar o programa desenvolvido em linguagem de alto nível e convertê-lo para uma linguagem de baixo nível - ou reunir códigos em linguagem de baixo nível para fazer

a função que o código original propôs - para então gravar no microcontrolador. Resumindo, um compilador converte um programa em *C* para *Assembly* e este *.asm* (que é a extensão de arquivo em *Assembly*) gerado será gravado na memória de código do microcontrolador.

Em um primeiro momento parece que programar nas duas linguagens resultará um mesmo programa, porém, o processo de conversão, por mais otimizado que seja, precisa inserir várias linhas de instrução para garantir que uma linha de código em *C* seja executada da forma correta, neste processo o compilador irá gravar na pilha (configurada na *SRAM*) o conteúdo de registradores importantes além de converter a função do código utilizando uma inteligência artificial, portanto, limitada. Por conseguinte, ao programar diretamente em *Assembly*, por menos intuitivo que seja, é possível executar a mesma função utilizando um espaço de memória de código muito mais reduzido e, conseqüentemente, mais rápido e otimizado. Esta característica faz do *Assembly* a solução ideal para desenvolver o programa proposto para o ATtiny10. O código fonte com os devidos comentários se encontra disponível no Apêndice E.

A IDE utilizada para programar o ATtiny é a Atmel Studio 6.2 desenvolvida pelo mesmo fabricante do microcontrolador. Ao programar em *Assembly*, nota-se uma linguagem aparentemente desestruturada, porém, através de saltos na memória o código segue uma estrutura para executar e obter a funcionalidade desejada. De forma a facilitar os saltos na memória, não necessitando guardar a posição de cada linha de instrução, a IDE permite que sejam inseridos rótulos (*labels*) que depois serão substituídos pela memória a que ele corresponde. Seguindo o fluxograma da figura 53, foram criados os rótulos *VerificaHeader*, *LeMSG*, *VerificaMSG*, *ComparaMSG*, *CriaMSG* e *ComparaMSG* que correspondem a implementação das rotinas de mesmo nome implementadas no dispositivo externo.

O dispositivo implantável quando energizado através do *link* indutivo iniciará sua rotina de inicialização, ao qual será configurada o endereço da memória *SRAM* que corresponderá ao início da pilha, as funções e configurações dos pinos de *I/O* e dos demais periféricos que serão utilizados. No caso do programa proposto, é de grande importância o uso do comparador analógico disponível, para isso é preciso alterar o registrador *ACSR* de acordo com a configuração desejada, como mostra a figura 54. Através dos bits *ACIS1* e *ACIS0* é possível determinar se a interrupção do comparador acontecerá toda vez que houver mudança (*Toggle*), toda vez que houver uma borda de descida ou quando houver uma borda de subida, enquanto o bit *ACIE* define se a interrupção será habilitada ou não. Para o projeto, optou-se por não utilizar a interrupção, usando apenas do estado do bit *ACO* que indica a saída do comparador para definir que nível lógico havia no momento. A figura 55 apresenta o diagrama

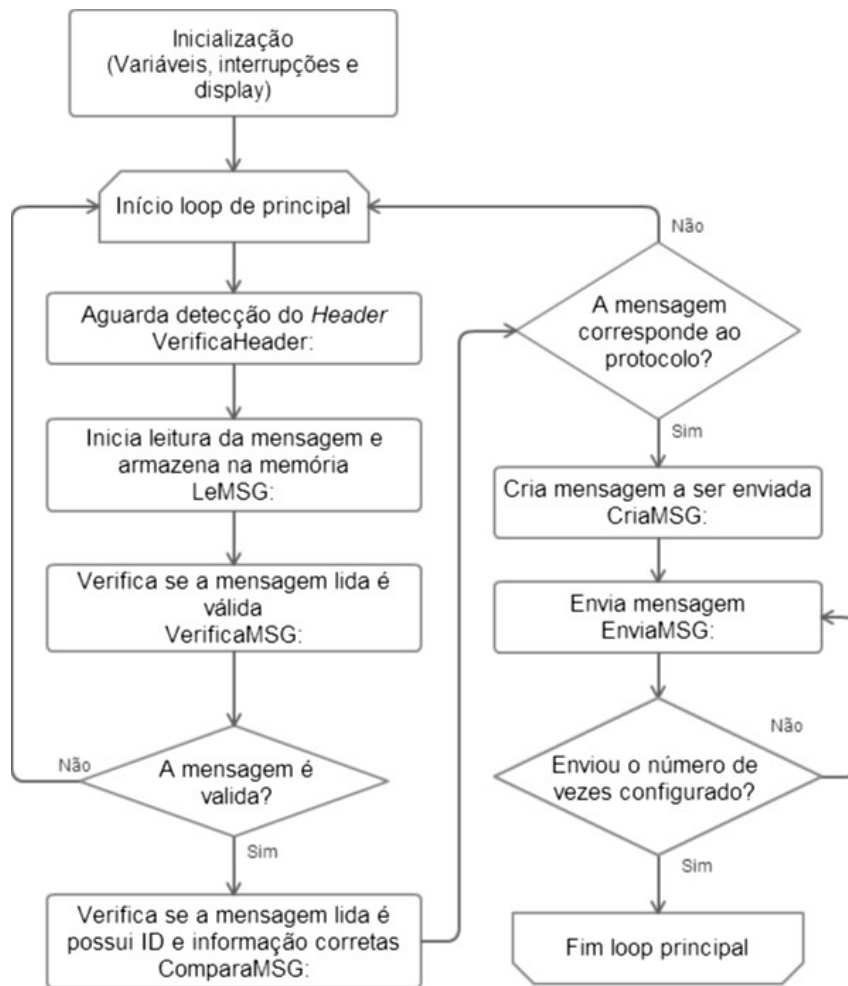


Figura 53: Fluxograma do programa desenvolvido em *Assembly* para o dispositivo implantável.

Fonte: A autoria Própria.

do circuito interno do comparador analógico.

O uso dos pinos de entrada e saída do ATtiny ocorre de forma diferente dos pinos do 8051, uma vez que no ATtiny é necessário configurar a direção que será utilizado além de possuir um resistor de pull-up que pode ou não ser desabilitado. Para isso utiliza-se os registradores PORTB e DDRB como apresentado pela tabela 7. No projeto foi definido como pinos de saída PB2 e PB3, enquanto PB0 e PB1 (AN0 e AN1, respectivamente) como pinos de entrada, estes últimos também tiveram seus resistores de *pull-up* desabilitados, caso contrário o comparador analógico não funcionará corretamente.

Por último, vale destacar o uso do *timer* de 16 bits disponível no ATtiny10. Este funciona de acordo com o conteúdo do registrador TIMSK0, podendo configurá-lo para atender a interrupção quando os valores dos *bytes* TCNT0H e TCNT0L corresponderem aos *bytes* dos registradores de 16 bits OCR0A, ou quando for igual aos registradores de 16 bits OCR0B,

Bit	7	6	5	4	3	2	1	0
0x1F	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W
Valor Inicial	0	0	0	0	0	0	0	0

ACIS1	ACIS0	MODO DE ACIONAR A INTERRUPÇÃO
0	0	QUANDO HOVER QUALQUER MUDANÇA
0	1	RESERVADO
1	0	QUANDO HOVER BORDA DE DESCIDA
1	1	QUANDO HOVER BORDA DE SUBIDA

Figura 54: Registrador especial do comparador analógico interno do ATtiny10 e seus bits de configuração do modo de interrupção.

Fonte: Adaptado de Atmel (2013).

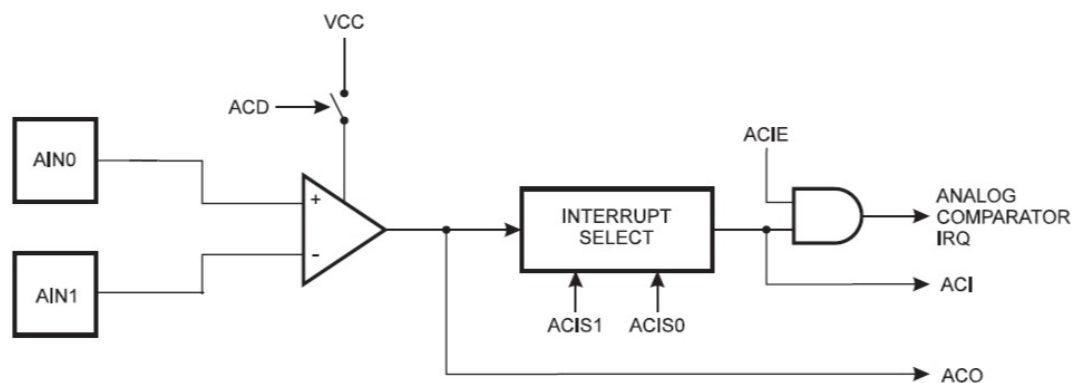


Figura 55: Diagrama do circuito interno do comparador analógico.

Fonte: Adaptado de Atmel (2013).

ou quando os mesmos chegarem ao máximo representável (i.e. $FFFF_h$) - também chamado de configuração *Overflow*. Devido a familiaridade com este último modo de funcionamento, definiu-se o *timer* do ATtiny como *Overflow*.

A respeito da frequência de *clock* do microcontrolador, é possível configura-la através do registrador TCCR0B, ao qual de acordo com seu conteúdo divide o *clock* geral para que facilite a configuração do *timer*. No projeto, foi o utilizado o *clock* interno de 8 MHz, que configurado para dividir por 8, resulta em uma frequência do *timer* de 1 MHz.

Tabela 7: Registradores de configuração dos pinos de I/O do ATtiny10.

DDXn	PORTXn	PUD (no SFIOR)	I/O	Pull-up	Comentário
0	0	x	Entrada	Não	Alta Impedância.
0	1	0	Entrada	Sim	PXn irá fornecer corrente for colocado um nível lógico 0.
0	1	1	Entrada	Não	Alta Impedância
1	0	x	Saída	Não	Saída em Zero (drena corrente).
1	1	x	Saída	Não	Saída em Nível Alto (fornece corrente).

Fonte: Adaptado de Lima (2010).

Após todas as configurações e compreensão do funcionamento dos periféricos utilizados, inicia-se a implementação das rotinas que comporão a rotina principal. O objetivo do dispositivo implantável é aguardar o recebimento de uma mensagem, ler, verificar se é válida, comparar com a mensagem definida pelo protocolo e responder enviando uma mensagem que confirme a leitura e habilitação do sistema de comunicação ativo. Portanto, o primeiro passo é aguardar a detecção de um *header*, isto é feito pela rotina VerificaHeader, que com o auxílio do *timer* verifica de tempos em tempos o estado da saída do comparador analógico até encontrar uma sequência de 9 bits '1's. Após detectado, salta-se para a rotina de leitura e armazenamento da mensagem, que devido a maior facilidade de manipulação de bits do ATtiny10 foi possível salvar todos os dados recebidos em 3 bytes da *SRAM*, como mostra a figura 56 que apresenta como foi ocupada a *SRAM* e forma que foi organizada os bits lidos pela rotina LeMSG.

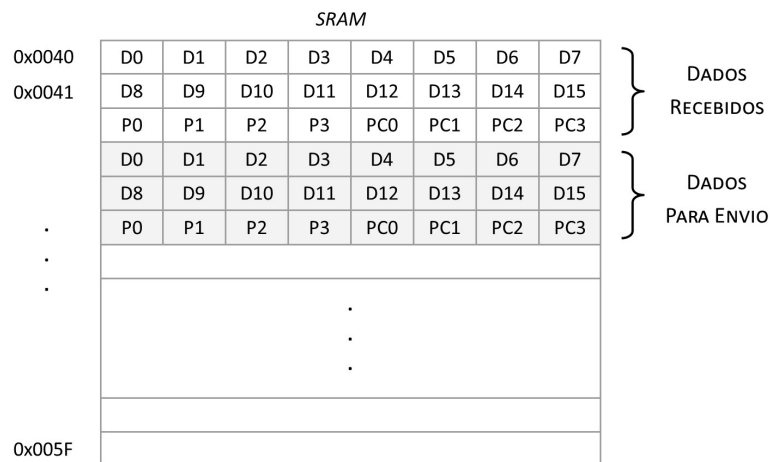


Figura 56: Distribuição dos dados na SRAM.

Fonte: Autoria Própria.

Realizada a leitura, é a vez de realizar a verificação da mensagem, nesta rotina destaca-se uma diferença na solução utilizada para verificação de paridade quando comparada com o código do dispositivo externo. A diferença se deve ao fato de o ATtiny não possui um registrador que calcula através de *hardware* o bit de paridade de um byte, para executar este cálculo foi necessário implementar um rotina que realize a paridade ímpar de um *byte* e retorne o resultado para posterior comparação com a mensagem recebida. Caso seja validada a mensagem, compara-se a mesma com o ID do dispositivo, já se a informação não for válida ou não corresponder ao ID, retorna-se a detecção de uma nova mensagem.

Recebida corretamente a informação, inicia-se o seu processo de envio, primeiro criando a mensagem de acordo com o protocolo e armazenando na *SRAM* e, posteriormente, enviando a mensagem codificando-a em *Manchester*. Como a detecção da mensagem pode ocorrer tanto no início da recepção, quanto no final, definiu-se uma quantidade de envios igual a 50. No próximo capítulo serão discutidos os resultados a cerca desta escolha, além do desempenho obtido pelo sistema de comunicação desenvolvido.

5 RESULTADOS E DISCUSSÕES

Neste capítulo serão apresentados os resultados obtidos no decorrer do desenvolvimento até a obtenção do sistema de comunicação final, além de realizar uma discussão a cerca das situações e dificuldades encontradas para se obter o funcionamento desejado. Os resultados iniciam realizando uma análise do projeto do *link* indutivo relacionado ao tipo de bobina quando trabalhado a uma frequência de 125 kHz, logo são apresentados os resultados do projeto do amplificador de potência Classe E com oscilador *Hartley*. Em seguida muda-se o foco dos resultados para o sistema de comunicação, demonstrando o desempenho dos moduladores e demoduladores, bem como do software dos dois dispositivos.

Os testes e obtenção dos resultados, foram realizados através do protótipo construído para os dois dispositivos. No caso do protótipo do dispositivo externo, figura 57, foi projetado uma PCI que permitisse o ajuste dos valores dos indutores e capacitores do amplificador de potência e dos principais componentes que formam os circuitos de modulação e demodulação *ASK*. Seguindo a mesma ideia, o protótipo do dispositivo implantável, figura 58, também foi construído de forma a facilitar a troca de componentes. A possibilidade de realizar ajustes e substituição de componentes com maior facilidade já em uma *PCI* permite aproximar os testes do ambiente real que o circuito seria implementado, diferentemente do uso de placas de prototipagem (mais conhecidas como *protoboards*) que inserem ao circuito níveis consideráveis de ruído, capacitâncias parasitas e problemas de mal contato entre os componentes.

Em ambas as placas foram inseridos *jumpers* para auxiliar os testes, permitindo desconectar o circuito de modulação ou demodulação, ou no caso do dispositivo externo, escolher a fonte de alimentação do amplificador de potência. A inserção destes *jumpers*, conectores para gravação do microcontrolador e demais recursos para ajuste *on-board* limitaram o tamanho das placas, uma vez que foram confeccionadas artesanalmente utilizando placas de fibra de vidro de face simples ao qual apenas a parte de baixo da placa possui cobre para formar as vias. O protótipo externo confeccionado resultou em uma placa de 9 cm de largura e 11,3 de comprimento, enquanto a do dispositivo implantável resultou em 4 cm de largura e 7,5 cm de comprimento.

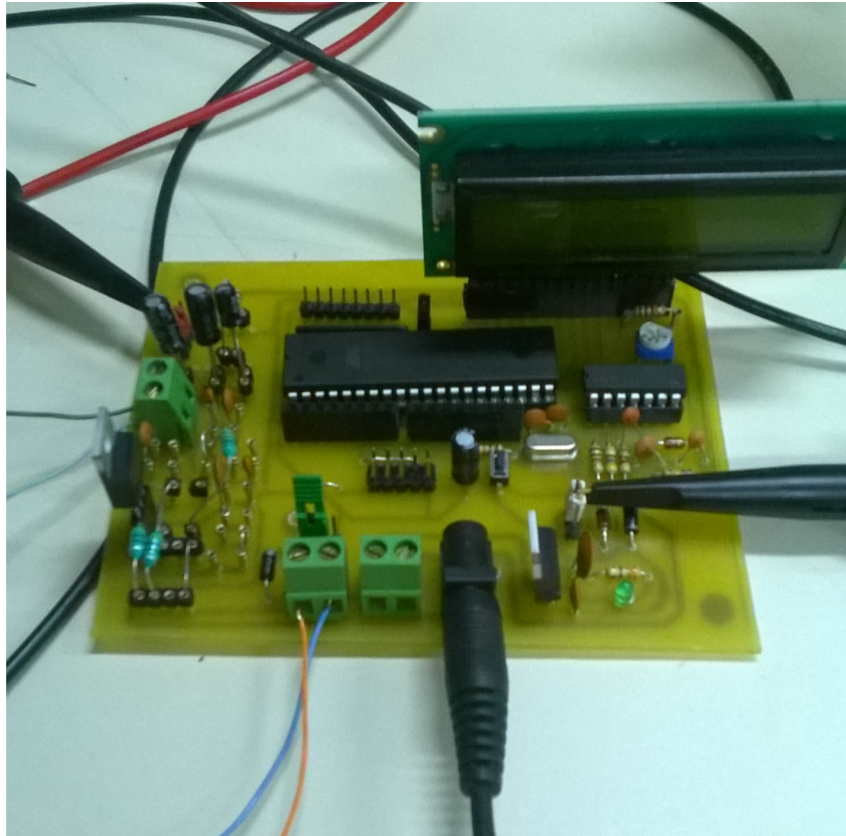


Figura 57: Protótipo do dispositivo externo.

Fonte: Aatoria Própria.

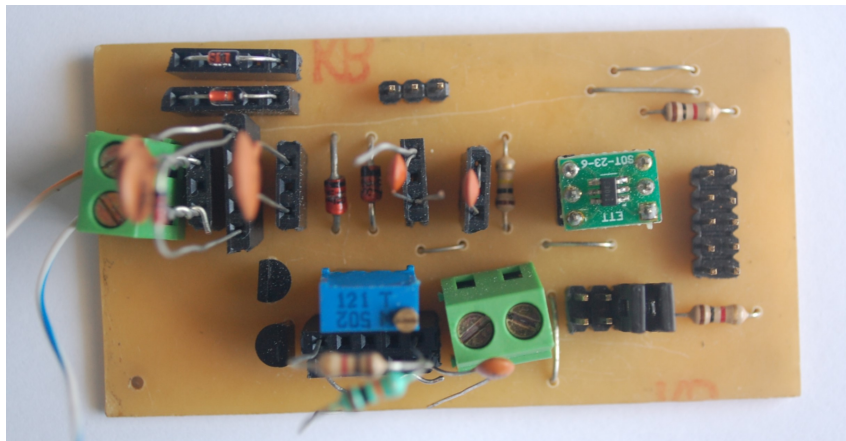


Figura 58: Protótipo do dispositivo implantável.

Fonte: Aatoria Própria.

5.1 *LINK* INDUTIVO

A figura 59 demonstra a relação entre a eficiência na transmissão de energia e a distância entre as bobinas L_1 e L_2 projetadas para verificar a precisão do modelamento

matemático implementado. No caso, faz-se uma comparação entre a *PTE* calculada via Matlab® e a *PTE* mensurada experimentalmente.

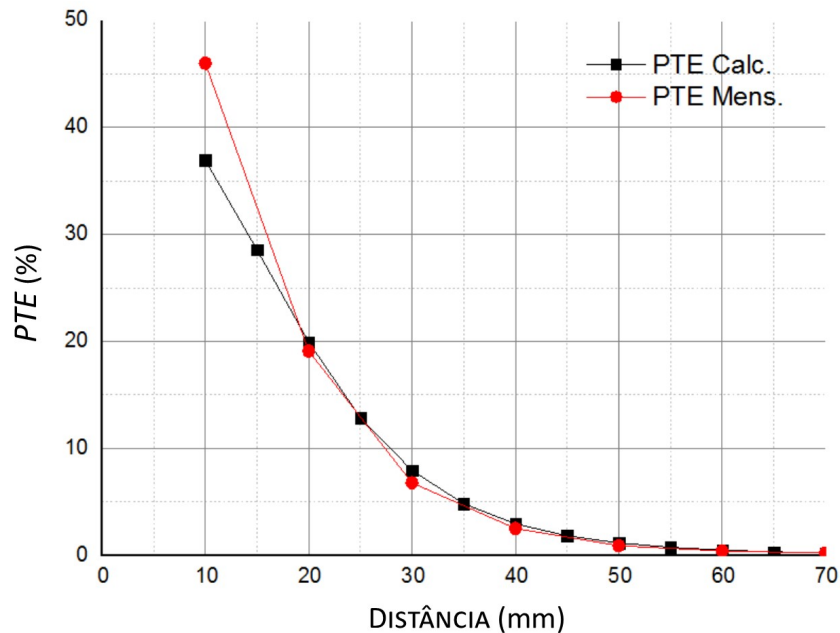


Figura 59: Valor *PTE* calculada pela distância entre as bobinas L_1 e L_2 para duas bobinas montadas sem seguir as especificações do projeto, mas com o intuito de comparar resultados práticos e teóricos.

Fonte: Autoria Própria.

É possível observar, com este primeiro resultado, que a curva de um *link* indutivo a duas bobinas segue uma característica exponencial frente a variação da distância entre as bobinas. Mesmo construindo duas bobinas com dimensões superiores a 2 cm de raio externo, verificou-se que a eficiência energética sofre grande impacto devido a frequência de operação e imperfeições no processo de montagem das bobinas. Mas, o resultado principal é a verificação da considerável aproximação do modelo matemático utilizado e o resultado prático.

A tabela 8 apresenta as dimensões obtidas através do algoritmo de otimização para as bobinas solenoide e planar projetadas. Observa-se que a 3 cm de distância a *PTE* para ambos os tipos de bobinas não supera 1,5 %, sendo um valor muito baixo para aplicar no sistema proposto.

Para visualizar o desempenho destes dois tipos de bobinas frente a variação da distância foi gerado o gráfico apresentado pela figura 60. Observa-se que as duas curvas possuem desempenho parecido, porém, vale destacar que apenas as bobinas solenoide aproximaram da carga ótima definida. No caso das bobinas planares, obteve-se uma carga ótima teórica de apenas 20 Ω , ou seja, devido as dimensões definidas, não foi possível chegar a uma configuração

Tabela 8: Resultado da otimização das bobinas solenoide e planar.

Tipo de Bobina	N_1	N_2	$R_{L, PTE_{teorica}}$	$PTE_{teorica}$
Planar	18	12	20 Ω	1,3 %
Solenoide	11	11	135 Ω	1,5 %

Fonte: Autoria Própria.

que maximize a PTE quando aplicada a um *link* com resistência de carga próxima de 125 Ω como definido nas especificações.

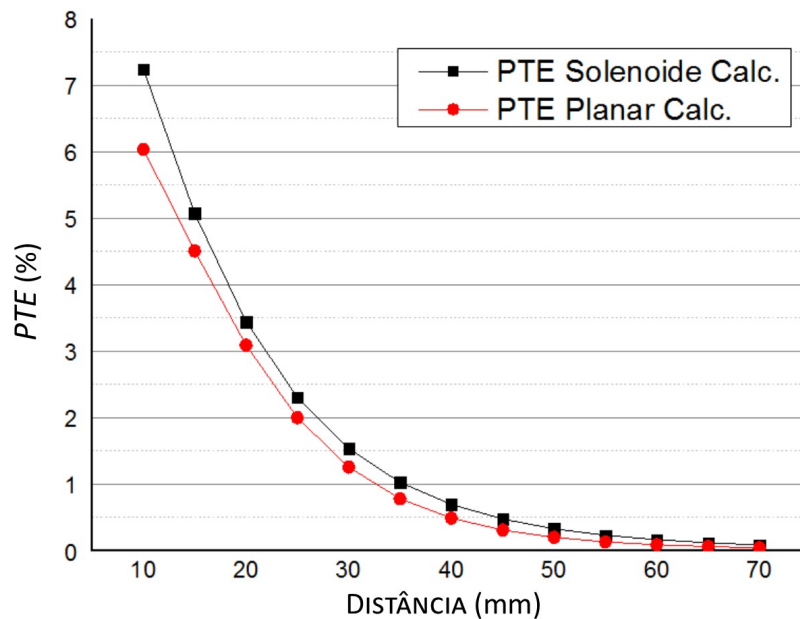


Figura 60: Valor PTE calculada pela distância entre as bobinas L_1 e L_2 para as bobinas solenoide e planar projetadas.

Fonte: Autoria Própria

As figuras 61 62 apresentam os resultados obtidos para as bobinas multicamadas projetadas seguindo as especificações da tabela 4 mostrado no capítulo 4. A figura 61 apresenta a PTE teórica e prática para diferentes valores de R_L considerando o projeto com bobinas multicamadas. Verifica-se que para ambas as curvas, o valor ótimo de $R_{L, PTE}$ aproximou-se de 125 Ω quando a uma distância de 3 cm. É possível verificar um erro médio de aproximadamente 10% entre os valores de PTE práticos e teóricos. Da mesma forma na figura 62, cujo gráfico mostra as curvas do PTE teórico e prático para diferentes distâncias, verificou-se um erro médio aproximado de 8%, o que demonstra uma relação satisfatória entre o modelo adotado para os cálculos e os resultados práticos, destacando o uso de uma resistência de 0,5 Ω para representar as diversas perdas no circuito real.

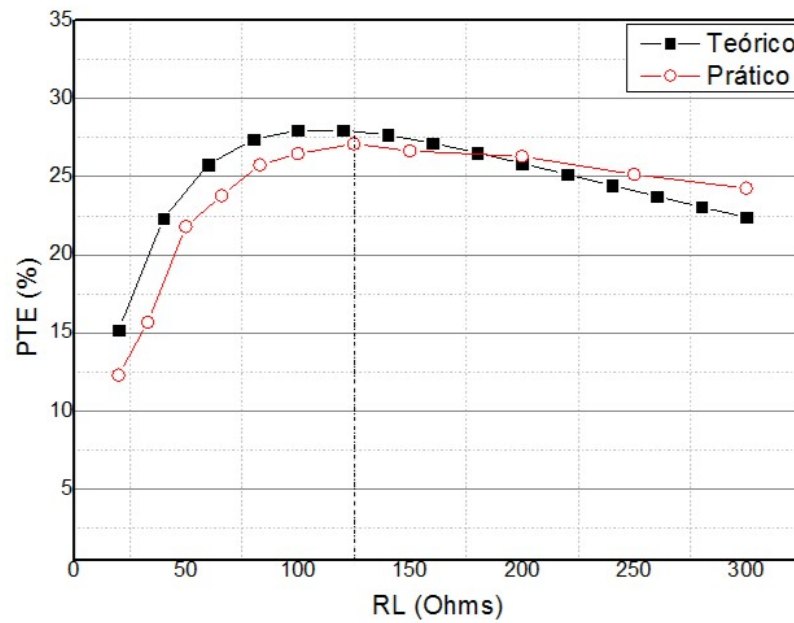


Figura 61: Valor da *PTE* teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.

Fonte: Autoria Própria.

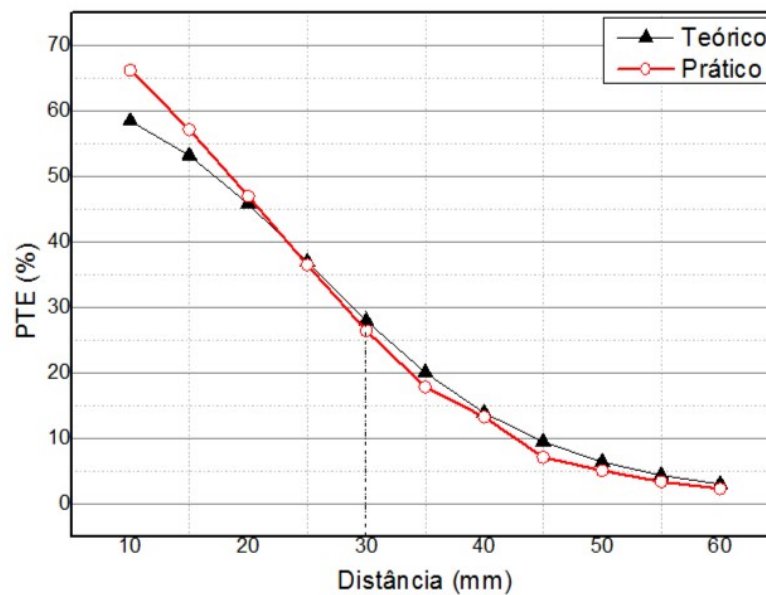


Figura 62: Valor da *PTE* teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.

Fonte: Autoria Própria.

5.1.1 AMPLIFICADOR DE POTÊNCIA

A tabela 9 apresenta os componentes calculados através da metodologia descrita na seção 4.4.5, e os valores utilizados na prática para obter o PA classe E mostrado na figura 63

oscilando a uma frequência de 125 kHz e tensão de entrada de 5 V.

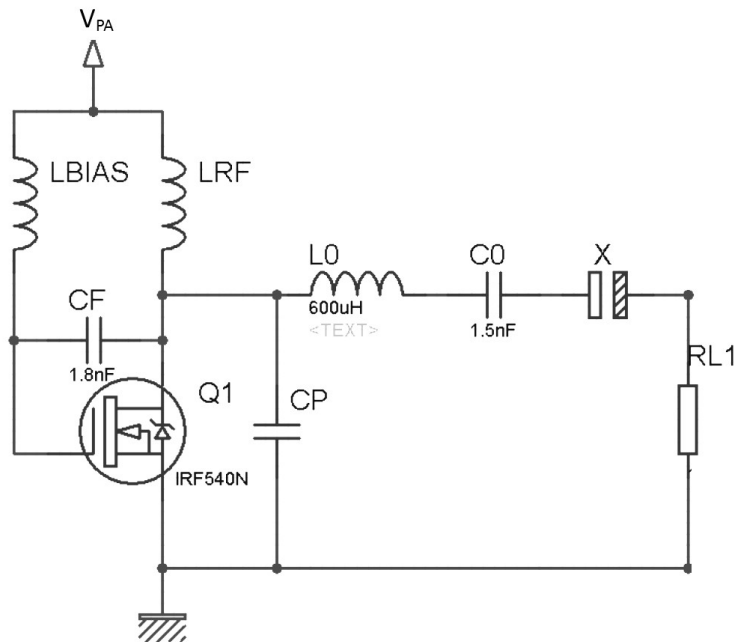


Figura 63: Circuito de um amplificador Classe E com oscilador Hartley.

Fonte: Autoria Própria

Tabela 9: Valores calculados e práticos dos componentes do PA Classe E projetado a uma frequência de 125 kHz.

Componente	Calculado	Prático
L_{BIAS}	270 μH	235 μH
L_{RF}	30,5 μH	28 μH
C_F	3,6 nF	3,6 nF
C_P	17,4 nF	17,5 nF
L_0	1,08 mH	1,08 mH
C_0	1,5 nF	1,5 nF
X	17,8 μF	20 μF
R_L	50 Ω	50 Ω

Fonte: Autoria Própria.

A potência de saída calculada ficou em torno de 680 mW, que alimentado a 5 V resultaria em uma tensão de 8,25 V na carga do PA. Para fazer um comparativo com as características descritas na teoria, obteve-se a forma de onda do chaveamento do MOSFET de potência IRF540N e da forma de onda da tensão na carga, mostrados na figura 64 pelos canais 1 e 2, respectivamente.

Na prática, a frequência de oscilação foi em torno de 122,5 kHz, cuja tensão na carga chegou a 5,5 V de pico, o que resultou em 491 mW de potência de saída. Como a

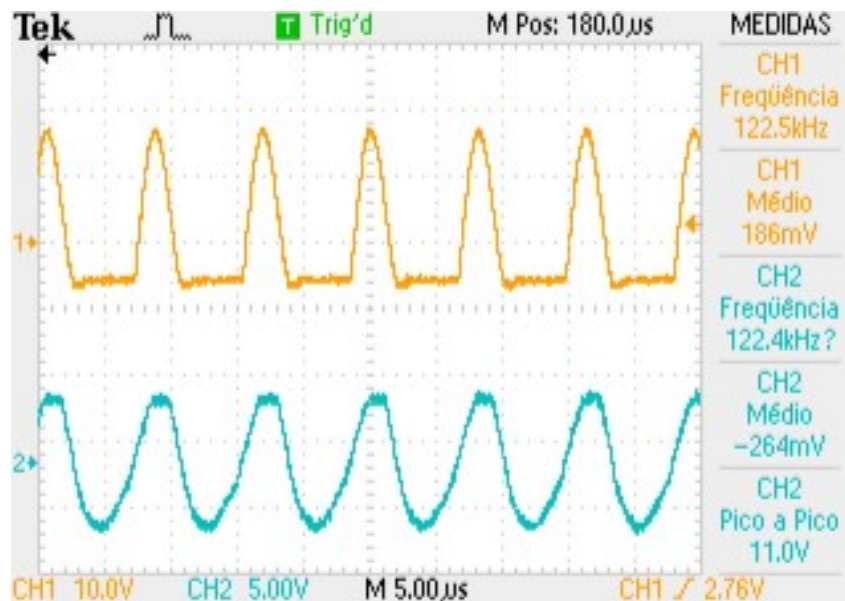


Figura 64: Formas de onda do chaveamento do IRF540N (canal 1) e da tensão na carga.

Fonte: Autoria Própria

potência de entrada era em torno de 770 mW, conclui-se que a eficiência do *PA* projetado foi de aproximadamente 63 %, o que é um resultado satisfatório, tendo em vista que as diferenças entre os resultados calculados e práticos se devem aos erros dos componentes utilizados e perdas no chaveamento devido a não idealidade do transistor, assim reduzindo a eficiência do *PA*.

5.1.2 LINK INDUTIVO PROJETADO

A tabela 10 apresenta as dimensões e características das bobinas multicamada projetadas para o sistema de comunicação, já a figura 65. Observou-se que houve uma pequena distorção nas dimensões da bobina do primário devido a dificuldade em montar uma bobina com 90 voltas sem que haja uma considerável influência do processo de enrolamento, que infelizmente gera bobinas com algumas espiras distorcidas, sem o correto alinhamento entre as mesmas dentro do carretel.

A figura 66 apresenta a comparação entre a *PTE* calculada e teórica do último *link* projetado. É possível observar que com um ajuste da resistência de perdas para 1 Ω , obteve-se uma boa relação entre resultados práticos e teóricos, havendo uma certa discrepância apenas quando as bobinas se encontravam a 10 mm de distância.

Tabela 10: Especificações e limites para o projeto das bobinas multicamadas para o sistema de comunicação proposto.

Bobina	Característica	Variável	Valor
Primário	Número de voltas por camada	$Na_{\text{voltas/cam.}}$	15
	Autoindutância	L_1	1.086.4 mH
	Raio externo	a_{max}	47 mm
	Resistência CC	R_{CC}	1,42 Ω
Secundário	Número de voltas por camada	$Na_{\text{voltas/cam.}}$	5
	Autoindutância	L_2	57,5 μH
	Raio externo	b_{max}	25 mm
	Resistência CC	R_{bCC}	0,747 Ω

Fonte: Autoria Própria.



Figura 65: Bobinas multicamadas projetadas para o sistema de comunicação.

Fonte: Autoria Própria.

5.2 SISTEMA DE COMUNICAÇÃO

Simultaneamente ao projeto do *link* indutivo e, conseqüentemente, das bobinas, foi-se desenvolvendo e obtendo resultados interessantes a cerca do *hardware* e *software* projetados. Inicialmente, os testes e ajustes foram realizados quando o sistema operava apenas no sentido *uplink* ou *downlink*, para depois ajustá-los em conjunto.

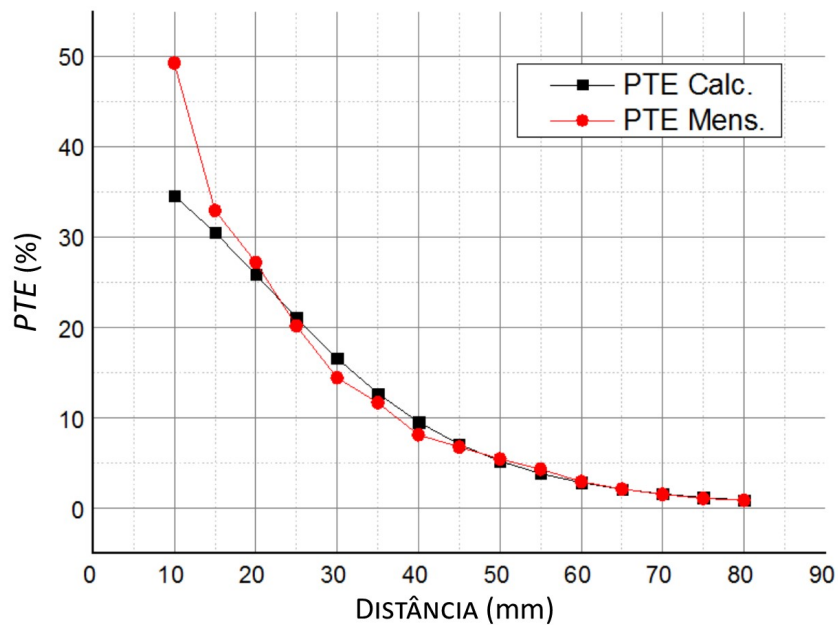


Figura 66: Valor da *PTE* teórica e prática pela distância entre as bobinas L_1 e L_2 para as bobinas multicamadas projetadas.

Fonte: Autoria Própria.

5.2.1 UPLINK

A figura 67 mostra a forma de onda (canal 1 do osciloscópio) do processo de modulação, ao qual é possível verificar a formação da envoltória que transporta a informação binária através da portadora a 125 kHz. Deve-se atentar neste processo que a tensão não deve cair muito, ou seja, a relação entre a tensão máxima e mínima deve ser aproximar de 1 para que não haja uma queda muito acentuada da tensão no secundário, podendo prejudicar a alimentação do dispositivo passivo.

Já figura 68, apresenta a forma de onda na bobina do secundário, é possível verificar que há a presença de um pouco de ruído, não mostrando um sinal modulado tão evidente como no primário, porém, ao realizar um ajuste fino no circuito demodulador é possível obter o sinal demodulado mostrado no canal 1 da mesma imagem.

A figura 69 mostra o sinal de entrada e o sinal de saída do comparador analógico com a inserção dos condicionadores de sinal. O ajuste do FPB do demodulador, influencia consideravelmente na sensibilidade de ajuste e na qualidade do sinal demodulado, por exemplo, ao ajustar melhor os valores de C6 e R8, foi possível obter o sinal demodulado (canal 2) apresentado na figura 70.

Simultaneamente ao ajuste dos componentes do *hardware*, há os ajustes no

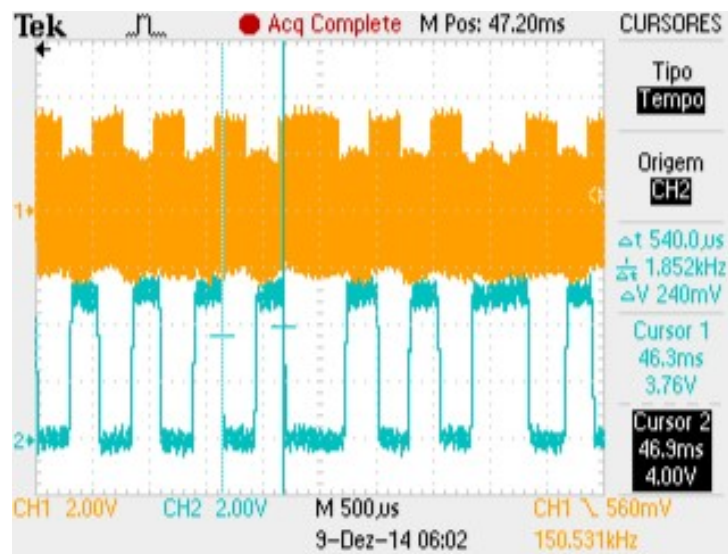


Figura 67: Forma de onda de um sinal modulado (canal 1) e o resultado da retificação após passar por um comparador inversor.

Fonte: Autoria Própria.

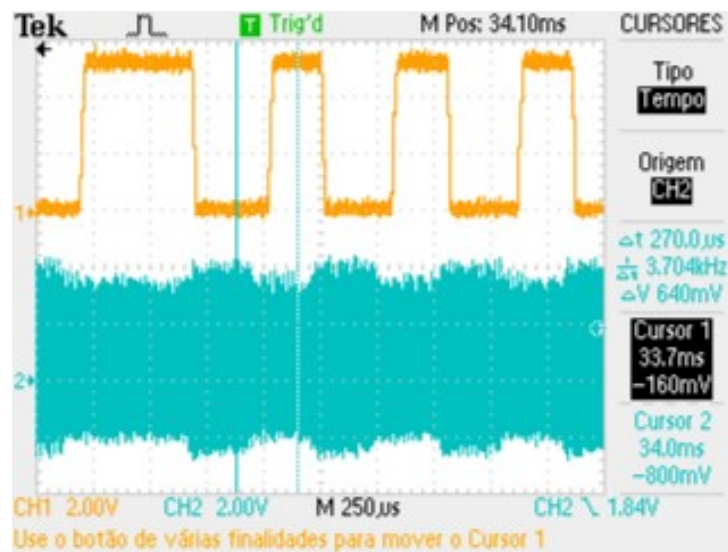


Figura 68: Sinal recepcionado no secundário (canal 2) e o resultado da demodulação (canal 1).

Fonte: Autoria Própria.

desenvolvimento do *software* responsável por detectar a mensagem e a ler corretamente. Para visualizar os resultados de sua implementação foi definido um pino de saída do AT89S52 como sinal de controle, este sinal é verificado no canal 1 do teste apresentado pela figura 70. A figura 71 apresenta o recebimento de uma informação continuamente (canal 1), enquanto no canal 2 do osciloscópio é mostrado o sinal de controle da leitura, desde a detecção do *header*, o que demora alguns instantes, até a leitura sincronizada da informação.

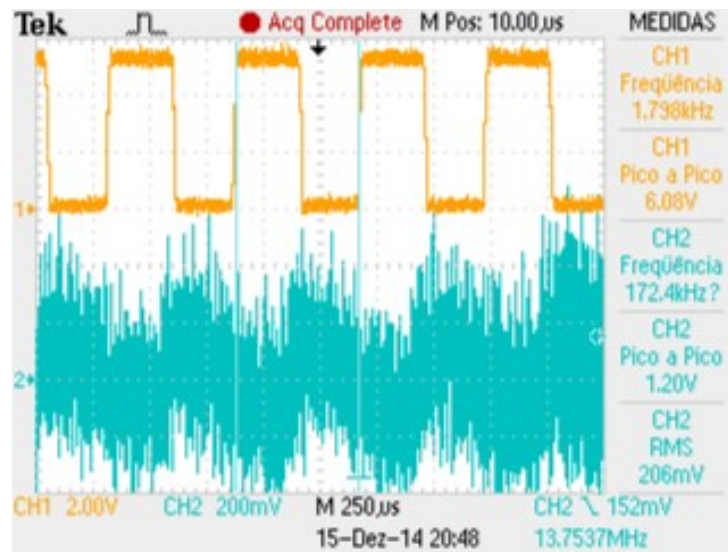


Figura 69: Sinal de entrada (canal 2) e de sinal de saída (canal 1) do comparador analógico.

Fonte: Autoria Própria.

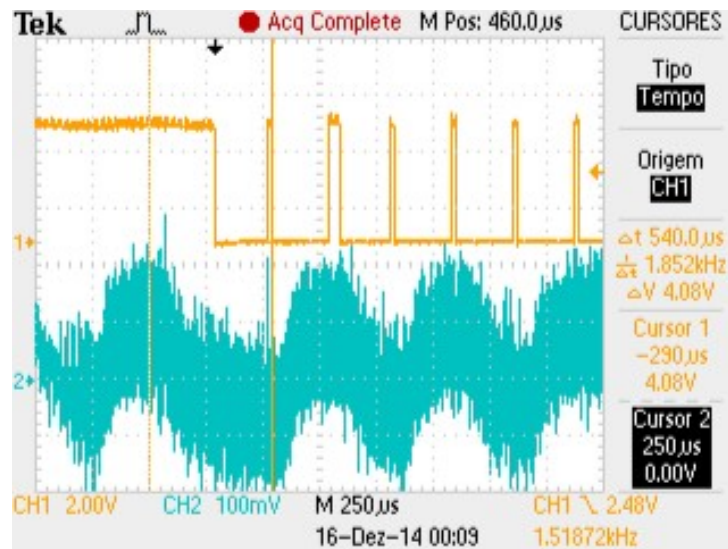


Figura 70: Sinal de controle do microcontrolador (canal 1) e sinal obtido após o FPB no demodulador.

Fonte: Autoria Própria.

No sinal de controle apresentado na figura 70 verifica-se a ocorrência de pulsos periódicos, estes pulsos são gerados toda vez que uma interrupção do *timer* inicia-se para realizar a leitura do sinal demodulado. No caso mostrado, a detecção do *header* acontece enquanto o sinal de controle permanece em nível alto, após descer para nível baixo inicia-se a leitura dos bits de dados de forma síncrona com o sinal recebido.

Como proposto no capítulo 4, uma das partes fundamentais do correto sincronismo e

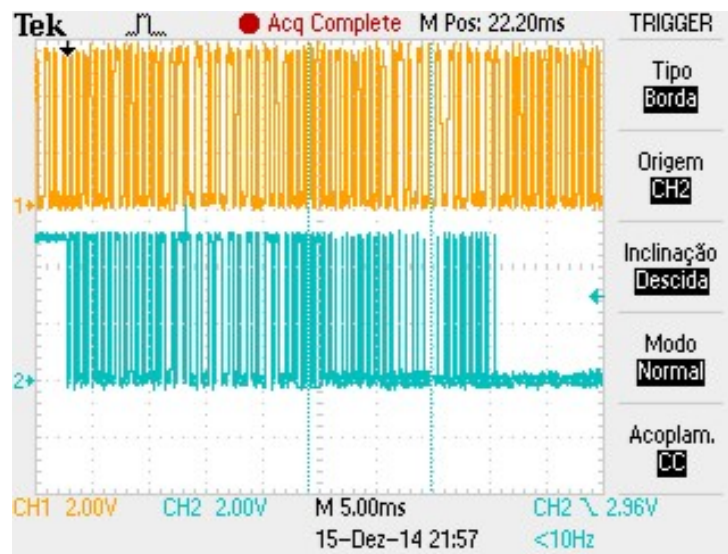


Figura 71: Sinal demodulado (canal 1) e sinal de controle do microcontrolador (canal 2) durante todo o processo de leitura.

Fonte: Autoria Própria.

leitura da informação esta no primeiro bit após o *header*. Este detalhe é possível ser visualizado na figura 72, ao qual verifica-se que caso não seja ajustado o tempo da primeira leitura, e caso o tempo do *timer* não coincida com metade do tempo de bit, haverá um ligeiro deslocamento do instante de leitura, fazendo com que o mesmo aproxime da borda e aumente as chances de uma leitura errada, ou mesmo, que o processo perca o sincronismo obtido na detecção do *header*.

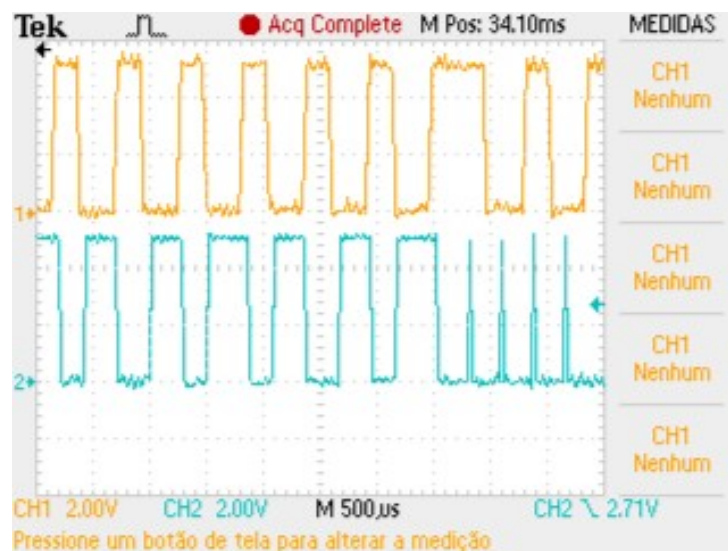


Figura 72: Sinal demodulado (canal 1) e sinal de controle do microcontrolador (canal 2) mostrando momento em que inicia-se a leitura dos dados.

Fonte: Autoria Própria.

A figura 73 mostra (no canal 1) a variação da tensão na carga do amplificador de potência. Verifica-se nesta imagem que o tempo de bit da transmissão de dados possui exatamente $540 \mu\text{s}$ e que há uma queda de tensão de aproximadamente 30 %. Já na figura 74 é possível verificar o resultado da modulação no dispositivo implantável observando a tensão na bobina do secundário. Observa-se que a relação entre a tensão máxima e tensão mínima é reduzida um pouco, mas mesmo assim ainda há uma envoltória bem definida sobre a portadora quando observado a forma de onda do canal 2.

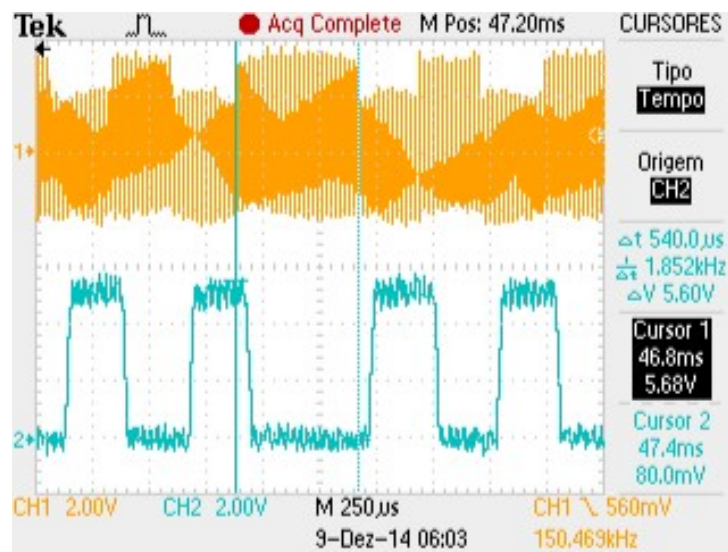


Figura 73: Tensão na carga do amplificador de potência (canal 1) e consequente demodulação no próprio dispositivo externo (canal 2).

Fonte: Autoria Própria.

Outro ponto que vale ser ressaltado é a possibilidade do dispositivo externo demodular o próprio sinal modulado, como mostrado na figura 73 o sinal apresentado no canal 2. Isto se deve ao fato de o mesmo canal utilizado para enviar a informação, é o mesmo canal de recepção, basta ajustar adequadamente o valor de referência do comparador analógico presente no dispositivo externo.

5.2.2 DOWNLINK

A figura 75 mostra os resultados obtidos na demodulação da informação no sentido *downlink* quando o dispositivo implantável ainda estava sendo alimentado pelo USBASP conectado a uma porta USB. Em 75a é possível verificar a forma de onda da tensão do secundário (canal 2) e o sinal de entrada do comparador analógico após passar pelo circuito detector de envoltória. Já nas figuras 75b e 75c é possível observar no canal 2 a saída do comparador analógico para o sinal de entrada mostrado no canal 1, no caso, a primeira mostra

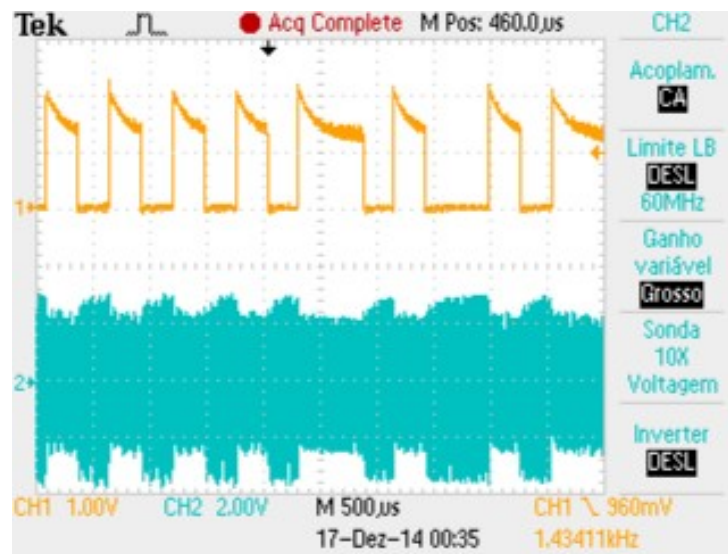


Figura 74: Saída do comparador analógico do ATtiny10 (canal 1) frente a demodulação do sinal de recebido (canal 2).

Fonte: Autoria Própria.

a recepção de todos bits que compõem a mensagem, enquanto a segunda imagem realiza uma aproximação dos bits do *header*. Neste teste de comunicação observou-se um bom desempenho da demodulação, porém, quando o dispositivo passou a ser alimentado passivamente verificou-se uma pequena redução de desempenho do mesmo, como mostra a figura 76. Destaca-se a diferença entre os sinais obtidos após o detector de envoltória, ao qual quanto maior o período de nível baixo, maior é a queda de tensão do sinal, esta queda é um dos fatores que limitam a distância de comunicação do sistema passivo.

5.3 RESULTADOS FINAIS

A tabela 11 apresenta as características do sistema de comunicação passivo desenvolvido, é possível observar que o sistema de comunicação final pode ser alimentado de 8 a 24 V, possuindo um consumo de potência máxima de aproximadamente 32 mW. Como o tempo de bit foi definido em 540 μ s, obteve-se uma taxa de comunicação igual a 1851,85 bit/s.

A figura 78 apresenta o momento em que o dispositivo externo envia uma requisição e esta é recebida pelo dispositivo implantável a uma distância de 3 cm. O dispositivo, nesta situação, estava com o circuito modulador já ajustado e habilitado de forma correta, porém, para ajustar o demodulador sem perder sua influência no circuito, ligou-se seu pino de entrada no V_{CC} do dispositivo. Na figura 78a é possível verificar a saída do comparador analógico, e na 78b o monitoramento do processo de leitura, destacando o momento em que inicia-se a leitura

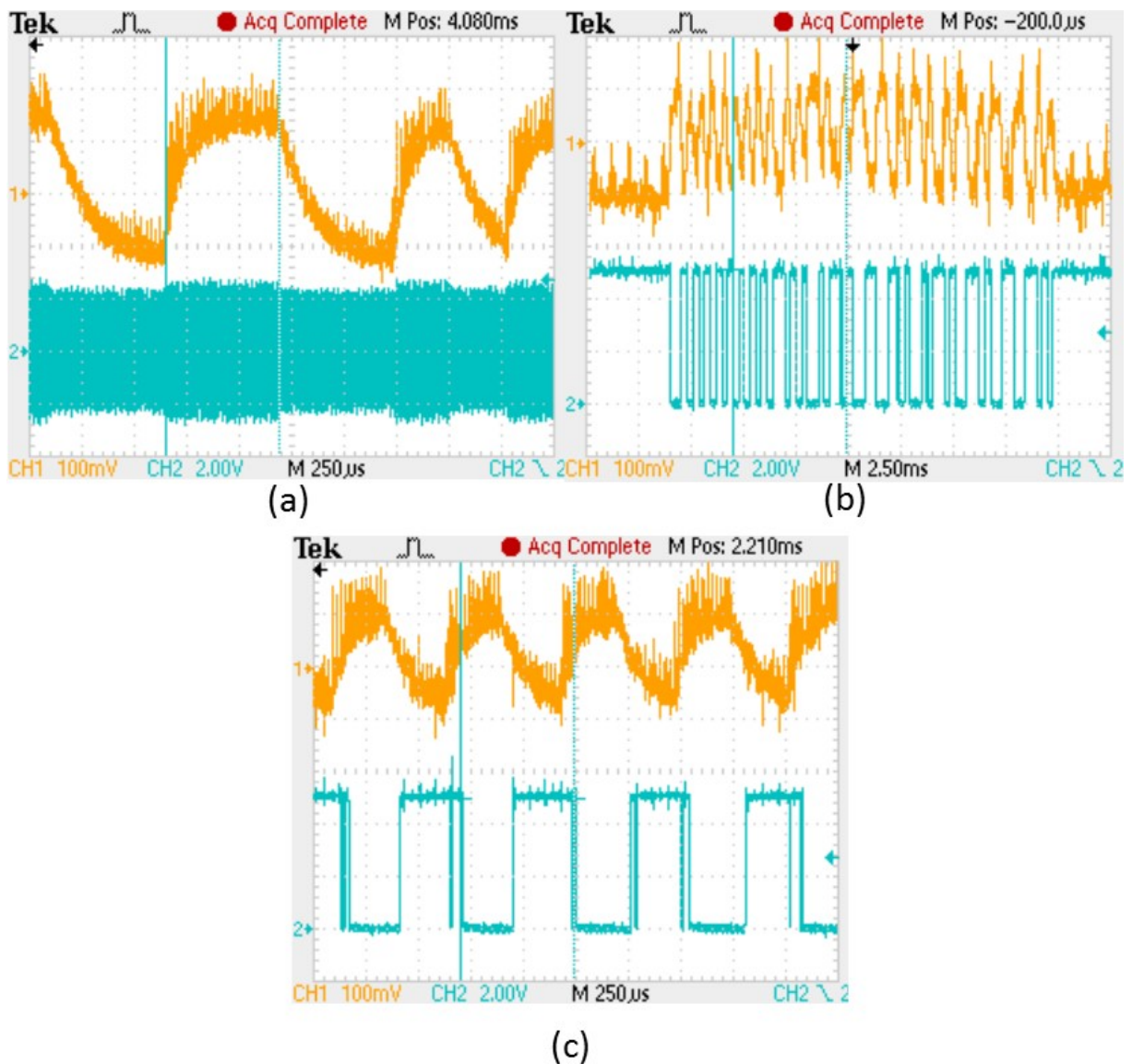


Figura 75: Formas de onda do circuito demodulador quando o dispositivo implantável estava sendo alimentado ativamente.

Fonte: Autoria Própria.

dos bits de dados, ambos no canal 1 do Osciloscópio. Nas duas imagens verifica-se que o sinal de entrada do comparador, mostrado no canal 2, possui seus pulsos bem definidos devido a boa eficiência energética obtida em conjunto com o baixo consumo do dispositivo.

Já na figura 79a) é mostrado o momento em que o dispositivo implantável responde ao dispositivo externo. Ao qual é possível observar a tensão de saída do comparador analógico (canal 1) de acordo com o sinal de entrada (canal 2) após o detector de envoltória. Verifica-se que o desempenho da comunicação no sentido *uplink* ficou um pouco comprometida comparado aos resultados aos primeiros resultados, isto se deve a baixa amplitude do sinal modulado

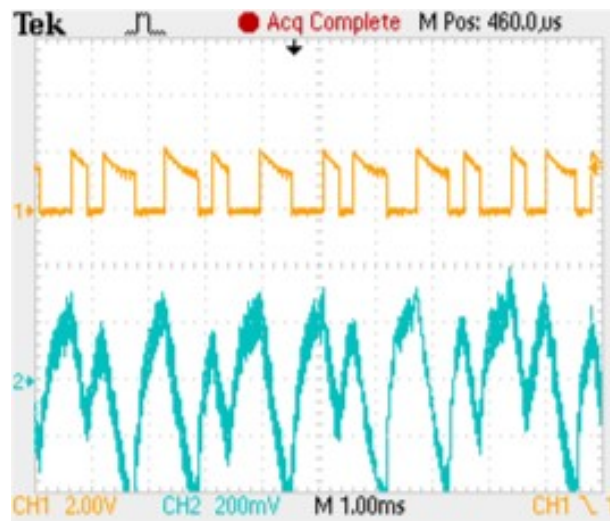


Figura 76: Formas de onda do circuito demodulador quando o dispositivo implantável estava sendo alimentado passivamente. No canal 1 é apresentada a saída do comparador inversor de acordo com o sinal de entrada mostrado no canal 2.

Fonte: Aatoria Própria.

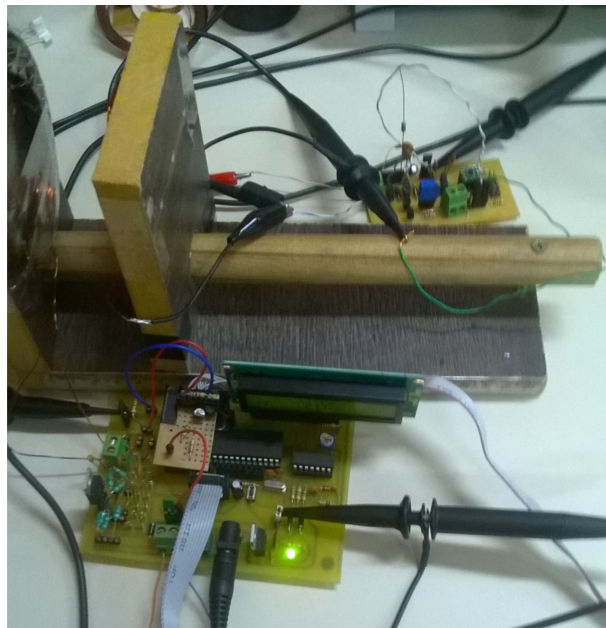


Figura 77: Imagem das bobinas na base de testes conectadas nos protótipos.

Fonte: Aatoria Própria.

presente na bobina do primário ocasionado pelo ajuste do circuito modulador no dispositivo passivo. Esta característica possibilitou uma comunicação bem sucedida a 3 cm de distância. No entanto, houve uma considerável sensibilidade no ajuste do comparador analógico que limitou o range entre 2,5 cm e 3,5 cm. Qualquer distância fora dessa faixa ajustada, acarreta na leitura incorreta da mensagem, já que os pulsos de nível alto e nível baixo ficam com larguras

Tabela 11: Características e Resultados finais do sistema de comunicação desenvolvido.

Descrição	Valor
Tensão de alimentação	8 a 24 V
Consumo de Potência Máxima	32 mW
Range da comunicação em modo bidirecional	2,5 a 3,5 cm
Range da comunicação em modo unidirecional	até 5,5 cm
Tempo de bit	540 μ s
Taxa de comunicação	1851,85 bit/s

Fonte: Autoria Própria.

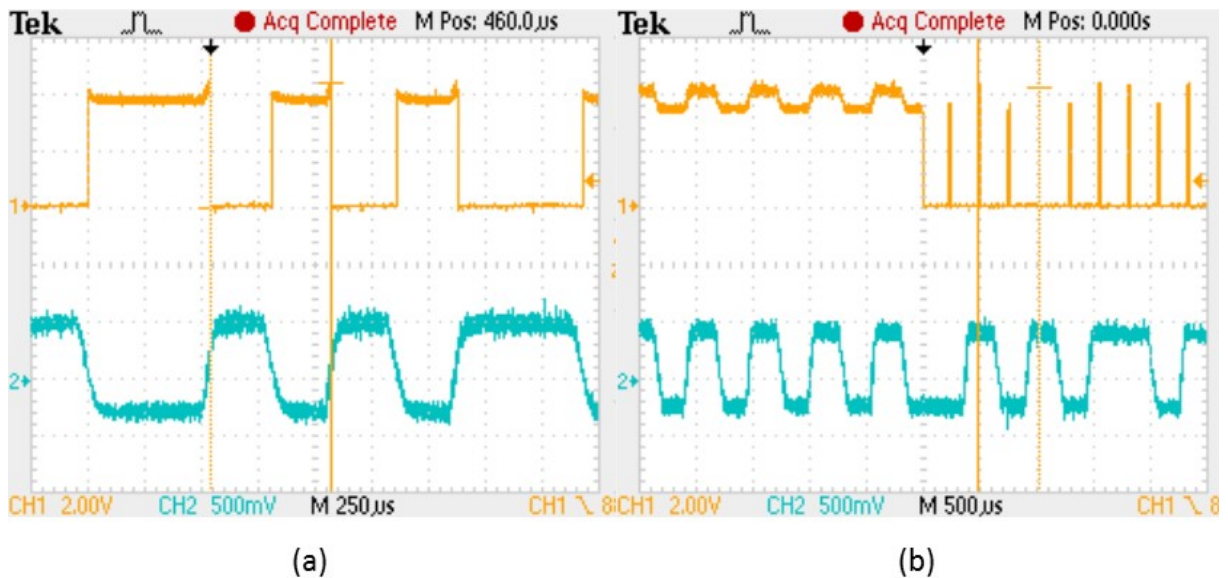


Figura 78: Resultado do dispositivo implantável finalizado, a) demonstra o ajuste do comparador analógico (canal 1) e b) ajuste do *software* de leitura para o sinal recepcionado e demodulado mostrado no canal 2.

Fonte: Autoria Própria

diferentes, como mostra a saída do comparador da figura 79b).

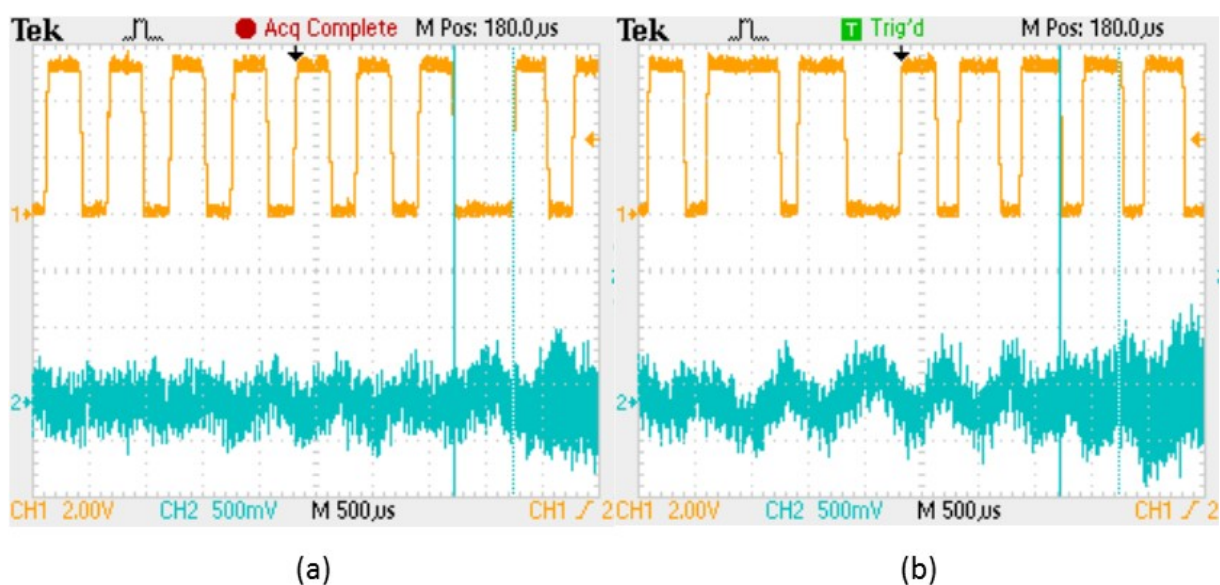


Figura 79: Processo de demodulação no dispositivo externo a) com o correto ajuste da detecção quando o sistema estava operando com comunicação bidirecional e b) sem o correto ajuste da tensão de referência do comparador.

Fonte: Autoria Própria

6 CONCLUSÃO

O presente trabalho apresentou o desenvolvimento de uma solução sob demanda para sistemas de comunicação aplicados a dispositivos implantáveis. O projeto proposto trata-se de um sistema de comunicação passivo a 125 kHz com comunicação bidirecional *half-duplex*, formado por um dispositivo externo responsável por enviar uma requisição para habilitar um sistema de comunicação principal (podendo este ser ativo e *full-duplex*), e por um dispositivo implantável que recebe a requisição, e responde ao dispositivo externo se o procedimento foi executado com sucesso. A comunicação deste sistema desenvolvido ocorre passivamente com apenas um enlace indutivo responsável por enviar energia ao dispositivo implantável e dados em ambos os sentidos *uplink* e *downlink* utilizando modulação ASK e codificação Manchester, seguindo um protocolo próprio baseado no CI EM4100.

Para tanto, foi realizado um estudo a respeito de técnicas de projeto de *links* indutivos a duas bobinas, estas foram otimizadas de forma a obter uma relação entre menor número de voltas e máxima eficiência energética na transmissão. As bobinas confeccionadas artesanalmente demonstraram atender os requisitos da fase de desenvolvimento. Entretanto, observou-se que é preciso melhorar sua confecção de forma a reduzir perdas que acarretam em uma redução da *PTE*. Mesmo assim, foi possível, com o auxílio de um *PA* Classe E com oscilador Hartley projetado, obter uma transmissão de energia suficiente para fornecer 1,8 V de tensão contínua ao dispositivo implantável a uma distância de até 3,5 cm. No caso do *PA* projetado, obteve-se na prática uma eficiência em torno de 63 %, e potência de saída na faixa de 491 mW dependendo da distância entre as bobinas.

Quanto ao desenvolvimento do hardware e software para modular e demodular a informação seguindo o protocolo de comunicação, foi utilizado um AT89S52 no dispositivo externo, este demonstrou bom desempenho, tendo em vista a disponibilidade de três *timers* para programação. Já para o dispositivo implantável utilizou-se um ATtiny10, que demonstrou operar sem problemas a uma tensão de 1,8 V, realizando todo o processamento da informação com um baixo consumo e precisão, tanto na utilização do comparador analógico e *timer* interno. Este baixo valor de tensão de alimentação foi fundamental para obter uma maior distância na

comunicação.

O dispositivo implantável desenvolvido demonstrou possuir um consumo de energia de apenas 32 mW. Realizando testes ao qual o sistema operava de forma unidirecional verificou-se a possibilidade de reduzir este consumo a aproximadamente 20 mW, dependendo da distância do *link*, e assim permitindo regular a comunicação a até 5,5 cm de distância sem perder desempenho.

No caso da comunicação bidirecional, que é o objetivo do trabalho, foi possível obter uma comunicação com bom desempenho a até 3,5 cm de distância. No entanto, devido a grande sensibilidade de ajuste entre os dispositivos, o sistema de comunicação ficou limitado a uma faixa pequena de operação, aproximadamente 2,5 a 3,5 cm. Ajustando o tempo de bit a 540 μ s, obteve-se uma taxa de comunicação de 1851,85 bit/s, sendo uma taxa viável para o envio de uma requisição, tendo em vista que para a aplicação proposta, a transferência de dados ocorreria através do canal de comunicação principal. Entretanto, faz-se interessante ajustar este tempo de bit para 32 vezes o valor da portadora, gerando um tempo expoente de dois, de forma a reduzir a probabilidade de erro.

Por fim, apesar das dificuldades encontradas no processo de ajuste do sistema de comunicação e da necessidade de aumentar as dimensões das bobinas no decorrer do desenvolvimento, os resultados demonstraram que com a atual tecnologia disponível, utilizando de componentes comuns no mercado, é possível desenvolver uma solução que reduza o consumo de dispositivos implantáveis, e assim alcance o maior objetivo deste projeto: melhorar a qualidade de vida de pacientes que dependem do bom funcionamento de um implante, reduzindo o tempo necessário para realizar uma nova substituição da bateria, e permitindo ao paciente uma possibilidade de realizar ajustes e aferir dados do dispositivo a qualquer momento, bastando o mesmo aproximar o dispositivo externo do implante e quase instantaneamente estabelecer comunicação com o canal principal.

6.1 TRABALHOS FUTUROS

O desenvolvimento deste trabalho permitiu vislumbrar alguns trabalhos futuros, tanto focando em um estudo mais voltado à eletrônica analógica quanto à eletrônica digital, com o objetivo de obter um sistema de comunicação passivo com melhor desempenho e segurança. A primeira vertente engloba um estudo mais aprofundado do *link* indutivo, realizando testes com multibobinas, frequências mais elevadas, e melhorias do algoritmo de otimização para o projeto das bobinas. Quanto ao amplificador de potência, faz interessante projetar um amplificador de

maior potência, reduzindo sua resistência de carga e avaliar a influência desta carga reduzida no processo de modulação por amplitude.

A segunda vertente trata-se do desenvolvimento do *hardware* buscando soluções para reduzir a sensibilidade da comunicação bidirecional utilizando apenas um enlace indutivo, o consumo do dispositivo implantável e sua eficiência energética, por exemplo, utilizando diodos específicos para retificação de sinais de alta frequência e o estudo de melhores técnicas para realizar a modulação por amplitude no dispositivo. É possível também aplicar este sistema de comunicação junto a um sistema de comunicação ativo, para verificar o funcionamento do canal ativo sob demanda e constatar as contribuições da presente solução em dispositivos implantáveis. Além do desenvolvimento do *hardware*, é possível se ater também à melhorias do *software*, objetivando obter uma detecção mais eficiente e o aumento da taxa de bits. Ainda no *hardware* destaca-se outra melhoria possível para futuros trabalhos, desta vez na regulagem da tensão de alimentação do dispositivo implantável, tendo em vista a dificuldade em regular a tensão a apenas 1,8 V. Portanto o estudo de uma solução viável para a aplicação faz-se interessante.

Por fim, com o intuito de instigar o estudo e desenvolvimento de sistemas de comunicação passivos para aplicações da engenharia biomédica, faz-se interessante o estudo de sistemas utilizando diferentes técnicas de modulação, por exemplo, utilizando modulação *ASK* para um dos sentidos e modulação *PSK* para outro, verificando sua viabilidade para a aplicação e, se viável, realizando um comparativo de desempenho, complexidade e características com a solução apresenta no presente trabalho.

REFERÊNCIAS

- ABATTI, P. J.; JR., A. P. P. Nova técnica de comunicação usando varactores para termotelemetria implantável sem baterias. In: ANAIS DO IV FNCTS. **Fórum Nacional de Ciência e Tecnologia em Saúde**. Curitiba, Paraná, 1998.
- ACAR, M.; ANNEMA, A. J.; NAUTAS, B. Generalized design equations for class-e power amplifiers with finite dc feed inductance. In: PROCEEDINGS OF THE 36TH EUROPEAN MICROWAVE CONFERENCE. [S.l.], 2006.
- AHMADI, M. M.; JULLIEN, G. A. A wireless-implantable microsystem for continuous blood glucose monitoring. **IEEE Transactions on Biomedical Circuits and Systems**, v. 3, p. 169 – 179, 2009.
- ALI, H.; AHMAD, T. J.; KHAN, S. A. Inductive link design for medical implants. In: **IEEE Symposium on Industrial Electronics and Applications (ISIEA 2009)**. Kuala Lumpur, Malaysia: [s.n.], 2009. p. 694 – 699.
- ALI, H.; AHMAD, T. J.; KHAN, S. A. Mathematical modeling of an inductive link for optimizing efficiency. In: **IEEE Symposium on Industrial Electronics and Applications (ISIEA 2009)**. Kuala Lumpur, Malaysia: [s.n.], 2009. p. 831– 835.
- ATLURI s. **A Wideband Power efficient inductive link for implantable biomedical devices using multiple carrier frequencies**. Tese (Doutorado) — North Carolina State University, Raleigh, North Carolina, 2006.
- ATMEL. **8-bit Microcontroller with 8K Bytes In-System Programmable Flash**. [S.l.], 2001.
- ATMEL. **Atmel 8-bit AVR Microcontroller with 512/1024 Bytes In-System Programmable Flash ATtiny4 / ATtiny5 / ATtiny9 / ATtiny10**. [S.l.], 2013.
- ATTINY10 TPI USBASP - MkvAvrCalculator Update. 2013. Disponível em: <<http://mirekk36.blogspot.com.br/2013/07/attiny10-tpi-usbasp-mkavrcalculator.html>>.
- AUDIOLOGY BY ACCENT. **Cochlear Implants (CI)**. 2012. Acesso em: 12 mar 2014. Disponível em: <<http://www.accentmd.com/florida-audiology/cochlear-implants.html>>.
- BAKER, M. W.; SARPESHKAR, R. Feedback analysis and design of rf power links for low-power bionic systems. **IEEE Transactions on Biomedical Circuits and Systems**, v. 1, p. 28 – 38, 2007.
- BAZAKA, K.; JACOB, M. V. Implantable devices: Issues and challenges. **Electronics**, v. 1, p. 1–34, 2013.
- BERTOTTI, F. L. **Desenvolvimento de um medidor de fase para um sistema de biotelemetria passiva**. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, 2005.

BORTONI, R. **Amplificadores de Potência.**

BOYLESTAD, R.; NASHELSKY, L. **Dispositivos Eletrônicos e Teoria de Circuitos.** 6^o. ed. [S.l.: s.n.], 1999.

CHARDAK, W.; GAGE, A.; GREATBATCH, W. A transistorized, self-contained, amplantable pacemaker for the long-term correction of complete heart block. **Surgery**, v. 48, p. 543, 1960.

DIAS, V. S. **Michael Faraday.** 2004. Disponível em: <<http://www.ghtc.usp.br/Biografias/Faraday/faradeletr.html>>.

DIAS, V. S. **Michael Faraday: Subsídios para metodologia de trabalho experimental.** Dissertação (Mestrado) — Universidade de São Paulo, 2004.

DUARTE, R. M.; PINTO, R. L. de O.; SOUSA, F. R. de. Design methodology for class e power oscillators. **Student Forum on Microelectronics**, 2012.

EM MICROELECTONIC. **EM4100 Ready Only Contactless Identification Device.** [S.l.], 2004.

FARIAS, I. S. **Notas de Aula de Comunicação Digital.** [S.l.], 2007.

FINKENZELLER, K. **RFID Handbook: Fundamentals and Applications in Contactless Smart Cards, Radio Frequency Identification ans Near-Field Communication.** [S.l.: s.n.], 2010.

FISCHL, T. **USBasp - USB programmer for Atmel AVR controllers.** 2005. Acesso em: 01 Abril 2014. Disponível em: <<http://www.fischl.de/usbasp/>>.

GAO, S. et al. Microwave class-f and inverse class-f power amplifiers designs using gan technology and gaas phemt. In: **PROCEEDINGS OF THE 36TH EUROPEAN MICROWAVE CONFERENCE.** [S.l.], 2006. p. 1719 – 1722.

GARCIA, L. R.; GODOY, B. R.; BERNARDI, R. Análise da eficiência energética de bobinas indutivamente acopladas a 125 khz para dispositivos médicos implantáveis. In: **Anais do XXIV Congresso Brasileiro de Engenharia Biomédica.** [S.l.: s.n.], 2014. p. 2181– 2184.

GASULLA, M. et al. Correction to feedback analysis and design of rf power links for low-power bionic systems. **IEEE Transactions on Biomedical Circuits and Systems**, v. 8, n. 1, p. 148 – 149, February 2014.

GHOVANLOO, M.; ATLURI, S. A wide-band power-efficient inductive wireless link for implantable microelectronic devices using multiple carriers. **IEEE Transactions on Circuits and Systems**, v. 54, n. 10, p. 2211–2221, October 2007.

GREATBATCH, W.; HOLMES, C. F. History of implantable devices. **IEEE Engineering in Medicine and Biology Magazine**, p. 38–49, 1991.

HALLIDAY, D.; WALKER, J.; RESNICK, R. **Fundamentos de Física.** 4. ed. [S.l.: s.n.], 1960.

HAUS, H.; HUANG, W. Coupled-modetheory. In: **Proceedings of IEEE.** [S.l.: s.n.], 1991. v. 79, n. 10, p. 1505–1518.

HELFRICK, A. D. Q factor measurement. In: _____. [S.l.]: CRC Press LLC, 1999. cap. 52.

JIANG, G.; ZHOU, D. D. Tchnology advances and challenges in hermetic packaging for implantable medical devices. In: _____. [S.l.]: Implantable Neural Prostheses 2 Techniques and Engineering Approaches, 2010. (2), p. 28 – 61.

JOUNG, Y.-H. Development of implantable medical devices: From an engineering perspective. **International Neurology Journal**, v. 17, p. 98–106, 2013.

JOW, U.-M.; GHOVANLOO, M. Design and optimization of printed spiral coils for efficient transcutaneous inductive power transmission. **IEEE Transactions on Biomedical Circuits and Systems**, v. 1, n. 3, p. 193–202, September 2007.

KAINI, M.; JOW, U.-M.; GHOVANLOO, M. Design and optimization of a 3-coin inductive link for efficient wirelles power transmission. **IEEE Transactions on Biomedical Circuits and Systems**, v. 5, p. 579 – 591, 2011.

KENDIR, G. A. et al. An optimal design methodology for inductive power link with class-e amplifier. **IEEE Transactions on Circuits and Systems**, v. 53, n. 5, p. 857–865, May 2005.

KIANI, M.; GHOVANLOO, M. The circuit theory behind coupled-mode magnetic resonance-based wireless power transmission. **IEEE Transactions on Circuits and Systems**, v. 59, n. 9, p. 2065–2074, September 2012.

LASKOVSKI, A. N.; DISSANAYAKE, T.; YUCE, M. R. Wirelles power technology for biomedical implants. In: _____. [S.l.]: Intech, 2009. cap. 7, p. 119–132.

LASKOVSKI, A. N.; YUCE, M. R. Power amplifiers for electronic bio-implants. In: _____. [S.l.]: Intech, 2011. cap. 8, p. 131–144.

LIMA, C. B. de. **Técnica de Projetos Eletrônicos com os Microcontroladores AVR**. Florianópolis: Clube de Autores, 2010.

LIMA, M. **Notas de Aula de Física 3 - USP**. [S.l.], 2012.

LIN, J. C.; GUY, A. D. W. Power deposition in a spherical model of man exposed to i-20-mhz electromagnetic fields. **IEEE Transactions on Microwave Theory and Techniques**, v. 21, n. 12, p. 791–797, Dec 1973.

LU, Y.; KI, W.-H. A 13.56 mhz cmos active rectifier with switched-offset and compensated biasing for biomedical wireless power transfer systems. **IEEE Transactions on Biomedical Circuits and Systems**, v. 8, n. 3, p. 334–344, June 2014.

LUIS, H. C. **Sistema Telemétrico com tecnologia RFID para medição de pressão**. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, 2010.

MA, Q. et al. Power-oscillator based high efficiency inductive power-link for transcutaneous power transmission. In: 53RD IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS). [S.l.], 2010.

MACHADO, R. P. **Medidas do efeito pelicular clássico em condutores de cobre - proposta de um novo modelo**. Dissertação (Mestrado) — Universidade Federal do Paraná, 2007.

MAEOKA, G. K.; PICHORIM, S. F.; ABATTI, P. J. Desenvolvimento de sensor biotelemétrico passivo para avaliação da pressão arterial. In: **XX CBEB**. [S.l.: s.n.], 2006. p. 1263–1266.

- MARQUES, D. **Campo magnético**. 2013. Disponível em: <<http://www.brasilecola.com/fisica/campo-magnetico.htm>>.
- MASSACHUSETTS INSTITUTE OF TECHNOLOGY. **Department of Physics lecture notes**. [S.l.], 2004.
- MECATRÔNICA ATUAL. **Técnica de Modulação AM/FM**. 2013. Disponível em: <<http://www.mecatronicaatual.com.br/educacao/1202-tcnicas-de-modulao-amfm>>.
- MITCHESON, P. Energy harvesting for human wearable and implantable bio-sensors. In: **Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)**. [S.l.: s.n.], 2010. p. 3432–6.
- MOON, J. et al. Behavior of class-f and class-f(-1) amplifiers. **IEEE Transactions on Microwave Theory and Techniques**, v. 60, n. 6, p. 1937 – 1951, June 2012.
- MOTISAN, R. **USBasp AVR USB Programmer**. 2012. Disponível em: <<http://www.pocketmagic.net/2012/05/cheap-avr-usb-programmer/>>.
- M.WHELAN, J. C.; S.ROCKWELL. **AC Power History and Timeline**. 2014. Disponível em: <<http://www.edisontechcenter.org/AC-PowerHistory.html>>.
- NASCIMENTO, J. do. **Telecomunicações**. 2ª edição. ed. [S.l.]: MAKROM Books, 2000.
- NEBEKER, F. **Golden Accomplishments in Biomedical Engineering**. 2002.
- NIKITA, K. **Design Considerations of Biomedical Telemetry Devices**. 1. ed. [S.l.]: Wiley-IEEE Press, 2014.
- OLIVEIRA, R. J. F. de. **Método para identifica simultaneamente duas características elétrica moduláveis por parâmetros fisiológicos de microcircuitos RLC injetáveis**. Tese (Doutorado) — Universidade Tecnológica Federal do Paraná, 2007.
- PORTO, R. et al. Design and optimization of a power inductive link. In: **IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings**. [S.l.: s.n.], 2014. p. 648 – 653.
- PRIORITY ONE DESIGN. **EM4100 Protocol description**. 2007. Disponível em: <<http://www.priority1design.com.au>>.
- PRUTCHI, D. **Tantalus II System for Treating Metabolic Syndrome**. 2011. Acesso em: 12 mar 2014. Disponível em: <<http://www.implantable-device.com/2011/12/13/tantalus-ii-system-for-treating-metabolic-syndrome/>>.
- PUNDI, B. S. **Class E Power Amplifier Design and BackTelemetry Communication for Retinal Prosthesis**. Tese (Doutorado) — North Carolina State University, Raleigh, North Carolina, 2002.
- RAMRAKHYANI, A. K.; LAZZI, G. On the design of efficient multi-coil telemetry system for biomedical implants. **IEEE Transactions on Biomedical Circuits and Systems**, v. 2013, n. 1, p. 11–22, February 2013.

RAMRAKHYANI, A. K. et al. Design and optimization of resonance-based efficient wireless power delivery systems for biomedical implants. **IEEE Transactions on Biomedical Circuits and Systems**, v. 5, n. 1, p. 48–63, February 2011.

ROBERT, R. Efeito pelicular. **Revista Brasileira de Ensino de Física**, v. 22, n. 2, p. 285–289, Junho 2000.

SCHNEIDER, B. J. **Sistema de medição de temperatura utilizando um novo método de sensoriamento por circuitos em ponte e uma nova técnica de comunicação por sobreacoplamento magnético, aplicáveis em Biotelemetria**. Dissertação (Mestrado em Ciências) — Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Centro Federal de Educação Tecnológica do Paraná, Curitiba, 1994.

SENJUTI, S. **DESIGN AND OPTIMIZATION OF EFFICIENT WIRELESS POWER TRANSFER LINKS FOR IMPLANTABLE BIOTELEMETRY SYSTEMS**. Dissertação (Mestrado) — The University of Western Ontario, 2013.

SODAGAR, A. M. Implantable biomedical microsystems: A new graduate course in biomedical circuits and systems. **IEEE Transactions on Education**, v. 57, n. 1, p. 48–53, 2014.

SOKAL, N. O.; SOKAL, A. D. Class e - a new class of high-efficiency tuned singled-ended switching power amplifiers. **IEEE Journal of Solid-State Circuits**, SC-10, n. 3, p. 168 – 176, June 1975.

STEYAERT, M.; REYNAERT, P. **RF power amplifiers for mobile communications**. [S.l.: s.n.], 2006.

SZYPER, M. Inductance measurement. In: _____. [S.l.]: CRC Press LLC, 1999. cap. 50.

TERMAN, F. E. **Radio Engineers' Handbook**. [S.l.]: Mcgraw Hill Book Company, 1943.

TROYK, P. R.; SCHWAN, M. A. K. Closed-loop class e transcutaneous power and data link for microimplants. **IEEE Transactions on Biomedical Engineering**, v. 39, n. 6, p. 589–599, June 1992.

VARGAS, V. M. P. **Notas de Aula - Codificação de Linha**. [S.l.], 2011.

VOLPATO, R. M. **UMA TÉCNICA DE PREDIÇÃO DE TENSÃO NO ALVO EM IDENTIFICAÇÃO POR RADIOFREQUÊNCIA PARA APLICAÇÕES EM SENSORES IMPLANTADOS**. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2012.

WANG, G. et al. Design and analysis of an adaptive transcutaneous power telemetry for biomedical implants. **IEEE Transactions on Circuits and Systems**, v. 52, n. 10, p. 2109–2117, October 2005.

WINSTAR. **Display LCD Winstar**. 2015.

WOO, Y. Y.; YANG, Y.; KIM, B. Analysis and experiments for high-efficiency class-f and inverse class-f power amplifiers. **IEEE Transactions on Microwave Theory and Techniques**, v. 54, n. 5, p. 1969 – 1974, May 2006.

WU, C.-Y. et al. A 13.56 mhz 40 mw cmos high-efficiency inductive link power supply utilizing on-chip delay-compensated voltage doubler rectifier and multiple Idos for implantable medical devices. **IEEE Journal of Solid-State Circuits**, v. 49, n. 11, p. 2397–2407, November 2014.

XIONG, X.-P. et al. A high-efficiency class-f power amplifier using double crlh-tl for lte application. In: 15TH INTERNATIONAL CONFERENCE ON ELECTRONIC PACKAGING TECHNOLOGY. [S.l.], 2014. p. 1312 – 1315.

XU, H.; HANDWERKER, J.; ORTMANN, M. Telemetry for implantable medical devices. **IEEE Solid-State Circuits Magazine**, p. 60–64, Summer 2014.

YANG, C.-W.; YANG, C.-L. Analysis of inductive coupling coils for extending distances of efficient wireless power transmission. In: IEEE MTT-S INTERNATIONAL MICROWAVE WORKSHOP SERIES ON RF AND WIRELESS TECHNOLOGIES FOR BIOMEDICAL AND HEALTHCARE APPLICATIONS (IMWS-BIO). [S.l.], 2013.

ZHANG, X. et al. An energy-efficient asic for wireless body sensor networks in medical applications. **IEEE Transactions on Biomedical Circuits and Systems**, v. 4, n. 1, p. 11–18, February 2010.

ZIERHOFER, C. M.; HOCHMAIR, E. S. Geometric approach for coupling enhancement of magnetically coupled coils. **IEEE Transactions on Biomedical Engineering**, v. 43, n. 7, p. 708–714, July 1996.

ZOLL, P. Resuscitation of the heart in ventricular standstill by external stimulation. **New England Journal of Medicine**, v. 274, p. 768, 1952.

APÊNDICE A – AMPLIFICADORES DE POTÊNCIA

Na eletrônica direcionada a telecomunicações é de grande importância a alimentação de circuitos de alta potência, permitindo transmitir sinais mais “fortes” e, conseqüentemente, a maiores distâncias.

Na figura 80 é apresentado um diagrama básico de representação das potências em uma aplicação, ao qual há um bloco de alimentação (fonte) que depois é amplificado pelo amplificador de potência (em inglês, *PA*), para então fornecer a energia necessária para alimentar uma carga de baixa impedância.

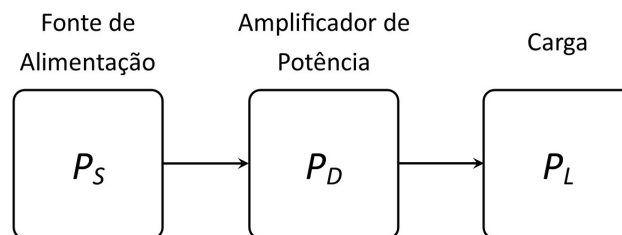


Figura 80: Representação das potências.

Fonte: Adaptado de (BORTONI,).

Nesta seção, serão apresentados alguns tipos de amplificadores, bem como conceitos que se fazem importantes para a sua análise.

A.1 EFICIÊNCIA

A eficiência indica a capacidade que um determinado sistema tem de transformar a potência consumida em potência útil, portanto, em amplificadores é representado pela relação entre a potência de saída P_O pela potência de entrada P_I , como mostra a equação (47).

$$\eta = \frac{P_o}{P_i} \quad (47)$$

Que no caso, sua forma percentual escreve-se $\eta_{\%} = \eta \times 100$.

Na situação já citada, representado na figura 80, a potência fornecida por uma fonte de alimentação P_S é entregue a carga P_L através de um circuito amplificador. Este amplificador, em condições reais, dissipa parte da energia em forma de calor P_D . Sendo assim, o rendimento, ou eficiência, do PA será maior quanto menor for a dissipação de potência pelo amplificador.

A.2 POTÊNCIA DE ENTRADA

A potência de entrada é definida pela potência em corrente contínua (CC) que uma fonte fornece. Sem nenhum sinal de entrada, a corrente CC drenada é a própria corrente de polarização do coletor do transistor I_{CQ} . Assim, a potência de entrada é definida pela equação (48).

$$P_i(CC) = V_{CC}I_{CQ} \quad (48)$$

A.3 POTÊNCIA DE SAÍDA

A potência de saída P_O é definida pela potência entregue a carga, ou seja, após a amplificação do sinal de entrada e consequente dissipação de energia no processo de chaveamento, uma potência P_L é fornecida a carga R_L (BOYLESTAD; NASHELSKY, 1999).

Em valores *rms*, a potência de saída pode ser expressa usando-se:

$$P_o = \frac{V_L^2(rms)}{R_L} \quad (49)$$

Usando-se valores de *pico*, a potência de saída pode ser expressa usando-se:

$$P_o = \frac{V_L^2(p)}{2R_L} \quad (50)$$

Usando-se valores *pico – a – pico*, a potência de saída pode ser expressa usando-se:

$$P_o = \frac{V_L^2(pp)}{8R_L} \quad (51)$$

A.4 CLASSE DE OPERAÇÃO

O que determina o tipo de classe de operação de um amplificador é o modo como os transistores do estágio de saída operam, de forma a obter maior linearidade e/ou eficiência (BORTONI,). Esta classificação, portanto, dependerá da forma do sinal de tensão e/ou de corrente, da porcentagem de tempo que o dispositivo se encontra em modo de condução e do comportamento do dispositivo.

Desta forma, a classe de amplificador a ser escolhida em um projeto depende das características necessárias para tal aplicação. Embora os amplificadores classe A, classe AB e classe B sejam os mais usados como amplificadores de potência, há outros amplificadores populares por causa de sua eficiência muito alta e por operarem a altas frequências (BOYLESTAD; NASHELSKY, 1999).

Nos tópicos a seguir, serão abordados alguns amplificadores de alta eficiência comumente utilizados em aplicações de média e alta frequência.

A.4.1 CLASSE C

Um amplificador Classe C é polarizado para operar em menos de 180° , porém, o circuito sintonizado na saída fornecerá um ciclo completo do sinal de saída para uma determinada frequência de ressonância definido pelo circuito tanque LC , figura 81. Portanto, um PA classe C é limitado para uso em uma frequência fixa, como em circuitos de comunicações (TERMAN, 1943) (BOYLESTAD; NASHELSKY, 1999). Em Terman (1943) já há a descrição de um PA classe C de alta eficiência utilizando válvula-tríodo, atualmente, com o uso de transistores de efeito de campo (FET) e de componentes passivos de qualidade permite-se a este amplificador uma eficiência maior que 90%.

A.4.2 CLASSE D

O PA Classe D é muito utilizado em amplificadores de áudio, este opera com sinais digitais ou pulsados, ou seja, é necessário converter qualquer sinal de entrada em uma forma de onda pulsada para fornecer uma grande potência à carga, conseguindo uma eficiência além de 90% (BOYLESTAD; NASHELSKY, 1999). Entretanto, não se deve confundir a letra D que o define com o fato de trabalhar com sinais digitais, isto se deve a continuação da série. A figura 82 apresenta o diagrama do circuito base de um amplificador classe D.

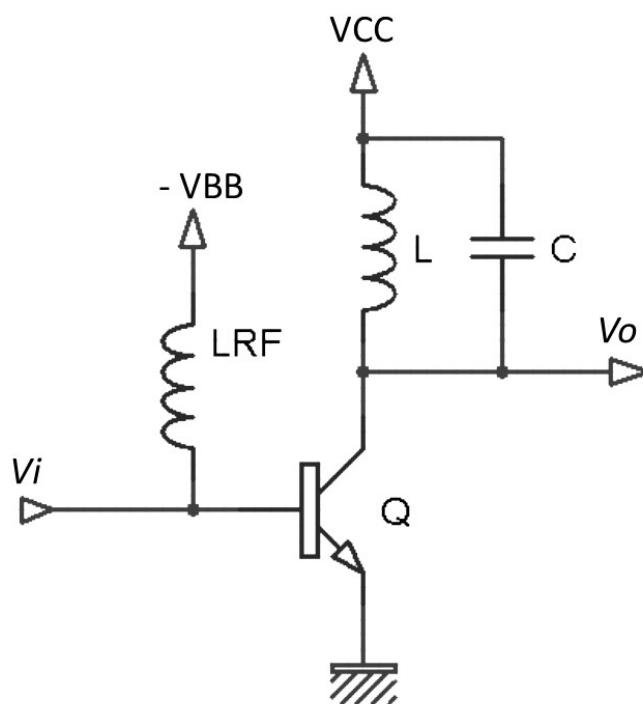


Figura 81: Diagrama do circuito base de um *PA* classe C.
Fonte: Adaptado de (BOYLESTAD; NASHELSKY, 1999).

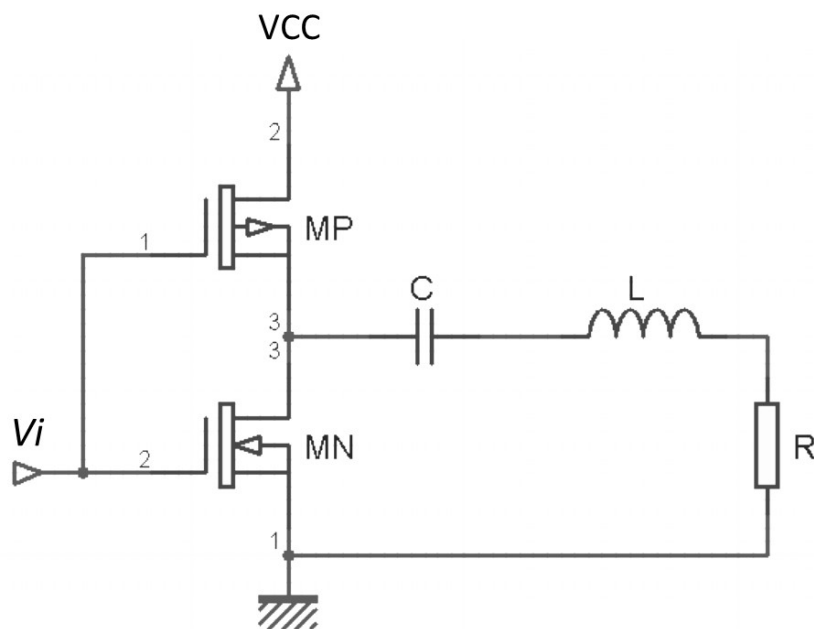


Figura 82: Diagrama do circuito base de um *PA* classe D.
Fonte: Adaptado de (LASKOVSKI et al., 2009).

A.4.3 CLASSE E

O amplificador de potência classe E, figura 7, utiliza da impedância de múltiplos circuitos ressonantes para definir a frequência que há a menor perda no transistor de chaveamento. Esta característica é obtida encontrando o ponto entre os picos de impedância do circuito ressonante série e paralelo, como mostra a figura 84 (SOKAL; SOKAL, 1975; TROYK; SCHWAN, 1992).

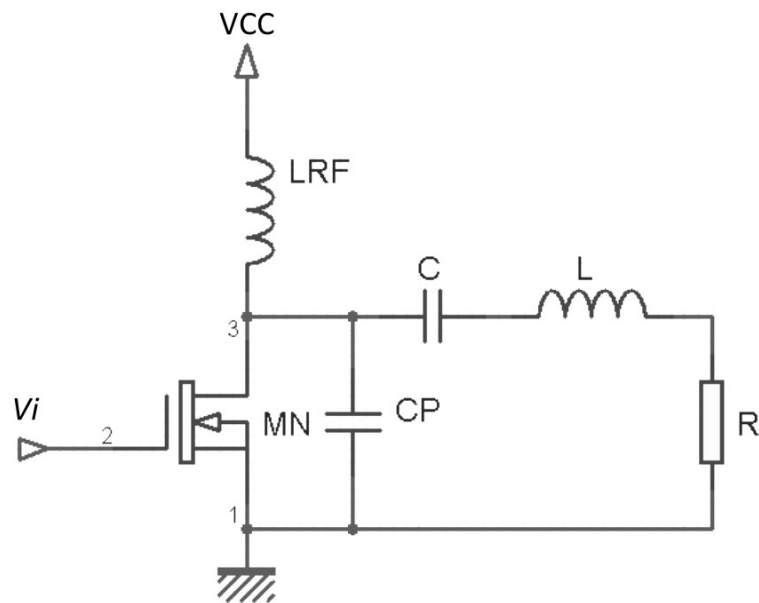


Figura 83: Diagrama do circuito base de um PA classe E.

Fonte: Adaptado de (LASKOVSKI et al., 2009).

Encontrar o ponto ótimo não é trivial, para isso há diversas técnicas que em conjunto com bons componentes permitem chegar a uma eficiência superior a 90%. Um PA bem projetado permite gerar um sinal senoidal de boa qualidade com frequência igual a frequência de chaveamento (TROYK; SCHWAN, 1992). A figura 85 apresenta as formas de onda da tensão e corrente para uma eficiência ótima do amplificador.

Devido a sua alta eficiência, boa resposta em altas frequências, e uso de circuitos ressonantes. O amplificador classe E tem sido amplamente aplicado a circuitos de transmissão de energia e dados via *link* indutivo, tais como em (TROYK; SCHWAN, 1992; LASKOVSKI; YUCE, 2011; MA et al., 2010).

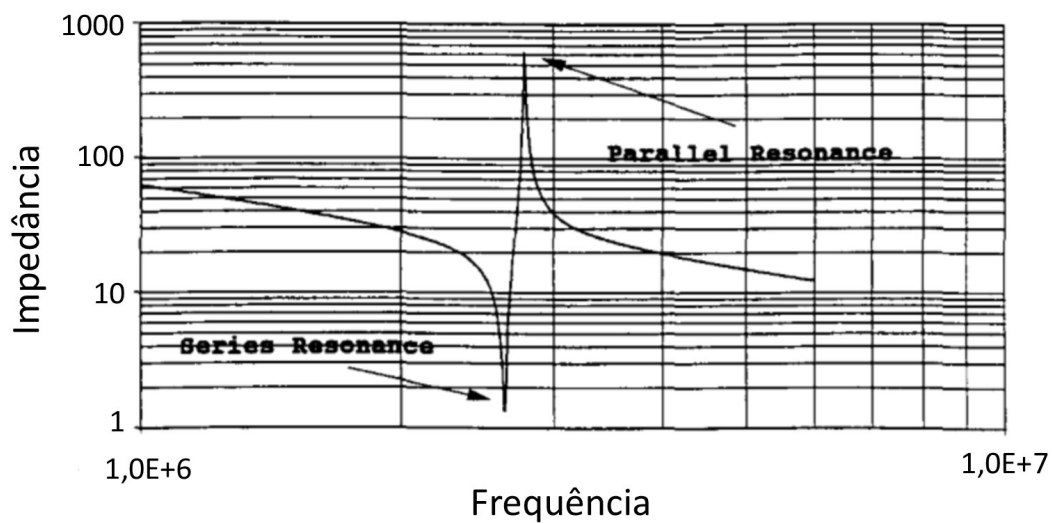


Figura 84: Impedância de uma típica carga ressonante operando a multi frequências. A frequência do PA Classe E esta localizado entre os picos da ressonância paralela e série.

Fonte: Adaptado de (TROYK; SCHWAN, 1992).

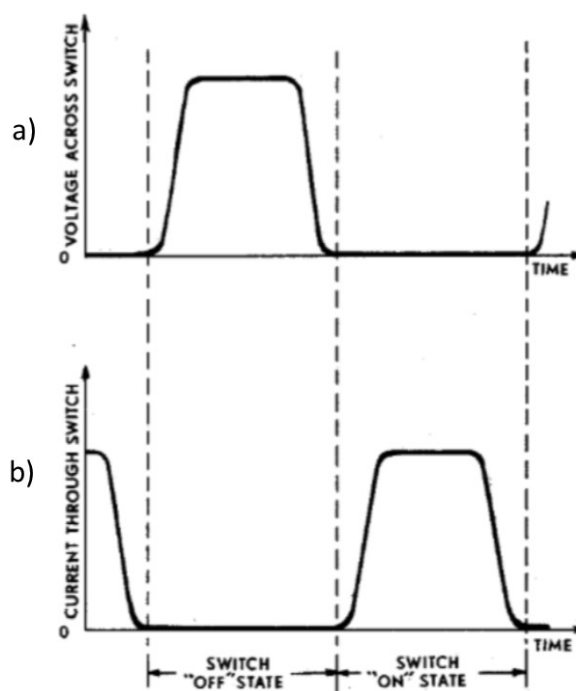


Figura 85: Forma de onda ótima da a) Tensão e b) corrente para a máxima eficiência de um PA classe E.

Fonte: Adaptado de (SOKAL; SOKAL, 1975).

A.4.4 CLASSE F E F^{-1}

O amplificador classe F opera com múltiplos circuitos ressonantes manipulando as harmônicas da frequência fundamental. A figura 86 apresenta o circuito base de um PA classe F. Da mesma forma que o amplificador classe E, o classe F e F^{-1} tem sido alvo de vários estudos devido a boa forma de onda obtida aliado a possibilidade de operar a altas frequências e sua alta eficiência (XIONG et al., 2014; MOON et al., 2012; GAO et al., 2006). A eficiência teórica para um amplificador que usa três harmônicas é de 88,4%, enquanto para um que usa até a quinta harmônica possui uma eficiência de 92% (STEYAERT; REYNAERT, 2006).

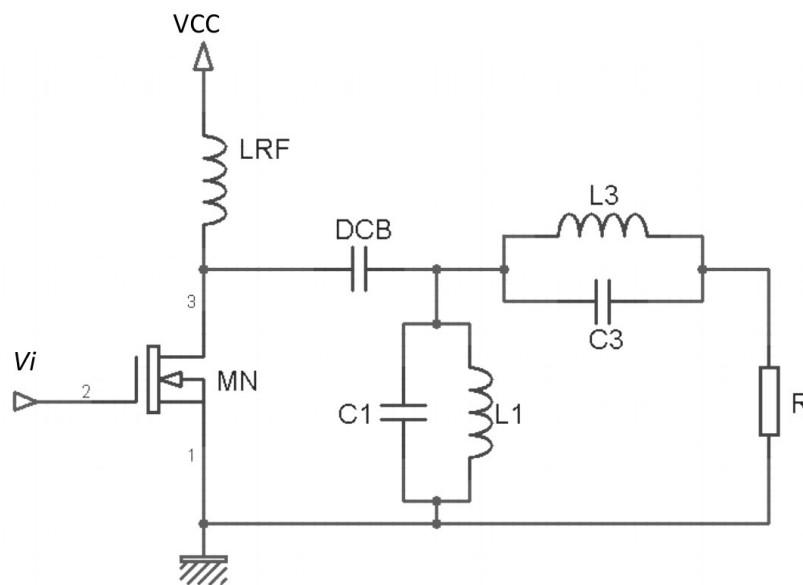


Figura 86: Diagrama do circuito base de um PA classe F

Fonte: Adaptado de (LASKOVSKI; YUCE, 2011).

No caso do classe F^{-1} , ocorre uma troca das formas de onda da tensão e da corrente do classe F, como mostra a figura 87 (MOON et al., 2012).

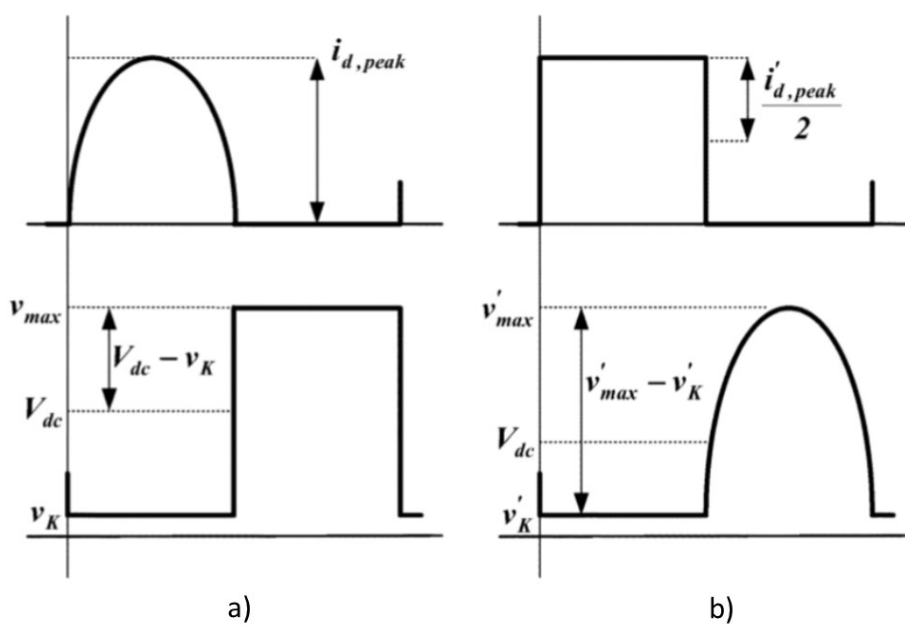


Figura 87: Forma de onda da tensão e corrente ideais de um amplificador a) classe F e b) classe F^{-1} .

Fonte: Adaptado de (WOO et al., 2006).

APÊNDICE B – CONCEITOS INICIAIS DE UM SISTEMA DE COMUNICAÇÃO

B.1 MODULAÇÃO

A modulação trata-se de técnicas para inserir informação a uma portadora qualquer, seja manipulando sua frequência, amplitude ou fase. Analogamente, a demodulação trata-se da retirada da informação inserida em uma portadora. Quando uma informação a ser transmitida é composta por um sinal contínuo no tempo, chama-se de modulação analógica. No entanto, se essa informação é composta por pulsos que indicam palavras da mesma, chama-se de modulação digital.

B.1.1 MODULAÇÃO EM AMPLITUDE (AM)

Uma das modulações, e conseqüente demodulação, mais simples de ser implementada é a modulação em amplitude (AM), que consiste em manipular a amplitude da portadora A_P de acordo com os dados a serem transmitidos, definido pelo sinal modulante $m(t)$, enquanto a fase e a frequência continuam inalteradas. Em contrapartida a simplicidade de implementação, a modulação AM possui grande sensibilidade a ruídos, gerados das mais diversas fontes, portanto, é amplamente utilizado em aplicações com baixo ruído ou que haja a necessidade de circuitos simples e baratos para modulação e demodulação dos dados (NASCIMENTO, 2000). A figura 88 demonstra bem esta ideia, ao qual verifica-se que há uma envoltória sobre a portadora de frequência f_P bem maior que a frequência de transmissão dos dados. Matematicamente, pode-se descrever um sinal AM através da equação (52), na qual $s(t)$ corresponde ao sinal transmitido em função do tempo t , e k_P corresponde ao ganho de amplitude sobre o sinal modulante.

$$s(t) = A_P[1 + k_m m(t)] \cos(2\pi f_P t) \quad (52)$$

Quando o sinal modulante é um sinal digital, classifica-se o tipo de modulação como modulação por mudança de amplitude (ASK), ao qual utiliza-se um nível de amplitude para cada palavra de informação a ser transmitida. No caso binário (BASK), haverá apenas dois níveis,

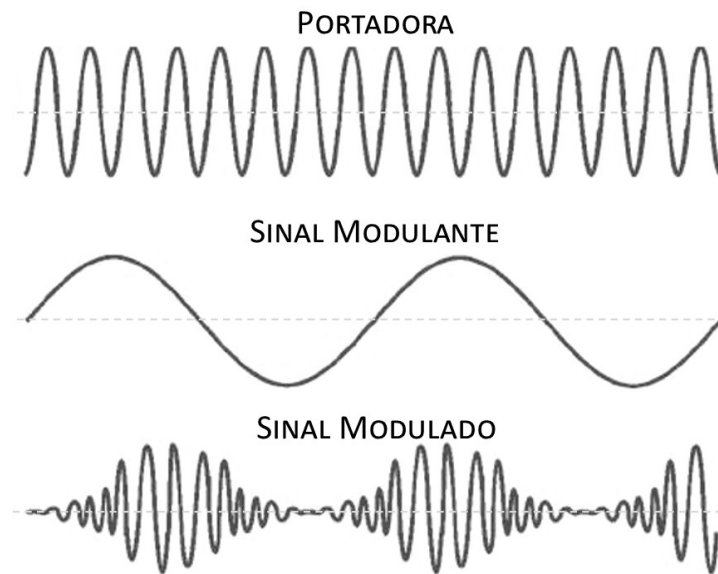


Figura 88: Modulação AM.

Fonte: Adaptado de (NASCIMENTO, 2000) e (MECATRÔNICA ATUAL, 2013).

representando o nível lógico baixo '0' e nível lógico alto '1'. Em um caso especial do *BASK* há a modulação *On-Off Keying (OOK)* ao qual o nível lógico alto é determinado pela presença da portadora, e nível baixo significa a ausência da portadora, ou seja, ligado ou desligado. Já no caso em que há diversos níveis classifica-os como *Multilevel Amplitude Shift Keying (MASK)* (FARIAS, 2007). A figura 89 demonstra a envoltória sobre o sinal da portadora para cada tipo de *ASK*.

B.1.2 MODULAÇÃO EM FREQUÊNCIA (*FM*)

A modulação em frequência (*FM*) utiliza de várias frequências para diferenciar cada palavra de uma informação, enquanto a amplitude e a fase permanecem inalteradas. Desta forma, sinais modulados em *FM* possui menor ocorrência de erros comparado a *AM*, porém, sua implementação e análise matemática são mais complexas (NASCIMENTO, 2000). A equação (53) demonstra a representação matemática da modulação *FM* no tempo contínuo, na qual verifica-se que $s(t)$ é uma função não linear do sinal modulante $m(t)$.

$$s(t) = A_P \cos(2\pi f_P t + 2\pi k_F \int_0^t m(t) dt) \quad (53)$$

Na modulação digital, denomina-se a modulação *FM* como modulação por mudança

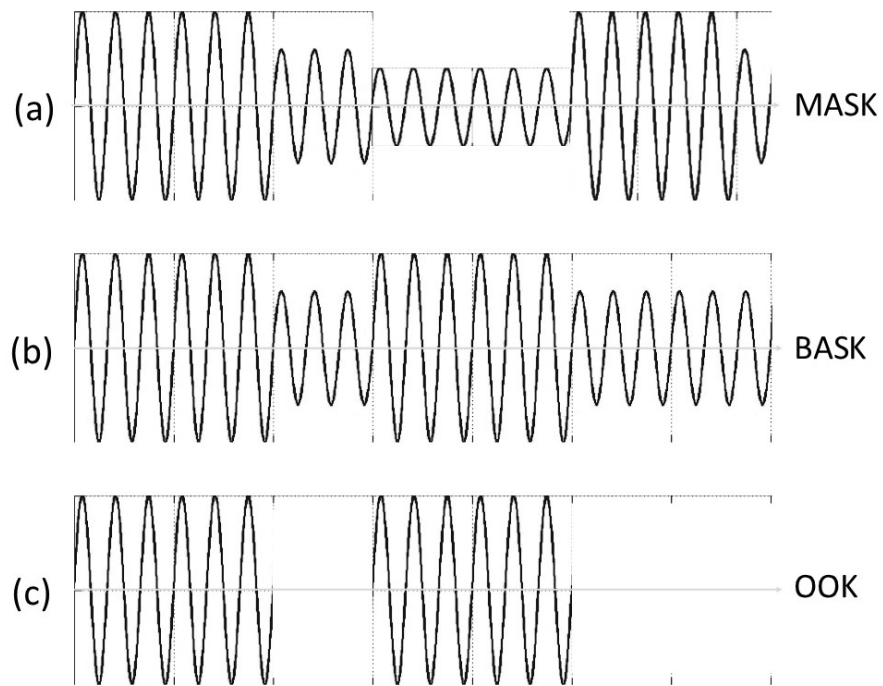


Figura 89: Modulação ASK a) MASK b) BASK e c) OOK.

Fonte: Adaptado de (FARIAS, 2007).

de frequência (*FSK*). A figura 90 mostra a representação de uma modulação *FSK* de acordo com uma informação digital.

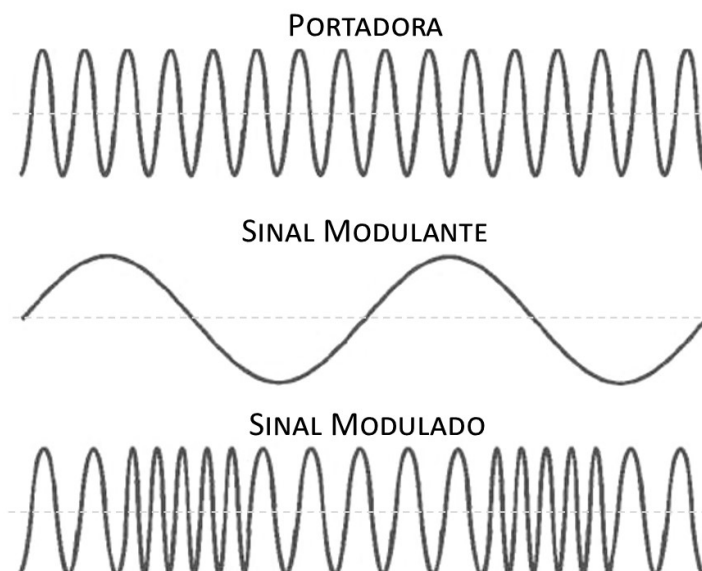


Figura 90: Modulação FM.

Fonte: Adaptado de (MECATRÔNICA ATUAL, 2013).

B.1.3 MODULAÇÃO EM FASE (PM)

A modulação em fase (PM) utiliza da alteração da fase da portadora para diferenciar cada palavra de uma informação, ou seja, o ângulo de partida do sinal transmitido, enquanto a amplitude e a frequência permanecem inalteradas. Possui uma alta complexidade de implementação para detecção, porém, permite desenvolver sistemas de comunicação com baixa sensibilidade a ruídos, portanto, alta relação entre o sinal transmitido e o ruído (SNR). Esta técnica equivalente na modulação digital chama-se, analogamente as demais, modulação por mudança de fase (PSK) (NASCIMENTO, 2000). A figura 91 mostra a representação de uma modulação digital binária em mudança de fase (BPSK) em comparação com as modulações BASK e FSK.

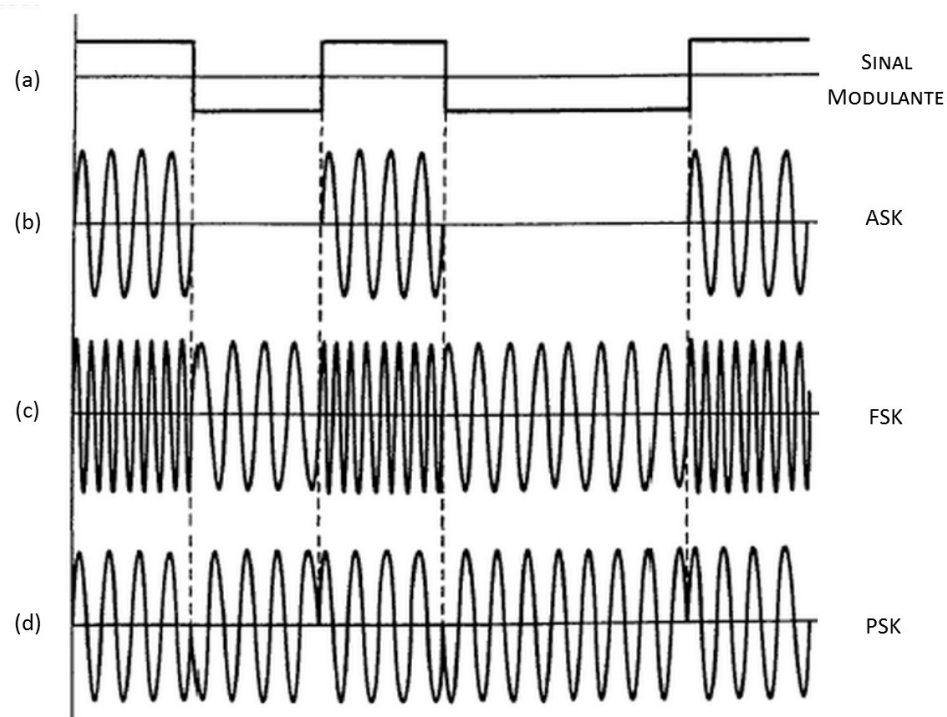


Figura 91: a) Sinal digital modulante, b) ASK, c) FSK e d) PSK.

Fonte: Adaptado de (NASCIMENTO, 2000).

B.2 CODIFICAÇÃO

Como já descrito, o sinal modulante é o sinal que possui a informação que será inserida no sinal principal. No entanto, não basta definir apenas a técnica de modulação empregada, sendo que, ao transmitir sinais digitais deve-se definir detalhadamente o que é um sinal de nível '0' e um sinal de nível '1' para que o receptor seja capaz de ler e interpretar corretamente as

palavras recebidas, e então, formar a informação. Além do mais, estas definições influenciam diretamente na ocorrência de erros na leitura. Desta forma, serão apresentadas a seguir algumas técnicas de codificação de linha, ou seja, técnicas que descrevem a representação de um bit 0 e 1 em um sinal modulante.

B.2.1 CODIFICAÇÃO UNIPOLAR E BIPOLAR

Na codificação unipolar, figura 92a) e 92b), o sinal é representado pelas tensões 0 e 3 V. Se o sinal não retorna a zero (*NRZ*) verifica-se que o sinal mantém longos períodos em um mesmo nível se não houver alteração do nível lógico. Esta característica é uma grande limitadora de sinais *NRZ*, já que quanto maior o período em um mesmo nível há maior chance de ocorrer alguma alteração indesejada neste período. Se o sinal retorna a zero (*RZ*) então obtém-se um sinal de menor potência, comparado ao *NRZ* já que o tempo em que o sinal permanece em 0 é bem menor (VARGAS, 2011).

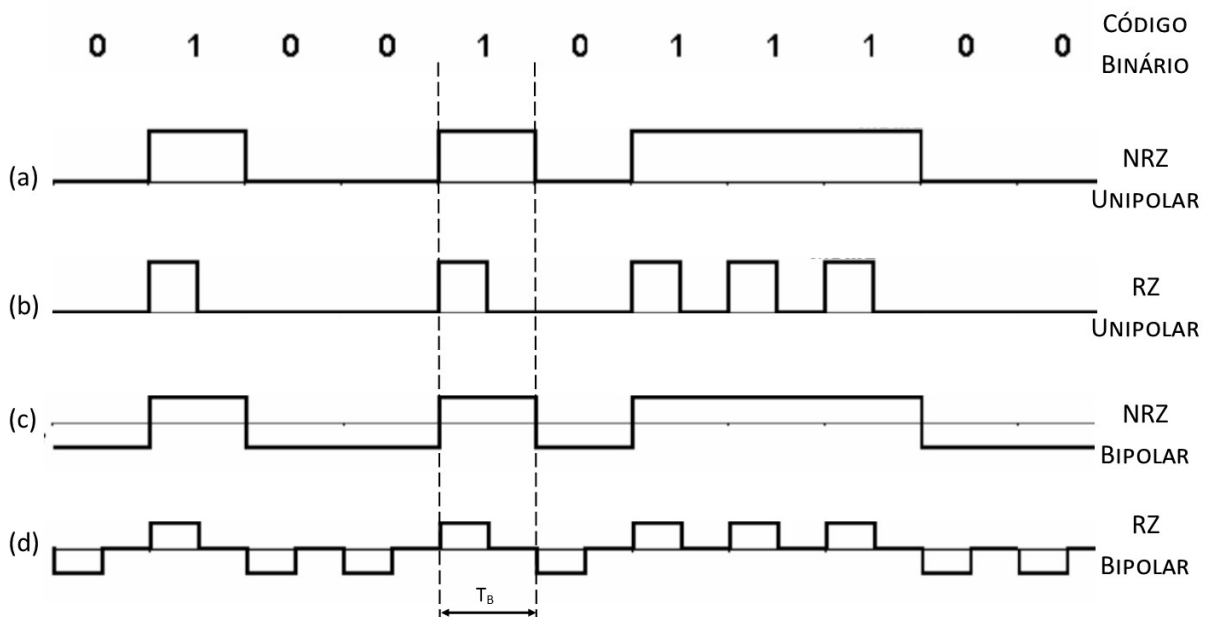


Figura 92: Codificação unipolar a) NRZ e b) RZ e codificação bipolar c) NRZ e d) RZ

Fonte: Adaptado de Vargas (2011)

Na codificação bipolar, as mesmas características entre *NRZ* e *RZ* ocorrem, porém, o sinal é representado por uma tensão simétrica, o que reduz a potência consumida, como mostra a figura 92c) e 92d).

B.2.2 CODIFICAÇÃO MANCHESTER

O código Manchester busca reduzir o surgimento de níveis indesejados, como acontece em códigos unipolares e bipolares *NRZ*, em períodos de nível lógico longos, e assegurar um forte sincronismo presente em cada bit. Para conseguir estas características o Manchester aumenta a largura de banda disponível, considerando cada nível lógico como uma transição exatamente no meio do tempo de bit T_B , ou seja, se for nível alto há uma borda de subida em um tempo de bit, se nível baixo haverá uma borda de descida ou vice-versa, como mostra a figura 93 (VARGAS, 2011).

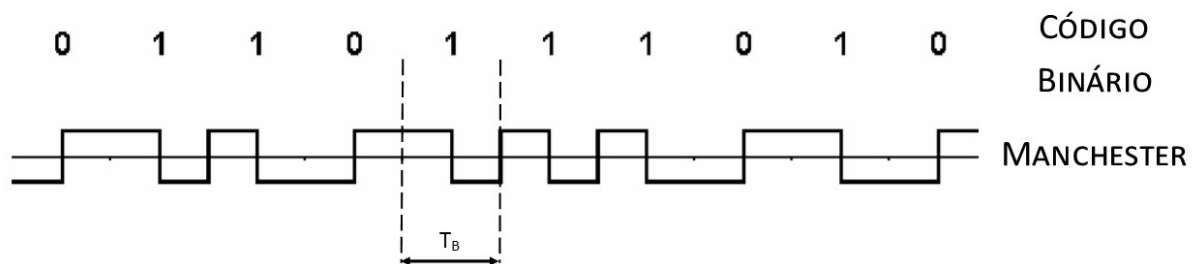


Figura 93: Codificação Manchester, considerando borda de subida como bit '0' e borda de descida como bit '1'.

Fonte: Adaptado de (VARGAS, 2011).

B.2.3 CODIFICAÇÃO DIFERENCIAL

Ao contrário dos códigos de linha *NRZ* e *Manchester* que se baseiam em discernir qual o bit que acabou de receber, comparando o nível ou a borda daquele determinado tempo de bit, o código diferencial realiza um comparativo entre o que foi obtido no período T_B atual e o período anterior, considerando que uma alteração de estado equivale a nível alto, e a permanência do estado equivale em nível baixo, como mostra a figura 94 (VARGAS, 2011; NASCIMENTO, 2000).

Como consequência de sua detecção via alteração de estado, se houver erro na leitura de um bit, isto acarretará em erro na leitura dos demais bits a seguir.

B.2.4 CODIFICAÇÃO DIFERENCIAL BIFÁSICA

A codificação diferencial bifásica (*DPC*), possui característica que se aproxima da codificação Manchester diferencial. Entretanto, a verificação de alteração de estado ocorre dentro do tempo de bit, ou seja, quando há transição durante um período T_B considerá-se nível

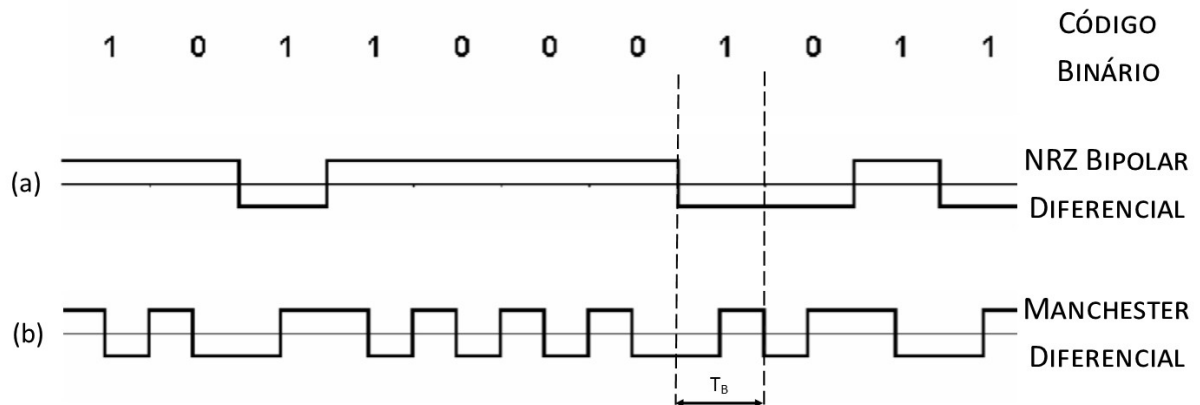


Figura 94: Codificação Diferencial a) NRZ Diferencial e b) Manchester Diferencial.

Fonte: Adaptado de (VARGAS, 2011).

alto, por exemplo, e se não há alteração interpreta-se como nível baixo, além de que a cada início do T_B há mudança de nível no sinal, isto pode ser melhor interpretado pela figura 95 (PRIORITY ONE DESIGN, 2007).

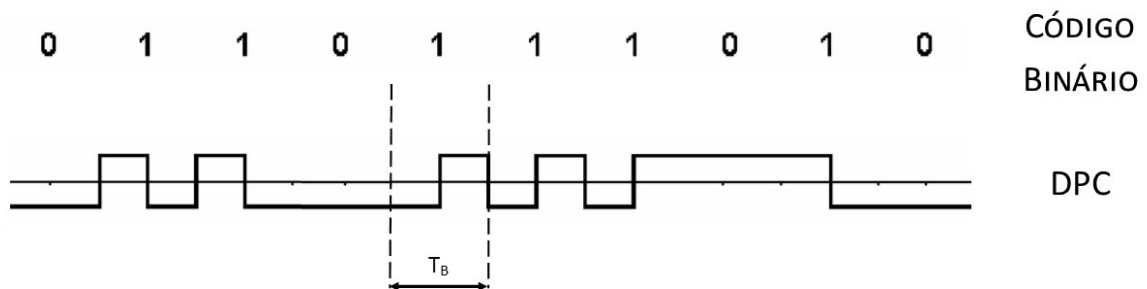


Figura 95: Codificação DBP.

Fonte: Adaptado de (FINKENZELLER, 2010).

B.2.5 CODIFICAÇÃO MILLER

Na codificação Miller, o bit '1' é representado por uma transição na metade do tempo de bit, enquanto o bit '0' é representado pela permanência do nível anterior. Quando há repetição de bits '0', verifica-se uma mudança do nível no início do tempo de bit, o que facilita a reconstrução do sinal no receptor (FINKENZELLER, 2010). A figura 96 apresenta a comparação entre a codificação Miller e demais tipos de codificação, incluindo a codificação Miller modificado, que representa o bit '1' com um pulso iniciando no meio do tempo de bit, já para o bit '0' a transição ocorre no início do tempo de bit.

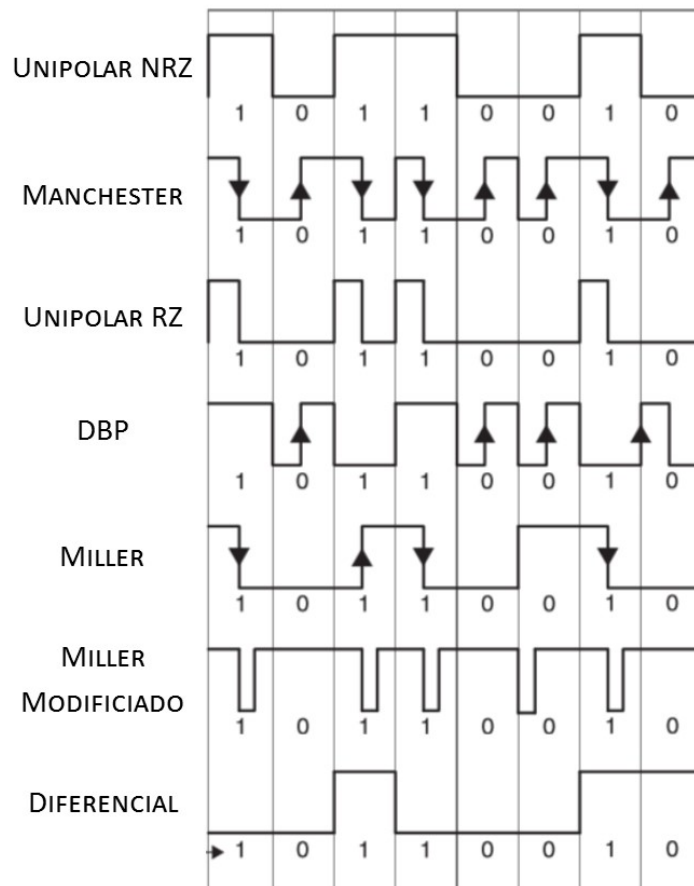


Figura 96: Comparativo entre alguns tipos de codificação.

Fonte: Adaptado de (FINKENZELLER, 2010).

B.3 INTEGRIDADE DOS DADOS

Tanto no decorrer do envio da informação pelo meio quanto no processo de demodulação da mesma, determinados bits podem ser corrompidos e lidos incorretamente. Para que o leitor tenha certeza que a informação lida é realmente a informação enviada, há técnicas para verificar a integridade dos dados recebidos, também chamadas de *checksums*.

A técnica mais simplista e popular, chama-se paridade, que consiste em verificar se, em uma sequência de bits, a quantidade de '1's é par ou ímpar. Isto é possível aplicando a operação lógica OR exclusiva (XOR) em todos os bits da sequência. Por exemplo, usando uma paridade ímpar, ao qual a ocorrência de uma quantidade ímpar de bits '1's resulta em nível lógico '0' e uma quantidade par resulta em nível lógico '1', a sequência de bits "1010 0111" possui paridade p igual a 0 (FINKENZELLER, 2010).

Geralmente, o bit de *checksum* é inserido na mensagem logo após a sequência a que

ele corresponde. Esta informação pode ser verificada nas especificações determinadas pelo protocolo de comunicação utilizado.

Outro procedimento de *checksum* é chamado de *longitudinal redundancy check (LRC)*, que pode ser calculado aplicando uma porta XOR recursivamente de *byte* em *byte*. Se o resultado for inserido na informação, é possível verificar a integridade rapidamente aplicando o procedimento *LRC* em todos os bytes enviados, incluindo o *byte LRC*, cujo resultado sempre deverá ser igual a 00_h se não houve erros (FINKENZELLER, 2010).

O uso de técnicas de verificação de integridade reduzem consideravelmente a ocorrência de leituras indesejadas, auxiliando na decisão de descarte ou não da mensagem lida. No entanto, erros pontuais podem não ser detectados por tais procedimentos, dependendo diretamente da eficiência da técnica empregada.

B.4 PROTOCOLO

Por fim, transmissor e receptor devem utilizar o mesmo protocolo de comunicação para que haja a correta leitura das informações, ou seja, deve seguir as mesmas regras para gerar e ler uma informação. Esta regras incluem desde o tipo de modulação, codificação, a definição dos bits de sincronismo, bits de identificação, bits de verificação de integridade da informação, bits de dados e bit de parada. Para exemplificar, será utilizado o padrão *ISO 10536* que define regras a cerca de transmissores e receptores de Identificação por Radio Frequência (*RFID*) para cartões inteligentes e os padrões *ISO 11784* e *ISO 11785* que definem a estrutura da codificação e conceitos técnicos, respectivamente, para sistemas *RFID* aplicados em identificação de animais.

A tecnologia *RFID* é um exemplo de sistema de comunicação passivo. Geralmente sistemas *RFID* passivo são utilizados para controle de acesso, identificação de animais e aplicações de baixo custo. As frequências utilizadas por este sistema estão ligadas às larguras de banda sem licenciamento obrigatório - *Industrial, Scientific and Medical (ISM)* (LUIS, 2010; FINKENZELLER, 2010). Portanto, há sistemas entre 100 e 135 kHz, 13,56 MHz e 2,45 GHz. Comercialmente, é de fácil acesso etiquetas (*tags*) ou cartões de 125 kHz ou 13,56 MHz destinadas ao controle de acesso e identificação (XU et al., 2014).

B.4.1 *ISO 10536*

A *ISO 10536*, é uma norma internacional da *International Organization for Standards (ISO)* define as regras para desenvolvimento de cartões de *RFID* que utilizam de acoplamento magnético para transmitir informações em distâncias até 2 cm. A *ISO 10536* é dividida em

quatro partes que definem características físicas, especificações do acoplamento, procedimentos eletrônicos e protocolo de transmissão.

O protocolo de comunicação definido pela *ISO 10536* especifica que quando há uma comunicação do cartão para o leitor, o mesmo deve utilizar modulação *BPSK* em uma subportadora de 307.2 kHz. Já na comunicação do leitor com o cartão, a modulação deve ser *Quadrature Phase Shift Keying (QPSK)* e codificação *NRZ* em banda passante.

B.4.2 *ISO 11784*

O padrão *ISO 11784* determina o protocolo de comunicação para identificação de animais deve possuir 8 bytes (64 bits) de informação, por exemplo, o primeiro bit indica se a aplicação é em animais ou não, os bits 17 a 26 indicam o país de acordo com a *ISO/IEC 3166*, enquanto os bits 27 a 64 carregam o código de identificação nacional (FINKENZELLER, 2010).

B.4.3 *ISO 11785*

O padrão *ISO 11784* determina as características técnicas de leitores e *tags* quando aplicados a identificação de animais. A padronização das técnicas de modulação, codificação e demais especificações facilitam a fabricação de leitores que leiam *tags* dos mais diversos fabricantes.

A *ISO 11784* especifica que a frequência de operação do leitor deve ser de $134,2 \pm 1,8$ kHz. Além de estipular os tempos de envio da informação e recepção, ao qual, o leitor deve gerar um campo magnético variável responsável por ativar a *tag* durante 50 ms e desabilitar este campo durando 3 ms. Durante o primeiro período de 50 ms o leitor aguarda a resposta da *tag*. No caso de uma comunicação bidirecional, seja *full-duplex* ou *half-duplex*, se o período de 50 ms não for suficiente para transmitir a informação, pode-se estender o tempo até 100 ms. No caso de uma comunicação sequencial, os dados começam a ser recebidos no período de 3 ms, já que os 50 ms cujo campo de ativação esta habilitado ocorre a carga de um capacitor que suprirá a energia da *tag* durante o intervalo que não há campo. Neste último caso o tempo de pausa do campo pode ser estendido a até 20 ms (FINKENZELLER, 2010).

Para sistemas *full/half-duplex*, o padrão determina o uso da modulação *ASK* através do procedimento de modulação de carga, que corresponde ao chaveamento de uma carga resistiva ou não; responsável por variar a impedância do secundário do *link* indutivo, conseqüentemente, alterando a amplitude do campo magnético acoplado. A codificação utilizada é a codificação

diferencial bifásica (*DBP*), e a taxa de bit deve corresponder a divisão da frequência do leitor por 32, que no caso para 134,2 kHz, obtém-se uma taxa de transmissão de 4194 bit/s (FINKENZELLER, 2010).

Seu protocolo de comunicação também determina que haja 11 bits de cabeçalho, ou *header*, responsável por indicar o início da comunicação e auxiliar no sincronismo, e outros 113 bits de informação divididos em: código de identificação e bits para confirmação da integridade da mensagem além da inserção de bits de *stuffing* para reduzir a probabilidade de uma sequência igual ao *header* “00000000001”, como mostra a figura 97 (FINKENZELLER, 2010).

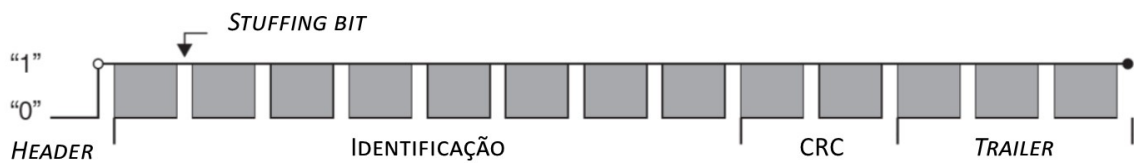


Figura 97: Estrutura dos dados no protocolo de comunicação definido pelo padrão ISO 11784.

Fonte: Adaptado de (FINKENZELLER, 2010).

Já para sistemas sequenciais, a técnica de modulação que deve ser empregada é a *FSK* com codificação *NRZ*, considerando 134,2 kHz como nível lógico '0' e 124,2 kHz como nível lógico '1'. Neste caso a taxa de transmissão equivale a frequência de transmissão dividido por 16, assim, a taxa de bit é de 8387 bit/s para nível baixo e 7762 bit/s para nível alto.

B.4.4 EM 4100

EM4100 é um circuito integrado desenvolvido pela *EM Microelectronics*, para uso em cartões *RFID*. Suporta apenas o envio de informação, sendo muito utilizado em sistemas de controle de acesso. Para que seja possível utilizá-lo ou desenvolver dispositivos que o leia, é necessário verificar as características do seu próprio protocolo.

No caso do *EM4100*, seu protocolo define até três tipos de codificação possível: Manchester, *DPC* e *PSK*, podendo trabalhar a 64, 32 ou 16 períodos da frequência de operação. A faixa de frequência é de 100 a 150 kHz, sendo determinado pela frequência de ressonância do circuito LC inserido externamente (EM MICROELECTONIC, 2004; PRIORITY ONE DESIGN, 2007).

Outro ponto fundamental é a definição dos bits que formam a mensagem. São 64 bits transmitidos, composto por 9 bits de *reader*, 8 bits de identificação, 32 bits de dados, 14 bits de paridade e 1 bit de parada. O *reader* é responsável por indicar o início do envio dos

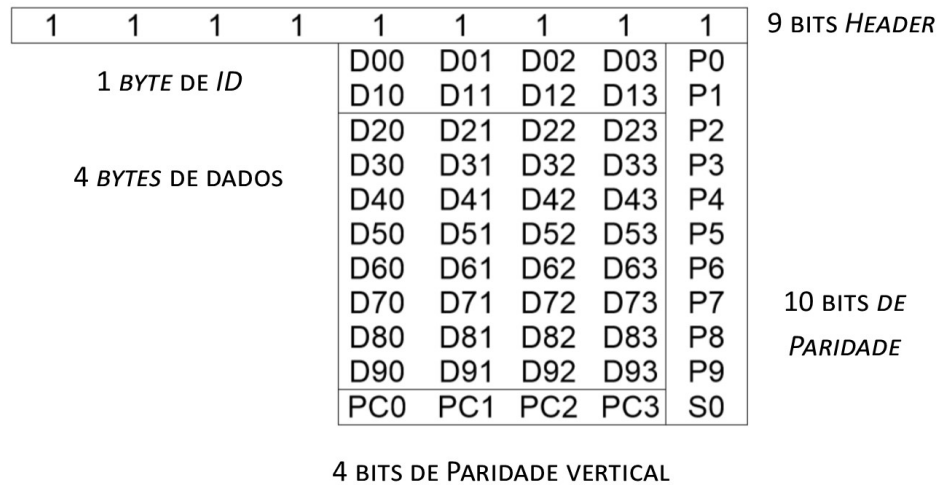


Figura 98: Estrutura dos dados no protocolo de comunicação do circuito integrado EM4100.

Fonte: Adaptado de (EM MICROELECTONIC, 2004).

dados e auxiliar no sincronismo da comunicação, já os bits de paridade são divididos em dois blocos: 10 bits correspondem a paridade horizontal de cada sequência de 4 bits de dados, e 4 bits correspondem a paridade vertical das 4 colunas de dados apresentada na figura 98.

APÊNDICE C - ESQUEMÁTICOS E PCIS FINAIS

C.1 DISPOSITIVO IMPLANTÁVEL

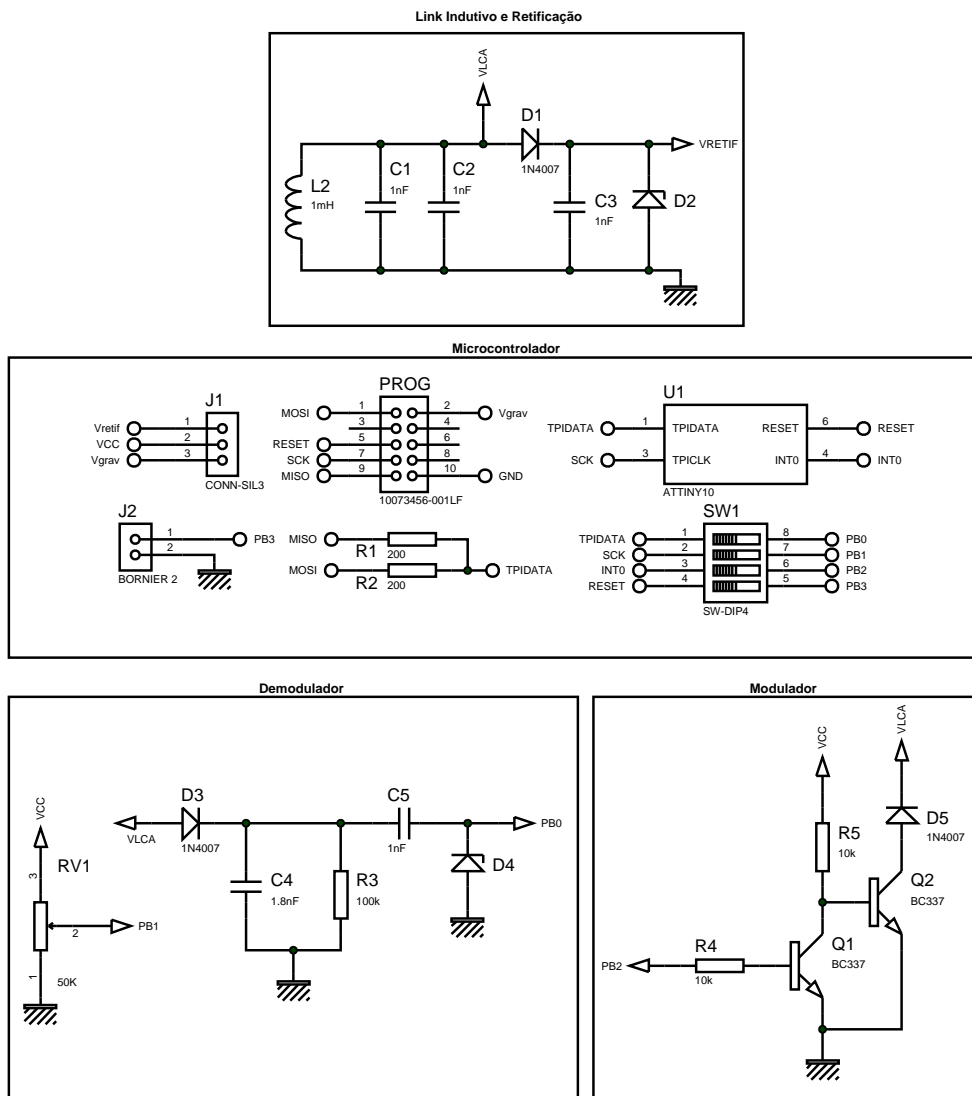
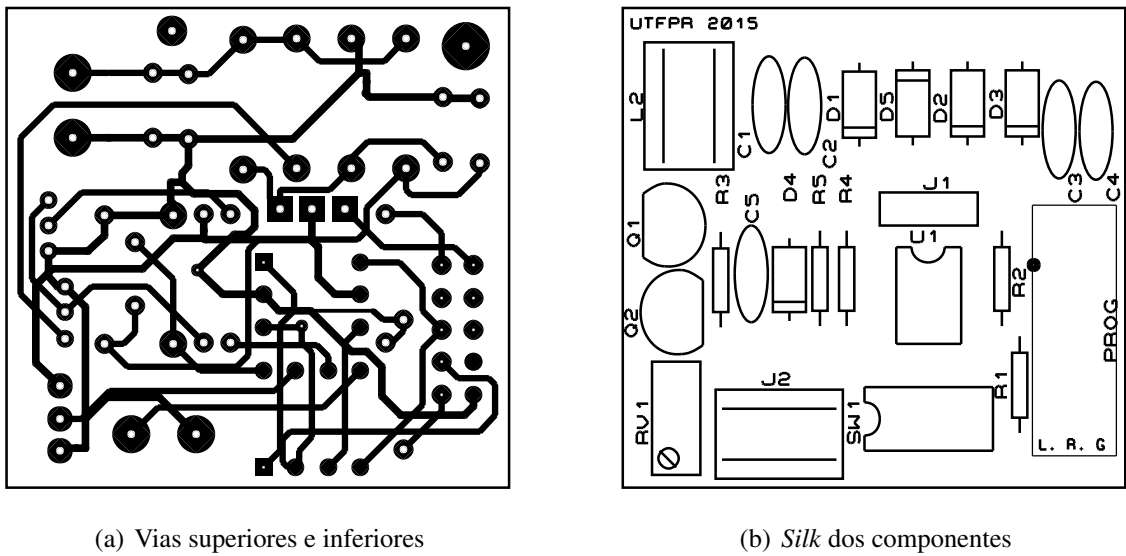


Figura 99: Esquemático da versão final do dispositivo implantável.

Fonte: Autoria Própria.



(a) Vias superiores e inferiores

(b) Silk dos componentes

Figura 100: Projeto da PCI do dispositivo implantável.

Fonte: Autoria Própria.

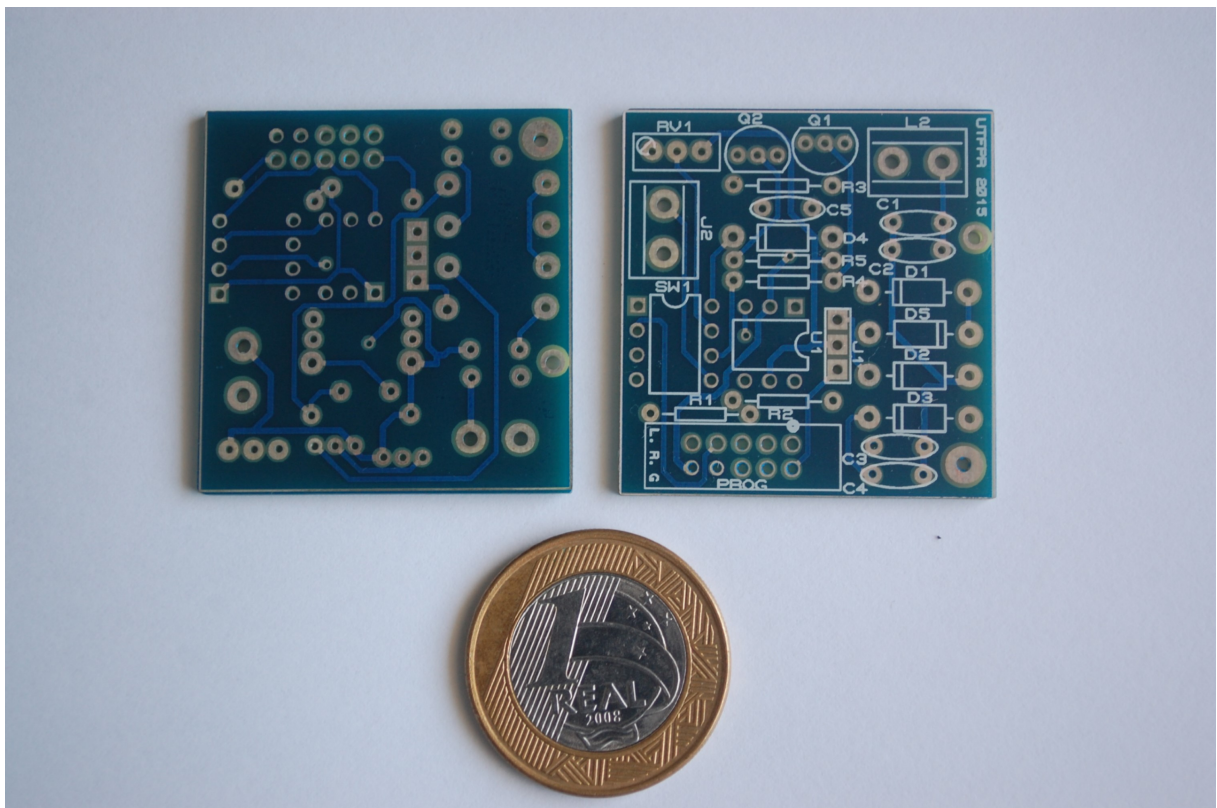


Figura 101: PCI final do dispositivo implantável.

Fonte: Autoria Própria.

C.2 DISPOSITIVO EXTERNO

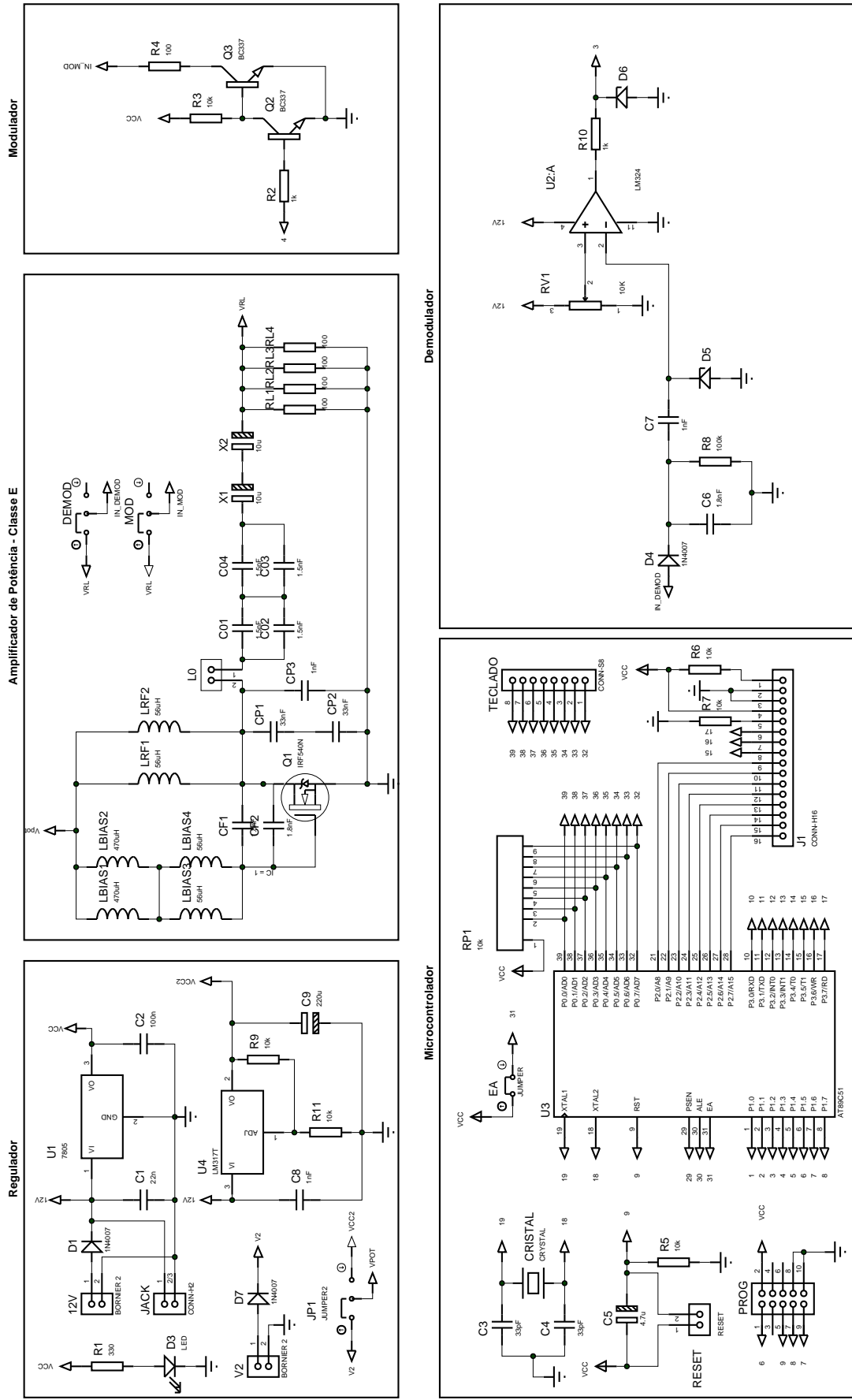
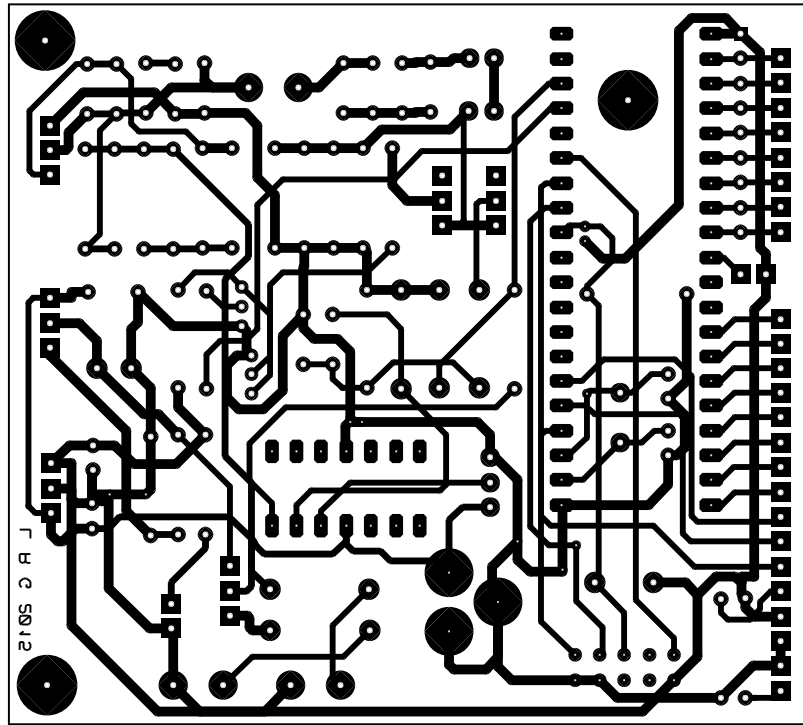
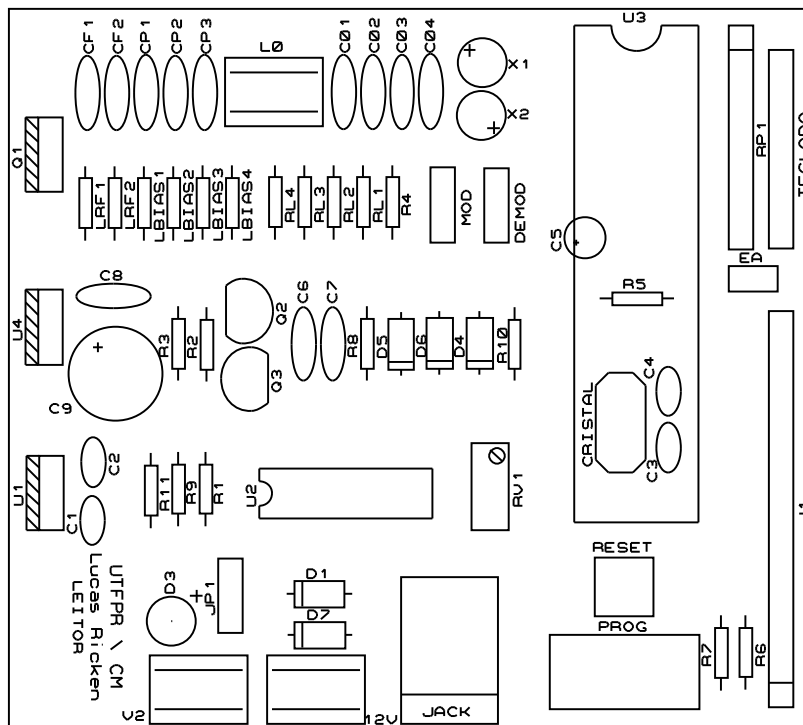


Figura 102: Esquemático da versão final do dispositivo externo.

Fonte: Autoria Própria.



(a) Vias superiores e inferiores



(b) Silk dos componentes

Figura 103: Projeto da PCI do dispositivo externo.

Fonte: Autoria Própria.

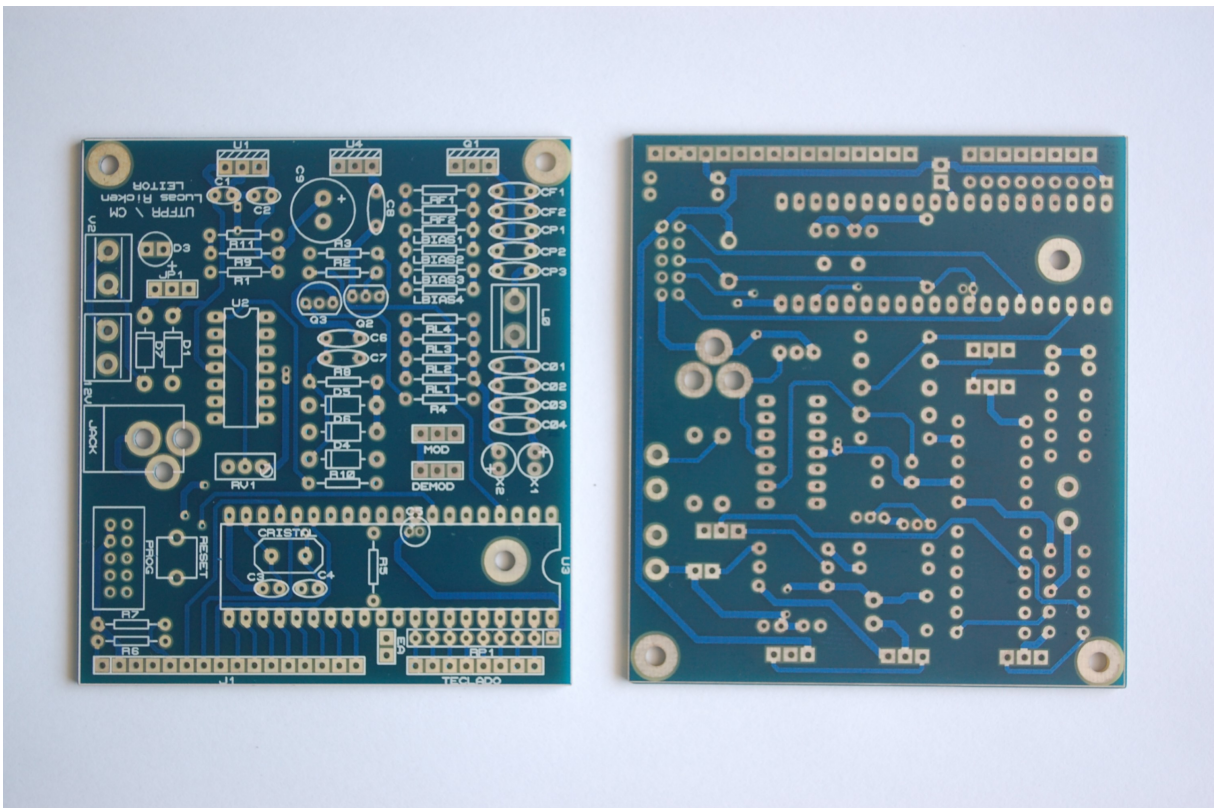


Figura 104: PCI final do dispositivo externo.

Fonte: Autoria Própria.

APÊNDICE D – CÓDIGO DO DISPOSITIVO EXTERNO

```

1 //*****
//Código em C do Dispositivo Externo desenvolvido para o Trabalho de
3 //Conclusão de Curso.
//Aluno: Lucas Ricken Garcia                      Ano: 2014/2015
5 //Orientador: Ricardo Bernardi                   MCU: AT89S52
//*****
7
#include <REGX52.h>
9 #include <stdio.h>
11
//*****
13 //          Declaração de constantes e pinos
//*****
15 #define Tb 30
17 #define DE      P3_5          // enable
#define DRW     P3_6          // read / write
19 #define DRS     P3_7          // register select
#define D7      P2_7          // busyflag
21 #define INRFID  P1_2          // Entrada do sinal demodulado (RFID)
#define MONITOR P1_0          // Monitora a leitura do RFID
23
//*****
25 //          Declaração das variáveis globais
//*****
27 bit estadoAnt = 0, Ant = 0;
bit estadoAtual = 0, Atual = 0;
29 bit flag = 0, flag2 = 0, flag3 = 0;
idata unsigned char memoria[36];          // Armazena todos os bits que
    posteriormente serão enviado seguindo o protocolo.
31 unsigned int count = 0, count2 = 0, count3 = 0; // contadores para auxiliar no envio e
    recebimento da mensagem
idata unsigned char cont = 0;             // contador
33 idata unsigned char MSG[4] = {0, 2, 6, 7}; // Dados que serão enviados
idata unsigned char MSGe[4] = {1, 2, 3, 4}; // Variável que armazenará dados recebidos
35 idata unsigned char inf = 1;             // indica se a informação que será enviada
idata unsigned char final = 0;           // variável para armazenar os bits de
    paridade das colunas
37
// Variáveis para controle do teclado e display
39 bit flagrx=0;
unsigned char display[16];

```

```

41 unsigned char high=0,low=0,tecla=0,lrx=0;

42
43 void timer0 (void) interrupt 1 using 0{
    Ant = Atual;
44     Atual = INRFID;
45     if(Ant != Atual) {
46         count2 = 0;
47         count3++;
48         MONITOR = ~MONITOR;
49     }
50     count2++;
51 }
52
53 // Tratamento do timer 1 (modo 1) para obtenção do sinal adquirido do demodulador AM
54
55 void timer1 (void) interrupt 3 using 0{
    TF1 = 0;
56     flag2 = 1;
57     MONITOR = 1;
58 }
59
60 // Configura um tempo de delay de aprox. 8us
61 void delay_8us(unsigned char tempo){
62     ACC = (tempo*2)+8;
63     while (ACC > 0){
64         ACC--;
65     }
66 }
67
68
69 void iniciatimer0 () {
    TF0 = 0;
70     TH0 = 0x7B;
71     TL0 = 0x7B;
72     TR0 = 1;
73 }
74
75 void iniciatimer1 () {
76     flag2 = 0;
77     TF1 = 0;
78     TH1 = 0xFE;
79     TL1 = 0x2B;
80     TR1 = 1;
81 }
82
83 // Monitora LCD
84
85 void busy(void) {
    D7=1;
86     DRS=0;
87     DRW=1;
88     while (D7!=0){
89         DE=0;
90         DE=1;
91     }
92 }
93 }

```

```

95 // Envia comando para o LCD
void command(unsigned char val){
97     busy();
    P2=val;
99     DRS=0;
    DRW=0;
101    DE=1;
    DE=0;
103 }

105 // Envia um caracter para o LCD
void data_in_char(unsigned char val){
107     busy();
    P2=val;
109     DRS=1;
    DRW=0;
111     DE=1;
    DE=0;
113 }

115 // Envia uma string para o LCD
void data_in(char *string){
117     unsigned char i;
    for (i=0; string[i]!=0x00; i++){
119         busy();
        P2=string[i];
121         DRS=1;
        DRW=0;
123         DE=1;
        DE=0;
125     }
    }
127

// Inicia display LCD
129 void inidisplay(void){
    command(56);
131    command(12);
    command(1);
133    command(6);
    }
135

// Rotina responsável por verificar o inicio de transmissão de uma mensagem detectando o
    header e obtendo o sincronismo para leitura dos dados.
137 void verificaHeader (){
    int contador = 0;
139    count3 = 0;
    count2 = 0;
141    iniciatimer0();
    while(count3 < 17){ // aguarda a recepção de 9 bits 1.
143        if(count2 > 5){
            count3 = 0;
145        }
        contador++;
147        if(contador == 1000){

```

```

        break;
149     }
    }
151     if(contador == 1000){
        count = 64;
153     } else {
        count = 9;
155     }
    TR0 = 0;
157     TFO = 0;
    count3 = 0;
159     MONITOR = 1;
}

161

163 // Rotina de leitura da mensagem, armazenando dados e bits de paridade lidos.
void leMSG (){
165     TMOD = 0x12;
    iniciatimer1();
167     while(count < 34) {
        if(flag2 == 1){
169             TH1 = 0xFE;
            TL1 = 0x26;
171             //TL1 = 0x0F;
            if (flag == 0) {
173                 estadoAnt = INRFID;
                    flag = 1;
175             } else {
                estadoAtual = INRFID;
177                 if(estadoAnt == 0 && estadoAtual == 1){
                    memoria[count] = 1;
179                 } else if (estadoAnt == 1 && estadoAtual == 0){
                    memoria[count] = 0;
181                 }
                    flag = 0;
183                 count++;
            }
185             flag2 = 0;
            MONITOR = 0;
187         }
    }
189     TR1 = 0;
}

191 //verifica se a mensagem lida é valida , comparando os bits de paridade
bit verificaMSG (){
193     unsigned char aux = 0;
    unsigned char paridade = 0, paridade2 = 0;
    //verifica os bits de paridade horizontal
197     while(aux < 4){
        MSG[aux] = 8*memoria[9+(aux*5)]+4*memoria[10+(aux*5)]+2*memoria[11+(aux*5)]+memoria
[12+(aux*5)];
199         ACC = MSG[aux];
        paridade = P;

```

```

201     if(memoria[13+(aux*5)] != paridade){
202         return 0;
203     } else {
204         aux++;
205     }
206 }
207 // verifica os bits de paridade vertical
208 paridade2 = MSG[0]^MSG[1]^MSG[2]^MSG[3];
209 MSG[4] = 8*memoria[29]+4*memoria[30]+2*memoria[31]+memoria[32];
210 if(MSG[4] != paridade2){
211     return 0;
212 }
213
214 return 1;
215 }
216
217 // Cria a mensagem a ser enviada seguindo o protocolo de comunicação
218 void criaMSG () {
219     char cont2 = 0;
220     char cont3 = 3;
221     cont = 0;
222
223     final = MSGe[0]^MSGe[1]^MSGe[2]^MSGe[3];
224     while(cont < 33) {
225         if (cont < 9) {
226             inf = 1;
227         } else if (cont >= (9+(5*cont2)) && cont < (13+(5*cont2)) && cont < 29) {
228             inf = (MSGe[0+cont2] >> (12+(5*cont2))-cont ) & 0x01;
229         } else if (cont == 13+(5*cont2) && cont < 29) {
230             ACC = MSGe[0+cont2];
231             inf = P;
232             cont2++;
233         } else if (cont >= 29 && cont < 33) {
234             inf = (final >> cont3) & 0x01;
235             cont3--;
236         } else if (cont >= 33) {
237             inf = 0;
238         }
239         memoria[cont] = inf;
240         cont++;
241     }
242
243     if (cont == 35) {
244         cont = 0;
245     }
246 }
247
248 // Rotina responsável por alterar a saída do pino ligado ao modulador, para assim enviar a
249 // mensagem através da variação da amplitude da portadora
250 void enviaMSG () {
251     TMOD = 0x12;
252     iniciatimer1 ();
253     TH1 = 0xFE;
254     TL1 = 0x1B;

```

```

P1_3 = 0;
255 cont = 0;
while(cont < 34) {
257     if (memoria[cont] == 1) {
        if (flag2 == 1){
259             TH1 = 0xFE;
                TL1 = 0x1B;
261             if (flag3 == 0) {
                    P1_3 = 0;
263                     flag3 = 1;
                } else {
265                     P1_3 = 1;
                            flag3 = 0;
267                     cont++;
                }
269             flag2 = 0;
        }
271     } else {
        if (flag2 == 1){
273             TH1 = 0xFE;
                TL1 = 0x1B;
275             if (flag3 == 0) {
                    P1_3 = 1;
277                     flag3 = 1;
                } else {
279                     P1_3 = 0;
                            flag3 = 0;
281                     cont++;
                }
283             flag2 = 0;
        }
285     }
}

287
if (cont == 34) {
289     cont = 0;
        P1_3 = 1;
291     TR1 = 0;
}
293 }

295 void main(){

297     bit flagMSG = 0;
        unsigned char envios = 20, leituras = 20, estado = 0;
299
        //configuração do TIMER 0 e TIMER 1
301     TMOD = 0x12;    //configura timer 0 em modo 2 e timer1 em modo 1.
        TCON = 0x00;    //zera TF e TR dos timers
303     EA = 1;        //habilita todas as interrupções
        ETO = 1;        //habilita timer0
305     ET1 = 1;
307     inidisplay();

```

```

command(0x80);
309  sprintf(display, "%s", "      TCC2      ");
      data_in(display);
311  command(0xC0);
      sprintf(display, " Lucas R. Garcia  ");
313  data_in(display);

315  MONITOR = 0;

317

318  while(1){
319
      // ----- Modo Envio -----
321  if(estado == 0 && tecla == 0x77) {
          // Cria a Mensagem a ser enviada
323  // Envia a Mensagem uma vez
          command(0x80);
325  sprintf(display, " Solicitando  ");
          data_in(display);
327  command(0xC0);
          sprintf(display, " Comunicacao ... ");
329  data_in(display);
          while (envios > 0) {
331  criaMSG();
          envios--;
333  enviaMSG();
          // Gera um tempo de delay (ajustado com o auxílio do osciloscópio) para
esperar o próximo envio, facilitando a visualização nos testes
335  delay_8us(200);
          }
337  envios = 30;
          estado = 1;
339  flagMSG = 0;
      }
341  // ----- FIM: Modo Envio -----

342
343  // ----- Modo Leitura -----
344  if (estado == 1) {
          // Aguarda a recepção de uma resposta
          // if(flagMSG == 0){
347  // Verifica se recebeu 9 bits sequenciais
          // Se houve 9 bits sequenciais, com uma media de tempo dentro do esperado
inicia a leitura dos demais bits
349  while(flagMSG == 0 && tecla != 0x7E){
          verificaHeader();
351  if (count == 9) {
          if(INRFID == 0){
353  verificaHeader();
          }
355  MONITOR = 0;
          leMSG ();
357  flagMSG = verificaMSG ();
          }
359  P0=0x0F;

```

```

361         low=P0&0x0F;
362         P0=0xF0;
363         high=P0&0xF0;
364         tecla=high+low;
365     }
366     estado = 2;
367     //}
368 }
369 // ----- FIM: Modo Leitura -----
370
371 // ----- Exibição da Recepção -----
372 if (estado == 2) {
373     //Envio da MSG para o display na primeira linha
374     if(flagMSG == 1 & MSG[0] == 0x00 & MSG[1] == 0x01 & MSG[2] == 0x02 & MSG[3] == 0
375     x0A ){
376
377         // sprintf(display,"      %.1bX%.1bX%.1bX%.1bX      ",MSG[0],MSG[1],MSG[2],MSG[3],
378     MSG[4]);
379
380         command(0x80);
381         sprintf(display,"  Dispositivo  ");
382         data_in(display);
383         command(0xC0);
384         sprintf(display,"Pronto Para Uso!");
385         data_in(display);
386
387     }else{
388         command(0x80);
389         sprintf(display,"%s"," Erro na MSG :( ");
390         data_in(display);
391         command(0xC0);
392         sprintf(display,"                ");
393         data_in(display);
394         delay_8us(200);
395     }
396     estado = 0;
397 }
398 // ----- FIM: Exibição da Recepção -----
399
400 // ----- Periodo de Calibração -----
401 if(tecla == 0xE7){
402     estado = 100;
403 } else if (tecla == 0xD7) {
404     estado = 0;
405 }
406
407 if(estado == 100) {
408     // Cria a Mensagem a ser enviada
409     command(0x80);
410     sprintf(display,"%s"," -> Calibracao  ");
411     data_in(display);
412     criaMSG();
413     enviaMSG();
414     delay_8us(200);
415 }

```



```
413 // —— FIM:Exibição da Recepção ——  
414  
415 //Leitura do teclado  
416 P0=0x0F;  
417 low=P0&0x0F;  
418 P0=0xF0;  
419 high=P0&0xF0;  
420 tecla=high+low;  
421 //FIM: Leitura do teclado  
422  
423 // Envio da Tecla pressionada na segunda linha  
424 // command(0xC0);  
425 // sprintf(display,"%0.2bX - RFID ",tecla);  
426 // data_in(display);  
427 // //FIM: Envio da Tecla pressionada na segunda linha  
428 }  
429 }
```

:

APÊNDICE E – CÓDIGOS DO DISPOSITIVO IMPLANTÁVEL

```

;*****
2 ;Código em Assembly do Dispositivo implantável desenvolvido
;para o Trabalho de Conclusão de Curso.
4 ;Autor: Lucas Ricken Garcia           Ano: 204/2015
;Orientador: Ricardo Bernardi         MCU: ATtiny10
6 ;*****
;
;                               HARDWARE
;*****
;
;                               +=====+
10 ;                               PWMA/PB0 |*   | PB3 (RESET)
;                               GND   |   | Vcc
12 ;                               PWMB/PB1 |   | PB2 (CLKO)
;                               +=====+
;
14 ;
;
16 ;
;
18 ;*****
;                               CONSTANTES
;*****
20 ;*****
.EQU vref    = 0      ;vref do comparador em PB0
22 .EQU demod  = 1      ;sinal do demodulador ligado a
;                               ;entrada negativa do comparador em PB1
24 .EQU led    = 2      ;LED controlado por PB2
.EQU led2    = 3      ;LED controlado por PB3
26 .EQU EndSRAM = 0x0040 ;Endereço da SRAM
;
28 ;
;*****
30 ;                               REGISTRADORES
;*****
32 .DEF aux      = r16
.DEF aux2      = r17
34 .DEF aux3      = r18
.DEF counter0  = r19
36 .DEF counter1 = r20
.DEF counter2  = r21
38 .DEF flag      = r22
.DEF paridade  = r23
40 .DEF leitor    = r24 ; |0|0|0|0| flag |estadoAnt|estadoAtual|
.DEF buffer     = r25
42 ;
;*****

```

```

44 ;          RESET / VETORES DE INTERRUPTÃO
;*****
46 .CSEG
.org 0
48 ;Interrupt vector table
    rjmp reset      ; All Resets
50    reti          ; External Interrupt Request 0
    reti          ; Pin Change Interrupt Request 0
52    reti          ; Timer/Counter0 Input Capture
    rjmp TIM0_OVF   ; Timer/Counter0 Overflow
54    reti          ; Timer/Counter0 Compare Match A
    reti          ; Timer/Counter0 Compare Match B
56    reti          ; Analog Comparator
    reti          ; Watchdog Time-out
58    reti          ; VCC Voltage Level Monitor
    reti          ; ADC Conversion Complete
60
62 ;*****
;          TRATAMENTO DAS INTERRUPTÕES
64 ;*****
TIM0_OVF:
66    rjmp interrupt1

68 /*COMP:
    ; Salva o estado atual no leitor(0)
70    SBIS    ACSR, ACO    ; Se ACO = 1 pula a próxima instrução
    SBR     leitor , 0    ; leitor(0) = 1
72    SBIC    ACSR, ACO    ; Se ACO = 0 pula a próxima instrução
    CBR     leitor , 0    ; leitor(0) = 0
74    RETI*/

76 interrupt1:
    PUSH    aux2        ; salva registrador na pilha
78    PUSH    aux        ; salva registrador na pilha
    IN     aux,SREG     ; copia o registrador de status
80    PUSH    aux        ; salva conteúdo do SREG na pilha

82    ;SBI     PORTB, led    ; Seta bit para monitorar
    LDI    aux, 0xFF     ; Configura TH do timer
84    ;LDI    aux, 0x08
    LDI    aux2, 0x10    ; Configura TL do timer
86    OUT    TCNT0H,aux
    OUT    TCNT0L,aux2

88
    LDI    flag , 0x01

90
    POP     aux        ; obtem o SREG de volta da pilha
92    OUT    SREG,aux    ; restaura o conteúdo de SREG
    POP     aux        ; obtem o conteúdo anterior de R16 na pilha
94    POP     aux2       ; obtem o conteúdo anterior de R17 na pilha
    RETI           ; retorna da interrupção
96

```

```

98 ;*****
;
;                               PROGRAMA PRINCIPAL
100 ;*****

102 reset:                        ;Main program start

104 ; Define o inicio da pilha
LDI  aux, HIGH(0x005F); Byte Superior
106 OUT  SPH, aux                ; para o ponteiro de pilha
LDI  aux, LOW(0x005F) ; Byte inferior
108 OUT  SPL, aux                ; para o ponteiro de pilha

110 CBI  DDRB, demod             ;conectar Demod a PB0 (Attiny10 pin 1) como Entrada
CBI  DDRB, vref                ;conectar Vref a PB1 (Attiny10 pin 3) como Entrada
112 SBI  DDRB, led              ;conectar LED a PB2 (Attiny10 pin 4) como Saída
SBI  DDRB, led2               ;conectar LED a PB3 (Attiny10 pin 6) como Saída
114

CBI  PORTB, demod             ;desabilitar resistor de pull-up
116 CBI  PORTB, vref           ;desabilitar resistor de pull-up

118 LDI  aux, 0x00              ; These two lines configures
OUT  ACSR, aux                ; the Analog Comparator
120

;sincronismo
122 NOP

124

main:
126 CBI  PORTB, led

128 RCALL VerificaHeader        ; chama rotina de verificação do Header
RCALL LeMSG                    ; chama a rotina para ler a MSG
130 CLR  aux
loopmain:
132 INC  aux
CPI  aux, 250
134 BRNE loopmain

136 RCALL VerificaMSG           ; chama a rotina para verifica a MSG lida
CLR  aux2                      ; Se aux(retorno da rotina VerificaMSG) = 0,
138 CPSE aux, aux2              ; pula proxima instrução
RJMP main

140

;CBI  PORTB, led
142 RCALL ComparaMSG            ; chama a rotina de comparação da mensagem
SER  aux2                      ; Se aux(retorno da rotina ComparaMSG) = 0xFF,
144 CPSE aux, aux2              ; pula proxima instrução
RJMP main

146

RCALL CriaMSG

148

LDI  counter0, 100
enviando:
150 RCALL EnviaMSG              ; chama a rotina de comparação da mensagem

```

```

152     DEC     counter0           ; envia 10 vezes a mensagem
154     CPI     counter0 , 0
155     BRNE    enviando
156
157     ; TESTE ;
158     ;SBI     PORTB, led           ; seta o led para monitoramento
159
160     RJMP    main
161
162     ;-----
163     ;                               Rotinas do Leitor
164     ;-----
165     ;-----
166     ; Rotina de Verificação do Header -----
167     ; --- Configura-se o timer0 para "estourar" a cada 250 us aprox.
168     ; ... assim verifica a presença de 8 bordas seguidas, quando
169     ; ... encontradas finaliza a rotina, desabilita as interrupções
170     ; ... e retorna para o programa principal
171     ;-----
172     ; Altera: aux, aux2, aux3, flag, counter0, leitor
173     ;
174     VerificaHeader:
175         settimer:                ; Configura timer0
176         LDI     aux,0x01
177         OUT     TCCR0B,aux        ; Timer clock = System Clock / 8 = 1MHz
178         LDI     aux,1<<TOV0
179         OUT     TIFR0,aux        ; Limpa o bit responsável
180         LDI     aux,1<<TOIE0
181         OUT     TIMSK0,aux       ; Enable Timer/Counter0 Overflow Interrupt
182         LDI     aux2, 0xFF       ; Configura TH do timer
183         LDI     aux, 0x3F       ; Configura TL do timer
184         OUT     TCNT0H,aux2
185         OUT     TCNT0L,aux
186         CLR     counter0        ; zera registradores
187         CLR     aux
188         CLR     aux2
189         CLR     aux3
190         CLR     flag
191         SEI
192
193     loop1:
194         ;CBI     PORTB, led      ; clear bit para monitorar
195         CPI     flag, 0x00       ; se flag = 0, pula para o fim
196         BREQ    fim
197
198         ; Atualiza o estado anterior
199         BST     leitor,0        ; carrega o bit leitor(0) em T
200         BLD     leitor,1        ; salva o bit T em leitor(1)
201
202         ; Salva o estado atual no leitor(0)
203         SBIS    ACSR, ACO       ; Se ACO = 1 pula a próxima instrução
204         SET     ; Seta o bit T
205         SBIC    ACSR, ACO       ; Se ACO = 0 pula a próxima instrução

```

```

206     CLT                ; Limp o bit T
     BLD    leitor , 0    ; Carrega em leitor(0) o estado atual (salvo em T)
208
     ; Ajuste das informações em leitor para comparação
210     BST    leitor , 0
     BLD    aux , 0
212     BST    leitor , 1
     BLD    aux2 , 0
214
     MOV    aux3 , counter0 ; salva o último valor do counter0
216     CPSE   aux , aux2     ; se aux=aux2 pula a próxima instrução
     INC    counter0       ; incrementa counter0 (nº de bordas de subida)
218     CLR    flag
     CP     aux3 , counter0 ; verifica se houve mudança no contador
220     BREQ   reinicia      ; se não houve mudança, zera o contador
     RJMP   fim            ; caso contrário, salta para o fim da rotina
222
     reinicia:
224     RJMP   VerificaHeader ; Reinicia a Verificação do Header
     ;CLR    counter0      ; se não houve mudança, zera o contadores
226
     fim:
228
     CPI    counter0 , 17   ; compara counter0 com 16d
230     BRNE   loop1        ; enquanto counter0 != 16 salta para loop1
     CLI    ; Desabilita as interrupções
232     ;SBI   PORTB, led    ; clear bit para monitorar
     RET    ; Retorna ao programa principal
234 ; FIM: Rotina de Verificação do Header _____
236
; _____
238 ; Rotina de Leitura da MSG _____
;— Lê mensagem e salva na SRAM:
240 ;          SRAM
; _____
242 ; |D0 |D1 |D2 |D3 |D4 |D5 |D6 |D7 | 0x0040
; |D8 |D9 |D10|D11|D12|D13|D14|D15| 0x0041
244 ; |P0 |P1 |P2 |P3 |PC0|PC1|PC2|PC3| 0x0042
; _____
246 ; Altera: aux , aux2 , flag , counter1 , counter2 , leitor , paridade , buffer
;
248 LeMSG:
     settimer2:           ; Configura timer0
250     LDI    aux ,0x01
     OUT    TCCR0B,aux    ; Timer clock = System Clock / 8 = 1MHz
252     LDI    aux,1<<TOV0
     OUT    TIFR0,aux     ; Limpa o bit responsável
254     LDI    aux,1<<TOIE0
     OUT    TIMSK0,aux    ; Enable Timer/Counter0 Overflow Interrupt
256     LDI    aux2 , 0xFF  ; Configura TH do timer
     ;LDI    aux , 0x13   ; Configura TL do timer
258     ;LDI    aux , 0x1F
     LDI    aux , 0x22

```

```

260     OUT    TCNT0H,aux2
261     OUT    TCNT0L,aux
262     CLR    counter0          ; zera registradores
263     CLR    counter1
264     CLR    counter2
265     CLR    flag
266     CLR    aux
267     CLR    aux2
268     CLR    buffer
269     LDI    YH, HIGH(EndSRAM) ; Passa para o ponteiro a parte alta do endereço
270     LDI    YL, LOW(EndSRAM)  ; Passa para o ponteiro a parte baixa do endereço
271     SEI
272
273 loop2:
274     ;CBI    PORTB, led        ; clear bit para monitorar
275
276     CPI    flag, 0x00        ; se flag = 0, salta para o fim da rotina
277     BREQ   fim1
278
279     ; Atualiza o estado anterior
280     BST    leitor,0          ; carrega o bit leitor(0) em T
281     BLD    leitor,1          ; salva o bit T em leitor(1)
282
283     ; Salva o estado atual no leitor(0)
284     SBIS   ACSR, ACO         ; Se ACO = 1 pula a próxima instrução
285     SET    T                  ; Seta o bit T
286     SBIC   ACSR, ACO         ; Se ACO = 0 pula a próxima instrução
287     CLT    T                  ; Limpa o bit T
288     BLD    leitor, 0         ; Carrega em leitor(0) o estado atual (salvo em T)
289
290     CLR    flag              ; Limpa a flag que monitora a interrupção
291
292     BST    counter1, 0        ; Salva o bit menos significativo
293     BLD    leitor, 2          ; Carrega o bit em leitor(3) -> i.e. flag do leitor
294     INC    counter1           ; Incrementa counter1 (contagem de pulsos lidos)
295     CPI    leitor, 0x05       ; Verifica se houve borda de subida
296     BREQ   save1              ; Se sim, salta para save1, se não
297     CPI    leitor, 0x06       ; Verifica se houve borda de descida
298     BREQ   save0              ; Se sim, salta para save0
299     RJMP   fim1               ; Se não, salta para fim1
300
301 save1:
302     SET    T                  ; bit T = 1
303     RJMP   fimsave
304 save0:
305     CLT    T                  ; bit T = 0
306
307 fimsave:
308     CPI    counter1, 50       ; se aux2 = 50, salta para o fim
309     BREQ   fim1               ; se aux2 = 50, salta para o fim
310     CPI    aux2, 4             ;
311     BRSH   par2               ; se aux2 >= 4, salta para par2
312     CPI    counter2, 4        ;
313     BREQ   par                ; se counter2 = 4, salta para par1

```

```

314      BRLO    dados                ; se counter2 < 4, salta para dados
316
318      dados:                        ; salva os dados no registrador buffer
318          LSL    buffer            ; desloca uma vez para direita
318          BLD    buffer, 0         ; salva o bit em memoria(counter2)
320          INC    counter2         ; incrementa counter2
320          RJMP   fim1
322
324      par:
324          ;SBI    PORTB, led
324          LSL    paridade         ; desloca uma vez para a direita
326          BLD    paridade, 0     ; paridade(0) = T
326          INC    aux2            ; incrementa aux2 (contador dos bits de paridade)
328          CLR    counter2        ; reiniciar counter2
328          CPI    aux2, 0x02      ; se aux2 = 2
330          BREQ   salvaSRAM      ; salta para salvaSRAM
330          CPI    aux2, 0x04      ; se aux2 = 4
332          BREQ   salvaSRAM      ; salta para salvaSRAM
332          RJMP   fim1
334
336      salvaSRAM:
336          ST     Y+, buffer      ; salva na memoria o valor do reg. e incrementa o
endereço
338          RJMP   fim1
338
340      par2:
340          LSL    paridade         ; desloca uma vez para direita
340          BLD    paridade, 0     ; paridade(0) = T
342          INC    aux2            ; incrementa aux2 (contador dos bits de paridade)
342          MOV    buffer, paridade; carrega o conteudo de paridade em buffer
344          CPI    aux2, 0x08      ; se aux2 = 8
344          BREQ   salvaSRAM      ; salta para salvaSRAM
346
348      fim1:
348          ;CBI    PORTB, led
348          CPI    counter1, 50    ; compara counter1 com 50
350          BRNE   loop2         ; enquanto counter1 != 50 salta para loop2
350          CLI    ; Desabilita as interrupções
352          RET    ; Retorna ao programa principal
354 ; FIM: Rotina de Leitura da MSG -----
356
358 ;-----
358 ; Rotina para comparar MSG -----
360 ;---
360 ;
362 ;-----
362 ; |D0 |D1 |D2 |D3 |D4 |D5 |D6 |D7 | 0x0040
364 ; |D8 |D9 |D10|D11|D12|D13|D14|D15| 0x0041
364 ; |P0 |P1 |P2 |P3 |PC0|PC1|PC2|PC3| 0x0042
366 ;-----

```



```

; Altera: aux2, buffer
368 ;
ComparaMSG:
370   CLR   aux2
      CLR   buffer
372
      ;Compara os bytes recebidos, com o ID esperado.
374   LDS   buffer, 0x0040      ; carrega o byte gravado na posição 0x0040 da SRAM
      LDI   aux2, 0x12        ; carrega o byte esperado
376   CPSE   buffer, aux2      ; realiza a comparação
      RJMP  fimCompara      ; se for diferente do esperado, salta para "fimCompara"
378   LDS   buffer, 0x0041
      LDI   aux2, 0x34
380   CPSE   buffer, aux2
      SER   aux
382   RJMP  fimCompara
      /*LDS   buffer, 0x0042
384   LDI   aux2, 0x53
      CPSE   buffer, aux2
386   RJMP  fimCompara

388   RCALL  CriarMSG
      RCALL  EnviaMSG*/
390
      CLR   aux      ; seta o registrador aux, para indicar que
392                      ; a comparação indicou valores diferentes

394   fimCompara:
      RET
396 ; FIM: Rotina para comparar MSG -----
398
;-----
400 ; Rotina de Verificação da MSG -----
;-----
402 ;
      SRAM
;
;-----
404 ; |D0 |D1 |D2 |D3 |D4 |D5 |D6 |D7 | 0x0040
; |D8 |D9 |D10|D11|D12|D13|D14|D15| 0x0041
406 ; |P0 |P1 |P2 |P3 |PC0|PC1|PC2|PC3| 0x0042
;
408 ; Carrega os dados da SRAM e verifica se os bits de paridade
; estão corretos
410 ;-----
; Altera: aux2, aux2, aux3, buffer, paridade,
412 ;
VerificaMSG:
414   CLR   aux
      CLR   aux2
416   CLR   buffer

418   LDS   buffer, 0x0040      ; carrega primeiro byte
      ANDI buffer, 0xF0        ; pega o primeiro nibble
420   MOV   aux, buffer        ; move para aux

```

```

RCALL CalcParidade ; chama a rotina para verificar paridade
422 LDS paridade , 0x0042 ; carrega o byte com as paridades
BST paridade , 7 ; salva paridade(7) em T
424 CLR aux3
BLD aux3, 0 ; carrega o bit T em aux3, para posterior comparação
426 CP aux3, aux2 ; compara a paridade recebida e a paridade calculada
BRNE fimVerifica
428
LDS buffer , 0x0040 ; carrega primeiro byte
430 ANDI buffer , 0x0F ; pega o segundo nibble
MOV aux , buffer ; move para aux
432 RCALL CalcParidade ; chama a rotina para verificar paridade
LDS paridade , 0x0042 ; carrega o byte com as paridades
434 BST paridade , 6 ; salva paridade(7) em T
CLR aux3
436 BLD aux3, 0 ; carrega o bit T em aux3, para posterior comparação
CP aux3, aux2 ; compara a paridade recebida e a paridade calculada
438 BRNE fimVerifica

440 LDS buffer , 0x0041 ; carrega segundo byte
ANDI buffer , 0xF0 ; pega o primeiro nibble
442 MOV aux , buffer ; move para aux
RCALL CalcParidade ; chama a rotina para verificar paridade
444 LDS paridade , 0x0042 ; carrega o byte com as paridades
BST paridade , 5 ; salva paridade(7) em T
446 CLR aux3
BLD aux3, 0 ; carrega o bit T em aux3, para posterior comparação
448 CP aux3, aux2 ; compara a paridade recebida e a paridade calculada
BRNE fimVerifica

450
LDS buffer , 0x0041 ; carrega segundo byte
452 ANDI buffer , 0x0F ; pega o segundo nibble
MOV aux , buffer ; move para aux
454 RCALL CalcParidade ; chama a rotina para verificar paridade
LDS paridade , 0x0042 ; carrega o byte com as paridades
456 BST paridade , 4 ; salva paridade(7) em T
CLR aux3
458 BLD aux3, 0 ; carrega o bit T em aux3, para posterior comparação
CP aux3, aux2 ; compara a paridade recebida e a paridade calculada
460 BRNE fimVerifica

462
; Realiza uma XOR com todos os 4 nibbles da informação recebida
464 LDS buffer , 0x0040
MOV aux , buffer
466 SWAP aux
EOR aux , buffer
468 LDS buffer , 0x0041
MOV aux2 , buffer
470 SWAP aux2
EOR aux2 , buffer
472 EOR aux , aux2
ANDI aux , 0x0F
474 LDS paridade , 0x0042 ; carrega o byte de paridade lido

```

```

476   ANDI  paridade , 0x0F      ; pega o primeiro nibble
      CP   paridade , aux      ; compara a paridade calculada com a paridade lida
      CLR  aux
478   BRNE fimVerifica

480
      ;RCALL Criamsg
482   ;RCALL EnviaMSG
      SER  aux

484
      fimVerifica:

486
      RET
488 ; FIM: Rotina de Verificação da MSG _____
490
      ; _____
492 ; Rotina de cálculo da paridade _____
      ;—
494 ; Calcula a paridade para um byte
      ; _____
496 ; Altera: aux, aux2
      ;
498 CalcParidade:
      ;input: aux ;parity: aux2
500   MOV  aux2, aux      ; Copia aux para aux2
      SWAP aux2          ; inverte os nibbles
502   EOR  aux2, aux      ; faz uma xor entre aux e aux2
      SBRC  aux2,1
504   DEC  aux2          ; Se aux(1) = 1, decrementa aux2
      SBRC  aux2,2
506   DEC  aux2          ; Se aux(2) = 1, decrementa aux2
      SBRC  aux2,3
508   DEC  aux2          ; Se aux(3) = 1, decrementa aux2
      ANDI  aux2,1      ;return even: 0, odd: 1
510   RET
      ; FIM: Rotina de calculo da paridade _____
512
      ; _____
514 ; Rotina de criação da MSG _____
516 ;— Cria MSG e salva na SRAM
      ;
      ;          SRAM
518 ; _____
      ; |D0 |D1 |D2 |D3 |D4 |D5 |D6 |D7 | 0x0043
520 ; |D8 |D9 |D10|D11|D12|D13|D14|D15| 0x0044
      ; |P0 |P1 |P2 |P3 |PC0|PC1|PC2|PC3| 0x0045
522 ; _____
      ; Altera: aux, aux2, aux3, buffer, paridade
524 ;
      Criamsg:
526
      LDI  buffer, 0x01   ; carrega valor em buffer
528   STS  0x0043, buffer ; salva na SRAM

```

```

530  MOV    aux, buffer      ; copia para aux3
    ANDI  aux, 0xF0        ; pega dados0
    RCALL CalcParidade    ; chama rotina para calcular paridade
532  BST   aux2, 0         ; salva aux(0) em T
    BLD   paridade, 0     ; salva T em paridade(0)
534  LSL   paridade       ; desloca paridade para esquerda uma vez

536  MOV   aux3, buffer   ; move buffer para aux3
    SWAP  aux            ; troca o nibble de aux
538  EOR   aux3, aux      ; faz a XOR entre dados0 e dados 1

540  MOV   aux, buffer   ; copia para aux3
    ANDI  aux, 0x0F      ; pega dados0
542  RCALL CalcParidade  ; chama rotina para calcular paridade
    BST   aux2, 0       ; salva aux(0) em T
544  BLD   paridade, 0   ; salva T em paridade(0)
    LSL   paridade     ; desloca paridade para esquerda uma vez
546

    LDI   buffer, 0x2a   ; carrega valor em buffer
548  STS   0x0044, buffer ; salva na SRAM
    MOV   aux, buffer    ; copia para aux3
550  ANDI  aux, 0xF0     ; pega dados0
    RCALL CalcParidade  ; chama rotina para calcular paridade
552  BST   aux2, 0       ; salva aux(0) em T
    BLD   paridade, 0   ; salva T em paridade(0)
554  LSL   paridade     ; desloca paridade para esquerda uma vez

556  SWAP  aux          ; troca o nibble de aux
    EOR   aux3, aux     ; faz a XOR entre XOR anterior e dados 3
558  EOR   aux3, buffer ; faz a XOR entre XOR anterior e dados 4
    ANDI  aux3, 0x0F   ; pega apenas o primeiro nibble
560

    MOV   aux, buffer   ; copia para aux3
562  ANDI  aux, 0x0F    ; pega dados0
    RCALL CalcParidade  ; chama rotina para calcular paridade
564  BST   aux2, 0     ; salva aux(0) em T
    BLD   paridade, 0  ; salva T em paridade(0)
566  SWAP  paridade

568  OR    paridade, aux3 ; copia aux3 para paridade (apenas o primeiro nibble)
    STS   0x0045, paridade ; salva na SRAM
570

    RET                               ; Retorna ao programa principal
572

; FIM: Rotina de criação da MSG _____
574

576 ; _____
; Rotina de envio da MSG _____
578 ;— Pega MSG na SRAM e envia
;          SRAM
580 ; _____
; |D0 |D1 |D2 |D3 |D4 |D5 |D6 |D7 | 0x0043
582 ; |D8 |D9 |D10|D11|D12|D13|D14|D15| 0x0044

```

```

; |P0 |P1 |P2 |P3 |PC0|PC1|PC2|PC3| 0x0045
584 ;-----
; Altera: aux, aux2, aux3, counter1, counter2 buffer, paridade
586 ;
EnviaMSG:
588
    settimer3:                ; Configura timer0
590        LDI    aux,0x01
            OUT    TCCR0B,aux    ; Timer clock = System Clock / 8 = 1MHz
592        LDI    aux,1<<TOV0
            OUT    TIFR0,aux    ; Limpa o bit responsável
594        LDI    aux,1<<TOIE0
            OUT    TIMSK0,aux    ; Enable Timer/Counter0 Overflow Interrupt
596        LDI    aux2, 0xFF    ; Configura TH do timer
            LDI    aux, 0x13    ; Configura TL do timer
598        OUT    TCNT0H,aux2
            OUT    TCNT0L,aux
600        CLR    counter1
            CLR    counter2
602        CLR    flag
            CLR    aux
604        CLR    aux2
            CLR    buffer
606        LDI    YH, HIGH(0x0043) ; Passa para o ponteiro a parte alta do endereço
            LDI    YL, LOW(0x0043) ; Passa para o ponteiro a parte baixa do endereço
608        LD     buffer, Y+    ; salva n0 reg o valor da SRAM e incrementa o endereço
            LDS    paridade, 0x0045 ; salva n0 reg o valor da SRAM e incrementa o endereço
610        /*LDI  YH, HIGH(0x0040) ; Passa para o ponteiro a parte alta do endereço
            LDI    YL, LOW(0x0040) ; Passa para o ponteiro a parte baixa do endereço
612        LD     buffer, Y+    ; salva n0 reg o valor da SRAM e incrementa o endereço
            LDS    paridade, 0x0042 ; salva n0 reg o valor da SRAM e incrementa o endereço*/
614        LDI    leitor, 0x01
            SEI
616
    loop3:
618
        CPI    flag, 0x00    ; se flag = 0, salta para o fim da rotina
620        BREQ  fimEnvia2

        ; Se a informação a ser enviada é uma borda de descida
622        CPI    leitor, 0x00
624        BREQ  envial
            CPI    leitor, 0x04
626        BREQ  envia0
            ; Se a informação a ser enviada é uma borda de subida
628        CPI    leitor, 0x01
            BREQ  envia0
630        CPI    leitor, 0x05
            BREQ  envial
632
        envial:
634        CBI    PORTB, led
            RJMP  jump
636        envia0:

```

```

638      SBI      PORTB, led
640
640      jump:
642      MOV      aux3, leitor      ; copia leitor para aux3
642      ANDI     aux3, 0x04        ; pega o segundo bit apenas
644      LDI      aux, 0x04
644      CPSE     aux3, aux         ; Se flag do leitor = 1, continua atualiza proximo bit
646      RJMP     fimEnvia        ; Caso contrário, salta para o fim
648
648      CPI      counter1, 70
648      BRSH     fimEnvia2
650      CPI      counter1, 68
650      BREQ     jump2
652      CPI      counter1, 18
652      BRLO     fimEnvia
654      CPI      aux2, 4          ;
654      BRSH     enviapar2       ; se aux2 >= 4, salta para enviapar2
656      CPI      counter2, 4     ;
656      BREQ     enviapar        ; se counter2 = 4, salta para enviapar
658      BRLO     atualizabuffer   ; se counter2 < 4, salta para atualizabuffer
660
660      atualizabuffer:           ; salva os dados no registrador buffer
662      BST      buffer, 7        ; salva buffer(7) em T
662      BLD      leitor, 0        ; salva T em leitor(0)
664      LSL      buffer          ; desloca uma vez para esquerda
664      INC      counter2        ; incrementa counter2
666      RJMP     fimEnvia
668
668      enviapar:
668      BST      paridade, 7      ; salva buffer(7) em T
670      BLD      leitor, 0        ; salva T em leitor(0)
670      LSL      paridade        ; desloca uma vez para esquerda
672      INC      aux2            ; incrementa aux2 (contador dos bits de paridade)
672      CLR      counter2        ; reiniciar counter2
674      CPI      aux2, 0x02      ; se counter2+aux2 = 6
674      BREQ     loadSRAM        ; salta para loadSRAM
676      RJMP     fimEnvia
678
678      loadSRAM:
678      LD       buffer, Y+      ; salva n0 reg o valor da SRAM e incrementa o endereço
680      RJMP     fimEnvia
682
682      enviapar2:
682      BST      paridade, 7      ; salva buffer(7) em T
684      BLD      leitor, 0        ; salva T em leitor(0)
684      LSL      paridade        ; desloca uma vez para esquerda
686      INC      aux2            ; incrementa aux2 (contador dos bits de paridade)
688
688      fimEnvia:
688      CLR      flag            ; Limpa a flag que monitora a interrupção
690      BST      counter1, 0      ; Salva o bit menos significativo
690      BLD      leitor, 2        ; Carrega o bit em leitor(3) -> i.e. flag do leitor

```

```
692      INC   counter1           ; Incrementa counter1 (contagem de pulsos lidos)
694
694      fimEnvia2:
694      CPI   counter1, 70       ; compara counter1 com 50
696      BRNE loop3              ; enquanto counter1 != 50 salta para loop2
696      CLI                                ; Desabilita as interrupções
696      RET                                ; Retorna ao programa principal
698
700      jump2:
700      CLR   leitor
700      RJMP  fimEnvia
702
704 ; FIM: Rotina de envio da MSG _____
704 ; FIM do programa.
```

: