

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

VINICIUS MOTTA DE OLIVEIRA

**ANÁLISE E IMPLEMENTAÇÃO DE UMA UPS *ON-LINE*
MONOFÁSICA UTILIZANDO ESTRUTURAS BASEADAS NOS
CONVERSORES *ĆUK* E *SEPIC*.**

DISSERTAÇÃO

CORNÉLIO PROCÓPIO

2025

VINICIUS MOTTA DE OLIVEIRA

**ANÁLISE E IMPLEMENTAÇÃO DE UMA UPS *ON-LINE*
MONOFÁSICA UTILIZANDO ESTRUTURAS BASEADAS NOS
CONVERSORES *ĆUK* E SEPIC.**

**Analysis and Implementation of a single-phase on-line UPS Using
Ćuk and SEPIC Converter-Based Structures.**

Dissertação apresentada como requisito para
obtenção do grau de Mestre em Engenharia
Elétrica da Universidade Tecnológica Federa-
l do Paraná (UTFPR).

Orientador: Prof. Dr. Leonardo Poltronieri
Sampaio

Coorientador: Prof. Dr. Sérgio Augusto Oli-
veira da Silva

CORNÉLIO PROCÓPIO

2025



[4.0 Internacional](https://creativecommons.org/licenses/by/4.0/)

Esta licença permite compartilhamento, remixe, adaptação e criação a partir do trabalho, mesmo para fins comerciais, desde que sejam atribuídos créditos ao(s) autor(es).

Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.

AGRADECIMENTOS

Agradeço a todas as pessoas que de forma direta ou indireta contribuíram para a realização deste trabalho, me proporcionando conhecimento e apoio. De forma mais direta, agradeço meu orientado Dr. Leonardo Poltronieri Sampaio e coorientador Dr. Sérgio Augusto Oliveira da Silva, pela paciência, confiança depositada e todo ensinamento passado.

Agradeço ao Prof. Dr. Leonardo Bruno Garcia Campanhol, Prof. Dr. Luigi Galotto Júnior e Prof. Dr. Rodrigo Augusto Modesto, por aceitarem compor a banca de avaliação do trabalho

Agradeço minha família pelo apoio incondicional, carinho, confiança e educação.

Agradeço aos meus amigos e colegas de trabalho, por todo apoio, companhia, ensinamentos e incentivo. Vocês foram fundamentais nessa caminhada e tornaram-se parte da minha família.

Agradeço também a minha companheira de vida, Aylla, pela paciência, ensinamentos e pela calma que me trouxe nesse momento de grandes desafios em minha vida.

Enfim, a todos os que de alguma forma contribuíram para a realização deste trabalho, deixo aqui a minha imensa gratidão e respeito.

RESUMO

OLIVEIRA, Vinicius Motta. **Análise e implementação de uma UPS *on-line* monofásica utilizando estruturas baseadas nos conversores *Ćuk* e *SEPIC***. 2025. 180 f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Tecnológica Federal do Paraná. Cornélio Procopio, 2025.

Este trabalho propõem novas topologias de conversor retificador e inversor para aplicação em Fontes de Alimentação Ininterruptas (UPS, do inglês Uninterruptible Power Supply), as quais visam melhorar a qualidade de energia elétrica de um sistema. Em comparação aos conversores convencionais utilizados para esta aplicação (*back-to-back*), as estruturas propostas possuem a vantagem de realizar tanto o abaixamento quanto a elevação da tensão, permitindo a operação da UPS com uma tensão reduzida no barramento CC. Devido a isto, o sistema é capaz de operar com um número reduzido de baterias comparado ao sistema tradicional, possibilitando um menor volume e um menor custo. O sistema proposto é uma UPS *on-line* monofásica de dupla conversão, empregando dois conversores, um retificador responsável por drenar uma corrente senoidal da rede elétrica e realizar o carregamento das baterias, e um inversor responsável por alimentar a carga. Ao longo do trabalho, foi realizada a análise matemática e análise dinâmica dos circuitos, a fim de projetar os elementos passivos e obter as devidas respostas em frequência para o projeto das estruturas de controle utilizadas. A topologia de retificador faz uso de controlador clássico do tipo Proporcional-Integral (PI) a fim de controlar uma corrente senoidal, com amplitude e frequência definidas, da rede elétrica, assim como realizar o carregamento das baterias e manter o nível adequado de tensão sobre o barramento CC. Já o inversor faz uso de uma estrutura de controle que combina o controlador PI junto a uma estrutura multi-ressonante para controlar a tensão entregue a carga conectada a UPS, garantindo uma tensão regulada e com baixo conteúdo harmônico. Posteriormente são apresentados os resultados de simulação utilizando a ferramenta computacional *MATLAB/Simulink*[®], demonstrando a possibilidade de melhora na qualidade de energia do sistema, suprimindo problemas como distorção harmônica da rede elétrica, afundamentos de tensão, sobretensão, intermitências da rede ou até mesmo a ausência da mesma. Além disto, são apresentadas em simulação as formas de onda sobre os elementos do circuito, a fim de validar as análises outrora feitas. Por fim, o funcionamento do sistema de UPS e dos conversores propostos puderam ser validados a partir de resultados experimentais, os quais demonstraram que o sistema foi capaz de operar como uma UPS *online*, drenando uma corrente senoidal controlada da rede elétrica e entregando uma tensão senoidal para a carga.

Palavras-chave: Baterias. Eletrônica de Potência. Inversores. Retificadores. UPS Estática.

ABSTRACT

OLIVEIRA, Vinicius Motta. **Analysis and Implementation of a single-phase on-line UPS Using Ćuk and SEPIC Converter-Based Structures**. 2025. 180 p. Dissertation (Master's Degree in Electrical Engineering) – Universidade Tecnológica Federal do Paraná. Cornélio Procopio, 2025.

This work proposes new topologies for rectifier and inverter converters for application in Uninterruptible Power Supplies (UPS), aiming to improve the power quality of an electrical system. Compared to conventional back-to-back converters used in this application, the proposed structures have the advantage of performing both step-down and step-up voltage conversion, allowing the UPS to operate with a reduced DC bus voltage. As a result, the system can operate with fewer batteries compared to traditional systems, enabling a smaller volume and lower cost. The proposed system is a single-phase on-line double-conversion UPS, employing two converters: a rectifier responsible for drawing a sinusoidal current from the grid and charging the batteries, and an inverter responsible for supplying the load. Throughout the work, mathematical and dynamic analyses of the circuits were carried out in order to design the passive components and obtain the corresponding frequency responses needed for the control structure design. The rectifier topology uses a classical Proportional-Integral (PI) controller to control a sinusoidal current with defined amplitude and frequency from the grid, as well as to charge the batteries and maintain an appropriate voltage level on the DC bus. The inverter employs a control structure that combines a PI controller with a multi-resonant structure to control the voltage delivered to the UPS load, ensuring a regulated voltage with low harmonic content. Simulation results using the MATLAB/Simulink[®] software tool are presented, demonstrating the system's potential to improve power quality by mitigating issues such as grid harmonic distortion, voltage sags, overvoltage, grid intermittencies, or even complete grid outages. Additionally, the simulation presents the waveforms across the circuit elements to validate the previous analyses. Finally, the operation of the UPS system and the proposed converters was validated through experimental results, which showed that the system was capable of operating as an online UPS, drawing a controlled sinusoidal current from the grid and delivering a sinusoidal voltage to the load.

Keywords: Batteries. Power Electronics. Inverters. Rectifiers. Static UPS.

LISTA DE ILUSTRAÇÕES

Figura 1 – Estrutura padrão para uma UPS <i>off-line</i>	18
Figura 2 – Estrutura padrão para uma UPS <i>on-line</i>	18
Figura 3 – Estrutura padrão para uma UPS <i>line interactive</i>	19
Figura 4 – Estrutura de UPS desenvolvida no trabalho.	20
Figura 5 – Estrutura de retificador proposta para a UPS.	21
Figura 6 – Estrutura de inversor proposta para a UPS.	21
Figura 7 – Diagrama de blocos de uma UPS rotativa.	26
Figura 8 – Diagrama de blocos de uma UPS <i>On-line</i>	28
Figura 9 – Diagrama de blocos de uma UPS <i>Off-line</i>	29
Figura 10 – Diagrama de blocos de uma UPS <i>Line-Interactive</i>	30
Figura 11 – Diagrama de blocos de uma UPS <i>standby-ferro</i>	31
Figura 12 – Diagrama de blocos de uma UPS <i>Delta conversion</i>	32
Figura 13 – Representação dos sistemas de inversor	34
Figura 14 – Representação das etapas de uma bateria	35
Figura 15 – Sistema UPS apresentado em (UEMATSU <i>et al.</i> , 1998).	37
Figura 16 – Sistema UPS proposto por (AAMIR; MEKHILEF, 2017).	38
Figura 17 – Sistema UPS proposto por (AHMAD <i>et al.</i> , 2018).	39
Figura 18 – Sistema UPS proposto por (JALAN; GUPTA, 2019).	39
Figura 19 – Sistema UPS apresentado por (FERNANDES <i>et al.</i> , 2021).	40
Figura 20 – Sistema UPS proposto por (LIN <i>et al.</i> , 2019).	41
Figura 21 – Estrutura de UPS proposta.	44
Figura 22 – Estrutura de retificador proposta para a UPS.	46
Figura 23 – Etapa de operação $D_a T_s$ do retificador.	47
Figura 24 – Etapa de operação $D_b T_s$ do retificador.	48
Figura 25 – Etapa de operação $D_c T_s$ do retificador.	48
Figura 26 – Etapa de operação $D_d T_s$ do retificador.	49
Figura 27 – Etapa de operação $D_e T_s$ do retificador.	49
Figura 28 – Etapa de operação $D_f T_s$ do retificador.	50
Figura 29 – Forma de onda teórica sobre os indutores durante o semiciclo positivo	51
Figura 30 – Forma de onda teórica sobre os capacitores durante o semiciclo positivo	55
Figura 31 – Forma de onda teórica sobre o capacitor de saída C_{dc}	56
Figura 32 – Forma de onda teórica sobre os semicondutores S_1 e S_2	57
Figura 33 – Forma de onda teórica sobre os semicondutores S_3 e S_4	59
Figura 34 – Forma de onda teórica sobre os semicondutores S_5 e S_6	62
Figura 35 – Estrutura de inversor proposta para a UPS.	68
Figura 36 – Primeira etapa de operação do inversor ($D_a T_s$).	69
Figura 37 – Segunda etapa de operação do inversor ($D_b T_s$).	70
Figura 38 – Terceira etapa de operação do inversor ($D_c T_s$)	70
Figura 39 – Quarta etapa de operação do inversor ($D_d T_s$)	71
Figura 40 – Quinta etapa de operação do inversor ($D_e T_s$)	71
Figura 41 – Terceira etapa de operação do inversor ($D_f T_s$)	72
Figura 42 – Tensão e corrente teóricas sobre os indutores L e L_f	73
Figura 43 – Tensão e corrente teórica sobre os capacitores C_3 e C_4	76
Figura 44 – Tensão e corrente teórica sobre o capacitor C_f	76

Figura 45 – Tensão e corrente teóricas sobre os semicondutores S_7 e S_8	77
Figura 46 – Tensão e corrente teóricas sobre os semicondutores S_9 e S_{10}	80
Figura 47 – Tensão e corrente teóricas sobre os semicondutores S_{11} e S_{12}	82
Figura 48 – Tensão e corrente teóricas sobre os semicondutores D_1 e D_2	83
Figura 49 – Curva de eficiência teórica para diferentes níveis de tensão sobre o barramento CC.	96
Figura 50 – Curva de eficiência teórica para diferentes níveis de tensão sobre o barramento CC ao utilizar semicondutores com baixas perdas.	97
Figura 51 – Simplificação para o circuito do retificador.	99
Figura 52 – Comparação entre a variação da razão cíclica para as simplificações.	100
Figura 53 – Corrente presente sobre o indutor L_o (azul) e corrente simplificada (vermelho).	102
Figura 54 – Corrente presente sobre o capacitor C_1 (azul) e corrente aproximada (vermelho).	102
Figura 55 – Estrutura de controle para o retificador.	105
Figura 56 – Gvd Retificador.	106
Figura 57 – Gid Retificador.	106
Figura 58 – Comparação das respostas em frequência obtida e gerada pelo <i>software</i> PSIM [®] para G'_{vd}	107
Figura 59 – Comparação das respostas em frequência obtida e gerada pelo <i>software</i> PSIM [®] para G'_{id}	107
Figura 60 – Gvi Retificador.	108
Figura 61 – Resposta em frequência da malha interna compensada.	109
Figura 62 – Resposta em frequência da malha externa compensada.	110
Figura 63 – Estrutura de acionamento dos interruptores para o retificador.	111
Figura 64 – Circuito equivalente do conversor \acute{C} uk Integrado.	112
Figura 65 – Resposta à variação da razão cíclica para ambos os circuitos.	112
Figura 66 – Corrente presente sobre o indutor L (azul) e corrente aproximada (vermelho)	114
Figura 67 – Corrente presente sobre o capacitor C_{eq} (azul) e corrente aproximada (vermelho)	115
Figura 68 – Estrutura de controle do inversor	118
Figura 69 – Resposta em frequência do inversor	118
Figura 70 – Comparação entre a resposta em frequência calculada e obtida pelo PSIM [®]	119
Figura 71 – Resposta em frequência do sistema parcialmente compensado	120
Figura 72 – Resposta em frequência do sistema compensado em malha aberta.	121
Figura 73 – Estrutura de acionamento dos interruptores para o inversor \acute{C} uk integrado.	122
Figura 74 – Estrutura de acionamento dos interruptores de entrada do inversor \acute{C} uk integrado.	123
Figura 75 – Pulso de acionamento para os interruptores.	123
Figura 76 – Sistema completo: (a) estrutura de potência; (b) estrutura dos controladores; (c) cargas.	126
Figura 77 – Tensão e corrente de saída da UPS para uma carga resistiva.	127
Figura 78 – Taxa de distorção harmônica para a tensão de saída do inversor para carga resistiva e potência nominal.	127
Figura 79 – Corrente e tensão entregues à carga durante um degrau de potência.	128
Figura 80 – Corrente e tensão da rede elétrica.	128
Figura 81 – Taxa de distorção harmônica e espectro harmônico para a corrente de entrada do retificador para carga resistiva e potência nominal.	129
Figura 82 – Tensão presente sobre o barramento CC durante operação da UPS (bateria parcialmente carregada).	129
Figura 83 – Corrente média das baterias durante carregamento.	130

Figura 84 – Tensão e corrente para a rede elétrica e para a carga durante interrupção de fornecimento.	130
Figura 85 – Corrente sobre o banco de baterias durante interrupção da rede elétrica.	131
Figura 86 – Tensão e corrente para a rede elétrica e para a carga durante distúrbio de tensão da rede.	131
Figura 87 – THD para as medidas do sistema considerando uma entrada distorcida.	132
Figura 88 – Tensão e corrente para a rede elétrica e para a carga durante evento de sobretensão.	132
Figura 89 – Corrente média sobre o banco de baterias durante evento de sobretensão.	133
Figura 90 – Corrente de saída do retificador (I_{L_o}).	134
Figura 91 – Detalhe em alta frequência no pico da corrente.	134
Figura 92 – Tensão máxima sobre os interruptores do retificador.	135
Figura 93 – Tensão máxima sobre os interruptores do inversor.	135
Figura 94 – Tensão sobre os capacitores de acoplamento.	136
Figura 95 – Tensão e corrente para carga não linear.	137
Figura 96 – Espectro harmônico para tensão da carga não linear.	138
Figura 97 – Foto do protótipo.	139
Figura 98 – Tensão e corrente para a saída do inversor e para a entrada do retificador.	140
Figura 99 – Espectro harmônico para a UPS proposta.	141
Figura 100 – Tensão e corrente da rede e tensão e corrente da carga para um evento de interrupção de alimentação.	141
Figura 101 – Potência medida em diferentes locais do sistema.	142
Figura 102 – Tensão e corrente para diferentes pontos do sistema.	143
Figura 103 – Tensão e corrente da carga para o degrau de carga resistiva.	144
Figura 104 – Carga não linear utilizada.	144
Figura 105 – Tensão e corrente presente sobre a carga não linear.	144
Figura 106 – Espectro harmônico para a carga não linear.	145
Figura 107 – Corrente sobre os indutores de baixa indutância.	146
Figura 108 – Detalhe da forma de onda das correntes para os indutores de baixa indutância.	146
Figura 109 – Forma de onda da tensão presente sobre os semicondutores dos conversores.	147
Figura 110 – Tensão sobre os diodos do inversor	147
Figura 111 – Detalhe da forma de onda da tensão presente sobre os semicondutores dos conversores.	147
Figura 112 – Tensão sobre os diodos do inversor	148
Figura 113 – Forma de onda da tensão sobre os capacitores de acoplamento dos conversores.	148
Figura 114 – Eficiência experimental obtida a partir das montagens práticas.	149
Figura 115 – Diagrama de blocos de um algoritmo PLL.	169
Figura 116 – Diagrama em blocos do algoritmo p-PLL.	169
Figura 117 – Gráfico de perdas para o retificador.	175
Figura 118 – Gráfico de perdas para o inversor.	176
Figura 119 – Curva de eficiência teórica para o retificador e para o inversor.	178
Figura 120 – Modelo da bateria utilizada nas simulações.	180

LISTA DE TABELAS

Tabela 1 – Comparação de diferentes métodos para solucionar interrupções de energia .	17
Tabela 2 – Distúrbios mais comuns da rede e UPS que compensa tal distúrbio	27
Tabela 3 – Estruturas de UPS apresentadas no estado da arte.	42
Tabela 4 – Parâmetros de projeto do circuito retificador	85
Tabela 5 – Componentes projetados para o retificador	90
Tabela 6 – Parâmetros de projeto do inversor	90
Tabela 7 – Componentes projetados para o inversor	94
Tabela 8 – Tabela da eficiência considerando diferentes potências para os conversores. .	94
Tabela 9 – Tabela da eficiência considerando diferentes semicondutores.	94
Tabela 10 – Parâmetros de projeto do controle para o retificador (malha interna).	108
Tabela 11 – Ganho para o controlador da malha interna	109
Tabela 12 – Parâmetros de projeto do controle para o retificador (malha externa).	109
Tabela 13 – Ganho para o controlador da malha externa	110
Tabela 14 – Parâmetros de projeto do controle para o inversor	119
Tabela 15 – Ganho para o controlador	120
Tabela 16 – Valores de ganho para o controlador ressonante.	122
Tabela 17 – Tabela com os parâmetros implementados em simulação.	125
Tabela 18 – Valores de tensão e harmônicos utilizados na simulação.	131
Tabela 19 – Tabela de comparação entre corrente simulada e teórica para o retificador SEPIC-Ćuk.	136
Tabela 20 – Tabela de comparação entre corrente simulada e teórica para o inversor Ćuk integrado.	137
Tabela 21 – Informações do núcleo utilizado	162
Tabela 22 – Informações do núcleo utilizado	167
Tabela 23 – Valores de resistência vinculados aos indutores do circuito	175
Tabela 24 – Perdas para os componentes dos conversores.	177
Tabela 25 – Tabela da eficiência considerando diferentes potências para os conversores. .	177

LISTA DE ABREVIATURAS, SIGLAS E ACRÔNIMOS

SIGLAS

CA	Corrente Alternada
CC	Corrente Contínua
MCC	Modo de Condução Contínua
MCD	Mode de Condução Descontínua
PFC	<i>Power Factor Correction</i>
PI	Proporcional-Integral
PLL	<i>Phase-Locked Loop</i>
SEPIC	<i>Single-Ended Primary-Inductor Converter</i>
THD	<i>Total Harmonic Distortion</i>
UPS	<i>Uninterruptible Power Supply</i>

LISTA DE SÍMBOLOS

LETRAS LATINAS

C_1	Capacitância de acoplamento 1	[F]
C_2	Capacitância de acoplamento 2	[F]
C_3	Capacitância de acoplamento 3	[F]
C_4	Capacitância de acoplamento 4	[F]
C_{dc}	Capacitância do barramento	[F]
C_f	Capacitância de saída	[F]
D	Razão cíclica MCC	-
D_a	Razão cíclica D_a	-
D_b	Razão cíclica D_b	-
D_c	Razão cíclica D_c	-
D_d	Razão cíclica D_d	-
D_e	Razão cíclica D_e	-
D_f	Razão cíclica D_f	-
f_s	Frequência de chaveamento	[Hz]
f_{rede}	Frequência rede	[Hz]
G_{inv}	Ganho inversor	-
G_{ret}	Ganho retificador	-
i_{C_3}	Corrente capacitor C_3	[A]
i_{C_4}	Corrente capacitor C_4	[A]
$i_{C_{dc}}$	Corrente capacitor C_{dc}	[A]
i_{dc}	Corrente barramento CC	[A]
$i_{D_{S_5}}$	Corrente diodo D_{S_5}	[A]
$i_{D_{S_6}}$	Corrente diodo D_{S_6}	[A]
i_{inv}	Corrente de entrada inversor	[A]
i_L	Corrente indutor L	[A]
I_{L_f}	Corrente média indutor L_f	[A]
\dot{i}_{L_f}	Corrente indutor L_f	[A]
$I_{L_{fmax}}$	Corrente máxima indutor L_f	[A]
$I_{L_{fmin}}$	Corrente mínima indutor L_f	[A]
$I_{L_{in}}$	Corrente média indutor L_{in}	[A]
$I_{L_{inmax}}$	Corrente máxima indutor L_{in}	[A]
$I_{L_{inmin}}$	Corrente mínima indutor L_{in}	[A]
$I_{L_{min}}$	Corrente mínima indutor L	[A]
I_{L_o}	Corrente média indutor L_o	[A]

$I_{L_o_{max}}$	Corrente máxima indutor L_o	[A]
$I_{L_o_{min}}$	Corrente mínima indutor L_o	[A]
$I_{L_{pico}}$	Corrente máxima indutor L	[A]
i_o	Corrente de saída inversor	[A]
L	Indutância de entrada inversor	[H]
L_{eq1}	Indutância equivalente retificador	[H]
L_{eq2}	Indutância equivalente inversor	[H]
L_f	Indutância de saída inversor	[H]
L_{in}	Indutância de entrada retificador	[H]
L_o	Indutância de saída retificador	[H]
P_{in}	Potência de entrada	[W]
P_o	Potência de saída	[W]
R	Resistência de saída inversor	[Ω]
T_s	Período de chaveamento	[s]
V_{C_2}	Tensão média capacitor C_2	[V]
$V_{C_{2max}}$	Tensão máxima capacitor C_2	[V]
$V_{C_{2min}}$	Tensão mínima capacitor C_2	[V]
V_C	Tensão média capacitor C	[V]
V_{dc}	Tensão média capacitor C_{dc}	[V]
V_L	Tensão média indutor L	[V]
V_{L_f}	Tensão média indutor L_f	[V]
V_{in}	Tensão de entrada retificador	[V]
ω_r	Frequência de ressonância	[rad/s]

SUMÁRIO

1	INTRODUÇÃO	15
1.1	QUALIDADE DE ENERGIA EM SISTEMAS ELÉTRICOS	15
1.2	SISTEMAS DE ENERGIA ININTERRUPTA ESTÁTICOS	16
1.3	UPS ESTÁTICA ONLINE PROPOSTA	20
1.3.1	Retificador PFC baseado na topologia SEPIC-Ćuk	20
1.3.2	Inversor Integrado baseado no conversor Ćuk	21
1.4	OBJETIVOS	22
1.4.1	Objetivos específicos	22
1.5	JUSTIFICATIVA	22
1.6	CONTRIBUIÇÃO DO TRABALHO	23
1.7	ORGANIZAÇÃO DO TRABALHO	23
2	REVISÃO DA LITERATURA	25
2.1	<i>UNINTERRUPTIBLE POWER SUPPLY</i> (UPS)	25
2.1.1	UPS <i>On-line</i> de dupla conversão	27
2.1.2	UPS <i>Off-line</i> ou <i>standby</i>	28
2.1.3	UPS <i>Line interactive</i>	29
2.1.4	UPS <i>standby-ferro</i>	30
2.1.5	UPS <i>Delta Conversion</i>	31
2.1.6	Retificadores (CA/CC)	32
2.1.7	Inversores (CC/CA)	33
2.1.8	Baterias	34
2.2	ESTADO DA ARTE	37
2.2.1	Comparativo entre as estruturas de UPS	42
2.3	CONSIDERAÇÕES PARCIAIS	43
3	ANÁLISE DO SISTEMA DE UPS PROPOSTO	44
3.1	DESCRIÇÃO DO SISTEMA PROPOSTO	44
3.2	ANÁLISE MATEMÁTICA DOS CONVERSORES PROPOSTOS	45
3.2.1	Retificador SEPIC-Ćuk	45
3.2.1.1	Descrição do funcionamento	45
3.2.1.2	Etapas de operação do retificador em MCD	46
3.2.1.3	Formas de onda teóricas e equacionamento	50
3.2.2	Inversor integrado Ćuk monofásico	67
3.2.2.1	Descrição do funcionamento	67
3.2.2.2	Etapas de operação do inversor operando em MCD	68
3.2.2.3	Formas de onda teóricas e equacionamento	72
3.3	CONSIDERAÇÕES PARCIAIS	84
4	EQUACIONAMENTO DAS ESTRUTURAS	85
4.1	PROJETO DOS ELEMENTOS PASSIVOS DO SISTEMA	85
4.1.1	Retificador SEPIC-Ćuk	85
4.1.2	Inversor Ćuk integrado	90
4.2	ANÁLISE TEÓRICA DA EFICIÊNCIA	94
4.3	CONSIDERAÇÕES PARCIAIS	97

5	ANÁLISE EM PEQUENOS SINAIS	98
5.1	MODELO MÉDIO DE ESPAÇO DE ESTADOS	98
5.1.1	Modelagem em pequenos sinais para o retificador SEPIC-Ćuk	99
5.1.1.1	Projeto do controlador para o retificador	105
5.1.1.2	Estrutura de acionamento dos interruptores	111
5.1.2	Modelagem em pequenos sinais para o inversor Ćuk integrado	111
5.1.2.1	Projeto do controlador	117
5.1.2.2	Estrutura de acionamento dos interruptores	122
5.2	CONSIDERAÇÕES PARCIAIS	124
6	RESULTADOS DE SIMULAÇÃO	125
6.1	ENSAIO COM CARGA RESISTIVA	127
6.1.1	Formas de onda sob os elementos passivos e ativos	133
6.2	ENSAIO COM CARGA NÃO LINEAR	137
6.3	CONSIDERAÇÕES PARCIAIS	138
7	RESULTADOS EXPERIMENTAIS	139
7.1	RESULTADOS EXPERIMENTAIS PARA A UPS	140
7.2	FORMA DE ONDA PARA OS ELEMENTOS PASSIVOS E SEMI- CONDUTORES	145
7.3	CONSIDERAÇÕES PARCIAIS	149
8	CONCLUSÕES	151
8.1	TRABALHOS FUTUROS	153
	REFERÊNCIAS	155
	APÊNDICES	161
	APÊNDICE A – PROJETO FÍSICO DOS INDUTORES	162
A.1	PROJETO DOS INDUTORES DO RETIFICADOR	162
A.1.1	Projeto para o indutor de entrada	162
A.1.2	Projeto para o indutor de saída	164
A.2	PROJETO DOS INDUTORES DO INVERSOR	165
A.2.1	Indutor de entrada	165
A.2.2	Indutor de saída	167
	APÊNDICE B – PHASE-LOCKED LOOP	169
	APÊNDICE C – TERMOS REFERENTES ÀS FUNÇÕES DE TRANS- FERÊNCIA	170
C.1	TERMOS PARA A FUNÇÃO DE TRANSFERÊNCIA QUE RELACI- ONA A TENSÃO DE SAÍDA DO RETIFICADOR COM A AÇÃO DE CONTROLE.	170
C.2	TERMOS QUE RELACIONA A CORRENTE DE ENTRADA DO RETIFICADOR E A AÇÃO DE CONTROLE	171
C.3	TERMOS QUE RELACIONA A TENSÃO DE SAÍDA DO INVERSOR COM A AÇÃO DE CONTROLE	173

APÊNDICE D – ANÁLISE TEÓRICA DAS PERDAS E EFICIÊNCIA	174
ANEXO	179
ANEXO A – INFORMAÇÕES DAS BATERIAS UTILIZADAS NA SIMULAÇÃO	180

1 INTRODUÇÃO

A energia elétrica desempenha um papel fundamental na vida cotidiana nos tempos atuais, visto sua vasta aplicação em praticamente todas as áreas, seja industrial, comercial ou residencial. Muitos governos consideram a energia elétrica como essencial para a população, disponibilizando-a como um serviço público. Apesar de toda a importância e de todo o investimento acerca disto, a rede elétrica atual não é isenta de falhas (PINTO, 2012).

De início, foram utilizados transformadores isoladores como forma de proporcionar algumas proteções para cargas críticas contra distúrbios presentes na rede elétrica, os quais não ofereciam proteção em casos de ausência da rede, fazendo com que centrais de processamento de dados perdessem dados (SILVA, 2019).

Diversas áreas possuem cargas críticas a serem energizadas, as quais são mais sensíveis às falhas presentes na rede elétrica. Dentre elas se destacam as presentes em hospitais, em sistemas de controle de tráfego aéreo, processos industriais, *Data Centers*, sistemas de comunicação, dentre outras (AAMIR; MEKHILEF, 2017)(BARRIVIERA, 2012). Estas aplicações necessitam de um sistema que minimize os distúrbios da rede elétrica mesmo em caso de interrupção, e por este motivo são utilizadas fontes de alimentação ininterruptas, ou *Uninterruptible Power Supplies* (UPS) (KAMRAN; HABETLER, 1995). Uma UPS pode ser definida como um sistema que entrega uma energia sem interrupção e de alta qualidade para uma carga, protegendo-a de interrupções, sobretensão, subtensão e distorções harmônicas (EMADI *et al.*, 2005).

1.1 QUALIDADE DE ENERGIA EM SISTEMAS ELÉTRICOS

Garantir a qualidade da energia elétrica é essencial para os consumidores de eletricidade, mas nem sempre é possível, afetando a confiabilidade dos equipamentos conectados. Nas últimas décadas, a evolução tecnológica dos semicondutores vêm impulsionando a eletrônica de potência, entretanto, o uso crescente de cargas não lineares têm degradado a qualidade da energia elétrica, devido à geração de reativos e, principalmente, de correntes com alto conteúdo harmônico. Os harmônicos de corrente oriundos de cargas não lineares causam harmônicos de tensão na rede, afetando a qualidade da energia fornecida. Além disso, tais problemas podem resultar em aquecimento excessivo de transformadores e motores, aumento de ruídos audíveis e oscilações mecânicas (SANTOSO *et al.*, 2012)(SILVA, 2001).

Novas tecnologias estão sendo desenvolvidas a fim de melhorar a qualidade de energia buscando resolver ou minimizar tais problemas através de, por exemplo, novas topologias de conversores estáticos. A qualidade de energia envolve tanto a qualidade da tensão fornecida, quanto a da corrente elétrica drenada pela rede. Diversos tipos de distúrbios no sistema de fornecimento de energia elétrica impactam diretamente o funcionamento de máquinas e equipamentos comerciais e industriais. Tais distúrbios incluem: transitórios de tensão, variações de tensão de curta e longa duração, desequilíbrios e flutuações de tensão, além de distorções nas formas de onda de tensão e corrente, entre outros (ARRILLAGA; WATSON, 2003)(MOHAN *et al.*, 2002).

Os transitórios no sistema de energia elétrica podem ser caracterizados por variações bruscas de tensão ou corrente, sendo eles impulsivos (causados por descargas atmosféricas) ou oscilatórios (devidos à energização de capacitores e transformadores). Outros distúrbios que podem ser mencionados são *swells* e *sags*, que representam variações de tensão que podem ser divididos em curta e longa duração. O desequilíbrio de tensão pode ser definido através da relação entre as componentes simétricas, relacionando a componente de tensão de sequência negativa ou a componente de sequência zero com a componente de sequência positiva (ANEEL, 2020). No que diz respeito à distorção das formas de onda de tensão e corrente, idealmente senoidais, as mesmas são causadas principalmente por cargas não lineares, como retificadores e cicloconversores, que consomem uma corrente com elevado conteúdo harmônico. Outras distorções incluem notching (deformações na tensão de alimentação) e ruídos de EMI/RFI, além de flutuações de tensão, que são variações contínuas ou aleatórias na amplitude da tensão. Já os harmônicos resultam da combinação das componentes de tensão ou corrente na frequência fundamental com seus múltiplos inteiros, distorcendo a onda resultante (LAI; KEY, 1993).

Com o crescente uso de equipamentos eletrônicos aplicados em plantas industriais, a qualidade da energia ganhou notoriedade por ser um fator que impacta diretamente no funcionamento dos equipamentos. A importância desses equipamentos para o processo industrial demanda soluções para minimizar distúrbios na rede elétrica, dentre estas soluções há a aplicação de Sistemas de Energia Ininterrupta Estáticos (SILVA, 2001)(LAI; KEY, 1993).

1.2 SISTEMAS DE ENERGIA ININTERRUPTA ESTÁTICOS

Apesar da aplicação de UPS ser uma boa alternativa para as interrupções da rede, existem diferentes maneiras de se tratar este problema, dependendo majoritariamente das características da carga que serão conectadas ao sistema de proteção. A Tabela 1 apresenta quatro

métodos possíveis de manter uma carga energizada mesmo com interrupções da rede elétrica, as quais possuem diferentes aplicações. Dentre os métodos abordados estão: eletrogeradores; microturbinas; UPS do tipo dinâmica (faz uso de um motor e um alternador); estáticas (emprega retificadores e inversores); híbridas (utiliza tanto circuito retificador quanto motor e alternador) (BAGGINI, 2008).

Tabela 1 – Comparação de diferentes métodos para solucionar interrupções de energia

	Eletrogeradores	Microturbinas	UPS		
			Dinâmica	Estática	Híbrida
Faixa de potência	kW - MW	kW - MW	kW	W - kW	kW
Capacidade de armazenamento	Muito alto	Muito alto	Baixo	Moderado	Moderado
Tempo de transferência	Moderado	Alto	Quase nulo	Nulo	Quase nulo
Tempo de operação	Muito alto	Muito alto	Baixo	Moderado	Moderado
Eficiência	30 - 45	30 - 85	90	80 - 95	95

Fonte: Adaptado de (BAGGINI, 2008).

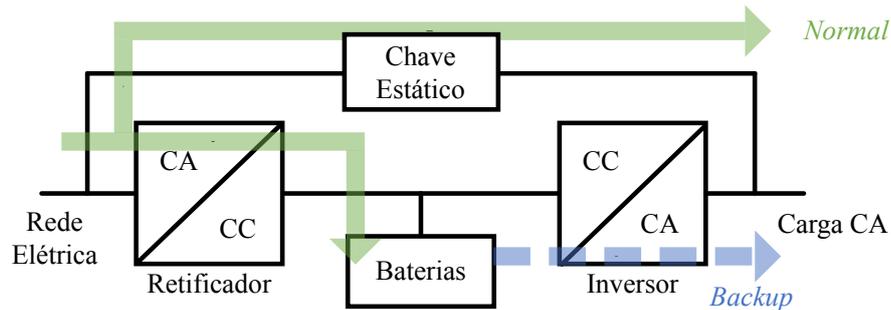
Dentre as comparações abordadas na Tabela 1, é apresentado a faixa de potência da aplicação de cada sistema, a capacidade de armazenamento de energia, o tempo de transferência entre interrupção da rede elétrica e acionamento da tecnologia implementada, o tempo de autonomia do sistema e a eficiência total. Também pode ser observado que o uso de UPS e baterias são muito vantajosos quando o objetivo é energizar cargas críticas, visto seu tempo nulo de transferência. Isto garante que ao ocorrer uma falha da rede elétrica, a carga conectada a estes sistemas sofrerá pouca ou nenhuma interferência, não prejudicando o funcionamento da mesma.

De modo geral, uma UPS é constituída de um circuito retificador, baterias e um circuito inversor, sendo que há a possibilidade ainda de possuir um conversor extra responsável por realizar o controle do carregamento das baterias (PLATTS; AUBYN, 1992). É importante ressaltar a utilização de retificadores com correção ativa do fator de potência (PFC - *Power Factor Correction*), uma vez que as correntes drenadas da rede elétrica por retificadores convencionais apresentam alto conteúdo harmônico (MAHDAVI; FARZANEHFARD, 2011).

Baseado na topologia ou configuração, as UPS podem ser classificadas como *off-line*, *on-line* ou interativa. Uma UPS *off-line* é composta por um retificador, um banco de baterias, um inversor e chave de transferência estática. Em condições normais de linha, a carga é fornecida diretamente pela linha não condicionada, enquanto o retificador carrega a bateria (KARVE, 2000). A chave estática é responsável por realizar a transferência da carga da linha para o inversor, sincronizado em fase em caso de perda de energia na entrada. Em unidades menores, geralmente

um conversor serve tanto como inversor quanto como retificador. Além disso, o inversor pode ser utilizado como filtro ativo a fim de melhorar a qualidade da energia, embora isso aumente a complexidade do sistema. Existem dois modos de operação, sendo eles normal e energia armazenada (EMADI *et al.*, 2005) (PLATTS; AUBYN, 1992). A estrutura padrão para uma UPS *off-line* pode ser vista na Figura 1.

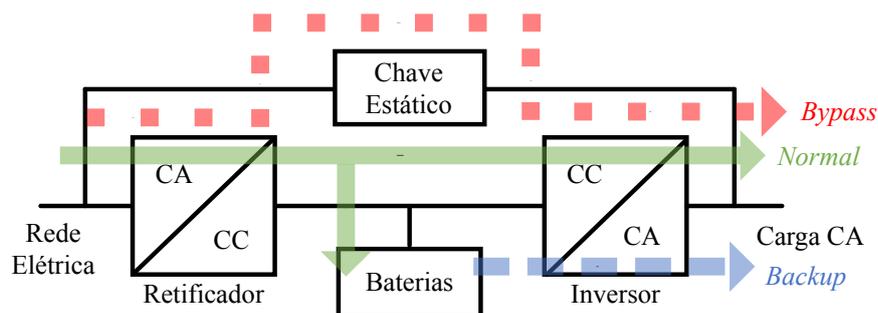
Figura 1 – Estrutura padrão para uma UPS *off-line*.



Fonte: Autoria própria.

Já em uma UPS *on-line* de dupla conversão, a energia é fornecida através do inversor, tanto no modo normal de operação quanto no modo de *backup*. É composta por um retificador, um conjunto de baterias, um inversor e um interruptor estático (*bypass*) (KARVE, 2000) (KAMRAN; HABETLER, 1995). O inversor opera em 100% da potência da carga, visto que deve garantir o fornecimento da carga tanto durante o modo normal de operação quanto durante o tempo de *backup*, e, visto que o mesmo encontra-se sempre ligado, não há tempo de transferência associado à transição entre o modo normal para o modo de energia armazenada, sendo essa sua principal vantagem. Além disso, uma chave *bypass* estática pode conectar a linha de entrada à carga, desconectando o inversor durante sobrecargas ou falhas do mesmo (EMADI *et al.*, 2005) (PLATTS; AUBYN, 1992). A estrutura padrão para uma UPS *on-line* pode ser vista na Figura 2.

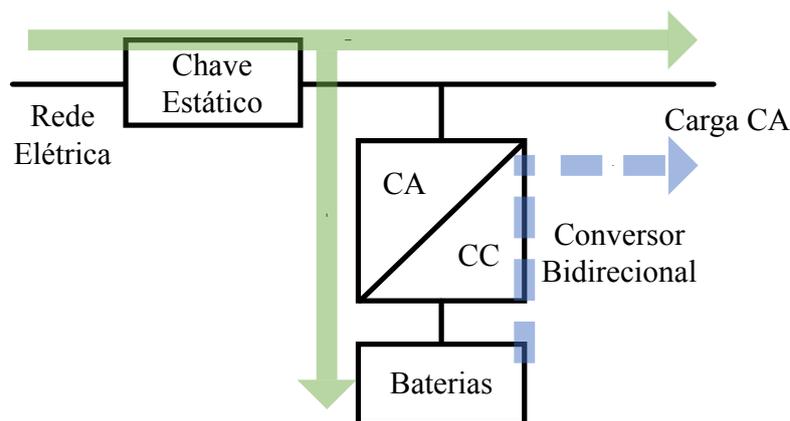
Figura 2 – Estrutura padrão para uma UPS *on-line*.



Fonte: Autoria própria.

Por fim, a UPS interativa com a linha atua de modo intermediário entre o funcionamento de uma UPS *off-line* e uma UPS *on-line*, podendo operar como ambas. Atuando como uma UPS *off-line*, não há a necessidade da presença de um indutor em série, entretanto, a maioria dos sistemas de UPS interativa operam *on-line* a fim de melhorar o fator de potência da carga ou regular a tensão de saída para a carga (RATHMANN; WARNER, 1996) (WU; JOU, 1995). Além disso, no caso onde a linha CA encontra-se dentro da tolerância estabelecida, a UPS alimenta a carga diretamente. No caso onde a UPS interativa opera como uma UPS *on-line*, sua composição se dá por um inversor conectado em paralelo com a carga, que carrega a bateria, e que também pode fornecer potência reativa a fim de manter o fator de potência unitário ou para regular a tensão de saída (KAMRAN; HABETLER, 1995) (PLATTS; AUBYN, 1992). A estrutura padrão para uma UPS *line interactive* pode ser vista na Figura 3.

Figura 3 – Estrutura padrão para uma UPS *line interactive*.



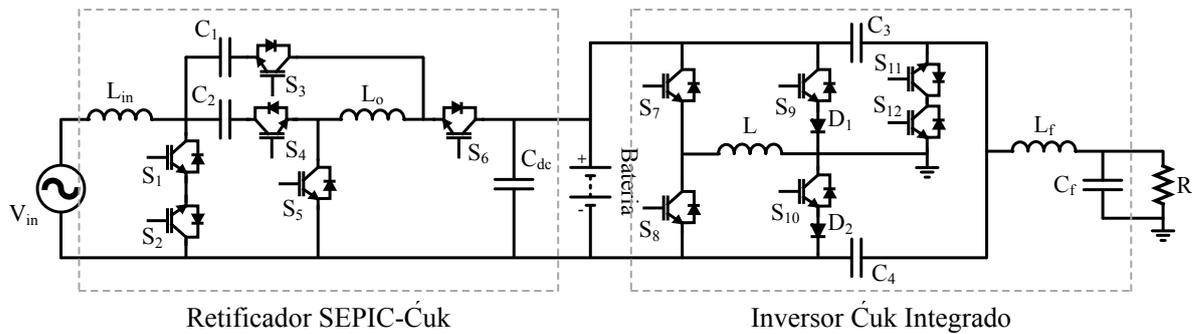
Fonte: Autoria própria.

Como foi dito anteriormente, as UPS são amplamente utilizadas nos mais diversos ramos, e alguns parâmetros são muito relevantes ao se implementar este equipamento, como potência, volume e tempo de autonomia, visto que o custo do equipamento pode aumentar muito dependendo de suas características. Com o passar dos anos, os estudos sobre UPS apresentaram um aumento na eficiência, um menor volume, maior facilidade para instalação e uma interface amigável ao usuário, enquanto também elevaram a confiabilidade dos equipamentos (PLATTS; AUBYN, 1992).

1.3 UPS ESTÁTICA ONLINE PROPOSTA

O sistema de UPS estática *on-line* proposto neste trabalho utiliza um retificador PFC SEPIC-Ćuk para manter um barramento CC energizado e carregar um banco de baterias a partir da rede elétrica monofásica. Para converter a tensão CC do barramento para CA, utiliza-se um inversor Ćuk integrado. As baterias utilizadas são conectadas diretamente no barramento CC e carregadas pelo retificador, o qual realiza o papel de conversor controlador de carga a partir do controle da corrente de entrada. O controle do sistema inclui uma estrutura para o retificador, que mantém a corrente adequada bem como a tensão do barramento, e outra estrutura que garante uma tensão na carga de 180 V de pico e frequência de 60 Hz. A Figura 4 apresenta a estrutura desenvolvida neste trabalho.

Figura 4 – Estrutura de UPS desenvolvida no trabalho.

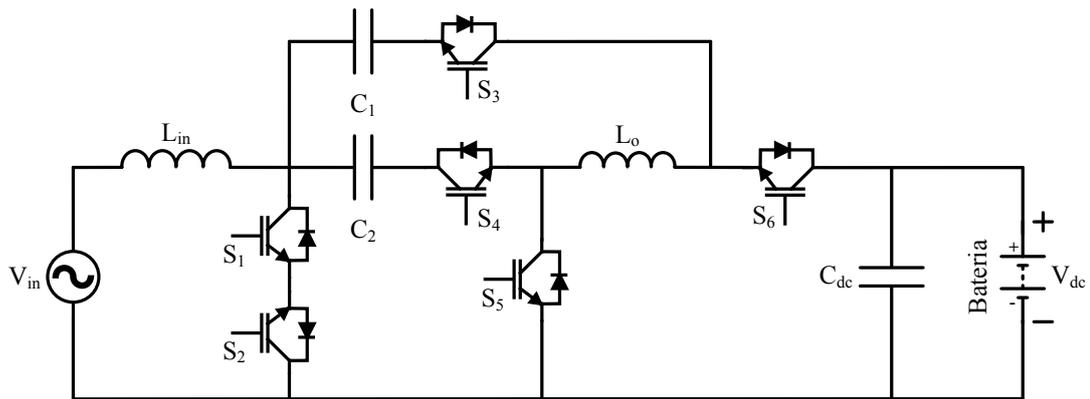


Fonte: Autoria própria.

1.3.1 Retificador PFC baseado na topologia SEPIC-Ćuk

O retificador SEPIC-Ćuk combina as topologias dos conversores SEPIC e Ćuk para transformar uma tensão alternada em contínua, realizando o abaixamento do nível da tensão de entrada com relação a de saída, diferentemente de uma estrutura convencional que atua elevando a tensão de entrada com relação a de saída. O circuito proposto utiliza seis interruptores de potência, com dois operando em alta frequência e quatro em baixa frequência. Durante o semiciclo positivo da rede, o conversor opera como SEPIC, e no negativo, como Ćuk. Operando em modo de condução descontínua (MCD), o retificador possui seis etapas de operação, três para cada semiciclo. A topologia proposta pode ser observada na Figura 5.

Figura 5 – Estrutura de retificador proposta para a UPS.

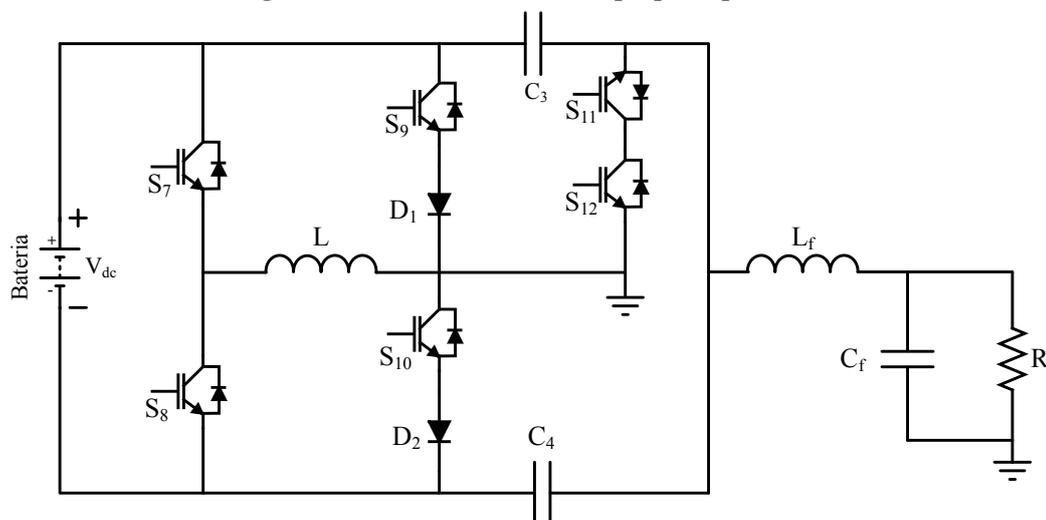


Fonte: Autoria própria.

1.3.2 Inversor Integrado baseado no conversor Ćuk

O inversor proposto é composto estruturalmente por dois conversores Ćuk que compartilham indutores de entrada e saída, operando alternadamente nos semiciclos. A topologia opera em modo de condução descontínua a fim de simplificar o controle, resultante da menor interferência dos indutores na resposta em frequência do conversor. Ao todo, a estrutura possui seis etapas de operação, sendo três para o semiciclo positivo e três para o negativo, definindo a acumulação e fornecimento de energia. O circuito apresenta seis interruptores de potência, com dois atuando em alta frequência e quatro em baixa frequência, além de diodos que tornam os interruptores unidirecionais. A carga é representada por um resistor e a tensão do barramento por uma fonte constante. A topologia proposta pode ser observada na Figura 6.

Figura 6 – Estrutura de inversor proposta para a UPS.



Fonte: Autoria própria.

1.4 OBJETIVOS

Esta dissertação tem por objetivo o desenvolvimento de uma nova topologia de UPS estática *on-line*, a qual é composta por um retificador com PFC associado a um inversor integrado, o qual realiza a elevação e conversão CC/CA da tensão. Assim, é proposta uma nova topologia de retificador PFC baseado na topologia SEPIC-Ćuk, bem como uma nova estrutura de inversor integrada proposta com base no conversor Ćuk. Desta forma, a UPS proposta visa fornecer uma tensão senoidal, controlada e regulada para diferentes tipos de cargas conectadas no sistema, bem como drenar corrente senoidal com baixa distorção harmônica da rede. Adicionalmente, como o sistema faz uso de baterias, a UPS tem autonomia para fornecer energia mesmo na ausência da rede elétrica.

1.4.1 Objetivos específicos

Os objetivos específicos podem ser elencados como:

- Avaliar o funcionamento das estruturas de retificador e inversor;
- Obter as principais equações que descrevem o funcionamento das estruturas;
- Modelar matematicamente as estruturas de retificador e inversor;
- Projetar uma estrutura de controle que garanta o funcionamento da UPS;
- Simular o sistema proposto para diferentes situações;
- Realizar a montagem experimental da UPS;
- Comparar os resultados práticos, teóricos e simulados.

1.5 JUSTIFICATIVA

Devido ao constante aumento do uso de energia elétrica para as mais diversas atividades, inúmeras cargas críticas são utilizadas, as quais não poder deixar de receber energia, como as presentes em hospitais, *Data centers* e companhias aéreas (ZHOU *et al.*, 2008). Para realizar esta função, a pesquisa por diferentes maneiras de se manter a energia nestes equipamentos diante de um distúrbio da rede elétrica se faz cada vez mais importante, propondo diversas maneiras para cumprir este objetivo, onde cada qual apresenta suas vantagens e desvantagens.

As UPS *on-line*, as quais são foco deste trabalho, apresentam algumas características favoráveis sobre os demais tipos de UPS, como a ausência de tempo de comutação entre o uso da energia da rede para o uso da energia das baterias, tornando-a muito vantajosa para determinadas aplicações.

O presente estudo visa apresentar duas novas topologias de retificador e de inversor que possibilitam uma diminuição da tensão sobre o barramento CC da UPS, pois ambas as estruturas possuem a característica de elevar e abaixar a tensão de entrada, além disto, é estudado o possível aumento de eficiência ao empregar estas novas topologias em sistemas de energia ininterruptos.

Além do estudo sobre a UPS, é relevante ressaltar os circuitos de retificador e inversor que serão utilizados, os quais são novas topologias de conversores de potência que, a partir do estudo apresentado, também podem ser utilizados para outras aplicações, como em geração distribuída, microrredes, etc.

1.6 CONTRIBUIÇÃO DO TRABALHO

Nesta seção são apresentadas as principais contribuições do trabalho, como segue:

- Propor dois novos conversores, sendo um retificador PFC denominado SEPIC-Ćuk (CA/CC), e um inversor integrado denominado ICI (CC/CA), os quais podem ser implementados nas mais diversas aplicações, como microrredes, geração distribuída, UPS, entre outros;
- Apresentar uma estrutura de UPS de dupla conversão que opera com um retificador e um inversor integrado, os quais realizam a elevação e abaixamento dos níveis de tensão da saída em relação a entrada.

1.7 ORGANIZAÇÃO DO TRABALHO

Este trabalho apresenta uma breve introdução sobre a teoria por trás de uma UPS, assim como apresenta um estudo do estado da arte onde, de forma sucinta, são apresentadas algumas estruturas de UPS no Capítulo 2. No Capítulo 3 há uma análise detalhada do sistema proposto neste trabalho, apresentando o circuito que foi implementado assim como as equações e curvas de onda pertinentes aos circuitos de inversor e retificador.

No Capítulo 4 há o projeto dos componentes passivos do inversor e retificador, os quais

foram utilizados para simulação. Já no Capítulo 5 são apresentados os cálculos e equacionamentos pertinentes à análise em pequenos sinais dos circuitos de inversor e retificador, assim como projeto dos controladores. Por fim, no Capítulo 6 foram apresentados os resultados de simulação referentes à UPS implementada no *software Simulink*[®].

No Capítulo 7 são apresentados os resultados experimentais para a UPS proposta, demonstrando resultados pertinentes sobre seu funcionamento. Por fim, no Capítulo 8, são apresentadas as conclusões relacionadas ao trabalho, apresentando também perspectivas futuras para continuidade.

2 REVISÃO DA LITERATURA

Este capítulo tem por objetivo apresentar uma revisão da literatura acerca de sistemas que serão estudados pelo presente trabalho, apresentando os conceitos e um breve estudo do estado da arte sobre fontes de alimentação ininterruptas.

2.1 UNINTERRUPTIBLE POWER SUPPLY (UPS)

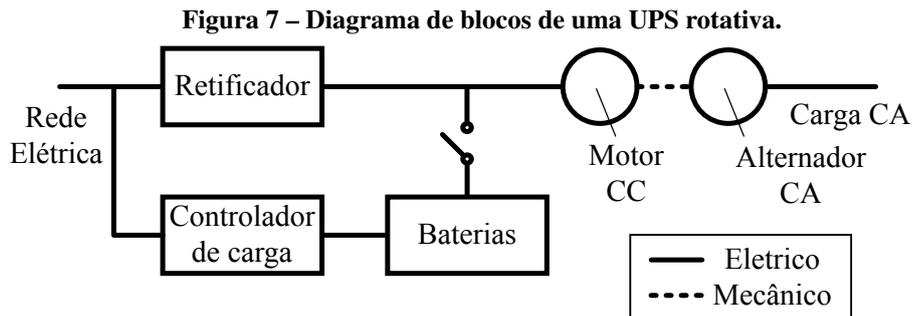
Uninterruptible Power Supply refere-se a um equipamento que fornece energia durante um período para manter uma carga energizada, quando a fonte principal de energia é interrompida. Além disto, este equipamento previne distúrbios de energia na carga conectada, como sobretensões, subtensão, variação de frequência, harmônicos, *flicker* (SILVA, 2019).

As UPS são utilizadas em larga escala em locais onde uma pequena interrupção de energia poderia causar um grande dano ao sistema, como em *data centers*, bancos, computadores, sistemas de controle, usinas nucleares e hospitais (VAZQUEZ *et al.*, 1998). Por conta disto, é preciso que estes equipamentos possuam uma alta confiabilidade (SHI *et al.*, 2015) (GUERRERO *et al.*, 2007; SHI *et al.*, 2015).

Uma UPS ideal deve entregar energia a uma carga de forma constante e ininterrupta, proporcionando o que for preciso para manter esta carga energizada. Com isso tem-se que, idealmente, este sistema apresente as seguintes características (EMADI *et al.*, 2005):

- Baixa taxa de distorção harmônica (TDH) na tensão entregue à carga, independente da alteração da tensão de entrada ou da carga presente;
- Operação *On-line*, ou seja, troca instantânea de modo de operação;
- Baixa TDH na corrente de entrada e fator de potência unitário;
- Alta confiabilidade;
- Baixa interferência eletromagnética (EMI) e baixa taxa de ruídos sonoros;
- Baixa manutenção;
- Custo, peso e volume reduzidos.

As primeiras UPS foram desenvolvidas na década de 50, nomeadas de *no-break*, utilizavam um sistema rotativo para fornecimento direto da tensão para a carga (Figura 7). Este tipo de UPS é mais confiável que os sistemas subsequentes, porém apresentam algumas desvantagens cruciais, como maior necessidade de manutenção, maior peso e volume e menor eficiência (84-88%), esta última devido à perda presente nos componentes mecânicos (PLATTS; AUBYN, 1992).



Fonte: Adaptado de Platts e Aubyn (1992).

Este tipo de UPS pode apresentar dois modos de operação, sendo eles:

- Modo Normal: A tensão da fonte principal de energia apresenta-se em condições aceitáveis para fornecer energia para o sistema, fornecendo energia para o motor de corrente contínua e para as baterias.
- Modo *Backup*: A tensão da fonte principal apresenta-se em condições fora de operação, como por exemplo sobretensão, subtensão ou queda de operação. Isso faz com que o retificador interrompa a operação, acionando o banco de baterias para alimentar o motor.

As UPS rotativas foram desenvolvidas na década de 50, levando este nome por possuir um elemento rotativo em sua estrutura. Em meados da década de 70, com o desenvolvimento da eletrônica de silício, estas foram substituídas pelas UPS estáticas, a qual não possuíam mais o elemento rotativo. Diferente de sua antecessora, as UPS estáticas apresentam um rendimento maior, além de uma diminuição considerável de seu volume e peso, como também uma simplicidade maior de integração à outros sistemas. Contudo, ainda assim apresentam algumas desvantagens, como fato de ainda não atingirem uma eficiência satisfatória em determinadas situações e um custo elevado (PINTO, 2012).

Este modelo de UPS é o mais utilizado, e possui, de forma simplificada, quatro elementos básicos, sendo eles um elemento armazenador de energia, como baterias que são utilizadas

ao ocorrer algum distúrbio na fonte principal de energia, um retificador, que converte a tensão alternada da fonte principal para tensão contínua do barramento CC, um inversor, que converte a tensão contínua do barramento CC para alternada e um comutador estático, que permite conectar a fonte principal de energia diretamente com a carga. Existem três possibilidades de sistema, sendo: *On-line*, *Off-line* e *Line interactive*.

Cada modelo de UPS citado apresenta uma característica com relação às garantias de proteção a distúrbios da rede, apesar de todos os três sistemas possuírem o intuito de manter uma tensão de qualidade em uma carga. A Tabela 2 apresenta os dez distúrbios mais frequentes que ocorrem na rede e qual estrutura de UPS que garante proteção contra este distúrbio.

Tabela 2 – Distúrbios mais comuns da rede e UPS que compensa tal distúrbio

Distúrbio de tensão	Tempo	Topologias de UPS		
		<i>Off-line</i>	<i>Line interactive</i>	<i>On-line</i>
Interrupção (<i>blackout</i>)	>10ms	X	X	X
Afundamento de tensão	> 16ms	X	X	X
Elevação de tensão	> 16ms	X	X	X
Afundamento de tensão momentâneo	<16ms		X	X
Elevação de tensão momentâneo	<16ms		X	X
Cintilação (<i>flicker</i>)	Esporádico			X
Transitório (<i>surge</i>)	<4ms			X
Variação de frequência	Esporádico			X
Variação em alta frequência (<i>burst</i>)	Periódico			X
Harmônicas	Contínuo			X

Fonte: (SOLTER, 2002)

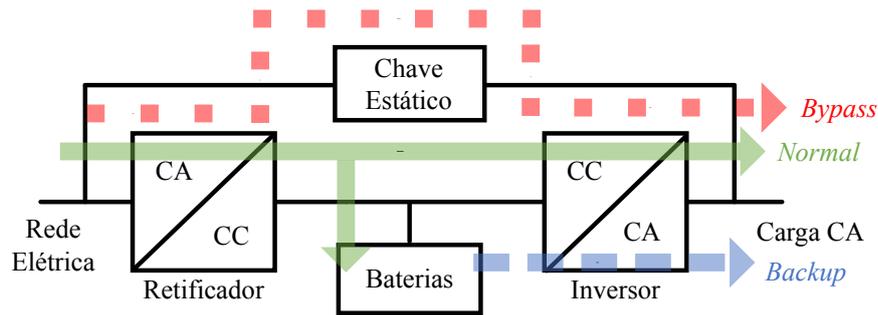
2.1.1 UPS *On-line* de dupla conversão

Nesta estrutura, o inversor sempre será o responsável por fornecer energia para a carga. Isto proporciona a vantagem de não haver tempo de comutação entre os modos de operação, mas em contrapartida, pode apresentar um rendimento menor devido às perdas de comutação presente nos interruptores, além de um custo mais elevado de implementação.

A estrutura descrita pode ser observada pela Figura 8, sendo composta pelo retificador, inversor, banco de baterias e um comutador estático. É possível também adicionar um conversor CC/CC bidirecional com a função de servir como carregador das baterias assim como adequar os níveis de tensão entre bateria e barramento. Isso pode acarretar em um aumento da vida útil das baterias, em troca de uma menor eficiência, maior custo e maior volume.

Esta UPS apresenta três modos de operação, sendo eles (JÚNIOR, 2013),(MCLENNAN, 1994):

Figura 8 – Diagrama de blocos de uma UPS *On-line*.



Fonte: Autoria própria.

- Modo normal: Neste modo o retificador PFC controlado drena corrente da rede elétrica para carregar o barramento e as baterias, enquanto o inversor utiliza esta energia presente no barramento para manter a carga energizada.
- Modo de *Backup*: Os parâmetros da fonte principal apresentam algum tipo de anormalidade, seja de afundamento de tensão, sobretensão ou interrupção na rede, onde o retificador pára sua operação, e o banco de baterias juntamente com o inversor mantém a carga energizada. Durante a transferência entre o modo normal para este modo, não há a comutação de nenhuma chave, apenas a interrupção de operação do retificador, fazendo com que não haja interrupção de energia na carga.
- Modo *bypass*: Quando a UPS não pode ser utilizada, o modo *bypass* é ativado, que faz com que a carga receba energia diretamente da fonte principal de energia. Esta etapa é garantida por um comutador estático conectado entre a entrada e a carga.

2.1.2 UPS *Off-line* ou *standby*

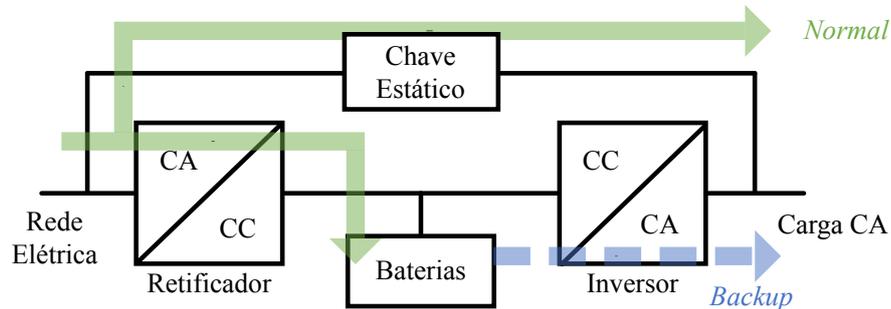
Diferente das UPS *On-line*, à estrutura *Off-line* não realiza o condicionamento permanente da energia entregue a carga, ou seja, o retificador presente na entrada da UPS realiza somente o carregamento das baterias presentes no sistema, enquanto a chave estática é responsável por conectar a fonte principal de energia com a carga.

Durante sua operação em modo normal, a fonte principal de energia fornece tensão diretamente para a carga via chave estática. Caso a fonte principal apresente alguma falha, a chave é comutada, fazendo com que as baterias e o inversor entrem em operação.

Como pode ser observado na Figura 9, a estrutura da UPS *Off-line* é muito similar à

On-line, alterando somente o funcionamento para os modos de operação.

Figura 9 – Diagrama de blocos de uma UPS *Off-line*.



Fonte: Adaptado de Pinto (2012).

Os modos de operação de uma UPS *Off-line* podem ser descritos como:

- Modo normal: Neste modo, a rede alimenta a carga de forma direta pelo comutador estático, podendo ou não passar por um filtro, dependendo da qualidade da energia da rede presente. Durante este modo, o retificador carrega a bateria, para que estas possam ser utilizadas no modo *Backup*.
- Modo *Backup*: Ao ocorrer uma interrupção no fornecimento de energia, o conversor entra neste modo, o qual a carga recebe energia a partir das baterias carregadas. Este modo dura até o restabelecimento da fonte principal de energia, ou até a descarga completa das baterias a níveis em que a permanência de sua utilização resultariam em danos à mesma.

2.1.3 UPS *Line interactive*

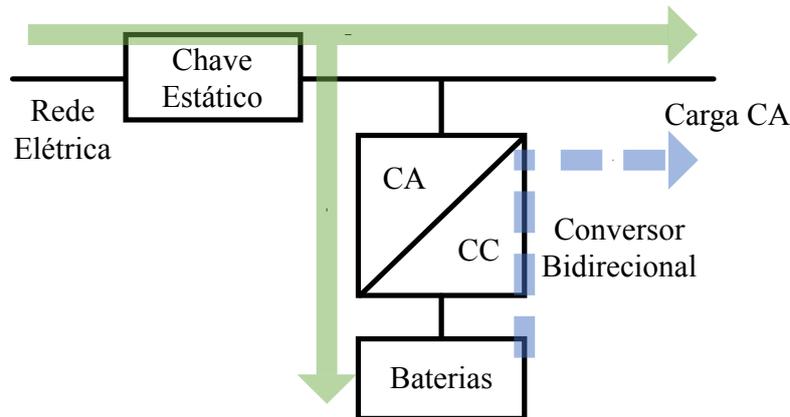
Esta estrutura surgiu como um meio termo entre as estruturas descritas anteriormente, ou seja, este modelo apresenta vantagem em desempenho somente quando comparada a uma estrutura *off-line*, assim como apresenta vantagens em relação a custo quando comparada à estrutura *on-line*.

São constituídos por um comutador estático, um inversor bidirecional CA/CC, um inversor, um transformador e um elemento armazenador de energia, como um banco de baterias, como pode ser observado na Figura 10.

Os modos de operação de uma UPS *Line-interactive* são:

- Modo normal: Neste modo o comutador estático permanece acionado, caso a tensão presente na fonte principal de energia não apresente distúrbios e a carga consuma uma corrente

Figura 10 – Diagrama de blocos de uma UPS *Line-Interactive*.



Fonte: Adaptado de Emadi *et al.* (2005).

puramente senoidal, esta alimenta diretamente a carga, enquanto o conversor bidirecional realiza o carregamento das baterias. Caso a carga apresente característica não linear, o inversor bidirecional deixa de carregar as baterias para realizar a compensação da corrente, tornando a corrente vista pela rede como uma corrente com fator de deslocamento unitário. Neste mesmo modo, caso haja um evento de subtensão ou sobretensão o transformador, junto ao inversor, são utilizados para compensar o distúrbio.

- Modo *bypass*: Como nas demais estruturas, este modo é utilizado quando a fonte principal não consegue alimentar a carga de forma satisfatória, então o comutador estático é aberto e o banco de baterias juntamente ao inversor são responsáveis por suprir energia para a carga.

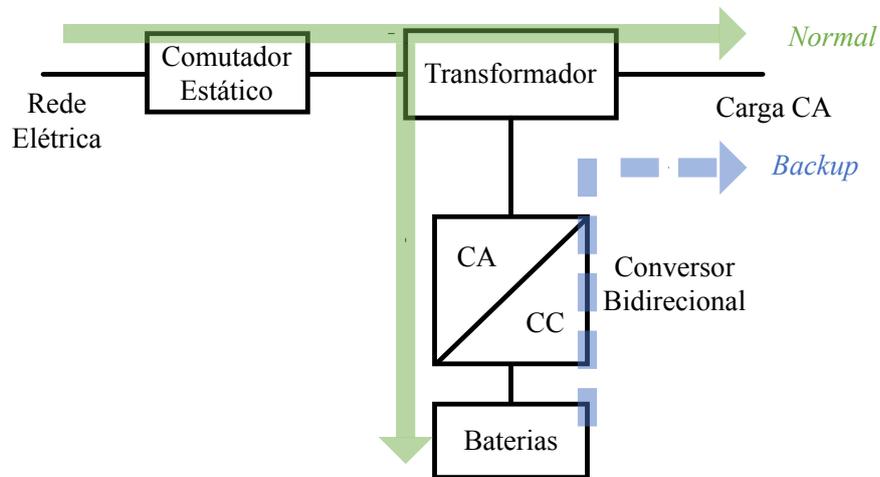
2.1.4 UPS *standby-ferro*

Este tipo de UPS faz o uso de um transformador com três enrolamentos que opera em estado de saturação, o que permite este absorver variações de tensão em sua entrada e manter a tensão de saída estável.

Neste tipo de estrutura, o inversor permanece em *standby* até o momento em que a chave estática é comutada devido a algum distúrbio na tensão da rede, o que faz com que a estrutura opere a partir da energia armazenada no banco de baterias. Como vantagens, é possível citar que neste tipo de sistema há o isolamento entre a carga e a rede elétrica, porém, estes normalmente apresentam um grande volume e peso quando comparados aos outros sistemas de UPS, além de uma baixa eficiência (RASMUSSEN, 2010). O diagrama de blocos de uma UPS *standby-ferro*

pode ser observada na Figura 11.

Figura 11 – Diagrama de blocos de uma UPS *standby-ferro*.



Fonte: Adaptado de Rasmussen (2010).

Os modos de operação para a UPS *standby-ferro* são:

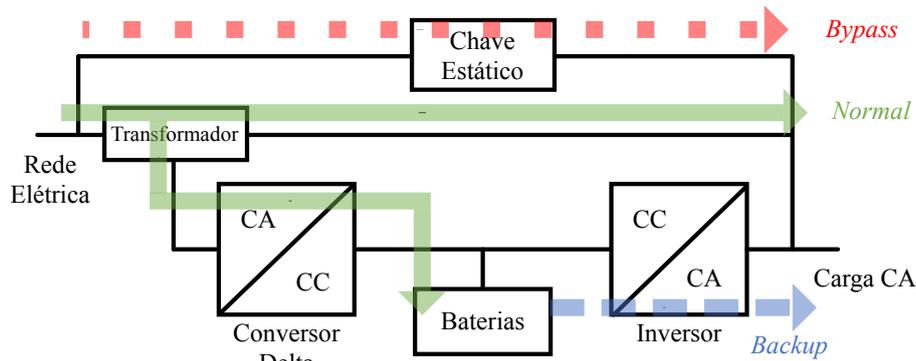
- Modo normal: Durante este modo a carga recebe energia proveniente da rede elétrica, enquanto o banco de baterias também recebe energia, sendo carregadas através do circuito controlador de carga.
- Modo *backup*: Ao detectar algum distúrbio presente na rede elétrica, a chave estática é comutada, fazendo com que a rede elétrica pare de fornecer energia para a carga, e o banco de bateria junto ao inversor realizam esta função.

2.1.5 UPS *Delta Conversion*

Este tipo de UPS possui o funcionamento muito parecido a de uma UPS *on-line* de dupla conversão, onde o conversor principal também entrega energia para a carga em todos os momentos.

Diferente da UPS de dupla conversão, esta possibilita sistemas com uma eficiência maior, visto que não há a conversão da energia CA em CC para o banco de baterias, e posteriormente para CA novamente. Para este tipo de sistema há um conversor denominado "conversor delta", o qual possui duas funções, sendo: controlar as características da energia de entrada e controlar o carregamento do banco de baterias (SPITAELS *et al.*, 2021). O diagrama de uma UPS delta pode ser visto na Figura 12.

Figura 12 – Diagrama de blocos de uma UPS *Delta conversion*.



Fonte: Adaptado de Spitaels et al. (2021).

Os modos de operação de uma UPS *Delta conversion* são:

- Modo *on-line* normal: Da mesma maneira que uma UPS de dupla conversão, o conversor principal sempre fornece energia para a carga, porém, para este caso, tem-se que o conversor delta também fornece energia, regulando a tensão da carga.
- Modo normal *Bypass*: Durante este modo apenas o conversor principal esta operando, o qual realiza o carregamento das baterias. Durante este modo o conversor delta permanece em *standby*, aguardando a chave estática comutar diante algum distúrbio de tensão.

2.1.6 Retificadores (CA/CC)

Circuitos retificadores são responsáveis por condicionar uma tensão alternada (CA) em sua entrada em uma tensão contínua (CC) em sua saída. Existem diversas estruturas responsáveis por realizar esta tarefa, como circuitos retificadores a diodos. Apesar de sua simplicidade, este circuito apresenta um grande problema quando relacionado à qualidade de energia elétrica, referente à taxa de distorção harmônica presente na corrente drenada da fonte CA.

Para tentar resolver este problema, são utilizados retificadores com *Power Factor Correction* (PFC), os quais possuem a capacidade de mitigar os problemas relacionados à distorção harmônica da corrente drenada da rede, permanecendo de acordo com normas como a IEC 61000-3-2 (LIU et al., 2017) (HWU et al., 2019).

Um circuito PFC, em essência, é a união de uma ponte retificadora a um conversor CC-CC comutado em alta frequência, como os conversores Buck, Boost, SEPIC, dentre outros (ISMAIL, 2009) (ZHAO et al., 2016). Em aplicações para potências mais elevadas, este método

pode ocasionar perdas elevadas por conta do fluxo de corrente, tornando esta opção não muito atrativa. Por conta disto, diversos trabalhos vêm apresentando circuitos também baseados nos conversores CC/CC, mas que dispensam o uso de uma ponte de diodos (ZHOU *et al.*, 2016).

Retificadores consolidados na literatura baseados nos conversores Buck e Boost apresentam algumas limitações, como a descontinuidade da corrente de entrada do conversor Buck, a qual gera um alto conteúdo harmônico na corrente drenada na rede, e a incapacidade do PFC Boost em gerar uma tensão de saída menor que o pico da tensão de entrada (MAHDAVI; FARZANEHFARD, 2011). Estas limitações fazem com que a implementação destes circuitos sejam limitadas, tornando necessário o desenvolvimento de novos conversores estáticos de potência com correção ativa de fator de potência.

Um ponto importante em ressaltar é a escolha do modo de condução do PFC. O circuito pode tanto operar no modo de condução contínuo (MCC) quanto no modo de condução descontínuo (MCD), existindo algumas vantagens e desvantagens em cada escolha. Para o PFC, o modo de condução descontínuo apresenta uma grande vantagem vinculada ao seu fator de potência ser próximo ao unitário mesmo sem uma estrutura de controle, ou seja, para o circuito operando no MCD, este apresenta uma correção no fator de potência natural, podendo ser operado com uma razão cíclica constante, enquanto que para o MCC é preciso um circuito de controle (MAHDAVI; FARZANEHFARD, 2011) (SIMONETTI *et al.*, 1997).

2.1.7 Inversores (CC/CA)

Inversores de tensão, ou conversores CC/CA, são estruturas responsáveis por condicionar uma tensão contínua em sua entrada em uma tensão ou corrente alternada em sua saída, sendo possível regular a amplitude e a frequência da tensão ou corrente de saída. Comumente é utilizada a topologia fonte de tensão em ponte completa (*full-bridge*) para realizar esta conversão (CAMPANHOL, 2012).

Esta função é realizada pelo inversor a partir da comutação dos interruptores em alta frequência, a qual, juntamente a uma malha de controle, possibilita seu correto funcionamento (RODRIGUES, 1998).

Os circuitos convencionais dos inversores, como o *full-bridge* e *half-bridge*, possuem uma característica de ganho similar ao do conversor Buck, ou seja, a tensão de saída sempre será menor que a tensão de entrada, limitando estes circuitos a algumas implementações.

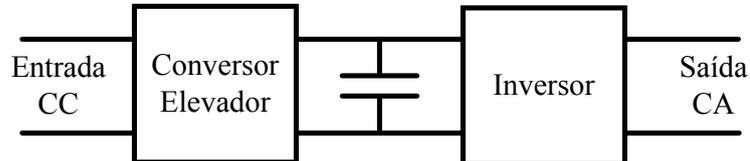
Para resolver este problema, são desenvolvidas estruturas de inversores de único estágio,

as quais são capazes de realizar uma elevação ou abaixamento da tensão de saída com relação à tensão de entrada, conforme proposto, inicialmente, por Galotto (2011). Este tipo de estrutura possui algumas vantagens em relação às convencionais, as quais empregam um conversor elevador junto ao inversor, sendo elas: (BARNES *et al.*, 2012) (MEDEIROS *et al.*, 2020)

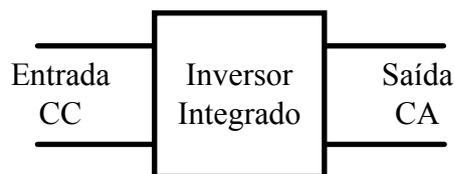
- Ausência do barramento entre estágio, dispensando a utilização de um capacitor de valor elevado e curta vida útil;
- A eficiência total do sistema se torna uma relação direta da eficiência do circuito, e não uma relação de produto entre as eficiências do conversor elevador e do inversor;
- Possibilidade da diminuição da quantidade de componentes utilizada, gerando assim uma diminuição de volume e custo.

A representação de ambos os sistemas, de duplo e simples estágio, podem ser observados na Figura 13.

Figura 13 – Representação dos sistemas de inversor



(a) Sistema de duplo estágio



(b) Sistema de estágio simples

Fonte: Autoria própria

2.1.8 Baterias

As baterias são elementos cruciais para o funcionamento de uma UPS, seja ela *on-line*, *off-line* ou *line-interactive*. Este componente tem por objetivo armazenar energia, para que quando a rede elétrica não esteja operando, este possa manter a carga ligada com uma tensão e

frequência reguladas. É de interesse apresentar as características deste elemento por se tratar de algo que interfere diretamente no resultado final da UPS, influenciando muito em seu tamanho, custo, peso e durabilidade.

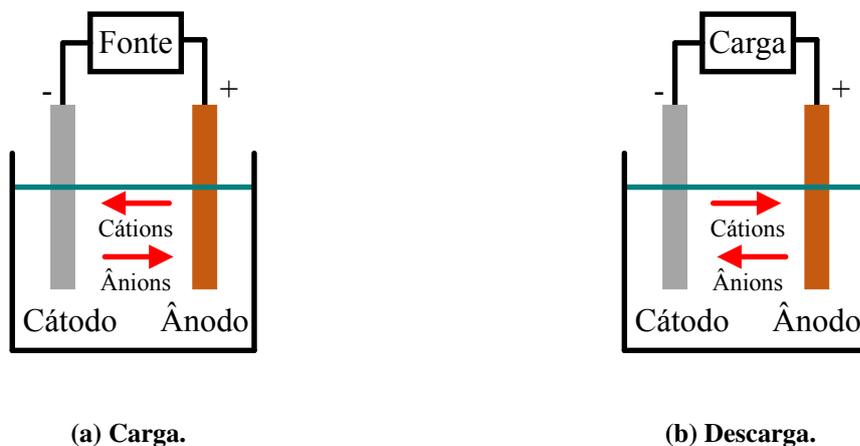
Estes elementos são capazes de converter a energia química diretamente em energia elétrica por meio de uma reação de oxidação e redução, fenômeno que transfere os elétrons dos materiais que oxidam para os materiais que reduzem (MICHELINI, 2017). Para o uso de baterias em UPS, é preciso que este processo seja feito também de forma reversa, para que a bateria possa também ser carregada com energia elétrica.

De forma simplificada, uma bateria é composta por três componentes, sendo eles anodo, catodo e eletrólito, onde:

- **Ânodo:** responsável por fornecer elétrons para o circuito externo, sofrendo oxidação durante a reação;
- **Cátodo:** Responsável por receber os elétrons do circuito externo, sofrendo redução durante a oxidação;
- **Eletrólito:** meio onde ocorre a transferência de carga, sendo tipicamente líquido.

Durante a recarga de uma bateria recarregável, o processo é inverso, ou seja, a oxidação ocorre no cátodo, enquanto a redução ocorre no ânodo. A Figura 14 ilustra os processos de descarga e carregamento de uma bateria.

Figura 14 – Representação das etapas de uma bateria



Fonte: Adaptado de (MICHELINI, 2017).

Alguns parâmetros são importantes para definir qual bateria utilizar em determinado projeto. Estes parâmetros são disponibilizados pelos fabricantes, onde os principais são (PINTO, 2012) (MICHELINI, 2017) (ATAIDE, 2010):

- Capacidade nominal [Ah]: Indica a quantidade de carga que a bateria consegue armazenar. Para isto, a mesma é descarregada até sua tensão terminal com uma corrente e temperatura constante. Por exemplo, uma bateria de $2000mAh$ pode alimentar uma carga que consome $200mA$ durante 10 horas;
- Taxa de carregamento [$\eta.C$]: Parâmetro que indica a taxa de carregamento, ou seja, uma bateria sendo carregada a $1C$ significa que esta está sendo carregada com a corrente nominal, e irá carregar em um período de uma hora;
- Tensão nominal [V]: Tensão ideal presente sobre os terminais de uma bateria;
- Tensão terminal [V]: Tensão mínima presente sobre os terminais da bateria, indicando que esta está totalmente descarregada;
- Resistência interna [Ω]: Resistência equivalente referente à bateria. Este valor é relacionado à perda de energia por calor;
- Estado da carga (SoC) [%]: Parâmetro que indica o estado de carregamento da bateria, podendo ser medido de inúmeras formas, como temperatura, tensão, corrente e massa ativa;
- Ciclos [η]: Valor informado pelo fabricante relacionado à vida útil da bateria, expressando o número total de carregamentos completos suportados.

Em sistemas UPS, as baterias que são amplamente utilizadas são as de chumbo-ácido, as quais não apresentam um efeito memória, ou seja, manter a bateria em carga flutuante por longos períodos de tempo não resulta em danos, sendo essencial para aplicações em UPS, visto que em grande parte do tempo a rede elétrica estará presente (MCLENNAN, 1994).

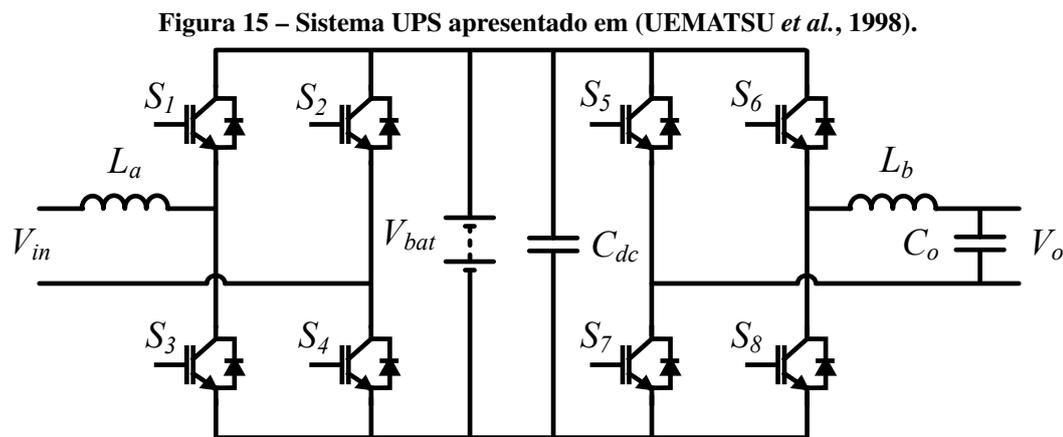
Outras características de baterias de chumbo-ácido são: sua quantidade de ciclos, que varia de 200 a 300; sua sensibilidade a ciclos profundos, os quais são prejudiciais; sua sensibilidade a temperatura, onde o aumento de temperatura diminui sua vida útil; bateria simples de se fabricar, tendo um custo reduzido em relação às demais; capacidade de elevadas taxas de descarga; densidade baixa de energia, fazendo com que possuam um maior volume

e maior peso; seus compostos podem causar danos ambientais; não podem ser armazenadas descarregadas, por conta de sulfatação, uma condição que torna difícil, se não impossível, recarregar as baterias (MICHELINI, 2017).

2.2 ESTADO DA ARTE

Diversos trabalhos vêm propondo ao longo dos anos maneiras diferentes de se construir UPS *on-line*, principalmente quando se trata do emprego de topologias de retificadores e inversores.

O método tradicional de ser implementada apresentado em Uematsu *et al.* (1998), é por meio de um conversor *back-to-back*, onde o primeiro *full bridge* atua como um retificador PFC, drenando uma corrente senoidal da rede elétrica e carregando as baterias presentes no barramento CC, e o segundo conversor atua como um inversor, suprindo energia para a carga. A estrutura pode ser observada pela Figura 15.



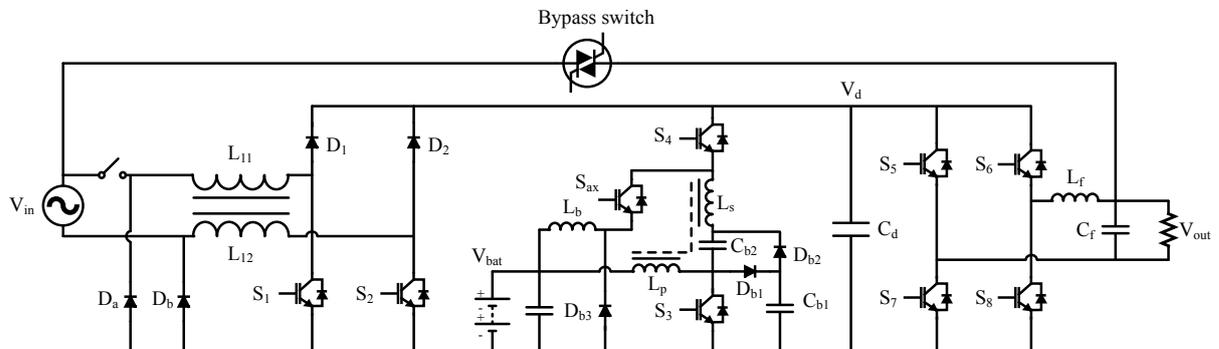
Fonte: Adaptado de (UEMATSU *et al.*, 1998).

Este tipo de implementação apresenta algumas limitações, como uma tensão de barramento elevada, tornando-se necessário o uso de uma maior quantidade de baterias para chegar ao valor de tensão. Ao fazer uso de ambos os conversores *full bridges*, a tensão de barramento necessita ser superior a 180 V, visto que o retificador não é capaz de abaixar a tensão da rede elétrica, e que o inversor não é capaz de operar com uma tensão menor que o pico da tensão de saída.

O sistema de UPS proposto por Aamir e Mekhilef (2017) (Figura 16) utiliza um conversor bidirecional de alto ganho no barramento CC, fazendo com que seja possível utilizar um banco de baterias com uma tensão nominal baixa, além de possibilitar que a tensão das

baterias seja diferente em relação à tensão presente no barramento. Isto faz com que haja a adição de mais um conversor ao sistema, aumentando a complexidade e a quantidade de componentes, podendo ocasionar em um aumento de volume, peso e/ou custo.

Figura 16 – Sistema UPS proposto por (AAMIR; MEKHILEF, 2017).



Fonte: Adaptado de (AAMIR; MEKHILEF, 2017).

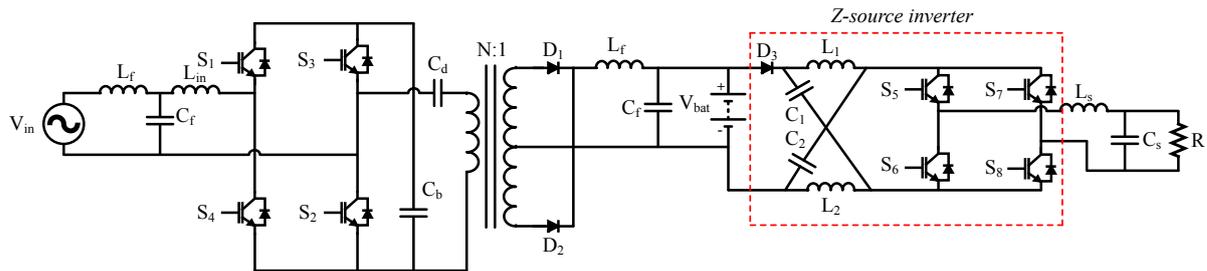
O retificador empregado na estrutura é baseado no conversor boost, o qual também desempenha a função de correção de fator de potência (PFC), enquanto que para alimentar a carga, foi utilizado um inversor *full-bridge* clássico. A UPS apresentou resultados satisfatórios, com uma taxa de distorção harmônica da corrente de entrada de 1,25% e rendimento de 92%, enquanto foi capaz de suprir uma carga e minimizar os problemas de qualidade de energia da rede.

Algumas diferenças podem ser observadas entre as estruturas apresentada por Aamir e Mekhilef (2017) e a estudada neste trabalho, onde naquela há o isolamento do circuito, com a possibilidade de operação com um banco de baterias com tensão nominal baixa, enquanto que para esta há a diminuição da tensão presente sobre o barramento CC, possibilitando utilizar um capacitor que suporte uma tensão menor e uma estrutura de controle mais simples, a qual faz uso de apenas três controladores proporcional-integral (PI), tornando a implementação física mais simples e de menor custo.

Outra maneira de se projetar uma UPS, é removendo o conversor presente no barramento CC, o qual é encarregado de realizar a carga e descarga das baterias. Esta remoção pode gerar uma diminuição da quantidade total de componentes, diminuindo assim o tamanho e peso, o que pode também causar um aumento na eficiência. O trabalho de Ahmad *et al.* (2018) não faz uso de um conversor controlador de carga das baterias, onde o retificador PFC da estrutura realiza esta função.

A estrutura de UPS apresentada na Figura 17 possui um retificador isolado em alta frequência, conectado a um *half-bridge* PFC e um *half-bridge* assimétrico em seu primeiro estágio

Figura 17 – Sistema UPS proposto por (AHMAD *et al.*, 2018).



Fonte: Adaptado de (AHMAD *et al.*, 2018).

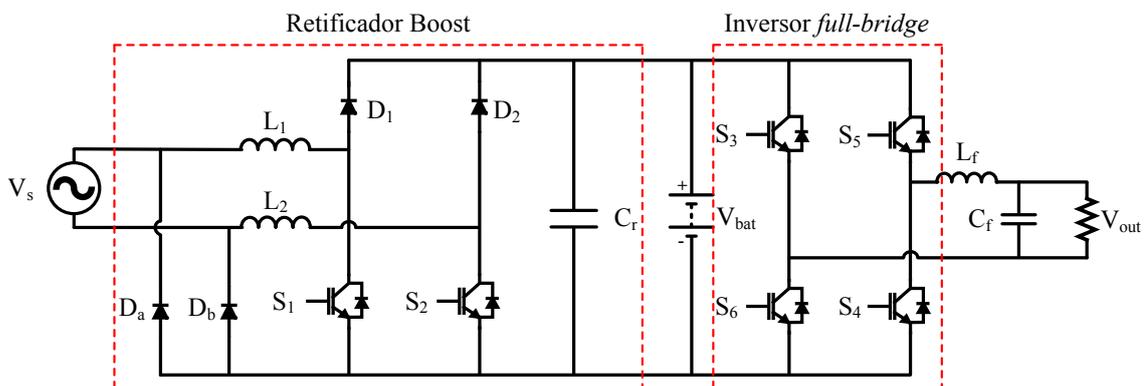
de conversão. Para o segundo estágio, foi utilizado um *Z-source inverter*, o qual possui algumas vantagens como menor número de componentes, diminuindo assim o custo e possibilitando uma diminuição do volume.

Como resultado, a UPS apresentou resultados satisfatórios, possuindo uma eficiência elevada (95,9%), baixa taxa de distorção harmônica (< 1%) e fator de potência próximo ao unitário.

Pontuando algumas diferenças existentes no circuito de UPS apresentado por Ahmad *et al.* (2018) com relação à estudada neste trabalho, tem-se que naquele há o isolamento do sistema por um transformador em alta frequência, assim como um menor número de semicondutores utilizados. Em contrapartida, o sistema apresentado neste trabalho possui um menor número de elementos passivos, assim como uma simplicidade maior em implementação do controle.

Estruturas mais simples de UPS *on-line* também são propostas em diversos trabalhos. O sistema apresentado em Jalan e Gupta (2019) em comparação aos demais é bem mais simples, o qual utiliza um retificador PFC boost junto a um inversor *full-bridge*. Como pode ser observado na Figura 18, este também não possui um conversor controlador de carga para as baterias, deixando esta função para o retificador.

Figura 18 – Sistema UPS proposto por (JALAN; GUPTA, 2019).

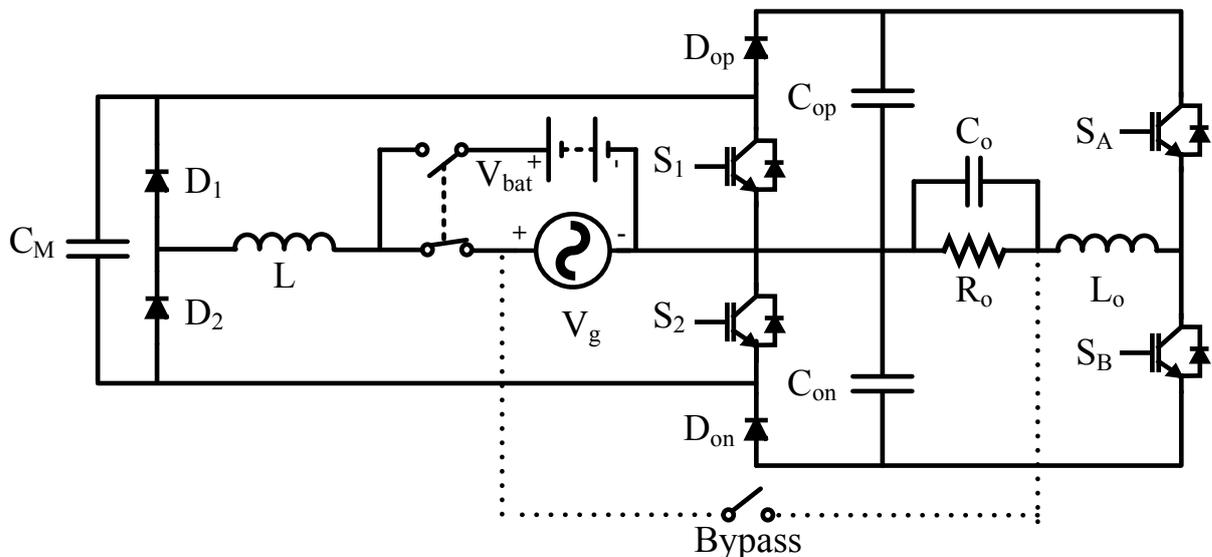


Fonte: Adaptado de (JALAN; GUPTA, 2019).

Esta estrutura apresenta uma grande desvantagem em comparação às demais, vinculada à tensão das baterias do barramento. Como a estrutura utilizada como retificador é baseada no conversor Boost, a tensão de saída sempre será maior que a tensão de pico da entrada, fazendo com que seja necessário que a tensão do barramento seja elevada, podendo tornar necessário a aplicação de muitas baterias para atingir a tensão desejada. Apesar desta desvantagem, este circuito apresenta um baixo número de semicondutores e componentes passivos quando comparado à estrutura de UPS estudada neste trabalho, assim como o uso de circuitos mais simples e consolidados na literatura, como o *full-bridge* e um boost PFC.

No trabalho realizado por Fernandes *et al.* (2021), foi apresentada uma estrutura de UPS empregando um capacitor chaveado, o qual possui a finalidade de garantir o balanço de tensão entre os capacitores presentes no barramento CC. A Figura 19 apresenta a estrutura proposta, a qual é constituída por um retificador e um inversor *half-bridge*.

Figura 19 – Sistema UPS apresentado por (FERNANDES *et al.*, 2021).



Fonte: Adaptado de (FERNANDES *et al.*, 2021).

A estrutura retificadora apresentada opera no MCC, possuindo duas etapas de operação para cada semiciclo da rede, além de duas etapas extras para quando a bateria está sendo utilizada, e a rede elétrica está ausente.

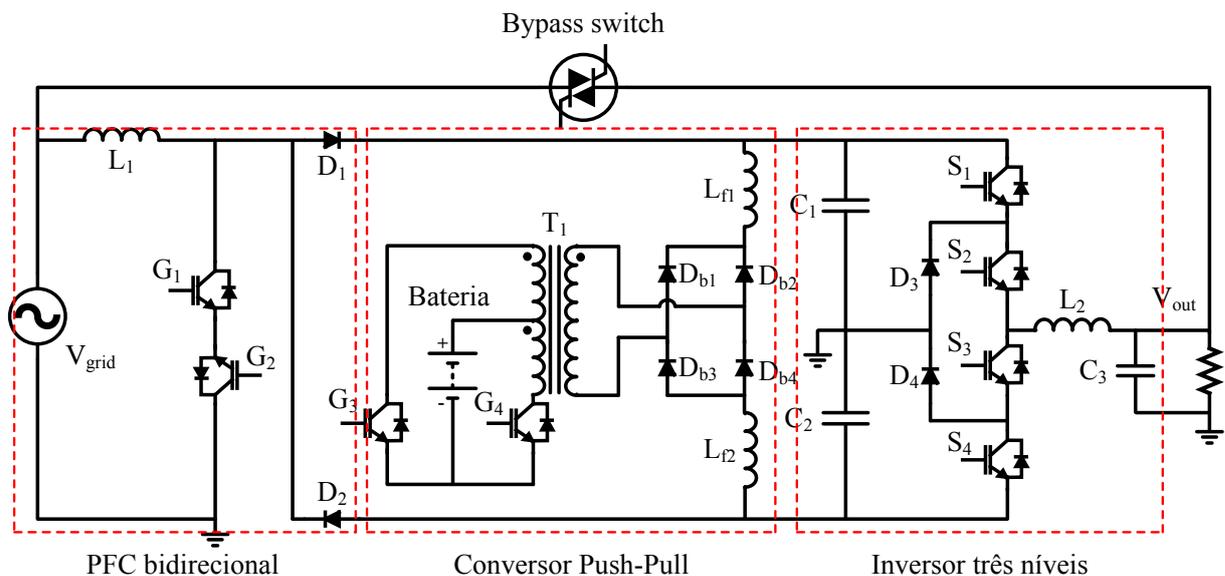
O trabalho apresenta resultados satisfatórios ao que foi proposto, demonstrando que em caso de detecção de falha da rede o interruptor de comutação comanda a bateria a conduzir.

Algumas diferenças que podem ser notadas entre o sistema apresentado por (FERNANDES *et al.*, 2021) e o desenvolvido neste trabalho são que naquele há um menor número de

semicondutores, assim como um menor número de elementos passivos, tornando o sistema mais simples e mais propício a possuir um volume e peso reduzidos. É apresentado também que a tensão sobre os semicondutores é baixa, diminuindo as perdas por bloqueio em diodos e por comutação nos interruptores, tornando o sistema mais eficiente. Por fim há a integração do neutro da rede com o neutro da carga, fazendo com que o interruptor para *by-pass* seja mais simples. Em contrapartida, o circuito necessita de uma elevada tensão no barramento CC para que o inversor *half-bridge* possa operar de forma correta. Outra diferença que pode ser pontuada é a existência de um pequeno período de transição entre o desligamento da rede e a conexão das baterias, o que não ocorre neste trabalho.

No trabalho desenvolvido por (LIN *et al.*, 2019), um circuito de UPS *on-line* é apresentado com o objetivo de diminuir a tensão das baterias utilizadas, assim como possuir uma grande densidade de potência. O circuito pode ser observado na Figura 20, o qual é constituído por um retificador PFC bidirecional, um conversor *push-pull* e um inversor de três níveis.

Figura 20 – Sistema UPS proposto por (LIN *et al.*, 2019).



Fonte: Adaptado de (LIN *et al.*, 2019).

O trabalho ainda apresenta uma estrutura de controle, a qual faz uso de quatro sensores de tensão e três sensores de corrente, os quais são usados para a implementação de um controle repetitivo para o inversor e dois controladores PI para o conversor CC/CC e para o PFC.

Pode-se notar algumas diferenças, vantagens e desvantagens entre o sistema apresentado por (LIN *et al.*, 2019) e o desenvolvido neste trabalho, onde naquele há o isolamento da estrutura quando esta opera no modo à baterias, assim como uma baixa tensão no banco de baterias,

possibilitando o uso de poucas baterias. O sistema apresenta um ponto em comum entre a carga e a rede, dispensando lógica extra para o modo *bypass*; em contrapartida, há um grande número de semicondutores, assim como de elementos passivos. Há também um barramento para o inversor, o que resulta no uso de um sensor de tensão a mais e uso de capacitores volumosos.

2.2.1 Comparativo entre as estruturas de UPS

A Tabela 3 apresenta as estruturas de UPS descritas anteriormente, assim como a estrutura desenvolvida neste trabalho. O intuito da tabela é pontuar algumas das características relacionadas à implementação das UPS, como número de componentes, de sensores e tensão sobre o barramento.

Tabela 3 – Estruturas de UPS apresentadas no estado da arte.

Estrutura de UPS	a.	b.	c.	d.	e.	f.	g.	h.
(UEMATSU <i>et al.</i> , 1998)	2	2	8	0	0	180 V	3	2
(AAMIR; MEKHILEF, 2017)	2	4	9	7	2	180 V	4	3
(AHMAD <i>et al.</i> , 2018)	6	7	8	3	1	180 V	3	1
(JALAN; GUPTA, 2019)	3	2	6	4	0	350 V	3	-
(FERNANDES <i>et al.</i> , 2021)	2	4	4	4	0	450 V	3	0
(LIN <i>et al.</i> , 2019)	4	3	8	8	1	360 V	4	4
UPS proposta (Fig. 4)	4	6	12	2	0	96 V	3	1

onde: a. é o número de indutores presentes na estrutura; b. é o número de capacitores presente na estrutura; c. é o número de interruptores presente na estrutura; d. é o número de diodos presente na estrutura; e. é o número de transformadores presente na estrutura; f. é a tensão teórica mínima presente sobre o barramento, para uma tensão de saída eficaz de 127 V; g. é a quantidade de sensores de tensão necessários para o controle; h. é a quantidade de sensores de corrente necessários para o controle.

Como pôde ser observado na Tabela 3, a UPS proposta apresenta uma quantidade moderada de elementos passivos, não sendo a estrutura com a maior quantidade mas também não sendo a estrutura com menor quantidade.

Quando avaliada a quantidade de interruptores, o sistema proposto apresenta uma maior quantidade quando comparado aos demais sistemas. Esta característica pode levar a um maior custo de implementação. Apesar disto, há a vantagem de que apenas quatro dos doze interruptores operam em alta frequência, sendo que os demais operam em baixa, indicando que as perdas por comutação sobre estes elementos é reduzida. Analisando a estrutura apresentada pela Figura 18, tem-se que nesta todos os interruptores operam em alta frequência.

Quando avaliada a quantidade de diodos presentes sobre as estruturas, tem-se que o sistema proposto apresentou uma vantagem sobre a quantidade, possuindo apenas dois destes elementos. É interessante uma estrutura com número de diodos reduzidos por conta do custo destes componentes e das perdas por bloqueio.

Uma grande vantagem da estrutura proposta é o nível de tensão sobre o barramento CC, sendo menor que os das demais estruturas. Esta vantagem torna-se muito importante em sistemas em que as baterias são conectadas diretamente no barramento, diminuindo assim a necessidade de inúmeras baterias em série para atingir a tensão nominal do barramento.

Por fim, estruturas que possuem um controle mais complexo podem necessitar de mais sensores de tensão e corrente para o correto funcionamento do sistema. O aumento destes componentes pode elevar consideravelmente o custo do projeto, sendo desvantajoso. Diante disto, a estrutura proposta apresenta uma quantidade razoável de sensores comparada às demais, utilizando apenas um sensor de corrente e três de tensão.

2.3 CONSIDERAÇÕES PARCIAIS

O Capítulo 2 apresentou uma fundamentação teórica sobre os temas pertinentes à UPS, definindo os tipos de sistemas existentes e componentes que os integram. Posteriormente foi realizado um estudo sobre o estado da arte, apresentando alguns trabalhos sobre o tema, definindo as vantagens e desvantagens destes trabalhos apresentados quando comparados à estrutura de UPS desenvolvida neste trabalho.

É possível concluir que existem alguns tipos de UPS, onde cada uma possui sua devida funcionalidade. Dentre estes tipos de UPS, há diversas maneiras de se construir uma, seja com o banco de baterias conectado diretamente ao barramento, diminuindo a quantidade de circuitos, ou conectando-o a um conversor bidirecional, o qual possibilita a utilização de uma quantidade menor de baterias.

Pode-se concluir também que os circuitos conversores CA/CC, CC/CA e CC/CC empregados em uma UPS podem variar de acordo com o desejado, onde cada um possui vantagens e desvantagens sobre os demais.

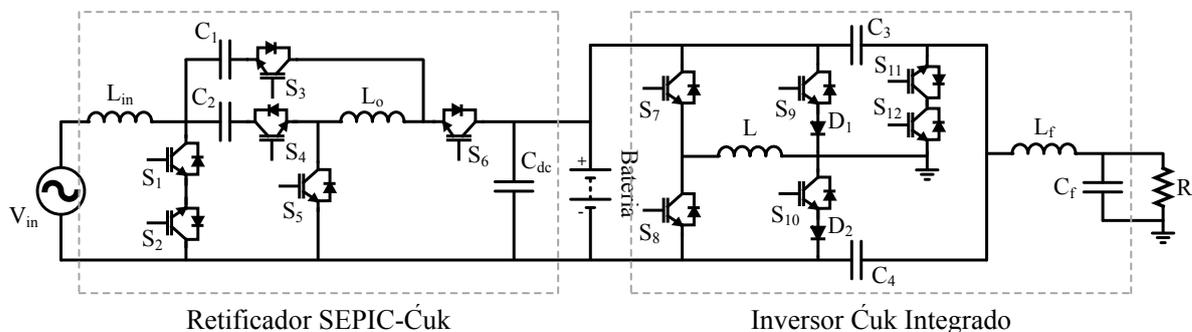
3 ANÁLISE DO SISTEMA DE UPS PROPOSTO

Este capítulo tem por objetivo apresentar as características do sistema proposto de UPS *on-line*, assim como detalhar o princípio de funcionamento e as principais características dos conversores de potência que serão utilizados como retificador e como inversor na estrutura proposta.

3.1 DESCRIÇÃO DO SISTEMA PROPOSTO

O sistema de UPS proposto neste trabalho é um modelo *on-line* de dupla conversão, o qual utiliza um circuito retificador PFC denominado retificador SEPIC-Ćuk para manter um barramento CC energizado a partir da energia da rede elétrica CA monofásica, além de realizar o carregamento de um banco de baterias. Para tornar a tensão contínua do barramento CC em CA novamente, foi utilizado um inversor denominado inversor Ćuk integrado. Por se tratar de um protótipo, foi suprimido o comutador estático que, apesar de uma UPS de dupla conversão possuir, não será abordado neste trabalho. O sistema proposto pode ser observado na Figura 21.

Figura 21 – Estrutura de UPS proposta.



Fonte: Autoria própria.

As baterias que foram simuladas, como descritas anteriormente, foram de chumbo-ácido, sendo utilizadas um total de oito baterias conectadas em série, para assim atingir a tensão nominal presente sobre o barramento CC. Para a implementação física, foi utilizado o modo de emulador de bateria presente na fonte CC ITECH 6012C-800-50.

Para realizar o controle da UPS, é possível analisar e projetar os controladores de retificador e inversor de forma independente, fazendo com que as estruturas de controle operem de forma desacoplada. Tendo isto em vista, a estrutura de controle a ser projetada para o circuito retificador terá de ser responsável por controlar uma corrente com baixo conteúdo harmônico a

ser drenada da rede elétrica, assim como controlar o nível de tensão existente no barramento CC da estrutura; já para a estrutura de controle do inversor, esta será responsável por sintetizar uma tensão senoidal com amplitude e frequência controladas sobre a carga da UPS.

3.2 ANÁLISE MATEMÁTICA DOS CONVERSORES PROPOSTOS

Nesta seção serão apresentados de forma detalhada os circuitos a serem implementados na UPS descrita, demonstrando as etapas de operação de cada um deles, assim como formas de onda e equacionamentos pertinentes para a compreensão e projeto destes circuitos.

3.2.1 Retificador SEPIC-Ćuk

Nesta seção será apresentado o circuito e o equacionamento matemático realizado acerca do retificador SEPIC-Ćuk, com o intuito de fundamentar o projeto dos componentes eletro/eletrônicos, assim como definir limites de operação para o modo de condução descontínua, apresentados na subseção 4.1.1.

3.2.1.1 Descrição do funcionamento

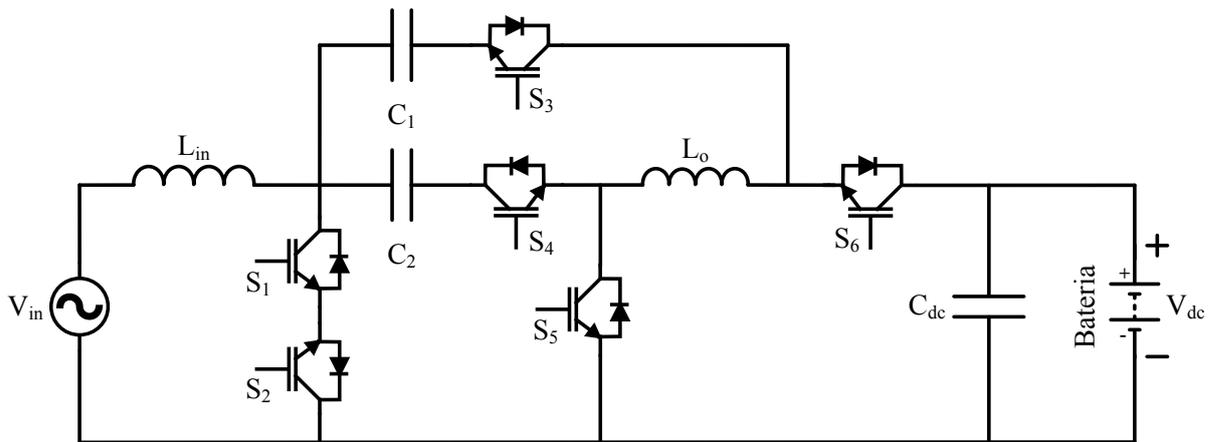
O retificador SEPIC-Ćuk, apresentado na Figura 22 se baseia nas topologias básicas de conversores básicos SEPIC e Ćuk, os quais, juntos, realizam a transformação de uma tensão alternada para uma tensão contínua. O retificador proposto neste trabalho é formado por seis interruptores de potência, dois operando em alta frequência e quatro operando em baixa frequência.

A associação dos circuitos SEPIC e Ćuk se dá por conta da operação tanto no semiciclo positivo quanto negativo da rede, onde durante o semiciclo positivo o conversor se comporta como um conversor SEPIC, e durante o semiciclo negativo, este se comporta como um conversor Ćuk.

A Figura 21 apresenta o circuito equivalente do retificador SEPIC-Ćuk para análise do funcionamento, o qual foi adotado um resistor R que representa a energia drenada pelo conjunto de baterias e inversor.

O circuito retificador será abordado em sua forma de condução descontínua, o que gera uma terceira etapa de operação nos circuitos SEPIC e Ćuk, fazendo com que o retificador possua

Figura 22 – Estrutura de retificador proposta para a UPS.



Fonte: Autoria própria.

um total de seis etapas de operação, três referentes ao semiciclo positivo e três referentes ao semiciclo negativo da rede.

O ganho estático dos conversores SEPIC e Ćuk operando no MCC são dados como $D/(1 - D)$ e $-D/(1 - D)$, respectivamente. Este ganho apresenta características não-lineares, diferentemente do MCD, o qual é deduzido matematicamente no subseção 3.2.1.3.

A escolha do modo de operação se deu por conta da diminuição da influência causada pelo indutor L_o na resposta em frequência do circuito, onde uma indutância mais baixa provoca o afastamento dos zeros do semiplano direito em relação à origem, aumentando a faixa de atuação do controlador proporcional-integral, o qual apresenta uma maior simplicidade em ser implementado.

3.2.1.2 Etapas de operação do retificador em MCD

Como descrito anteriormente, o circuito do retificador possuirá um total de seis etapas distintas de operação, três durante o semiciclo positivo da rede e três durante o semiciclo negativo da rede. A operação do circuito é muito similar ao dos conversores SEPIC e Ćuk, diferenciando em alguns pequenos aspectos, como será apresentado.

Para as etapas referentes ao semiciclo positivo da entrada, estas serão denominadas de $D_a T_s$, $D_b T_s$ e $D_c T_s$. Já para as etapas referentes ao semiciclo negativo da entrada, estas serão denominadas $D_d T_s$, $D_e T_s$ e $D_f T_s$.

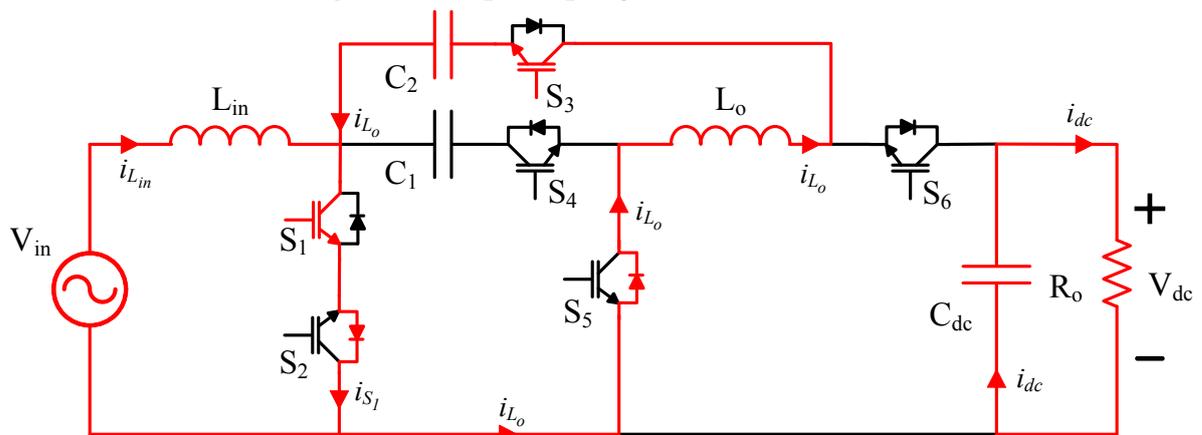
Antes da análise das etapas de operação, é importante nomear os diodos presentes em antiparalelo aos interruptores, visto que estes serão utilizados. Para simplificar esta etapa, cada

diodo foi nomeado com o mesmo nome do interruptor a qual este faz parte, adicionando um prefixo D , ou seja, os diodos não nomeados D_{S_X} , onde X é referente a cada interruptor. Como exemplo, o diodo D_{S_1} é referente ao diodo presente em antiparalelo ao interruptor S_1 , e assim por diante.

Outro ponto a ser mencionado é que, para critério de análise, as baterias serão aproximadas para um resistor, ou seja, um elemento que apenas recebe energia.

De início, é analisado o semiciclo positivo da entrada, o qual possui o começo do período de chaveamento pelo intervalo $D_a T_s$. Isso se dá pelo comando à condução ao interruptor S_1 , o qual polariza diretamente o diodo D_{S_2} , fazendo com que o indutor L_{in} se magnetize com a tensão da fonte de entrada V_{in} . Ainda, durante esta etapa, o indutor de saída L_o também se magnetiza, porém com a tensão presente sobre o capacitor C_2 , o qual está se descarregando. A tensão presente na carga é mantida pelo capacitor C_{dc} . O fluxo de corrente desta etapa pode ser observado na Figura 23.

Figura 23 – Etapa de operação $D_a T_s$ do retificador.

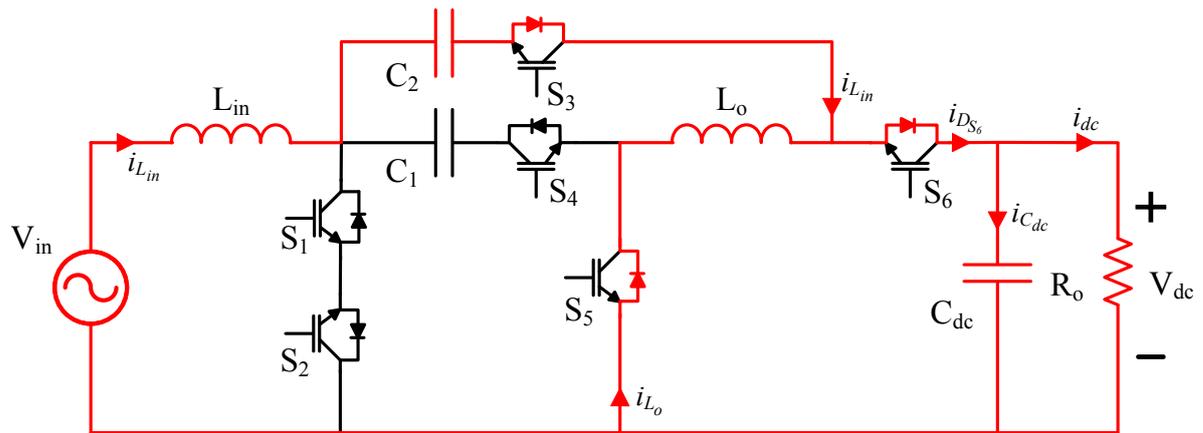


Fonte: Autoria própria.

A segunda etapa de condução, $D_b T_s$, se inicia com o bloqueio do interruptor S_1 e, conseqüentemente, condução do diodo em antiparalelo ao interruptor S_6 . Nesta etapa de operação o indutor L_{in} se desmagnetiza, transferindo sua energia armazenada na etapa anterior para o capacitor C_2 . Durante esta etapa o diodo D_{S_5} permanece conduzindo, fazendo com que o capacitor de saída C_{dc} e a carga recebam energia do indutor L_o , o qual está desmagnetizando. A Figura 24 apresenta o fluxo de corrente no circuito durante a segunda etapa. É importante ressaltar que durante esta etapa, o diodo D_{S_6} possui uma corrente igual à soma das correntes presentes sobre ambos os indutores do circuito.

O indutor de saída L_o apresenta um valor de indutância menor que o indutor de entrada

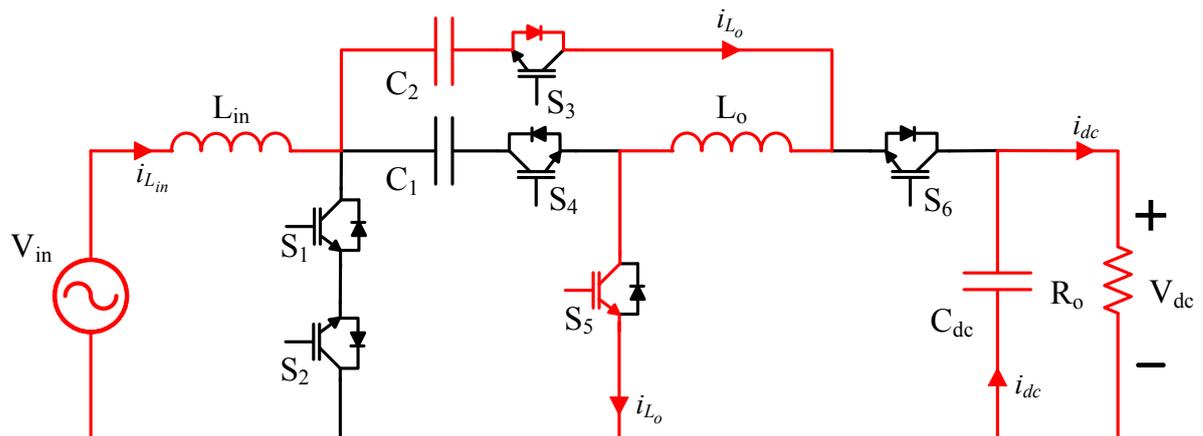
Figura 24 – Etapa de operação D_bT_s do retificador.



Fonte: Autoria própria.

L_{in} , e isso faz com que durante a segunda etapa de operação (D_bT_s), onde ambos os indutores estão se desmagnetizando simultaneamente, a corrente presente no indutor de menor valor alcance um valor negativo, enquanto a corrente do indutor de maior valor ainda possui um valor positivo. Quando a soma destas correntes é nula, ou seja, a corrente presente no indutor de saída se iguala a corrente do indutor de entrada, o diodo D_{S_6} fica impossibilitado a conduzir, visto que a corrente que flui por este componente é a soma das correntes dos indutores. Isso faz com que a segunda etapa de operação termine e se inicie a terceira etapa de condução (D_cT_s), a qual pode ser observada na Figura 25.

Figura 25 – Etapa de operação D_cT_s do retificador.



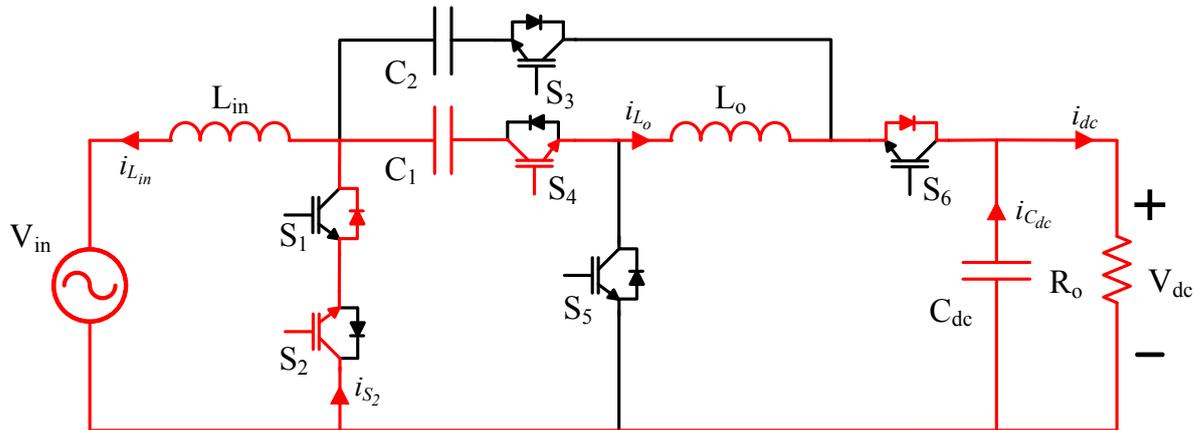
Fonte: Autoria própria.

Como pode ser observado, o circuito se comporta de forma muito similar ao um conversor SEPIC convencional operando em MCD.

Analisando agora o semiciclo negativo da rede, a quarta etapa de condução (D_dT_s) se dá pelo comando à condução do interruptor S_2 , que de forma análoga ao que ocorre em

$D_a T_s$ polariza diretamente o diodo D_{S_1} , o qual possibilita a magnetização do indutor L_{in} com a tensão de entrada (V_{in}). O indutor de saída L_o recebe energia do capacitor de acoplamento C_1 , se magnetizando. Durante esta etapa os capacitores se descarregam, tanto no indutor de saída quanto na carga. O fluxo de corrente para esta etapa pode ser observado na Figura 26.

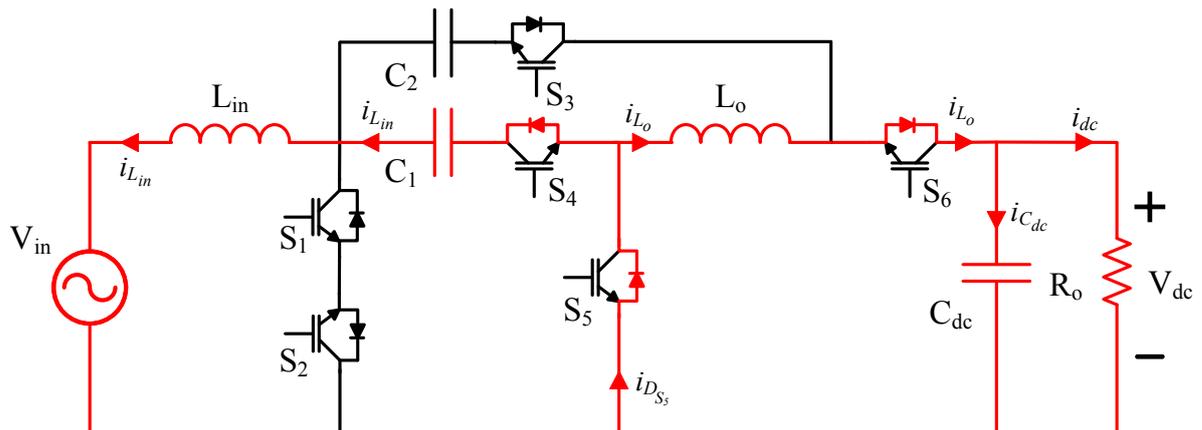
Figura 26 – Etapa de operação $D_d T_s$ do retificador.



Fonte: Autoria própria.

A quinta etapa de condução ($D_e T_s$) se inicia com o bloqueio do interruptor S_2 e polarização do diodo D_{S_5} , o qual conduz uma corrente referente à soma das correntes presentes nos indutores L_{in} e L_o . Durante esta etapa, há a desmagnetização de ambos os indutores. O fluxo de corrente desta etapa pode ser observado pela Figura 27.

Figura 27 – Etapa de operação $D_e T_s$ do retificador.

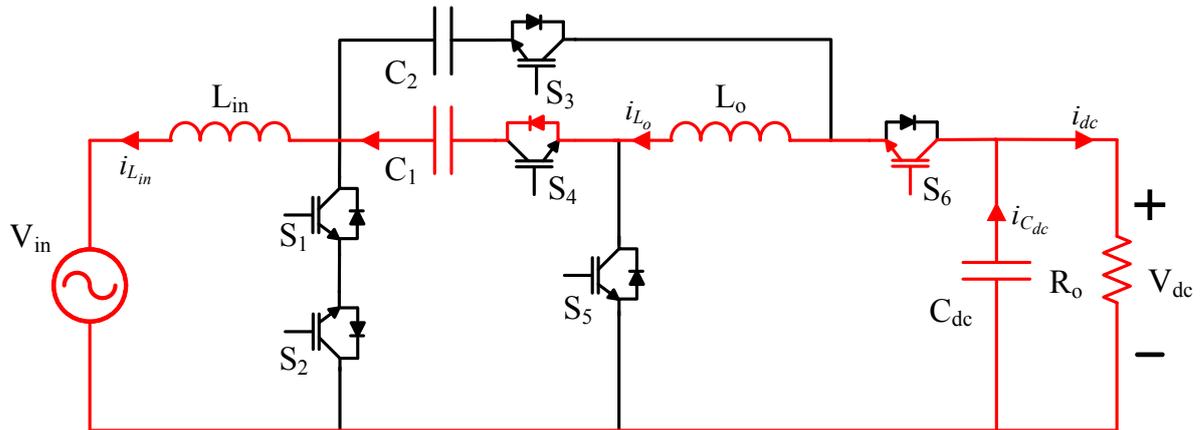


Fonte: Autoria própria.

Por fim, a última etapa de operação ($D_f T_s$) se inicia por conta do bloqueio do diodo D_{S_5} . Isso ocorre pois a corrente presente sobre este diodo durante a etapa $D_e T_s$ é igual à soma das correntes dos indutores L_{in} e L_o , porém, por se tratarem de indutores de valores diferentes, o indutor de menor indutância (L_o) se desmagnetiza mais rapidamente que o indutor com maior

indutância (L_{in}), e isso faz com que o indutor de saída atinja valores negativos de corrente que, quando possuir um valor igual à corrente do indutor de entrada, fará com que a soma dos seus valores seja nula, o que consequentemente causará a interrupção de condução do diodo D_{S_5} . O fluxo de corrente desta etapa pode ser observado na Figura 28.

Figura 28 – Etapa de operação $D_f T_s$ do retificador.



Fonte: Autoria própria.

Como pôde ser observado, as três etapas de operação referentes ao semiciclo negativo da rede se assemelham muito às etapas de um conversor Ćuk operando no MCD.

3.2.1.3 Formas de onda teóricas e equacionamento

As formas de ondas teóricas de corrente e tensão sobre os indutores do circuito em um período de chaveamento podem ser observadas pelas Figura 29. É possível observar que como em um conversor SEPIC e Ćuk convencional, os indutores se magnetizam e desmagnetizam durante a primeira e segunda etapa, respectivamente.

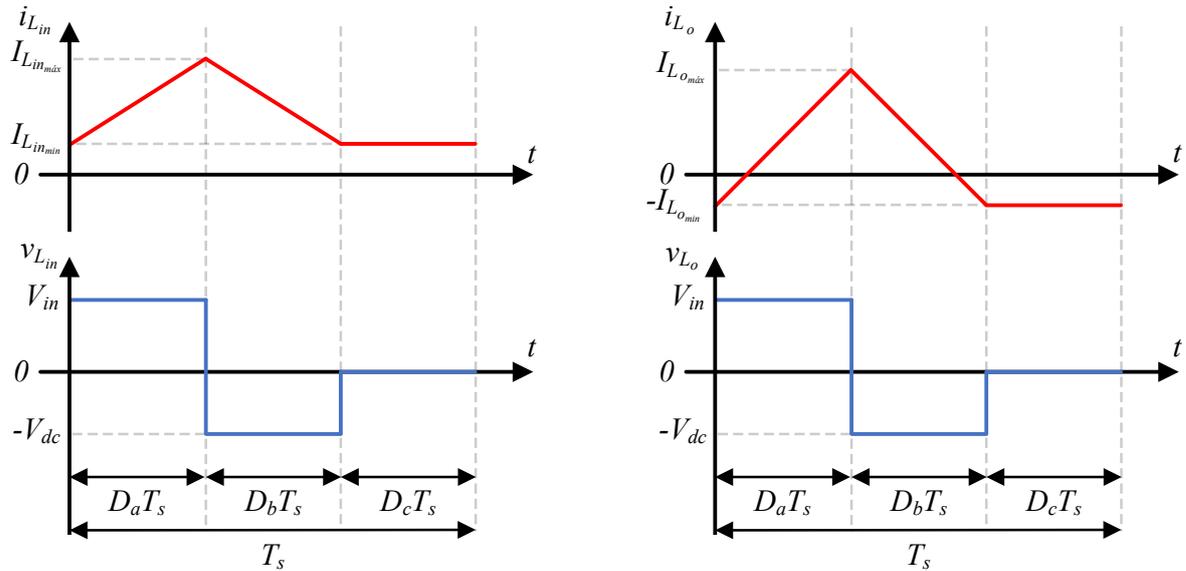
Observando as etapas de operação e o fluxo de corrente sobre os indutores do circuito, há uma indutância equivalente referente a estes componentes, a qual é dada por (1).

$$L_{eq1} = \frac{L_{in}L_o}{L_{in} + L_o} \quad (1)$$

Ainda sobre a Figura 29, é possível observar que o valor de pico da corrente sobre os indutores é atingido ao fim da primeira etapa de operação, logo são equacionadas da seguinte maneira:

$$I_{L_{in_{max}}} = I_{L_{in_{min}}} + \frac{D_a V_{in} T_s}{L_{in}} \quad (2)$$

Figura 29 – Forma de onda teórica sobre os indutores durante o semiciclo positivo



Fonte: Autoria própria.

$$I_{L_{o_{max}}} = I_{L_{o_{min}}} + \frac{D_a V_{in} T_s}{L_o} \quad (3)$$

Outro ponto a ser mencionado é que durante a terceira etapa de operação ($D_c T_s$) os indutores atingem o valor mínimo de corrente, os quais apresentam a mesma magnitude, porém em sentidos opostos, ou seja:

$$I_{L_{o_{min}}} = -I_{L_{in_{min}}} \quad (4)$$

Para equacionamento dos valores médios e eficazes das correntes presentes sobre os indutores, é preciso equacionar a priori a expressão que define o valor da corrente média para o indutor L_{in} durante um período de chaveamento. Esta relação pode ser facilmente obtida pela área da curva apresentada na Figura 29, sendo:

$$I_{L_{in_{med}}} = I_{L_{in_{min}}} + \frac{\Delta I_{L_{in}} (D_a + D_b)}{2} \quad (5)$$

A variação da corrente sobre este indutor ($\Delta I_{L_{in}}$) pode ser obtida pela razão de magnetização deste indutor ao longo do tempo, como apresentado em (6).

$$\Delta I_{L_{in}} = \frac{V_{in} D_a T_s}{L_{in}} \quad (6)$$

Substituindo (6) em (5), é possível encontrar então uma relação para a corrente média do indutor de entrada. É possível também isolar o termo $I_{L_{in_{min}}}$ para obter a expressão que calcula a corrente mínima que circula pelos indutores durante a terceira etapa de operação.

$$I_{L_{in_{med}}} = I_{L_{in_{min}}} + \frac{V_{in}T_s D_a(D_a + D_b)}{2L_{in}} \quad (7)$$

$$I_{L_{in_{min}}} = I_{L_{in_{med}}} - \frac{V_{in}T_s D_a(D_a + D_b)}{2L_{in}} \quad (8)$$

A corrente média de entrada do retificador é a mesma corrente média que circula pelo indutor L_{in} , sendo assim, é possível expressar a corrente média para um período de chaveamento como:

$$I_{L_{in_{med}}} = \frac{2P_{in}}{V_{in}} \quad (9)$$

onde: P_{in} é a potência nominal do circuito.

Substituindo (9) em (8), é então calculada a expressão que define a corrente mínima para um período de chaveamento do retificador.

$$I_{L_{in_{min}}} = \frac{2P_{in}}{V_{in}} - \frac{V_{in}T_s D_a(D_a + D_b)}{2L_{in}} \quad (10)$$

Com as expressões (10) e (2), obtém-se a relação para cálculo da corrente máxima para um período de chaveamento.

$$I_{L_{in_{max}}} = \frac{2P_{in}}{V_{in}} + \frac{V_{in}T_s(D_a^2 + D_a D_b + 2D_a)}{2L_{in}} \quad (11)$$

Com as relações já encontradas, é possível calcular também as correntes eficazes circulantes sobre este indutor, sendo a corrente eficaz para um período de chaveamento e corrente eficaz considerando o período total da rede elétrica. Para a segunda, tem-se que esta corrente é a mesma corrente eficaz drenada pelo conversor, sendo facilmente calculada por (12).

$$I_{L_{in_{ef_{rede}}}} = \frac{P_{in}}{V_{in_{ef}}} \quad (12)$$

Já para o cálculo de corrente eficaz para um período de chaveamento, é necessário analisar a curva de corrente sobre o indutor e equacioná-la, resultando em:

$$I_{L_{in_{ef}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s} I_a^2 dt + \int_0^{D_b T_s} I_b^2 dt + \int_0^{D_c T_s} I_c^2 dt \right)} \quad (13)$$

$$I_{L_{in_{ef}}} = \sqrt{\frac{V_{in}^2(V_{in} + V_{dc})D_a^3 + 3f_s L_{in} V_{in}(-I_{L_{in_{max}}} V_{in} + I_{L_{in_{min}}} V_{dc})D_a^2 + 3f_s^2 L_{in}^2 (I_{L_{in_{max}}}^2 V_{in} + I_{L_{in_{min}}}^2 V_{dc})D_a + 3I_{L_{in_{min}}}^2 D_c f_s^2 L_{in}^2 V_{dc}}{3L_{in}^2 f_s^2 V_{dc}}} \quad (14)$$

Sendo I_a , I_b e I_c as correntes variantes no tempo presentes sobre o indutor L_{in} , descritas como:

$$I_a = I_{L_{in_{min}}} + \frac{V_{in}}{L_{in}} t \quad (15)$$

$$I_b = I_{L_{in_{max}}} - \frac{V_{dc}}{L_{in}} t \quad (16)$$

$$I_c = I_{L_{in_{min}}} \quad (17)$$

Com o equacionamento da corrente presente sobre o indutor de entrada L_{in} , agora são desenvolvidos de maneira similar o equacionamento que descreve a corrente circulante sobre o indutor de saída L_o .

De início, é possível obter a expressão que define a corrente máxima circulante pelo indutor durante um período de chaveamento, substituindo (4) em (3).

$$I_{L_{o_{max}}} = \frac{V_{in} T_s D_a (2L_{in} + L_o (D_a + D_b))}{L_{in} L_o} - \frac{2P_{in}}{V_{in}} \quad (18)$$

A corrente média e eficaz deste indutor pode ser calculada a partir de uma expressão que relaciona as correntes instantâneas ao longo de período de um intervalo de chaveamento. Com isto, tem-se que estas correntes são calculadas como:

$$I_{L_{o_{med}}} = \frac{1}{T_s} \left(\int_0^{D_a T_s} I_d dt + \int_0^{D_b T_s} I_e dt + \int_0^{D_c T_s} I_f dt \right) \quad (19)$$

$$I_{L_{o_{med}}} = \frac{V_{in}(-V_{in} + V_{dc})D_a^2 + 2L_o f_s (V_{in} I_{L_{o_{max}}} + I_{L_{o_{min}}} V_{dc})D_a + 2I_{L_{o_{min}}} D_c V_{dc} L_o f_s}{2f_s V_{dc} L_o} \quad (20)$$

$$I_{L_{o_{ef}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s} I_d^2 dt + \int_0^{D_b T_s} I_e^2 dt + \int_0^{D_c T_s} I_f^2 dt \right)} \quad (21)$$

$$I_{L_{oef}} = \sqrt{\frac{V_{in}^2(V_{in} + V_{dc})D_a^3 + 3L_o f_s V_{in}(-V_{in}I_{L_{omax}} + I_{L_{omin}}V_{dc})D_a^2 + 3L_o^2 f_s^2(I_{L_{omax}}^2 V_{in} + I_{L_{omin}}^2 V_{dc})D_a + 3I_{L_{omin}}^2 D_c f_s^2 L_o^2 V_{dc}}{3L_o^2 f_s^2 V_{dc}}} \quad (22)$$

As correntes I_d , I_e e I_f são expressas como:

$$I_d = I_{L_{omin}} + \frac{V_{in}}{L_o} t \quad (23)$$

$$I_b = I_{L_{omax}} - \frac{V_{dc}}{L_e} t \quad (24)$$

$$I_f = I_{L_{omin}} \quad (25)$$

A partir do equacionamento de corrente média e eficaz nos indutores para um período de chaveamento, é possível expandir para um período da rede elétrica. As expressões então que descrevem as corrente média e eficaz no indutor L_o para um período da rede elétrica são dadas como:

$$I_{L_{omed,rede}} = \frac{1}{2\pi} \int_0^{2\pi} \left(\frac{1}{T_s} \left(\int_0^{D_a T_s} I_g dt + \int_0^{D_{b\pi} T_s} I_h dt + \int_0^{D_{c\pi} T_s} I_i dt \right) \right) d\omega t \quad (26)$$

$$I_{L_{omed,rede}} = \frac{-D_a^2 V_{in}^2 \pi + 4(D_a V_{dc} + 1/2 L_o \pi f_s (\Delta_{I_{L_o}})) D_a V_{in} + 8 I_{L_{omin}} L_o V_{dc} f_s}{4 L_o f_s V_{dc} \pi} \quad (27)$$

$$I_{L_{oef,rede}} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \left(\frac{1}{T_s} \left(\int_0^{D_a T_s} I_g^2 dt + \int_0^{D_{b\pi} T_s} I_h^2 dt + \int_0^{D_{c\pi} T_s} I_i^2 dt \right) \right) d\omega t} \quad (28)$$

$$I_{L_{oef,rede}} = \sqrt{\frac{(3\pi V_{in}^2 V_{dc} + 8 V_{in}^3) D_a^3 + 9 f_s L_o V_{in} (\pi I_{L_{omin}} V_{dc} - 8/3 V_{in} I_{L_{omax}}) D_a^2 + 24 L_o^2 f_s^2 V_{in} (I_{L_{omax}}^2 - I_{L_{omin}}^2) D_a + 9 I_{L_{omin}}^2 L_o^2 V_{dc} f_s^2 \pi}{18 L_o^2 f_s^2 V_{dc} \pi}} \quad (29)$$

Como pôde ser observado anteriormente, as correntes instantâneas utilizadas para os cálculos não são as mesmas das utilizadas para um período de chaveamento. Isso se dá por conta do envoltório senoidal existente nas componentes que descrevem estas correntes. Com isso tem-se que:

$$I_g = I_{L_{o_{min}}} \text{sen}(\omega t) + \frac{V_{in} \text{sen}(\omega t)}{L_o} t \quad (30)$$

$$I_h = I_{L_{o_{max}}} \text{sen}(\omega t) + \frac{V_{dc}}{L_o} t \quad (31)$$

$$I_i = I_{L_{o_{min}}} \text{sen}(\omega t) \quad (32)$$

Como pode ser observado, as variáveis D_b e D_c também são influenciadas, tornando-as:

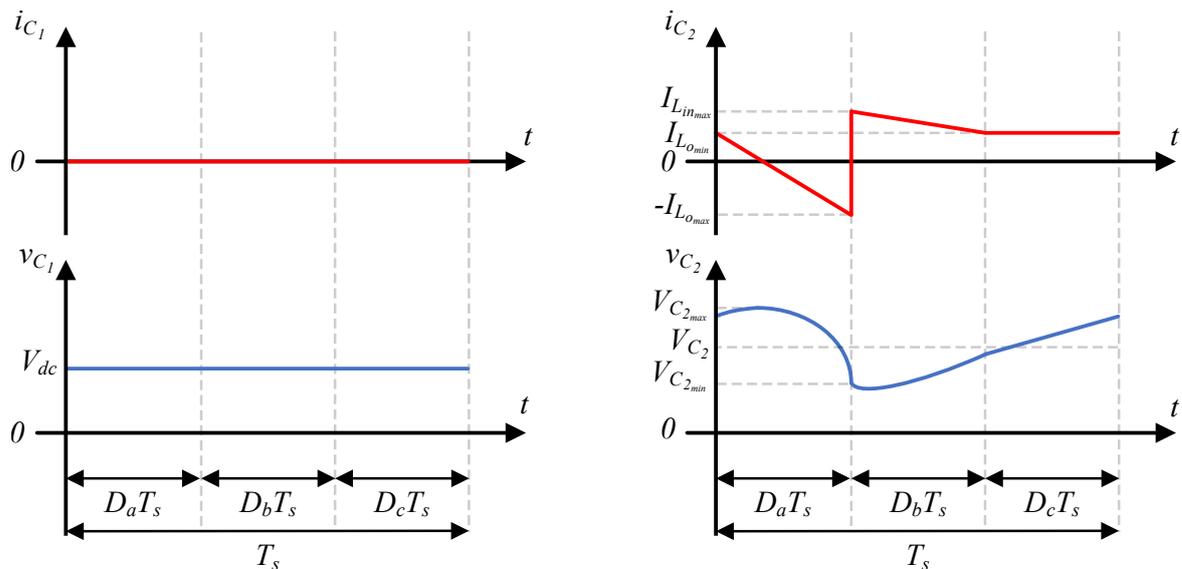
$$D_{b\pi} = D_b \text{sen}(\omega t) \quad (33)$$

$$D_{c\pi} = 1 - D_a - (D_b \text{sen}(\omega t)) \quad (34)$$

Apesar do circuito se comportar ora como um conversor SEPIC e ora como um conversor Ćuk, as formas de onda dos indutores não se alteram entre os semiciclos.

A Figura 30 apresenta a curva teórica para um período de chaveamento da tensão e corrente sobre os capacitores de acoplamento C_1 e C_2 . Como pode ser observado, durante o semiciclo positivo apenas o capacitor C_2 receberá corrente, enquanto teoricamente o capacitor C_2 manterá a tensão presente da última etapa de operação.

Figura 30 – Forma de onda teórica sobre os capacitores durante o semiciclo positivo



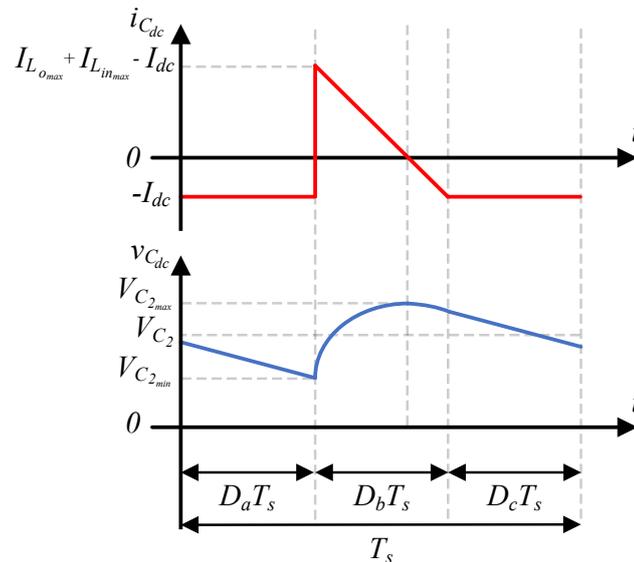
Fonte: Autoria própria.

Como a estrutura de retificador estudada apresenta similaridade com os conversores SEPIC e Ćuk, há uma diferença na tensão média presente sobre estes capacitores, visto que

quando o circuito opera como SEPIC, há a utilização do capacitor C_2 , o qual possui uma tensão média de V_{in} , e quando este opera como Ćuk, é utilizado o capacitor C_1 , o qual possui uma tensão média de $V_{dc} + V_{in}$. É importante ressaltar que estas tensões médias encontram-se sobre estes capacitores enquanto estes estão em operação, ou seja, o capacitor C_1 possui a tensão média igual a $V_{dc} + V_{in}$ enquanto o interruptor S_4 está ativado, assim como o capacitor C_2 apresenta tensão média de V_{in} somente quando o interruptor S_3 está ativado.

O capacitor C_{dc} precisa manter uma corrente constante para a carga durante as etapas em que o interruptor S_6 e diodo D_{S_6} não estão conduzindo, assim como deve carregar durante a etapa em que o diodo D_{S_6} começa a conduzir. A Figura 31 apresenta a tensão e corrente presente sobre este componente.

Figura 31 – Forma de onda teórica sobre o capacitor de saída C_{dc}



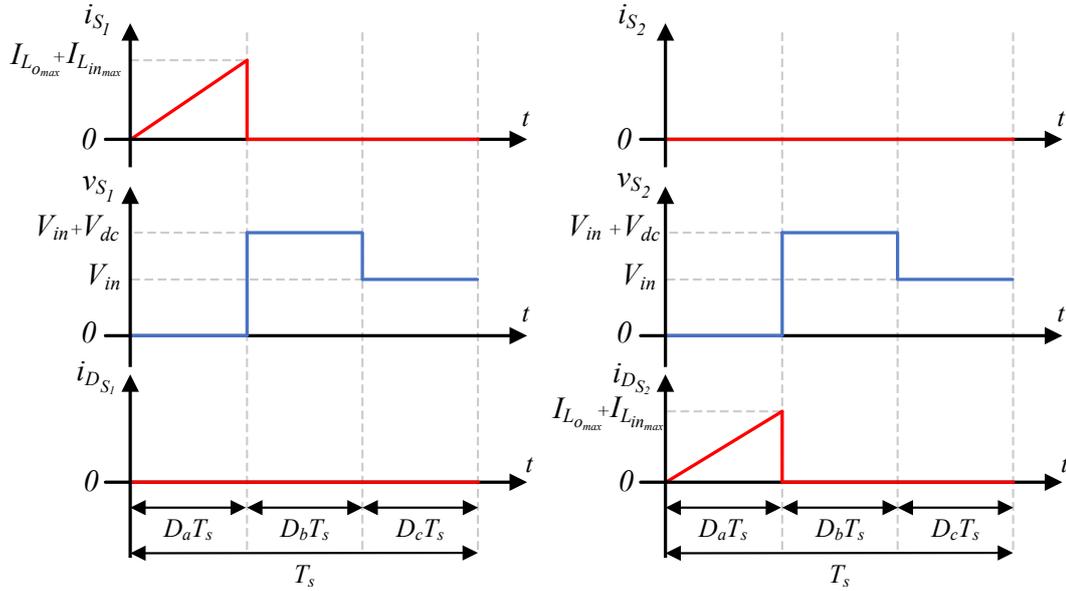
Fonte: Autoria própria.

Para a análise dos semicondutores, a Figura 32, Figura 33 e Figura 34 apresentam as formas de onda de corrente e tensão teóricas presentes sobre os semicondutores durante o semiciclo positivo da rede elétrica.

A partir da Figura 32 e do equacionamento realizado para as correntes dos indutores L_{in} e L_o , é possível obter as expressões que calculam as correntes médias e eficazes para os interruptores S_1 e S_2 e para os diodos D_{S_1} e D_{S_2} .

De início, é importante ressaltar que os interruptores S_1 e S_2 , assim como os diodos D_{S_1} e D_{S_2} possuem o mesmo comportamento, porém em semiciclos opostos. Dito isto, é possível realizar um único equacionamento válido para ambos os elementos.

Figura 32 – Forma de onda teórica sobre os semicondutores S_1 e S_2 .



Fonte: Autoria própria.

Utilizando a mesma metodologia que anteriormente, será apresentado o equacionamento considerando apenas um período de chaveamento, e posteriormente será expandido para o semiciclo da rede elétrica. Com isso, tem-se que para um período de chaveamento a corrente média e eficaz dos interruptores S_1 e S_2 podem ser expressas como:

$$I_{S_{1,2med}} = \frac{1}{T_s} \left(\int_0^{D_a T_s} \left(\frac{V_{in} t}{L_{eq}} \right) dt \right) \quad (35)$$

$$I_{S_{1,2med}} = \frac{(L_{in} + L_o) V_{dc}^2 D_b^2}{2 V_{in} L_o L_{in} f_s} \quad (36)$$

$$I_{S_{1,2ef}} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s} \left(\frac{V_{in} t}{L_{eq}} \right)^2 dt \right)} \quad (37)$$

$$I_{S_{1,2ef}} = \frac{\sqrt{3} (L_{in} + L_o) V_{in} D_a^{3/2}}{3 L_{in} L_o f_s} \quad (38)$$

Da mesma maneira que realizada anteriormente, são também apresentadas as correntes média e eficaz para um período de chaveamento para os diodos D_{S_1} e D_{S_2} .

$$I_{D_{S_{1,2med}}} = \frac{1}{T_s} \left(\int_0^{D_a T_s} \left(\frac{V_{in} t}{L_{eq}} \right) dt \right) \quad (39)$$

$$I_{D_{S_{1,2med}}} = \frac{(L_{in} + L_o) V_{dc}^2 D_b^2}{2 V_{in} L_o L_{in} f_s} \quad (40)$$

$$I_{DS_{1,2}ef} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s} \left(\frac{V_{in} t}{L_{eq}} \right)^2 dt \right)} \quad (41)$$

$$I_{DS_{1,2}ef} = \frac{\sqrt{3}(L_{in} + L_o)V_{in}D_a^{3/2}}{3L_{in}L_o f_s} \quad (42)$$

Expandindo os resultados obtidos anteriormente para o cálculo de corrente média e eficaz durante um período da rede, tem-se:

$$I_{S_{1,2}med_{rede}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{in} \text{sen}(\omega t) t}{L_{eq}} \right) dt \right) d\omega t \quad (43)$$

$$I_{S_{1,2}med_{rede}} = \frac{V_{in}(L_{in} + L_o)D_a^2}{2f_s L_o L_{in} \pi} \quad (44)$$

$$I_{S_{1,2}ef_{rede}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{in} \text{sen}(\omega t) t}{L_{eq}} \right)^2 dt \right) d\omega t} \quad (45)$$

$$I_{S_{1,2}ef_{rede}} = \frac{\sqrt{3}(L_{in} + L_o)V_{in}D_a^{3/2}}{6L_{in}L_o f_s} \quad (46)$$

Da mesma forma realizada anteriormente, as correntes médias e eficazes para os diodos D_{S_1} e D_{S_2} são calculadas da mesma maneira que as dos interruptores, sendo:

$$I_{DS_{1,2}med_{rede}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{in} \text{sen}(\omega t) t}{L_{eq}} \right) dt \right) d\omega t \quad (47)$$

$$I_{DS_{1,2}med_{rede}} = \frac{V_{in}(L_{in} + L_o)D_a^2}{2f_s L_o L_{in} \pi} \quad (48)$$

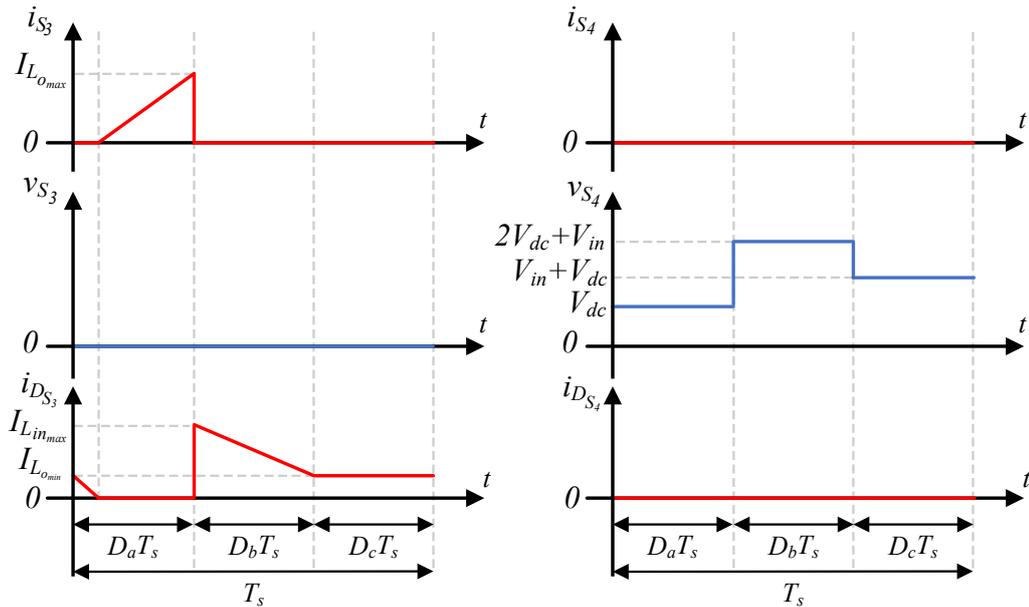
$$I_{DS_{1,2}ef_{rede}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{in} \text{sen}(\omega t) t}{L_{eq}} \right)^2 dt \right) d\omega t} \quad (49)$$

$$I_{DS_{1,2}ef_{rede}} = \frac{\sqrt{3}(L_{in} + L_o)V_{in}D_a^{3/2}}{6L_{in}L_o f_s} \quad (50)$$

Utilizando a mesma metodologia que anteriormente, são equacionadas as correntes médias e eficazes para os interruptores S_3 e S_4 , assim como para os diodos D_{S_3} e D_{S_4} .

Da mesma maneira que anteriormente, os interruptores S_3 e S_4 , assim como para os diodos D_{S_3} e D_{S_4} possuem similaridade de funcionamento, onde o par interruptor e diodo três atuam durante o semiciclo positivo enquanto o outro atua durante o semiciclo negativo. Como a

Figura 33 – Forma de onda teórica sobre os semicondutores S_3 e S_4 .



Fonte: Autoria própria.

corrente que flui por estes componentes possui a mesma amplitude e mesmo formato, é possível equacionar igualmente as correntes entre estes semicondutores.

Analisando a forma da corrente que flui pelo interruptor S_3 e D_{S_3} (Figura 33), é possível notar que o interruptor S_3 permanece ativado durante todo o semiciclo positivo de operação, porém somente há a passagem de corrente por ele durante a primeira etapa de operação, a qual não é completa. Isso se dá por conta da corrente negativa ($I_{L_{o_{min}}}$) existente no indutor de saída L_o na transição entre terceira etapa de operação ($D_c T_s$) para a primeira etapa ($D_a T_s$), a qual flui inicialmente pelo diodo D_{S_3} até que o indutor se magnetize a um nível em que sua corrente é positiva.

Este comportamento da corrente faz com que não seja tão simples calcular a corrente média e eficaz para este componente, por não se tratar de um intervalo já equacionado anteriormente. Porém, é possível definir este intervalo a partir da equação de magnetização do indutor durante a primeira etapa, expressada em (3).

Esta expressão apresenta o valor máximo de corrente que o indutor atinge baseado no intervalo da etapa $D_a T_s$. Realizando o processo inverso, ou seja, igualando a expressão a zero e calculando o valor do intervalo, é possível encontrar o tempo que leva para o indutor se magnetizar até um nível em que o interruptor passa a conduzir (Δ_1). Com isso, tem-se:

$$0 = I_{L_{o_{min}}} + \frac{V_{in} \Delta_1}{L_o} \quad (51)$$

$$\Delta_1 = \frac{L_o I_{L_{o_{min}}}}{V_{in}} \quad (52)$$

Com (52), é então possível realizar o equacionamento das correntes média e eficaz para os elementos durante um período de chaveamento, como segue:

$$I_{S_{3,4_{med}}} = \frac{1}{T_s} \int_0^{(D_a T_s) - \Delta_1} \left(\frac{V_{in}}{L_o} t \right) dt \quad (53)$$

$$I_{S_{3,4_{med}}} = \frac{V_{in} (-\Delta_1 f_s + D_a)^2}{2 f_s L_o} \quad (54)$$

$$I_{S_{3,4_{ef}}} = \sqrt{\frac{1}{T_s} \int_0^{(D_a T_s) - \Delta_1} \left(\frac{V_{in}}{L_o} t \right)^2 dt} \quad (55)$$

$$I_{S_{3,4_{ef}}} = \frac{\sqrt{3} V_{in} (-\Delta_1 f_s + D_a)^{3/2}}{3 f_s L_o} \quad (56)$$

Expandindo novamente os resultados obtidos anteriormente levando em consideração um período completo da rede, e não somente para um período de chaveamento, tem-se:

$$I_{S_{3,4_{med_{rede}}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{(D_a T_s) - \Delta_1} \left(\frac{V_{in} \text{sen}(\omega t)}{L_o} t \right) dt \right) d\omega t \quad (57)$$

$$I_{S_{3,4_{med_{rede}}}} = \frac{V_{in} (-\Delta_1 f_s + D_a)^2}{2 f_s L_o \pi} \quad (58)$$

$$I_{S_{3,4_{ef_{rede}}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{(D_a T_s) - \Delta_1} \left(\frac{V_{in} \text{sen}(\omega t)}{L_o} t \right)^2 dt \right) d\omega t} \quad (59)$$

$$I_{S_{3,4_{ef_{rede}}}} = \sqrt{\frac{3 V_{in}^2 (-\Delta_1 f_s + D_a)^3}{2 f_s^2 L_o^2}} \quad (60)$$

Da mesma maneira são equacionadas e apresentadas as expressões que descrevem a corrente sobre os diodos D_{S_3} e D_{S_4} .

$$I_{D_{S_{3,4_{med}}}} = \frac{1}{T_s} \left(\int_0^{\Delta_1} I_j dt + \int_0^{D_b T_s} I_k dt + \int_0^{D_c T_s} I_l dt \right) \quad (61)$$

$$I_{D_{S_{3,4_{med}}}} = \frac{V_{in} \Delta_1^2 V_{dc} f_s^2 L_{in} - 2 I_{L_{in_{min}}} \Delta_1 L_o V_{dc} f_s^2 L_{in} + D_a^2 L_o V_{in}^2 - 2 D_a I_{L_{in_{max}}} L_{in} L_o V_{in} f_s - 2 D_c I_{L_{in_{min}}} L_{in} L_o V_{dc} f_s}{2 f_s L_o V_{dc} L_{in}} \quad (62)$$

$$I_{DS_{3,4ef}} = \sqrt{\frac{1}{T_s} \left(\int_0^{\Delta_1} I_j^2 dt + \int_0^{D_b T_s} I_k^2 dt + \int_0^{D_c T_s} I_l^2 dt \right)} \quad (63)$$

$$I_{DS_{3,4ef}} = \sqrt{\frac{\Delta_1^3 L_{in}^2 V_{in}^2 V_{dc} f_s^3 + 3\Delta_1 I_{L_{in_{min}}} L_{in}^2 L_o V_{dc} f_s^3 (-\Delta_1 V_{in} + I_{L_{in_{min}}} L_o) + 3L_{in}^2 L_o^2 f_s^2 (D_a I_{L_{in_{max}}}^2 V_{in} + D_c I_{L_{in_{min}}}^2 V_{dc}) - 3D_a^2 I_{L_{in_{max}}} L_{in} L_o^2 V_{in}^2 f_s + D_a^3 L_o^2 V_{in}^3}{4f_s^2 L_o^2 L_{in}^2 V_{dc} \pi}} \quad (64)$$

Os termos I_j , I_k e I_l são expressados como:

$$I_j = I_{L_{in_{min}}} - \frac{V_{in}}{L_o} t \quad (65)$$

$$I_k = I_{L_{in_{max}}} - \frac{V_{dc}}{L_{in}} t \quad (66)$$

$$I_l = I_{L_{in_{min}}} \quad (67)$$

Por fim, estendendo novamente as análises feitas anteriormente considerando um período da rede elétrica, as correntes média e eficaz para os diodos são dadas como:

$$I_{DS_{3,4med_{rede}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{\Delta_1} I_m dt + \int_0^{D_b \pi T_s} I_n dt + \int_0^{D_c \pi T_s} I_o dt \right) \right) d\omega t \quad (68)$$

$$I_{DS_{3,4med_{rede}}} = \frac{2f_s ((+4I_{L_{in_{min}}} V_{dc} \Delta_1 f_s - 4I_{L_{in_{min}}} (D_a - 1)V_{dc} + D_a^2 L_o V_{in}^2 \pi - D_a \pi V_{in} \Delta_{L_{in}}) L_o - 2V_{dc} f_s V_{in} \Delta_1^2) L_{in}}{8f_s L_o V_{dc} L_{in} \pi} \quad (69)$$

$$I_{DS_{3,4ef_{rede}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{\Delta_1} I_m^2 dt + \int_0^{D_b \pi T_s} I_n^2 dt + \int_0^{D_c \pi T_s} I_o^2 dt \right) \right) d\omega t} \quad (70)$$

$$I_{DS_{3,4ef_{rede}}} = \sqrt{\frac{((I_{L_{in_{min}}}^2 \pi V_{dc} f_s \Delta_1 - (\Delta_{L_{in}}^2) 8/3 D_a V_{in} - I_{L_{in_{min}}}^2 \pi V_{dc} (D_a - 1)) L_o^2 - I_{L_{in}} L_o \pi V_{dc} f_s V_{in} \Delta_1^2 - 1/3 \pi V_{dc} f_s V_{in}^2 \Delta_1^3) f_s^2 L_{in}^2 + 8D_a^3 L_o^2 V_{in}^3}{4f_s^2 L_o^2 L_{in}^2 V_{dc} \pi}} \quad (71)$$

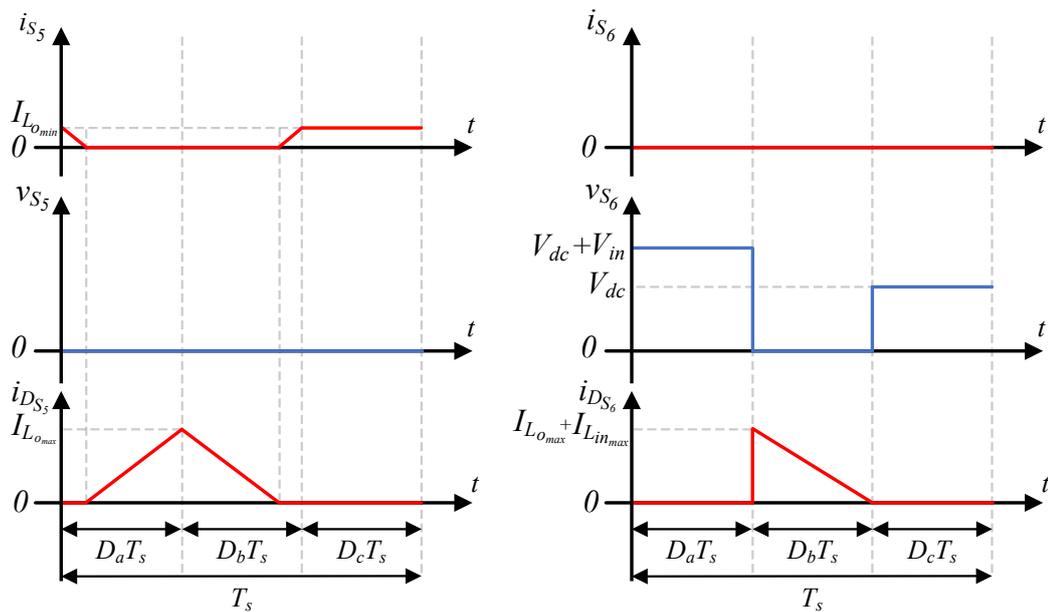
Os termos I_m , I_n e I_o são expressados como:

$$I_m = I_{L_{in_{min}}} \text{sen}(\omega t) - \frac{V_{in} \text{sen}(\omega t)}{L_o} t \quad (72)$$

$$I_n = I_{L_{in_{max}}} \text{sen}(\omega t) - \frac{V_{dc}}{L_{in}} t \quad (73)$$

$$I_o = I_{L_{in_{min}}} \text{sen}(\omega t) \quad (74)$$

Figura 34 – Forma de onda teórica sobre os semicondutores S_5 e S_6 .



Fonte: Autoria própria.

Por fim, na Figura 34 são apresentadas as curvas de corrente sobre os interruptores S_5 e S_6 , e diodos D_{S_5} e D_{S_6} . Novamente os interruptores assim como os diodos possuem similaridade de funcionamento entre os semiciclos, podendo ser simplificada a análise.

Da mesma maneira que realizado anteriormente, o cálculo das correntes pode ser um pouco mais complexo por conta da magnetização e desmagnetização do indutor, que faz com que a corrente que circula pelos semicondutores alterne entre interruptor e diodo no meio de um período, tornando necessário o cálculo deste intervalo de tempo. O resultado obtido anteriormente para Δ_1 durante o período $D_a T_s$ pode ser utilizado nesta etapa, porém existe mais um intervalo relacionado à etapa $D_b T_s$, como pode ser visto na corrente de I_{S_5} . Este intervalo é calculado da mesma maneira que anteriormente, sendo:

$$0 = I_{L_{o_{max}}} - \frac{V_{dc} \Delta_2}{L_o} \quad (75)$$

$$\Delta_2 = (D_b T_s) - \frac{I_{L_{o_{max}}} L_o}{L_o} \quad (76)$$

Com isso, é possível então equacionar as correntes média e eficaz para os semicondutores em questão, sendo:

$$I_{S_{5,6_{med}}} = \frac{1}{T_s} \left(\int_0^{\Delta_1} I_p dt + \int_0^{\Delta_2} I_q dt + \int_0^{D_c T_s} I_r dt \right) \quad (77)$$

$$I_{S_{5,6_{med}}} = \frac{2I_{L_{in_{min}}} (\Delta_1 f_s + D_c) L_o + f_s (-V_{in} \Delta_1^2 + V_{dc} \Delta_2^2)}{2L_o} \quad (78)$$

$$I_{S_{5,6_{ef}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{\Delta_1} I_p^2 dt + \int_0^{\Delta_2} I_q^2 dt + \int_0^{D_c T_s} I_r^2 dt \right)} \quad (79)$$

$$I_{S_{5,6_{ef}}} = \sqrt{\frac{(\Delta_1^3 V_{in}^2 - 3\Delta_1^2 I_{L_{in_{min}}} L_o V_{in} + 3\Delta_1 I_{L_{in_{min}}}^2 L_o^2 + V_{dc}^2 \Delta_2^3) f_s + 3I_{L_{in_{min}}}^2 D_c L_o^2}{3L_o^2}} \quad (80)$$

Onde os termos I_p , I_q e I_r são expressados como:

$$I_p = I_{L_{in_{min}}} - \frac{V_{in} t}{L_o} \quad (81)$$

$$I_q = \frac{V_{dc} t}{L_o} \quad (82)$$

$$I_r = I_{L_{in_{min}}} \quad (83)$$

Expandindo estas expressões novamente considerando um período completo da rede, tem-se as equações que calculam as correntes média e eficaz, como:

$$I_{S_{5,6_{med_{rede}}}} = \frac{1}{2\pi} \int_0^\pi \frac{1}{T_s} \left(\int_0^{\Delta_1} I_s dt + \int_0^{\Delta_2} I_t dt + \int_0^{D_c \pi T_s} I_u dt \right) d\omega t \quad (84)$$

$$I_{S_{5,6_{med_{rede}}}} = \frac{V_{dc}^2 \Delta_2^2 f_s \pi + (-4I_{L_{in_{min}}} (-\Delta_1 f_s + D_a - 1) L_o - 2f_s V_{in} \Delta_1^2) V_{dc} - D_a I_{L_{in_{min}}} L_o V_{in} \pi}{4V_o L_o \pi} \quad (85)$$

$$I_{S_{5,6_{ef_{rede}}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \frac{1}{T_s} \left(\int_0^{\Delta_1} I_s^2 dt + \int_0^{\Delta_2} I_t^2 dt + \int_0^{D_c \pi T_s} I_u^2 dt \right) d\omega t} \quad (86)$$

$$I_{S_{5,6_{med_{rede}}}} = \sqrt{\frac{(2/3V_{dc}^2 \Delta_2^3 f_s - L_o^2 (-\Delta_1 f_s + D_a - 1) I_{L_{in_{min}}}^2 - \Delta_1^2 I_{L_{in_{min}}} L_o V_{in} f_s + 1/3 \Delta_1^3 V_{in}^2 f_s) V_{dc} \pi + 24 D_a I_{L_{in_{min}}}^2 L_o^2 V_{in}}{4 L_o^2 V_{dc} \pi}} \quad (87)$$

Onde os termos I_s , I_t e I_u são expressados como:

$$I_s = I_{L_{in_{min}}} \text{sen}(\omega t) - \frac{V_{in} \text{sen}(\omega t)}{L_o} t \quad (88)$$

$$I_t = \frac{V_{dc}}{L_o} t \quad (89)$$

$$I_u = I_{L_{in_{min}}} \text{sen}(\omega t) \quad (90)$$

Diferente do que foi analisado até o momento, os diodos D_{S_5} e D_{S_6} operam tanto no semiciclo positivo quanto negativo, possuindo diferentes formas de onda entre eles, com isso é possível então calcular uma corrente média e eficaz para estes semicondutores separadamente para quando o circuito opera como Ćuk ou como SEPIC. Apesar disto, ao considerar o intervalo da rede para calcular as correntes, tem-se que estas serão iguais para ambos os componentes.

É apresentado estão a expressão que descreve a corrente média e eficaz para o diodo D_{S_5} durante o semiciclo positivo, a qual será a mesma para o D_{S_6} durante o semiciclo negativo.

$$I_{D_{S_{5,6_{med}}}} = \frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_1} \left(\frac{V_{in}}{L_o} t \right) dt + \int_0^{D_b T_s - \Delta_2} \left(I_{L_{omax}} - \frac{V_{dc}}{L_o} t \right) dt \right) \quad (91)$$

$$I_{D_{S_{5,6_{med}}}} = \frac{-\Delta_2^2 V_{dc}^2 f_s^2 + ((V_{in} \Delta_1^2 - 2 \Delta_2 I_{L_{omax}} L_o) f_s^2 - D_a^2 V_{in}^2 - 2 D_a V_{in} (\Delta_1 - \Delta_2) f_s + D_a^2 V_{in}) V_{dc} + 2 D_a I_{L_{omax}} L_o V_{in} f_s}{2 f_s V_{dc} L_o} \quad (92)$$

$$I_{D_{S_{5,6_{ef}}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_1} \left(\frac{V_{in}}{L_o} t \right)^2 dt + \int_0^{D_b T_s - \Delta_2} \left(I_{L_{omax}} - \frac{V_{dc}}{L_o} t \right)^2 dt \right)} \quad (93)$$

$$I_{D_{S_5,6_{ef}}} = \sqrt{\frac{(-\Delta_1^3 V_{in}^2 V_{dc} - \Delta_2^3 V_{dc}^3 - 3\Delta_2^2 I_{L_{omax}} L_o V_{dc}^2 - 3\Delta_2 I_{L_{omax}}^2 L_o^2 V_{dc}) f_s^3 + 3D_a V_{in} (V_{in} V_{dc} \Delta_1^2 + (\Delta_2 V_{dc} + L_o I_{L_{omax}})^2) f_s^2 - 3((\Delta_1 + \Delta_2) V_{dc} + L_o I_{L_{omax}}) D_a^2 V_{in}^2 f_s + D_a^3 V_{in}^2 (V_{in} + V_{dc})}{3L_o^2 f_s^2 V_{dc}}} \quad (94)$$

As expressões (95) e (97) descrevem as correntes média e eficaz para os semicondutores D_{S_5} e D_{S_6} durante um período de chaveamento para o semiciclo negativo.

$$I_{D_{S_5,6_{med}}} = \frac{1}{T_s} \int_0^{D_b T_s} \left(I_{L_{omax}} + I_{L_{inmax}} - \frac{V_{dc}}{L_{eq}} t \right) dt \quad (95)$$

$$I_{D_{S_5,6_{med}}} = \frac{D_a^2 V_{in}^2 (L_o + L_{in})}{2V_o f_s L_o L_{in}} \quad (96)$$

$$I_{D_{S_5,6_{ef}}} = \sqrt{\frac{1}{T_s} \int_0^{D_b T_s} \left(I_{L_{omax}} + I_{L_{inmax}} - \frac{V_{dc}}{L_{eq}} t \right)^2 dt} \quad (97)$$

$$I_{D_{S_5,6_{ef}}} = \sqrt{\frac{((3f_s^2 (I_{L_{omax}} + I_{L_{inmax}})^2 L_o^2 - 3D_a f_s V_{in} (I_{L_{omax}} + I_{L_{inmax}}) L_o + D_a^2 V_{in}^2) L_{in}^2 + 2V_{in} D_a L_o (-3/2 f_s (I_{L_{omax}} + I_{L_{inmax}}) L_o + D_a V_{in}) L_{in} + D_a^2 L_o^2 V_{in}^2) V_{in} D_a}{3f_s^2 L_o^2 L_{in}^2 V_{dc}}} \quad (98)$$

Por fim, expandindo os resultados obtidos anteriormente levando em consideração um período da rede elétrica, é possível calcular as correntes média e eficaz para estes diodos como:

$$I_{D_{S_5,6_{med,rede}}} = \frac{1}{2\pi} \left(\int_0^\pi \frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_1} I_v dt + \int_0^{D_b T_s - \Delta_2} I_w dt + \int_0^{D_b T_s} I_x \right) d\omega t \right) \quad (99)$$

$$I_{D_{S_5,6_{med,rede}}} = \frac{(-2D_a^2 \pi V_{in}^2 + (4V_{dc} f_s^2 \Delta_1^2 + 4((-2\Delta_1 + 2\Delta_2) V_{dc} + L_o (I_{L_{omax}} + 1/2 I_{L_{inmax}}) \pi) D_a f_s + 4D_a^2 V_{dc}) V_{in} - 8\Delta_2 (1/4\pi \Delta_2 V_{dc} + L_o I_{L_{omax}}) f_s^2 V_{dc}) L_{in} - D_a^2 L_o V_{in}^2 \pi}{8f_s V_{dc} L_o L_{in} \pi} \quad (100)$$

$$I_{D_{S_5,6_{ef,rede}}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_1} I_v^2 dt + \int_0^{D_b T_s - \Delta_2} I_w^2 dt + \int_0^{D_b T_s} I_x^2 \right) d\omega t \right)} \quad (101)$$

Os termos I_v , I_w e I_x são dados como:

$$I_v = \frac{V_{in} \text{sen}(\omega t)}{L_o} t \quad (102)$$

$$I_w = I_{L_{o_{max}}} \text{sen}(\omega t) - \frac{V_{dc}}{L_o} t \quad (103)$$

$$I_x = (I_{L_{in_{max}}} + I_{L_{o_{max}}}) \text{sen}(\omega t) - \frac{V_{dc}}{L_{eq}} t \quad (104)$$

Como pôde ser observado, a corrente máxima sobre os interruptores é igual à soma das correntes de pico dos indutores, e a tensão máxima presente é igual à tensão de entrada somada à tensão de saída para $S_{1,2}$ e $S_{5,6}$, e duas vezes a tensão de saída somada à tensão de entrada para $S_{3,4}$, onde, por se tratar de uma tensão de entrada senoidal, ocorrerá no pico da tensão da rede.

A relação de ganho do circuito pode ser obtida a partir da curva teórica de corrente sobre o diodo D_{S_6} , com base na expressão que define o valor de corrente média que passa por este componente.

A expressão para obtenção do valor médio da corrente sobre o diodo é obtida a partir da forma de onda de corrente sobre este componente, o qual pode ser utilizado para relacionar o ganho do circuito com as variáveis de tempo D_a e D_b .

A corrente média no diodo D_{S_6} pode ser obtida analisando a forma de onda apresentada na Figura 34, a qual pode ser determinada conforme (105).

$$I_{D_{S_6_{med}}} = \frac{1}{T_s} \int_0^{D_b T_s} i_{D_{S_6}} dt \quad (105)$$

$$I_{D_{S_6_{med}}} = \frac{D_a^2 V_{in}^2}{2V_{dc} f_s L_{eq1}} \quad (106)$$

O resultado obtido anteriormente é considerando apenas um período de chaveamento, expandindo o que foi equacionado considerando meio período da tensão de entrada, é possível obter a corrente média que flui por este diodo durante o semiciclo de operação positivo da rede elétrica, ou seja, quando o circuito apresenta operação similar a um conversor SEPIC.

$$I_{D_{S_6_{medSEPIC}}} = \frac{1}{\pi} \int_0^{\pi} \frac{D_a^2 (V_{in} \text{sen}(\omega t))^2}{2V_{dc} f_s L_{eq}} d\omega t \quad (107)$$

$$I_{D_{S_6_{medSEPIC}}} = \frac{D_a^2 V_{in}^2}{4V_{dc} f_s L_{eq1}} \quad (108)$$

Assumindo que em regime permanente a corrente média do capacitor C_{dc} é nula, tem-se então que a corrente média de saída do retificador é igual à corrente média sobre o diodo D_{S6} . Desta maneira, é possível igualar a expressão (109) à (108). Realizando as substituições necessárias e simplificações pertinentes, chega-se a uma relação de ganho estático do retificador SEPIC-Ćuk.

$$I_{dc} = \frac{V_{dc}}{R_o} \quad (109)$$

$$G_{ret} = D_a \sqrt{\frac{R_o T_s}{4L_{eq1}}} \quad (110)$$

3.2.2 Inversor integrado Ćuk monofásico

Nesta seção será apresentado o equacionamento matemático realizado acerca do inversor integrado Ćuk, com o intuito de fundamentar o projeto dos componentes eletro-eletrônicos, assim como definir os limites de operação para o modo de condução descontínua, os quais serão explorados na subseção 4.1.2.

3.2.2.1 Descrição do funcionamento

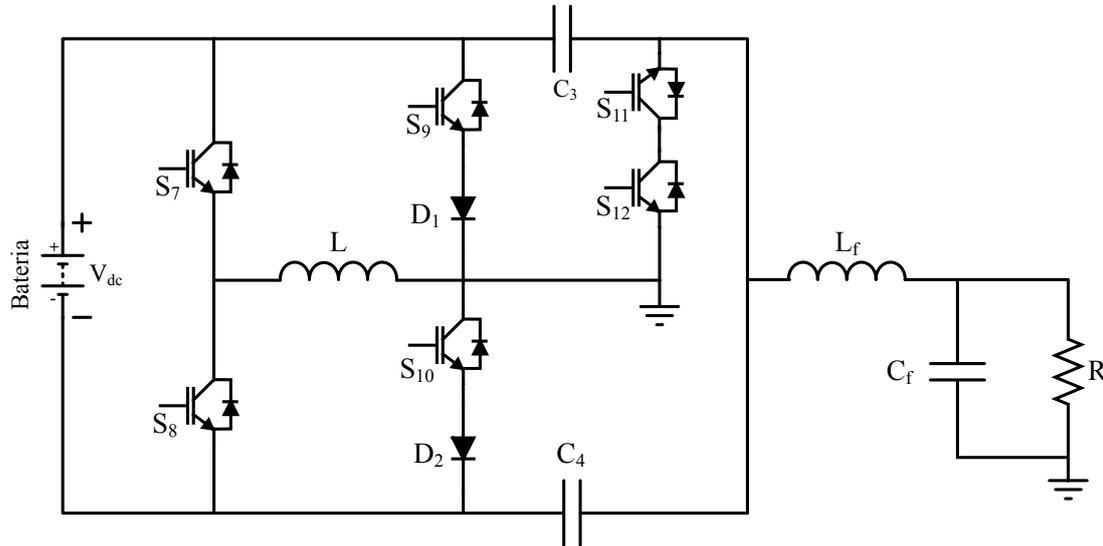
O inversor será abordado em sua forma de condução descontínua, por conta da simplificação na função de transferência decorrente da linearização do ganho do conversor, tornando mais simples o controle do mesmo. Para um semiciclo, o conversor irá apresentar três etapas de operação. As etapas de operação definem o funcionamento do circuito, ditando qual elemento está acumulando energia e qual está fornecendo energia.

Como o conversor opera tanto no semiciclo positivo quanto no negativo da rede, é necessário que este possua etapas que realizem a conversão da tensão para ambos os casos, ou seja, a estrutura apresentada possuirá seis etapas de operação, três para o semiciclo positivo da saída e três para o semiciclo negativo da saída.

A Figura 35 apresenta a estrutura do conversor proposto, a qual pode ser dividido em dois conversores Ćuk, os quais compartilham o indutor L de entrada e o indutor L_f de saída. Nesta estrutura a parcela superior do circuito é responsável por operar durante o semiciclo negativo e a parcela inferior é responsável por operar durante o semiciclo positivo. Para representar a carga

que o inversor irá alimentar, é utilizado um resistor R , e para simbolizar a tensão presente no barramento da bateria e do retificador, é utilizado uma fonte de tensão constante V_{dc} .

Figura 35 – Estrutura de inversor proposta para a UPS.



Fonte: Autoria própria.

A estrutura possui seis interruptores de potência, dos quais dois operam em alta frequência (S_9 e S_{10}) e quatro operam em baixa frequência (S_7 , S_8 , S_{11} e S_{12}). Os diodos D_1 e D_2 tornam os interruptores S_9 e S_{10} unidirecionais.

Para as etapas de operação, é considerado o período total de operação como sendo uma razão cíclica multiplicada pelo período de chaveamento do circuito, sendo:

$$T_s (D_a + D_b + D_c) = T_s \quad (111)$$

onde: D_a é a razão cíclica atuante nos interruptores S_9 e S_{10} , o qual é gerado pelo controle; D_b é uma constante relacionada à indutância equivalente do circuito, frequência de chaveamento e resistência da carga; e D_c sendo referente ao tempo em que o conversor opera na terceira etapa, a qual apresenta tensão nula sobre os indutores; T_s é o período de chaveamento atuante no circuito.

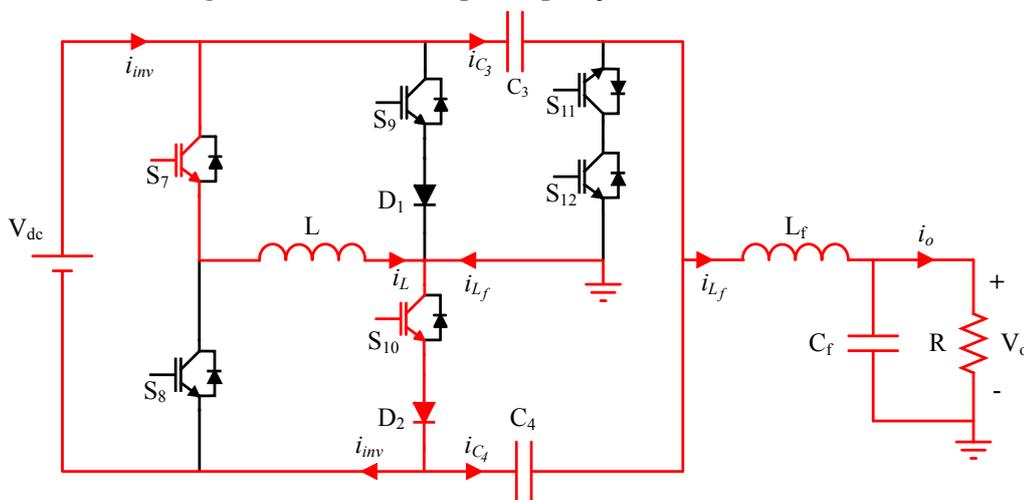
3.2.2.2 Etapas de operação do inversor operando em MCD

A estrutura do inversor apresenta um total de seis etapas de funcionamento, onde as três primeiras são referentes à geração do semiciclo positivo da saída e as três últimas referente ao semiciclo negativo. Baseado nisto, são então apresentadas as etapas separadamente.

A Figura 36 apresenta a primeira etapa de operação do inversor ($D_a T_s$). Nesta etapa o interruptor S_{10} permanece comutado, enquanto os demais permanecem bloqueados. Isso faz com que o diodo D_2 conduza, fazendo os indutores L e L_f se magnetizarem com a energia proveniente da fonte de entrada (V_{dc}) e dos capacitores de acoplamento (C_3 e C_4), enquanto estes são descarregados. A corrente que flui pelos semicondutores ativados é a soma da corrente dos indutores do circuito.

Esta etapa finaliza com o interruptor S_{10} sendo bloqueado, o que faz com que o circuito passe para a segunda etapa ($D_b T_s$).

Figura 36 – Primeira etapa de operação do inversor ($D_a T_s$).



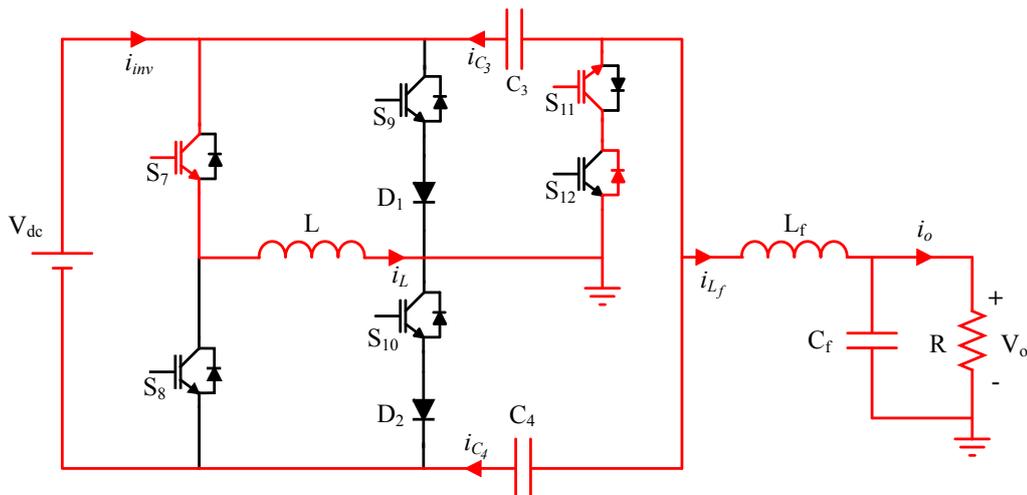
Fonte: Autoria própria.

A Figura 37 apresenta a segunda etapa de operação do inversor ($D_b T_s$). Esta etapa se inicia com a interrupção da condução do interruptor S_{10} e, conseqüentemente D_2 , e o início da condução do interruptor S_{11} e do diodo $D_{S_{12}}$. Os indutores L e L_f começam a se desmagnetizar, enquanto os capacitores de acoplamento C_3 e C_4 são carregados pela tensão da fonte de entrada e pelos indutores.

A segunda etapa de operação chega ao fim quando, por conta da desmagnetização dos indutores, a soma das correntes se iguala a zero, ou seja, quando a corrente do diodo $D_{S_{12}}$ se anula. Com isso, este semicondutor está em bloqueio, resultando no fim desta etapa de operação e início da terceira etapa de funcionamento.

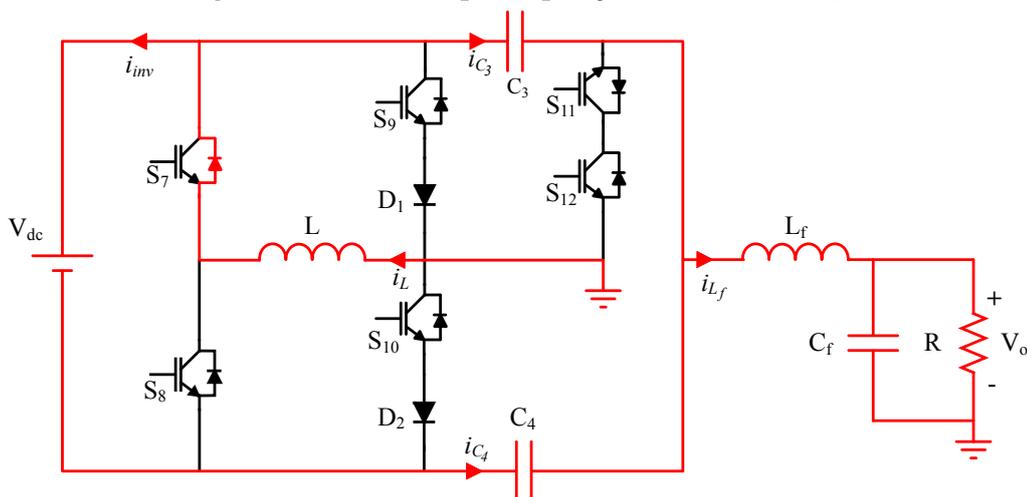
A Figura 38 apresenta a terceira etapa de operação do inversor ($D_c T_s$). Esta etapa é caracterizada pela interrupção de condução do interruptor S_{11} e do diodo $D_{S_{12}}$. Há apenas a troca de energia presente sobre os indutores L e L_f , os quais possuem tensão nula e a mesma corrente, porém em sentido diferente durante toda esta etapa.

Figura 37 – Segunda etapa de operação do inversor (D_bT_s).



Fonte: Autoria própria.

Figura 38 – Terceira etapa de operação do inversor (D_cT_s).



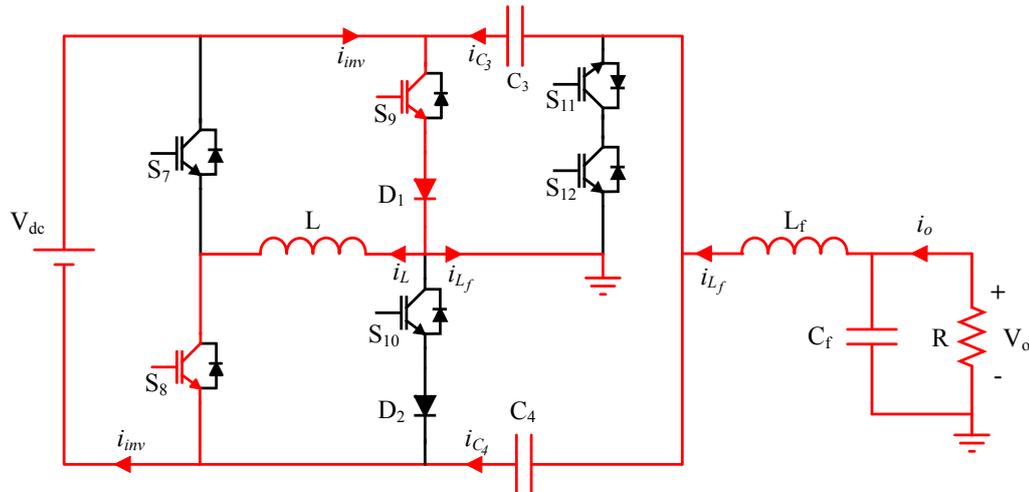
Fonte: Autoria própria.

Para o semiciclo negativo da saída, são encarregadas a quarta, quinta e sexta etapa de operação, as quais apresentam similaridade em relação à primeira, segunda e terceira etapas apresentadas anteriormente.

Logo, para a quarta etapa de operação (D_dT_s) os semicondutores S_8 , S_9 e D_1 permanecem conduzindo, enquanto os demais permanecem bloqueados (apresentada pela Figura 39). Durante esta etapa, os indutores L e L_f se magnetizam com a tensão de entrada, enquanto os capacitores C_3 e C_4 são descarregados. A corrente que flui pelos semicondutores que estão em condução é a soma das correntes dos indutores do circuito.

Esta etapa chega ao fim quando o interruptor S_9 é bloqueado, o que faz com que o diodo D_1 pare também de conduzir, iniciando assim a quinta etapa de condução (D_eT_s).

Figura 39 – Quarta etapa de operação do inversor ($D_d T_s$)

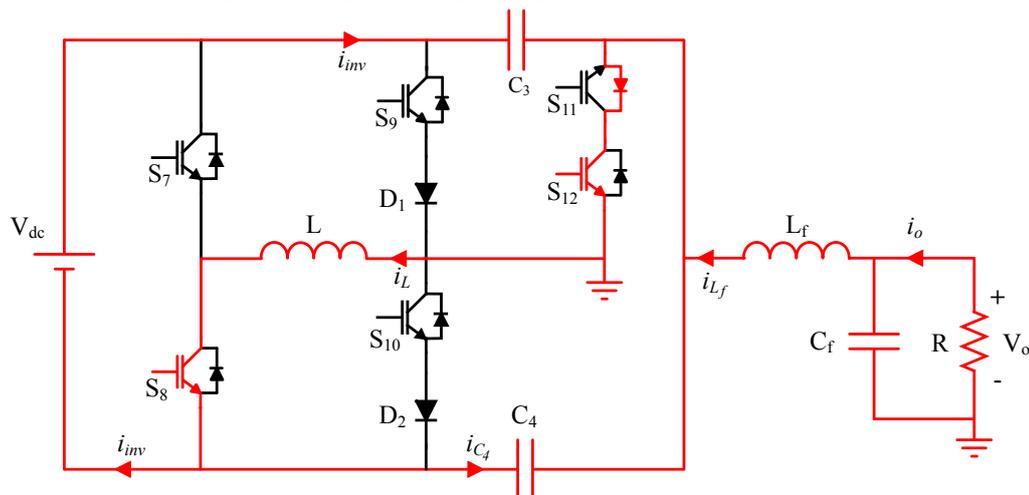


Fonte: Autoria própria.

A quinta etapa de operação ($D_e T_s$) se inicia pelo fim da condução do interruptor S_9 e do diodo D_1 e início da condução do interruptor S_{12} , o que conseqüentemente faz com que o diodo $D_{S_{11}}$ também conduza corrente, mostrado na Figura 40. Durante esta etapa, os indutores L e L_f se desmagnetizam, enquanto os capacitores C_3 e C_4 se carregam.

O fim desta etapa ocorre quando a soma das correntes dos indutores do circuito se torna zero. Como a corrente que flui pelo diodo $D_{S_{11}}$ é igual a esta soma, este não é mais polarizado quando esta corrente chega em zero, o que resulta na sexta e última etapa de operação.

Figura 40 – Quinta etapa de operação do inversor ($D_e T_s$)

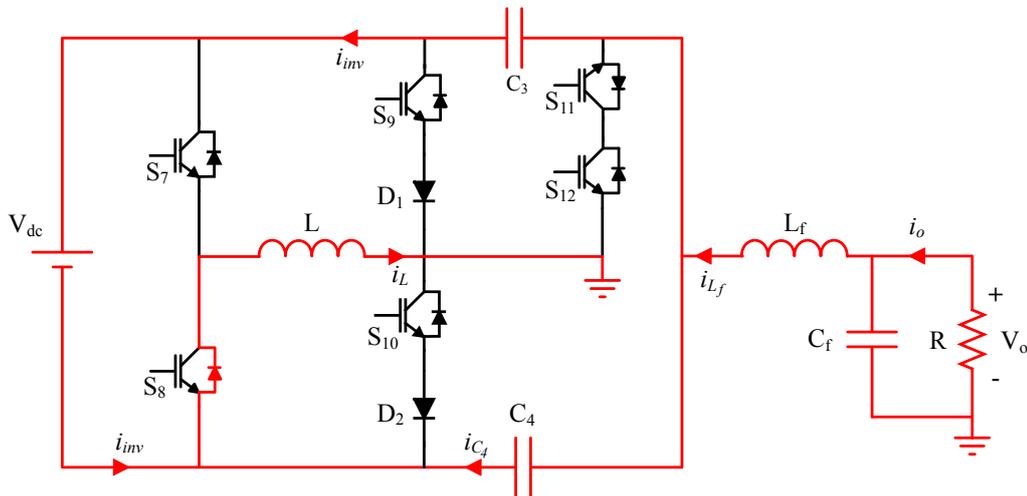


Fonte: Autoria própria.

Por fim, a sexta etapa de operação ($D_f T_s$) se inicia quando a corrente que flui pelos semicondutores S_{12} e $D_{S_{11}}$ chega em zero (Figura 41). Quando isto ocorre, a tensão presente sobre os indutores do circuito passa a ser idealmente zero, o que faz com que não haja mais

magnetização ou desmagnetização destes componentes, e sim apenas uma troca de corrente entre eles, onde a corrente que flui pelo indutor L_f é a mesma, porém em sentido oposto, à que flui pelo indutor L , ou seja, $i_{L_f} = -i_L$.

Figura 41 – Terceira etapa de operação do inversor ($D_f T_s$)



Fonte: Autoria própria.

3.2.2.3 Formas de onda teóricas e equacionamento

Nesta subseção, serão apresentadas as curvas teóricas para os componentes do conversor operando em MCD em um período de chaveamento.

Será considerado o semiciclo positivo da saída ao apresentar as formas de onda, assim como serão desprezadas as perdas e aproximados os valores de tensão para seus valores médios, desprezando pequenas variações

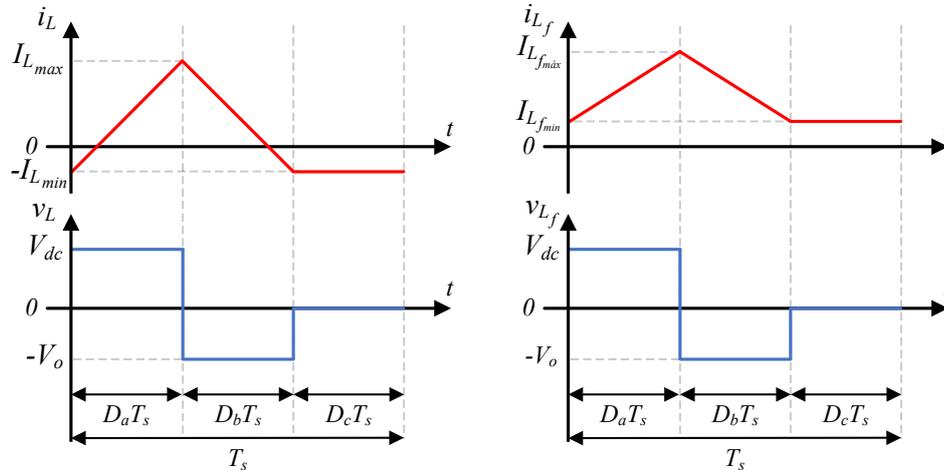
Analisando as etapas de funcionamento, é possível encontrar uma representação gráfica para a tensão e corrente presente sobre os indutores L e L_f para um período de chaveamento genérico, apresentado pela Figura 42.

Baseado no que foi apresentado na Figura 42, e sabendo que a tensão média presente sobre o indutor é nula, é possível equacionar a tensão sobre o indutor L da seguinte maneira:

$$V_L = \frac{V_{dc} D_a T_s}{T_s} + \frac{(V_{dc} - V_c) D_b T_s}{T_s} + \frac{0 D_c T_s}{T_s} = 0 \quad (112)$$

Partindo da equação (112), é possível encontrar uma relação entre as constantes de tempo D_a e D_b .

Figura 42 – Tensão e corrente teóricas sobre os indutores L e L_f



Fonte: Autoria própria.

$$D_b = \frac{V_{dc}}{V_{c4} - V_{dc}} D_a \quad (113)$$

Para a constante de tempo D_c , tem-se que esta pode ser expressa como o complemento das constantes D_a e D_b , sendo:

$$D_c = 1 - D_a - D_b \quad (114)$$

Como pôde ser observado pela forma de onda da corrente do indutor, esta atinge seu valor de pico no fim da primeira etapa de operação ($D_a T_s$), podendo ser calculada como:

$$I_{L_{max}} = \frac{V_{dc} D_a T_s}{L} + I_{L_{min}} \quad (115)$$

Durante a terceira etapa de operação do inversor, os indutores atingem e permanecem em seu valor de corrente mínima. Como pode ser observado na Figura 42, esta corrente mínima possui a mesma amplitude para ambos os indutores, porém em sentidos opostos. Logo, a corrente mínima $I_{L_{min}}$ pode ser calculada a partir da corrente mínima do indutor de saída L_f , conforme segue:

$$I_{L_{f_{min}}} = -I_{L_{min}} = I_{L_f} - \frac{V_{dc} D_a T_s (D_a + D_b)}{2L_f} \quad (116)$$

Analisando novamente a corrente teórica sobre o indutor L , é possível obter a expressão que calcula a corrente média sobre este indutor. Para isso, é aproximada a primeira parte da curva para um triângulo de base $D_a + D_b$, e altura de $I_{L_{pico}}$, e a segunda parte é aproximada para um retângulo de base D_c e altura $I_{L_{min}}$, resultando em (117).

$$I_{L_{med}} = \frac{(I_{L_{pico}} - I_{L_{min}})(D_a + D_b)}{2} - I_{L_{min}}(1 - D_a - D_b) \quad (117)$$

De forma análoga, é possível encontrar as mesmas expressões para o indutor de saída L_o . É então equacionada a tensão média presente sobre este indutor, como sendo:

$$V_{L_f} = \frac{(V_{C_4} - V_o)D_a T_s}{T_s} - \frac{V_o D_b T_s}{T_s} + \frac{0 D_c T_s}{T_s} = 0 \quad (118)$$

Rearranjando os termos presentes em (118), é obtida a seguinte expressão:

$$D_b = \frac{V_{C_4} - V_o}{V_o} D_a \quad (119)$$

Substituindo (113) em (119), e isolando V_{C_4} , é possível encontrar a tensão média sobre os capacitores C_3 e C_4 .

$$V_{C_{3,4}} = V_{dc} + V_o \quad (120)$$

Com a tensão média sobre este componente, é possível substituí-la em (119) e encontrar a relação de ganho estático do circuito, sendo:

$$G_{inv} = \frac{V_o}{V_{dc}} = \frac{D_a}{D_b} \quad (121)$$

A partir do que foi apresentado sobre o inversor estudado, este possui um funcionamento muito próximo a um conversor Ćuk convencional operando em MCD, logo é possível assumir a simplificação apresentada por (ERICKSON, 1997) para a variável D_b .

$$D_b = \sqrt{\frac{2L_{eq2}}{T_s R}} \quad (122)$$

onde: L_{eq2} é a indutância equivalente entre os indutores do circuito; T_s é o período de chaveamento; R é a resistência da carga.

Dada as etapas de operação e fluxo de corrente sobre os componentes do circuito, a indutância equivalente é a assimilação em paralelo os indutores L e L_{eq2} .

$$L_{eq2} = \frac{L_f L}{L_f + L} \quad (123)$$

O indutor de saída L_f apresenta uma curva de corrente muito similar em comparação a quando o conversor opera em MCC. São então apresentadas as expressões aproximadas que descrevem o valor de corrente máxima e corrente mínima para este indutor.

$$I_{L_{fmin}} = I_{L_f} - \frac{V_{dc}D_aT_s(D_a + D_b)}{2L_f} \quad (124)$$

$$I_{L_{fmax}} = I_{L_{fmin}} + \frac{V_{dc}D_aT_s(2 - D_a - D_b)}{L_f} \quad (125)$$

É pertinente equacionar também os valores médios e eficazes da corrente que flui pelos indutor L ao longo de um período da tensão de saída, para que assim possam ser estimadas as perdas referentes ao cobre presente no indutor.

Analisando a Figura 42, é possível expressar os valores médio e eficaz para um período da saída como:

$$I_{L_{med_{rede}}} = \frac{1}{2\pi} \int_0^{2\pi} \frac{1}{T_s} \left(\int_0^{D_a \text{sen}(\omega t)T_s} I_1 dt + \int_0^{D_b T_s} I_2 dt + \int_0^{D_c T_s} I_3 dt \right) d\omega t \quad (126)$$

$$I_{L_{med_{rede}}} = \frac{8f_s(D_a(I_{L_{max}} - I_{L_{min}})V_{dc} + V_o I_{L_{min}})L + D_a^2 V_{dc}(\pi V_o - 4V_{dc})}{4\pi f_s L V_o} \quad (127)$$

$$I_{L_{ef_{rede}}} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \frac{1}{T_s} \left(\int_0^{D_a \text{sen}(\omega t)T_s} I_1^2 dt + \int_0^{D_b T_s} I_2^2 dt + \int_0^{D_c T_s} I_3^2 dt \right) d\omega t} \quad (128)$$

$$I_{L_{ef_{rede}}} = \sqrt{\frac{9D_a L^2 V_{dc} f_s^2 \pi (I_{L_{max}}^2 I_{L_{min}}) - 9D_a^2 I_{L_{max}} L V_{dc}^2 f_s \pi + 8D_a^3 V_{dc}^2 V_o + 9I_{L_{min}}^2 L^2 V_o f_s^2 \pi + 3D_a^3 V_{dc}^3 \pi + 24D_a^2 I_{L_{min}} L V_{dc} V_o f_s}{9f_s^2 L^2 V_o \pi}} \quad (129)$$

Onde os termos I_1 , I_2 e I_3 são dados como:

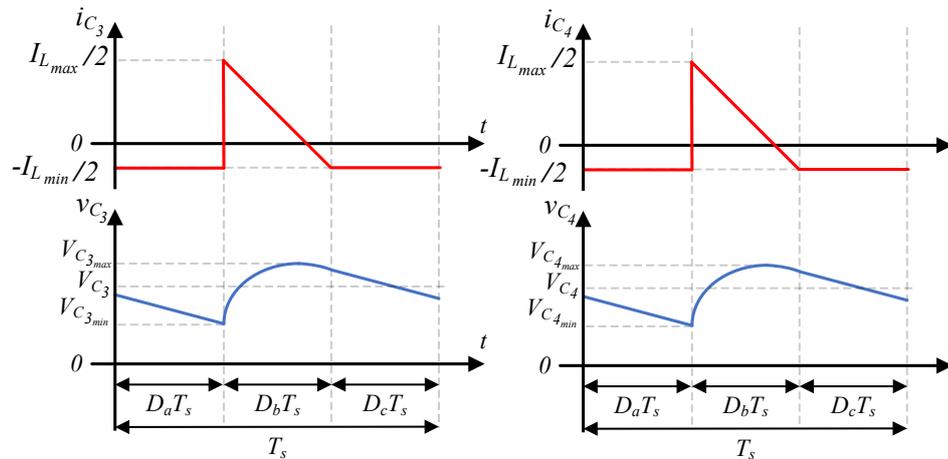
$$I_1 = I_{L_{min}} \text{sen}(\omega t) + \frac{V_{dc}}{L} t \quad (130)$$

$$I_2 = I_{L_{max}} \text{sen}(\omega t) - \frac{V_o \text{sen}(\omega t)}{L} t \quad (131)$$

$$I_3 = I_{L_{min}} \text{sen}(\omega t) \quad (132)$$

Os capacitores de acoplamento C_3 e C_4 apresentam similaridade ao capacitor do conversor Čuk convencional quando operando em MCD, possuindo uma tensão média igual à tensão

Figura 43 – Tensão e corrente teórica sobre os capacitores C_3 e C_4 .

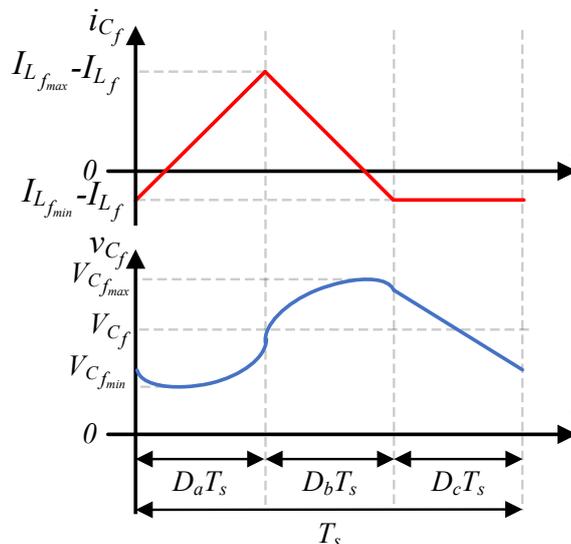


Fonte: Autoria própria.

de entrada somada à tensão de saída. As curvas apresentadas na Figura 43 descrevem a tensão e a corrente presentes sobre estes componentes ao longo de um período de chaveamento.

O capacitor de saída C_f apresenta um comportamento muito semelhante ao capacitor de saída de um conversor \hat{C} uk convencional, assim como de um conversor Buck convencional. Este componente, teoricamente, recebe toda a parcela alternada em alta frequência da corrente presente no indutor L_f , o que resulta em uma corrente média de baixa variação na carga. Além do mais, a tensão média presente sobre este capacitor é igual à tensão média de saída para um período de chaveamento. As curvas de tensão e corrente teóricas presentes sobre este componente podem ser observadas na Figura 44.

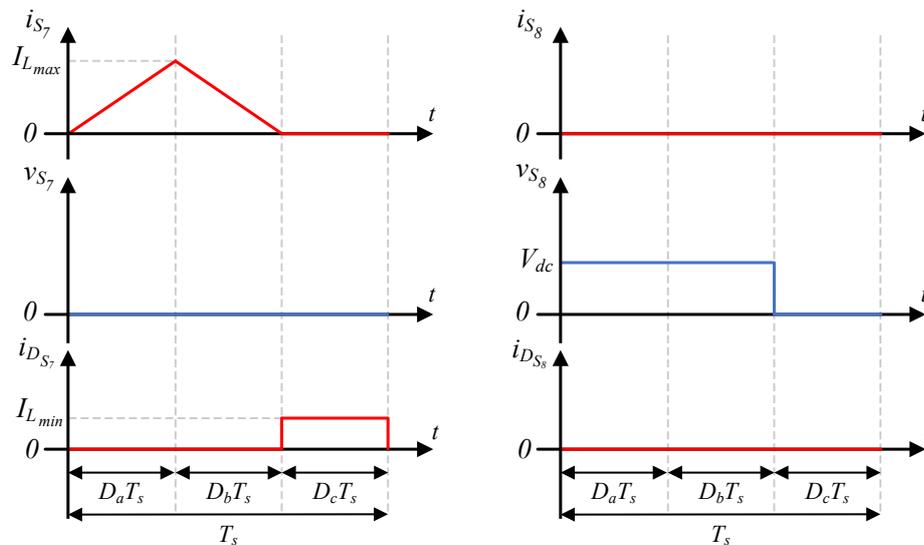
Figura 44 – Tensão e corrente teórica sobre o capacitor C_f .



Fonte: Autoria própria.

Por fim, são apresentadas as curvas teóricas de tensão e corrente presentes sobre os semicondutores do circuito (Figura 45, Figura 46, Figura 47 e Figura 48). É pertinente a compreensão destas curvas por apresentarem a tensão e corrente máxima sobre os semicondutores, as quais devem ser respeitadas ao se escolher o modelo de semicondutor utilizado. Além disto, esta análise permite realizar o equacionamento necessário para cálculo das correntes média e eficaz sobre estes elementos.

Figura 45 – Tensão e corrente teóricas sobre os semicondutores S_7 e S_8 .



Fonte: Autoria própria.

A partir da Figura 45 é possível realizar o equacionamento matemático para obter as expressões que descrevem as correntes média e eficaz sobre os semicondutores S_7 , S_8 , D_{S_7} e D_{S_8} .

De início, como realizado para o equacionamento referente aos semicondutores do retificador, são realizados os equacionamentos relacionados a um período de chaveamento do conversor, posteriormente expandido para um período da tensão de saída.

Antes de realizar o equacionamento, é importante destacar que o comportamento da corrente dos semicondutores S_7 e S_8 são iguais, porém alternados entre os semiciclos, ou seja, durante o semiciclo positivo da tensão de saída o comportamento da corrente é apresentado na Figura 45, já durante o semiciclo negativo o comportamento da corrente apresentado na figura é invertido. Por conta disto, é possível realizar apenas um equacionamento para ambos os semicondutores, visto que para um período da saída, estes irão apresentar o mesmo valor.

A princípio, analisando a figura, é preciso definir o intervalo de tempo em que a corrente flui pelo diodo em antiparalelo ao interruptor durante as etapas $D_a T_s$ (Δ_3) e $D_b T_s$ (Δ_4). É

possível determinar estes intervalos a partir da expressão (115), como segue:

$$\Delta_3 = \frac{-I_{L_{min}}L}{V_{dc}} \quad (133)$$

$$\Delta_4 = \frac{I_{L_{max}}L}{V_o} \quad (134)$$

Com isto, é então possível expressar a corrente média e eficaz para um período de chaveamento sobre os interruptores S_7 e S_8 como segue:

$$I_{S_{7,8_{med}}} = \frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_3} \left(\frac{V_{dc}}{L} t \right) dt + \int_0^{\Delta_4} \left(I_{L_{max}} - \frac{V_o}{L} t \right) dt \right) \quad (135)$$

$$I_{S_{7,8_{med}}} = \frac{(V_{dc}\Delta_1^2 - \Delta_2^2 V_o + 2\Delta_2 I_{L_{max}} L) f_s^2 - 2D_a \Delta_1 V_{dc} f_s + D_a^2 V_{dc}}{2f_s L} \quad (136)$$

$$I_{S_{7,8_{ef}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_3} \left(\frac{V_{dc}}{L} t \right)^2 dt + \int_0^{\Delta_4} \left(I_{L_{max}} - \frac{V_o}{L} t \right)^2 dt \right)} \quad (137)$$

$$I_{S_{7,8_{ef}}} = \sqrt{\frac{(-\Delta_1^3 V_{dc}^2 + \Delta_2(V_o^2 \Delta_2^2 - 3\Delta_2 I_{L_{max}} L V_o + 3I_{L_{max}}^2 L^2)) f_s^3 + 3D_a \Delta_1^2 V_{dc}^2 f_s^2 - 3D_a^2 \Delta_1 V_{dc}^2 f_s + D_a^3 V_{dc}^2}{3L^2 f_s^2}} \quad (138)$$

Expandindo as expressões desenvolvidas considerando um período completo da saída, tem-se:

$$I_{S_{7,8_{med_{rede}}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_3} I_4 dt + \int_0^{\Delta_4} I_5 dt \right) \right) d\omega t \quad (139)$$

$$I_{S_{7,8_{med_{rede}}}} = \frac{(2\pi V_{dc} \Delta_1^2 - 4\Delta_2^2 V_o + 8\Delta_2 I_{L_{max}} L) f_s^2 - 8D_a V_{dc} f_s \Delta_1 + D_a^2 V_{dc} \pi}{8f_s L \pi} \quad (140)$$

$$I_{S_{7,8_{ef_{rede}}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{D_a T_s - \Delta_3} I_4^2 dt + \int_0^{\Delta_4} I_5^2 dt \right) \right) d\omega t} \quad (141)$$

$$I_{S_{7,8_{ef_{rede}}}} = \sqrt{\frac{3\pi(-2V_{dc}^2\Delta_1^3 + \Delta_2(V_o^2\Delta_2^2 - 3\Delta_2I_{L_{max}}LV_o + 3I_{L_{max}}^2L^2))f_s^3 + 36D_aV_{dc}^2f_s^2\Delta_1^2 - 9D_a^2\pi V_{dc}^2f_s\Delta_1 + 8D_a^3V_{dc}^2}{6f_s^2L^2\pi}} \quad (142)$$

Onde os termos I_4 e I_5 são dados como:

$$I_4 = \frac{V_{dc}}{L}t \quad (143)$$

$$I_5 = I_{L_{max}}\text{sen}(\omega t) - \frac{V_o\text{sen}(\omega t)}{L}t \quad (144)$$

Como pode ser observado pela Figura 45, há um intervalo de tempo em que o diodo em antiparalelo aos interruptores S_7 e S_8 conduzem corrente. Por conta disto, é também calculada a corrente média e eficaz durante um período de chaveamento que circula por estes elementos, sendo:

$$I_{D_{S_{7,8_{med}}}} = \frac{1}{T_s} \left(\int_0^{\Delta_3} \left(I_{L_{min}} - \frac{V_{dc}}{L}t \right) dt + \int_0^{D_bT_s - \Delta_4} \left(\frac{V_o}{L}t \right) dt + \int_0^{D_cT_s} I_{L_{min}} dt \right) \quad (145)$$

$$I_{D_{S_{7,8_{med}}}} = \sqrt{\frac{\Delta_2^2V_o^2f_s^2 - 2f_s(\Delta_1(I_{L_{min}}L + 1/2V_{dc}\Delta_1))f_s + D_aV_{dc}\Delta_2 + DcLI_{L_{min}}V_o + D_a^2V_{dc}^2}{2f_sV_oL}} \quad (146)$$

$$I_{D_{S_{7,8_{ef}}}} = \sqrt{\frac{1}{T_s} \left(\int_0^{\Delta_3} \left(I_{L_{min}} - \frac{V_{dc}}{L}t \right)^2 dt + \int_0^{D_bT_s - \Delta_4} \left(\frac{V_o}{L}t \right)^2 dt + \int_0^{D_cT_s} I_{L_{min}}^2 dt \right)} \quad (147)$$

$$I_{D_{S_{7,8_{ef}}}} = \sqrt{\frac{-\Delta_2^3V_o^3f_s^3 + 3D_a\Delta_2^2V_{dc}V_o^2f_s^2 - 3f_s((-LV_{dc}\Delta_1^2I_{L_{min}} - 1/3\Delta_1^3V_{dc}^2 - L^2\Delta_1I_{L_{min}}^2)f_s^2 - DcL^2I_{L_{min}}^2f_s + D_a^2V_{dc}^2\Delta_2)V_o + D_a^3V_{dc}^3}{3L^2f_s^2V_o}} \quad (148)$$

Expandindo novamente as expressões anteriores considerando um período da tensão de saída, tem-se:

$$I_{D_{S_{7,8_{med_{rede}}}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{\Delta_3} I_6 dt + \int_0^{D_bT_s - \Delta_4} I_7 dt + \int_0^{D_cT_s} I_8 dt \right) \right) d\omega t \quad (149)$$

$$I_{D_{S_{7,8}med_{rede}}} = \sqrt{\frac{(2V_o^2\Delta_2^2 + (-\pi V_{dc}\Delta_1^2 - 4I_{L_{min}}L\Delta_1)V_o)f_s^2 + ((I_{L_{min}}(D_a\pi - 4)L - 4D_aV_{dc}\Delta_2)V_o + 4D_aLV_{dc}I_{L_{min}})f_s + 2D_a^2V_{dc}^2}{4LV_o f_s \pi}} \quad (150)$$

$$I_{D_{S_{7,8}ef_{rede}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \left(\int_0^{\Delta_3} I_6^2 dt + \int_0^{D_b T_s - \Delta_4} I_7^2 dt + \int_0^{D_c T_s} I_8^2 dt \right) \right) d\omega t} \quad (151)$$

$$I_{D_{S_{7,8}ef_{rede}}} = \sqrt{\frac{-V_o((\Delta_2^3 V_o^2 - 3I_{L_{min}}^2 L^2 \Delta_1 - 2V_{dc}^2 \Delta_1^3)\pi - 12LV_{dc}I_{L_{min}}\Delta_1^2)f_s^3 + ((3D_a\Delta_2^2 V_{dc}V_o^2 - 3D_aI_{L_{min}}^2 L^2 V_{dc} + 3I_{L_{min}}^2 L^2 V_o)\pi - 8D_aV_oL^2I_{L_{min}}^2)f_s^2 - 3D_a^2\Delta_2\pi V_{dc}^2V_o f_s + D_a^3V_{dc}^3\pi}{12L^2 f_s^2 V_o \pi}} \quad (152)$$

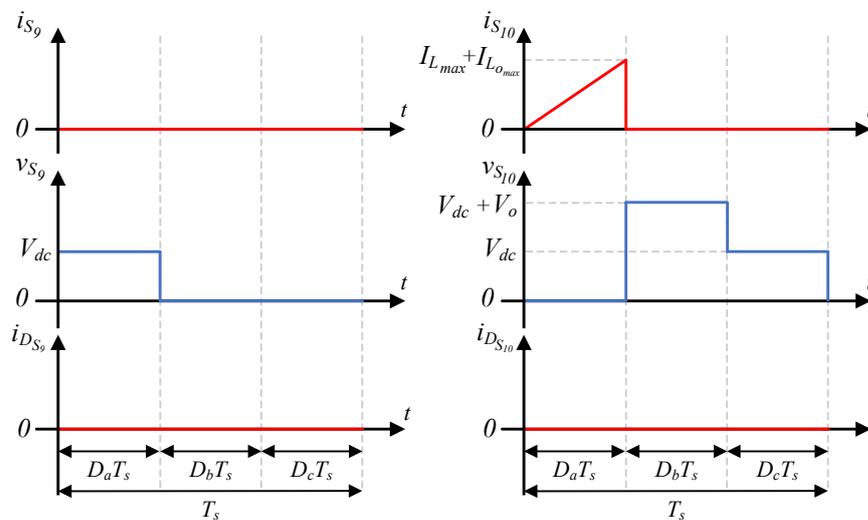
Onde os termos I_6 , I_7 e I_8 são dados como:

$$I_6 = I_{L_{min}} \text{sen}(\omega t) - \frac{V_{dc}}{L} t \quad (153)$$

$$I_7 = \frac{V_o \text{sen}(\omega t)}{L} t \quad (154)$$

$$I_8 = I_{L_{min}} \text{sen}(\omega t) \quad (155)$$

Figura 46 – Tensão e corrente teóricas sobre os semicondutores S_9 e S_{10} .



Fonte: Autoria própria.

Da mesma maneira que realizado anteriormente, é utilizada a curva de corrente sobre os semicondutores S_9 e S_{10} (Figura 46) para expressar a corrente média e eficaz que circula sobre eles. Diferente dos semicondutores D_{S_7} e D_{S_8} , os diodos em antiparalelo aos interruptores S_9 e S_{10} não possuem circulação de corrente, fazendo com que não seja necessário equacionar as expressões que descrevem sua corrente, por possuírem uma corrente nula.

Da mesma maneira que descrito anteriormente, os interruptores S_9 e S_{10} também possuem similaridade entre a corrente que circula sobre eles, porém em semiciclos alternados, ou seja, é possível realizar o equacionamento apenas para um dos interruptores, pois será o mesmo para o outro.

São então apresentadas as expressões que descrevem a corrente média e eficaz para um período de chaveamento sobre os interruptores S_9 e S_{10} .

$$I_{S_{9,10}_{med}} = \frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{dc}}{L_{eq2}} t \right) dt \quad (156)$$

$$I_{S_{9,10}_{med}} = \frac{D_a^2 V_{dc}}{2 f_s L_{eq2}} \quad (157)$$

$$I_{S_{9,10}_{ef}} = \sqrt{\frac{1}{T_s} \int_0^{D_a T_s} \left(\frac{V_{dc}}{L_{eq2}} t \right)^2 dt} \quad (158)$$

$$I_{S_{9,10}_{ef}} = \sqrt{\frac{D_a^3 V_{dc}^2}{3 L_{eq2}^2 f_s^2}} \quad (159)$$

Expandindo o resultado obtido considerando um período da tensão de saída, são obtidas então as seguintes expressões:

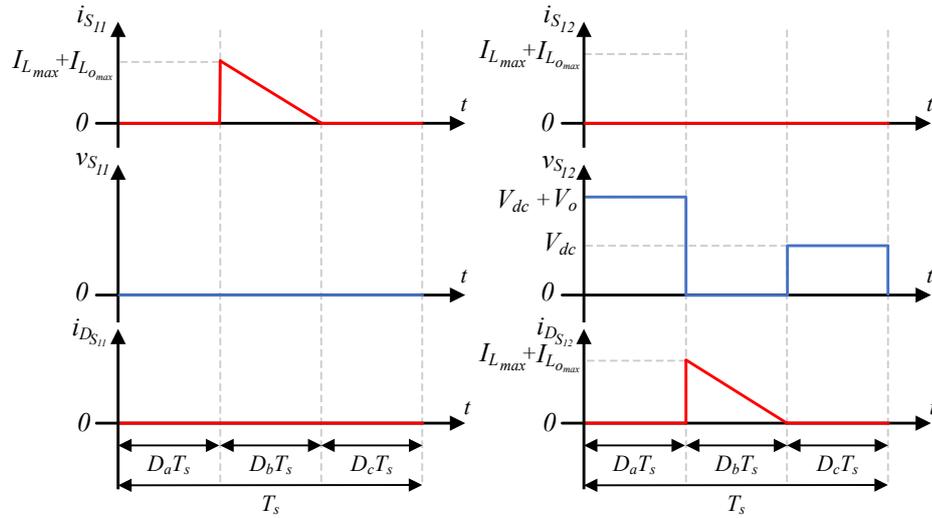
$$I_{S_{9,10}_{med_{rede}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a \text{sen}(\omega t) T_s} \left(\frac{V_{dc}}{L_{eq2}} t \right) dt \right) d\omega t \quad (160)$$

$$I_{S_{9,10}_{med_{rede}}} = \frac{D_a^2 V_{dc}}{8 f_s L_{eq2}} \quad (161)$$

$$I_{S_{9,10}_{med_{rede}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_a \text{sen}(\omega t) T_s} \left(\frac{V_{dc}}{L_{eq2}} t \right)^2 dt \right) d\omega t} \quad (162)$$

$$I_{S_{9,10}_{med_{rede}}} = \sqrt{\frac{2 D_a^3 V_{dc}^2}{9 L_{eq2}^2 f_s^2 \pi}} \quad (163)$$

Figura 47 – Tensão e corrente teóricas sobre os semicondutores S_{11} e S_{12} .



Fonte: Autoria própria.

Por fim, a mesma metodologia é adotada para os semicondutores S_{11} , S_{12} , D_{S11} e D_{S12} .

Como pode ser observado na Figura 47 e na Figura 37, a corrente que flui pelo interruptor S_{11} durante o semiciclo positivo da saída é a mesma que flui pelo diodo D_{S12} , com isso é possível equacionar apenas um expressão, a qual é válida para ambos os semicondutores.

Primeiramente, é apresentada a expressão que define a corrente média e eficaz para um período de chaveamento, sendo:

$$I_{S_{11,12_{med}}} = \frac{1}{T_s} \int_0^{D_b T_s} \left(I_{L_{max}} + I_{L_{fmax}} - \frac{V_o}{L_{eq2}} t \right) dt \quad (164)$$

$$I_{S_{11,12_{med}}} = \frac{D_a V_{dc} (2f_s (I_{L_{fmax}} + I_{L_{max}}) L_{eq2} - D_a V_{dc})}{2f_s L_{eq2} V_o} \quad (165)$$

$$I_{S_{11,12_{ef}}} = \sqrt{\frac{1}{T_s} \int_0^{D_b T_s} \left(I_{L_{max}} + I_{L_{fmax}} - \frac{V_o}{L_{eq2}} t \right)^2 dt} \quad (166)$$

$$I_{S_{11,12_{ef}}} = \sqrt{\frac{D_a V_{dc} (3f_s^2 (I_{L_{fmax}} + I_{L_{max}})^2 L_{eq2}^2 + D_a^2 V_{dc}^2 - 3D_a f_s V_{dc} (I_{L_{fmax}} + I_{L_{max}}) L_{eq2})}{3L_{eq2} f_s \sqrt{V_o}}} \quad (167)$$

Por fim, expandindo o resultado anterior considerando um período da saída, tem-se:

$$I_{S_{11,12_{med,rede}}} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_b T_s} \left((I_{L_{max}} + I_{L_{fmax}}) \text{sen}(\omega t) - \frac{V_o \text{sen}(\omega t)}{L_{eq2}} t \right) dt \right) d\omega t \quad (168)$$

$$I_{S_{11},12_{med_{rede}}} = \frac{(2f_s(I_{L_{fmax}} + I_{L_{max}})L_{eq2} - D_a V_{dc})V_{dc}D_a}{2f_s L_{eq2} V_o \pi} \quad (169)$$

$$I_{S_{11},12_{ef_{rede}}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{1}{T_s} \int_0^{D_b T_s} \left((I_{L_{max}} + I_{L_{fmax}}) \text{sen}(\omega t) - \frac{V_o \text{sen}(\omega t)}{L_{eq2}} t \right)^2 dt \right) d\omega t} \quad (170)$$

$$I_{S_{11},12_{ef_{rede}}} = \sqrt{\frac{(3f_s^2 (I_{L_{fmax}} + I_{L_{max}})^2 L_{eq2}^2 - 3D_a f_s V_{dc} (I_{L_{fmax}} + I_{L_{max}}) L_{eq2} + D_a^2 V_{dc}^2) D_a V_{dc}}{12f_s^2 L_{eq2}^2 V_o}} \quad (171)$$

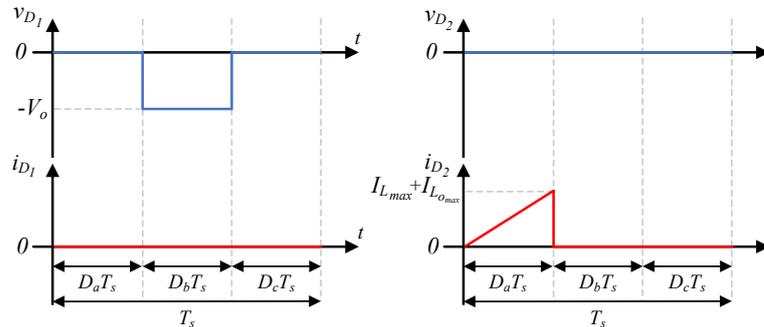
Como descrito anteriormente, a corrente que flui pelo interruptor S_{11} é a mesma que flui pelo diodo $D_{S_{12}}$, com isso tem-se que a corrente média e eficaz para estes elementos são iguais, ou seja:

$$I_{D_{S_{11},12_{med_{rede}}}} = I_{S_{11},12_{med_{rede}}} \quad (172)$$

$$I_{D_{S_{11},12_{ef_{rede}}}} = I_{S_{11},12_{ef_{rede}}} \quad (173)$$

Por fim, a Figura 48 apresenta a curva de corrente e tensão para um período de chaveamento sobre os diodos da estrutura.

Figura 48 – Tensão e corrente teóricas sobre os semicondutores D_1 e D_2 .



Fonte: Autoria própria.

Analisando a estrutura do inversor, assim como o fluxo de corrente durante as etapas, é possível observar que os diodos D_1 e D_2 encontram-se em série com os interruptores S_9 e S_{10} , respectivamente. Com isso, tem-se que a corrente que flui pelos interruptores é a mesma que flui pelos diodos, fazendo com que a corrente destes elementos possam ser expressadas como:

$$I_{D_{1,2}efrede} = I_{S_{9,10}medrede} \quad (174)$$

$$I_{D_{1,2}efrede} = I_{S_{9,10}efrede} \quad (175)$$

Como pode ser observado, a tensão máxima presente sobre os semicondutores é igual à tensão de entrada somada à tensão de saída, o qual ocorre em todos os interruptores, visto a simetria entre as etapas de operação do semiciclo positivo e negativo. É possível destacar também a função dos diodos $D_{S_{11}}$ e $D_{S_{12}}$, visto que caso estes não sejam utilizados, haverá tensão reversa sobre os interruptores S_9 e S_{10} durante a segunda etapa de operação no decorrer dos semiciclos positivo e negativo, respectivamente.

3.3 CONSIDERAÇÕES PARCIAIS

Este capítulo apresentou os princípios de funcionamento, formas de onda e principais equações para a topologia de UPS proposta nesta dissertação, assim como o equacionamento que será usado como fundamento para o projeto dos elementos eletro-eletrônicos.

Além disto, o equacionamento acerca das correntes sobre os semicondutores foi apresentado, o qual será posteriormente utilizado para estimar as perdas sobre estes componentes, tornando possível estimar um rendimento para o sistema de UPS proposto.

Como pode ser observado, ambos os circuitos são baseados em estruturas clássicas da literatura de conversores CC/CC, tornando a análise das topologias propostas mais simples, podendo aproximar os funcionamentos para estes conversores tradicionais operando em MCD.

4 EQUACIONAMENTO DAS ESTRUTURAS

Neste capítulo serão apresentados os procedimentos para projeto dos elementos passivos do retificador e do inversor, apresentando também algumas expressões relevantes relacionadas ao funcionamento destes circuitos.

4.1 PROJETO DOS ELEMENTOS PASSIVOS DO SISTEMA

Para o devido funcionamento do inversor e do retificador, é de interesse projetar os elementos passivos destes circuitos, garantindo assim um funcionamento adequado, e realizando escolhas com assertividade, como, por exemplo, o modo de condução escolhido.

4.1.1 Retificador SEPIC-Ćuk

Nesta etapa, serão apresentados os cálculos referentes ao projeto dos componentes passivos do circuito (indutores e capacitores). É de suma importância o cálculo destes elementos para que o circuito se comporte adequadamente e conforme analisado na parte teórica.

Para o projeto, foram considerados os seguintes parâmetros de projeto do conversor:

Tabela 4 – Parâmetros de projeto do circuito retificador

Parâmetro	Sigla	Valor
Potência do circuito	P_{in}	596 W
Tensão da rede	$V_{in_{ef}}$	127 V
Tensão de saída	V_{dc}	84 V
Frequência da rede	f_{rede}	60 Hz
Frequência de chaveamento	f_s	50 kHz
Variação de corrente no indutor de entrada	ΔI_{Lin}	10% de I_{Lin}
Ondulação máxima da tensão de saída	$\Delta V_{C_{dc}}$	5 V

Nota-se que a potência para projeto do retificador foi de 596 W, e não de 400 W, o qual seria o valor nominal da potência da UPS. Isso se dá devido ao fato de que o retificador, em determinados momentos, terá que recarregar a bateria, e não apenas suprir a carga de 400 W, fazendo com que haja a necessidade de uma potência maior. Além disto, são estimadas perdas para os conversores, como será melhor descrito na seção de projeto de elementos passivos para o inversor. Considerando uma corrente de carga para a bateria de 1 A e perdas de 100 W, a potência necessária passa a ser de 596 W.

Outro ponto a ser destacado é a tensão de saída do projeto, o qual foi considerado a tensão terminal das baterias, por se tratar do pior cenário possível de operação do retificador.

A partir dos parâmetros de projeto definidos, é possível obter o valor de uma resistência equivalente para a saída do circuito.

$$R_o = \frac{V_{dc}^2}{P_{in}} = 11,84 \Omega \quad (176)$$

Partindo dos valores da tensão de entrada e da tensão de saída, é possível calcular a corrente de entrada e de saída, respectivamente. Para isso, assume-se que a potência de entrada é a mesma na saída, e com isso tem-se:

$$I_{in_{ef}} = \frac{P_{in}}{V_{in_{ef}}} = 4,69 A \quad (177)$$

$$I_{dc} = \frac{P_{in}}{V_{dc}} = 7,10 A \quad (178)$$

Inicialmente, para cálculo do indutor de entrada L_{in} é feita a consideração que este indutor possui um valor muito maior que o indutor de saída, e isso faz com que o comportamento da corrente que circula por este elemento possua uma variação muito menor que a do indutor de saída L_o . Ao realizar esta consideração e analisar a corrente que flui pelo indutor L_{in} , tem-se que esta corrente se assemelha muito à corrente de um indutor operando no MCC. Por conta disto, é possível realizar o projeto de indutância levando em consideração esta aproximação. Além disto, para cálculo do valor do indutor de saída, é necessário o cálculo da razão cíclica como se o circuito estivesse operando em MCC.

A razão cíclica utilizada pode ser obtida pela tensão média presente sobre os indutores, calculada em (179). Partindo disto, é possível projetar o valor do indutor de entrada (180)

$$D = \frac{V_{dc}}{V_{in} + V_{dc}} = 0,3187 \quad (179)$$

$$L_{in} = \frac{V_{in}D}{\Delta I_{in}f_s} = 1,72 mH \quad (180)$$

Com o valor de L_{in} , é possível calcular o valor da indutância crítica relacionada à L_o para que o retificador opere em MCD. Para isto, é primeiro encontrada a indutância equivalente crítica, relacionada à associação em paralelo dos indutores do circuito, igualando os ganhos em

MCC e MCD encontrados em (110) e (179). Desta forma, é obtida a seguinte expressão para a indutância equivalente crítica.

$$L_{eq_{crit_1}} = \frac{R_o(1 - 2D + D^2)}{4f_s} = 27,48 \mu H \quad (181)$$

Realizando a associação em paralelo dos indutores e isolando o termo L_o , é então encontrado o valor crítico para este componente para que o circuito permaneça no MCD.

$$L_{o_{crit}} = \frac{L_{in}R(1 - 2D + D^2)}{4f_sL_{in} - R(1 - 2D + D^2)} = 28,26 \mu H \quad (182)$$

A partir dos resultados obtidos, foi então assumido um valor de indutância de $25 \mu H$ para L_o .

É também calculada a razão cíclica do conversor operando em MCD, utilizando a expressão do ganho (110).

$$D_a = \frac{V_{dc}}{V_{in}} \sqrt{\frac{4L_{eq_1}f_s}{R_o}} = 0,2986 \quad (183)$$

Para o projeto do capacitor de saída, são utilizados dois critérios, sendo a ondulação máxima de tensão permitida no capacitor e o *Holdup-Time*, que significa o tempo que uma determinada fonte de energia consegue manter a carga alimentada a partir de uma interrupção da fonte de alimentação.

Como apresentado por (TIBOLA, 2013), o fato da potência de entrada ser pulsada implica em uma frequência da tensão de saída de duas vezes a frequência de entrada, fazendo com que o projeto do capacitor pela ondulação máxima não possa ser realizado da maneira convencional, como apresentado por (MARTINS; BARBI, 2006).

Para então projetar a capacitância necessária para atender as especificações do projeto, é assumido que a tensão de saída do circuito (V_{dc}) é a mesma tensão presente sobre o capacitor C_{dc} . Utilizando a expressão que define a impedância do capacitor (184) e (185), é possível obter uma relação da capacitância C_{dc} .

$$X_{c_{dc}} = \frac{V_{dc}}{I_{c_{dc}}} \quad (184)$$

$$X_{c_{dc}} = \frac{1}{2\pi(2f_{rede})C_{dc}} \quad (185)$$

Ao substituir (184) em (185), e isolar o termo C_{dc} , tem-se a seguinte expressão de cálculo da capacitância:

$$C_{dc} = \frac{I_{cdc}}{4\pi f_{rede} V_{dc}} \quad (186)$$

Para o pior caso, ou seja, quando a corrente de saída e tensão de saída estiver no pico de sua oscilação, tem-se que a expressão para o cálculo do capacitor se torna:

$$C_{dc} = \frac{I_{cdc_p}}{4\pi f_{rede} V_{dc_p}} \quad (187)$$

onde: I_{cdc_p} é a corrente máxima que passa pelo capacitor; V_{dc_p} é a tensão máxima sobre o capacitor.

A partir da expressão (187), é assumido que o circuito não apresenta perdas, fazendo com que a potência de entrada seja igual à potência de saída. Isso faz com que seja possível igualar as expressões (188) e (189), que representam a potência de entrada e potência de saída, respectivamente.

$$P_i(\theta) = V_p I_p \left(\frac{1}{2} - \frac{1}{2} \cos(2\theta) \right) \quad (188)$$

$$P_o(\theta) = V_{dc} I_{dc_{med}} + V_{dc} I_{dc}(\theta) \quad (189)$$

Considerando que a componente contínua da corrente de saída do circuito não circula pelo capacitor, são igualadas as expressões (188) e (189) e isolado o termo I_{cdc} para o caso em que há a máxima corrente sobre o capacitor.

$$I_{cdc} = \frac{P_o}{V_{dc}} \quad (190)$$

Substituindo (190) em (187), e sabendo-se que a variação de tensão (ΔV_{dc}) é igual ao dobro do valor de pico da componente alternada da tensão de saída, chega-se à expressão que define o capacitor de saída do retificador pelo *ripple* de tensão desejada.

$$C_{dc_{min}} = \frac{P_o}{2\pi f_{rede} \Delta V_{dc}} = 3,76mF \quad (191)$$

Para o segundo critério, é determinado que o capacitor de saída C_{dc} deve ser capaz de sustentar a carga caso a rede elétrica falhe durante meio semiciclo, o qual deve possuir no

mínimo uma tensão de 90% da sua tensão normal (V_{dc}). Desta maneira, tem-se o segundo critério para projeto do capacitor de saída apresentado em (192)

$$C_{dc_{min}} = \frac{P_o}{((V_{dc}^2 - (0,9V_{dc}^2)) f_{rede}} = 3,70mF \quad (192)$$

A partir dos cálculos, é assumido então uma capacitância $C_{dc} = 3,76mF$, para atender ambos os critérios.

Para o projeto dos capacitores de acoplamento C_1 e C_2 , é estipulada uma faixa de capacitâncias que garantem um correto funcionamento para o conversor. Este capacitor pode interferir diretamente no ganho do circuito caso seja dimensionado com um valor muito baixo, em contrapartida, este interfere diretamente na distorção da tensão de saída quando seu valor é muito elevado. Para realizar o projeto é então utilizado o fato de que este apresenta ressonância com os indutores do circuito. Isso faz com que a faixa de capacitâncias possíveis seja projetada a partir de uma década abaixo da frequência de chaveamento e uma década acima da frequência CA da tensão de entrada.

Para o retificador estudado, temos que as frequências de ressonância são calculadas da seguinte maneira:

$$\omega_r^2 = \frac{1}{2C(L_{in} + L_o)} \quad (193)$$

Isolando os capacitores C_1 e C_2 e aplicando o intervalo da frequência de $600Hz$ a $5000Hz$, temos a seguinte faixa de capacitâncias:

$$C_{1,2_{min}} = \frac{1}{2\omega_r^2(L_{in} + L_o)} \Big|_{f_r=5000Hz} = 0,71\mu F \quad (194)$$

$$C_{1,2_{max}} = \frac{1}{2\omega_r^2(L_{in} + L_o)} \Big|_{f_r=600Hz} = 49,26\mu F \quad (195)$$

Usando de base a faixa estipulada para valores de capacitância, e partindo dos impactos causados em projetar um capacitor com capacitância próxima à mínima ou à máxima descritas anteriormente, foi assumida uma capacitância $C_{1,2}$ igual a $1\mu F$, um valor muito mais próximo ao valor mínimo de capacitância do que do máximo. Isso se dá pelo impacto causado no circuito, visto que a interferência causada no ganho do circuito pode ser contornada de forma mais simples a partir de um pequeno ajuste realizado pelo próprio controle, enquanto o problema da distorção da tensão de saída apresentaria uma dificuldade maior de ser resolvido.

Tabela 5 – Componentes projetados para o retificador

Componente	Valor
L_{in}	$1,72mH$
L_o	$25\mu H$
$C_1 = C_2$	$1\mu F$
C_{dc}	$3,76mF$

4.1.2 Inversor Ćuk integrado

Para projeto dos componentes a serem utilizados no inversor, foram assumidos os valores dos parâmetros presentes na Tabela 6.

Tabela 6 – Parâmetros de projeto do inversor

Parâmetro	Sigla	Valor
Frequência de chaveamento	f_s	$50 kHz$
Potência de entrada do inversor	P_{in}	$400 W$
Tensão de entrada	V_{dc}	$84 V - 108 V$
Pico da tensão de saída	V_o	$180 V$
Frequência de saída	f_o	$60 Hz$
Ondulação máxima na corrente de saída	ΔI_{L_f}	20% de I_{L_f}
Ondulação máxima da tensão dos capacitores C_3 e C_4	$\Delta V_{C_{3,4}}$	35% de $V_{C_{3,4}}$
Ondulação máxima da tensão de saída	ΔV_{C_f}	1% de V_o

Como pode ser observado, a tensão de entrada do projeto varia entre $84V$ e $108V$, e isso se dá por conta do nível de tensão variável presente no banco de baterias, visto que a UPS poderá operar entre a tensão terminal das baterias até a tensão nominal, ou seja, a tensão presente nos terminais do barramento quando as baterias estão prestes a descarregar totalmente até o instante em que as mesmas estiverem completamente carregadas.

Outro ponto a ser mencionado é a potência considerada para projeto de $400 W$, bem abaixo da potência drenada da rede pelo retificador. Isso ocorre por conta das perdas de potência existentes principalmente nos semicondutores e indutores presente na estrutura, ou seja, ao ser drenada uma potência da rede de $596 W$, existirão perdas presentes nos elementos do retificador, fazendo com que a potência disponível em sua saída seja menor que a de entrada. Da mesma maneira, ocorre o mesmo cenário para o inversor, o qual drenará uma potência maior do barramento CC do que a potência existente em sua saída.

É importante mencionar que os $100 W$ considerados que seriam perdidos por perdas em componentes é apenas uma estimativa, podendo ser maior ou menor. Em caso destas perdas serem maiores que o estimado, as baterias receberão menos energia que o projetado, e em caso destas perdas serem menores, as baterias receberão mais energia que o projetado.

De início, é calculada a resistência da carga para o projeto:

$$R = \frac{V_o^2}{2P_{in}} = 40,32\Omega \quad (196)$$

Para a corrente de saída, tem-se que esta possui uma forma senoidal e, assumindo que a parcela CA de alta frequência está presente sobre o capacitor C_f , é possível expressar a corrente de saída da seguinte maneira:

$$I_o = I_{L_f} = \frac{V_o}{R} \text{sen}(\omega t) = 4,45 \text{sen}(\omega t) \quad (197)$$

Considerando o pior caso, ou seja, para ωt igual a $\pi/2$, tem-se que a corrente de pico sobre o indutor será de $I_o = 4,45A$.

É feita a consideração de que o indutor L_f de saída apresenta um valor de indutância muito maior em relação ao indutor de entrada, e com isso sua operação ficará muito similar a de um indutor operando em MCC. Por conta disto, podemos estipular seu valor como em um conversor Ćuk convencional operando em MCC, visto a similaridade do circuito, assim como assumir que o ganho deste operando em MCC (D_{MCC}) também se trata do mesmo.

Outro ponto a ser avaliado é o fato do indutor de saída ser diretamente proporcional à tensão de entrada, a qual é variável. Por conta disto, é utilizada a maior tensão de entrada possível, para garantir que a todo momento a variação máxima de corrente definida será garantida.

$$D_{MCC} = \frac{V_o}{V_{dc} + V_o} = 0,652 \quad (198)$$

$$L_f = \frac{V_{dc} D_{MCC}}{\Delta I_{L_f} I_o f_s} = 1,65mH \quad (199)$$

Como o conversor opera em MCD, é possível encontrar uma expressão que define a indutância equivalente crítica que pode ser utilizada para que o inversor continue operando em MCD. Esta expressão é calculada a partir da igualdade entre a expressão do ganho para o MCC com o MCD (apresentado por (ERICKSON, 1997)), demonstrado em (200). Isolando o termo L_{eq2} , tem-se a relação presente em (201).

$$D_a \sqrt{\frac{RT_s}{2L_{eq2}}} = \frac{D_a}{1 - D_a} \quad (200)$$

$$L_{eqcrit2} = \frac{RT_s(1 - 2D_a + D_a^2)}{2} = 32,77\mu H \quad (201)$$

A indutância crítica do circuito pode ser calculada pela associação em paralelo entre os indutores L e L_f . Utilizando as expressões (201) e (202) é possível então chegar em (203), a qual apresenta o cálculo da indutância crítica de entrada. Novamente, é importante ressaltar que é necessário realizar o cálculo de indutância para o pior cenário, o qual neste caso seria para a menor tensão de entrada possível no barramento, visto que a indutância crítica depende da variável D_{MCC} , a qual é influenciada pela tensão de entrada.

$$L_{eq_{crit_2}} = \left(\frac{1}{L_f} + \frac{1}{L_{crit}} \right)^{-1} \quad (202)$$

$$L_{crit} = \frac{L_f R T_s (1 - 2D_{MCC} + D_{MCC}^2)}{2L_f - R T_s (1 - 2D_{MCC} + D_{MCC}^2)} = 33,59 \mu H \quad (203)$$

Sendo assim, sabe-se que a indutância crítica para que o inversor continue operando em MCD é de $33,84 \mu H$, portanto, é assumido uma indutância L de $30 \mu H$. Agora, utilizando (202), é possível obter a indutância equivalente do circuito, sendo $L_{eq_2} = 29,46 \mu H$.

Com os valores de indutância definidos, é possível encontrar as constantes relacionadas ao tempo de operação do inversor D_b e D_a . Foi então utilizado o ganho do conversor operando em MCD e a expressão apresentada por (ERICKSON, 1997) para definir a constante D_b em conversores operando em MCD.

$$D_b = \sqrt{\frac{2L_{eq_2}}{T_s R}} = 0,27 \quad (204)$$

$$D_a = \frac{180}{V_{dc}} D_b = 0,579 \quad (205)$$

O capacitor de saída C_f pode ser calculado da mesma maneira que a apresentada por (ERICKSON, 1997) para o conversor Buck em MCD, sendo:

$$C_f = \frac{\Delta I_{L_f} I_{L_f}}{8f_s \Delta V_{C_f} V_o} = 1,24 \mu F \quad (206)$$

Para projeto do capacitor de acoplamento, é estipulada uma faixa de capacitâncias que garantem o correto funcionamento do conversor. Este capacitor pode interferir diretamente no ganho do circuito caso seja dimensionado com um valor muito baixo, em contrapartida, este interfere diretamente na distorção da tensão de saída quando seu valor é muito elevado. Para o projeto, é então utilizado o fato de que este apresenta ressonância com os indutores do circuito, e

isso faz com que a faixa de capacitâncias possíveis seja projetada a partir de uma década abaixo da frequência de chaveamento e uma década acima da frequência CA da tensão de saída.

$$\omega_r^2 = \frac{1}{2C_{3,4}(L + L_f)} \quad (207)$$

Isolando os capacitores C_3 e C_4 e aplicando o intervalo da frequência de $600Hz$ a $5000Hz$, temos a seguinte faixa de capacitâncias:

$$C_{3,4_{min}} = \frac{1}{2\omega_r^2(L + L_f)} \Big|_{f_r=5000Hz} = 0,38\mu F \quad (208)$$

$$C_{3,4_{max}} = \frac{1}{2\omega_r^2(L + L_f)} \Big|_{f_r=600Hz} = 26,27\mu F \quad (209)$$

Outro limitante para este capacitor é a ondulação máxima de tensão permitida, a qual deve ser elevada por se tratar de um capacitor de dinâmica rápida.

Para projeto da capacitância mínima para a variação de tensão projetada, é analisada a corrente sobre o capacitor $C_{3,4}$.

$$i_{c_{3,4}} = C_{3,4} \frac{dV}{dt} \quad (210)$$

Aplicando a integral em ambos os lados de (210), chega-se à seguinte relação:

$$C_{3,4} = \int_0^{D_b T_s} i_{c_{3,4}} dt \quad (211)$$

Realizando as manipulações matemáticas necessárias, é possível chegar à seguinte expressão para projeto do capacitor de acoplamento:

$$C_{3,4} = \frac{(V_{dc} D_a T_s - I_o L_{eq2}) D_b T_s}{L_{eq2} \Delta V_{C_{3,4}} (V_{dc} + V_o)} - \frac{(V_{dc} + V_o) D_b^2 T_s^2}{2L_{eq2} \Delta V_{C_{3,4}} (V_{dc} + V_o)} = 0,28\mu F \quad (212)$$

Como pode ser observado, o valor mínimo de capacitância para que a variação de tensão permaneça igual ou menor que a projetada é menor que a capacitância mínima encontrada para o caso da ressonância, assim, é então desconsiderado este valor para a escolha do componente.

O valor de capacitância escolhido foi de $C_{3,4} = 1\mu F$, sendo mais próximo do limite inferior, pois é mais simples corrigir com o controle o problema apresentado no ganho do que corrigir um aumento da distorção na tensão de saída.

Tabela 7 – Componentes projetados para o inversor

Componente	Valor
L	$30\mu H$
L_f	$1,65mH$
$C_3 = C_4$	$1\mu F$
C_f	$1,24\mu F$
R	$40,32\Omega$

4.2 ANÁLISE TEÓRICA DA EFICIÊNCIA

Nesta seção são apresentadas algumas considerações sobre a análise da eficiência do sistema feita no Apêndice D, o qual apresentou de forma resumida as perdas relacionadas a cada elemento semiconductor dos conversores, assim como dos indutores presentes na estrutura.

A Tabela 8 apresenta as eficiências para os conversores presentes na estrutura de UPS. Como pode ser observado, ambas permaneceram por volta de 88,7%.

Tabela 8 – Tabela da eficiência considerando diferentes potências para os conversores.

Potência	Eficiência (%)	
	Retificador	Inversor
25% da potência nominal	86,80	86,62
50% da potência nominal	88,14	88,05
75% da potência nominal	88,42	88,52
Potência nominal	88,79	88,70

Fonte: Autoria própria.

Para obter a eficiência total do sistema, quando este opera no modo normal, basta realizar o produto das eficiências para ambos os conversores, resultando 78,76%. Quando a UPS opera no modo *backup*, a eficiência do sistema será a mesma que a do inversor, visto que somente esta parte do sistema é utilizada, sendo 88,70%.

Ao avaliar a eficiência estimada dos conversores alterando os semicondutores em alta frequência pelo interruptor IMW65R030M1H, e os de baixa frequência pelo IPW65R037C6 (visto que o primeiro possui baixas perdas por comutação, e o segundo possui baixas perdas no diodo em antiparalelo ao interruptor), obtêm-se os seguintes rendimentos dispostos na Tabela 9.

Tabela 9 – Tabela da eficiência considerando diferentes semicondutores.

Potência	Eficiência (%)	
	Retificador	Inversor
25% da potência nominal	95,04	95,84
50% da potência nominal	94,49	95,49
75% da potência nominal	93,95	95,10
Potência nominal	93,47	94,69

Fonte: Autoria própria.

Novamente, para estimar a eficiência total do sistema, é realizado o produto das eficiências, obtendo um valor de 88,51% quando a UPS opera no modo normal. E em caso de operação no modo *backup*, a eficiência passa a ser 94,69%.

A partir do *software* PSIM[®] foi possível estimar a eficiência para um sistema que faz o uso de dois conversores *full-bridge* para realizar a função de retificador PFC e de inversor em um sistema UPS, a fim de comparar este aspecto com o sistema desenvolvido. Este teste foi realizado considerando as mesmas potências utilizadas nos projetos dos conversores, assim como uma frequência de chaveamento igual. A partir da estimativa de eficiência, foi obtido o valor de 94,76% para o retificador e 95,38% para o inversor (onde a UPS operando em seu modo normal possuiria uma eficiência de 90,38%), considerando os semicondutores de silício. Já, considerando os semicondutores IMW65R030M1H, o rendimento para o retificador foi de 98,50%, e para o inversor foi de 98,90% (onde a UPS operando no seu modo normal possuiria uma eficiência de 97,41%).

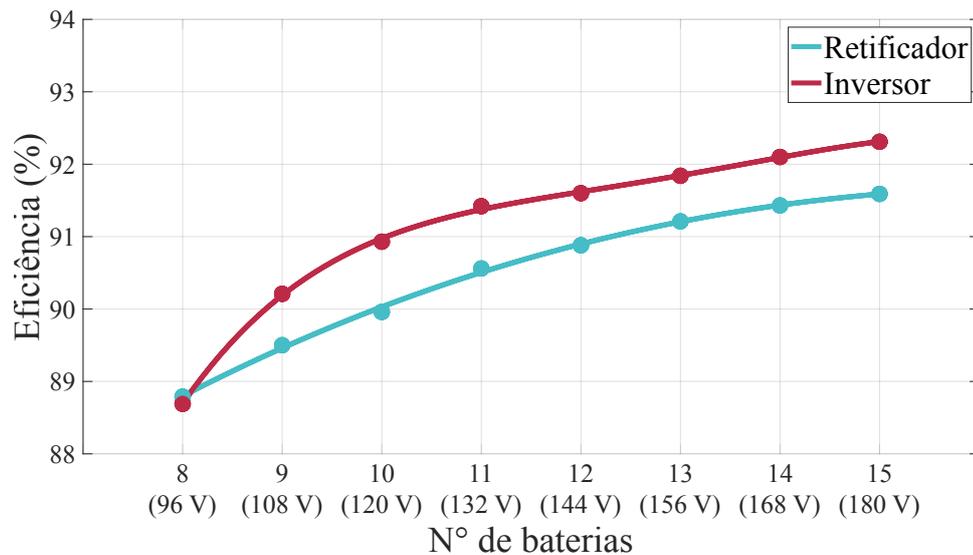
Comparando as eficiências obtidas para ambos os sistemas, é possível observar que quando comparado ao clássico, o proposto apresenta uma desvantagem, apresentando um rendimento menor. Isso ocorre principalmente pelo aumento de semicondutores, e aumento da corrente de saída do retificador e entrada do inversor que, quando analisada as perdas, estas possuem uma relação quadrática, fazendo com que um leve aumento possua um impacto grande nos cálculos.

Vale destacar que ainda sim seriam necessários o uso de um número elevado de baterias para que a eficiência seja elevada com os dois conversores *full-bridge*. Caso seja requerido o uso de um menor número de baterias, seria necessário o uso de um conversor bidirecional entre o barramento do sistema e as baterias, o que representaria mais elementos e um conversor adicional para interferir na eficiência total do sistema, o qual, estimado novamente pelo PSIM[®], possuiria uma eficiência em torno de 97%.

Para critério de análise, foi feita a estimativa da eficiência dos conversores caso seja optado por utilizar um maior número de baterias no barramento CC, elevando assim a tensão presente neste ponto. A análise foi feita até 180 V, sendo o valor teórico de tensão que um *full-bridge* necessitaria para operar corretamente. A Figura 49 apresenta então a eficiência estimada para ambos os conversores para diferentes níveis de tensão para o barramento CC, considerando a potência nominal de projeto e semicondutores de silício, sendo ele o IGBT IRG4PC50UD.

Como pôde ser observado pela figura anterior, com o aumento da tensão sobre o

Figura 49 – Curva de eficiência teórica para diferentes níveis de tensão sobre o barramento CC.



Fonte: Autoria própria.

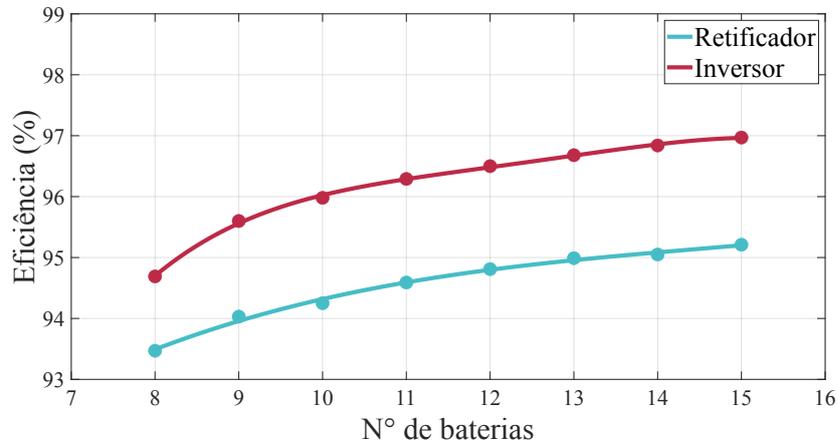
barramento CC, os conversores tendem a apresentar um valor maior de eficiência. Isso se dá por dois motivos, sendo eles: com o aumento da tensão CC, a corrente que flui pela saída do retificador e pela entrada do inversor tende a ser menor, visto que a potência se mantém a mesma, diminuindo também a corrente que flui pelos semicondutores; como os conversores operam no MCD, o aumento da tensão para a saída do retificador e para a entrada do inversor proporciona uma maior margem para atuação dos conversores neste modo, ou seja, ao aumentar o nível de tensão, é possível também aumentar os valores de indutância L_o e L e ainda manter os conversores no MCD. Este aumento de valores de indutância proporciona a diminuição do pico de corrente presente sobre estes elementos, fazendo com que a corrente eficaz sobre estes elementos também diminua, reduzindo assim os níveis de corrente eficaz sobre os semicondutores, visto que a corrente que flui pelos elementos ativos, no geral, é a soma das correntes presentes sobre os indutores de cada estrutura.

É importante destacar que para tal análise ser feita, foram reprojatados novos indutores para as estruturas, seguindo a mesma metodologia apresentada neste capítulo, onde os conversores operam próximos ao modo de condução crítico.

Foi estimada também a eficiência para os conversores caso seja optado por utilizar semicondutores com baixas perdas de comutação, em função do aumento da tensão do barramento, apresentado na Figura 50.

Como pode ser observado novamente, com o aumento da tensão do barramento há também o aumento da eficiência para ambos os conversores, demonstrando que dependendo do

Figura 50 – Curva de eficiência teórica para diferentes níveis de tensão sobre o barramento CC ao utilizar semicondutores com baixas perdas.



Fonte: Autoria própria.

projeto, é possível optar por uma melhor eficiência.

Por fim, pôde-se concluir que dependendo da necessidade do projeto, é possível optar por um sistema mais barato, de menor volume e com menor peso ao sacrificar a eficiência dos conversores, e em contrapartida, é possível obter um sistema mais eficiente ao utilizar mais baterias no barramento da estrutura.

4.3 CONSIDERAÇÕES PARCIAIS

O capítulo apresentou de forma geral a metodologia empregada para realizar os cálculos dos elementos passivos referentes ao circuito retificador e inversor empregados na UPS.

Como pôde ser observado ao longo do desenvolvimento dos cálculos, as estruturas apresentam uma grande similaridade com as estruturas clássicas *Ćuk* e *SEPIC*, para o quesito projeto de componentes passivos.

É importante destacar que para o projeto de ambos os circuitos foi necessário levar em consideração os casos extremos de operação da UPS, ou seja, quando a tensão de entrada encontra-se no pico da rede, a carga das baterias encontra-se no máximo ou mínimo e a tensão de pico sobre a carga.

5 ANÁLISE EM PEQUENOS SINAIS

A fim de projetar os controles para o correto funcionamento dos circuitos presentes na UPS, é realizada técnicas de modelagem em pequenos sinais. A partir do modelo de pequenos sinais, são obtidas as funções de transferência para o correto projeto dos controladores.

Para a modelagem dos conversores, foi empregado o modelo médio em espaço de estados, o qual apresenta um erro quando é utilizado em conversores operando em MCD (GHOSH; KANDPAL, 2010). Posteriormente, foi utilizada a rede generalizada de comutação apresentada em (ERICKSON, 1997) para a obtenção da função de transferência. A partir disto é possível então projetar os controladores necessários para a estrutura.

5.1 MODELO MÉDIO DE ESPAÇO DE ESTADOS

A análise de sistemas pode ser muito simplificada ao reduzir as expressões matemáticas que o descrevem, fazendo com que espaço de estados se encaixe muito bem, por se tratar de uma método que, mesmo com inúmeras entradas ou inúmeras saídas, ainda represente de maneira satisfatória (OGATA, 2010).

Quando são considerados os conversores, estes assumem diversos estágios topológicos ao longo de seu funcionamento, fazendo necessário o uso de alguma técnica para que seja possível a obtenção do modelo matemático que descreva seu funcionamento. Uma destas técnicas, proposta por (MIDDLEBROOK; CUK, 1976), é o modelo médio de espaço de estados (BARBI, 2014).

Para conversores operando em MCC, o emprego do modelo médio de espaço de estados não apresenta problemas, porém isto é diferente para um conversor operando em MCD, apresentando um erro nesta técnica. Trabalhos como (GHOSH; KANDPAL, 2010), (SUN *et al.*, 2001), (DIONIZIO, 2023) apresentam uma maneira de corrigir este erro, utilizando uma matriz de correção.

A modelagem utilizada nestes conversores é baseada na linearização em torno de um ponto de operação, ou seja, são considerados variações em torno de um valor médio. Isso faz com que os termos CC sejam representados com um termo CA os acompanhando, fazendo com que $\bar{X} = X + \hat{x}$, sendo $|X| \gg |\hat{x}|$ onde X é a parcela CC do sinal e \hat{x} a parcela CA. Aplicando este conceito nas variáveis do sistema e linearizando, desprezando termos CA que não sejam de

primeira ordem, é possível obter a representação do modelo médio de espaço de estados através de (213).

$$\dot{\bar{X}} = A_m \bar{X} + B_m V_{dc,in} \quad (213)$$

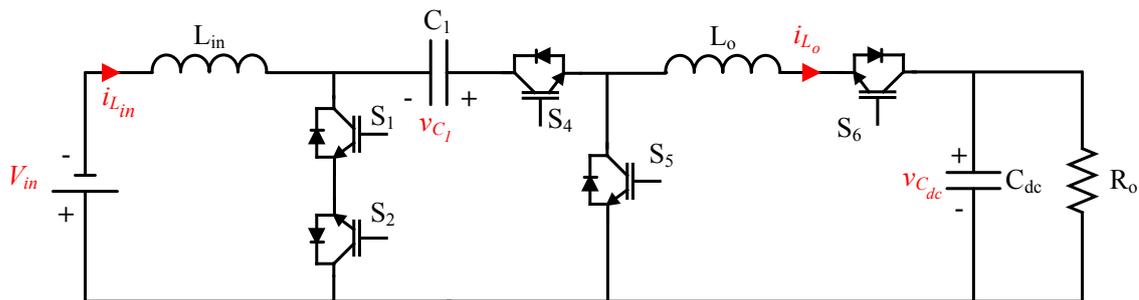
onde A_m é a média das matrizes de estado; \bar{X} é o vetor de estados; $\dot{\bar{X}}$ é a derivada do vetor de estados; B_m é a média das matrizes de entrada; $V_{dc,in}$ são as tensões de entrada do conversores.

5.1.1 Modelagem em pequenos sinais para o retificador SEPIC-Ćuk

Para a modelagem do circuito retificador SEPIC-Ćuk, será simplificado seu funcionamento para o semiciclo negativo da entrada, ou seja, quando o circuito opera como um conversor Ćuk, com o objetivo de facilitar a obtenção de sua função de transferência.

Ao simplificar o circuito, tem-se na Figura 51 o sistema a ser modelado.

Figura 51 – Simplificação para o circuito do retificador.

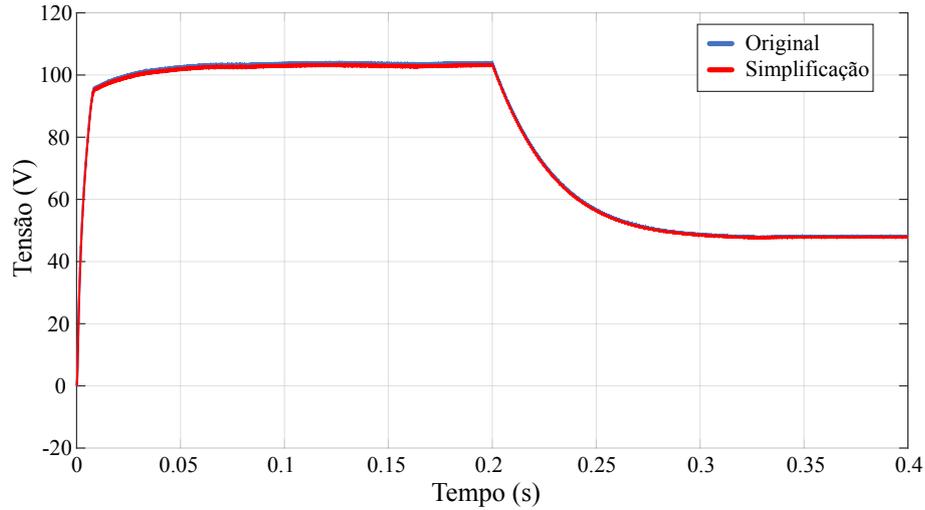


Fonte: Autoria própria.

Para validar as simplificações realizadas, foi implementado em simulação o circuito simplificado e o retificador SEPIC-Ćuk operando somente no semiciclo negativo, aplicando uma variação na razão cíclica de 0,4 para 0,2, com a finalidade de comparar o comportamento dos dois circuitos em relação à tensão de saída. Como pode ser observado na Figura 52, os circuitos apresentam uma resposta à variação de razão cíclica muito similar.

Para utilizar o modelo médio de espaço de estados, é necessário então definir as variáveis de estado e de entrada do sistema, as quais serão relacionadas aos elementos passivos do circuito, sendo a corrente do indutor L_{in} ($I_{L_{in}}$), a corrente do indutor L_o (I_{L_o}), a tensão no capacitor C_1 (V_{C_1}) e a tensão no capacitor C_{dc} ($V_{C_{dc}}$).

De início, é então analisada a primeira etapa de operação $D_a T_s$, o qual resulta na seguinte matriz:

Figura 52 – Comparação entre a variação da razão cíclica para as simplificações.**Fonte: Autoria própria.**

$$\begin{bmatrix} \dot{I}_{L_{in}} \\ \dot{I}_{L_o} \\ \dot{V}_{C_1} \\ \dot{V}_{C_{dc}} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & \frac{1}{L_o} & \frac{-1}{L_o} \\ 0 & \frac{-1}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_{dc}} & 0 & \frac{-1}{RC_{dc}} \end{bmatrix} \begin{bmatrix} I_{L_{in}}^- \\ I_{L_o}^- \\ V_{C_1}^- \\ V_{C_{dc}}^- \end{bmatrix} + \begin{bmatrix} \frac{1}{L_{in}} \\ 0 \\ 0 \\ 0 \end{bmatrix} \bar{V}_{in} \quad (214)$$

Já, para a etapa de condução $D_b T_s$, a matriz resulta no seguinte:

$$\begin{bmatrix} \dot{I}_{L_{in}} \\ \dot{I}_{L_o} \\ \dot{V}_{C_1} \\ \dot{V}_{C_{dc}} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-1}{L_{in}} & 0 \\ 0 & 0 & 0 & \frac{-1}{L_o} \\ \frac{1}{C_1} & 0 & 0 & 0 \\ 0 & \frac{1}{C_{dc}} & 0 & \frac{-1}{RC_{dc}} \end{bmatrix} \begin{bmatrix} I_{L_{in}}^- \\ I_{L_o}^- \\ V_{C_1}^- \\ V_{C_{dc}}^- \end{bmatrix} + \begin{bmatrix} \frac{1}{L_{in}} \\ 0 \\ 0 \\ 0 \end{bmatrix} \bar{V}_{in} \quad (215)$$

Por fim, a etapa $D_c T_s$ apresenta a seguinte matriz:

$$\begin{bmatrix} \dot{I}_{L_{in}} \\ \dot{I}_{L_o} \\ \dot{V}_{C_1} \\ \dot{V}_{C_{dc}} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-1}{L_{in}+L_o} & \frac{1}{L_{in}+L_o} \\ 0 & 0 & \frac{1}{L_{in}+L_o} & \frac{-1}{L_{in}+L_o} \\ 0 & \frac{-1}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_{dc}} & 0 & \frac{-1}{RC_{dc}} \end{bmatrix} \begin{bmatrix} I_{L_{in}}^- \\ I_{L_o}^- \\ V_{C_1}^- \\ V_{C_{dc}}^- \end{bmatrix} + \begin{bmatrix} \frac{1}{L_{in}+L_o} \\ \frac{-1}{L_{in}+L_o} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{in} \quad (216)$$

Para projeto do controlador, será necessário o cálculo das funções de transferência que relacionam a tensão e corrente de saída com a razão cíclica, ou seja, G_{vd} e G_{id} . Para isso, há duas matrizes de saída, sendo:

$$y_1 = \begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} \bar{I}_{L_{in}} \\ \bar{I}_{L_o} \\ \bar{V}_{C_1} \\ \bar{V}_{C_{dc}} \end{bmatrix} \quad (217)$$

$$y_2 = \begin{bmatrix} 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} \bar{I}_{L_{in}} \\ \bar{I}_{L_o} \\ \bar{V}_{C_1} \\ \bar{V}_{C_{dc}} \end{bmatrix} \quad (218)$$

Aplicando a média das etapas de operação, ou seja, $A_m = D_a A_a + D_b A_b + D_c A_c$ e $B_m = D_a B_a + D_b B_b + D_c B_c$ e reescrevendo a representação de forma simplificada, substituindo alguns termos por termos equivalentes, obtém-se a seguinte representação matricial do modelo médio de espaço de estados para o conversor Ćuk integrado:

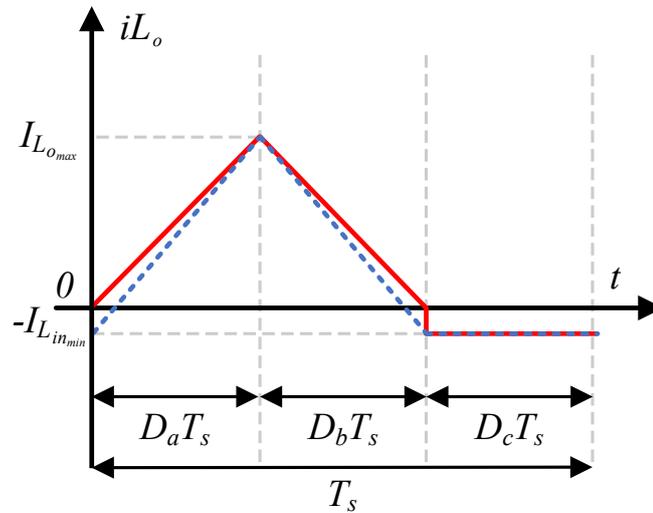
$$\begin{bmatrix} \dot{\bar{I}}_{L_{in}} \\ \dot{\bar{I}}_{L_o} \\ \dot{\bar{V}}_{C_1} \\ \dot{\bar{V}}_{C_{dc}} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-D_b}{L_{in}} - \frac{D_c}{L_{in}+L_o} & \frac{D_c}{L_{in}+L_o} \\ 0 & 0 & \frac{D_a}{L_o} + \frac{D_c}{L_{in}+L_o} & \frac{-D_a-D_b}{L_o} - \frac{D_c}{L_{in}+L_o} \\ \frac{D_b+D_c}{C_1} & \frac{-D_a}{C_1} & 0 & 0 \\ \frac{-D_c}{C_{dc}} & \frac{D_a+D_b}{C_{dc}} & 0 & \frac{-1}{RC_{dc}} \end{bmatrix} \begin{bmatrix} \bar{I}_{L_{in}} \\ \bar{I}_{L_o} \\ \bar{V}_{C_1} \\ \bar{V}_{C_{dc}} \end{bmatrix} + \begin{bmatrix} \frac{D_c}{L_{in}+L_o} + \frac{D_a+D_b}{L_{in}} \\ -\frac{D_c}{L_{in}+L_o} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{in} \quad (219)$$

As derivadas das variáveis de estado escolhidas devem apresentar um valor médio nulo, o qual, analisando o resultado obtido em (219), encontra-se um erro referente à corrente média sobre o indutor L_o . Isso ocorre por se tratar de um circuito operando no MCD, o qual apresenta descontinuidade na corrente dos indutores, fazendo com que o modelo médio de espaço de estados apresente um erro.

Por conta disto, é preciso aplicar uma correção ao modelo que considere a terceira etapa e corrija na matriz o fato de que durante a terceira etapa, os indutores possuem uma corrente mínima que, em L_o , contém um valor negativo.

Para realizar a correção, é então assumida uma simplificação na corrente presente sobre o indutor de saída L_o , demonstrada na Figura 53.

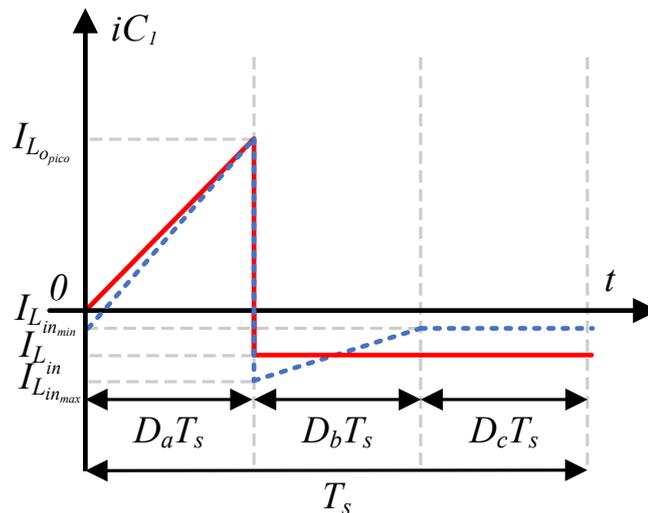
Figura 53 – Corrente presente sobre o indutor L_o (azul) e corrente simplificada (vermelho).



Fonte: Autoria própria.

Da mesma maneira, é assumida uma simplificação para a corrente presente sobre o capacitor C_1 , onde durante a primeira etapa este possui a mesma corrente sobre o indutor L_o , para a segunda etapa possui a mesma corrente que a presente sobre o indutor L_{in} e durante a terceira etapa, possui a mesma corrente que a presente sobre ambos os indutores. A corrente real e aproximada para o capacitor C_1 pode ser observada na Figura 54.

Figura 54 – Corrente presente sobre o capacitor C_1 (azul) e corrente aproximada (vermelho).



Fonte: Autoria própria.

Realizando o equacionamento a partir da Figura 53, tem-se as seguintes relações para a carga do capacitor (220) e corrente média sobre o indutor L_o (221).

$$Q_c = \frac{I_{L_o} D_a T_s}{2} \quad (220)$$

$$\bar{I}_{L_o}^- = \frac{I_{L_{o_{max}}}(D_a + D_b)}{2} - I_{L_{in}} D_c \quad (221)$$

Utilizando a simplificação apresentada na Figura 54, é possível obter uma relação entre a corrente média do indutor de entrada $I_{L_{in}}$ com a corrente de pico do indutor de saída I_{L_o} , utilizando o fato da corrente média sobre o capacitor ser nula.

$$I_{L_{in}}^- = \frac{I_{L_{o_{max}}} D_a D_c}{2(D_b + D_c)} \quad (222)$$

Substituindo (222) em (221) e deixando os termos semelhantes em evidência, tem-se:

$$\bar{I}_{L_o}^- = \frac{I_{L_{o_{max}}}}{2} \left[(D_a + D_b) - \frac{D_a D_c}{(D_b + D_c)} \right] \quad (223)$$

Realizando as simplificações necessárias e substituindo D_c por $1 - D_a - D_b$, tem-se:

$$\bar{I}_{L_o}^- = \frac{I_{L_{o_{max}}}}{2} \left[\frac{D_b}{1 - D_a} \right] \quad (224)$$

Substituindo agora (224) de volta na equação de carga do capacitor (220), obtém-se:

$$\frac{Q_c}{T_s} = \frac{I_{L_{o_{max}}} D_a}{2} \left[\frac{D_b}{1 - D_a} \right] \quad (225)$$

Com isso, a matriz de correção para o modelo neste caso será dada por:

$$M_1 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & \frac{1-D_a}{D_b} & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (226)$$

Aplicando a matriz de correção à expressão média de espaço de estados, obtém-se agora o modelo corrigido para o circuito.

$$\dot{\bar{X}} = M_1 A_m \bar{X} + B_m V_{in} \quad (227)$$

$$\begin{aligned}
\begin{bmatrix} \dot{I}_{L_{in}} \\ \dot{I}_{L_o} \\ \dot{V}_{C_1} \\ \dot{V}_{C_{dc}} \end{bmatrix} &= \begin{bmatrix} 0 & 0 & \frac{-D_b}{L_{in}} - \frac{D_c}{L_{in}+L_o} & \frac{D_c}{L_{in}+L_o} \\ 0 & 0 & \frac{D_a}{L_o} + \frac{D_c}{L_{in}+L_o} & \frac{-D_a-D_b}{L_o} - \frac{D_c}{L_{in}+L_o} \\ \frac{D_b+D_c}{C_1} & \frac{D_a^2-D_a}{C_1} & 0 & 0 \\ \frac{-D_c}{C_{dc}} & \frac{D_a+D_b-D_a^2-D_aD_b}{C_{dc}D_b} & 0 & \frac{-1}{RC_{dc}} \end{bmatrix} \begin{bmatrix} \bar{I}_{L_{in}} \\ \bar{I}_{L_o} \\ \bar{V}_{C_1} \\ \bar{V}_{C_{dc}} \end{bmatrix} \\
&+ \begin{bmatrix} \frac{D_c}{L_{in}+L_o} + \frac{D_a+D_b}{L_{in}} \\ -\frac{D_c}{L_{in}+L_o} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{in}
\end{aligned} \tag{228}$$

Partindo da matriz encontrada anteriormente, é possível então encontrar as funções de transferência desejadas aplicando técnicas de modelagem. Para este conversor, será aplicada a rede média generalizada de comutação, proposta por (ERICKSON, 1997).

Para o modelo da rede generalizada de comutação, foi utilizado a mesma metodologia adotada em (DIONIZIO, 2023) e (VIERO, 2011), visto a similaridade existente entre os conversores.

Para a obtenção da função de transferência, basta utilizar a equação (229), onde as matrizes A_{mf} e B_{mf} são obtidas a partir da rede média de comutação, e a matriz C obtida a partir das saídas definidas anteriormente, sendo $C_a = [0 \ 0 \ 0 \ 1]$, utilizado para a função de transferência que relaciona a tensão de saída com a razão cíclica e $C_b = [1 \ 0 \ 0 \ 0]$, utilizado para a função de transferência que relaciona a corrente de entrada com a razão cíclica, assim obtendo G_{vd} e G_{id} .

Para a função de transferência que relaciona a tensão de saída a partir da corrente de entrada, a qual será utilizada para a estrutura e projeto do controle, basta realizar a divisão entre G_{vd} e G_{id} , sendo $G_{vi} = G_{vd}/G_{id}$.

$$G_{vd} = C_a(sI - A_{mf})^{-1}B_{mf} \tag{229}$$

$$G_{id} = C_b(sI - A_{mf})^{-1}B_{mf} \tag{230}$$

Desenvolvendo matematicamente a expressão (229) e realizando substituições e simplificações matemática pertinentes, tem-se que as funções de transferência podem ser dadas como:

$$G_{vd_{ret}}(s) = \frac{a_3s^3 + a_2s^2 + a_1s + a_0}{b_4s^4 + b_3s^3 + b_2s^2 + b_1s + b_0} \tag{231}$$

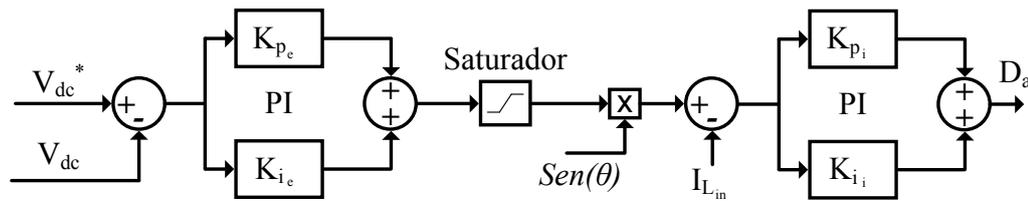
$$G_{id_{ret}}(s) = \frac{a_7 s^3 + a_6 s^2 + a_5 s + a_4}{b_9 s^4 + b_8 s^3 + b_7 s^2 + b_6 s + b_5} \quad (232)$$

As expressões que descrevem os termos a e b são apresentados no Apêndice C.

5.1.1.1 Projeto do controlador para o retificador

Para o controle da estrutura, foram utilizados controladores PI (Proporcional-Integral) em uma estrutura multi-malhas, com o intuito de drenar uma corrente senoidal com baixa taxa de distorção harmônica da rede elétrica, e ainda limitar o pico desta corrente para realizar a alimentação da carga assim como carregamento das baterias com um nível de corrente adequada. A estrutura de controle implementada para o retificador pode ser observada na Figura 55.

Figura 55 – Estrutura de controle para o retificador.



Fonte: Autoria própria.

A tensão de referência V_{dc}^* é comparada à tensão presente no barramento CC (V_{dc}), e este erro calculado será utilizado pela malha externa para gerar uma corrente de referência para a malha interna. Esta corrente de referência terá que passar por um saturador, para que a corrente drenada da rede elétrica seja limitada, de uma maneira que a potência do retificador nunca exceda a potência nominal. Esta corrente gerada pela malha externa representa o pico da corrente que será drenada da rede, ou seja, é necessário multiplicá-la por uma função seno em fase com a tensão da rede, assim garantindo o fator de potência unitário. Posteriormente, esta corrente sintetizada pelo controle é comparada à corrente de entrada do retificador I_{Lin} , obtendo um novo erro que será utilizado no controlador PI interno de corrente, gerando assim a razão cíclica do retificador.

A metodologia empregada nos projetos consiste em utilizar a função de transferência da planta para obter o ângulo de fase desejado para a frequência de cruzamento especificada. Após isto, é adicionado um compensador de fase para ajustar o ângulo de fase do sistema compensado, e por fim incluir um ganho ao sistema compensado para que haja o cruzamento do módulo em

0 dB na frequência especificada (CAMPANHOL, 2012).

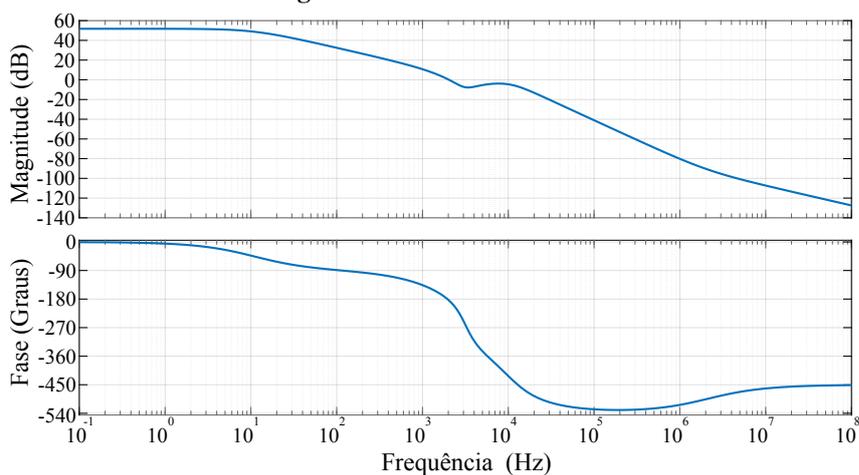
De início, foi então utilizado (229) para a obtenção das funções de transferência necessárias para projeto dos controladores, apresentadas em (233) e (234).

$$G_{vdRet}(s) = \frac{265,9s^3 - 3,49 \cdot 10^9 s^2 - 4,16 \cdot 10^{13} s + 1,39 \cdot 10^{18}}{s^4 + 9,6 \cdot 10^4 s^3 + 5,38 \cdot 10^9 s^2 + 5,25 \cdot 10^{13} s + 3,57 \cdot 10^{15}} \quad (233)$$

$$G_{idRet}(s) = \frac{1,86s^3 + 5,26 \cdot 10^9 s^2 + 2,43 \cdot 10^{15} s + 1,06 \cdot 10^{17}}{s^4 + 9,6 \cdot 10^4 s^3 + 5,38 \cdot 10^9 s^2 + 5,25 \cdot 10^{13} s + 3,57 \cdot 10^{15}} \quad (234)$$

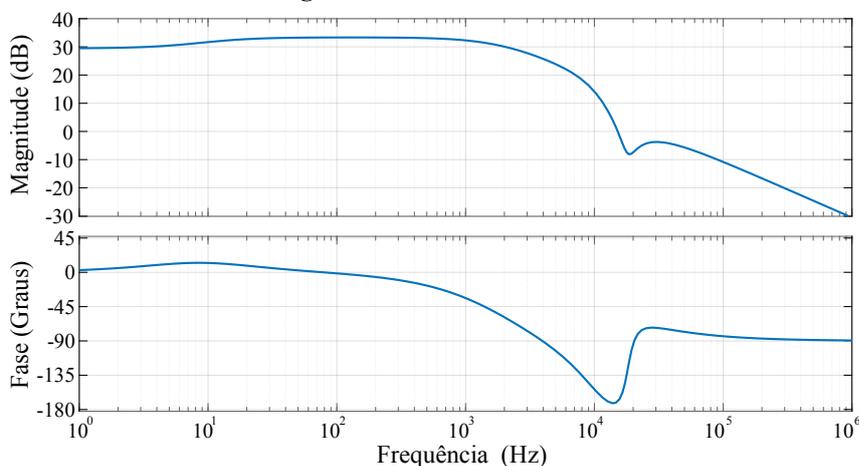
As respostas em frequência para as funções de transferência obtidas são apresentadas pela Figura 56 e Figura 57 (malha interna do controlador).

Figura 56 – G_{vd} Retificador.



Fonte: Autoria própria.

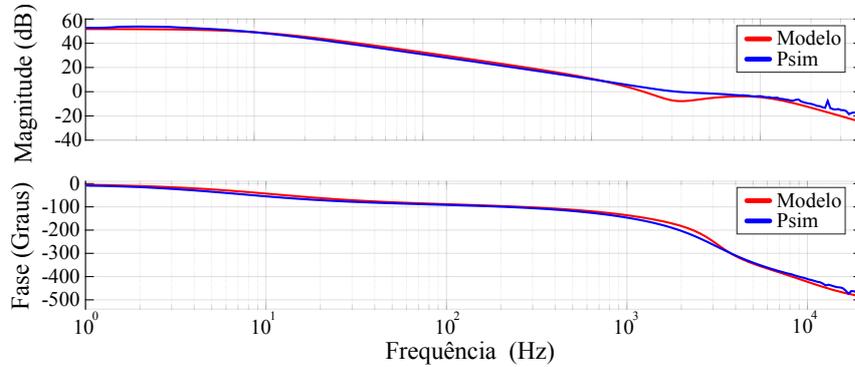
Figura 57 – G_{id} Retificador.



Fonte: Autoria própria.

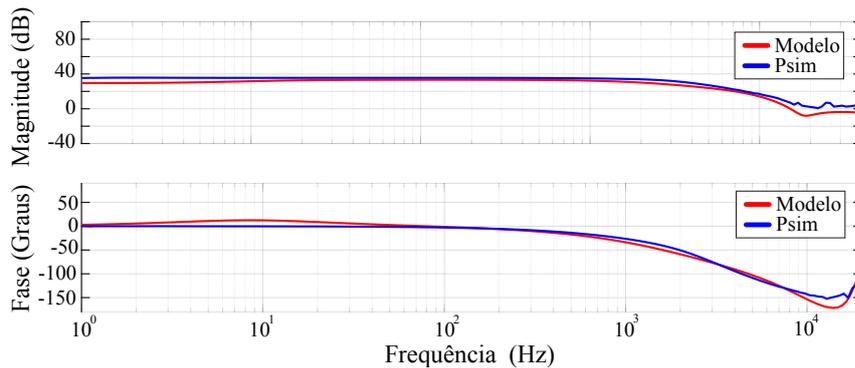
Para validar as respostas obtidas, são comparadas as respostas em frequência das funções de transferência encontradas junto à resposta apresentada pelo *software* PSIM[®], as quais são apresentadas na Figura 58 e Figura 59.

Figura 58 – Comparação das respostas em frequência obtida e gerada pelo *software* PSIM[®] para G_{vd} .



Fonte: Autoria própria.

Figura 59 – Comparação das respostas em frequência obtida e gerada pelo *software* PSIM[®] para G_{id} .



Fonte: Autoria própria.

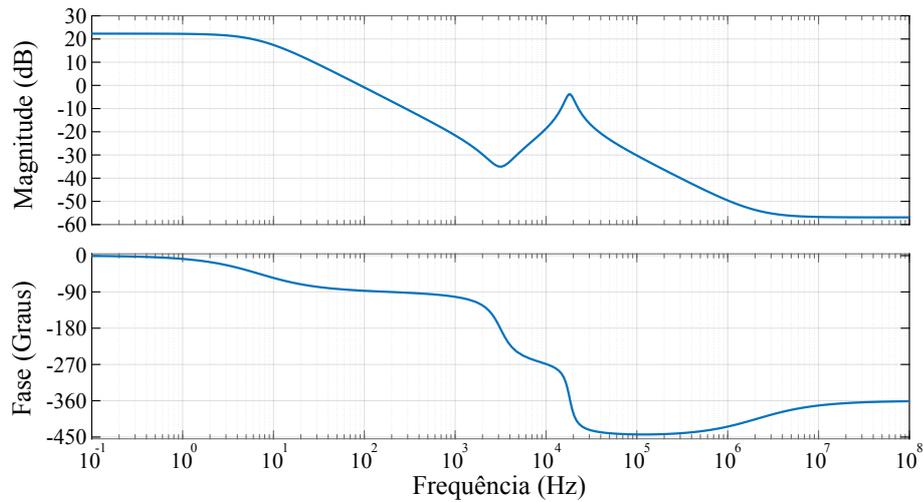
Como pode ser observado, em ambas as respostas em frequência há uma boa similaridade entre o modelo obtido pela modelagem e o obtido pelo PSIM[®].

Para o projeto dos controladores, foi necessário o cálculo da função de transferência que relaciona a tensão de saída com a corrente de entrada do retificador, ou G_{vi} . A resposta em frequência de G_{vi} é apresentada em Figura 60.

Serão projetados um total de quatro ganhos, referentes aos dois controladores PI presentes na estrutura de controle. Iniciando pelo projeto dos ganhos para a malha interna, foi definida a margem de fase e frequência de cruzamento para o projeto, apresentada na Tabela 10.

O compensador PI associado em série com a planta possui a seguinte função:

$$G_{PI}(s) = K \frac{T_i s + 1}{s} = K_p + \frac{K_i}{s} \quad (235)$$

Figura 60 – Gvi Retificador.

Fonte: Autoria própria.

Tabela 10 – Parâmetros de projeto do controle para o retificador (malha interna).

Parâmetro	Valor
Margem de fase	75°
Frequência de cruzamento	2000 Hz

De início, é crucial ajustar a margem de fase do sistema, já que o ganho K impacta apenas na magnitude do sistema. Nesse sentido, a Figura 57 é usada para determinar a margem de fase do sistema não compensado na frequência de corte previamente definida. Assim, a frequência de 2000 Hz apresenta uma fase de $-55,5^\circ$. Para alcançar a fase desejada na planta, o compensador deve atrasar o sistema em $-49,5^\circ$. Com esses dados, é possível calcular o termo T_i .

$$T_i = \frac{tg(-49,5 + 90)}{2\pi 60} = 2,27 \cdot 10^{-3} \quad (236)$$

Com isto, é obtido o compensador para que na frequência desejada a planta apresente margem de fase de 75° . Para alcançar uma magnitude de 0 dB na frequência de corte, é necessário calcular o ganho K .

Multiplicando o compensador parcial pela função de transferência original, na frequência de 2000 Hz, a magnitude encontrada é de $-48,4$ dB. Assim, o ganho K é determinado como:

$$K = \frac{1}{3,8 \cdot 10^{-3}} = 263,03 \quad (237)$$

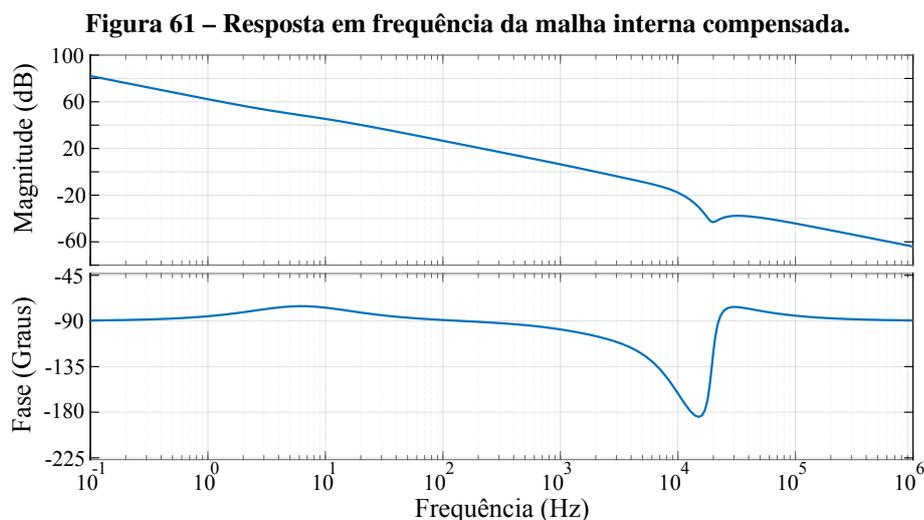
Substituindo os valores de T_i e K em (235), tem-se os ganhos do controlador da malha

interna de corrente.

Tabela 11 – Ganho para o controlador da malha interna

Ganho	Valor
K_{p_i}	0,0179
K_{i_i}	263,03

O sistema compensado pode ser observado na Figura 61, onde para a frequência de corte desejada, há o cruzamento em 0 dB e margem de fase desejada.



Fonte: Autoria própria.

A malha externa da estrutura de controle é responsável por gerar uma corrente de referência para a malha interna a partir da tensão presente sobre o capacitor de saída C_{dc} . Além disto, esta corrente deve ser limitada, para que o retificador seja capaz de alimentar o inversor com a potência nominal e realizar o carregamento das baterias com uma corrente que não prejudique a vida útil da mesma.

A resposta em frequência da função de transferência que relaciona a tensão de saída V_{dc} com a corrente de entrada $i_{L_{in}}$ (G_{vi}) foi apresentada na Figura 60. Com isto e com a escolha da margem de fase e frequência de cruzamento desejadas, é possível determinar os ganhos K_{p_e} e K_{i_e} . A margem de fase e frequência de cruzamento escolhidas para este projeto podem ser observadas na Tabela 12.

Tabela 12 – Parâmetros de projeto do controle para o retificador (malha externa).

Parâmetro	Valor
Margem de fase	80°
Frequência de cruzamento	10 Hz

Da mesma maneira realizada anteriormente para a malha interna, foi ajustada a margem de fase do sistema. Para a frequência de 10 Hz a planta apresenta fase de $-55,4^\circ$. Para alcançar a fase desejada da planta, o compensador deve contribuir com $-44,6^\circ$

$$T_i = \frac{tg(-44,6 + 90)}{2\pi 60} = 2,69 \cdot 10^{-3} \quad (238)$$

Com isto, é obtido o compensador necessário para a planta possuir a margem de fase escolhida, de 80° para a frequência de 10 Hz. Agora basta ajustar o ganho K para que a magnitude possua 0 dB na frequência de corte do projeto.

Multiplicando o compensador parcial pela função de transferência em malha aberta, para a frequência de 10 Hz há a magnitude de $-15,5$ dB. Com isso, o ganho K é calculado como:

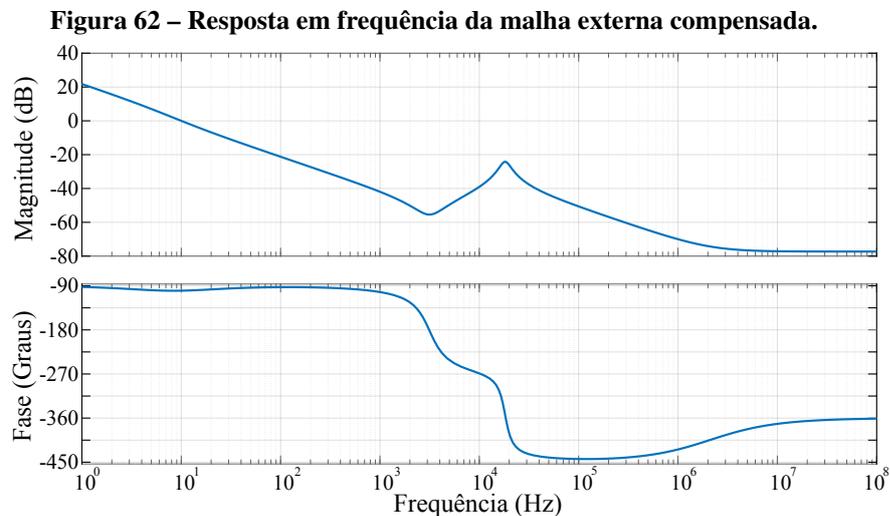
$$K = \frac{1}{1,68 \cdot 10^{-1}} = 5,94 \quad (239)$$

Substituindo os valores de T_i e K em (235), tem-se os ganhos do controlador da malha interna de corrente.

Tabela 13 – Ganho para o controlador da malha externa

Ganho	Valor
K_{p_e}	0,096
K_{i_e}	5,94

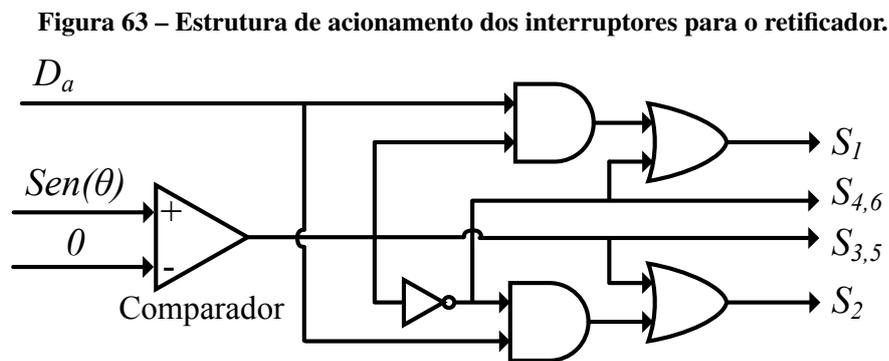
O sistema compensado pode ser observado na Figura 62, onde para a frequência de corte desejada, há o cruzamento em 0 dB e margem de fase desejada.



Fonte: Autoria própria.

5.1.1.2 Estrutura de acionamento dos interruptores

Com a razão cíclica gerada pela estrutura de controle do retificador e com uma função seno em fase com a tensão da rede, a Figura 63 apresenta a estrutura lógica de acionamento dos interruptores para o retificador.



Fonte: Autoria própria.

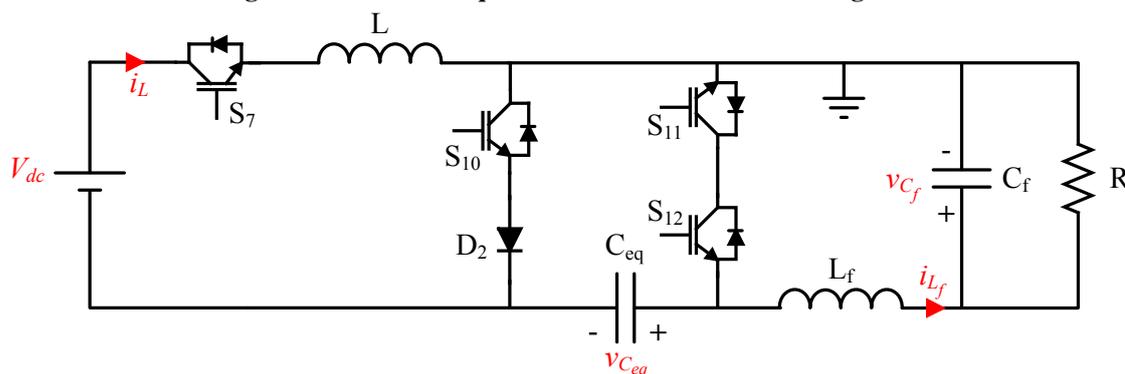
Nota-se que para a estrutura de acionamento dos interruptores é necessário identificar em qual semiciclo a rede está operando, visto a alteração nos interruptores utilizados de acordo com a polaridade da tensão de entrada. Para isto é então utilizado um algoritmo *Phase-locked loop* denominado *pPLL*, descrito no Apêndice B, o qual fornece um vetor de valores para a variável teta entre 0 a 2π de acordo com a fase presente na rede elétrica.

5.1.2 Modelagem em pequenos sinais para o inversor Ćuk integrado

Para aplicar a modelagem no circuito do conversor Ćuk integrado, é adotada uma simplificação, para que seja diminuída as variáveis de estado tornando a modelagem mais fácil de ser obtida. Esta simplificação consiste em aproximar as etapas de operação do semiciclo positivo para o semiciclo negativo, assumindo que a resposta dinâmica para ambos os semiciclos é a mesma.

Ao simplificar o circuito, é considerado que os capacitores C_3 e C_4 apresentam um comportamento muito similar a capacitores em paralelo, devido ao fluxo de corrente e tensão presente ao longo das seis etapas de operação. Isso faz com que o circuito equivalente possua o capacitor C_{eq} como uma associação em paralelo dos capacitores C_3 e C_4 . Considerando também que estes elementos possuem o mesmo valor, é possível associar que $C_{eq} = 2C_3 = 2C_4$. Sendo assim, o circuito equivalente pode ser observado na Figura 64.

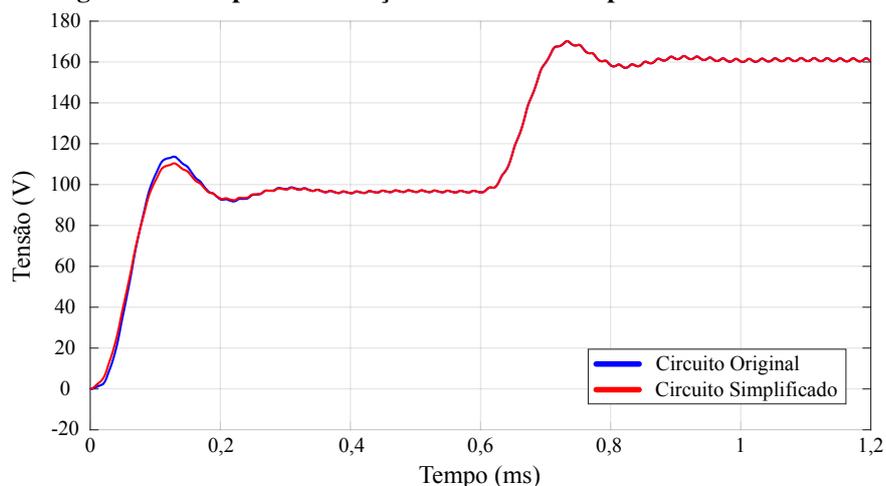
Figura 64 – Circuito equivalente do conversor Ćuk Integrado.



Fonte: Autoria própria.

A fim de validar a simplificação realizada no circuito, foram implementados em simulação tanto o circuito simplificado quanto o conversor Ćuk integrado, e aplicada uma variação na razão cíclica de 0,3 para 0,5, com a finalidade de comparar a variação presente na saída de ambos os inversores.

Figura 65 – Resposta à variação da razão cíclica para ambos os circuitos.



Fonte: Autoria própria.

Como pode ser observado na Figura 65, há uma boa similaridade na resposta à variação entre os circuitos, comprovando que é possível utilizar a simplificação feita para análise dinâmica do mesmo.

Ao utilizar o modelo médio em espaço de estados, é preciso definir as variáveis de estado e a entrada do sistema, as quais neste caso serão relacionadas aos elementos passivos do circuito, sendo: I_L , I_{L_f} , $V_{C_{eq}}$, V_{C_f} e como entrada V_{dc} .

De início, é então analisada a primeira etapa de operação $D_a T_s$, o qual resulta na seguinte matriz:

$$\begin{bmatrix} \dot{\bar{I}}_L \\ \dot{\bar{I}}_{L_f} \\ \dot{\bar{V}}_{C_{eq}} \\ \dot{\bar{V}}_{C_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & \frac{1}{L_f} & \frac{-1}{L_f} \\ 0 & \frac{-1}{C_{eq}} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ \bar{V}_{C_{eq}} \\ \bar{V}_{C_f} \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \\ 0 \\ 0 \end{bmatrix} \bar{V}_{dc} \quad (240)$$

Já, para a etapa de condução $D_b T_s$, a matriz resulta no seguinte:

$$\begin{bmatrix} \dot{\bar{I}}_L \\ \dot{\bar{I}}_{L_f} \\ \dot{\bar{V}}_{C_{eq}} \\ \dot{\bar{V}}_{C_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-1}{L} & 0 \\ 0 & 0 & 0 & \frac{-1}{L_f} \\ \frac{1}{C_{eq}} & 0 & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ \bar{V}_{C_{eq}} \\ \bar{V}_{C_f} \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \\ 0 \\ 0 \end{bmatrix} \bar{V}_{dc} \quad (241)$$

Por fim, a etapa $D_c T_s$ apresenta a seguinte matriz:

$$\begin{bmatrix} \dot{\bar{I}}_L \\ \dot{\bar{I}}_{L_f} \\ \dot{\bar{V}}_{C_{eq}} \\ \dot{\bar{V}}_{C_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-1}{L+L_f} & \frac{1}{L+L_f} \\ 0 & 0 & \frac{1}{L+L_f} & \frac{-1}{L+L_f} \\ 0 & \frac{-1}{C_{eq}} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ \bar{V}_{C_{eq}} \\ \bar{V}_{C_f} \end{bmatrix} + \begin{bmatrix} \frac{1}{L+L_f} \\ \frac{-1}{L+L_f} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{dc} \quad (242)$$

Para todas as etapas de operação, a saída que está sendo lida é a tensão presente sobre o capacitor C_f , ou seja, a matriz de saída não sofre alteração, sendo:

$$y = \begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ \bar{V}_{C_{eq}} \\ \bar{V}_{C_f} \end{bmatrix} \quad (243)$$

Aplicando a média das etapas de operação, ou seja, $A_m = D_a A_a + D_b A_b + D_c A_c$ e $B_m = D_a B_a + D_b B_b + D_c B_c$ e reescrevendo a representação de forma simplificada, substituindo alguns termos por termos equivalentes, obtém-se a seguinte representação matricial do modelo médio de espaço de estados para o conversor Ćuk integrado:

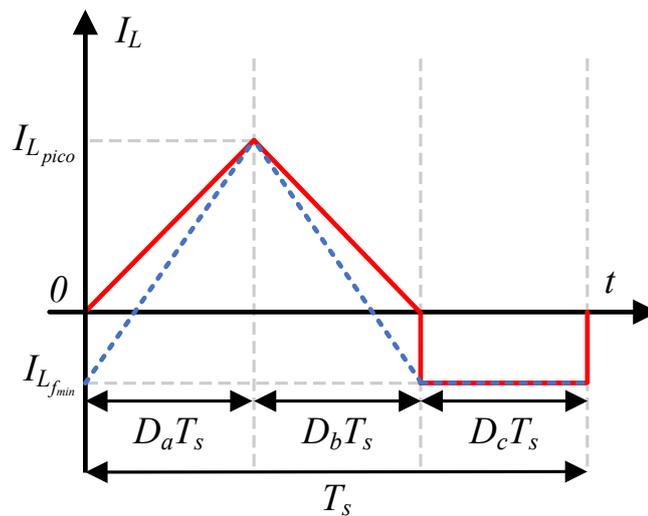
$$\begin{bmatrix} \dot{\bar{I}}_L \\ \dot{\bar{I}}_{L_f} \\ \dot{\bar{V}}_{C_{eq}} \\ \dot{\bar{V}}_{C_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-D_b}{L} - \frac{D_c}{L+L_f} & \frac{D_c}{L+L_f} \\ 0 & 0 & \frac{D_a}{L_f} + \frac{D_c}{L+L_f} & \frac{-D_a - D_b}{L_f} - \frac{D_c}{L+L_f} \\ \frac{D_b}{C_{eq}} & \frac{D_b - 1}{C_{eq}} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ \bar{V}_{C_{eq}} \\ \bar{V}_{C_f} \end{bmatrix} + \begin{bmatrix} \frac{D_c}{L+L_f} + \frac{D_a + D_b}{L} \\ -\frac{D_c}{L+L_f} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{dc} \quad (244)$$

As derivadas das variáveis de estado escolhidas devem apresentar um valor médio nulo, o qual, analisando o resultado obtido em (244), encontra-se um erro nos componentes que dependem do valor de corrente do indutor L . Isso ocorre por se tratar de um circuito operando no modo de condução descontínua, o qual apresenta descontinuidade na corrente dos indutores, fazendo com que o modelo médio em espaço de estados apresente um erro.

Por conta disto, é preciso aplicar uma correção ao modelo que considere a terceira etapa e corrija na matriz o fato de que durante a terceira etapa os indutores possuem uma corrente mínima que, em L , possui valor negativo.

Da mesma maneira apresentado em (DIONIZIO, 2023), é realizada uma simplificação na corrente presente sobre o indutor L apresentada na Figura 66 e simplificada a corrente presente sobre o indutor L_f para seu valor médio.

Figura 66 – Corrente presente sobre o indutor L (azul) e corrente aproximada (vermelho)



Fonte: Adaptado de (DIONIZIO, 2023)

De início, é considerada a equação de carga do capacitor (245), onde durante a primeira etapa de operação, este receberá a energia armazenada no indutor L . Utilizando a simplificação realizada na Figura 66, é possível também calcular o valor médio do indutor (246) e posteriormente seu valor máximo (247).

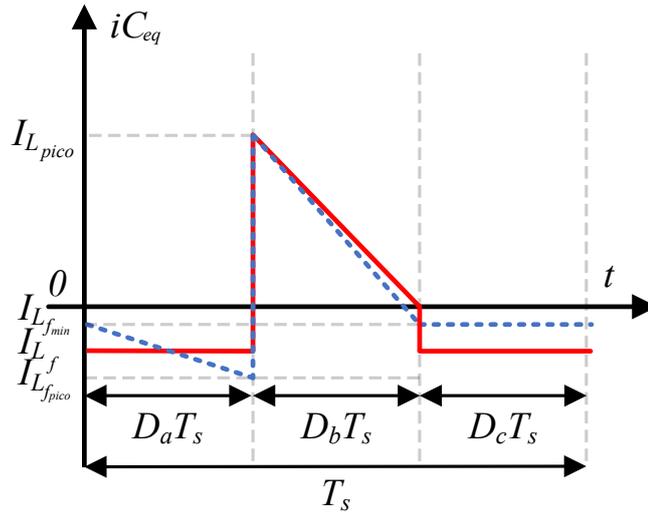
$$Q_c = \frac{I_{L_{max}} D_a T_s}{2} \quad (245)$$

$$I_{L_{med}} = \frac{I_{L_{max}} (D_a + D_b)}{2} - I_{L_f} D_c \quad (246)$$

$$I_{L_{max}} = \frac{V_{in} D_a T_s}{L} - I_{L_f} \quad (247)$$

É expressa também a curva de corrente sobre o capacitor C_{eq} (Figura 67), o qual também sofre uma aproximação para os valores médios de corrente de saída, resultando no seguinte:

Figura 67 – Corrente presente sobre o capacitor C_{eq} (azul) e corrente aproximada (vermelho)



Fonte: Adaptado de (DIONIZIO, 2023)

Utilizando a aproximação da corrente do capacitor, junto à máxima corrente do indutor L , colocando termos em evidência e realizando substituições, chega-se em:

$$I_{L_{med}} = \frac{I_{L_{max}}}{2} \left(\frac{D_a}{1 - D_b} \right) \quad (248)$$

Substituindo na equação de carga do capacitor, tem-se:

$$\frac{Q_c}{T_s} = \frac{I_{L_{max}} D_a}{T_s} = \frac{I_{L_{max}} D_a}{2} \left(\frac{D_a}{1 - D_b} \right) \quad (249)$$

Partindo daí, chega-se na seguinte matriz de correção a ser multiplicada pela matriz A_m .

$$M_2 = \begin{bmatrix} \frac{1-D_b}{D_a} & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (250)$$

Aplicando a matriz de correção à expressão média de espaço de estados, obtém-se agora o modelo corrigido para o circuito.

$$\begin{bmatrix} \dot{\bar{I}}_L \\ \dot{\bar{I}}_{L_f} \\ \dot{V}_{C_{eq}} \\ \dot{V}_{C_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{D_b}{L} - \frac{D_c}{L+L_f} & \frac{D_c}{L+L_f} \\ 0 & 0 & \frac{D_a}{L_f} + \frac{D_c}{L+L_f} & -\frac{D_a-D_b}{L_f} - \frac{D_c}{L+L_f} \\ \frac{D_b-D_b^2}{C_{eq}D_a} & \frac{D_b-1}{C_{eq}} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \bar{I}_L \\ \bar{I}_{L_f} \\ V_{C_{eq}} \\ V_{C_f} \end{bmatrix} + \begin{bmatrix} \frac{D_c}{L+L_f} + \frac{D_a+D_b}{L} \\ -\frac{D_c}{L+L_f} \\ 0 \\ 0 \end{bmatrix} \bar{V}_{dc} \quad (251)$$

Com (251) é possível aplicar a perturbação e linearização em torno de um ponto de operação, considerando pequenas variações nas variáveis presentes na representação matemática descrita.

$$\bar{I}_L(t) = I_L + \hat{i}_L(t) \quad (252)$$

$$\bar{I}_{L_f}(t) = I_{L_f} + \hat{i}_{L_f}(t) \quad (253)$$

$$\bar{V}_{C_{eq}}(t) = V_{C_{eq}} + \hat{v}_{C_{eq}}(t) \quad (254)$$

$$\bar{V}_{C_f}(t) = V_{C_f} + \hat{v}_{C_f}(t) \quad (255)$$

$$D_a(t) = D_a + \hat{d}(t) \quad (256)$$

A tensão de entrada do inversor possui oscilações em baixa frequência (120 Hz) e alta frequência (50 kHz) por conta do retificador presente na estrutura da UPS. Apesar disto, para o desenvolvimento da função de transferência, serão desconsideradas estas variações.

$$V_{dc}(t) = V_{dc} \quad (257)$$

Aplicando as perturbações e linearizações na expressão (251) têm-se:

$$\begin{aligned} \frac{d(I_L + \hat{i}_L)}{dt} = & \frac{-D_b(L + L_f) + L(D_a + \hat{d} + D_b - 1)}{(L + L_f)L} (V_{C_{eq}} + \hat{v}_{C_{eq}}) + \\ & \frac{(1 - D_a - \hat{d} - D_b)}{(L + L_f)} (V_{C_f} + \hat{v}_{C_f}) + \\ & \frac{(L + L_f)(D_a + \hat{d} + D_b) + L(1 - D_a - \hat{d} - D_b)}{(L + L_f)L} V_{dc} \end{aligned} \quad (258)$$

$$\begin{aligned} \frac{d(I_{L_f} + \hat{I}_{L_f})}{dt} = & \frac{(D_a + \hat{d})(L + L_f) + L_f(1 - D_a - \hat{d} - D_b)}{(L + L_f)L_f}(V_{C_{eq}} + v_{\hat{C}_{eq}}) + \\ & \frac{(L + L_f)(-D_a - \hat{d} - D_b) + L_f(D_a + \hat{d} + D_b - 1)}{(L + L_f)L_f}(V_{C_f} + v_{\hat{C}_f}) + \frac{(D_a + \hat{d} + D_b - 1)}{(L + L_f)}V_{dc} \end{aligned} \quad (259)$$

$$\frac{d(V_{C_{eq}} + v_{\hat{C}_{eq}})}{dt} = \frac{D_b - D_b^2}{C_{eq}D_a}(I_L + \hat{i}_L) - \frac{D_b - 1}{C_{eq}}(I_{L_f} + \hat{I}_{L_f}) \quad (260)$$

$$\frac{d(V_{C_f} + v_{\hat{C}_f})}{dt} = \frac{1}{C_o}(I_{L_f} + \hat{I}_{L_f}) - \frac{1}{RC_o}(V_{C_f} + v_{\hat{C}_f}) \quad (261)$$

Resolvendo (258), (259), (260) e (261) e organizando-as em matrizes novamente,

tem-se:

$$\begin{bmatrix} \dot{\hat{i}}_L \\ \dot{\hat{I}}_{L_f} \\ v_{\dot{\hat{C}}_{eq}} \\ v_{\dot{\hat{C}}_f} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{-D_b}{L} - \frac{D_c}{L+L_f} & \frac{D_c}{L+L_f} \\ 0 & 0 & \frac{D_a}{L_f} + \frac{D_c}{L+L_f} & \frac{-D_a - D_b}{L_f} - \frac{D_c}{L+L_f} \\ \frac{D_b - D_b^2}{C_{eq}D_a} & \frac{D_b - 1}{C_{eq}} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{RC_f} \end{bmatrix} \begin{bmatrix} \hat{i}_L \\ \hat{I}_{L_f} \\ v_{\hat{C}_{eq}} \\ v_{\hat{C}_f} \end{bmatrix} + \begin{bmatrix} \frac{V_{dc}}{L} \\ \frac{-V_{C_f} + V_{C_{eq}}}{L_f} \\ \frac{D_b I_{L_f} - I_{L_f}}{D_a C_{eq}} \\ 0 \end{bmatrix} \hat{d} \quad (262)$$

Por fim, para obter-se a função de transferência que relaciona a variável de controle com a variável controlada é utilizado (263) aplicado em (262) (MARTINS; BARBI, 2006), resultando na expressão (264).

$$G(s) = C(sI - A)^{-1}B + E \quad (263)$$

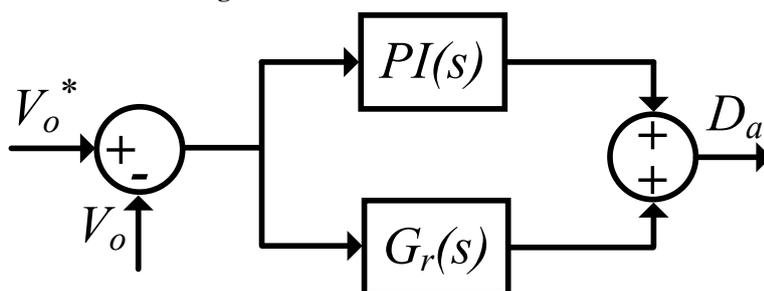
$$G_{v_{inv}}(s) = \frac{a_2 s^2 + a_1 s + a_0}{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0} \quad (264)$$

Onde os termos a e b são expressos no Apêndice C.

5.1.2.1 Projeto do controlador

Para o controle da estrutura, foi utilizado o controlador PI (Proporcional-Integral) em conjunto ao um múltiplo ressonante. O intuito do controle é sintetizar uma tensão senoidal de 60 Hz e 180 V de pico sobre a carga. Para isso, foi então implementada a estrutura de controle da Figura 68.

Figura 68 – Estrutura de controle do inversor



Fonte: Autoria Própria

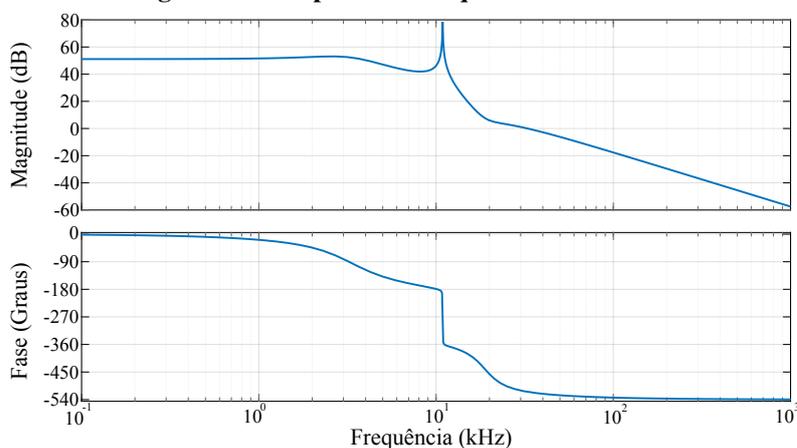
A tensão de referência presente na Figura 68 (V_o^*) é referente à tensão desejada na carga, ou seja, uma tensão senoidal de 60 Hz com 180 V de pico. A tensão de saída do circuito é então subtraída desta tensão de referência, gerando assim um erro que será utilizado no controlador PI para que este gere a razão cíclica D_a .

Utilizando a mesma metodologia para realizar o projeto do ganho dos controladores do retificador, foi então considerada a função de transferência do circuito dada por (263). Durante a modelagem do mesmo, foi considerada que a saída seria a tensão presente sobre o capacitor C_f , sendo justamente a tensão a ser controlada. Substituindo os valores dos elementos passivos presentes na Tabela 7, assim como os demais parâmetros apresentados em Tabela 6, a função de transferência do inversor é apresentada como:

$$G_{vdInv}(s) = \frac{5,28 \cdot 10^{10} s^2 - 2,63 \cdot 10^{15} s + 7,38 \cdot 10^{20}}{s^4 + 1,99 \cdot 10^4 s^3 + 5,12 \cdot 10^9 s^2 + 9,23 \cdot 10^{13} s + 2,06 \cdot 10^{18}} \quad (265)$$

A Figura 69 apresenta então a resposta em frequência para a função de transferência que relaciona a tensão de saída do inversor à variável de controle.

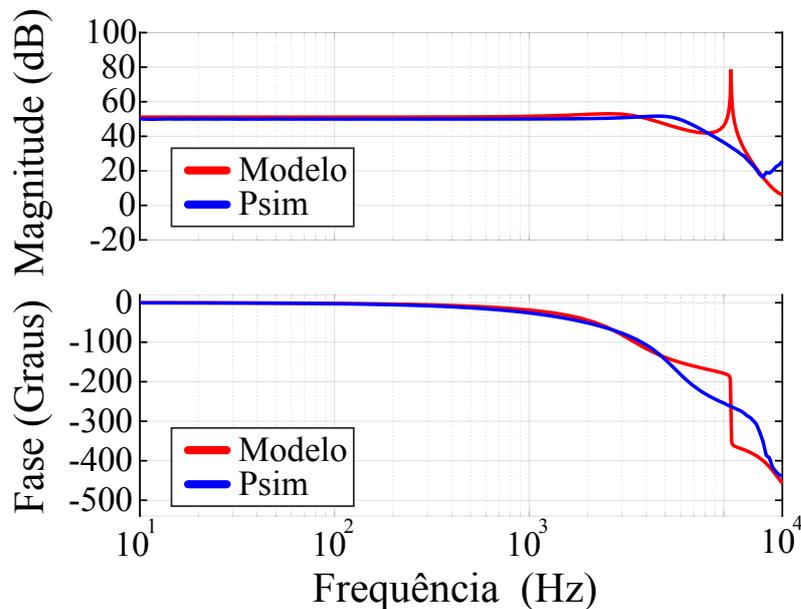
Figura 69 – Resposta em frequência do inversor



Fonte: Autoria Própria

Para validar a função de transferência encontrada, é utilizado o *software* PSIM[®] para gerar a resposta em frequência do circuito, e assim compará-la à modelada. Como pode ser observado na Figura 70, o modelo matemático obtido apresenta uma diferença ao do circuito, devido à existência de um pico de ressonância próximo à frequência de 5 kHz. Apesar disto, o modelo obtido apresenta similaridade para frequências mais baixas, as quais serão utilizadas para projeto do controle.

Figura 70 – Comparação entre a resposta em frequência calculada e obtida pelo PSIM[®]



Fonte: Autoria Própria

Partindo da resposta em frequência, é escolhida uma margem de fase e frequência de cruzamento, os quais devem fazer com que o sistema compensado cruze 0 dB na frequência escolhida, com a margem de fase desejada.

Tabela 14 – Parâmetros de projeto do controle para o inversor

Parâmetro	Valor
Margem de fase	80°
Frequência de cruzamento	600 Hz

O compensador escolhido (PI) possui a seguinte função:

$$G_{PI} = K \frac{T_i s + 1}{s} = K_p + \frac{K_i}{s} \quad (266)$$

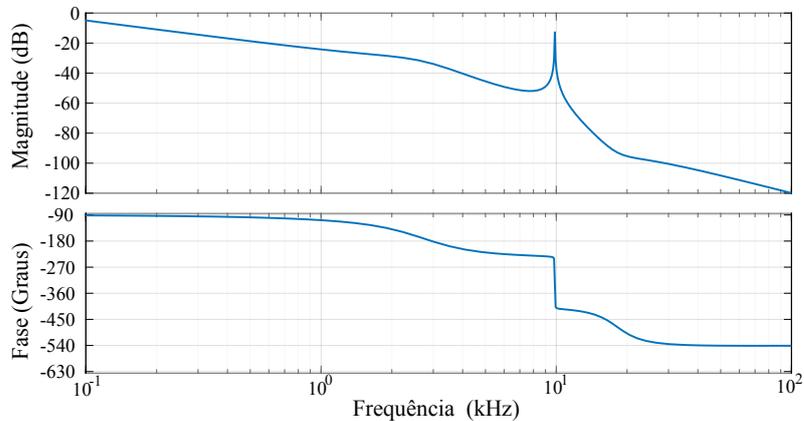
O primeiro passo é ajustar a margem de fase do sistema, visto que o ganho K gera uma alteração apenas na magnitude do sistema. Para isto, é utilizada a Figura 69 para determinar a

margem de fase do sistema não compensado para a frequência de corte definida anteriormente. Com isso, para a frequência 650 Hz tem-se a margem de fase de $-13,2^\circ$. Para que a planta tenha a fase desejada, é preciso que o compensador contribua com $-86,8^\circ$. Com isto, é possível calcular o T_i .

$$T_i = \frac{\text{tg}(-86,8 + 90)}{2\pi 60} = 1,48 \cdot 10^{-4} \quad (267)$$

Sendo assim, é possível compensar parcialmente o sistema, fazendo com que este possua a margem de fase desejada na frequência de corte definida (Figura 71). Para ajustar a magnitude, para que esta possua 0 dB na frequência de corte, é calculado o ganho K .

Figura 71 – Resposta em frequência do sistema parcialmente compensado



Fonte: Autoria Própria

Analisando a imagem, é observado que a magnitude para a frequência de 600 Hz é de $-20,8 \text{ dB}$, ou $9,12 \cdot 10^{-2} \text{ dB}$. Assim, o ganho K pode ser calculado como:

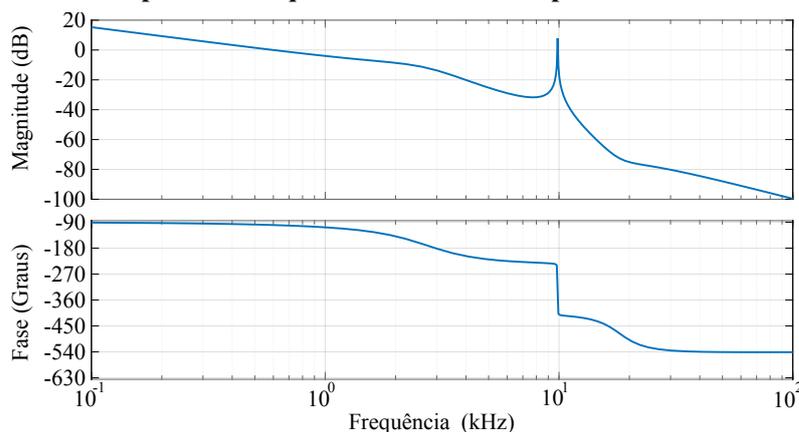
$$K = \frac{1}{9,12 \cdot 10^{-2}} = 10,96 \quad (268)$$

Logo, os ganhos do controlador PI para o inversor são apresentados na Tabela 15.

Tabela 15 – Ganho para o controlador

Ganho	Valor
$K_{p_{inv}}$	$1,63 \cdot 10^{-4}$
$K_{i_{inv}}$	10,96

Por fim, é apresentado o sistema compensado na Figura 72, onde pode ser observado que para a frequência escolhida a magnitude é nula e possui a margem de fase desejada.

Figura 72 – Resposta em frequência do sistema compensado em malha aberta.

Fonte: Autoria Própria

Como pode ser observado na Figura 72, há o cruzamento pela magnitude de 0 *dB* de outras duas frequências que não são a frequência de corte desejada, e isso se dá pelo pico de ressonância existente no modelo matemático utilizado.

Como apresentado anteriormente, este pico é gerado por conta de aproximações assumidas na modelagem realizada, o qual não existe em um modelo mais fiel, e por conta disto, este ganho de 0 *dB* em outras frequências não apresenta problema para o controle quando empregado no sistema.

Como a estrutura de controle também faz o uso de termos ressonantes para aprimorar o desempenho do sistema, é crucial ajustar o ganho destes termos para que a resposta seja satisfatória. A função de transferência para os termos ressonantes pode ser observada em (269).

$$G_r(s) = \sum_{n=1}^9 K_n \frac{s}{s^2 + (n\omega_1)^2} \quad (269)$$

onde: K_n representa o ganho da parcela ressonante para a respectiva frequência ressonante; n representa a ordem da harmônica; e ω_1 é a frequência fundamental da tensão de saída.

Os filtros ressonantes são desenvolvidos para atuar em uma frequência fundamental ω_0 e seus harmônicos, com o objetivo de eliminar erros periódicos associados a essas frequências. Eles conferem ao controlador a capacidade de suprimir erros periódicos em sistemas sujeitos a distúrbios cíclicos ou oscilatórios.

Para a estrutura de ressonante implementada, foram considerados os harmônicos de terceira ordem (180 *Hz*), quinta ordem (300 *Hz*), sétima ordem (720 *Hz*) e nona ordem (540 *Hz*), possuindo os ganhos descritos na Tabela 16, os quais foram obtidos de forma empírica.

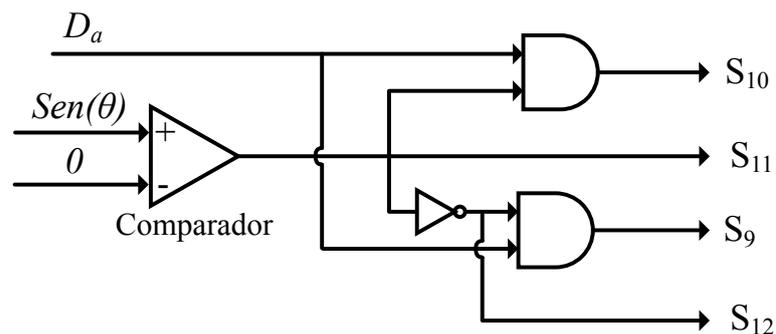
Tabela 16 – Valores de ganho para o controlador ressonante.

Ganho	Valor
k_{r_1}	0,572
k_{r_3}	0,117
k_{r_5}	0,094
k_{r_7}	0,076
k_{r_9}	0,064

Fonte: Autoria própria.

5.1.2.2 Estrutura de acionamento dos interruptores

A partir da razão cíclica gerada pela estrutura de controle apresentada anteriormente, junto a uma função seno gerada internamente, os pulsos de acionamento dos interruptores são gerados. A Figura 73 apresenta então a estrutura lógica responsável pelo acionamento dos interruptores.

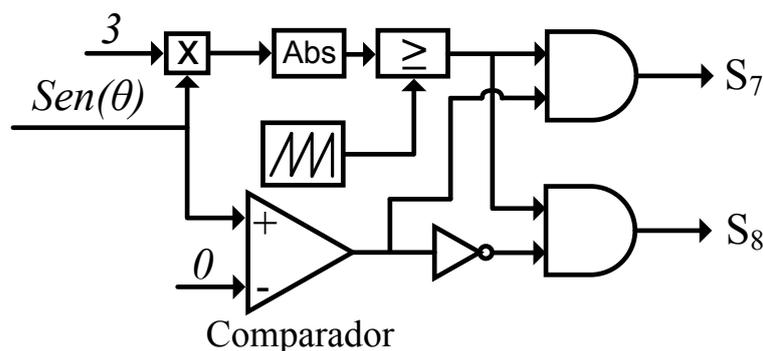
Figura 73 – Estrutura de acionamento dos interruptores para o inversor Ćuk integrado.**Fonte: Autoria própria.**

Nota-se que é necessário o uso de uma função seno para a lógica do acionamento dos interruptores. Esta função deve estar em fase com a tensão de saída do circuito, ou seja, a função seno utilizada para gerar a referência do controle deve possuir a mesma fase da utilizada para acionamento dos interruptores.

Como pode ser observado na figura anterior, a lógica de acionamento dos interruptores de entrada não está presente. Isso se deve ao fato da necessidade de uma estrutura diferente de acionamento para estes interruptores, apresentada na Figura 74.

A estrutura implementada para acionamento dos interruptores S_7 e S_8 faz-se necessária por conta da tensão presente sobre os capacitores de acoplamento ($C_{3,4}$), a qual sofre uma alteração instantânea caso estes interruptores sejam acionados em baixa frequência. Esta troca instantânea gera um pico de corrente sobre o indutor de entrada L , o qual é refletido para os interruptores e para a tensão de saída.

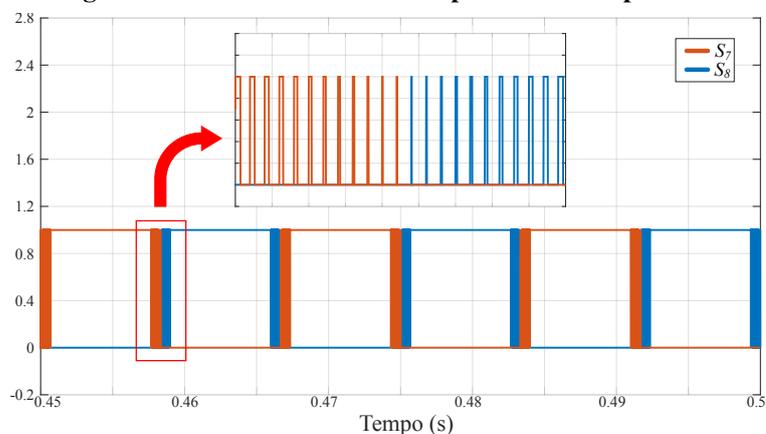
Figura 74 – Estrutura de acionamento dos interruptores de entrada do inversor Ćuk integrado.



Fonte: Autoria própria.

Como solução para amortecer a troca de tensão sobre os capacitores, é utilizada uma técnica que faz com que os interruptores de entrada $S_{7,8}$ sejam comutados em alta frequência próximo à troca entre semiciclos, enquanto estes operam em baixa frequência para os demais pontos de operação. Ilustrando o que foi desenvolvido, tem-se pela Figura 75 os pulsos de acionamento para ambos os interruptores ao se utilizar a estrutura de acionamento apresentada na Figura 74.

Figura 75 – Pulso de acionamento para os interruptores.



Fonte: Autoria própria.

O funcionamento da estrutura de geração deste sinal de controle é baseado na comparação de um seno retificado que possui uma amplitude três vezes maior que a amplitude do sinal dente de serra que será comparado para geração da ação de controle. Devido a essa diferença de amplitude, grande parte do tempo o sinal seno será maior que o sinal dente de serra, saturando o sinal de saída. Em um curto período de tempo, o sinal seno será menor que a dente de serra, fazendo com que os interruptores sejam comutados em alta frequência.

5.2 CONSIDERAÇÕES PARCIAIS

Este capítulo apresentou a modelagem e o projeto dos controladores para as estruturas de retificador e inversor que foram utilizadas na UPS, adotando circuitos equivalentes para as estruturas, o que possibilitou uma maior facilidade no processo de modelagem.

A modelagem em espaço de estados foi adotada, a qual apresenta um erro para conversores operando em MCD. Devido este fato, foi apresentado também um método de correção deste erro, baseado nos trabalhos de (DIONIZIO, 2023) e (GHOSH; KANDPAL, 2010).

Em conjunto com o modelo médio de espaço de estados, foram utilizadas a rede de comutação generalizada e a perturbação e linearização em torno de um ponto de operação, a fim de obter a função de transferência pertinente para o projeto dos controladores utilizados.

As estruturas de controle para o correto funcionamento da UPS também foram apresentadas, que consistem em drenar uma corrente senoidal com baixa taxa de distorção harmônica da rede com amplitude limitada, assim como controlar o nível de tensão no barramento CC da UPS e controlar o nível de tensão entregue à carga do inversor.

Por fim, foram também apresentadas as estruturas lógicas de acionamento dos interruptores de ambos os circuitos, os quais fazem uso da leitura de tensão da carga e da rede para definir o conjunto de interruptores atuantes, assim como uso de algoritmo de *Phase-Locked Loop*.

6 RESULTADOS DE SIMULAÇÃO

Neste capítulo são apresentados os principais resultados de simulação para a UPS implementada, demonstrando as características relacionadas ao seu funcionamento. O *software* utilizado para as simulações presentes neste trabalho foi o *Simulink 2021*[®]

De início, são apresentadas as especificações do sistema de forma mais reduzida, para reunir as informações descritas e calculadas ao longo do trabalho. É importante mencionar que os valores de ganho para os controladores foram discretizados pelo método de *tustin*, para que a simulação represente de forma mais fiel o comportamento do sistema real implementado em bancada.

Tabela 17 – Tabela com os parâmetros implementados em simulação.

Parâmetro	Variável	Valor
Tensão eficaz da rede	V_{inef}	127 V
Frequência da rede	f_{rede}	60 Hz
Potência nominal da UPS	P_o	400 W
Tensão eficaz de saída	V_{oef}	127 V
Frequência de saída da UPS	f_o	60 Hz
Tensão do barramento	V_{dc}	96 V
Tensão nominal das baterias	V_{bat}	96 V
Frequência de chaveamento	f_s	50 kHz
Indutância de entrada retificador	L_{in}	1,72 mH
Indutância de saída retificador	L_o	25 μ H
Indutância de entrada inversor	L	30 μ H
Indutância de saída inversor	L_f	1,65 mH
Capacitâncias de acoplamento	$C_{1,2,3,4}$	1 μ F
Capacitância barramento CC	C_{dc}	3,76 mF
Capacitância de saída inversor	C_f	1,24 μ F
Resistência para a carga nominal	R	40,32 Ω
Ganho integrativo do controlador interno	K_{i_i}	$-1,57 \cdot 10^{-2}$
Ganho proporcional do controlador interno	K_{p_i}	$2,09 \cdot 10^{-2}$
Ganho integrativo do controlador externa	K_{i_e}	$-9,59 \cdot 10^{-2}$
Ganho proporcional do controlador externo	K_{p_e}	$9,60 \cdot 10^{-2}$
Ganho integrativo do controlador do inversor	$K_{i_{inv}}$	$-7,20 \cdot 10^{-5}$
Ganho proporcional do controlador do inversor	$K_{p_{inv}}$	$2,54 \cdot 10^{-4}$
Ganho da componente fundamental para o ressonante	K_{r_1}	$1,43 \cdot 10^{-2}$
Ganho da componente de terceira harmônica para o ressonante	K_{r_3}	$3,81 \cdot 10^{-3}$
Ganho da componente de quinta harmônica para o ressonante	K_{r_5}	$2,38 \cdot 10^{-3}$
Ganho da componente de sétima harmônica para o ressonante	K_{r_7}	$1,90 \cdot 10^{-3}$
Ganho da componente de nona harmônica para o ressonante	K_{r_9}	$1,71 \cdot 10^{-3}$
Taxa de amostragem	T_a	50 kHz

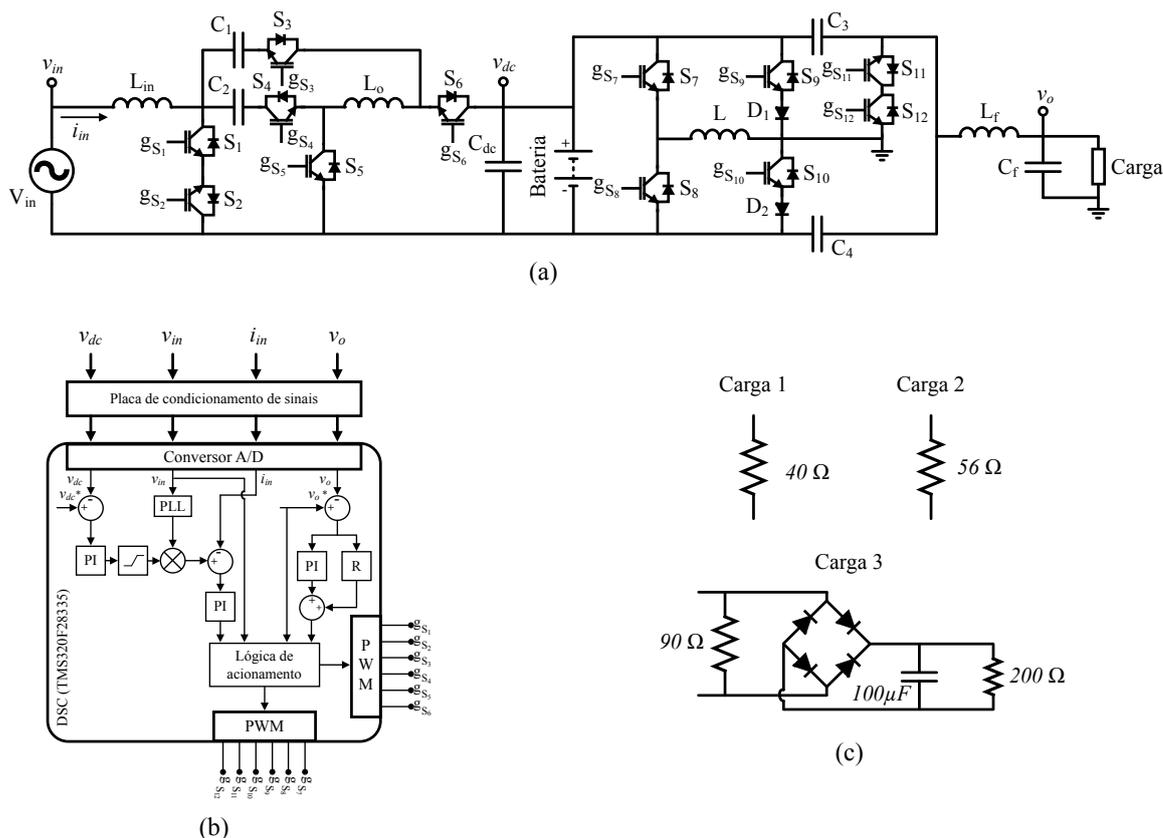
Com o objetivo de aproximar os resultados experimentais ainda mais com os resultados reais, foram discretizados o sistema de aquisição de dados, geração de referência e controle.

É importante mencionar também que para a simulação foram utilizadas oito baterias

de 12 V (tensão nominal) e 3 Ah. O modelo de bateria utilizado é disponibilizado pelo próprio *software* de simulação, o qual apresenta um modelo fiel para baterias de chumbo-ácido. O modelo matemático pode ser visto no Anexo A.

A Figura 76 apresenta o sistema completo implementado em simulação, discriminando a estrutura de potência, a estrutura dos controladores e as cargas conectadas ao inversor. Como pode ser observado, os testes são realizados a partir de três cenários distintos, conforme segue: cenário 1: carga resistiva que representa 100% da potência nominal; cenário 2: carga resistiva que representa 70% da potência nominal; cenário 3: carga não linear composta por um resistor em paralelo a um retificador a diodos com filtro RC. A existência de um resistor em paralelo a carga não-linear se faz necessário por conta do modo de operação do inversor, onde para o MCD o conversor não pode operar em momentos que a carga não drena corrente, como seria típico de uma carga composta por um retificador com filtro RC.

Figura 76 – Sistema completo: (a) estrutura de potência; (b) estrutura dos controladores; (c) cargas.



Fonte: Autoria própria.

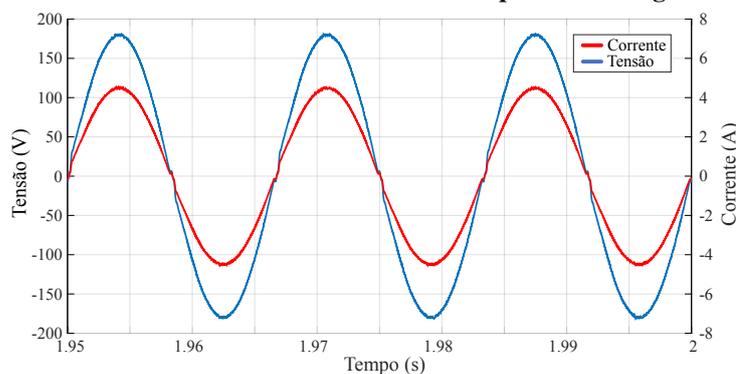
Outro ponto limitante do MCD com relação à carga não linear está vinculado ao pico de corrente existente neste tipo de carga. Este pico de corrente pode fazer com que o conversor passe a operar no MCC, alterando a resposta dinâmica da estrutura, fazendo com que o controle

projetado não represente a resposta esperada.

6.1 ENSAIO COM CARGA RESISTIVA

De início, foi realizado o teste onde a carga R encontra-se em seu valor nominal, fazendo com que o inversor opere em sua potência nominal. Dentro deste ensaio, foram realizados testes com a bateria parcialmente carregada. A Figura 77 apresenta a tensão e corrente presentes sobre a carga. Como pode ser observado, a tensão permanece senoidal e controlada em 180 V de pico. Pode ser notado também uma pequena distorção presente na tensão e na corrente durante a troca de semiciclos, gerada pela capacitância de acoplamento existente no circuito e pela estrutura de controle.

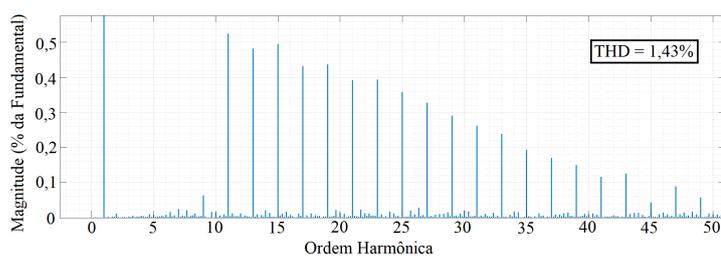
Figura 77 – Tensão e corrente de saída da UPS para uma carga resistiva.



Fonte: Autoria própria.

A Figura 78 apresenta o espectro da taxa de distorção harmônica da tensão de saída do inversor. Como pode ser observado, a distorção total foi de 1,43%, permanecendo dentro dos parâmetros estabelecidos na norma IEEE 519. Pode ser observado também que o conteúdo harmônico para as frequências onde há o controle ressonante apresentaram um valor bem reduzido, demonstrando que este foi capaz de cumprir sua função.

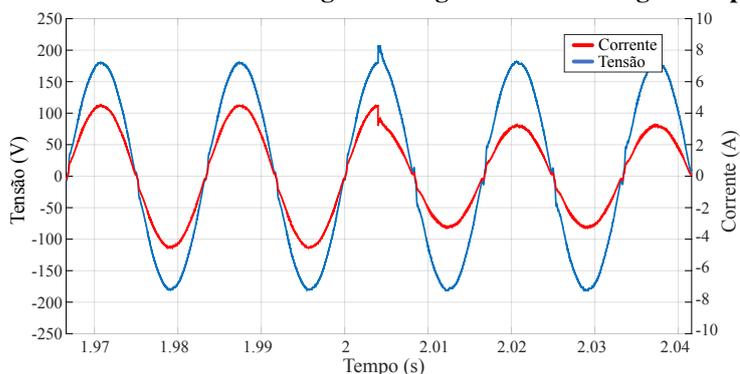
Figura 78 – Taxa de distorção harmônica para a tensão de saída do inversor para carga resistiva e potência nominal.



Fonte: Autoria própria.

É apresentado também o resultado obtido quando há um degrau de carga no inversor, o qual passa de 70% da potência nominal para 100% da potência nominal de projeto. Como pode ser observado na Figura 79, há uma distorção no exato instante em que há o degrau, no qual o controle é capaz de ajustar a tensão de saída rapidamente para seus parâmetros de projeto. Nota-se que para operação em potências abaixo da nominal há um ligeiro aumento na distorção harmônica da tensão entregue a carga. No entanto, a DHT da tensão ficou dentro dos limites estabelecidos em normas com valor menor que 2%.

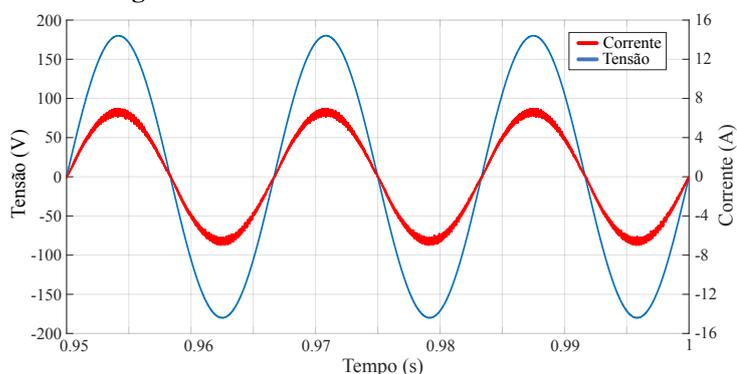
Figura 79 – Corrente e tensão entregues à carga durante um degrau de potência.



Fonte: Autoria própria.

É importante também avaliar a corrente que está sendo drenada da rede pelo retificador do sistema, visto que circuito retificador implementado é PFC, o qual deve drenar uma corrente com pouco conteúdo harmônico. A Figura 80 apresenta a corrente e tensão da rede elétrica, e como pode ser observado, a corrente drenada é senoidal, e está em fase com a tensão.

Figura 80 – Corrente e tensão da rede elétrica.

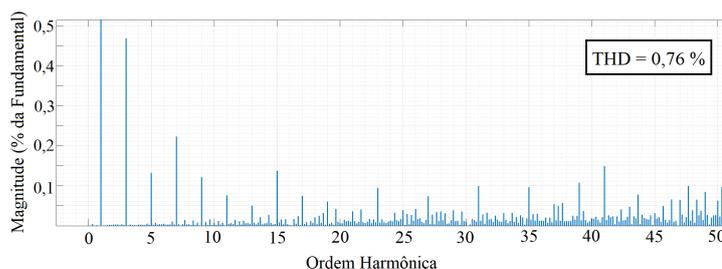


Fonte: Autoria própria.

Na Figura 81, é apresentada a taxa de distorção harmônica para a corrente da rede e, como pode ser observado, esta possui baixa taxa de distorção, reforçando a vantagem antes descrita sobre o uso de retificadores PFC. É importante destacar que em simulação há algumas

idealidades que são diferentes quando analisado o sistema físico, sendo um deles a ausência de distorção na tensão da rede elétrica. Devido a estrutura de PLL utilizada, quando a tensão de entrada apresenta distorção, a corrente drenada da rede também possuirá uma distorção propagada, como será apresentado posteriormente.

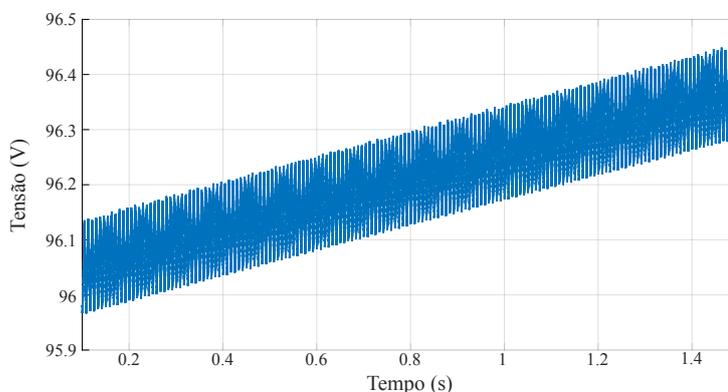
Figura 81 – Taxa de distorção harmônica e espectro harmônico para a corrente de entrada do retificador para carga resistiva e potência nominal.



Fonte: Autoria própria.

A Figura 82 apresenta a tensão presente sobre o barramento CC (V_{dc}) durante a operação da UPS. Durante a simulação foi considerado que a bateria possuía 70% do seu valor total de carga (SoC), e foi considerado também que o retificador e inversor estavam operando na potência nominal de projeto, ou seja, com a energia drenada da rede elétrica pelo retificador, este seria capaz de alimentar o inversor e garantir o carregamento das baterias. Como pode ser observado, a tensão do barramento, em média, aumenta ao longo do tempo, demonstrando que a bateria está recebendo energia e se carregando. É possível observar que há uma componente oscilatória na tensão, sendo esta uma componente em 120 Hz típica em retificadores monofásicos.

Figura 82 – Tensão presente sobre o barramento CC durante operação da UPS (bateria parcialmente carregada).

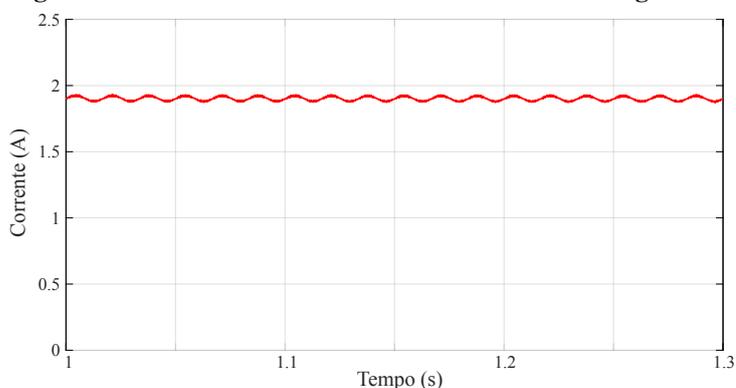


Fonte: Autoria própria.

É apresentado também a corrente média presente sobre o banco de baterias (Figura 83). Como pode ser observado, a componente de 120 Hz presente sobre o barramento é propagada

para a corrente média das baterias, influenciando seu carregamento. O nível da corrente presente sobre as baterias durante a carga foi adquirido considerando conversores ideais, os quais não possuem perdas. Devido a isso, o nível de corrente é maior que o esperado para a prática.

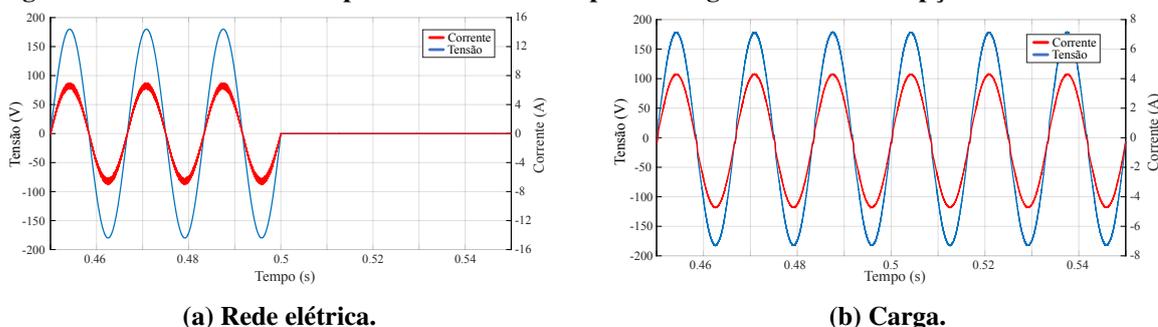
Figura 83 – Corrente média das baterias durante carregamento.



Fonte: A autoria própria.

É pertinente averiguar o tempo de transferência para caso a rede elétrica apresente falha ou queda, visto que uma UPS *on-line* não deve apresentar tempo de transferência entre o modo normal para o modo *backup*. A Figura 84 apresenta a tensão da carga e tensão da rede, onde no instante de 0,5 s há a desconexão da rede elétrica.

Figura 84 – Tensão e corrente para a rede elétrica e para a carga durante interrupção de fornecimento.



(a) Rede elétrica.

(b) Carga.

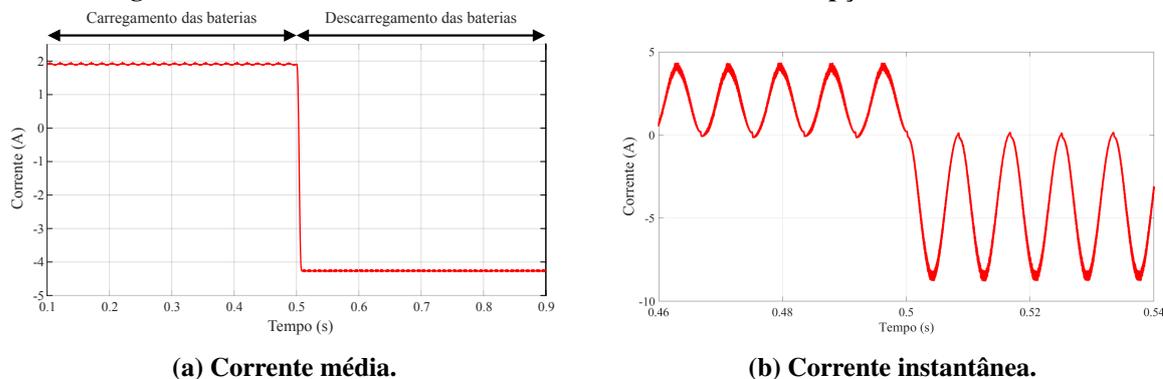
Fonte: A autoria própria.

Como pode ser observado, a tensão da carga não apresenta alteração mesmo entre a mudança dos modos de operação, demonstrando que neste quesito a UPS implementada seguiu como o esperado.

É apresentado também a corrente média drenada do banco de baterias para a transição dos modos (Figura 85(a)). Como pode ser observado, há a mudança de polaridade da corrente das baterias, indicando que esta interrompeu seu carregamento para suprir a demanda de energia para o inversor e a carga. Vale ressaltar que, devido a natureza de um retificador monofásico,

e a natureza da característica da corrente do inversor, há uma grande oscilação na corrente instantânea nas baterias, como apresentada na Figura 85(b).

Figura 85 – Corrente sobre o banco de baterias durante interrupção da rede elétrica.



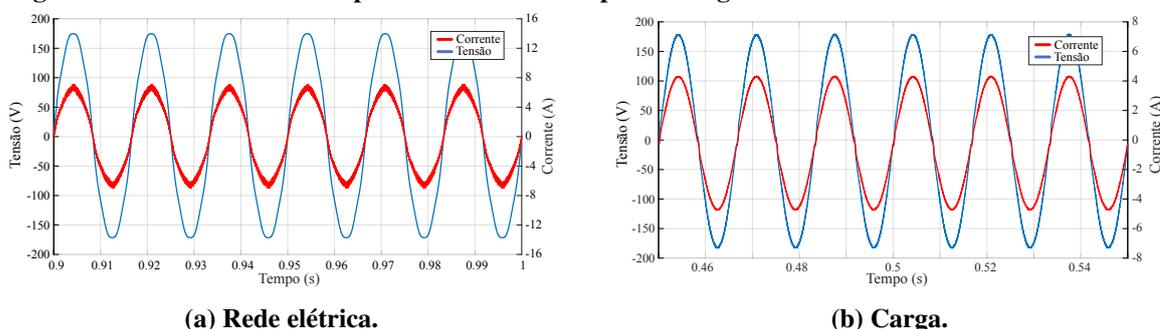
Fonte: Autoria própria.

Seguindo nos testes para caso a rede apresente algum distúrbio, foi modificada a tensão da rede para que esta apresente harmônicos de terceira, quinta e sétima ordem, seguindo os valores presentes na Tabela 18, além de possuir uma tensão de pico diferente da esperada. A Figura 86 apresenta a tensão e corrente da rede em comparação à tensão e corrente da carga.

Tabela 18 – Valores de tensão e harmônicos utilizados na simulação.

Frequência Harmônica (Hz)	Amplitude (V)	Amplitude em relação a fundamental (%)
180	7,56	4,2
300	3,96	2,2
420	3,24	1,8

Figura 86 – Tensão e corrente para a rede elétrica e para a carga durante distúrbio de tensão da rede.

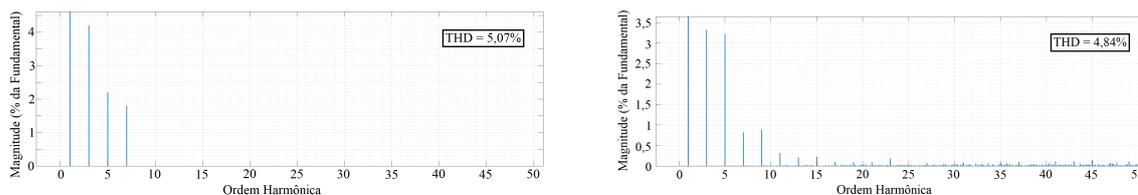


Fonte: Autoria própria.

Como pode ser observado, as distorções presentes na rede não interferem na tensão entregue à carga, permanecendo com a mesma THD anterior, para quando o sistema estava operando dentro do considerado normal. Para evidenciar, a Figura 87 apresenta a taxa de distorção

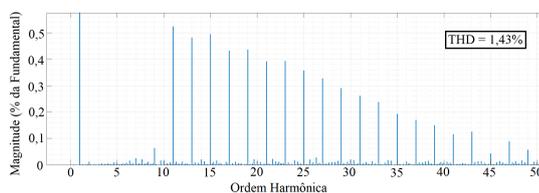
harmônica para a tensão de saída do inversor, da tensão da rede e corrente drenada da rede. Outro ponto a ser mencionado é a THD da corrente drenada da rede elétrica, a qual aumenta durante o teste. Isto se dá por conta da estrutura de PLL utilizada, a qual propaga as distorções existentes da tensão medida da rede elétrica para o ângulo theta de referência gerada, fazendo com que a corrente drenada da rede também apresente um conteúdo harmônico mais elevado.

Figura 87 – THD para as medidas do sistema considerando uma entrada distorcida.



(a) Espectro harmônico para a tensão da rede.

(b) Espectro harmônico para a corrente da rede.

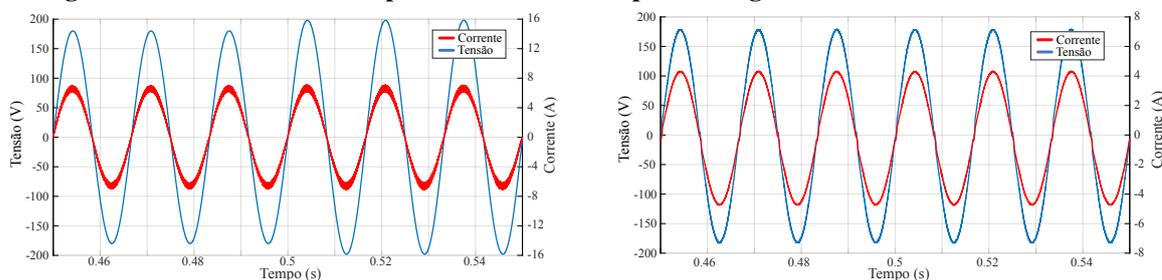


(c) Espectro harmônico para a tensão da carga.

Fonte: Autoria própria.

Por fim, é apresentado pela Figura 88(a) o comportamento da tensão de saída para um fenômeno de sobretensão da rede, onde no instante 0,5 s há um aumento no valor do pico da tensão da rede de 10 %. Como pode ser observado a tensão e corrente entregues à carga não sofrem alteração.

Figura 88 – Tensão e corrente para a rede elétrica e para a carga durante evento de sobretensão.



(a) Rede elétrica.

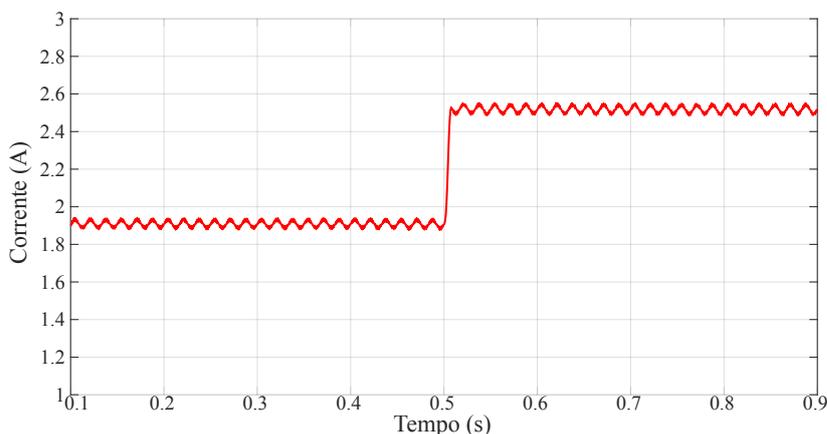
(b) Carga.

Fonte: Autoria própria.

Outro ponto a ser mencionado durante este teste é a corrente de carga das baterias, apresentado na Figura 89. Quando ocorre o distúrbio (0,5 s), há o aumento da corrente de carga das baterias. Isso ocorre justamente por conta da estrutura de controle utilizada, a qual limita

a corrente em um determinado valor, para garantir que o retificador opere na faixa de potência projetada. Ao elevar a tensão de entrada, o limite da corrente não é ajustado, fazendo com que o retificador opere em uma potência um pouco mais elevada que a esperada, fazendo com que a corrente de carga das baterias também aumente.

Figura 89 – Corrente média sobre o banco de baterias durante evento de sobretensão.



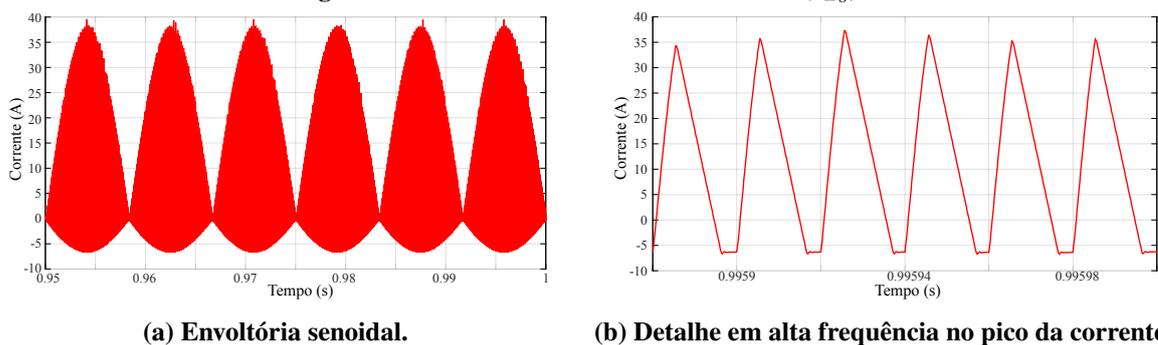
Fonte: Autoria própria.

6.1.1 Formas de onda sob os elementos passivos e ativos

Anteriormente, já foram apresentadas as curvas relacionadas à tensão presente no barramento CC (V_{dc}), tensão de saída (V_{C_f}) e tensão de entrada do retificador ($I_{L_{in}}$), assim, esta seção irá apresentar as curvas de tensão e corrente para os demais elementos do circuito.

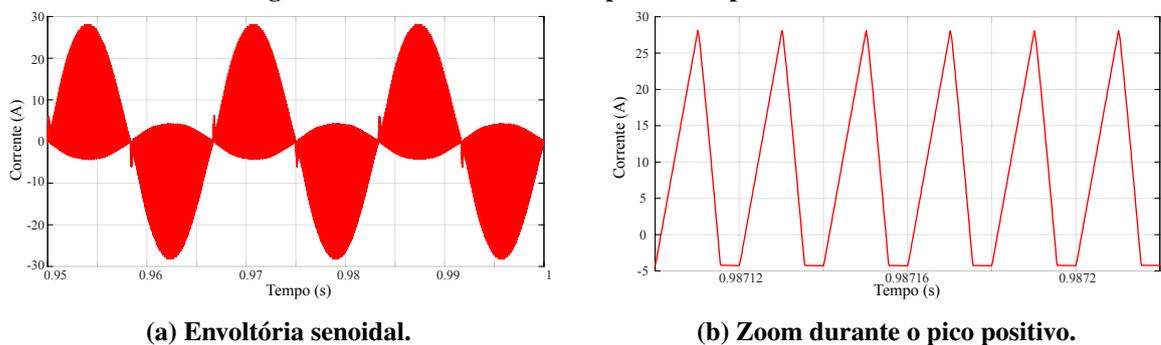
De início, é apresentada a corrente do indutor de saída do retificador (I_{L_o}) na Figura 90(a). Como este indutor possui uma indutância menor que o de entrada, a corrente deste elemento assume um valor negativo em dado instante. É possível observar também que por este elemento possuir uma indutância de baixo valor, apresenta um pico de corrente elevado. No detalhe da corrente é possível observar as três etapas de operação para o retificador, sendo a primeira etapa onde a corrente cresce linearmente, a segunda onde a corrente decresce linearmente, e terceira etapa onde a corrente permanece em um valor mínimo negativo constante. Observando novamente o formato da corrente apresentado, é possível concluir que a corrente sobre este indutor apresenta envoltória senoidal retificada, com uma frequência de 120 Hz. Ao filtrar esta corrente presente sobre este indutor com o capacitor C_{dc} , surge a componente oscilatória existente na tensão do barramento CC.

Assim como para o indutor L_o , o indutor L apresenta a mesma função para o inversor, representando a baixa indutância do conversor. É possível observar também a similaridade entre

Figura 90 – Corrente de saída do retificador (I_{L_o}).**(a) Envoltória senoidal.****(b) Detalhe em alta frequência no pico da corrente.**

Fonte: Autoria própria.

os semiciclos positivo e negativo, reforçando a linearidade do conversor quando este opera em diferentes semiciclos. Como pode ser observado pela primeira imagem (Figura 91(a)), este drena uma corrente com envoltório senoidal, possuindo parte positiva e negativa, diferente do descrito no inversor. Por fim, o detalhe da corrente do indutor L pode ser observada pela Figura 90(b) (Figura 91), onde são apresentadas as três etapas de operação do conversor.

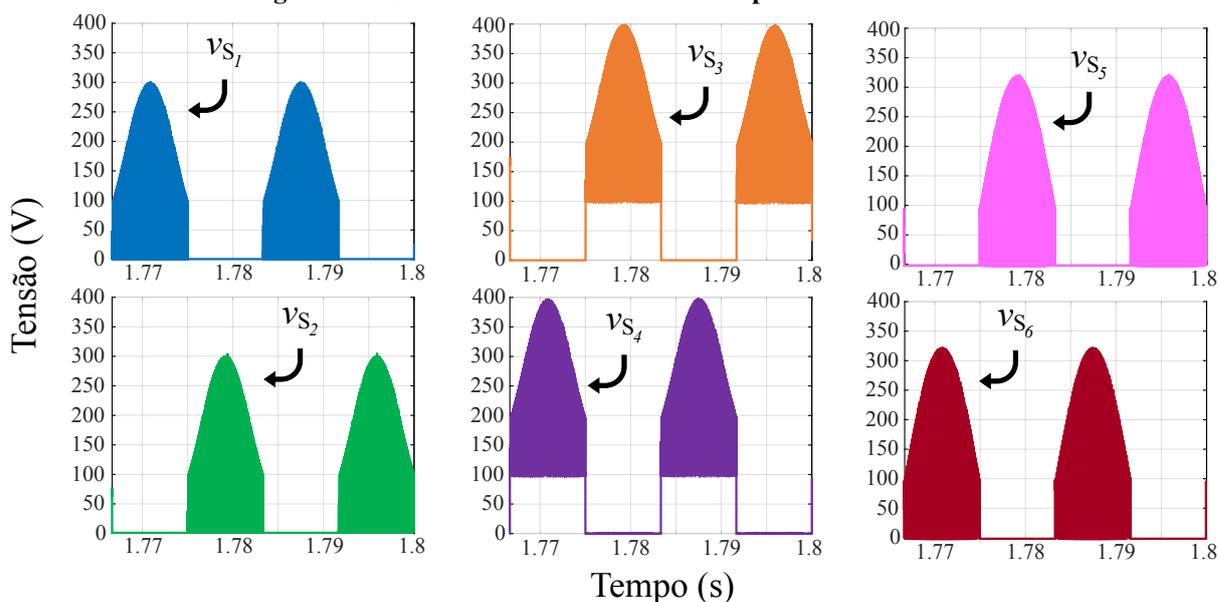
Figura 91 – Detalhe em alta frequência no pico da corrente.**(a) Envoltória senoidal.****(b) Zoom durante o pico positivo.**

Fonte: Autoria própria.

Um fator importante para o estudo de circuitos chaveados é a tensão máxima presente sobre os semicondutores, visto que uma tensão muito elevada pode causar limitações de aplicações ou avarias nos conversores. As Figuras 92 e 93 apresentam as tensões presentes sobre os interruptores dos circuitos da UPS. Como pode ser observado, as tensões presentes sobre estes elementos atingem um valor máximo igual à soma da tensão de entrada e duas vezes a tensão de saída, elevando a tensão em aproximadamente 400 V em $S_{3,4}$, sendo os interruptores em série aos capacitores de acoplamento do retificador. Para o inversor, a maior tensão está presente nos interruptores $S_{9,10}$, sendo estes os que operam em alta frequência nesta estrutura.

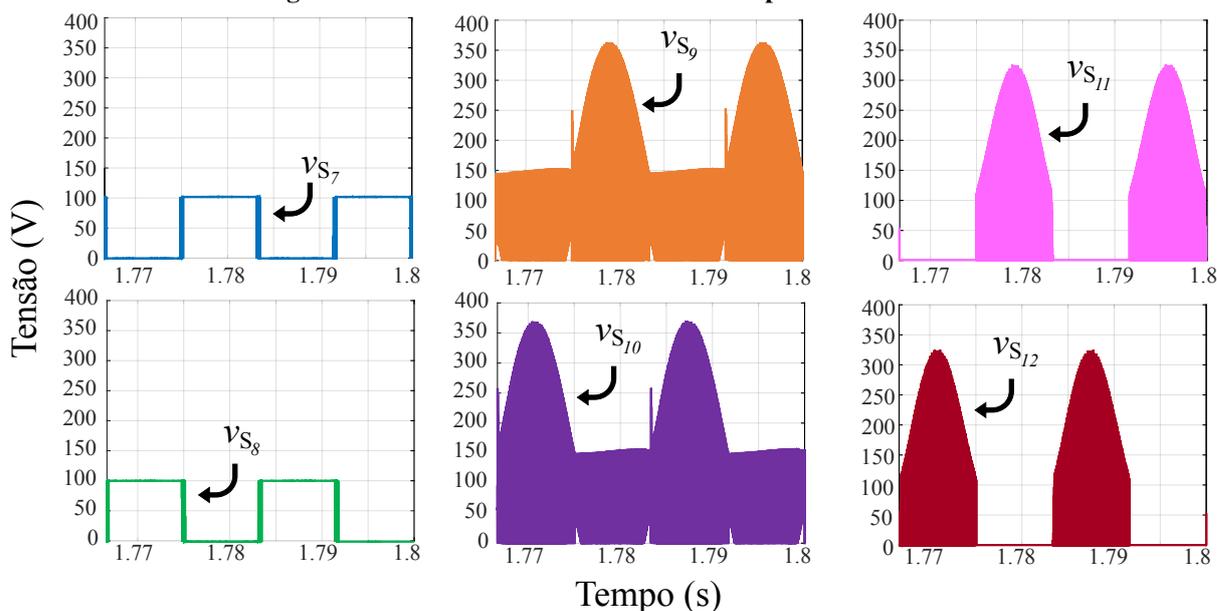
As tensões nos capacitores de acoplamento $C_{1,2,3,4}$ são ilustradas na Figura 94. Como pode ser observado, para os capacitores que operam durante os semiciclos que os conversores

Figura 92 – Tensão máxima sobre os interruptores do retificador.



Fonte: Autoria própria.

Figura 93 – Tensão máxima sobre os interruptores do inversor.

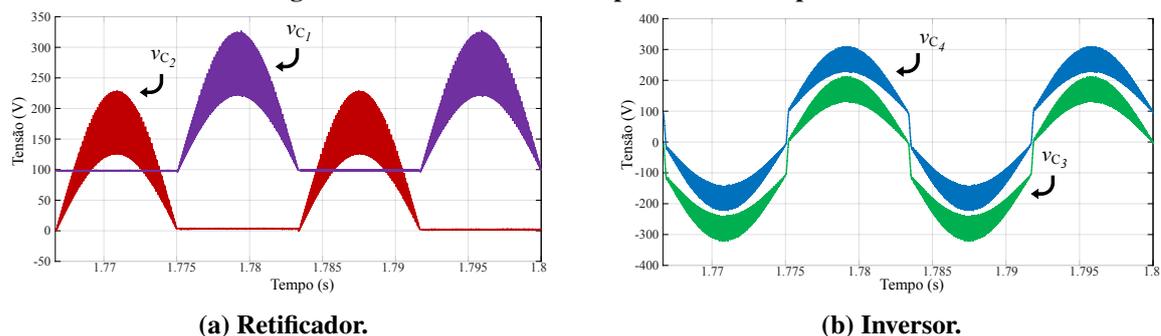


Fonte: Autoria própria.

apresentam funcionamento similar a um conversor $\hat{C}uk$ ($C_{1,3,4}$), estes apresentam uma tensão equivalente à soma da tensão de entrada e tensão de saída mais um *ripple* de tensão. Já para C_2 , o qual opera durante o funcionamento como um circuito SEPIC, este possui uma tensão igual à tensão de entrada do retificador somada a um *ripple* de tensão. Outro ponto que pode ser observado é a troca de semiciclos para os capacitores $C_{3,4}$, onde há uma suavização por conta do acionamento dos interruptores descrito no capítulo anterior.

Anteriormente, na subseção 3.2.1.3 foram desenvolvidos os cálculos relacionados

Figura 94 – Tensão sobre os capacitores de acoplamento.



Fonte: Autoria própria.

às correntes médias e eficazes para os elementos do retificador. Com isto, na Tabela 19 são apresentados os valores teóricos e simulados para as correntes média e eficaz dos indutores e dos semicondutores considerando um período completo da rede elétrica. Como pode ser observado, o erro entre os valores calculados e obtidos por simulação foram baixos, demonstrando que o equacionamento é válido.

Tabela 19 – Tabela de comparação entre corrente simulada e teórica para o retificador SEPIC-Ćuk.

	Teórico (A)	Simulado (A)	Erro (%)
Corrente eficaz indutor L_{in}	4,690	4,683	0,15
Corrente média indutor L_o	6,394	6,202	3,00
Corrente eficaz indutor L_o	12,667	12,650	0,13
Corrente média interruptor $S_{1,2}$	2,133	2,111	1,03
Corrente eficaz interruptor $S_{1,2}$	7,040	7,147	1,52
Corrente média interruptor $S_{3,4}$	1,537	1,544	0,46
Corrente eficaz interruptor $S_{3,4}$	5,479	5,603	2,26
Corrente média interruptor $S_{5,6}$	0,664	0,671	1,05
Corrente eficaz interruptor $S_{5,6}$	1,650	1,680	1,82
Corrente média diodo $D_{S_{1,2}}$	2,133	2,117	0,75
Corrente eficaz diodo $D_{S_{1,2}}$	7,040	7,165	1,78
Corrente média diodo $D_{S_{3,4}}$	1,481	1,559	5,27
Corrente eficaz diodo $D_{S_{3,4}}$	2,742	2,841	3,61
Corrente média diodo $D_{S_{5,6}}$	6,914	6,866	0,69
Corrente eficaz diodo $D_{S_{5,6}}$	12,513	12,460	0,42

Da mesma maneira, na Tabela 20 são apresentados os valores de corrente para os semicondutores e indutores relacionados ao inversor Ćuk integrado. Como pode ser observado, os erros entre os valores teóricos e obtidos por simulação foram baixos, demonstrando também que o equacionamento realizado para o inversor é válido.

Com os resultados obtidos, é possível observar que há uma grande similaridade entre os valores obtidos por simulação e os obtidos pelas expressões desenvolvidas. Com isso, também é possível estimar as perdas e o rendimento para ambos os circuitos, assim como para o sistema completo da UPS, os quais são demonstrados no Apêndice D.

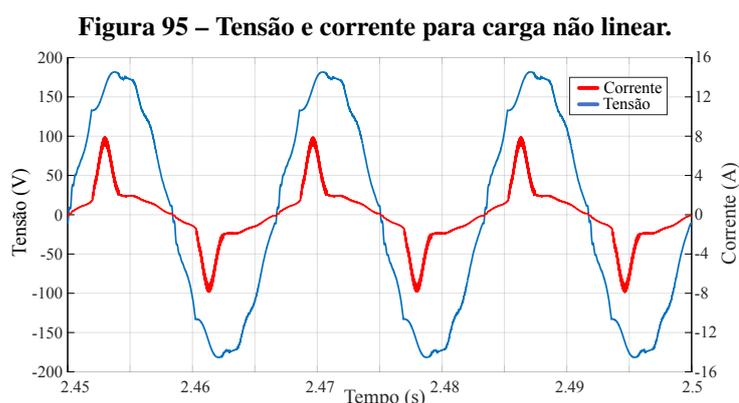
Tabela 20 – Tabela de comparação entre corrente simulada e teórica para o inversor Ćuk integrado.

	Teórico (A)	Simulado (A)	Erro (%)
Corrente eficaz indutor L	9,141	9,217	0,799
Corrente eficaz indutor L_f	3,150	3,189	1,238
Corrente média interruptor $S_{7,8}$	2,609	2,627	0,690
Corrente eficaz interruptor $S_{7,8}$	6,356	6,374	0,283
Corrente média interruptor $S_{9,10}$	2,083	2,123	1,920
Corrente eficaz interruptor $S_{9,10}$	6,241	6,318	1,234
Corrente média interruptor $S_{11,12}$	1,415	1,446	2,191
Corrente eficaz interruptor $S_{11,12}$	4,947	5,037	1,819
Corrente média diodo $D_{S_{7,8}}$	0,490	0,517	5,510
Corrente eficaz diodo $D_{S_{7,8}}$	1,177	1,226	4,163
Corrente média diodo $D_{S_{11,12}}$	1,415	1,451	2,544
Corrente eficaz diodo $D_{S_{11,12}}$	4,947	5,052	2,122

6.2 ENSAIO COM CARGA NÃO LINEAR

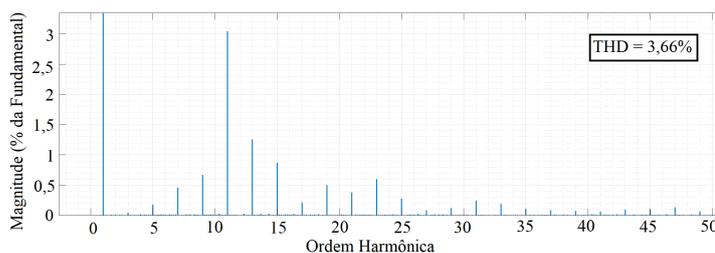
Diversas cargas presentes no dia a dia são cargas que necessitam de uma corrente não linear, como *notebooks*, *smartphones* e *drives* de velocidade ajustável (MAHAJAN *et al.*, 2012). Estas cargas drenam uma corrente não senoidal da rede elétrica, causando problemas e distorcendo a tensão (JALIL; AMIRI, 2020). A carga não linear implementada em simulação consiste em uma carga resistiva de 90Ω em paralelo a um retificador a diodos seguido por um filtro capacitivo de $100 \mu F$ e uma carga resistiva de 200Ω .

A Figura 95 apresenta a corrente de saída do inversor comparada à tensão de saída. Como pode ser observado, a tensão possui um formato senoidal com uma pequena distorção, principalmente no instante em que a carga drena uma corrente mais elevada.



Fonte: Autoria própria.

É apresentada também na Figura 96 a taxa de distorção harmônica para a tensão de saída do inversor com carga não linear. Como pode ser observado, a taxa total de distorção harmônica foi de 3,66%. Outro ponto a ser mencionado é a baixa amplitude das harmônicas onde há o ressonante atuando, demonstrando que a estrutura influenciou na resposta.

Figura 96 – Espectro harmônico para tensão da carga não linear.

Fonte: Autoria própria.

6.3 CONSIDERAÇÕES PARCIAIS

Neste capítulo foram apresentados os resultados de simulação para os conversores operando em conjunto no sistema de UPS proposto. Foram também apresentados resultados quando há avaria no fornecimento de energia pela rede elétrica, simulando casos de interrupção de energia, elevada distorção harmônica e sobretensão.

Como apresentado durante o capítulo, o sistema se comportou de forma satisfatória mediante os distúrbios testados em simulação, demonstrando que este é capaz de oferecer proteção à carga.

Analisando a tensão de saída do inversor e a corrente drenada da rede elétrica, foi possível confirmar o funcionamento dos controladores antes projetados, visto que a corrente drenada da rede elétrica pelo retificador e tensão entregue a carga (mesmo considerando uma carga não linear) apresentam uma baixa taxa de distorção harmônica, assim como amplitudes controladas.

Outro ponto apresentado foram as formas de onda presente sobre os elementos dos conversores. Como pode ser confirmado, o funcionamento destes se assemelham muito aos conversores SEPIC e Ćuk operando no modo de condução descontínuo, sendo sua principal diferença o envoltório senoidal presente devido à tensão de saída ser CA. Pôde-se também confirmar o funcionamento satisfatório do acionamento de interruptores do inversor, o qual foi alterado para mitigação em um problema gerado pela estrutura, como apresentado na subseção 5.1.2.2.

Por fim, foi apresentado uma tabela comparando os valores de corrente eficaz para os semicondutores e para os indutores presentes na UPS, e como pôde ser observado, a análise teórica foi fiel à simulação, onde o maior erro foi de 5,51% sobre a corrente que flui pelo diodo

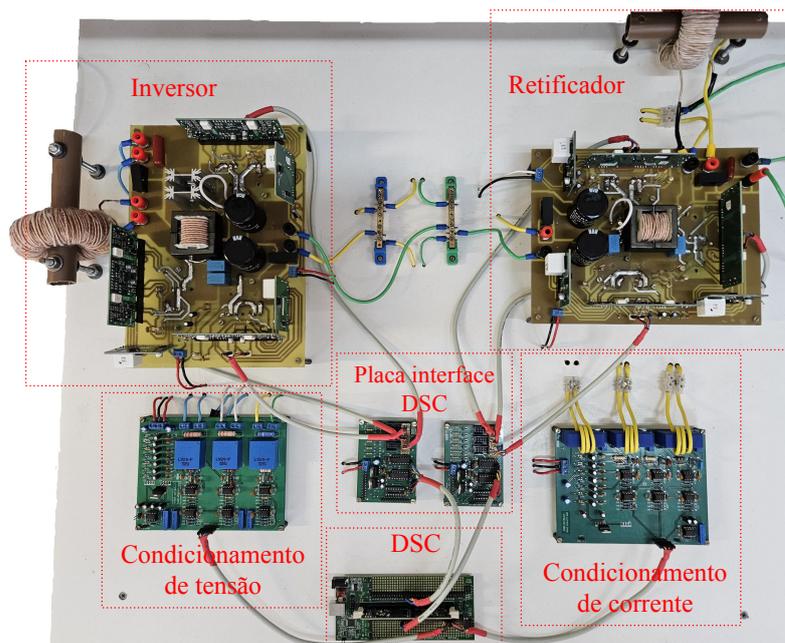
$D_{S_{7,8}}$.

7 RESULTADOS EXPERIMENTAIS

Para a obtenção dos resultados experimentais da estrutura de UPS proposta, foram montados os protótipos dos conversores estáticos propostos, assim como as placas de aquisição de sinais e acionamento dos interruptores de potência. O acionamento dos interruptores foi realizado por meio dos *drivers* DRO100D25A e DS320-08A (Supplier), os semicondutores de potência utilizados para os testes iniciais foram o interruptor IRG4PC50UD e diodo 30ETH06 (*International Rectifier*). As características de um banco de baterias composto por oito baterias de 12 V e 3 Ah associados em série com tensão nominal de 96 V e estado de carga em 70% foram emuladas a partir de um emulador de baterias presente nas funcionalidades da fonte CC bidirecional IT6012C-800-50 (*Itech*) em conjunto com o *software* IT9000 (*Itech*).

O sensoriamento das grandezas de tensão e corrente foram obtidos a partir de uma placa de aquisição de sinais que emprega transdutores de efeito Hall (*LEM*). A parte de algoritmos e controladores foram embarcadas no controlador digital de sinais (DSC) TMS320F28335 e *software* Code Composer Studio (*Texas Instruments*). A aquisição de resultados foi realizada por meio de três equipamentos, sendo o osciloscópio digital de quatro canais isolados modelo RTH1000 (*Rohde & Schwarz*), analisador de potência de quatro canais WT3000 (*Yokogawa*) e analisador de qualidade de energia Fluke 435-II (*Fluke*).

Figura 97 – Foto do protótipo.

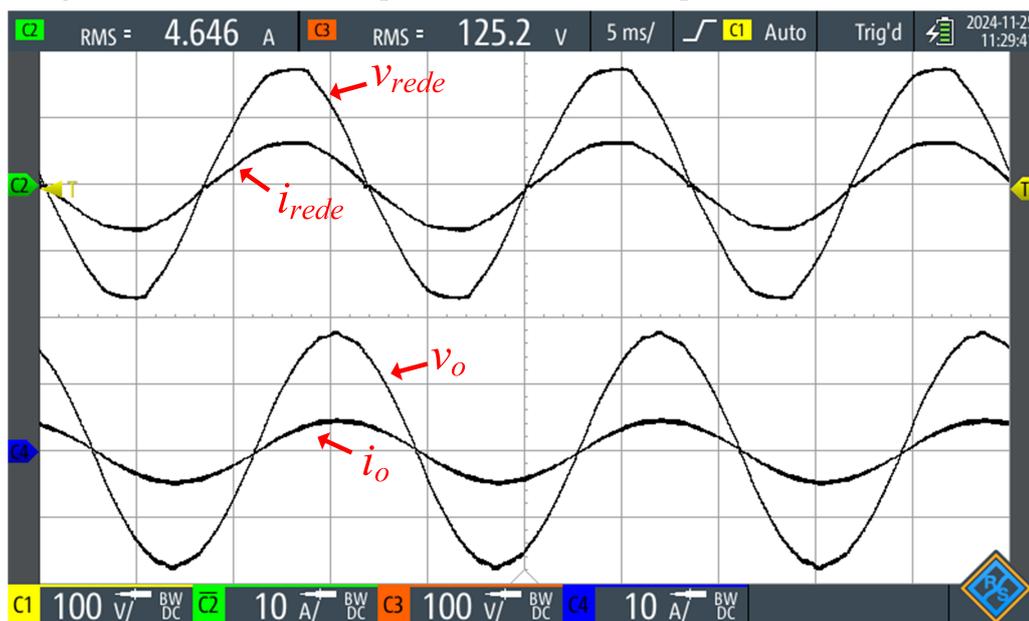


Fonte: Autoria própria.

7.1 RESULTADOS EXPERIMENTAIS PARA A UPS

De início, os testes foram realizados com uma carga linear resistiva R , a qual faz com que o inversor opere em potência nominal. A Figura 98 apresenta a tensão e corrente de entrada (rede), e tensão e corrente de saída (carga) para a operação em modo normal da UPS, onde a rede está presente e supre a energia do inversor e do carregamento das baterias.

Figura 98 – Tensão e corrente para a saída do inversor e para a entrada do retificador.



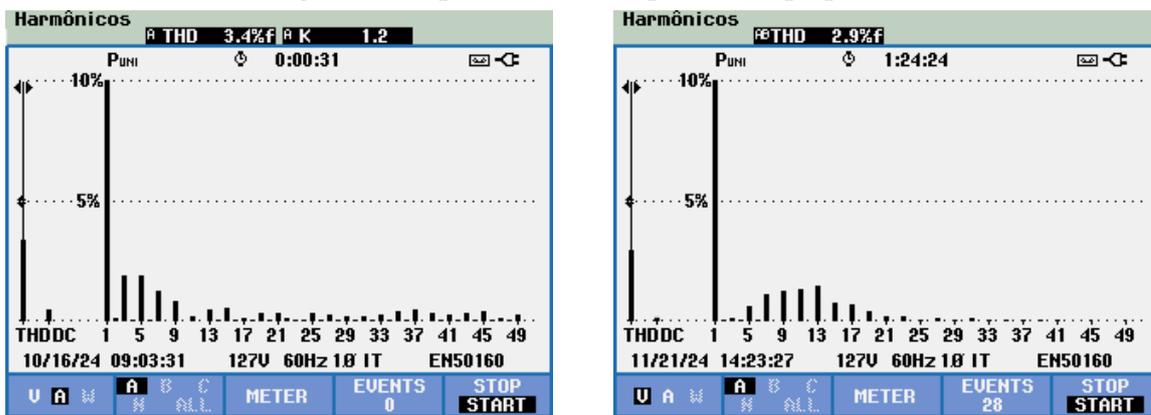
Fonte: Autoria própria.

Como pôde ser observado, a estrutura foi capaz de drenar energia da rede elétrica e fornecer energia para uma carga resistiva. É interessante destacar também que em uma UPS de dupla conversão não há o sincronismo entre a tensão da rede elétrica e a tensão entregue à carga, desta maneira, pode ser visto que as tensões possuem uma defasagem entre si.

Outro ponto a ser destacado são as taxas de distorção harmônica para a corrente drenada da rede elétrica e para a tensão entregue à carga, onde ambos os valores devem permanecer com valor reduzido, cumprindo o estipulado pelas principais normas, como IEEE 519.

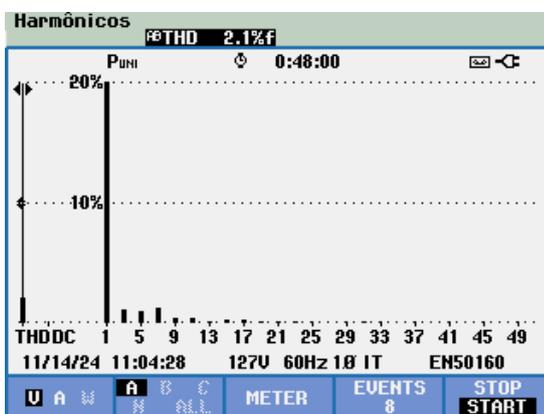
A partir da Figura 99, é possível concluir que o sistema foi capaz de drenar uma corrente com baixo conteúdo harmônico da rede elétrica (3,4 %) e suprir a carga resistiva com uma tensão também baixa em conteúdo harmônico (2,9 %). Como apresentado durante o capítulo de simulações, a distorção da tensão elétrica existente na rede interfere na distorção da corrente drenada da rede, devido a estrutura de PLL utilizada, justificando o valor maior que o apresentado naquele capítulo. Pode-se destacar também o comportamento do espectro harmônico da tensão

Figura 99 – Espectro harmônico para a UPS proposta.



(a) Espectro harmônico da corrente drenada da rede elétrica.

(b) Espectro harmônico da tensão entregue a carga.



(c) Espectro harmônico da tensão da rede.

Fonte: Autoria própria.

de saída do inversor, o qual, devido ao uso de controlador PI em conjunto ao múltiplo ressonante, apresenta um baixo conteúdo para as ordens mais baixas, como terceira e quinta.

Figura 100 – Tensão e corrente da rede e tensão e corrente da carga para um evento de interrupção de alimentação.



(a) Interrupção do fornecimento.

(b) Retomada do fornecimento.

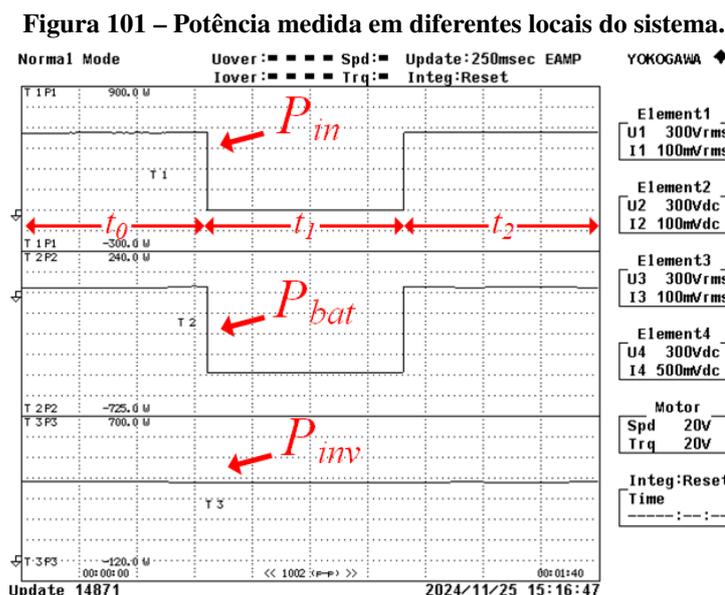
Fonte: Autoria própria.

Analisando agora o funcionamento da UPS ao ocorrer uma falha na rede elétrica, tem-se

a Figura 100 que apresenta o comportamento da tensão e corrente da rede elétrica e tensão e corrente da carga durante um evento de interrupção de fornecimento de energia.

Com a Figura 100 pôde ser concluído que a UPS apresenta funcionamento satisfatório quando há a interrupção de fornecimento de energia, apresentando um tempo nulo entre a troca dos modos de operação, assim como uma transição imperceptível pela carga, onde a tensão permanece inalterada antes, durante e depois do evento de interrupção de fornecimento.

Na Figura 101, são apresentadas as potências medidas da entrada do retificador (rede elétrica), banco de baterias e saída do inversor (carga) para o teste de interrupção e retomada de energia. Durante este teste, no instante inicial (t_0) a rede elétrica apresentava funcionamento normal, fornecendo energia para o sistema. Durante esta etapa, a potência sobre o banco de baterias apresenta uma baixa amplitude positiva, indicando que o banco de baterias está recebendo energia e operando em estado de carga. Posteriormente, o sistema passa para o segundo período de operação, onde a rede elétrica interrompe o fornecimento de energia (t_1). Durante esta etapa de operação, a potência da rede elétrica vai a zero, e o fluxo de corrente sobre as baterias se inverte, indicando que estas estão descarregando para fornecer energia para o inversor. Por fim, a rede elétrica volta a fornecer energia (t_2), fazendo com que a potência presente na rede volte a potência nominal do retificador e a potência do banco de baterias volte à ser positiva com uma baixa amplitude, indicando que a corrente voltou ao sentido original, de carregamento das baterias.



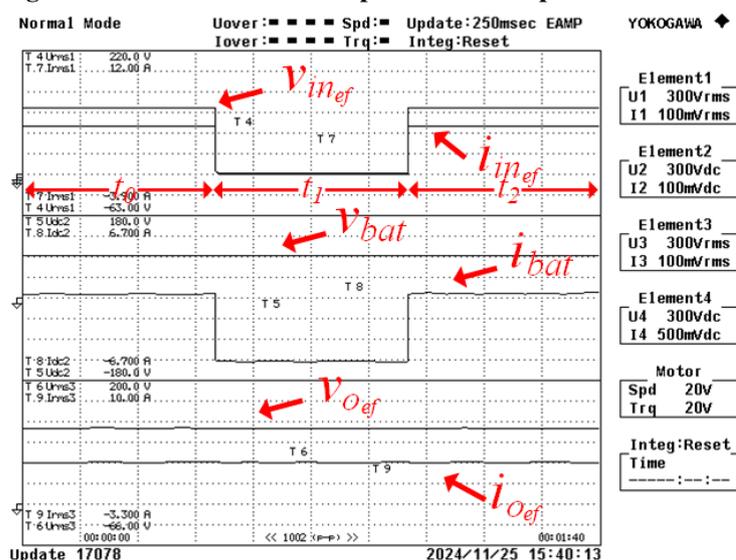
Fonte: Autoria própria.

Como pôde ser observado na Figura 101, durante todo o período de teste a potência

entregue à carga se manteve constante, demonstrando que mesmo com a rede apresentando operação fora da faixa padrão, a energia entregue à carga permanece constante e de qualidade.

Realizando o mesmo teste que anteriormente, porém agora medindo a tensão e corrente para a rede elétrica, para o banco de baterias e para a carga, tem-se a Figura 102. É possível observar também que para o primeiro intervalo de operação, a rede apresenta um valor eficaz de corrente e tensão, o qual vai a zero durante o segundo período e volta ao seu valor nominal posteriormente. Já a tensão média das baterias permanece constante durante todo o teste, sendo que somente a corrente média destas se alteram, onde em um primeiro instante permanece positiva, indicando carregamento das baterias, posteriormente negativa, indicando descarregamento e, por fim, volta a ser positiva. Novamente, as medidas referentes à carga permanecem constantes durante todo o período de teste.

Figura 102 – Tensão e corrente para diferentes pontos do sistema.

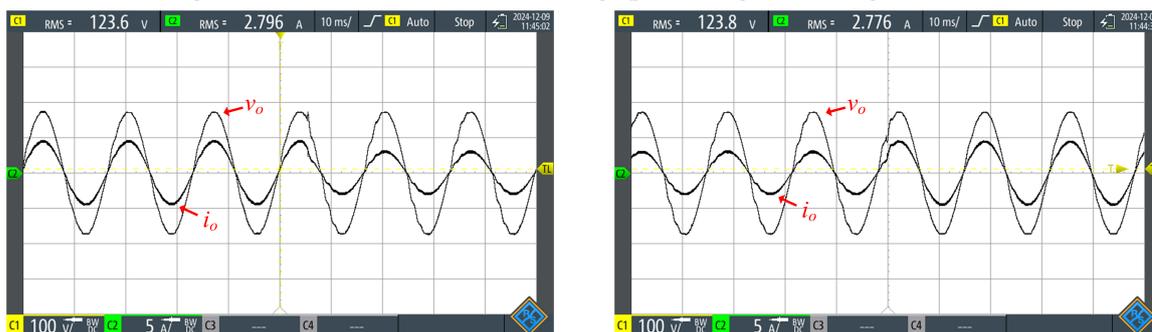


Fonte: Autoria própria.

Para validar o controle utilizado na estrutura do inversor, foram realizados testes com carga não-linear e degrau de carga resistiva. A Figura 103 apresenta a resposta do inversor para um degrau de carga, onde é possível observar que o controle foi capaz de manter a tensão nos parâmetros designados. Após a transição entre cargas, é possível observar uma distorção existente na tensão de saída do inversor, isso se dá pelo pelo controle ressonante apresentar um tempo relativamente mais lento para ajuste, levando alguns ciclos para se estabelecer e possuir uma distorção menor.

Por fim, é apresentado também a tensão e corrente para uma carga não-linear alimentada pelo inversor. Este tipo de carga apresenta um elevado conteúdo harmônico em sua corrente,

Figura 103 – Tensão e corrente da carga para o degrau de carga resistiva.



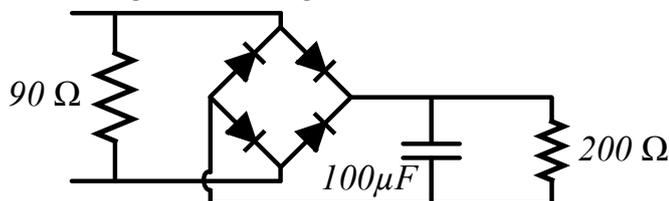
(a) 70% para 100% da potência nominal.

(b) 100% para 70% da potência nominal.

Fonte: Autoria própria.

fazendo com que o controle possua dificuldade em manter a tensão senoidal com baixa taxa de distorção harmônica. A Figura 105 apresenta a tensão e corrente da saída do inversor para uma carga não-linear composta por uma resistência de $90\ \Omega$ em paralelo a um retificador ponte completa a diodos, a qual a carga é composta por um capacitor de $100\ \mu\text{F}$ e um resistor de $200\ \Omega$, como apresentado na Figura 104. Esta carga possui uma corrente com um total de 57,70% de THD.

Figura 104 – Carga não linear utilizada.



Fonte: Autoria própria.

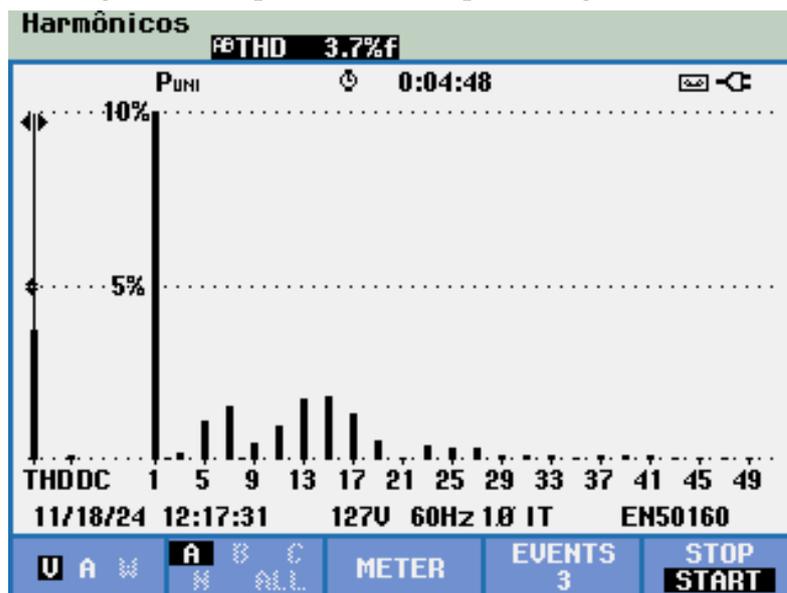
Figura 105 – Tensão e corrente presente sobre a carga não linear.



Fonte: Autoria própria.

Como pode ser observado, o controle foi capaz de controlar uma tensão senoidal sobre a carga mesmo esta apresentando características não lineares. Para uma análise mais quantitativa, a Figura 106 apresenta a THD da tensão do inversor para a carga não linear apresentada, e como pode ser observado, esta permaneceu em um valor dentro das principais normas sobre qualidade de energia.

Figura 106 – Espectro harmônico para a carga não linear.



Fonte: Autoria própria.

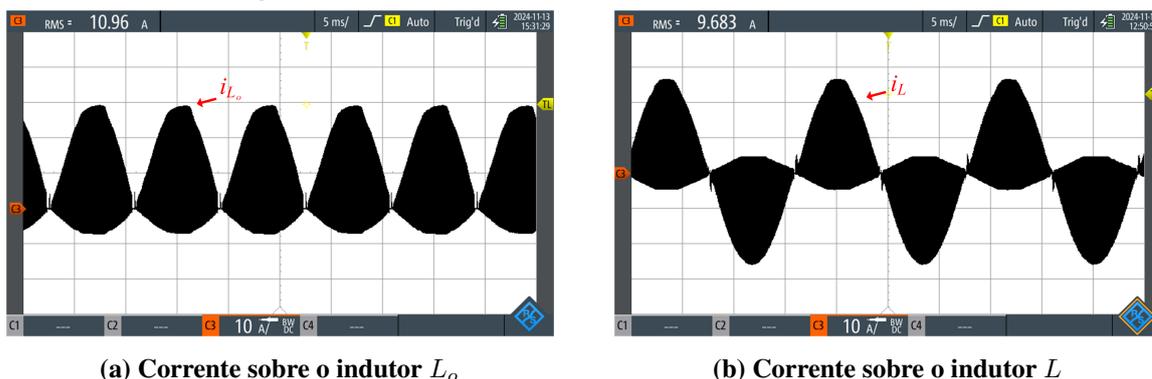
7.2 FORMA DE ONDA PARA OS ELEMENTOS PASSIVOS E SEMICONDUTORES

Da mesma maneira realizada para o capítulo de simulações, são apresentados os resultados de forma de onda para os elementos passivos e ativos presentes nos conversores.

Primeiramente, a Figura 107 apresenta as correntes referentes aos indutores de baixa indutância presentes nas estruturas (L e L_o). As correntes que fluem por estes elementos apresentam envoltório senoidal, por se tratarem de conversores que convertem uma tensão alternada em contínua no caso do retificador, e contínua em alternada no caso do inversor.

É apresentado também o detalhe da corrente sobre os indutores para o pico da tensão de entrada, na Figura 108. Como descrito até então, os conversores operam no MCD, fazendo com que a corrente presente sobre o indutor apresente três etapas de operação, a primeira onde o indutor se magnetiza, a segunda onde há a desmagnetização, e a terceira onde há uma corrente constante mínima sobre o indutor. Como apresentado na imagem, fica claro a existência das três etapas de operação para o retificador (Figura 108(a)), já para o inversor (Figura 108(b)) há

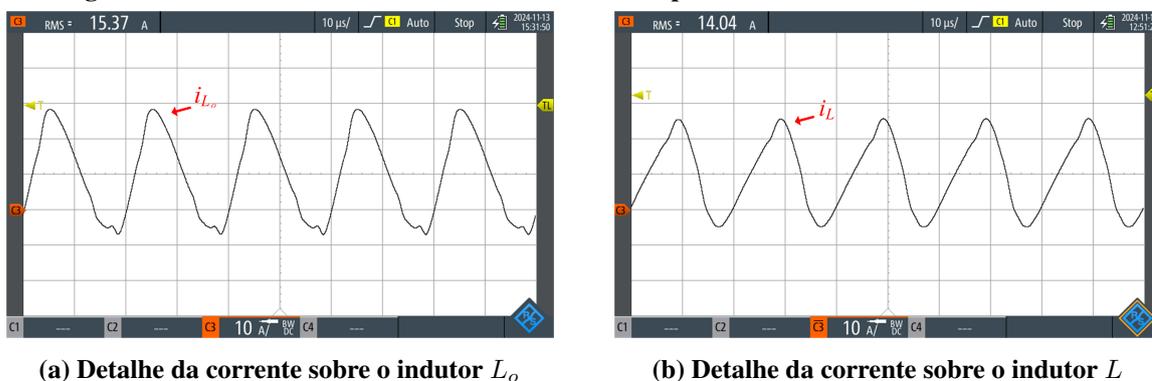
Figura 107 – Corrente sobre os indutores de baixa indutância.



Fonte: Autoria própria.

um pouco de dificuldade para observar a terceira etapa de operação. Isso ocorre por conta da operação do inversor estar muito próxima ao ponto crítico entre o MCD e MCC, fazendo com que a terceira etapa ocorra em um intervalo de tempo muito curto. Além disso, o uso de uma filtragem na aquisição da forma de onda por conta da ponteira utilizada do osciloscópio torna a terceira etapa levemente curvada.

Figura 108 – Detalhe da forma de onda das correntes para os indutores de baixa indutância.



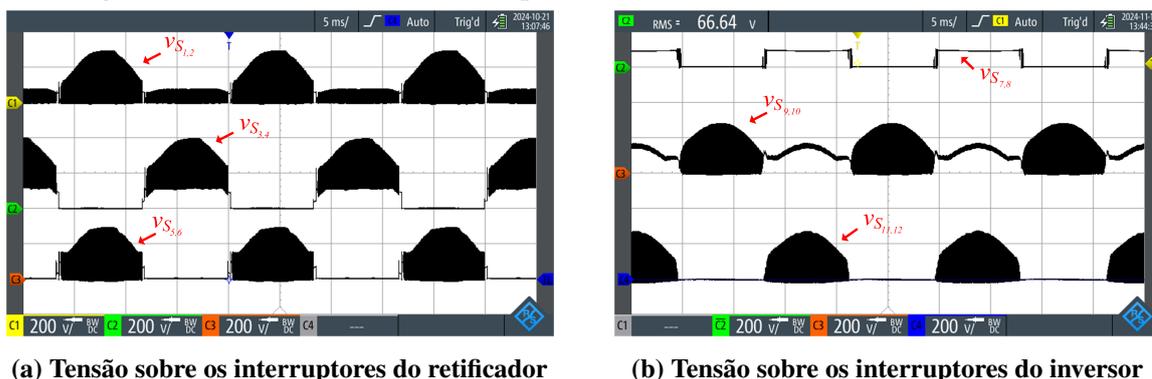
Fonte: Autoria própria.

Um ponto importante a ser avaliado ao implementar conversores na prática são as tensões presentes sobre os semicondutores, visto que estes componentes podem ser prejudicados por altos níveis de tensão. Mediante isto, foram obtidas as curvas de tensão sobre estes elementos, apresentadas na Figura 109.

Da mesma maneira que realizado anteriormente, a Figura 110 apresenta a tensão presente sobre os diodos na estrutura do inversor.

É importante destacar que a aquisição das tensões sobre os interruptores foi realizada apenas para três dos seis elementos presentes em cada conversor. Isso se dá pela simetria entre as

Figura 109 – Forma de onda da tensão presente sobre os semicondutores dos conversores.



Fonte: Autoria própria.

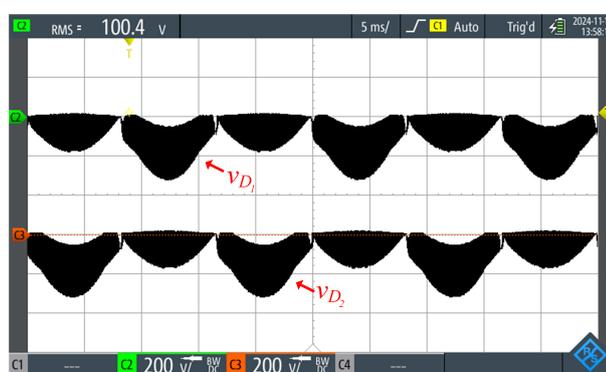
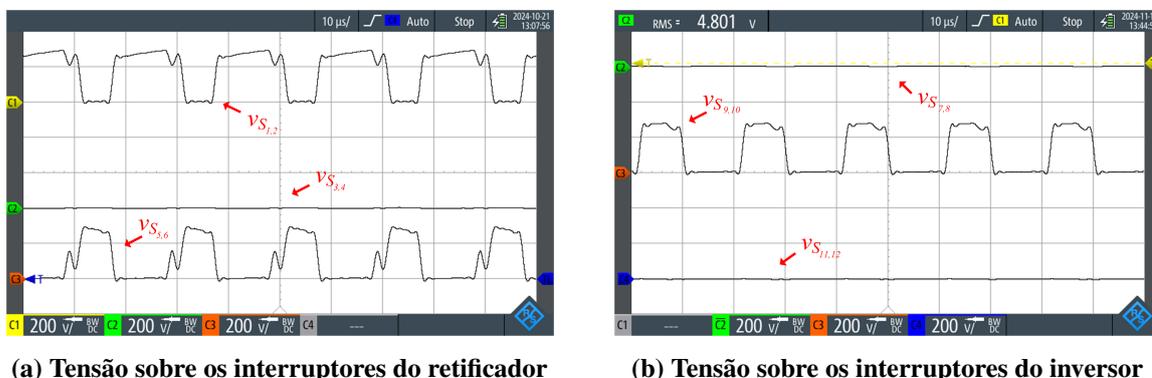


Figura 110 – Tensão sobre os diodos do inversor

etapas de operação, onde os interruptores apresentam o mesmo nível de tensão em semiciclos opostos. Como pôde ser observado, a maior tensão sobre os semicondutores nos conversores foi sobre $S_{3,4}$, permanecendo por volta de 400 V para o pico da tensão de entrada da rede elétrica.

A Figura 111 apresenta o detalhe da tensão sobre os interruptores para o pico positivo da tensão de entrada do retificador e da tensão de saída do inversor.

Figura 111 – Detalhe da forma de onda da tensão presente sobre os semicondutores dos conversores.



Fonte: Autoria própria.

E, da mesma maneira apresentada anteriormente, a Figura 112 apresenta o detalhe da

tensão presente sobre os diodos presentes sobre o inversor da estrutura de UPS.

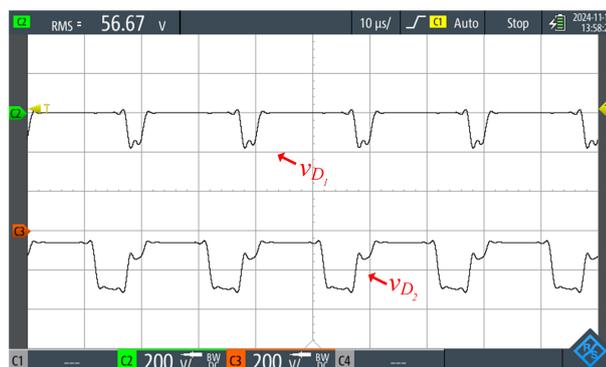
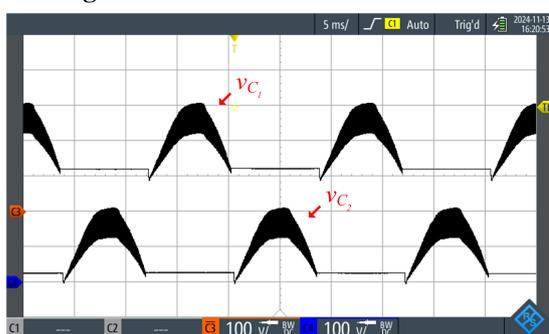


Figura 112 – Tensão sobre os diodos do inversor

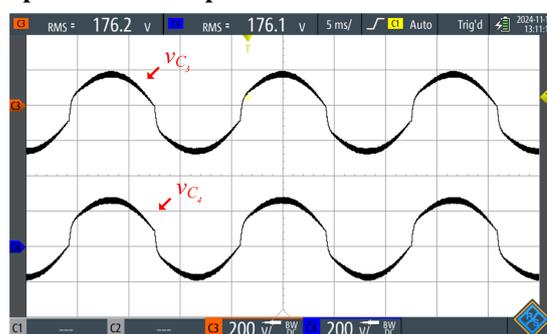
Fonte: Autoria própria.

A Figura 113 apresenta a forma de onda da tensão sobre os capacitores de acoplamento dos conversores. Como pode ser observado, a tensão presente sobre $C_{1,3,4}$ possui amplitude igual a soma da tensão de entrada e tensão de saída, enquanto C_2 possui amplitude igual a somente a tensão de entrada.

Figura 113 – Forma de onda da tensão sobre os capacitores de acoplamento dos conversores.



(a) Tensão sobre os capacitores do retificador.



(b) Tensão sobre os capacitores do inversor.

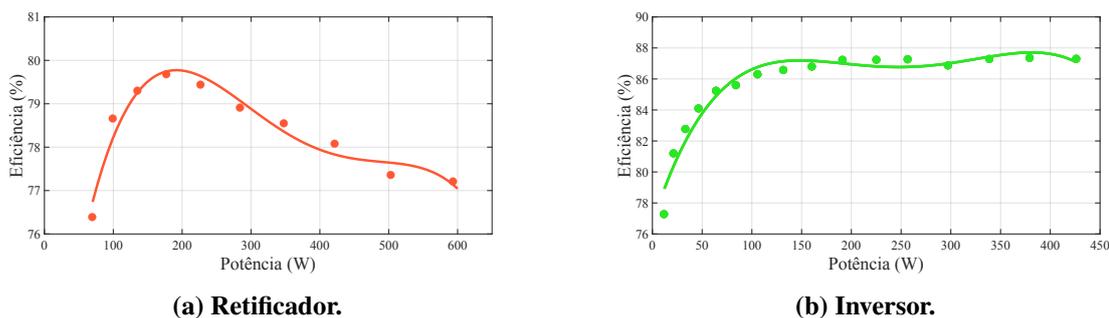
Fonte: Autoria própria.

Por fim, são apresentadas as curvas das eficiências obtidas experimentalmente para ambos os conversores, como pode ser observado na Figura 114.

Vale destacar que as eficiências foram obtidas a partir de semicondutores de silício, os quais possuem limitações relacionadas a perdas. Estes tipos de semicondutores apresentam perdas ligeiramente maiores, principalmente devido a comutação (tempo elevado para bloqueio e acionamento) e condução (queda de tensão geralmente maior quando comparada a MOSFETs).

Pode-se destacar que a eficiência do inversor apresentou um valor satisfatório e con-
dizente com os valores obtidos no Apêndice D, porém, quando avaliada a eficiência obtida

Figura 114 – Eficiência experimental obtida a partir das montagens práticas.



Fonte: Autoria própria.

experimentalmente para o retificador, é possível observar que esta apresentou um valor abaixo do estimado teoricamente, apresentando valores não tão satisfatórios.

7.3 CONSIDERAÇÕES PARCIAIS

Este capítulo apresentou os principais resultados experimentais para os conversores operando no sistema de UPS proposto, além de apresentar também os resultados quando há uma interrupção no fornecimento de energia.

Como pôde ser observado, o sistema se comportou como o esperado para uma UPS *online*, demonstrando que quando há a interrupção de energia, o sistema é capaz de manter uma carga energizada sem apresentar tempo de transferência entre os modos de operação normal e *backup*, além de apresentar tanto uma corrente drenada da rede elétrica quanto uma tensão entregue à carga de qualidade, visto a baixa THD para ambas as medidas.

Ao comparar os resultados experimentais com os resultados obtidos em simulação, é possível notar alguma diferenças, sendo as principais relacionadas aos valores de THD e amplitude dos valores de corrente. Isso ocorre por conta das idealidades do ambiente de simulação, o qual não considera todos os fatores existentes na prática para realizar os cálculos, sendo o principal ponto a ausência das perdas de potência sobre os elementos do circuito, como perdas por condução e acionamento nos semicondutores, e perdas por efeito joule nos indutores.

Outro ponto a ser mencionado que possui divergência com o discutido teoricamente é a eficiência estimada para o retificador apresentado. A eficiência estimada para este conversor operando em potência nominal foi de aproximadamente 88%, enquanto experimentalmente a eficiência obtida foi de aproximadamente 77%.

Apesar das pequenas diferenças existentes nestes pontos, os elementos dos conversores

apresentam formas de onda muito próximas às observadas durante a simulação, demonstrando fidelidade ao que foi discutido anteriormente.

Por fim, é interessante destacar o bom funcionamento do método de comutação dos interruptores do inversor, os quais apresentavam um problema durante a troca do semiciclo da saída, sendo totalmente mitigada, como pôde ser observado pelos resultados.

8 CONCLUSÕES

Este trabalho de dissertação apresentou um novo sistema UPS empregando dois novos conversores, sendo um retificador baseado nas estruturas clássicas SEPIC e Ćuk e um inversor baseado no conversor Ćuk clássico. Durante o Capítulo 2 foram apresentadas algumas estruturas de UPS e comparadas com a estrutura desenvolvida neste trabalho, pontuando algumas das principais diferenças, como tensão presente sobre o barramento, número de elementos passivos e número de semicondutores.

Foi apresentado para ambos os conversores o equacionamento pertinente relacionado às correntes médias e eficazes que fluem pelos semicondutores e indutores, assim como o equacionamento relacionado ao projeto dos elementos passivos.

Posteriormente, foi apresentada a estrutura de controle que é responsável por controlar ambos os conversores presentes na UPS, sendo encarregado tanto de drenar uma corrente senoidal da rede elétrica, quanto realizar o carregamento das baterias presentes no barramento e controlar a tensão de saída entregue à carga.

Foram também apresentados os resultados de simulação, os quais demonstraram que as estruturas são capazes de realizar o objetivo as quais foram designadas, visto que há o carregamento do banco de baterias, a drenagem de uma corrente senoidal e com baixa THD da rede, assim como há o controle da tensão de saída para a carga.

Durante os testes em simulação, foram aplicados alguns distúrbios relacionados à qualidade de energia elétrica na rede, sendo eles a interrupção do fornecimento de energia, e a presença de harmônicos de tensão e de sobretensão. Para todos os casos a UPS foi capaz de permanecer fornecendo uma tensão com baixa THD e com amplitude e frequência controladas para a carga.

Com os testes em simulação, foi possível observar outros pontos em que a UPS pode ser melhorada, como o uso de um algoritmo PLL que seja capaz de filtrar os distúrbios da tensão de entrada antes de gerar a referência para o controle, fazendo com que oscilações da rede elétrica não interfiram negativamente na THD da corrente drenada pelo retificador.

Outro ponto observado durante os testes foram para fenômenos de subtensão e sobretensão. Durante o projeto dos elementos passivos e cálculos para os conversores, não foi considerado estes fenômenos, o que poderia, por exemplo, causar uma mudança de modo de operação nos conversores, dependendo da relevância destes distúrbios.

Durante o Capítulo 6 também foi apresentada uma tabela comparando os valores teóricos e simulados de correntes médias e eficazes para os semicondutores e indutores de ambos os conversores. Os valores permaneceram próximos, onde apenas o erro da corrente média sobre os diodos $D_{S7,8}$ apresentou divergência. Os erros calculados nesta tabela demonstraram que o equacionamento realizado para cálculo das correntes possui coerência com os valores simulados.

Por fim, o Capítulo 7 apresentou os resultados obtidos a partir da montagem prática da UPS, onde foi possível validar o seu funcionamento para o objetivo designado, ou seja, de fornecer uma energia de qualidade para uma carga mesmo com distúrbios presentes na rede elétrica. Foi possível também validar as formas de onda dos elementos passivos para ambos os conversores, demonstrando a coerência da análise teórica feita nos capítulos anteriores.

Para o inversor, foi possível também validar experimentalmente o método de comutação empregado para mitigar o problema gerado na troca de semiciclos, onde devido a uma mudança abrupta da tensão sobre o capacitor, este gera um pico indesejado de corrente sobre o indutor de entrada. Como pôde ser observado no capítulo de resultados experimentais, o problema foi resolvido integralmente, sem gerar outros problemas, como aumento de tensão ou corrente sobre os semicondutores.

Com os valores das correntes calculados, foi possível também estimar as perdas vinculadas à condução, bloqueio e comutação para ambos os conversores, os quais foram desenvolvidos no Apêndice D. Observando estes resultados, conclui-se que ambos os conversores possuem uma eficiência estimada satisfatória, sendo que para o projeto apresentado (96 V no barramento) as eficiências para o retificador e para o inversor foram de 88,79% e 88,70% respectivamente, considerando semicondutores de silício. Agora, considerando semicondutores SiC, as eficiências para os conversores foram de 93,47% e 94,69%, respectivamente. Além disto, foi realizada a análise para o caso de ser utilizada uma tensão de barramento maior que a estipulada em projeto, elevando o número de baterias empregadas. Considerando um caso em que sejam utilizadas doze baterias (144 V), são estimadas as eficiências para o retificador e para o inversor como 94,81% e 96,50%, respectivamente.

Diante das eficiências estimadas para ambos os conversores, foi possível concluir durante o Capítulo 4 que para este quesito, o sistema clássico apresenta vantagem quando comparado com o sistema proposto, apresentando eficiências melhores tanto para o retificador quanto para o inversor. Apesar disto, é importante destacar que para a UPS tradicional é necessário o uso de um número maior de baterias, até um ponto que o barramento possua uma tensão

superior a 180 V, enquanto que para o sistema proposto é possível reduzir a tensão de operação do barramento e, conseqüentemente, reduzir o número de baterias a serem empregadas. Para a diminuição do número de baterias utilizadas em um sistema clássico, seria necessário o uso de um conversor CC/CC bidirecional entre o barramento e as baterias, o qual realizaria a adequação dos níveis de tensão de um para o outro. Caso esta solução seja adotada, existem as desvantagens de que seria necessário a implementação de mais um conversor, aumentado no mínimo dois interruptores de potência, um capacitor e um indutor, além da necessidade de mais sensores de tensão e corrente, visto que a função de controlador de carga seria realizado agora por este conversor, e não pelo retificador. Isso implicaria ainda em uma diminuição da eficiência do sistema como um todo.

Ao analisar a eficiência prática obtida a partir da montagem, é possível observar que a eficiência relacionada ao inversor apresentou veracidade com a estimada teoricamente, permanecendo em um valor próximo ao calculado, porém, ao analisar a eficiência prática do retificador, pôde-se observar que esta não apresenta tanta similaridade à calculada, permanecendo em um valor abaixo da calculada.

Analisando como um todo, conclui-se que o sistema proposto se apresenta como uma alternativa para a implementação de sistemas de UPS de dupla conversão para potências reduzidas, apresentando a funcionalidade similar ao sistema clássico. A principal vantagem encontra-se na possibilidade de redução da tensão no barramento CC e, conseqüentemente, a diminuição da quantidade de baterias conectadas em série, possibilitando uma diminuição de volume, peso e custo.

8.1 TRABALHOS FUTUROS

Alguns pontos do trabalho possuem margem para melhorias, e esta seção irá apresentar alguns dos passos futuros que podem ser realizados como tentativa de resolver alguns problemas encontrados durante o decorrer do trabalho.

A eficiência apresentada para as estruturas dos conversores não foi tão elevada. Diante disto, esta pode ser avaliada novamente com diferentes semicondutores, tentando da melhor maneira possível minimizar as perdas nos componentes por condução e comutação. Levando em conta este ponto, seria relevante avaliada a troca dos diodos em antiparalelo aos interruptores S_5 e S_6 por diodos que possuam uma resistência interna menor, assim como uma menor tensão de polarização direta e uma troca dos interruptores que comutam em alta frequência, por

interruptores que possuam perdas por comutação reduzida. Isso se dá por conta destes elementos terem apresentado os maiores valores de perdas entre todos.

Ainda sobre a eficiência, é necessário investigar a implementação prática do retificador, a qual apresentou uma eficiência muito abaixo da estimada, não condizendo com as perdas calculadas no Apêndice D.

Outro ponto que pode ser revisado e melhorado é o projeto dos elementos passivos para o retificador, o qual pode levar em conta mais pontos, como os distúrbios presentes na rede elétrica, assim garantindo que a UPS se comporte como o desejado em uma gama maior de situações.

Como estudo futuro, seria possível considerar uma estrutura de PLL diferente, a qual possua filtragem para a tensão medida da rede elétrica, fazendo com que essas variações não interfiram na geração da referência, mitigando o problema observado nos testes em simulação e reduzindo a THD da corrente drenada pelo retificador.

Como descrito durante o trabalho, o MCC proporciona uma maior facilidade em projetar uma estrutura de controle, devido sua resposta em frequência, a qual torna-se simplificada e possível de ser controlada com estruturas mais simples de controle, como o PI. Seria possível estudar uma possibilidade e uma estrutura de controle que seja viável a troca de modo de condução dos conversores para o MCC. Desta maneira seriam reduzidos os níveis de corrente pelos elementos semicondutores, reduzindo também as perdas por condução, o que poderia gerar uma maior eficiência. Outro ponto que o MCC possui vantagem em relação ao MCD é que este não possui limitação de potência.

A estrutura retificadora monofásica apresenta uma oscilação de 120 Hz na tensão e , consequentemente, na corrente do barramento CC, natural deste tipo de sistema. Esta oscilação, dependendo da sua amplitude, pode ser prejudicial para as baterias, diminuindo a vida útil destas durante a recarga. Neste trabalho não foi abordada uma maneira para mitigar os impactos desta oscilação, abrindo margem para a implementação de novos sistemas, sejam físicos ou via controle, que proporcionam uma diminuição na oscilação da corrente e , por fim, um aumento na vida útil das baterias.

REFERÊNCIAS

AAMIR, Muhammad; MEKHILEF, Saad. An online transformerless uninterruptible power supply (ups) system with a smaller battery bank for low-power applications. **IEEE Transactions on Power Electronics**, v. 32, n. 1, p. 233–247, 2017.

AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST**. Brasil, 2020.

AHMAD, Mubashar; ALI, Syed Imran; AAMIR, Muhammad; WAQAR, Asad. Two-stage highly efficient online ups with pfc for high power application. *In: 2018 International Conference on Power Generation Systems and Renewable Energy Technologies (PGSRET)*. [S.l.: s.n.], 2018. p. 1–5.

ARRILLAGA, J.; WATSON, N. R. **Power System Harmonics**. [S.l.]: John Wiley and Sons, 2003. 412 p.

ATAIDE, E. de O. **Baterias recarregáveis**. 2010. Universidade São Francisco. Trabalho de conclusão de curso. Campinas.

BAGGINI, A. **Handbook of Power Quality**. Chichester, England: John Wiley and Sons, 2008. 644 p.

BARBI, I. **MODELAGEM DE CONVERSORES CC-CC EMPREGANDO MODELO MÉDIO EM ESPAÇO DE ESTADOS**. 2014. 219 p.

BARNES, Arthur K.; BALDA, Juan C.; STEWART, Corris M. Selection of converter topologies for distributed energy resources. *In: 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.]: IEEE, 2012. p. 1418–1423.

BARRIVIERA, R. **Sistema UPS Line-Interactive monofásico com compensação ativa ed potência série e paralela**. 2012. 141 p. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, Cornélio Procópio, 2012.

BRASIL, T. A. **Modelagem matemática de algoritmos phase-locked loop baseados em controladores proporcionais integrais e proposta de um novo algoritmo baseado em estratégia fuzzy**. 2013. 124 p. Dissertação (Mestrado) — Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2013.

CAMPANHOL, L. B. G. **Filtro ativo de potência paralelo utilizando inversores monofásicos full-bridge aplicado em sistemas trifásicos a quatro-fios**. 2012. 147 p. Dissertação (Mestrado) — Universidade Tecnológica federal do Paraná, Cornélio Procópio, 2012.

DIONIZIO, A. A. **Análise de topologias de inversores integrados monofásicos empregando conversores Zeta e Cuk**. 2023. 230 p. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, Cornélio Procópio, 2023.

EMADI, A.; NASIRI, A.; BEKIAROV, S. B. **Uninterruptible Power Supply and active filters**. Chicago, U.S.A: CRC Press, 2005. 272 p.

ERICKSON, Robert W. **Fundamentals of Power Electronics**. Colorado, USA: SPRINGER, 1997. 773 p.

FERNANDES, Leonardo Göbel; BADIN, Alceu André; CORTEZ, Daniel Flores; GULES, Roger; ROMANELI, Eduardo Félix Ribeiro; ASSEF, Amauri. Transformerless ups system based on the half-bridge hybrid switched-capacitor operating as ac–dc and dc–dc converter. **IEEE Transactions on Industrial Electronics**, v. 68, n. 3, p. 2173–2183, 2021.

GALOTTO, Luigi J. **Inversores integrados monofásicos aplicados em sistemas fotovoltaicos com conexão à rede de distribuição de energia elétrica**. 2011. 152 p. Tese (Doutorado) — Universidade Estadual Paulista, Ilha Solteira, 2011.

GHOSH, A.; KANDPAL, M. **State-space average Modeling of DC-DC Converters with parasitic in Discontinuous Conduction Mode (DCM)**. 2010. 60 p. Department of Electrical Engineering National Institute of Technology, Rourkela.

GUERRERO, Josep M.; VICUNA, Luis Garcia De; UCEDA, Javier. Uninterruptible power supply systems provide protection. **IEEE Industrial Electronics Magazine**, v. 1, n. 1, p. 28–38, 2007.

HWU, K. I.; TAI, Y. K.; HE, Y. P.; SHIEH, Jenn-Jong. Bridgeless buck-boost pfc rectifier with positive output voltage suitable for led driving. *In: 2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)*. [S.l.: s.n.], 2019. p. 1–3.

ISMAIL, E. H. Bridgeless sepic rectifier with unity power factor and reduced conduction losses. **IEEE Transactions on Industrial Electronics**, v. 56, n. 4, p. 1147–1157, 2009.

JALAN, Subham Kumar; GUPTA, Nitin. Bridgeless boost rectifier as front end converter (fec) in uninterruptible power supply (ups) applications for improving power quality issues. *In: 2019 IEEE 1st International Conference on Energy, Systems and Information Processing (ICESIP)*. [S.l.: s.n.], 2019. p. 1–6.

JALIL, Masoud; AMIRI, Ali. An effective structure of three-phase parallel hybrid active power filter to accurate harmonic elimination. *In: 2020 15th International Conference on Protection and Automation of Power Systems (IPAPS)*. [S.l.: s.n.], 2020. p. 123–129.

JÚNIOR, H. G. **Estudo de controladores aplicados a inversores para UPS com operação ilhada**. 2013. 151 p. Dissertação (Mestrado) — Universidade Estadual Paulista, Bauru, 2013.

KAMRAN, F.; HABELTLER, T.G. A novel on-line ups with universal filtering capabilities. *In: Proceedings of PESC '95 - Power Electronics Specialist Conference*. [S.l.: s.n.], 1995. v. 1, p. 500–506 vol.1.

KARVE, S. Three of a kind: Ups topologies, iec standard. *In: IEE Review*. [S.l.: s.n.], 2000. v. 48, n. 2, p. 27–31.

LAI, J.; KEY, T. S. Comparison of stands and power supply design options for limiting harmonics distortion in power systems. *In: IEEE Transactions on Industry Applications*. [S.l.: s.n.], 1993. v. 29, n. 4, p. 1–3.

LIN, Qiongbín; CAI, Fenghuang; WANG, Wu; CHEN, Sixiong; ZHANG, Zhe; YOU, Shi. A high-performance online uninterruptible power supply (ups) system based on multitask decomposition. *IEEE Transactions on Industry Applications*, v. 55, n. 6, p. 7575–7585, 2019.

LIU, Yonglu; SUN, Yao; SU, Mei. A control method for bridgeless cuk/sepic pfc rectifier to achieve power decoupling. *IEEE Transactions on Industrial Electronics*, v. 64, n. 9, p. 7272–7276, 2017.

MAHAJAN, Vasundhara; AGARWAL, Pramod; GUPTA, Hari Om. Simulation of shunt active power filter using instantaneous power theory. *In: 2012 IEEE Fifth Power India Conference*. [S.l.: s.n.], 2012. p. 1–5.

MAHDAVI, M.; FARZANEHFARD, H. Bridgeless sepic pfc rectifier with reduced components and conduction losses. *IEEE Transactions on Industrial Electronics*, v. 58, n. 9, p. 4153–4160, 2011.

MARTINS, D. C.; BARBI, I. **Conversores CC-CC básicos não isolados**. Florianópolis, Brasil: Eletronica de potência, 2006. 198 p.

MCLENNAN, A.A. Static ups technologies. *In: IEE Colloquium on Uninterruptible Power Supplies*. [S.l.]: IET, 1994. p. 2/1–2/5.

MEDEIROS, L. T.; COSTA, P. R. M. de; SANTOS, Â. M. M. dos; SILVA, L. P. de S.; MOTA, D. de V.; MOREIRA, A. B. Análise da operação do sistema de geração fotovoltaico com conversor

de único estágio conectado à rede elétrica trifásica. *In: VIII Congresso brasileiro de energia solar. [S.l.]: CBENS, 2020.*

MICHELINI, A. **BATERIAS RECARREGÁVEIS PARA EQUIPAMENTOS PORTÁTEIS.** Cotia, SP: S.T.A. – Sistemas e Tecnologia Aplicada Ind. Com. LTDA., 2017. 173 p.

MIDDLEBROOK, R. D.; CUK, Slobodan. A general unified approach to modelling switching-converter power stages. *In: 1976 IEEE Power Electronics Specialists Conference. [S.l.: s.n.], 1976. p. 18–34.*

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics: Converters, Applications, and Design.** [S.l.]: John Wiley and Sons, 2002. 832 p.

OGATA, K. **Engenharia de controle moderno.** 5°. ed. [S.l.]: Pearson Education, 2010.

PINTO, D. A. B. **Implementação de uma UPS Offline Monofásica.** 2012. 108 p. Dissertação (Mestrado) — Universidade do Minho Escola de Engenharia, Guimarães, 2012.

PLATTS, J.; AUBYN, J. S. **Uninterruptible Power Supply.** London, U.K.: Peter Peregrinus Ltd., 1992. 147 p.

RASMUSSEN, Neil. **The Different Types of UPS Systems.** [S.l.], 2010.

RATHMANN, S.; WARNER, H.A. New generation ups technology, the delta conversion principle. *In: IAS '96. Conference Record of the 1996 IEEE Industry Applications Conference Thirty-First IAS Annual Meeting. [S.l.: s.n.], 1996. v. 4, p. 2389–2395 vol.4.*

RODRIGUES, C. L. C. **Técnica de controle de inversores monofásicos de tensão.** 1998. 115 p. Dissertação (Mestrado) — Universidade federal de Minas Gerais, Belo Horizonte, 1998.

SANTOSO, Surya; MCGRANAGHAN, Mark; DUGAN, Roger. **Electrical Power Systems Quality.** Austin, TX: McGraw Hill, 2012. 577 p.

SHI, K; LI, H; HU, C; XU, D. Topology of super uninterruptible power supply with multiple energy sources. *In: 2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia). [S.l.: s.n.], 2015. p. 1742–1749.*

SILVA, E. da. **Desenvolvimento de um retificador boost halfbridge integrado a um conversor CC-CC buck-boost para aplicações em UPS.** 2019. 86 p. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, Curitiba, 2019.

SILVA, Sérgio Augusto de Oliveira. **Sistemas de Energia Ininterrupta Line Interactive Trifásicos com Compensação Ativa de Potência Série e Paralela**. 2001. 219 p. Tese (Doutorado) — Universidade Federal de Minas Gerais, Belo Horizonte, 2001.

SILVA, Sergio Augusto Oliveira da; NOVOCHADLO, Rhodolfo; MODESTO, Rodrigo Augusto. Single-phase pll structure using modified p-q theory for utility connected systems. *In: 2008 IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 2008. p. 4706–4711.

SIMONETTI, D. S. L.; SEBASTIAN, J.; UCEDA, J. The discontinuous conduction mode sepic and cuk power factor preregulators: analysis and design. **IEEE Transactions on Industrial Electronics**, v. 44, n. 5, p. 630–637, 1997.

SOLTER, W. A new international ups classification by iec 62040-3. *In: 24th Annual International Telecommunications Energy Conference*. [S.l.: s.n.], 2002. p. 541–545.

SPITAELS, Jim; ZHANG, Linda; LIN, Paul. **The Different Types of UPS Systems**. [S.l.], 2021.

SUN, Jian; MITCHELL, D.M.; GREUEL, M.F.; KREIN, P.T.; BASS, R.M. Averaged modeling of pwm converters operating in discontinuous conduction mode. **IEEE Transactions on Power Electronics**, v. 16, n. 4, p. 482–492, 2001.

TIBOLA, G. **Conversor CA-CC trifásico único com isolamento em alta frequência baseado no conversor CC-CC sepic operando no modo de condução descontínuo**. 2013. 276 p. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2013.

UEMATSU, T.; IKEDA, T.; HIRAO, N.; TOTSUKA, S.; NINOMIYA, T.; KAWAMOTO, H. A study of the high performance single-phase ups. *In: PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*. [S.l.: s.n.], 1998. v. 2, p. 1872–1878 vol.2.

VAZQUEZ, N.; AGUILAR, C.; ALVAREZ, J.; CACERES, R.; BARBI, I.; ARAU, J. A different approach to build an uninterruptible power supply system with power factor correction. *In: 6th IEEE Power Electronics Congress. Technical Proceedings. CIEP 98 (Cat. No.98TH8375)*. [S.l.: s.n.], 1998. p. 119–124.

VIERO, R. C. **Estudo da modelagem dinâmica de pequenos sinais do conversor Zeta no MCD alimentado a parti de painéis fotovoltaicos para conexão à rede elétrica**. 2011. 136 p. Dissertação (Mestrado) — Pontifícia Universidade Católica do Rio Grande do Sul, Porto Alegre, 2011.

WU, Jinn-Chang; JOU, Hurng-Liahng. A new ups scheme provides harmonic suppression and input power factor correction. **IEEE Transactions on Industrial Electronics**, v. 42, n. 6, p. 629–635, 1995.

ZHAO, Ben; MA, Ruiqing; ABRAMOVITZ, Alexander; SMEDLEY, Keyue. Bridgeless buck-boost pfc rectifier with a bidirectional switch. *In: 2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*. [S.l.: s.n.], 2016. p. 2747–2751.

ZHOU, Xufeng; YAO, Kai; LI, Hui; YANG, Fei; KANG, Mingcai. Injecting 3rd harmonic into the input current to improve the power factor of dcm buck pfc converter. *In: 2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2016. p. 1–7.

ZHOU, Zhi Jian; ZHANG, Xing; XU, Po; SHEN, Weixiang X. Single-phase uninterruptible power supply based on z-source inverter. **IEEE Transactions on Industrial Electronics**, v. 55, n. 8, p. 2997–3004, 2008.

APÊNDICES

APÊNDICE A – PROJETO FÍSICO DOS INDUTORES

Este apêndice tem por objetivo apresentar o projeto dos indutores que foram utilizados para os testes em bancada da UPS proposta.

A.1 PROJETO DOS INDUTORES DO RETIFICADOR

A.1.1 Projeto para o indutor de entrada

Para o indutor de entrada ($L_{in} = 1,72 mH$), foi realizado o projeto sobre o núcleo MMT052T7725, que é construído com o material pó de ferro. Este material possui as seguintes especificações:

$$B_{max} = 1,5T \quad (270)$$

$$J_{max} = 400A/m^2 \quad (271)$$

Será considerado um fator de aproveitamento $K = 0,4$.

Para o núcleo escolhido, são dadas as especificações na Tabela 21.

Tabela 21 – Informações do núcleo utilizado

Parâmetro	Variável	Valor
Largura	l	19,8cm
Altura	Ht	2,54cm
Indutância por espira	AL	160nH/esp ²
Diâmetro externo	R_{ext}	7,72cm
Diâmetro interno	R_{int}	4,9cm
Permeabilidade relativa	μ_i	75

O cálculo de espiras necessárias para atingir a indutância desejada é o seguinte:

$$N = \sqrt{\frac{L_{in}}{0,4Al}} \approx 164 \quad (272)$$

$$H = \frac{0,4\pi NI_{L_{in,max}}}{l} = 72,860 \quad (273)$$

O valor 0,4 é referente ao gráfico de permeabilidade magnética por força magnetizadora CC do núcleo escolhido.

Janela de utilização

$$A_w = \pi K R_{int}^2 = 7,543 cm^2 \quad (274)$$

Para o enrolamento do indutor, também foi considerado o fio AWG 24, a área do cobre para este condutor é $S_{24} = 0,002051 cm^2$, enquanto diâmetro do fio com isolamento $di = 0,057 cm$.

Sendo assim, o número de condutores em paralelo é dado por:

$$n_{fios} = \frac{I_{L_{fef}}}{J_{max} S_{24}} \approx 6 \quad (275)$$

Com isso, é escolhido o fio Litz 8x24, o qual possui 8 condutores em paralelo.

Para confecção do núcleo, serão necessárias algumas camadas de fios. Com isso, são estimadas a quantidade de espiras máximas que cada camada pode ter.

$$N_{max1} = \pi \left(\frac{2R_{int}}{3di} - 1 \right) = 86 \quad (276)$$

$$N_{max2} = \pi \left(\frac{2R_{int}}{3di} - 3 \right) = 80 \quad (277)$$

Como o valor de espiras totais comportadas pelas camadas um e dois, é possível definir a quantidade de espiras em cada camada, sendo:

$$N_1 = 86 \quad (278)$$

$$N_2 = 78 \quad (279)$$

Agora, é possível estimar o comprimento de fio necessário total para o enrolamento, multiplicando o número de espiras de cada camada pelo seu devido perímetro.

$$Ca_1 = N_1(4Ht + 2(R_{ext} - R_{int})) = 13,59 m \quad (280)$$

Já para a camada dois, tem-se que o perímetro será de:

$$Ca_2 = N_2(2(Ht + 2di) + 2(R_{ext} - R_{int} + 2di)) = 8,717 m \quad (281)$$

Com isso, tem-se que o comprimento total de fio necessário para confecção do indutor é de $Co_{fio} = 22,305m$.

Para este indutor, é utilizado apenas um fio Litz, o qual possui 8 fios trançados paralelamente. Com isso, tem-se que a resistência do indutor de saída é dada por:

$$R_{Lin} = \frac{\rho_{cobre} C_{ofio}}{8A_{24}} = 0,229 \Omega \quad (282)$$

onde: A_{24} é a área da secção transversal do fio AWG 24; ρ_{cobre} é a resistividade do cobre.

A.1.2 Projeto para o indutor de saída

$$L_o = 25 \mu H \quad (283)$$

Cálculo do núcleo

$$I_{L_{omax}} = 37,037 A \quad (284)$$

$$J_{max} = 450 A/cm^2 \quad (285)$$

$$B_{max} = 0,35 T \quad (286)$$

$$K_w = 0,7 \quad (287)$$

$$A_{ew} = \frac{L_o I_{L_{omax}} I_{L_{ofrede}} 10^4}{B_{max} J_{max} K_w} = 1,063 cm^4 \quad (288)$$

Para projeto do indutor, foi escolhido o núcleo EE 42/21/20, com $A_e = 2,4 cm^2$ e $A_w = 1,57 cm^2$. Com isso, para obter o número de espiras basta calcular:

$$N = \frac{L_o I_{L_{omax}} 10^4}{B_{max} A_e} \approx 12 \quad (289)$$

Para o entreferro

$$\mu_0 = 4\pi 10^{-7} \quad (290)$$

$$I_g = \frac{\mu_0 N^2 A_e 10^{-2}}{L_o} = 0,1737 cm \quad (291)$$

O fio escolhido para projeto foi o AWG 24. A seguir, é apresentado o cálculo para número de fios em paralelo necessário.

$$n_{fios} = \frac{I_{L_{oef}}}{S_{24}J_{max}} = 13,73 \quad (292)$$

onde S_{24} é a área do cobre para o fio escolhido.

Pelo número de fios AWG 24, será utilizado para construção do indutor dois fios Litz 8x24 em paralelo, totalizando 16 condutores em paralelo.

O comprimento estimado de fio necessário para construção do núcleo pode ser obtido a partir do perímetro do carretel e do número de voltas.

$$C_{ofio} = D_{carretel}N = 0,842 \text{ m} \quad (293)$$

Com o comprimento total de fio e com a definição da utilização do AWG24, é possível estimar a resistência total do indutor.

$$R_{L_o} = \frac{\rho_{cobre}C_{ofio}}{16A_{24}} = 4,31 \text{ m}\Omega \quad (294)$$

onde: A_{24} é a área da secção transversal do fio AWG 24; ρ_{cobre} é a resistividade do cobre.

A.2 PROJETO DOS INDUTORES DO INVERSOR

A.2.1 Indutor de entrada

$$L = 30 \mu H \quad (295)$$

Cálculo do núcleo

$$I_{L_{max}} = 30,949 \text{ A} \quad (296)$$

$$J_{max} = 450 \text{ A/cm}^2 \quad (297)$$

$$B_{max} = 0,35 \text{ T} \quad (298)$$

$$K_w = 0,7 \quad (299)$$

$$A_{ew} = \frac{LI_{L_{max}}I_{L_{ef_{rede}}}10^4}{B_{max}J_{max}K_w} = 0,886cm^4 \quad (300)$$

Para projeto do indutor, foi escolhido o núcleo EE 42/21/20, com $A_e = 2,4 cm^2$ e $A_w = 1,57 cm^2$. Com isso, para obter o número de espiras basta calcular:

$$N = \frac{LI_{L_{max}}10^4}{B_{max}A_e} \approx 12 \quad (301)$$

Para o entreferro

$$\mu_0 = 4\pi 10^{-7} \quad (302)$$

$$I_g = \frac{\mu_0 N^2 A_e 10^{-2}}{L} = 0,1448 cm \quad (303)$$

O fio escolhido para projeto foi o AWG 24. A seguir, é apresentado o calculo para número de fios em paralelo necessário.

$$n_{fios} = \frac{I_{L_{ef}}}{S_{24}J_{max}} = 11,40 \quad (304)$$

onde S_{24} é a área do cobre para o fio escolhido.

Pelo número de fios AWG 24, será utilizado para construção do indutor dois fios Litz 8x24 em paralelo, totalizando 16 condutores em paralelo.

O comprimento estimado de fio necessário para construção do núcleo pode ser obtido a partir do perímetro do carretel e do número de voltas.

$$C_{ofio} = D_{carretel}N = 0,842 m \quad (305)$$

Com o comprimento total de fio e com a definição da utilização do AWG24, é possível estimar a resistência total do indutor.

$$R_L = \frac{\rho_{cobre}C_{ofio}}{16A_{24}} = 4,31 m\Omega \quad (306)$$

onde: A_{24} é a área da secção transversal do fio AWG 24; ρ_{cobre} é a resistividade do cobre.

A.2.2 Indutor de saída

Para o indutor de saída (L_f), foi realizado o projeto sobre o núcleo MMT052T7725, que é construído com o material pó de ferro. Este material possui as seguintes especificações:

$$B_{max} = 1,5T \quad (307)$$

$$J_{max} = 400A/m^2 \quad (308)$$

Será considerado um fator de aproveitamento $K = 0,4$

Para o núcleo escolhido, são dadas as especificações na Tabela 22.

Tabela 22 – Informações do núcleo utilizado

Parâmetro	Variável	Valor
Largura	l	19,8cm
Altura	Ht	2,54cm
Indutância por espira	AL	160nH/esp ²
Diâmetro externo	R_{ext}	7,72cm
Diâmetro interno	R_{int}	4,9cm
Permeabilidade relativa	μ_i	75

O cálculo de espiras necessárias para atingir a indutância desejada é o seguinte:

$$N = \sqrt{\frac{L_o}{0,52Al}} \approx 126 \quad (309)$$

$$H = \frac{4\pi NI_{L_{o_{max}}}}{l} = 47,982 \quad (310)$$

O valor 0,52 é referente ao gráfico de permeabilidade magnética por força magnetizadora CC do núcleo escolhido.

Janela de utilização

$$A_w = \pi K R_{int}^2 = 7,543cm^2 \quad (311)$$

Para o enrolamento do indutor, também foi considerado o fio AWG 24, a área do cobre para este condutor é $S_{24} = 0,002051 cm^2$, enquanto diâmetro do fio com isolamento $di = 0,057 cm$.

Sendo assim, o número de condutores em paralelo é dado por:

$$n_{fios} = \frac{I_{L_{fef}}}{J_{max} S_{24}} \approx 5 \quad (312)$$

Com isso, é escolhido o fio Litz 8x24, o qual possui 8 condutores em paralelo.

Para confecção do núcleo, serão necessárias algumas camadas de fios. Com isso, são estimadas a quantidade de espiras máximas que cada camada pode ter.

$$N_{max_1} = \pi \left(\frac{2R_{int}}{3di} - 1 \right) = 86 \quad (313)$$

$$N_{max_2} = \pi \left(\frac{2R_{int}}{3di} - 3 \right) = 80 \quad (314)$$

Como o valor de espiras totais comportadas pelas camadas um e dois, é possível definir a quantidade de espiras em cada camada, sendo:

$$N_1 = 86 \quad (315)$$

$$N_2 = 40 \quad (316)$$

Agora, é possível estimar o comprimento de fio necessário total para o enrolamento, multiplicando o número de espiras de cada camada pelo seu devido perímetro.

$$Ca_1 = N_1(4Ht + 2(R_{ext} - R_{int})) = 13,59 \text{ m} \quad (317)$$

Já para a camada dois, tem-se que o perímetro será de:

$$Ca_2 = N_2(2(Ht + 2di) + 2(R_{ext} - R_{int} + 2di)) = 4,47 \text{ m} \quad (318)$$

Com isso, tem-se que o comprimento total de fio necessário para confecção do indutor é de $Co_{fio} = 18,06 \text{ m}$.

Para este indutor, é utilizado apenas um fio Litz, o qual possui 8 fios trançados paralelamente. Com isso, tem-se que a resistência do indutor de saída é dada por:

$$R_{L_f} = \frac{\rho_{cobre} Co_{fio}}{8A_{24}} = 0,1853 \ \Omega \quad (319)$$

onde: A_{24} é a área da secção transversal do fio AWG 24; ρ_{cobre} é a resistividade do cobre.

APÊNDICE C – TERMOS REFERENTES ÀS FUNÇÕES DE TRANSFERÊNCIA

Este apêndice tem por objetivo apresentar os termos relacionados as funções de transferência desenvolvidas durante o trabalho.

C.1 TERMOS PARA A FUNÇÃO DE TRANSFERÊNCIA QUE RELACIONA A TENSÃO DE SAÍDA DO RETIFICADOR COM A AÇÃO DE CONTROLE.

$$\begin{aligned}
 & G_{vd_{ret}} \\
 a_3 &= -C_1 L_{in} L_o V_{dc} (D_a + D_b)(D_a + D_b - 1)(L_o + L_{in})^2 R_o V_{in} D_b^2 \\
 a_2 &= (V_{in} (D_a - 1) - D_b V_{dc}) R_o^2 C_1 (L_o + L_{in})^2 (-D_b^2 L_o - (L_o - L_{in})(D_a - 1) D_b + \\
 & (D_a - 1) D_a L_{in}) V_{in} D_b^2 \\
 a_1 &= D_b^2 (L_{in} D_a - L_o (D_b - 1)) R_o V_{dc} (D_a - 1)(D_a + D_b)(L_o + L_{in}) V_{in} L_{in} \\
 a_0 &= D_b^3 R_o^2 V_{in} (L_o + L_{in})^2 (D_a - 1)(V_{in} (D_a - 1) - D_b V_{dc}) \\
 b_4 &= 1/2(L_o + L_{in}) D_b R_o (R_o V_{in} (L_o + L_{in}) D_b^3 + 3(L_o + L_{in}) R_o (V_{in} + 1/3 V_{dc}) D_a D_b^2 + \\
 & (R_o V_{in} (L_o + L_{in}) D_a^2 - 2L_{in} L_o V_{dc} f_s) D_b - 2L_{in} D_a L_o V_{dc} f_s) L_{in} L_o C_{dc} (D_a - 1) C_1 \\
 b_3 &= -(L_o + L_{in}) R_o (R_o C_1 C_o V_{dc} f_s - 1/2 (D_a - 1)(C_o D_a V_{dc} + C_1 V_{in})) D_b^3 + \\
 & (R_o C_1 C_o V_{in} f_s + 3/2 (1/3 C_o D_a V_{dc} + (V_{in} + 1/3 V_{dc}) C_1) D_a)(L_o + L_{in})(D_a - 1) R_o D_b^2 + \\
 & 1/2 (D_a - 1) C_1 (R_o V_{in} (L_o + L_{in}) D_a^2 - 2L_{in} L_o V_{dc} f_s) D_b - L_{in} C_1 D_a L_o V_{dc} f_s (D_a - 1)(L_o + \\
 & L_{in}) D_b L_o L_{in} \\
 b_2 &= 1/2 R_o^2 L_{in} C_1 L_o V_{in} (D_a - 1)(L_o + L_{in}) D_b^6 - 1/2 ((D_a - 1)(C_1 V_{in} (D_a - \\
 & 1) L_{in}^2 - 5 L_o (((1/5 C_1 - 1/5 C_o) V_{dc} + C_1 V_{in}) D_a - 2/5 C_1 V_{in}) L_{in} + C_o L_o^2 ((V_{in} + V_{dc}) D_a - \\
 & V_{in})) R_o + 2 C_1 L_{in}^2 L_o V_{dc} f_s)(L_o + L_{in}) R_o D_b^5 + 1/2 (-5 (L_o + L_{in})(D_a - 1)(D_a (((1/5 C_1 - \\
 & 1/5 C_o) V_{dc} + C_1 V_{in}) D_a - C_1 (V_{in} + 1/5 V_{dc})) L_{in}^2 - 8/5 L_o (((1/4 C_1 + 1/8 C_o) V_{dc} + V_{in} (C_1 + \\
 & 3/8 C_o)) D_a^2 + (-1/4 V_{dc} C_1 - \frac{9}{8} V_{in} (C_1 + 4/9 C_o)) D_a + 1/4 (C_1 + 1/2 C_o) V_{in}) L_{in} + \\
 & 2/5 C_o D_a (D_a - 1)(1/2 V_{dc} + V_{in}) L_o^2) R_o^2 - 6 f_s L_o (L_{in}^2 C_1 D_a + 4/3 ((C_1 - 1/4 C_o) D_a + \\
 & 1/4 C_o) L_o L_{in} + 1/3 L_o^2 (-C_o D_a + C_1 + C_o)) V_{dc} L_{in} R_o + L_{in} D_a L_o V_{dc} (L_o + L_{in})^2 (D_a - \\
 & 1) D_b^4 + 1/2 (-8 (L_o + L_{in}) D_a (D_a - 1)^2 ((1/4 V_{dc} C_1 + (C_1 + 1/4 C_o) V_{in}) D_a L_{in}^2 - \\
 & 5/8 (((1/5 C_1 + 2/5 C_o) V_{dc} + V_{in} (C_1 + C_o)) D_a + (-1/5 C_o - 2/5 C_1) V_{dc} - 7/5 V_{in} (C_1 + \\
 & 4/7 C_o)) L_o L_{in} + 1/8 C_o D_a L_o^2 V_{in}) R_o^2 - 4 f_s (((C_1 + 1/2 C_o) V_{dc} D_a^2 + (-1/2 V_{dc} C_o - \\
 & 1/2 C_1 V_{in}) D_a + 1/2 C_1 (V_{in} - V_{dc})) L_{in}^2 + 3 (D_a^2 V_{dc} + (-1/3 V_{in} - 7/6 V_{dc}) D_a + \\
 & 1/3 V_{dc} + 1/3 V_{in}) C_1 L_o L_{in} - 1/2 (D_a - 1) L_o^2 (2 C_o D_a V_{dc} + C_1 V_{in} - V_{dc} C_o)) L_o L_{in} R_o + \\
 & L_{in} D_a^2 L_o V_{dc} (L_o + L_{in})^2 (D_a - 1) D_b^3 - 5/2 (D_a - 1) ((L_o + L_{in}) D_a^2 (D_a - 1)(D_a ((1/5 C_1 +
 \end{aligned}$$

$$1/5 C_o V_{dc} + V_{in} (C_1 + 3/5 C_o) L_{in} - 1/5 L_o (V_{in} (C_1 + 2 C_o) D_a + (-C_o - C_1) V_{dc} - 5 (C_1 + 4/5 C_o) V_{in}) R_o - 4/5 f_s L_o V_{dc} (D_a ((C_1 - 1/2 C_o) D_a - 3/2 C_1) L_{in}^2 - 2 L_o ((C_1 + 3/4 C_o) D_a^2 + (-5/4 C_1 - 3/4 C_o) D_a + 1/2 C_1 + 1/4 C_o) L_{in} + 1/2 C_o D_a L_o^2 (D_a - 1))) R_o L_{in} D_b^2 - 1/2 D_a (D_a - 1)^2 (D_a^2 (L_o + L_{in}) V_{in} (L_{in} D_a + L_o) (C_1 + C_o) R_o - 6 ((C_1 + 1/3 C_o) D_a L_{in} - 1/3 ((C_1 + 2 C_o) D_a - 3 C_1 - 2 C_o) L_o) f_s L_o V_{dc} L_{in}) R_o L_{in} D_b + (D_a - 1)^2 D_a^2 (C_1 + C_o) R_o V_{dc} (L_{in} D_a + L_o) L_{in}^2 L_o f_s$$

$$b_1 = (1/2 D_a V_{dc} (D_a - 1) L_{in}^2 + (R_o C_1 f_s - 1/2 D_a^2 + 1/2 D_a) V_{dc} L_o L_{in} - 1/2 (D_a - 1) L_o^2 ((V_{in} + V_{dc}) D_a - V_{in})) (L_o + L_{in}) R_o D_b^5 - (-3/2 R_o L_{in}^2 D_a^2 V_{dc} + (-f_s L_o V_{dc} + ((-3/2 V_{in} - 1/2 V_{dc}) D_a^2 + (-1/2 V_{dc} + 2 V_{in}) D_a + ((-2 C_1 - C_o) V_{dc} + C_1 V_{in}) f_s R_o - 1/2 V_{in}) R_o) L_o L_{in} + (1/2 V_{dc} + V_{in}) D_a (D_a - 1) L_o^2 R_o (L_o + L_{in}) (D_a - 1) D_b^4 - 2 (1/2 (f_s L_o V_{dc} + ((V_{in} - 1/2 V_{dc}) D_a - V_{in}) D_a R_o) D_a L_{in}^3 + ((-3/4 V_{in} - 3/4 V_{dc}) D_a^3 + (7/4 V_{in} + 1/2 V_{dc}) D_a^2 + (((-1/2 C_1 - 1/2 C_o) V_{dc} + (C_1 + 1/2 C_o) V_{in}) f_s R_o - V_{in} - 1/4 V_{dc}) D_a - (C_1 + 1/2 C_o) V_{in} f_s R_o) L_o R_o L_{in}^2 + (-D_a - 1/2) V_{dc} f_s L_o + ((-V_{in} - 1/2 V_{dc}) D_a^3 + (2 V_{in} + 1/2 V_{dc}) D_a^2 + (((-1/2 C_1 - 1/2 C_o) V_{dc} + (C_1 + 1/2 C_o) V_{in}) f_s R_o - V_{in} - 1/4 V_{dc}) D_a - (C_1 + 1/2 C_o) V_{in} f_s R_o) R_o) L_o^2 L_{in} + 1/4 R_o D_a^2 L_o^3 V_{in} (D_a - 1)) (D_a - 1) D_b^3 - L_{in} (3/2 (2/3 f_s L_o V_{dc} + (V_{in} + 1/3 V_{dc}) D_a (D_a - 1) R_o) D_a^2 L_{in}^2 + (3 V_{dc} f_s (D_a^2 - D_a + 1/3) L_o + ((1/2 V_{in} + 1/2 V_{dc}) D_a^2 + (2 V_{in} + 1/2 V_{dc}) D_a + R_o V_{in} f_s (C_1 + C_o)) D_a (D_a - 1) R_o) L_o L_{in} + (-f_s L_o V_{dc} + (-V_{in} D_a^2 + (2 V_{in} + 1/2 V_{dc}) D_a + R_o V_{in} f_s (C_1 + C_o)) R_o) D_a (D_a - 1) L_o^2) (D_a - 1) D_b^2 - 1/2 L_{in} D_a (D_a (D_a^2 R_o V_{in} - 2 f_s L_o V_{dc}) L_{in}^2 + (4 f_s L_o V_{dc} (D_a - 1) + R_o D_a^2 V_{in} (D_a + 1)) L_o L_{in} + D_a^2 L_o^2 R_o V_{in}) (D_a - 1)^2 D_b + (D_a - 1)^2 D_a^2 V_{dc} (L_{in} D_a + L_o) L_{in}^2 L_o f_s$$

$$b_0 = -1/2 (R_o D_b V_{in} (L_o + L_{in}) D_a^3 + (2(1/2 V_{dc} + V_{in})) (L_o + L_{in}) R_o D_b^2 - R_o D_b V_{in} (L_o + L_{in}) + 2 L_o f_s L_{in} (V_{in} - V_{dc})) D_a^2 + (R_o (V_{in} + V_{dc}) (L_o + L_{in}) D_b^3 - 2 (1/2 V_{dc} + V_{in}) (L_o + L_{in}) R_o D_b^2 + 2 L_o f_s L_{in} (V_{in} - 3 V_{dc}) D_b - 2 L_o f_s L_{in} (V_{in} - V_{dc})) D_a - (R_o V_{in} (L_o + L_{in}) D_b^2 + 4 L_o V_{dc} f_s L_{in} D_b + 2 L_o f_s L_{in} (V_{in} - V_{dc}) D_b) D_b^2 (L_o + L_{in}) (D_a - 1) R_o$$

C.2 TERMOS QUE RELACIONA A CORRENTE DE ENTRADA DO RETIFICADOR E A AÇÃO DE CONTROLE

$$G_{id_{ret}}$$

$$a_7 = C_1 L_o C_o (L_{in} + L_o) R_o^2 D_b (-V_{dc} D_b + (D_a - 1) V_{in}) (V_{in} D_b^2 (L_{in} + L_o))$$

$$a_6 = -R_o L_o ((C_1 L_{in} D_b^3 + ((3 C_1 D_a - C_1) L_{in} + L_o (-C_o D_a + C_1 + C_o)) D_b^2 + 3 (((C_1 + 1/3 C_o) D_a - 1/3 C_1 - 1/3 C_o) L_{in} - 1/3 C_o D_a L_o) (D_a - 1) D_b + D_a L_{in} (D_a - 1)^2 (C_1 + C_o)) V_{dc} - C_1 D_b V_{in} (L_{in} + L_o) (D_a - 1)) (V_{in} D_b^2 (L_{in} + L_o))$$

$$a_5 = -V_{dc}(C_1(-D_a + 1)(L_{in} + L_o)R_o^2 - L_o^2(D_a - 1))D_b^2 + (D_a - 1)((((C_1 + C_o)V_{dc} - C_1 V_{in})D_a + C_1 V_{in})(L_{in} + L_o)R_o^2 - ((L_{in} - L_o)D_a - L_{in})V_{dc} L_o)D_b - (L_{in} L_o V_{dc} + (C_1 + C_o)R_o^2 V_{in} (L_{in} + L_o))D_a (D_a - 1)^2 (V_{in} D_b^2 (L_{in} + L_o))$$

$$a_4 = -(V_{in} D_a^2 + (-2V_{dc} D_b - V_{in})D_a - V_{dc} D_b^2)R_o(D_a - 1)(L_{in} + L_o)(V_{in} D_b^2 (L_{in} + L_o))$$

$$b_9 = 1/2 L_o R_o C_o (R_o V_{in} (L_{in} + L_o) D_b^3 + 3 (V_{in} + 1/3 V_{dc}) D_a R_o (L_{in} + L_o) D_b^2 + (R_o V_{in} (L_{in} + L_o) D_a^2 - 2 L_{in} L_o f_s V_{dc}) D_b - 2 L_{in} D_a L_o V_{dc} f_s) C_1 (D_a - 1) L_{in} D_b (L_{in} + L_o)$$

$$b_8 = -(L_{in} + L_o) R_o (R_o C_1 C_o V_{dc} f_s - 1/2 (D_a - 1) (C_o D_a V_{dc} + C_1 V_{in})) D_b^3 + (R_o C_1 C_o V_{in} f_s + 3/2 D_a (1/3 C_o D_a V_{dc} + C_1 (V_{in} + 1/3 V_{dc}))) (D_a - 1) (L_{in} + L_o) R_o D_b^2 + 1/2 (R_o V_{in} (L_{in} + L_o) D_a^2 - 2 L_{in} L_o f_s V_{dc}) C_1 (D_a - 1) D_b - L_{in} C_1 D_a L_o V_{dc} f_s (D_a - 1) L_{in} D_b (L_{in} + L_o) L_o$$

$$b_7 = 1/2 R_o^2 L_{in} C_1 L_o V_{in} (D_a - 1) (L_{in} + L_o) D_b^6 - 1/2 (L_{in} + L_o) R_o ((D_a - 1) (C_1 V_{in} (D_a - 1) L_{in}^2 - 5 (((1/5 C_1 - 1/5 C_o) V_{dc} + C_1 V_{in}) D_a - 2/5 C_1 V_{in}) L_o L_{in} + C_o ((V_{in} + V_{dc}) D_a - V_{in}) L_o^2) R_o + 2 f_s L_{in}^2 C_1 V_{dc} L_o) D_b^5 + 1/2 (-5 (L_{in} + L_o) (D_a - 1) (((1/5 C_1 - 1/5 C_o) V_{dc} + C_1 V_{in}) D_a - C_1 (V_{in} + 1/5 V_{dc})) D_a L_{in}^2 - 8/5 (((1/4 C_1 + 1/8 C_o) V_{dc} + V_{in} (C_1 + 3/8 C_o)) D_a^2 + (-1/4 C_1 V_{dc} - 9/8 V_{in} (C_1 + 4/9 C_o)) D_a + 1/4 V_{in} (1/2 C_o + C_1)) L_o L_{in} + 2/5 (D_a - 1) C_o D_a (V_{in} + 1/2 V_{dc}) L_o^2) R_o^2 - 6 (L_{in}^2 C_1 D_a + 4/3 ((C_1 - 1/4 C_o) D_a + 1/4 C_o) L_o L_{in} + 1/3 L_o^2 (-C_o D_a + C_1 + C_o)) V_{dc} L_{in} f_s L_o R_o + (L_{in} + L_o)^2 (D_a - 1) D_a V_{dc} L_{in} L_o) D_b^4 + 1/2 (-8 (D_a (1/4 C_1 V_{dc} + (C_1 + 1/4 C_o) V_{in}) L_{in}^2 - 5/8 (((1/5 C_1 + 2/5 C_o) V_{dc} + V_{in} (C_1 + C_o)) D_a + (-1/5 C_o - 2/5 C_1) V_{dc} - 7/5 (C_1 + 4/7 C_o) V_{in}) L_o L_{in} + 1/8 D_a C_o L_o^2 V_{in}) (L_{in} + L_o) (D_a - 1)^2 D_a R_o^2 - 4 L_{in} f_s ((V_{dc} (1/2 C_o + C_1) D_a^2 + (-1/2 C_o V_{dc} - 1/2 C_1 V_{in}) D_a + 1/2 C_1 (V_{in} - V_{dc})) L_{in}^2 + 3 C_1 (D_a^2 V_{dc} + (-1/3 V_{in} - 7/6 V_{dc}) D_a + 1/3 V_{dc} + 1/3 V_{in}) L_o L_{in} - 1/2 (D_a - 1) L_o^2 (2 C_o D_a V_{dc} + C_1 V_{in} - C_o V_{dc})) L_o R_o + (L_{in} + L_o)^2 D_a^2 (D_a - 1) V_{dc} L_{in} L_o) D_b^3 - 5/2 R_o (D_a - 1) ((L_{in} + L_o) (((1/5 C_1 + 1/5 C_o) V_{dc} + V_{in} (C_1 + 3/5 C_o)) D_a L_{in} - 1/5 (V_{in} (C_1 + 2 C_o) D_a + (-C_1 - C_o) V_{dc} - 5 V_{in} (C_1 + 4/5 C_o)) L_o) (D_a - 1) D_a^2 R_o - 4/5 (((C_1 - 1/2 C_o) D_a - 3/2 C_1) D_a L_{in}^2 - 2 ((C_1 + 3/4 C_o) D_a^2 + (-5/4 C_1 - 3/4 C_o) D_a + 1/2 C_1 + 1/4 C_o) L_o L_{in} + 1/2 C_o D_a L_o^2 (D_a - 1)) V_{dc} f_s L_o) L_{in} D_b^2 - 1/2 R_o (D_a - 1)^2 D_a (D_a^2 (L_{in} + L_o) V_{in} (D_a L_{in} + L_o) (C_1 + C_o) R_o - 6 V_{dc} L_{in} (D_a (C_1 + 1/3 C_o) L_{in} - 1/3 ((C_1 + 2 C_o) D_a - 3 C_1 - 2 C_o) L_o) f_s L_o) L_{in} D_b + (C_1 + C_o) R_o D_a^2 f_s (D_a - 1)^2 (D_a L_{in} + L_o) V_{dc} L_{in}^2 L_o$$

$$b_6 = (1/2 D_a V_{dc} (D_a - 1) L_{in}^2 + L_o (R_o C_1 f_s - 1/2 D_a^2 + 1/2 D_a) V_{dc} L_{in} - 1/2 L_o^2 ((V_{in} + V_{dc}) D_a - V_{in}) (D_a - 1)) R_o (L_{in} + L_o) D_b^5 - (-3/2 R_o L_{in}^2 D_a^2 V_{dc} +$$

$$\begin{aligned}
& L_o (-V_{dc} f_s L_o + R_o((-3/2 V_{in} - 1/2 V_{dc})D_a^2 + (2 V_{in} - 1/2 V_{dc})D_a + ((-2 C_1 - C_o)V_{dc} + \\
& C_1 V_{in})f_s R_o - 1/2 V_{in}))L_{in} + L_o^2(V_{in} + 1/2 V_{dc})D_a R_o(D_a - 1)(D_a - 1)(L_{in} + L_o)D_b^4 - \\
& 2(1/2 D_a (V_{dc} f_s L_o + D_a R_o((V_{in} - 1/2 V_{dc})D_a - V_{in}))L_{in}^3 + L_o R_o((-3/4 V_{dc} - 3/4 V_{in})D_a^3 + \\
& (7/4 V_{in} + 1/2 V_{dc})D_a^2 + (((-1/2 C_1 - 1/2 C_o)V_{dc} + V_{in}(1/2 C_o + C_1))f_s R_o - V_{in} - \\
& 1/4 V_{dc})D_a - (1/2 C_o + C_1)R_o V_{in} f_s)L_{in}^2 + L_o^2(-V_{dc}(D_a - 1/2)f_s L_o + R_o((-V_{in} - \\
& 1/2 V_{dc})D_a^3 + (2 V_{in} + 1/2 V_{dc})D_a^2 + (((-1/2 C_1 - 1/2 C_o)V_{dc} + V_{in}(1/2 C_o + C_1))f_s R_o - \\
& V_{in} - 1/4 V_{dc})D_a - (1/2 C_o + C_1)R_o V_{in} f_s))L_{in} + 1/4 R_o D_a^2 L_o^3 V_{in} (D_a - 1)(D_a - 1)D_b^3 - \\
& (D_a - 1)(3/2 D_a^2(2/3 V_{dc} f_s L_o + D_a R_o(D_a - 1)(V_{in} + 1/3 V_{dc}))L_{in}^2 + L_o(3(D_a^2 - D_a + \\
& 1/3)V_{dc} f_s L_o + D_a R_o(D_a - 1)((1/2 V_{in} + 1/2 V_{dc})D_a^2 + (2 V_{in} + 1/2 V_{dc})D_a + R_o V_{in} f_s (C_1 + \\
& C_o)))L_{in} + L_o^2 D_a (-V_{dc} f_s L_o + R_o(-V_{in} D_a^2 + (2 V_{in} + 1/2 V_{dc})D_a + R_o V_{in} f_s (C_1 + \\
& C_o)))(D_a - 1))L_{in} D_b^2 - 1/2 D_a (D_a (D_a^2 R_o V_{in} - 2 V_{dc} f_s L_o)L_{in}^2 + L_o(4 V_{dc} f_s (D_a - \\
& 1)L_o + R_o D_a^2 V_{in} (D_a + 1))L_{in} + R_o D_a^2 L_o^2 V_{in})(D_a - 1)^2 L_{in} D_b + D_a^2 f_s (D_a - 1)^2 (D_a L_{in} + \\
& L_o)V_{dc} L_{in}^2 L_o
\end{aligned}$$

$$\begin{aligned}
b_5 = & -1/2 R_o(D_a - 1)D_b^2(R_o D_b V_{in} (L_{in} + L_o)D_a^3 + (2 R_o(V_{in} + 1/2 V_{dc})(L_{in} + \\
& L_o)D_b^2 - R_o D_b V_{in} (L_{in} + L_o) + 2 L_o f_s L_{in} (V_{in} - V_{dc}))D_a^2 + (R_o(V_{in} + V_{dc})(L_{in} + L_o)D_b^3 - \\
& 2 R_o(V_{in} + 1/2 V_{dc})(L_{in} + L_o)D_b^2 + 2 L_o f_s L_{in} (V_{in} - 3 V_{dc})D_b - 2 L_o f_s L_{in} (V_{in} - V_{dc}))D_a - \\
& (R_o V_{in} (L_{in} + L_o)D_b^2 + 4 L_{in} L_o f_s V_{dc} D_b + 2 L_o f_s L_{in} (V_{in} - V_{dc}))D_b)(L_{in} + L_o)
\end{aligned}$$

C.3 TERMOS QUE RELACIONA A TENSÃO DE SAÍDA DO INVERSOR COM A AÇÃO DE CONTROLE

$$\begin{aligned}
& G_{vd_{inv}} \\
a_2 = & V_{dc} D_a C_{eq} R L (L_f + L) \\
a_1 = & D_a V_o (D_b - 1) L^2 - L_f V_o (D_b - 1)^2 L \\
a_0 = & -R D_b L_f V_{dc} (D_b - 1) - R D_b V_{dc} (D_b - 1) L \\
b_4 = & D_a L_f C_f C_{eq} L R (L + L_f) \\
b_3 = & D_a C_{eq} L_f L (L + L_f) \\
b_2 = & -D_b^2 L_f^2 (D_b - 1) C_f R + L_f R L (D_b^2 (2 C_f D_a - C_f) - D_b (3 C_f D_a - C_f) + D_a (C_{eq} + \\
& C_f)) + D_a R L^2 (D_b (C_{eq} - C_f D_a) + D_a (C_{eq} + C_f)) \\
b_1 = & (-D_b^2 L_o^2 (D_b - 1) - D_a^2 (D_b - 1) L_{in}^2 + 2 L_o L_{in} ((D_a - 1/2) D_b - D_a/2) (D_b - 1) \\
b_0 = & -R D_b^2 L_{in} (D_b - 1) - D_b^2 L_o R (D_b - 1)
\end{aligned}$$

APÊNDICE D – ANÁLISE TEÓRICA DAS PERDAS E EFICIÊNCIA

Para análise teórica das perdas, são considerados que há perdas de potência nos semicondutores (interruptores e diodos) e nos indutores.

Para as perdas nos diodos, esta pode ser separada em duas: perdas por condução e perdas por bloqueio. As expressões que descrevem as perdas por condução e bloqueio são apresentadas a seguir:

$$P_{D_{bloq}} = Q_{rr} V_{D_{max}} f_s \quad (320)$$

$$P_{D_{cond}} = V_f I_{D_{med}} + R_D I_{D_{ef}}^2 \quad (321)$$

onde: f_s é a frequência de chaveamento da estrutura; $V_{D_{max}}$ é a tensão máxima sobre o diodo; Q_{rr} é o *Reverse Recovery Charge*, parâmetro fornecido pelo fabricante que depende da temperatura de junção e corrente média que flui pelo diodo; V_f é a tensão sobre o diodo quando polarizado diretamente; R_D é a resistência do diodo quando polarizado diretamente; I_D é a corrente sobre o diodo.

Para as perdas relacionadas aos interruptores, são considerados os IGBTs, assim, as perdas para estes componentes são divididas em duas, sendo elas perdas por condução e perdas por comutação, as quais são expressas a seguir:

$$P_{S_{comut}} = \frac{1}{2} (t_r + t_f) V_{S_{max}} I_{S_{ef}} f_s \quad (322)$$

$$P_{S_{cond}} = V_{ce} I_{S_{med}} D \quad (323)$$

onde: t_r é o tempo em que o semicondutor leva para entrar em condução; t_f é o tempo em que o semicondutor leva para entrar em bloqueio; $V_{S_{max}}$ é a tensão máxima sobre o semicondutor; $I_{S_{ef}}$ é a corrente eficaz sobre o interruptor; V_{ce} é a tensão entre coletor e emissor quando o semicondutor está polarizado; D é a razão cíclica empregada.

Por fim, as perdas vinculadas aos indutores são relacionadas à resistência existente do material o qual o indutor é construído. Baseado nas informações do Apêndice A, tem-se que a resistência dos indutores presentes nos conversores possuem os seguintes valores:

Tabela 23 – Valores de resistência vinculados aos indutores do circuito

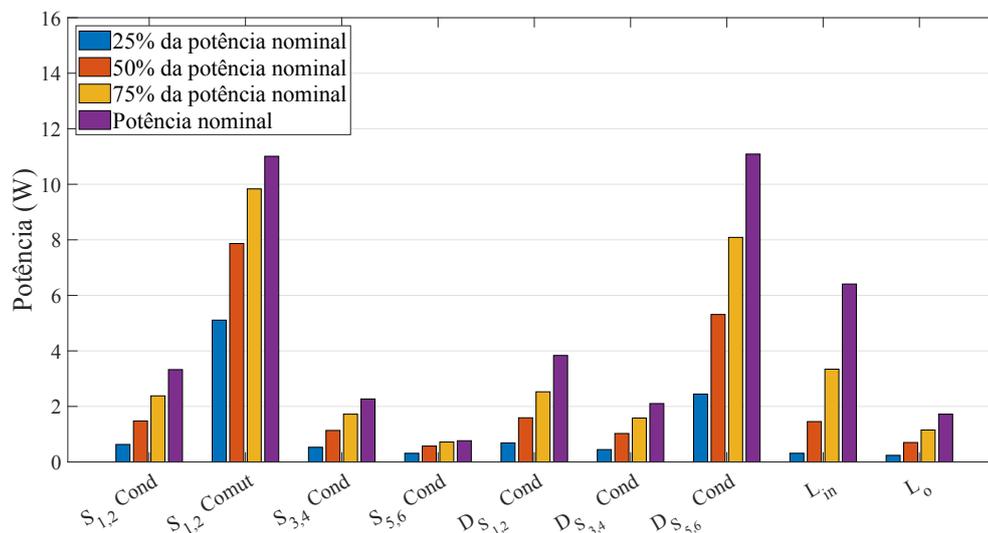
Indutor	Sigla	Resistência (Ω)
Indutor de entrada retificador	L_{in}	0,229 Ω
Indutor de saída retificador	L_o	4,310 m Ω
Indutor de entrada inversor	L	4,310 m Ω
Indutor de filtragem inversor	L_f	0,185 Ω

Fonte: Autoria própria.

Com base nas expressões para as perdas descritas anteriormente, assim como os valores obtidos das correntes e tensões sobre os elementos do circuito, é possível estimar as perdas e assim, o rendimento dos circuitos.

É importante ressaltar que por conta da simetria existente nas estruturas, algumas perdas em semicondutores possuem o mesmo valor, sendo: S_1 e S_2 , S_3 e S_4 , S_5 e S_6 , S_7 e S_8 , S_9 e S_{10} e S_{11} e S_{12} . Este padrão se repete para os diodos. Além disto, os semicondutores utilizados para estimar as perdas foram o IGBT IRG4PC50UD e diodo 30ETH06, visto que estes foram os componente utilizados na montagem prática.

Com isso, a Figura 117 apresenta as perdas para o retificador operando em quatro níveis de potência distintos, sendo: 25% da potência nominal; 50% da potência nominal; 75% da potência nominal e potência nominal.

Figura 117 – Gráfico de perdas para o retificador.

Fonte: Autoria própria.

Analisando a imagem, é possível observar que para a potência nominal as maiores perdas encontram-se na condução dos diodos $D_{S_{5,6}}$ e comutação dos interruptores $S_{1,2}$, com aproximadamente 11 W. Isso pode ser explicado por conta dos interruptores serem acionados em

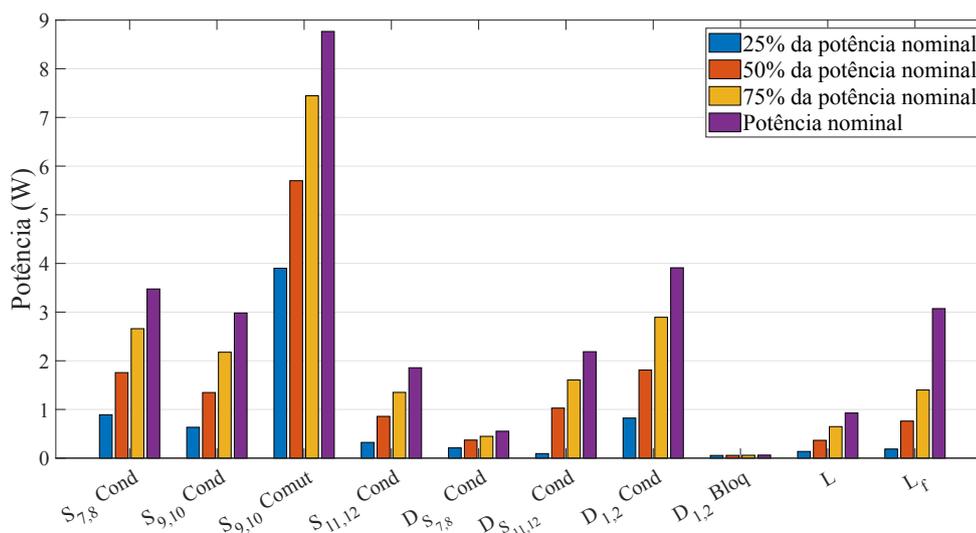
alta frequência, além da elevada corrente que flui por estes semicondutores. Em contrapartida, os diodos não apresentam perdas por bloqueio, visto que estes conduzem quando a corrente atinge valor zero.

Ainda sobre os diodos, destaca-se também as perdas presentes sobre os diodos $D_{S_{3,4}}$, por se tratarem de perdas pequenas comparados aos demais, onde as perdas permaneceram próximas a $2 W$.

Para os interruptores de potência, os únicos que apresentaram perdas consideráveis foram $S_{1,2}$, onde ambos somados apresentaram por volta de $13 W$ de perdas, sendo que os demais permaneceram a baixo de $3 W$.

Da mesma maneira que realizado para o retificador, são analisadas as perdas para os elementos do inversor para diferentes níveis de potência, as quais são apresentadas na Figura 118.

Figura 118 – Gráfico de perdas para o inversor.



Fonte: Autoria própria.

Analisando a figura anterior nota-se que o inversor apresenta a maior perda vinculada à comutação dos interruptores de alta frequência, neste caso para os interruptores $S_{9,10}$, onde somando as perdas de condução e de bloqueio o valor atinge $9 W$. Para os demais elementos, as perdas não são tão relevantes, onde para $D_{S_{7,8}}$ permanecem menores que $0,5 W$ e para $D_{S_{11,12}}$ permanecem por volta de $2 W$.

É destacado também que os diodos $D_{S_{9,10}}$ não possuem perdas, visto que não há a circulação de corrente sobre eles em nenhuma das etapas de operação do inversor.

Para os diodos presentes na estrutura, são destacadas as perdas presentes sobre os diodos $D_{1,2}$, os quais, apesar de possuírem perdas por bloqueio desprezíveis, possuem perdas

por condução relevantes, por volta de 4 W .

De maneira mais clara, são apresentadas na Tabela 24 as perdas para cada componente nos diferentes níveis de potência descritos.

Tabela 24 – Perdas para os componentes dos conversores.

Componente	1/4 nominal (W)		1/2 nominal (W)		3/4 nominal (W)		Nominal (W)	
	Cond	Comut	Cond	Comut	Cond	Comut	Cond	Comut
Retificador SEPIC-Cuk								
$S_{1,2}$	0,630	5,108	1,477	7,867	2,381	9,834	3,326	11,009
$S_{3,4}$	0,529	–	1,135	–	1,721	–	2,269	–
$S_{5,6}$	0,312	–	0,572	–	0,718	–	0,765	–
$DS_{1,2}$	0,686	–	1,591	–	2,527	–	3,835	–
$DS_{3,4}$	0,445	–	1,025	–	1,582	–	2,103	–
$DS_{5,6}$	2,443	–	5,311	–	8,088	–	11,087	–
L_{in}	0,313	–	1,454	–	3,341	–	6,408	–
L_o	0,238	–	0,700	–	1,151	–	1,721	–
Inversor Cuk integrado								
$S_{7,8}$	0,891	–	1,757	–	2,660	–	3,476	–
$S_{9,10}$	0,634	3,902	1,348	5,700	2,176	7,445	2,982	8,767
$S_{11,12}$	0,023	–	0,858	–	1,351	–	1,857	–
$DS_{7,8}$	0,211	–	0,371	–	0,448	–	0,553	–
$DS_{11,12}$	0,093	–	1,028	–	1,606	–	2,187	–
$D_{1,2}$	0,823	0,055	1,810	0,057	2,894	0,059	3,911	0,062
L	0,137	–	0,366	–	0,648	–	0,927	–
L_f	0,187	–	0,761	–	1,400	–	3,072	–

Fonte: Autoria própria.

Ao somar todas as perdas vinculadas aos componentes é possível estimar a eficiência do circuito subtraindo esta soma da potência nominal. Com isso, tem-se disposto na Tabela 25 a eficiência para as diferentes potências calculadas anteriormente.

Como pode ser observado, tanto para o retificador quanto para o inversor a maior eficiência ocorre quando o conversor opera com a potência nominal. É possível observar também que o rendimento cai muito para potências mais baixas. Isso ocorre devido as perdas por bloqueio e comutação, as quais interferem mais na eficiência em potências mais baixas por apresentarem valores elevados.

Tabela 25 – Tabela da eficiência considerando diferentes potências para os conversores.

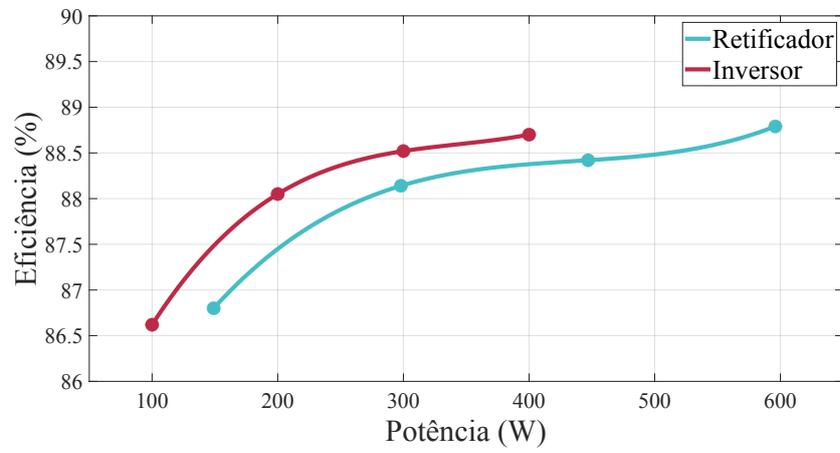
Potência	Eficiência (%)	
	Retificador	Inversor
25% da potência nominal	86,80	86,62
50% da potência nominal	88,14	88,05
75% da potência nominal	88,42	88,52
Potência nominal	88,79	88,70

Fonte: Autoria própria.

A Figura 119 apresenta a eficiência dos conversores para a variação de potência. Como pode ser observado, o inversor apresentou uma menor eficiência que o retificador, apesar da

diferença ser sutil entre ambas as estruturas.

Figura 119 – Curva de eficiência teórica para o retificador e para o inversor.



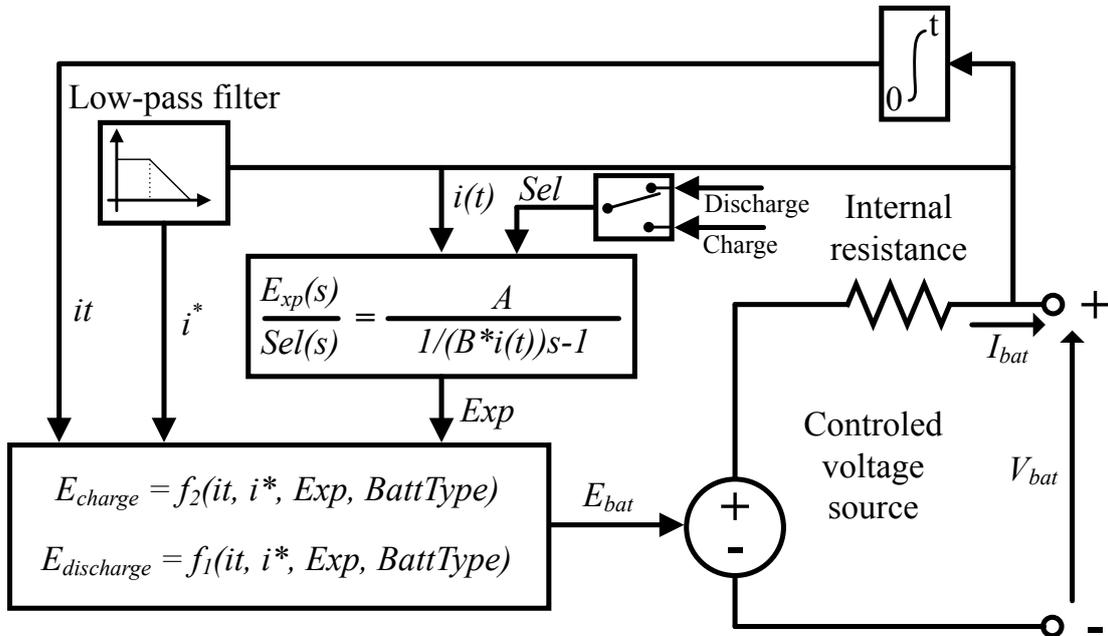
Fonte: Autoria própria.

ANEXO

ANEXO A – INFORMAÇÕES DAS BATERIAS UTILIZADAS NA SIMULAÇÃO

O modelo das baterias utilizadas para a simulação do sistema foi o disponibilizado pelo software MATLAB/Simulink, o qual possui o circuito equivalente apresentado na Figura 120

Figura 120 – Modelo da bateria utilizada nas simulações.



Fonte: MATLAB/Simulink, 2021.

As expressões apresentadas na Figura 120 são definidas da seguinte maneira para as bateria de chumbo-ácido:

$$f_1(it, i^*, i, Exp) = E_0 - K \cdot \frac{Q}{Q - it} \cdot i^* - K \frac{Q}{Q - it} \cdot it + Laplace^{-1} \left(\frac{Exp(s)}{Sel(s)} \cdot 0 \right) \quad (324)$$

$$f_2(it, i^*, i, Exp) = E_0 - K \cdot \frac{Q}{it + 0.1 \cdot Q} \cdot i^* - K \frac{Q}{Q - it} \cdot it + Laplace^{-1} \left(\frac{Exp(s)}{Sel(s)} \cdot \frac{1}{s} \right) \quad (325)$$

onde: E_{bat} é a tensão não linear da bateria; E_0 é a tensão contínua das baterias; $Exp(s)$ é a consideração da zona exponencial existente na curva característica da tensão pela capacidade da bateria; $Sel(s)$ representa o estado da bateria (carga ou descarga); K é a resistência de polarização; i^* é referente a dinâmica da corrente de baixa frequência; i é a corrente da bateria; Q é a capacidade total da bateria; A é referente a característica exponencial existente na tensão da bateria; B é referente a característica exponencial na corrente da bateria.