

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ

ALEX SANDER SEBAJE

**CONVERSOR CC-CC HÍBRIDO SEPIC COM SAÍDAS SIMÉTRICAS INTEGRADO
A CÉLULA A CAPACITOR CHAVEADO MODIFICADA**

PONTA GROSSA

2023

ALEX SANDER SEBAJE

**CONVERSOR CC-CC HÍBRIDO SEPIC COM SAÍDAS SIMÉTRICAS INTEGRADO
A CÉLULA A CAPACITOR CHAVEADO MODIFICADA**

**HYBRID SEPIC DC-DC CONVERTER WITH SYMMETRICAL OUTPUTS
INTEGRATED WITH A MODIFIED SWITCHED CAPACITOR CELL**

Dissertação apresentada como requisito para obtenção do título de Mestre em Engenharia Elétrica do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná (UTFPR).

Orientador(a): Prof. Dr. Carlos Henrique Illa Font.

PONTA GROSSA

2023



[4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/)

Esta licença permite remixe, adaptação e criação a partir do trabalho, para fins não comerciais, desde que sejam atribuídos créditos ao(s) autor(es) e que licenciem as novas criações sob termos idênticos. Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.



ALEX SANDER SEBAJE

**CONVERSOR CC-CC HÍBRIDO SEPIC COM SAÍDAS SIMÉTRICAS INTEGRADO A CÉLULA A
CAPACITOR CHAVEADO MODIFICADA**

Trabalho de pesquisa de mestrado apresentado como requisito para obtenção do título de Mestre Em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná (UTFPR). Área de concentração: Controle E Processamento De Energia.

Data de aprovação: 27 de Fevereiro de 2023

Dr. Carlos Henrique Illa Font, Doutorado - Universidade Tecnológica Federal do Paraná

Dr. Paulo Junior Silva Costa, Doutorado - Universidade Tecnológica Federal do Paraná

Dr. Telles Brunelli Lazzarin, Doutorado - Universidade Federal de Santa Catarina (Ufsc)

Documento gerado pelo Sistema Acadêmico da UTFPR a partir dos dados da Ata de Defesa em 27/02/2023.

AGRADECIMENTOS

Agradeço exclusivamente a Deus pelo suprimento, força e coragem alcançados diante dos desafios e jornadas da minha vida.

Expresso meus sinceros agradecimentos à minha esposa, mãe e filha pelo apoio e compreensão prestados durante todo o percurso dos estudos deste trabalho.

Agradeço especialmente ao meu professor e orientador, Dr. Carlos Henrique Illa Font, pela nossa amizade e pela grande atenção dispensada no incentivo, entusiasmo e orientação dedicados a esta pesquisa, os quais foram essenciais para a conclusão do projeto.

Minha profunda gratidão aos professores membros da banca examinadora, o Prof. Dr. Paulo Junior Silva Costa da UTFPR e o Prof. Dr. Telles Brunelli Lazzarin da Universidade Federal de Santa Catarina (UFSC), por suas inestimáveis colaborações durante a execução deste trabalho, assim como por suas avaliações criteriosas e pelos conhecimentos compartilhados.

Expresso agradecimentos aos demais professores do Programa de Pós-Graduação em Engenharia Elétrica da UTFPR-PG por sua contínua disponibilidade em oferecer ajuda e por seus valiosos ensinamentos, os quais foram fundamentais para o meu crescimento e aperfeiçoamento acadêmico.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) - Código de Financiamento 001 e pelo Instituto Nacional de Ciência e Tecnologia em Geração Distribuída (INCTGD) sob os processos CNPq 465640/2014-1, CAPES 23038.000776/2017-54 e FAPERGS 17/2551-0000517-1. O autor expressa sua gratidão as agências financiadoras.

"Recebi a minha instrução e não a prata; e o conhecimento antes do que o ouro escolhido. Pois a sabedoria é melhor do que os rubis; e tudo o que se pode desejar não é comparável a ela." (Provérbios 8:10-11).

RESUMO

Neste trabalho é apresentado o estudo da topologia de um conversor CC-CC híbrido não isolado formado pela integração de um conversor SEPIC (PWM) com saídas simétricas de tensão integrado a célula a capacitor chaveado modificada operando no modo de condução contínua (MCC). O conversor é adequado para conectar um sistema de armazenamento de energia de baterias em um microgrid CC ou em soluções de energia renovável, mobilidade elétrica e eletrificação dos meios de transporte com uso de armazenamento de energia. Devido ao conceito de célula a capacitor chaveado, a topologia proposta permite trabalhar com tensões de saída mais elevadas, permitindo que os semicondutores sejam submetidos a um estresse de tensão reduzido, quando comparado com o conversor SEPIC convencional. O trabalho apresenta a análise qualitativa do conversor com a descrição do princípio de operação, formas de onda ideais, análise quantitativa para obtenção das equações de projeto. Em um segundo momento do trabalho, é apresentado a comprovação do estudo com os resultados de simulação numérica e posteriormente ensaios experimentais do conversor operando com 240V de tensão de entrada, 400V em tensão de saída, frequência de chaveamento de 50kHz e potência nominal de 1KW.

Palavras-chave: conversor cc-cc unidirecional; conversor híbrido; SEPIC; capacitor chaveado; multiplicador.

ABSTRACT

In this paper, the topology study of a non-isolated hybrid DC-DC converter formed by integrating a SEPIC (PWM) converter with symmetrical voltage outputs integrated with modified switched capacitor cell operating in (CCM) continuous conduction mode is presented. The converter is suitable for connecting a battery energy storage system in a DC microgrid or in renewable energy solutions, electric mobility and electrification of transport means using energy storage. Due to the switched-capacitor cell concept, the proposed topology allows working with higher output voltages, allowing the semiconductors to be subjected to reduced voltage stress compared to the conventional SEPIC converter. The work presents the qualitative analysis of the converter with the description of the operating principle, ideal waveforms, quantitative analysis to obtain the design equations. In a second moment of the work, the proof of the study is presented with the numerical simulation results and later experimental tests of the converter operating with 240V input voltage, 400V output voltage, 50kHz switching frequency and nominal power of 1KW.

Keywords: unidirectional dc-dc converter; hybrid converter; SEPIC; switched capacitor; multiplier.

LISTA DE FIGURAS

Figura 1 — (a) Célula unitária original. (b) Circuito simplificado. (d) Circuito equivalente. (c) Sinais de comandos dos interruptores.	23
Figura 2 — (a) Circuito da 1ª etapa de operação. (b) Circuito da 2ª etapa de operação. (c) Forma de onda da tensão e corrente no capacitor. . .	26
Figura 3 — Curva comportamental da resistência equivalente (R_{eq}) em função do produto ($f_s\tau$), para $D=0,5$	30
Figura 4 — Resistência equivalente parametrizada, em função da razão cíclica D , para valores do produto ($f_s\tau$).	32
Figura 5 — Representações do Circuito equivalente para valores médios.	33
Figura 6 — Indicação dos limites para os modos de operação (DC), (DP) e (SD).	35
Figura 7 — Corrente no capacitor chaveado para diferentes modos de operação.	35
Figura 8 — (a) Célula genérica de comutação; (b) célula passiva a capacitor chaveado; (c) célula passiva de comutação híbrida.	38
Figura 9 — (a) Conversor CC-CC híbrido Buck; (b) Conversor CC-CC híbrido Boost; (c) Conversor CC-CC híbrido Buck-Boost.	39
Figura 10 — Conversor CC-CC Boost híbrido (Multinível).	40
Figura 11 — Curvas conversor CC-CC Boost híbrido: (a) Resistência equivalente; (b) Ganho estático.	41
Figura 12 — Conversor CC-CC unidirecional Buck híbrido.	42
Figura 13 — Curvas conversor CC-CC Buck híbrido: (a) Resistência equivalente; (b) Ganho estático.	43
Figura 14 — Conversor CC-CC unidirecional Buck-Boost híbrido.	43
Figura 15 — Curvas conversor CC-CC Buck-Boost híbrido: (a) Resistência equivalente; (b) Ganho estático.	44
Figura 16 — Conversor CC-CC SEPIC convencional (1x).	45
Figura 17 — Ganho estático conversor CC-CC SEPIC (PWM) convencional	46
Figura 18 — Conversor CC-CC SEPIC híbrido multiplicador (2x).	47
Figura 19 — Conversor CC-CC SEPIC híbrido multiplicador (3x) com extensão de (n_x).	49
Figura 20 — Ganho estático do conversor CC-CC SEPIC híbrido multiplicador (n_x).	52
Figura 21 — Formas de onda das tensões de saída - conversor SEPIC híbrido multiplicador (2x).	55
Figura 22 — Retificador monofásico (SEPIC+SC 1S) multiplicador.	56

Figura 23 — Conversor CC-CC híbrido SEPIC com saídas simétricas Integrado a célula a capacitor chaveado modificada	59
Figura 24 — Estruturação da topologia híbrida do conversor proposto.	61
Figura 25 — Exemplo: Alimentação simétrica de tensão para um inversor CC-CA meia ponte.	63
Figura 26 — Comparativo das principais características qualitativas compartilhadas entre a estrutura existente na literatura e a estrutura proposta.	64
Figura 27 — Representação operacional do conversor proposto.	65
Figura 28 — Primeira etapa de operação - Conversor híbrido SEPIC a capacitor chaveado.	67
Figura 29 — Segunda etapa de operação - Conversor híbrido SEPIC a capacitor chaveado.	69
Figura 30 — Formas de onda ideais das correntes do conversor proposto (Parte 1).	71
Figura 31 — Formas de onda ideais das correntes do conversor proposto (Parte 2).	72
Figura 32 — Formas de onda ideais das tensões do conversor proposto (Parte 1).	73
Figura 33 — Formas de onda ideais das tensões do conversor proposto (Parte 2).	74
Figura 34 — Circuito equivalente ativo – 1° etapa de operação.	75
Figura 35 — Circuito equivalente ativo – 2° etapa de operação.	79
Figura 36 — Análise das correntes médias que circulam no conversor.	85
Figura 37 — Ganho estático da estrutura proposta (Vermelho) x ganho estático do conversor SEPIC convencional (Preto).	89
Figura 38 — Ganho estático da estrutura proposta considerando perdas.	90
Figura 39 — Generalização da topologia para (m) células passivas a capacitor chaveado integradas em série.	91
Figura 40 — Ganho estático da topologia generalizada para (m) integrações de células passivas a capacitor chaveado.	94
Figura 41 — Comparativo entre os ganhos da estrutura existente na literatura e a proposta.	95
Figura 42 — Formas de onda da tensão e corrente nos indutores. L_1 e L_2	96
Figura 43 — Formas de onda da tensão e corrente no capacitor C_1	104
Figura 44 — Formas de onda da ondulação de tensão e corrente no capacitor chaveado C_2	106
Figura 45 — Forma de onda auxiliar do valor médio e de pico de uma função - Primeiro intervalo.	108

Figura 46 — Forma de onda auxiliar do valor médio e de pico de uma função - Segundo intervalo.	109
Figura 47 — Comportamento eficaz das correntes nos semicondutores, parametrizados pela corrente de saída I_o em função da razão cíclica D : (a) Corrente eficaz parametrizada no interruptor S_1 e diodo D_1 ; (b) Corrente eficaz parametrizada nos diodos D_2 , D_3 , D_{a1} e D_{a2}	116
Figura 48 — Primeira etapa de operação com a inclusão do resistor (R).	117
Figura 49 — Segunda etapa de operação com a inclusão do resistor (R).	119
Figura 50 — Comportamento eficaz das correntes nos capacitores, parametrizados pela corrente de saída I_o em função da razão cíclica D : (a) Corrente eficaz parametrizada nos capacitores C_1 , C_{o1} e C_{o2} ; (b) Corrente eficaz parametrizada no capacitor chaveado C_2	123
Figura 51 — Comportamento da forma de onda do perfil instantâneo da corrente no capacitor C_2	124
Figura 52 — Forma e onda da corrente no capacitor chaveado C_2 em perfil constante.	125
Figura 53 — Modelo representativo do circuito do conversor proposto simulado no software PSIM.	127
Figura 54 — Circuito equivalente da célula passiva para o conversor proposto.	131
Figura 55 — a) Ponto de operação na curva comportamental da resistência equivalente parametrizada (R_{eq}), em função do produto ($f_s\tau$) para $D=0,46$. b) Resistência equivalente parametrizada, em função da razão cíclica $D=0,46$, para valores do produto ($f_s\tau$).	132
Figura 56 — Formas de onda: sinal de comando no interruptor S_1 e corrente nos indutores L_1 e L_2	137
Figura 57 — Formas de onda da tensão nos indutores L_1 e L_2	138
Figura 58 — Formas de onda: tensão sobre os capacitores C_{o1} , C_{o2} e C_2 e tensão de saída V_o	139
Figura 59 — Formas de onda das correntes de entrada I_1 e saída I_o	139
Figura 60 — Formas de onda das tensões em V_1 , V_o , $V_{C_{o1}}$ e $V_{C_{o2}}$	140
Figura 61 — Formas de onda da tensão e corrente no capacitor C_1	141
Figura 62 — Formas de onda das correntes nos capacitores C_2 , C_{o1} e C_{o2}	142
Figura 63 — (a) Perfil teórico da corrente i_{C2} para os intervalos Δt_1 e Δt_2 para $D=0,46$. (b) Comparação entre o resultado teórico versus simulado para a corrente i_{C2}	143
Figura 64 — Curva comportamental da resistência equivalente: (a) modelo ideal; (b) modelo prático.	145

Figura 65 — Formas de onda da tensão e corrente no interruptor S_1	146
Figura 66 — Formas de onda da tensão e corrente no diodo auxiliar D_{a1}	147
Figura 67 — Formas de onda da tensão e corrente no diodo auxiliar D_{a2}	147
Figura 68 — Formas de onda da tensão e corrente no diodo D_1	148
Figura 69 — Formas de onda da tensão e corrente no diodo D_2	149
Figura 70 — Formas de onda da tensão e corrente no diodo D_3	150
Figura 71 — Foto do protótipo do conversor CC-CC híbrido SEPIC com saídas simétricas integrado a célula a capacitor chaveado modificada . . .	152
Figura 72 — Sobretensão causada pela recuperação reversa no diodo D_1	155
Figura 73 — Formas de onda: Tensão e corrente de entrada V_1 e I_1 – 20V/div e 1A/div respectivamente.	157
Figura 74 — Formas de onda: Tensão no indutor V_{L1} e corrente no indutor I_{L1} – 100V/div e 1A/div respectivamente.	158
Figura 75 — Forma de onda: Ondulação de corrente no indutor L_1 - 100mA/div. .	159
Figura 76 — Forma de Onda: Tensão no interruptor S_1 - 70V/div.	160
Figura 77 — Forma de onda: Tensão no capacitor C_1 - 50V/div.	161
Figura 78 — Formas de onda: Tensão no indutor V_{L2} e corrente no indutor I_{L2} – 80V/div e 2A/div respectivamente.	162
Figura 79 — Forma de onda: Ondulação de corrente no indutor L_2 - 100mA/div. .	163
Figura 80 — Formas de onda: Tensão nos diodos auxiliares D_{a1} e D_{a2} – 70V/div (ambos).	164
Figura 81 — Formas de onda: Tensão nos diodos D_1 e D_2 – 100V/div e 50V/div respectivamente.	165
Figura 82 — Formas de onda: Tensão no diodo D_3 – 80V/div.	166
Figura 83 — Formas de onda: Tensão e corrente de entrada V_o e I_o – 50V/div e 500mA/div respectivamente.	167
Figura 84 — Formas de onda: tensão sobre os capacitores C_{o1} , C_{o2} (ambos 20V/div) e tensão de saída V_o (30V/div).	168
Figura 85 — Formas de onda: tensão sobre capacitor chaveado C_2 (20V/div) e tensão de saída V_o (30V/div).	169
Figura 86 — Rendimento do conversor para os novos parâmetros da tabela 15. .	170
Figura 87 — Layout face Bottom da placa de potência do conversor.	178
Figura 88 — Layout face Top e Bottom da placa de potência do conversor.	180

LISTA DE TABELAS

Tabela 1 — Intervalos para os modos de operação do capacitor chaveado.	34
Tabela 2 — Componentes do conversor CC-CC SEPIC híbrido para diferentes níveis multiplicadores.	50
Tabela 3 — Comparativo das grandezas máximas de tensão nos componentes das estruturas.	53
Tabela 4 — Especificações da simulação do conversor SEPIC híbrido multiplicador (2x).	54
Tabela 5 — Grandezas de tensão sobre os componentes do conversor proposto.	82
Tabela 6 — Tabela comparativa de componentes para as (m) integrações de células passivas a capacitor chaveado.	95
Tabela 7 — Especificações de projeto	128
Tabela 8 — Parâmetros do circuito equivalente da célula passiva a capacitor chaveado modificada.	133
Tabela 9 — Valores para os componentes passivos do projeto.	133
Tabela 10 — Comparativo dos resultados teóricos versus resultados de simulação no software PSIM.	134
Tabela 11 — Comparativo: Constante de tempo (τ) da corrente em i_{C2} - teórico versus simulado.	143
Tabela 12 — Comparativo: Produto ($f_{st}\tau$) para os intervalos de operação - teórico versus simulado.	144
Tabela 13 — Comparativo: Resistência (R) correspondente aos intervalos de operação - teórico versus simulado.	144
Tabela 14 — Componentes do circuito de potência utilizados na construção do protótipo.	152
Tabela 15 — Alteração dos parâmetros de ensaio	156

LISTA DE ABREVIATURAS E SIGLAS

CA	Corrente Alternada.
CC	Corrente Contínua.
DC	Descarga completa.
DP	Descarga Parcial.
F(D)	Função de Comutação.
GaN	Gallium Nitrite.
ICIT	International Conference of Industrial Technology.
IEEE	Institute of Electrical and Electronic Engineers.
IGBT	Insulated Gate Bipolar Transistor.
INEP	Instituto de Eletrônica de Potência.
MCC	Modo de condução contínuo.
MCD	Modo de condução descontínua.
MOSFET	Metal Oxide Semiconductor Field Effect Transistor.
PFC	Power Factor Correction.
PWM	Pulse Width Modulation.
SD	Sem Carga/Descarga.
SEPIC	Single-Ended Primary-Inductor Converter.
SiC	Silicon Carbide.
UFSC	Universidade Federal de Santa Catarina.
UTFPR	Universidade Tecnológica Federal do Paraná.

LISTA DE SÍMBOLOS

$Y_{1,2(méd.)}$	Valor médio da função durante os intervalos de tempo
Δi_{L1} e Δi_{L2}	Ondulação de Corrente nos Indutores (entrada) e (saída).
$\Delta t_{1,2}$	Intervalos de tempo.
a, b, c	Terminais da Célula de Comutação.
$A_{1,2}$	Áreas da forma de onda da tensão nos Indutores.
$C_{1,2,3,4}$	Capacitores 1, 2, 3 e 4 respectivamente.
C_{i1}	Capacitor de Entrada
$C_{o1,2}$ e C_3	Capacitores de Saída, 1, 2 e 3 respectivamente.
C_s	Capacitor Chaveado (C_2)
D	Razão Cíclica.
$D_{1,2,3,4,5}$	Diodos 1, 2, 3, 4 e 5 respectivamente.
D_{e1}, D_{e2}, D_{e3}	Diodos da Célula de Capacitor Chaveado.
D_{o1}, D_{o2}	Diodos de saída.
DT_s	Período de Tempo compreendido.
f_s	Frequência de chaveamento.
G	Ganho estático.
$G_{(mx)}$	Ganho estático de ordem múltipla células passivas integradas
G_{perdas}	Ganho estático com Perdas.
I_1	Valor Médio da Corrente de Entrada.
$I_{C1,2ef}$	Valor eficaz da Corrente nos Capacitores 1 e 2 respectivamente.
$I_{C2máx.}$	Corrente no Capacitor Chaveado no seu patamar máximo.
$I_{C2mín.}$	Corrente no Capacitor Chaveado no seu patamar mínimo.
$I_{Co1,2ef}$	Valor eficaz da Corrente Capacitores Saída 1 e 2 respectivamente.
$I_{D1,2,3(méd.)}$	Valor médio da Corrente nos Diodos 1, 2 e 3 respectivamente.
$I_{D1,2,3(pk)}$	Valor máximo da Corrente nos Diodos 1, 2 e 3 respectivamente.
$I_{D1,2,3ef}$	Valor eficaz da Corrente nos Diodos 1, 2 e 3 respectivamente.
$I_{Da1,2(méd.)}$	Valor médio Corrente Diodos auxiliares 1 e 2, respectivamente.
$I_{Da1,2(pk)}$	Valor máximo Corrente Diodos auxiliares 1 e 2, respectivamente.
$I_{Da1,2ef}$	Valor eficaz Corrente Diodos auxiliares 1 e 2, respectivamente.
$I_{L1,2ef.}$	Valor da Corrente eficaz nos Indutores 1 e 2, respectivamente.
$I_{L1,2máx.}$	Valor máximo da Corrente nos Indutores 1 e 2, respectivamente.
$I_{L1,2méd}$	Valor Médio da Corrente nos Indutores 1 e 2, respectivamente.

$I_{L1,2min.}$	Valor mínimo da Corrente nos Indutores 1 e 2, respectivamente.
I_o	Valor Médio da Corrente de Saída.
$I_{S1(med.)}$	Valor médio da Corrente no Interruptor.
$I_{S1(pk)}$	Valor máximo da Corrente no Interruptor.
I_{S1ef}	Valor eficaz da Corrente no Interruptor.
I_y, I_x	Variáveis Médias de Corrente em análise.
k	Variável de acréscimo multiplicador de Ganho das Células.
L_1	Indutor de Entrada.
L_2	Indutor de Saída.
mx	Ordem múltipla de Células passivas.
nx	Ordem da elevação múltipla de tensão (1x, 2x, 3x,..nx).
P_1	Potência de Entrada.
P_o	Potência de Saída.
pu	por unidade.
R	Resistência relacionada a Soma das Perdas Concentradas.
R_D	Resistência de condução do Diodo.
$R_{DS(on)}$	Resistência entre o Dreno e Fonte com o MOSFET ligado.
R_{eq}	Resistência Equivalente da Célula a Capacitor Chaveado.
R_{eq}	Resistência Equivalente Parametrizada da Célula.
R_{eq-min}	Valor mínimo da Resistência Equivalente
R_L	Resistência parasita do Indutor
R_o	Resistência de Carga.
RSE	Resistência Série Equivalente do capacitor.
$S_{1,2,3}$	Interruptores 1, 2 e 3, respectivamente.
T_s	Período de Comutação.
V_1	Tensão de Entrada.
V_{ab}	Tensão nos Terminais da Carga.
$V_{C1,2,3,4}$	Tensão nos Capacitores 1, 2, 3 e 4, respectivamente.
$V_{Co1,2,3}$	Tensão nos Capacitores de Saída 1, 2 e 3, respectivamente.
$V_{D1,2,3}$	Tensão nos Diodos 1, 2 e 3, respectivamente.
$V_{Da1,2}$	Tensão nos Diodos auxiliares 1 e 2, respectivamente.
$V_{L1,2}$	Tensão nos Indutores 1 e 2, respectivamente.
V_o	Tensão de Saída.
$V_{S1,2,3,4}$	Tensão nos Interruptores 1, 2, 3 e 4, respectivamente

$Y_{1,2(pk)}$	Valor de pico da Função durante os intervalos de tempo.
$\Delta Q_{1,2}$	Varição da Carga Armazenada nos Capacitores.
ΔV_{C2}	Ondulação de Tensão no Capacitor Chaveado.
$\Delta V_{Co1,2}$	Ondulação de Tensão nos capacitores de Saída.
τ	Constante de Tempo do Circuito.

SUMÁRIO

1	INTRODUÇÃO	16
1.1	Objetivos do trabalho	17
1.1.1	Objetivos específicos	17
1.1.2	Metodologia proposta	18
1.2	Organização do trabalho	18
1.3	Publicações realizadas	19
2	REVISÃO BIBLIOGRÁFICA	20
2.1	Histórico e referências do trabalho	21
2.1.1	Conversores de energia a capacitor chaveado	22
2.1.1.1	<u>Principais vantagens e desvantagens do uso da técnica</u>	23
2.1.1.2	<u>Princípio de funcionamento da célula a capacitor chaveado</u>	23
2.1.1.3	<u>Circuito equivalente da célula unitária</u>	25
2.1.1.4	<u>Etapas de operação e formas de onda</u>	25
2.1.1.5	<u>Resistência equivalente</u>	27
2.1.1.6	<u>Circuito equivalente para valores médios</u>	32
2.1.1.7	<u>Interpretação física da resistência equivalente</u>	33
2.1.2	Conceito de conversores híbridos	37
2.1.3	Célula de comutação híbrida	37
2.1.4	Conversor CC-CC Boost híbrido	39
2.1.5	Conversor CC-CC Buck híbrido	41
2.1.6	Conversor CC-CC Buck-Boost híbrido	43
2.1.7	Conversor CC-CC SEPIC convencional (1x)	44
2.1.8	Conversor CC-CC SEPIC híbrido multiplicador (2x), (3x) e (nx)	46
2.1.8.1	<u>Análise dos níveis de tensão no conversor SEPIC multiplicador (2x)</u>	50
2.1.8.2	<u>Simulação numérica para análise dos níveis de tensão de saída</u>	54
2.1.9	Conversor CA-CC SEPIC híbrido multiplicador	56
2.2	Conclusão do capítulo	57
3	CONVERSOR CC-CC HÍBRIDO SEPIC COM SAÍDAS SIMÉTRICAS INTEGRADO A CÉLULA A CAPACITOR CHAVEADO	59
3.1	Princípio de operação do conversor proposto	65
3.1.1	Etapas de operação	65
3.1.1.1	<u>Primeira etapa de operação</u>	67
3.1.1.2	<u>Segunda etapa de operação</u>	69
3.2	Formas de onda ideais do conversor proposto	70
3.3	Análise matemática das etapas de operação	75
3.3.1	Valores médios de tensão e corrente	82

3.3.2	Ganho estático ideal, razão cíclica e função de comutação	87
3.3.3	Ganho estático com perdas	89
3.4	Generalização da topologia	91
3.4.1	Ganho estático da topologia generalizada	93
3.5	Equações de projeto	96
3.5.1	Indutores L_1 e L_2	96
3.5.1.1	<u>Corrente máxima e mínima nos indutores L_1 e L_2</u>	99
3.5.1.2	<u>Corrente média e corrente eficaz nos indutores L_1 e L_2</u>	102
3.5.2	Capacitores C_1 , C_{o1} e C_{o2}	103
3.5.3	Análise das correntes média, máxima e eficaz nos semicondutores	108
3.5.3.1	<u>Esforços de corrente nos semicondutores</u> - S_1 , D_{a1} , D_2 , D_{a2} , D_3 e D_1	110
3.5.4	Análise empregando valor médio em espaço de estados	116
3.5.4.1	<u>Esforços de corrente nos capacitores</u> - C_1 , C_{o1} , C_{o2} e C_2	120
3.5.4.2	<u>Análise da corrente no capacitor chaveado C_2</u>	123
3.6	Conclusão do capítulo	126
4	PROJETO E RESULTADOS VIA SIMULAÇÃO NUMÉRICA	127
4.1	Projeto do conversor	127
4.1.1	Modo de operação e capacitância da célula modificada.	129
4.1.2	Resultados de simulação numérica para o conversor proposto.	133
4.1.3	Formas de onda dos resultados da simulação numérica.	136
4.2	Conclusão do capítulo	150
5	RESULTADOS EXPERIMENTAIS	151
5.1	Protótipo construído	151
5.2	Especificações dos componentes do conversor	152
5.2.1	Circuito de comando e driver	153
5.3	Desafios de bancada	153
5.3.1	Alteração dos parâmetros de ensaio experimental.	156
5.3.2	Principais formas de onda dos resultados experimentais	156
5.3.3	Rendimento do conversor	169
6	CONCLUSÃO	171
	REFERÊNCIAS	173
	APÊNDICE A - Esquemático do circuito do conversor	178
	APÊNDICE B - Layouts da placa de potência do conversor	180

1 INTRODUÇÃO

Um dos objetivos principais da eletrônica de potência é controlar o fluxo de energia de uma fonte de energia a uma carga de maneira inteligente com alta confiabilidade, disponibilidade, considerando o baixo custo, volume e peso. Para isso torna-se necessário integrar as várias sub áreas de conhecimento da engenharia elétrica. Logo pode-se afirmar que a eletrônica de potência é uma área multidisciplinar que envolve os sistemas de controle, seja no ramo digital quanto no analógico, bem como parte integrante na cadeia de potência e controle de máquinas elétricas.

Como essência da eletrônica de potência estão os conversores estáticos chaveados (ligar/desligar), representados por circuitos eletrônicos compostos por um conjunto de dispositivos dado por elementos ativos como interruptores de potência (IGBTs, MOSFETs, SiC e GaN), além de elementos passivos como diodos, indutores capacitores e resistores, onde juntos operam para converter, controlar e condicionar a energia elétrica.

O principal objetivo dos conversores é promover uma interface entre sistemas de energia (composta tal como por sistemas em arranjo fotovoltaico), adequando os níveis de energia entregues em termos de tensão e corrente entre fonte e carga ou com a rede elétrica. Dentre as aplicações na área de energias renováveis a eletrônica possui uma importante função, pois atua nos estágios de conversão de energia possibilitando a elevação da tensão a níveis adequados e garantindo a máxima extração de potência da fonte geradora.

Os conversores são normalmente classificados em quatro categorias distintas em relação a sua entrada e saída (CA-CC; CC-CC; CC-CA e CA-CA). Outra classificação também concebida aos conversores está relacionada à direção de fluxo de potência que pode ser realizado em um único sentido (unidirecional) ou em ambos sentidos de forma direta e reversa (bidirecional).

Dentre as diversas aplicações possíveis, está o esforço tecnológico que vem ganhando cada vez mais destaque na eletrônica de potência nos últimos anos voltado aos veículos totalmente elétricos do tipo BEV (Battery Electric Vehicle), como também do tipo híbrido plugável PHEV (Plug-in Hybrid Electric Vehicle). Outras alternativas que também fazem parte da mobilidade elétrica com interfaceamento eletrônico de potência em constante estudo são os monociclos, bicicletas e veículos de grande porte como ônibus, trens, aviões e navios.

As aplicações tecnológicas que vêm fomentando na área da pesquisa eletroeletrônica são as microrredes, onde sistemas compostos por várias fontes geradoras de energia distintas como eólicas, solar, células a combustível, entre

outras, que associadas a rede básica primária de atendimento de energia, bem como a fontes secundárias como geradores a combustão por exemplo, são então totalmente integrados para prover energia de forma inteligente a cargas específicas (bairro, condomínio, hospitais, etc), bem como, a sistemas de armazenamento de energia como baterias, flywheel entre outros. Tais aplicações para o fornecimento de energia, necessitam trabalhar de forma conjugada e harmonizada, tornando-se necessário o uso de estratégias de controle mais complexas que envolvem comunicação entre os conversores como também precisas tomadas de decisão.

Dado a crescente utilização de topologias que buscam vantagens com a procura dos melhores resultados em termos de eficiência e compatibilidade tecnológica, encadeou também um aumento significativo no conceito de hibridização de estruturas dada pela integração de diferentes arquiteturas, trazendo um celeiro de inovações na área de eletrônica de potência. Isso também trouxe desafios inerentes ao estudo da arte para a concepção de novas topologias que permeiam complexidades diferentes.

Portanto, os conversores CC-CC requerem um estudo especial, dada a sua importância em sistemas de geração, sendo um dos itens focados no direcionamento desse trabalho. Por questões de simplificação neste estudo será feita uma revisão bibliográfica abordando principalmente conversores CC-CC elevadores de tensão (Step-up converters) e inseridos na classe dos conversores não isolados (transformerless DC-DC converters), visto que sistemas como os fotovoltaicos por exemplo possuem, em geral, uma tensão de saída abaixo da tensão nominal desejada.

Desta maneira, visando propor a discussão nessa linha de pesquisa no âmbito da eletrônica de potência, as seções vindouras abordaram os conceitos gerais que objetivam o estudo proposto e posterior estruturação do trabalho.

1.1 Objetivos do trabalho

O objetivo do trabalho visa demonstrar o desenvolvimento de um conversor CC-CC unidirecional híbrido SEPIC com saídas simétricas de tensão, através de uma metodologia que propõe integrar um conversor convencional a uma estrutura de célula passiva a capacitor chaveado modificada.

1.1.1 Objetivos específicos

Dado o contexto trazido na introdução e nos objetivos deste estudo, motivam destacar os seguintes tópicos:

- Analisar, projetar e implementar o conversor CC-CC híbrido SEPIC integrado a célula de capacitor chaveado modificada, operando em malha aberta com carga resistiva;
- Propor um conversor CC-CC com capacidade de elevação de tensão e possibilidade de operação com alta taxa de conversão sem a necessidade de ciclos de trabalho extremos.
- Permitir a operação do conversor com tensões de saída mais elevadas sem que os semicondutores sejam submetidos a excessivos esforços de tensão;
- Realizar simulações digitais, para a complementação e validação do estudo;
- Desenvolvimento de um protótipo para posteriores testes com resultados experimentais em bancada.

1.1.2 Metodologia proposta

- Revisão bibliográfica com histórico e estruturação ao assunto;
- Análise teórica do conversor e suas potencialidades;
- Projeto e resultados via simulação numérica;
- Implementação prática e ensaios de laboratório.

1.2 Organização do trabalho

Nos capítulos que seguem, o capítulo 2 traz revisão bibliográfica sobre algumas topologias de conversores CC-CC híbridos não isolados com uma abordagem generalizada ao tema proposto, e comenta os trabalhos de conversores CC-CC elevadores de tensão que possuam saídas que promovam algum tipo de divisão de tensão e redução de esforços de tensão em seus componentes, ressaltando de forma breve suas principais características.

No capítulo 3, é apresentada a análise teórica do conversor proposto com conceitos envolvidos necessários ao entendimento da estruturação e características

da topologia, bem como as etapas de operação, principais formas de onda e todo o equacionamento elaborado para a realização do projeto e operação proposta. Além disso, apresenta-se a validação das equações de projeto.

No capítulo 4, é tratado sobre o projeto e os resultados obtidos por simulação numérica em malha aberta, com intuito de comprovação do estudo.

No capítulo 5, é demonstrado os resultados do desenvolvimento de um protótipo para posteriores testes e obtenção de resultados experimentais em bancada, com operação em malha aberta.

1.3 Publicações realizadas

No decorrer do mestrado, houve a publicação junto ao (IEEE) do artigo (21) junto a Conferência Brasileira de Eletrônica de Potência (COBEP), relacionado ao tema de conversores CC-CC híbridos bidirecionais com uso do conceito de capacitor chaveado, e por motivos conceituais necessários a serem lapidados para sua continuidade foram postergados, porém, devido a sua trajetória e dada as contribuições trazidas, o mesmo é citado neste trabalho, visto que, deu lugar ao presente estudo do conversor unidirecional desse estudo.

- **A. S. Sebaje, M. L. da Silva Martins and C. H. Illa Font**, "A Hybrid Bidirectional DC-DC Converter Based on a SEPIC/Zeta Converter with a Modified Switched Capacitor Cell," 2021 Brazilian Power Electronics Conference (COBEP), 2021, pp. 1-6, doi: 10.1109/COBEP53665.2021.9684119.

2 REVISÃO BIBLIOGRÁFICA

O setor de distribuição de energia elétrica sofreu mudanças significativas nos últimos anos. O crescimento contínuo das energias renováveis vem introduzindo novos conceitos, métodos e tecnologias no contexto da geração distribuída (GD) e das microrredes CC/AC (1-4).

Devido à característica intermitente inerente à geração de energia elétrica a partir de fontes renováveis solares e eólicas, a operação estável de uma microrrede CC é obtida pela adição de sistemas de armazenamento conectados ao barramento CC. Geralmente, o sistema de armazenamento de energia por baterias é composto por eletrônicos de controle e monitoramento BEES (battery energy storage system) para operar de forma segura. Além disso, em aplicações de energia renovável ligada à rede, o BEES pode suavizar a energia injetada na rede, bem como fornecer inteligência e independência do sistema de energia renovável (1-4).

Cabe destacar em contexto as pesquisas relacionadas a conversores CC-CC do tipo bidirecionais que vem se destacando significativamente nos últimos anos (5-14), visto sua viabilidade em aplicações de baixa tensão de entrada e possível interface a sistemas de armazenamento de energia estacionários e de mobilidade. Em geral, esses conversores costumam empregar de três a cinco interruptores ativos em sua estrutura e possuem um maior ganho de tensão em comparação as topologias clássicas não isoladas como os conversores Buck e Boost (15), permitindo trabalhar com reduzidos esforços de tensão nos componentes e uma ampla gama de variação de tensão imposta entre fonte e/ou carga.

Outras variações topológicas de conversores clássicos, também colaboram na quantificação dos esforços relacionados a melhoria ao estudo da arte na área de conversores CC-CC bidirecionais, como é o caso do conversor com características duais do tipo SEPIC/Zeta (PWM) com integração híbrida em sua composição estrutural ao conceito de célula de capacitor chaveado (21), o qual proporciona a vantagem de operar de forma adequada como elevador e abaixador (step-up/-down) de tensão, análogo a topologias Buck-Boost, onde as variabilidades de tensão impostas a estrutura são computadas pelo controle e monitoramento do BEES em aplicações (8, 12, 16).

Este tipo de estrutura híbrida proporciona reduzidos esforços de tensão nos semicondutores quando comparado com outros conversores convencionais, como por exemplo, os conversores Buck-Boost, SEPIC, Cúk e Zeta, que trazem inerentemente a desvantagem da tensão nos seus interruptores ser maior que a tensão nos interruptores das topologias Buck e Boost. Portanto neste caso, torna-se necessário a escolha de interruptores ativos com maior tensão de interrupção e como consequência uma diminuição da eficiência é observada devido a valores

relativamente altos da resistência no estado de drenagem para a fonte, e conseqüentemente um danoso aumento da corrente de pico que incidirá nos interruptores e semicondutores ativos, acarretando no aumento das perdas provenientes da comutação.

Conversores híbridos formados pela integração de um conversor PWM com uma célula de capacitor chaveado foram apresentados em muitas propostas, tanto em conversores unidirecionais (17) quanto bidirecionais (14, 18).

Na literatura por exemplo, é possível encontrar um conversor CC-CC unidirecional híbrido operando com 1 kW e 98.5% de eficiência (17) um conversor CC-CC bidirecional híbrido operando com 1 kW e 96.5% de eficiência (18), um retificador PFC (correção de fator de potência) operando em modo de condução contínua (MCC) com 1 kW e 96.5% de eficiência (19) e um retificador PFC operando em modo de condução descontínua (MCD) com 500 W e 94.3% de eficiência (20).

Além disso, outras abordagens na literatura (22-33) também reportam importantes vantagens relacionadas ao uso da técnica de capacitor chaveado, como por exemplo, a possibilidade da obtenção do aumento, divisão e equalização da tensão junto ao barramento CC-CC da saída do conversor para alimentação de cargas, bem como interface a outros estágios relacionados ao processamento de energia.

2.1 Histórico e referências do trabalho

O histórico e referências contidas neste trabalho são basicamente resultados das pesquisas realizadas pelo autor e seu orientador, e possuem importante relevância no estudo para entender como o tema proposto obteve a sua fundamentação e origem.

Propor topologias que permitam trabalhar com tensões de saída mais elevadas, sem que transistores e semicondutores sejam submetidos a esforços de tensão também elevados é um tema muito clássico e discutido em vários trabalhos.

Por exemplo, para os conversores clássicos Boost e Buck-Boost que possuem características já conhecidas, caso estes sejam submetidos a tensões de saída muito elevadas, os transistores e os diodos serão também submetidos a elevação destas tensões. Isso sempre será um problema em termos de projeto, já que não é possível escolher em geral transistores que tenham baixas perdas, e a sua aplicação em termos de suportabilidade de tensão comumente está limitada na faixa de 600V a 650V. Quando por limitações de projeto torna-se necessária a escolha de transistores em faixas maiores de tensão como por exemplo de 1000V a 1200V que ocasionará conseqüentemente baixos rendimentos trazendo assim uma desvantagem a topologia. Então é sempre viável quando possível, propor topologias

de conversores que submetam os transistores a tensões não maiores que 600V.

Assim, o emprego de técnicas na produção de trabalhos voltados a conversores CC-CC mais complexos em termos de estrutura, como por exemplo conversores do tipo híbrido, multiníveis, unidirecionais, bidirecionais entre outros, que juntamente com a combinação adequada ao conceito de conversor estático a capacitor chaveado que possuam alguma forma de divisão de tensão em sua saída, possibilitaram a utilização de transistores de maneira que estes sejam submetidos a menores esforços de tensão, proporcionando significativa eficiência e melhores rendimentos, bem como outras vantagens e também desvantagens que serão abordadas no decorrer das seções.

2.1.1 Conversores de energia a capacitor chaveado

O estudo de conversor de energia a capacitor chaveado também denominados como "conversores puros" é discutido nas próximas seções por vários motivos (22), entre eles por ser considerado uma das fronteiras da eletrônica de potência mundial, com oportunidades únicas para estudos teóricos e também para condução de atividades experimentais que possuem um grande potencial de crescimento, fazendo que esse conhecimento seja incorporado em produtos comerciais de pequenas e grandes potências com emprego dessa Técnica.

O princípio do uso desse conceito de capacitor chaveado já existe há muito tempo na literatura, como também em outras publicações mais recentes datadas por exemplo do início dos anos 2000 (23-25), onde em 2013 (26), houve a primeira apresentação de mestrado no Brasil na área de capacitor chaveado processando energia, e posteriormente outras diversas dissertações e teses nessa área com foco no tema sobre capacitores chaveados ou conversores híbridos que é o resultado da Integração entre os conversores a capacitores chaveados com os conversores convencionais.

O uso da técnica de capacitor chaveado foi inicialmente concedida para emprego em processamento de sinais e posteriormente esta técnica, passou a ser empregada em processamento de energia especificamente. Por se tratar de abordagens completamente distintas será dado ênfase apenas no processamento de energia.

Esta área de estudo abriga uma quantidade grande de conhecimento gerado, e por esse motivo não seria possível abordar mesmo de forma resumida tudo o que foi já apresentado na literatura nos últimos anos. Logo deseja-se apenas realizar um breve resumo e análise despreziosa sobre o assunto junto ao estudo para possibilitar o seu entendimento.

2.1.1.1 Principais vantagens e desvantagens do uso da técnica

A seguir, será exposto a descrição das vantagens e desvantagens da técnica de capacitor chaveado e conforme (22) são muitas, e por se tratar de uma topologia em que o chaveamento e transferência de energia ocorre somente entre capacitores acarreta algumas particularidades que são próprias desse tipo de estrutura. Serão discutidas no decorrer dessa seção de forma breve algumas que são as mais reconhecidas.

Como principais vantagens da topologia a capacitor chaveado pode-se destacar a inexistência de indutores em sua estrutura de célula, visto que Indutores geralmente apresentam custo elevado e possuem problemas de compatibilidade eletromagnética, desta forma, dada a reduzida interferência eletromagnética, o uso acaba tornando-se mais interessante para determinadas aplicações.

Devido a topologia ser composta somente por interruptor e capacitor, ocasiona a possibilidade de fabricação de circuitos integrados, já que não possui campo magnético envolvido, e desta forma a integração torna-se possível.

Outra vantagem a considerar está relacionada a possibilidade de operar com eficiências muito elevadas.

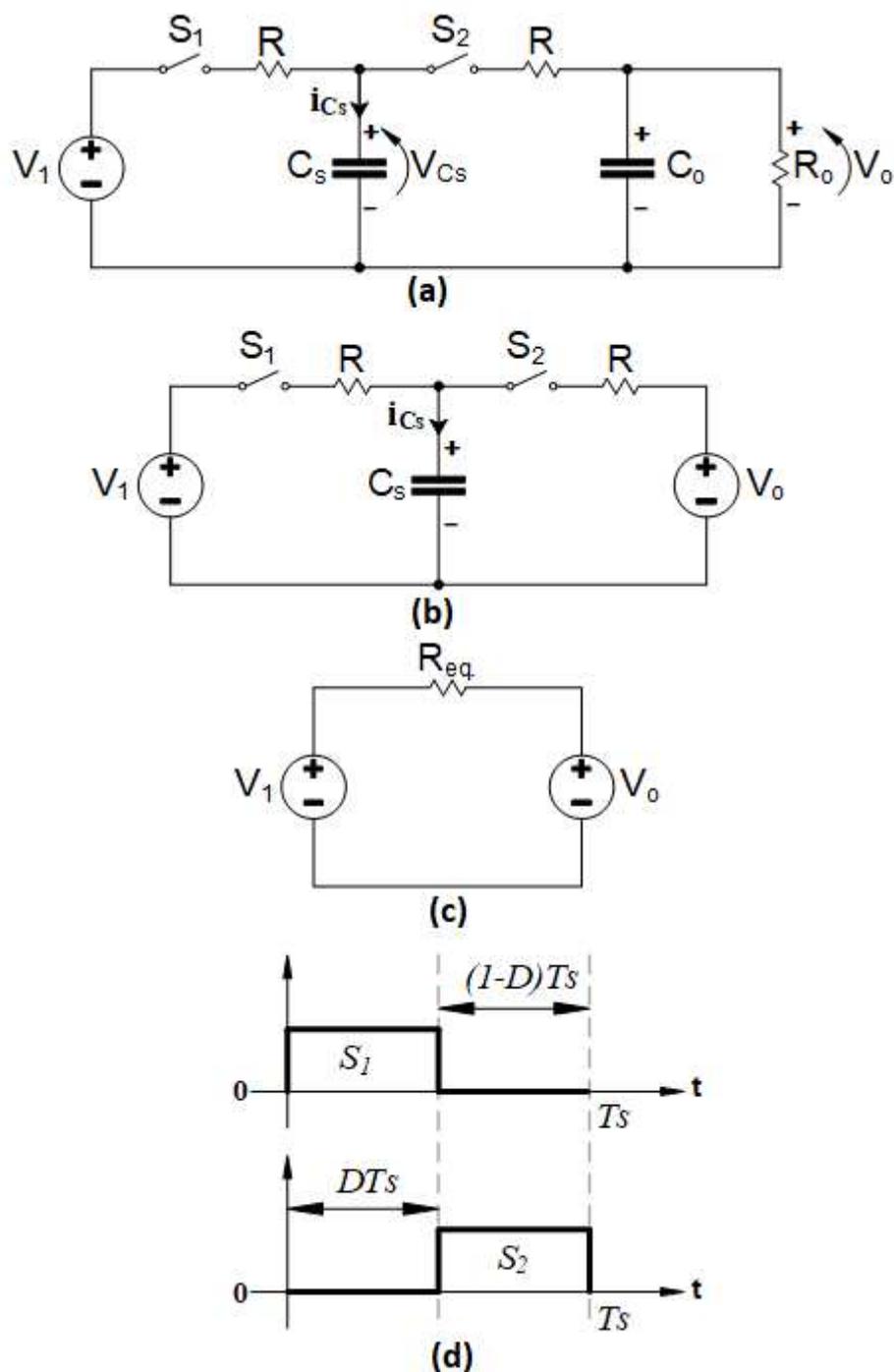
Entretanto, como principais desvantagens os capacitores chaveados possuem estruturas com elevado número de componentes trazendo maior complexidade, possuem também perdas associadas que podem ser significativas, onde tudo depende obviamente do modo que é desejado combinar os parâmetros do projeto.

Outra desvantagem está relacionada a limitação do ganho estático, onde a relação da saída em relação a entrada será sempre um valor de ordem fixa, e desta forma são considerados imunes a razão cíclica. Logo, não adiantará alterar a razão cíclica pois não irá alterar o valor médio da tensão de saída ou de entrada do conversor. Em decorrência disso os conversores somente a capacitor chaveado, também denominados como "conversores puros" não são controláveis devido a sua intrínseca particularidade do ganho estático ser fixo. Isso inviabiliza o seu uso na maioria das aplicações, e por esse motivo é aplicado na grande maioria dos estudos o conceito do conversor híbrido o qual será discutido no decorrer do trabalho.

2.1.1.2 Princípio de funcionamento da célula a capacitor chaveado

O princípio de funcionamento dos conversores a capacitor chaveado é demonstrado com auxílio das figuras a seguir.

Figura 1 — (a) Célula unitária original. (b) Circuito simplificado. (d) Circuito equivalente. (c) Sinais de comandos dos interruptores.



Fonte: Adaptado de (22).

O princípio de funcionamento dos conversores a capacitor chaveado também denominada por célula unitária é representado na Fig.1.(a), sendo o circuito composta por uma fonte de tensão, dois interruptores que normalmente são Mosfets, onde cada interruptor é representado juntamente com a sua resistência R (dreno-fonte), um capacitor ideal intermediário de valor elevado e na saída um capacitor de

filtragem C_o de valor também elevado e uma resistência de carga R_o .

Para simplificar o estudo do circuito da célula unitária sem perdas de generalidade a representação mostrada na Fig.1.(b) poder ser considerada, pois a carga elétrica processada pelo capacitor C_s independe se a carga é representada por um circuito de filtragem composto por C_o e R_o ou por uma fonte de tensão V_o .

É preciso comentar que os conversores convencionais não necessitam de resistências para poderem funcionar, visto que estas resistências são indesejáveis pois representam fontes de perdas. Porém nos conversores a capacitor chaveado as resistências são necessárias e devem ser consideradas, caso contrário haveriam picos de correntes muito elevados e não haveria assim nenhum benefício na utilização dessa técnica.

Os sinais de comando da célula unitária são representados na Fig.1(d), onde os interruptores são comandados de forma complementar, ou seja, S_1 é fechado e S_2 é aberto ou vice-versa.

2.1.1.3 Circuito equivalente da célula unitária

Ao estudar um conversor a capacitor chaveado é sempre necessário obter o circuito equivalente que represente os valores médios das grandezas envolvidas. No circuito simplificado da Fig.1.(b) mostrado anteriormente os interruptores são representados juntamente com suas resistências parasitas que combinadas formam uma resistência equivalente R_{eq} conforme mostrado na Fig.1.(c).

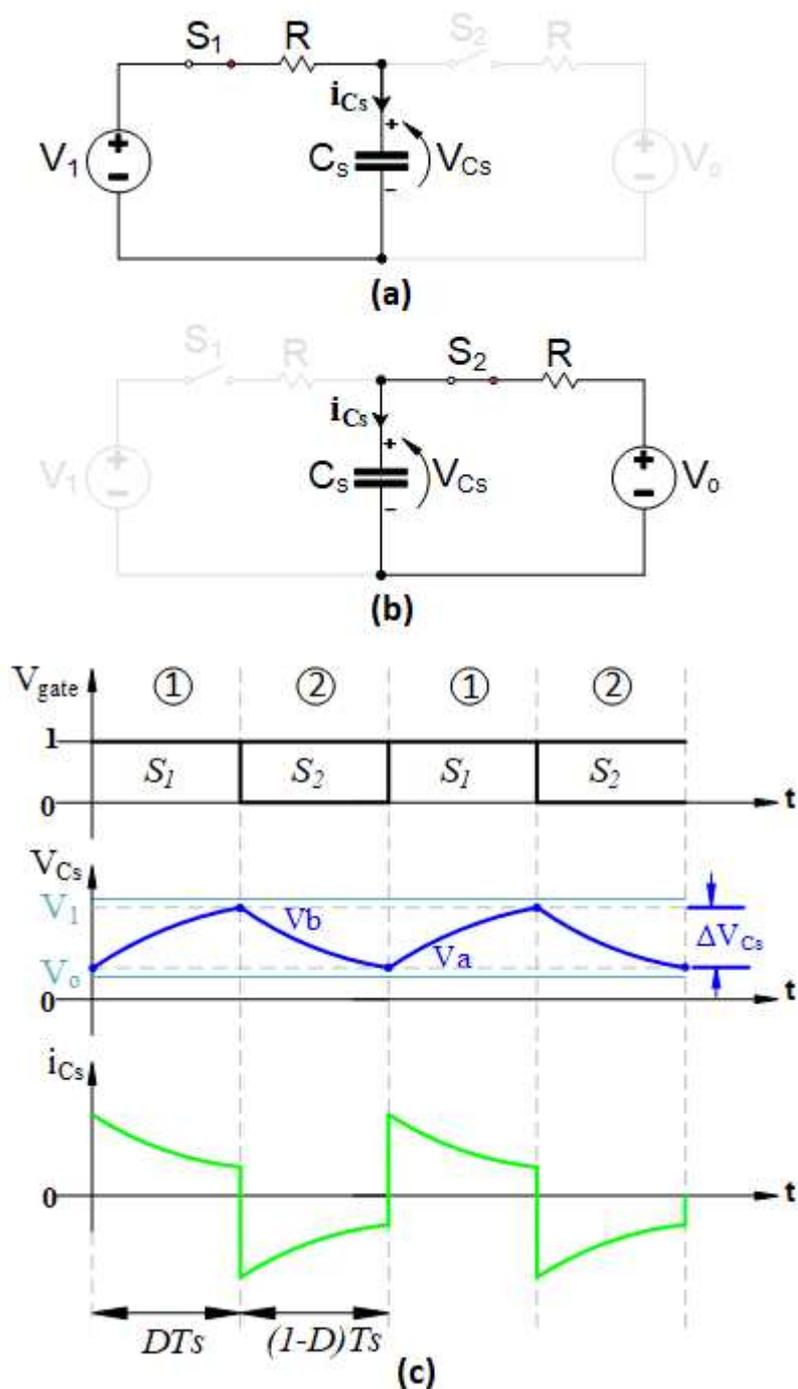
De posse do circuito equivalente representado, torna-se possível o entendimento do princípio de funcionamento da célula unitária e possibilita compreender através de estudos relacionados o funcionamento das estruturas mais complexas de conversores a capacitores chaveados.

2.1.1.4 Etapas de operação e formas de onda

Nesta seção é descrito o funcionamento da célula unitária durante as etapas de operação em um período completo de funcionamento T_s . A análise considera o conversor operando no modo de condução contínua (MCC).

Na Fig.2.(a), (b) e (c) a seguir são representados os dois estados topológicos, como também as formas de onda relacionadas a tensão e corrente no capacitor C_s .

Figura 2 — (a) Circuito da 1ª etapa de operação. (b) Circuito da 2ª etapa de operação. (c) Forma de onda da tensão e corrente no capacitor.



Fonte: Adaptado de (22).

Na primeira etapa de operação do estado topológico compreendido no intervalo de tempo $(0, DT_s)$ é expresso na Fig.2.(a), onde o interruptor S_1 é fechado e cargas elétricas ou energia são transferidos da fonte V_1 para o capacitor C_s .

Nas formas de onda da Fig.2.c é mostrada a tensão do capacitor C_s que inicialmente era crescendo exponencialmente e no final da primeira etapa a tensão nos terminais desse capacitor é igual a V_b . A Figura também representa a evolução de carga e descarga da corrente i_{C_s} no capacitor.

Na segunda etapa representado pelo estado topológica compreendido no intervalo de tempo (DT_s, T_s) é expresso na Fig.2.(b), onde o interruptor S_1 encontra-se aberto e o interruptor S_2 encontra-se fechado. Durante esse intervalo de tempo o capacitor é parcialmente descarregado, ou seja, a energia que havia sido acumulada na etapa anterior nesse capacitor é transferido para a carga R_o , que nesse caso é representada pela fonte de tensão V_o . Então a tensão nos terminais do capacitor decresce exponencialmente, que normalmente observa-se ser apenas o fragmento dessa exponencial, e no final do período de operação a tensão nos termos do capacitor volta a ser igual a V_a .

Destaca-se também na Fig.2.(c) que os respectivos níveis de tensão V_b e V_a são inferiores aos níveis de tensão V_1 da fonte e V_o da carga, e isso caracteriza a particularidade dos capacitores chaveados quando bem projetados não descarregarem-se completamente quando em regime permanente. Vale ressaltar, que a tensão V_{C_s} não pode ser medida na prática, sendo assim considerada idealizada, pois conforme (26, p.8) esta medição reflete a Tensão V_{C_s} do capacitor acrescida da tensão na sua resistência série equivalente.

Posteriormente é comandado a abertura do interruptor S_2 e um novo ciclo de operação é reiniciado.

2.1.1.5 Resistência equivalente

A realização da análise do circuito para obtenção do equacionamento da resistência equivalente é relativamente extenso, desta forma, serão apresentadas apenas as expressões que descrevem as principais abordagens para entendimento numérico do estudo desta técnica.

A diferença de tensão nos terminais do capacitor é designada por ΔV_{C_s} e definida pela expressão 1.

$$\Delta V_{C_s} = V_b - V_a \quad (1)$$

Onde, a constante de tempo do circuito " τ " é representada na expressão 2.

$$\tau = RC \quad (2)$$

O período de comutação T_s e a frequência de chaveamento representada por “ f_s ” é mostrada na expressão 3.

$$T_s = \frac{1}{f_s} \quad (3)$$

Ao resolver as equações diferenciais que representam as correntes e tensões do circuito, as expressões 4 e 5 podem ser encontradas.

$$V_b = V_I \left(1 - e^{-\frac{DT_s}{\tau}} \right) + V_a e^{-\frac{DT_s}{\tau}} \quad (4)$$

$$V_a = V_o \left(1 - e^{-\frac{(1-D)T_s}{\tau}} \right) + V_b e^{-\frac{(1-D)T_s}{\tau}} \quad (5)$$

Através de manipulação algébrica pode-se obter as expressões 6 e 7 para V_b e V_a respectivamente, que representam os valores máximo e mínimo das tensões instantâneas nos terminais do capacitor durante as transições das etapas.

$$V_b = \frac{V_I \left(1 - e^{-\frac{DT_s}{\tau}} \right) + V_o e^{-\frac{DT_s}{\tau}} \left(1 - e^{-\frac{(1-D)T_s}{\tau}} \right)}{1 - e^{-\frac{T_s}{\tau}}} \quad (6)$$

$$V_a = \frac{V_I e^{-\frac{(1-D)T_s}{\tau}} \left(1 - e^{-\frac{DT_s}{\tau}} \right) + V_o \left(1 - e^{-\frac{(1-D)T_s}{\tau}} \right)}{1 - e^{-\frac{T_s}{\tau}}} \quad (7)$$

Portanto, a diferença entre as tensões mostradas em 6 e 7, resultam na expressão 8 apresentado a seguir.

$$\Delta V_{Cs} = \frac{(V_I - V_o) \left(-1 + e^{-\frac{DT_s}{\tau}} \right) \left(-1 + e^{-\frac{(1-D)T_s}{\tau}} \right)}{1 - e^{-\frac{T_s}{\tau}}} \quad (8)$$

Desta forma, após adequada análise e manipulação algébrica apropriada é

possível obter a expressão mostrada na equação 9 que representa a resistência equivalente do circuito mostrado junto Fig.1.(c).

$$R_{eq} = \frac{\left(1 - e^{-\frac{1}{fs\tau}}\right)}{C_s \cdot f_s \left(e^{-\frac{D}{fs\tau}} - 1\right) \left(e^{-\frac{(1-D)}{fs\tau}} - 1\right)} \quad (9)$$

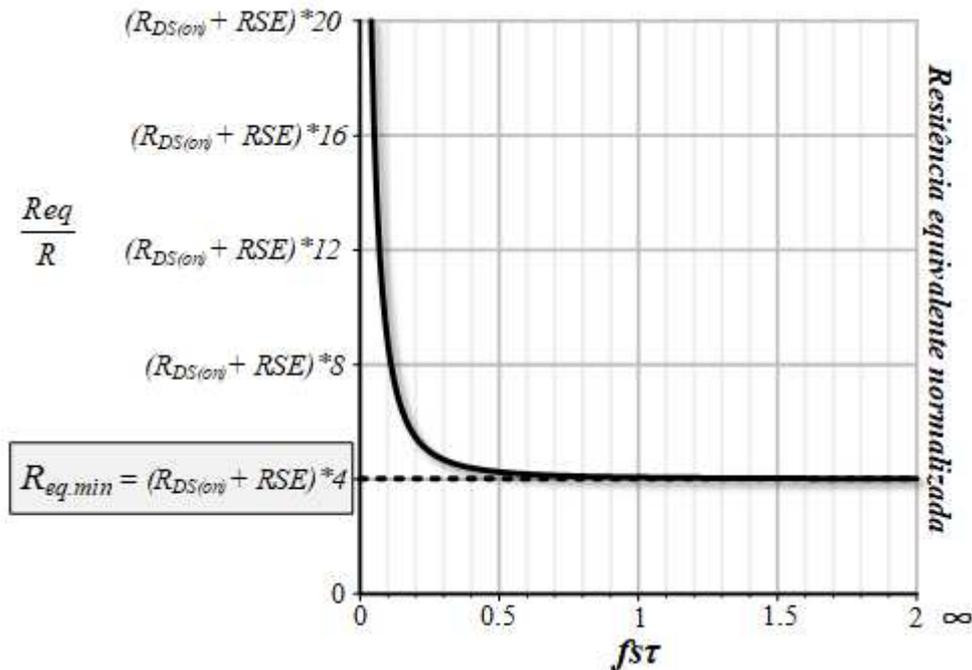
Ao considerar a resistência equivalente expressa na equação 9, permite demonstrar a equação 10 que é formada pela relação da resistência equivalente (R_{eq}) pela resistência "R" do circuito, composta pela resistência física de um dos interruptores, é a resistência natural ($R_{DS(on)}$) do mosfet, que normalmente é empregado nesses tipos de conversores, somada a resistência série equivalente (RSE) do capacitor.

Assim, a equação que representa a resistência equivalente em função dos parâmetros do circuito é apresentada.

$$\frac{R_{eq}}{R} = \frac{\left(1 - e^{-\frac{1}{fs\tau}}\right)}{fs\tau \left(e^{-\frac{D}{fs\tau}} - 1\right) \left(e^{-\frac{(1-D)}{fs\tau}} - 1\right)} \quad (10)$$

A Fig.3 a seguir, representa o gráfico da resistência equivalente normalizada em função dos parâmetros do circuito para um dado produto da frequência de chaveamento pela constante de tempo de circuito ($fs\tau$).

Figura 3 — Curva comportamental da resistência equivalente (R_{eq}) em função do produto ($f_s\tau$), para $D=0,5$.



Fonte: Adaptado de (27).

Logo, a resistência equivalente parametrizada pode ser demonstrada pela expressão 11.

$$\overline{R_{eq}} = \frac{R_{eq}}{R} \quad (11)$$

Ao buscar-se o limite da expressão da resistência equivalente parametrizada junto a equação 10 para o produto ($f_s\tau$) tendendo a infinito, tem-se.

$$\lim_{f_s \rightarrow \infty} R_{eq} = \frac{R}{D(1-D)} \quad (12)$$

Assim, o valor mínimo da resistência equivalente parametrizada pode ser representada na expressão 13.

$$\overline{R_{eq.min.}} = \frac{R_{eq}}{R} = \frac{1}{D(1-D)} \quad (13)$$

Ao considerar-se na expressão 13 uma razão cíclica com valor igual a $D=0,5$, chega-se ao menor valor de resistência equivalente parametrizada para o circuito da célula do capacitor chaveado, conforme expressão 14 e também verificado junto ao gráfico da Fig.3.

$$R_{eq.min.} = 4R \quad (14)$$

As informações que podem ser retiradas das equações 10 a 14 e sua representação na Fig.3 é de fundamental importância, pois mostra que a resistência do circuito equivalente que é responsável pelas perdas do conversor a capacitor chaveado não depende apenas das resistências naturais do circuito e das constantes de tempo, mas também é influenciada basicamente pela frequência de operação. Logo trata-se de um fenômeno muito interessante e próprio dos conversores a capacitor chaveado, visto que tal fenômeno não é encontrado nos conversores convencionais, e quando essa frequência de operação aumenta além de um determinado valor de resistência mínima a mesma torna-se constante assintoticamente e converge para quatro vezes o valor da resistência "R" de um dos Mosfets do circuito básico da Fig.1.(a) para uma razão cíclica D=0,5.

Então deve-se atentar com frequências inadequadas de operação para os conversores, visto que a operação com resistências equivalente ou aparentes muito elevadas ocasionam um rendimento muito baixo.

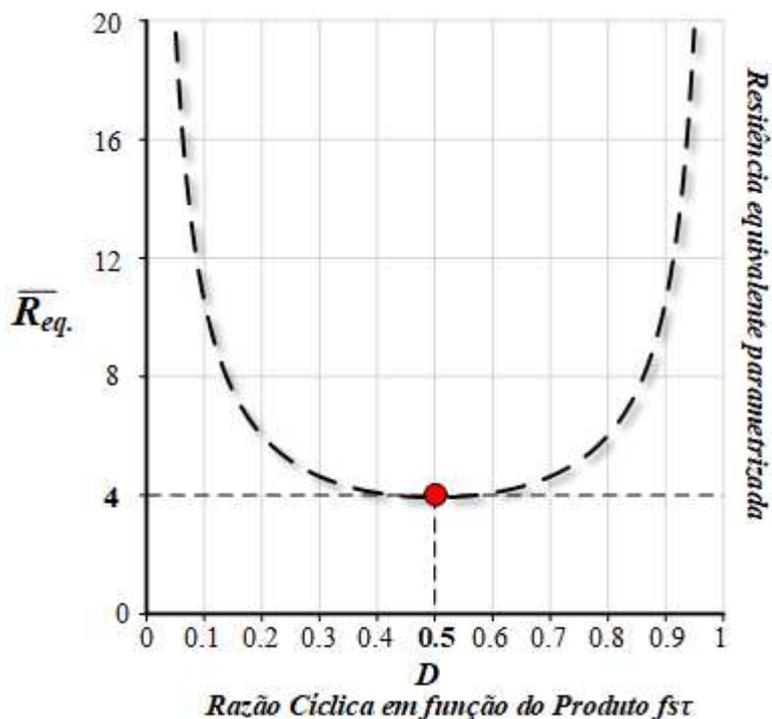
Dado a estudos relacionados ao assunto na comunidade científica da área, foi constatado que é possível através da combinação adequada de parâmetros, resistores naturais, capacitâncias e frequência de chaveamento, operar o conversor numa região de maneira que as resistências equivalentes sejam suficientemente baixas e possam permitir que essas tecnologias de conversores alcancem eficiências elevadas.

Os valores internos em (ρu) da resistência equivalente parametrizada da equação 10 em relação à mínima resistência mostrada na expressão 14, pode ser representada pela sua respectiva resistência equivalente normalizada através da expressão 15 a seguir.

$$\frac{\overline{R_{eq}}}{R_{eq.min.}} = \frac{1}{4fs\tau} \frac{(1 - e^{-\frac{1}{fs\tau}})}{\left(e^{-\frac{D}{fs\tau}} - 1\right) \left(e^{-\frac{(1-D)}{fs\tau}} - 1\right)} \quad (15)$$

No gráfico da Fig.4 a seguir, foi plotado a resistência equivalente parametrizada em função da razão cíclica D para valores de produto de ($fs\tau$).

Figura 4 — Resistência equivalente parametrizada, em função da razão cíclica D , para valores do produto $(f_s\tau)$.



Fonte: Adaptado de (27).

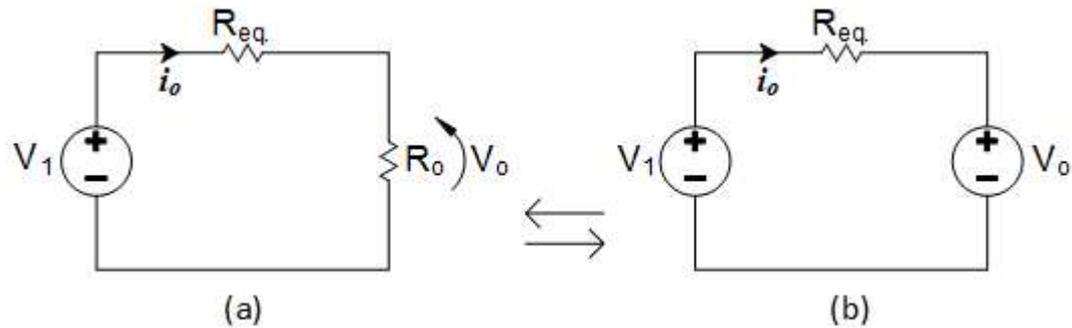
O ábaco da Fig.4 possui uma curva que representa o efeito da razão cíclica sobre a resistência equivalente da célula unitária, então para uma frequência de operação constante, e conforme o enunciado da equação 15, verifica-se que a resistência equivalente mínima acontece para a razão cíclica igual a $D=0,5$. Então considerando o comportamento do conversor a capacitor chaveado em termos de função de transferência dada a sua característica imune a razão cíclica, deve-se sempre procurar um valor de razão cíclica que diminua as perdas e aumente a eficiência do conversor.

Logo, não basta trabalhar-se com frequências elevadas ou frequências adequadas, visto que também é necessário projetar os componentes junto ao circuito para operarem com razão cíclica adequada. Desta forma, conforme verificado na Fig.4 a razão cíclica indicada deverá ser igual ou próxima a $D=0,5$.

2.1.1.6 Circuito equivalente para valores médios

A Fig.5.(a).(b) mostra o circuito equivalente para os valores médios representado por uma fonte de tensão de entrada, resistência equivalente e resistência de carga ou tensão de carga.

Figura 5 — Representações do circuito equivalente para valores médios.



Fonte: Adaptado de (27).

A resistência equivalente possui impacto nas perdas como também na regulação do conversor, conforme verificado junto as equações 16 e 17.

$$V_o = \frac{R_o}{R_{eq} + R_o} \cdot V_1 \quad (16)$$

$$V_o = V_1 - R_{eq} \cdot I_o \quad (17)$$

A seguir, é analisado o ganho estático do conversor a capacitor chaveado. Tem-se que:

$$R_{eq} \ll R_o \quad (18)$$

Logo por simplificação, as tensões de entrada e saída do conversor podem ser igualadas.

$$V_o = V_1 \quad (19)$$

Desta forma, o ganho estático fixo do conversor poder ser expresso na equação 20.

$$G = \frac{V_o}{V_1} = 1 \quad (20)$$

2.1.1.7 Interpretação física da resistência equivalente

Na representação descritiva a seguir um conceito que é resultado de

publicações de trabalhos anteriores (28-29) mostra três modos de operação relacionados ao comportamento do perfil de corrente de descarga dos capacitores chaveados envolvidos nesses conversores.

- Modo de Descarga completa (DC);
- Modo de Descarga Parcial (DP);
- Modo Sem Descarga (SD).

Quando a operação é realizada em uma região onde o produto da frequência de chaveamento em relação constante tempo natural do circuito ($f_{s\tau}$) é superior a 1,4, indica uma condição de resistência mínima e modo sem descarga (SD) no capacitor, evidenciando a operação constante.

Ao permitir o modo de operação de descarga completa (DC) dos capacitores, evidencia a condição de muitas perdas e resistências equivalentes elevadas para o circuito. Para o modo de operação de descarga parcial (DP) ou seja, onde não a descarga completa dos capacitores envolvidos, ocorre a diminuição das resistências equivalentes, aumentando assim o rendimento do conversor.

A tabela 1 elucida os modos de operação comentados para o capacitor chaveado, destacando-se o comportamento em termos de valores internos em (pu) da resistência equivalente mínima ($R_{eq.mim}$) em relação a resistência equivalente normalizada (R_{eq}) para os intervalos de operação comentados.

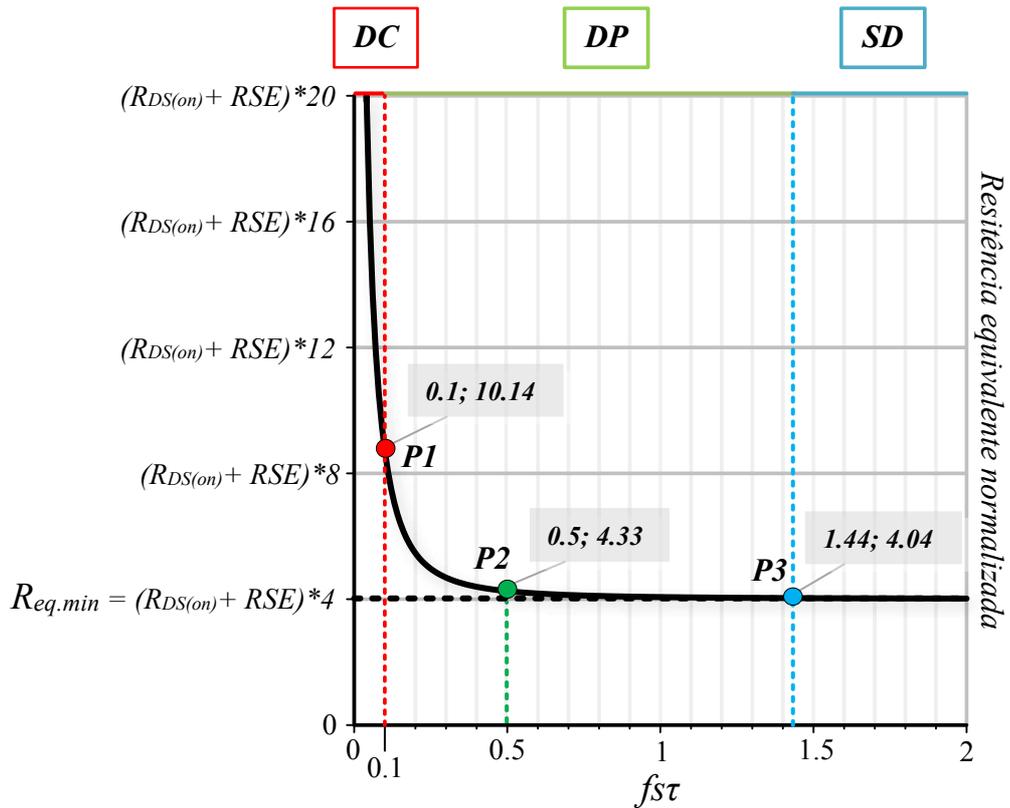
Tabela 1 — Intervalos para os modos de operação do capacitor chaveado.

Modo de Operação	Intervalo de Operação	R_{eq} em Relação a Resistência Mínima
(DC)	$0 < f_{s\tau} \leq 0.1$	$10.14 < R_{eq} \leq \infty$ $f_{s\tau} = 0.1 \Rightarrow (2.53pu)$
(DP)	$0.1 < f_{s\tau} \leq 1.44$	$4.33 < R_{eq} \leq 10.14$ $f_{s\tau} = 0.5 \Rightarrow (1.08pu)$
(SD)	$1.44 < f_{s\tau} \leq \infty$	$1 < R_{eq} \leq 4.33$ $f_{s\tau} = 1.44 \Rightarrow (1.01pu)$

Fonte: Adaptado de (29).

Na Fig.6 é indicado as divisões internas para ambos os modos de operação (DC), (DP) e (SD), onde os valores apresentados para o produto ($f_{s\tau}$) estão informados na tabela 1. Cada um dos pontos indicados, representam valores internos em (pu) da resistência mínima em relação a (R_{eq}).

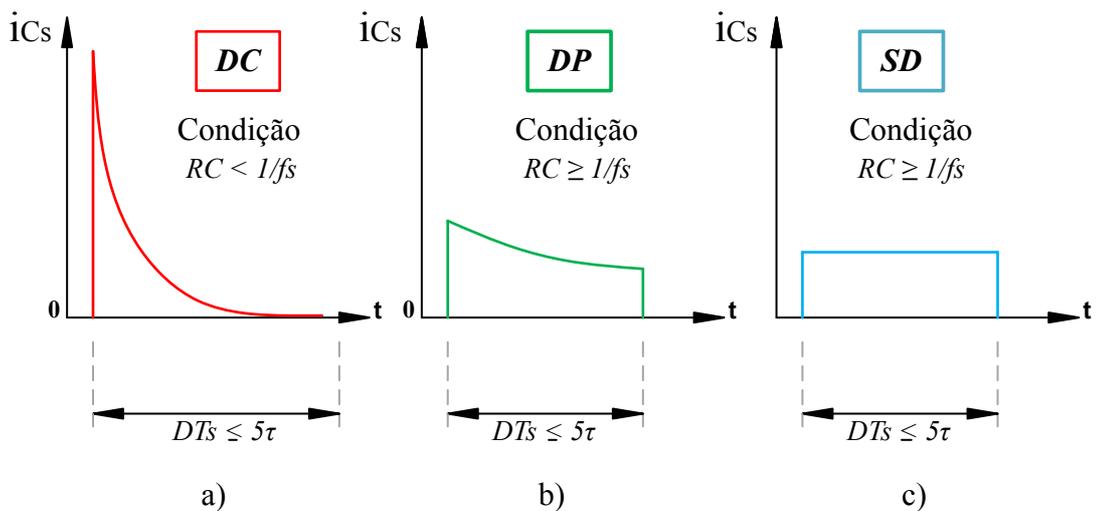
Figura 6 — Indicação dos limites para os modos de operação (DC), (DP) e (SD).



Fonte: Adaptado de (29).

Na Fig.7, é demonstrado o comportamento do perfil da corrente no capacitor para os três modos de operação elucidados.

Figura 7 — Corrente no capacitor chaveado para diferentes modos de operação.



Fonte: Adaptado de (29).

Quando ocorre a descarga completa no modo (DC) conforme é mostrado na

Fig.7.(a), a forma exponencial da corrente no capacitor chega a zero em cada processo de carga e descarga. A descarga parcial no modo (DP) mostrado na Fig.7.(b), o formato exponencial da corrente no capacitor não chega a zero em cada processo de carga ou descarga. No caso sem descarga no modo (SD) da Fig.7.(c), a forma exponencial da corrente no capacitor é praticamente constante durante o processo de carga e descarga.

Observa-se na ilustração da Fig.7 que para garantir o funcionamento do modo de descarga parcial (DP) ou sem descarga (SD), o circuito do conversor nestes modos somente se confirmam, se a condução do interruptor S_1 para um período de tempo (DT_s) compreendido na primeira etapa de operação for menor que cinco constantes naturais de tempo, conforme é expresso a seguir.

$$DT_s \leq 5\tau \quad (21)$$

Também deve-se assegurar que a constante natural de tempo RC seja maior do que o período de comutação T_s , de operação do conversor, conforme mostra a expressão 22.

$$RC > \frac{1}{f_s} \quad (22)$$

A escolha adequada de parâmetros serve para assegurar que as perdas não sejam elevadas nos conversores a capacitor chaveado dado a sua resistência série equivalente e também sua capacitância.

Na Fig.7.(a) observa-se que para constantes de tempo baixas em relação ao período de comutação, ocorre a presença de elevado pico de corrente, o que ocasiona o aumento do seu valor eficaz e das perdas nos elementos resistivos do circuito. Na Fig.7.(b) e Fig.7.(c), para constantes de tempo maiores, verifica-se que o parâmetro mostrado na equação 15 é atendido, e assim a diminuição dos picos de corrente no capacitor é verificado, sem que o valor médio da corrente seja alterado.

A correta escolha da frequência de chaveamento para o período de tempo de comutação, também deve ser observada, pois a partir de determinado ponto que compreende o intervalo do modo de operação (SD) da tabela 1, o valor do produto ($f_s\tau$) na curva de resistência equivalente parametrizada da Fig.6, atinge patamares que tornam os valores iguais a resistência mínima equivalente, independente do valor da frequência de chaveamento.

Conforme observado em (29, p. 5-7) na literatura, não encontra-se nenhuma discussão acerca da fronteira entre os modos (DP) e (SD) de operação. Sendo assim, faz-se o uso dos parâmetros estudados que relacionam os valores expressos

por intervalos ou fronteiras de referência dos modos de operação apresentados na tabela 1 deste trabalho.

Observa-se que, embora seja de difícil obtenção a escolha correta do valor considerado como ótimo em relação a capacitância da célula, a importância requerida na escolha do ponto de operação para o produto (f_{st}) para a fase de projeto do capacitor, corrobora na adequada obtenção da resistência equivalente do circuito e a diminuição dos requisitos relacionados as perdas, custos e volume, o que poderá possibilitar a operação com eficiências mais elevadas.

2.1.2 Conceito de conversores híbridos

Nesta seção é abordado um breve conceito a respeito dos conversores CC-CC híbridos não isolados.

Em termos práticos, na eletrônica de potência, a conversão de energia costuma ser comumente realizada por conversores híbridos, visto que somente o uso isolado da topologia a capacitor chaveado puro torna-se um problema devido a falta de controlabilidade mencionada em seção anterior.

Logo, a necessidade do entendimento desse conceito híbrido junto ao estudo surge devido aos importantes benefícios que podem ser gerados pela união realizada de conversores (PWM) convencionais a célula de capacitor chaveado. Desta forma, tem-se como benefício uma divisão de tensão junto ao barramento de saída de novos conversores formados e por consequência a redução dos esforços de tensão nos seus semicondutores; como também a possibilidade de controlar o valor médio da tensão de saída através da razão cíclica D , da mesma forma como é realizado em um conversor PWM convencional.

Por este motivo procura-se aliar os benefícios de ambas topologias, dado as vantagens que são proporcionadas pelo uso da técnica da célula de capacitor chaveado.

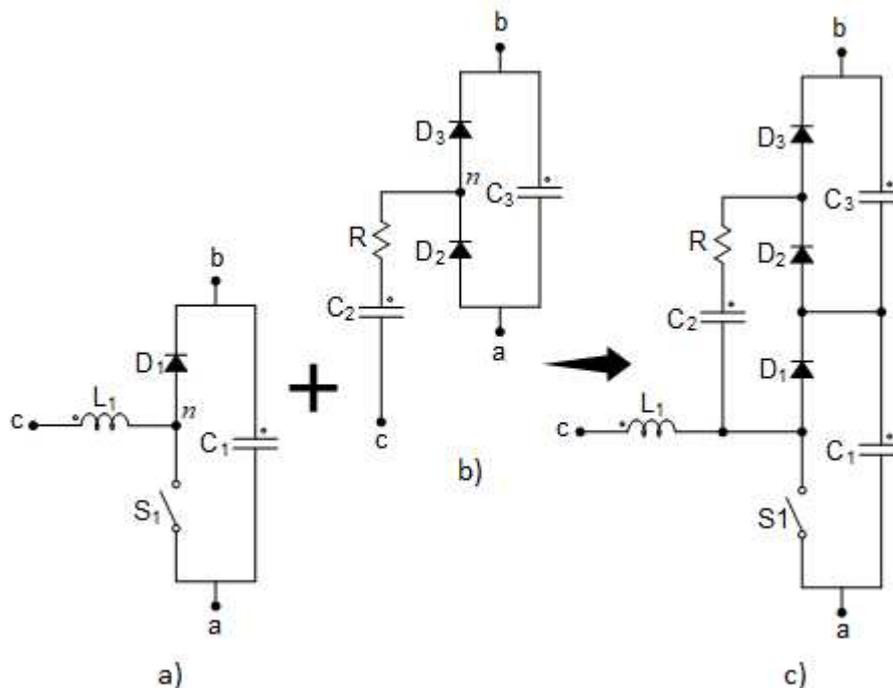
2.1.3 Célula de comutação híbrida

Conforme (17, 22, 27, 29) o conversor híbrido é o resultado da integração de uma célula de comutação convencional a uma célula a capacitor chaveado do tipo passiva (composta por semicondutores de potência ativos e passivos - diodos), resultando em várias células híbridas com inúmeras possibilidades de topologias. Logo, as referências citadas servirão de auxílio na composição das seções que seguem sobre o assunto.

Na Fig.8, (a), (b) e (c) é demonstrado o resultado da integração que dá origem

a célula de comutação híbrida clássica.

Figura 8 — (a) Célula genérica de comutação; (b) célula passiva a capacitor chaveado; (c) célula passiva de comutação híbrida.

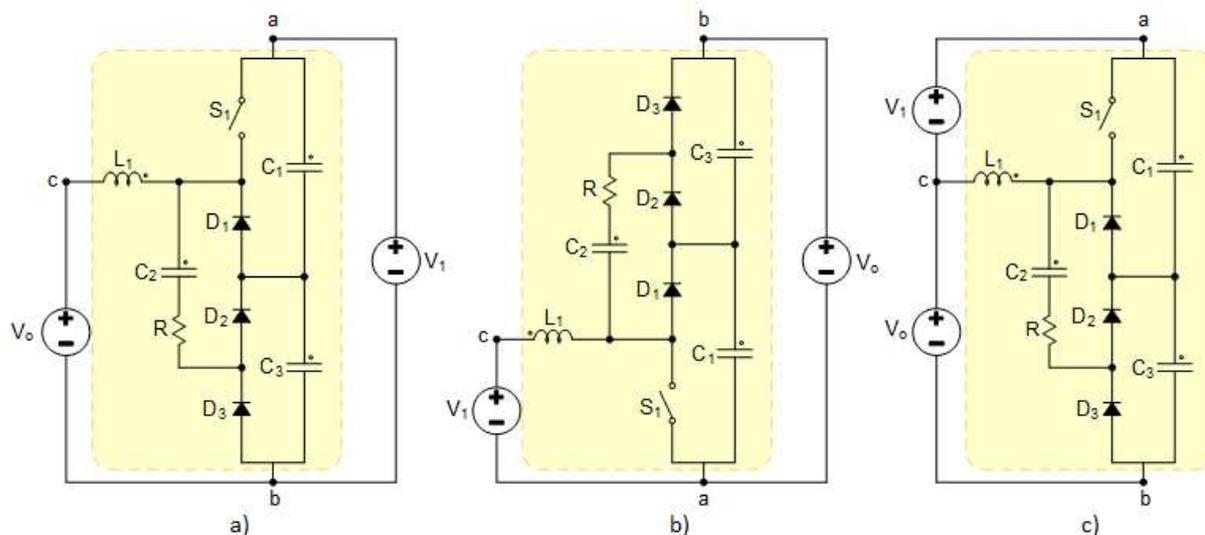


Fonte: Adaptado de (29).

Com a célula passiva de comutação híbrida clássica formada, nos anos de 2015 e 2016 foi publicada a dissertação (29) do INEP (Instituto de Eletrônica de Potência) da UFSC (Universidade Federal de Santa Catarina), na qual através da conexão apropriada a uma fonte de tensão V_1 de entrada e uma fonte de tensão de saída V_0 , com uso do conceito aplicado de capacitores chaveados, deram origem generalizada a uma família de conversores CC-CC híbridos unidirecionais compostos pelos conversores convencionais (Buck, Boost e Buck-Boost).

A Fig.9, (a), (b) e (c) mostra a representação das três topologias de conversores híbridos originados da célula passiva de comutação puramente capacitiva.

Figura 9 — (a) Conversor CC-CC híbrido Buck; (b) Conversor CC-CC híbrido Boost; (c) Conversor CC-CC híbrido Buck-Boost.



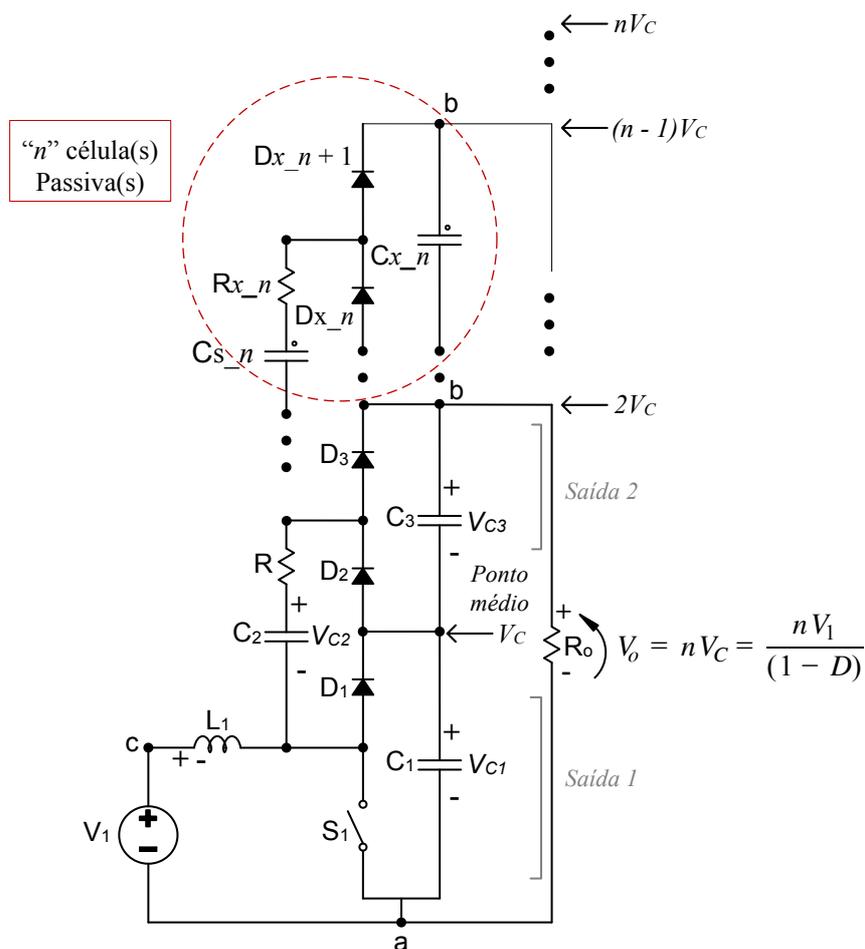
Fonte: Adaptado de (29).

2.1.4 Conversor CC-CC Boost híbrido

O primeiro trabalho publicado (31), relacionado a uma célula de comutação híbrida foi em 2008 na conferência IEEE (*Power Electronics Specialists*), sobre o conversor Boost CC-CC unidirecional baseado em uma célula híbrida, conforme apresentado na Fig.9.(b). Na ocasião os autores não trataram propriamente da célula e da generalização da topologia para outras conexões possíveis, mas sim do princípio dos conversores multiníveis.

A Fig.10 ilustra a possibilidade estendida da estrutura proposta (31) do conversor Boost híbrido ao adicionar " n " célula(s) passiva(s) conectada(s), possibilitando a extensão do circuito multiplicador sendo usado como um link CC onde são necessários vários níveis de tensão controlados com auto-balanceamento e fluxo de corrente unidirecional.

Figura 10 — Conversor CC-CC Boost híbrido (Multinível).



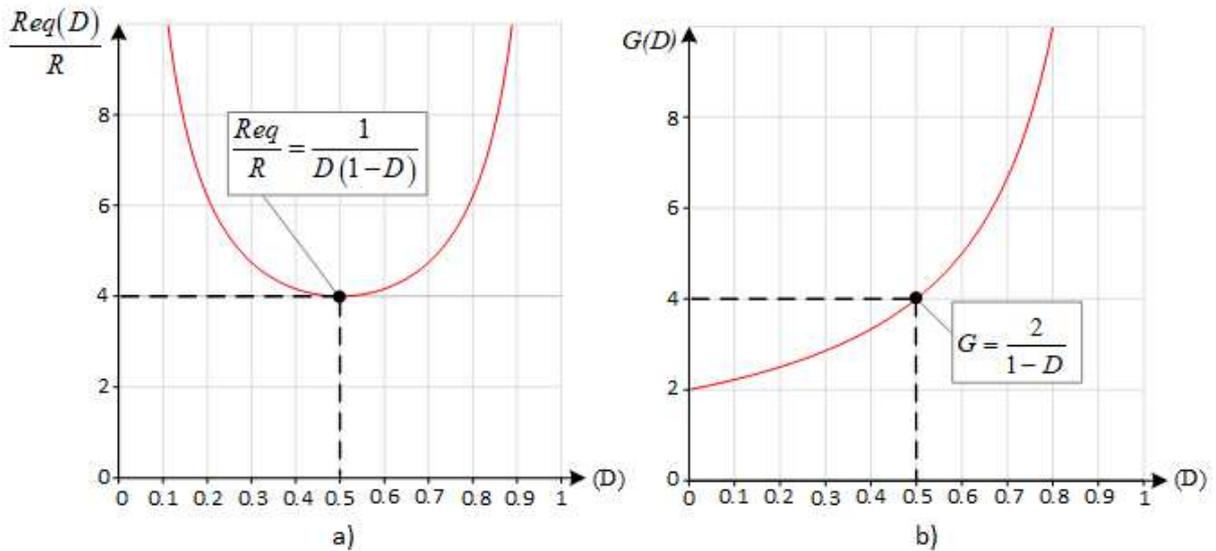
Fonte: Adaptado de (31).

A seguir é apresentado de forma simplificada o resultado da análise da célula híbrida, que integrada ao conversor Boost convencional passa a obter o atributo de não ser mais imune a razão cíclica, mantendo preservado suas qualidades inerentes como célula a capacitor chaveado, como propõe também à estrutura a possibilidade de dois níveis ou mais para uma tensão de saída V_o qualquer, como também a divisão da tensão na saída, garantindo assim a redução dos esforços em todos os componentes com a metade da tensão de saída $V_o/2$.

Este é um benefício do uso da técnica do capacitor chaveado onde o balanço e equalização natural das diversas tensões são garantidas. Logo, a união realizada da célula passiva com conversores PWM convencionais do tipo Buck, Boost e Buck-Boost, passa a possibilitar o controle da tensão de saída V_o através da razão cíclica D .

Na Fig.11.(a) e (b) é apresentada a ilustração das curvas obtidas para o circuito equivalente e o ganho estático da topologia do conversor Boost híbrido.

Figura 11 — Curvas conversor CC-CC Boost híbrido: (a) Resistência equivalente; (b) Ganho estático.



Fonte: O autor (2023).

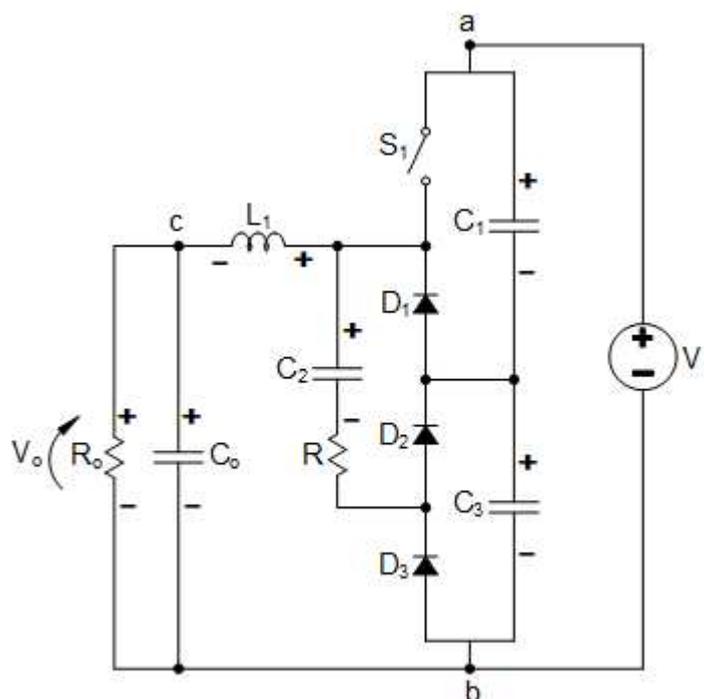
Na análise da figura apresentada acima, é mostrado o ganho do conversor e a sua resistência equivalente, que nesse caso também é mínima ($R_{eq.min}$) quando em função da razão cíclica igual a $D=0,5$. Logo, é possível constatar que o conversor híbrido permite a ação de controle sobre a tensão de saída, porém, isso não ocorre para uma faixa muito ampla, pois seria necessário excursionar valores de razão cíclica que comprometeriam o rendimento do conversor.

Logo, pode-se concluir que a estrutura híbrida formada possui todos os benefícios que podem ser obtidos do capacitor chaveado, mas não todos os benefícios que o conversor Boost convencional possui.

2.1.5 Conversor CC-CC Buck híbrido

Na figura Fig.12 tem-se a representação de uma célula híbrida gerando o conversor do tipo Buck.

Figura 12 — Conversor CC-CC unidirecional Buck híbrido.



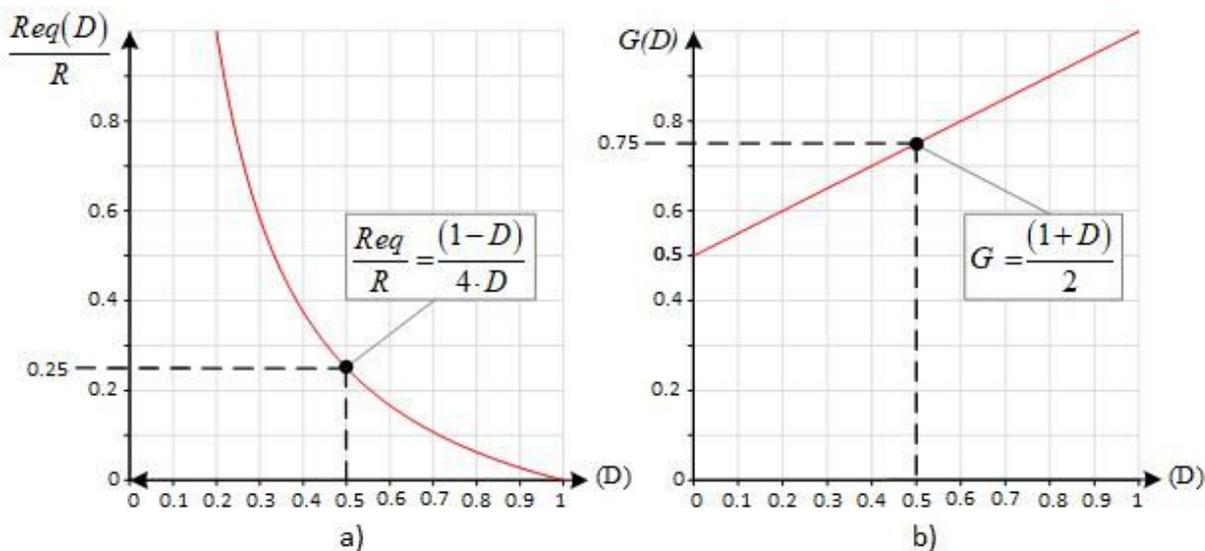
Fonte: Adaptado de (29).

A análise gráfica da Fig.13.(b) a seguir, mostra que apesar da estrutura híbrida formada na figura acima ser chamada de conversor Buck, a sua faixa de ganho estático ideal mínimo começa em 0,5. Ou seja, o ganho é proporcional ao valor da razão cíclica começando com $D=0,5$, diferentemente do comportamento do conversor convencional, onde o ganho seria igual a razão cíclica D com valor mínimo igual a zero. Verifica-se também a semelhança na curva de ganho estático do conversor híbrido formado em relação ao conversor Buck convencional, quanto ao comportamento linear e crescente de ambos.

A representação gráfica na Fig.13.(a) mostra a curva de resistência equivalente do conversor Buck híbrido em função da razão cíclica D , ou seja, a resistência equivalente (R_{eq}) vai tender a um valor igual a zero para a razão cíclica igual a $D=1$. Para valores muito baixos de razões cíclicas, nota-se que a resistência equivalente cresce exponencialmente de forma assintótica tendendo a valores muito elevados.

Então, apesar das equações impressas nas figuras permitirem variar a tensão de saída no conversor, não é aconselhável a operação com valor de razão cíclica inferior a $D=0,5$, porém isso não inviabiliza por exemplo a operação para valores de razão cíclica superiores a $D=0,5$, que visam obter ganhos maiores no intervalo de $[0,75$ a $1]$ com eficiência mais elevada.

Figura 13 — Curvas conversor CC-CC Buck híbrido: (a) Resistência equivalente; (b) Ganho estático.

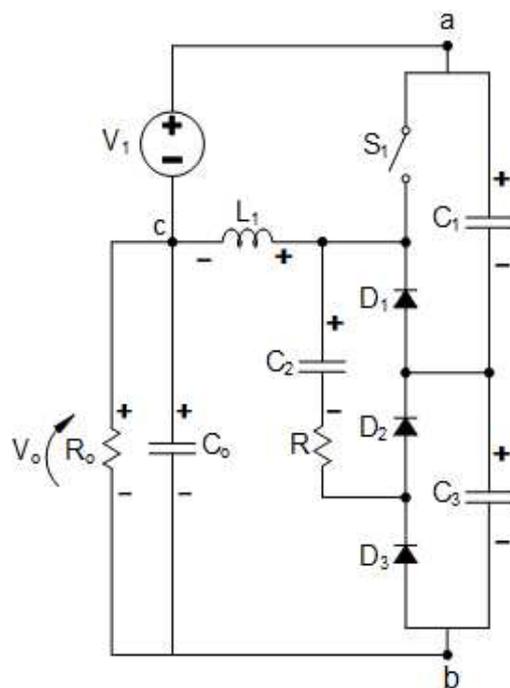


Fonte: O autor (2023).

2.1.6 Conversor CC-CC Buck-Boost híbrido

A representação mostrada na Fig.14 trata de uma célula híbrida gerando o conversor do tipo Buck-Boost.

Figura 14 — Conversor CC-CC unidirecional Buck-Boost híbrido.



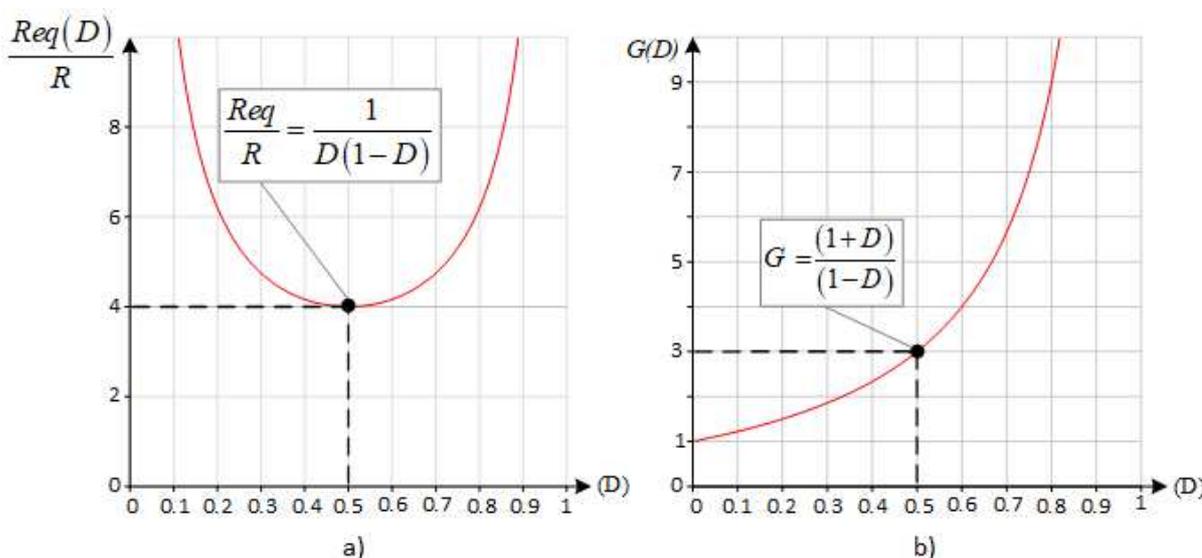
Fonte: Adaptado de (29).

A análise da representação gráfica da curva da resistência equivalente e do ganho teórico do conversor Buck-Boost híbrido é mostrado na Fig.15.

A expressão do ganho obtido para esse conversor híbrido na Fig.15.(b) equivale a combinação do ganho de um conversor Boost somado ao ganho de um conversor Buck-Boost convencional.

A Fig.15.(a), mostra a representação da resistência equivalente (R_{eq}) em função da razão cíclica D , e evidencia que a resistência equivalente do conversor Buck-Boost híbrido é dependente da razão cíclica D e sua resistência mínima ($R_{eq.min}$) ocorre para $D=0,5$. Verifica-se que a topologia possui o comportamento de um ganho que é variável com a razão cíclica, sendo essa variação teórica de ganho compreendida pelo intervalo de 1 a infinito. No entanto não é aconselhável operar com um valor de razão cíclica que esteja muito afastada de $D=0,5$ pois implicará em perdas de condução muito elevadas, sendo esse um fenômeno particular que não ocorre naturalmente nos conversores convencionais.

Figura 15 — Curvas conversor CC-CC Buck-Boost híbrido: (a) Resistência equivalente; (b) Ganho estático.

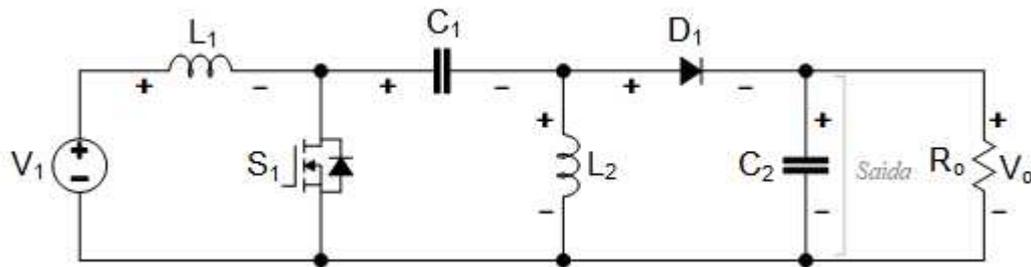


Fonte: O autor (2023).

2.1.7 Conversor CC-CC SEPIC convencional (1x).

Na Fig.16 a seguir, é apresentado o conversor CC-CC convencional SEPIC (Single-ended primary-inductor converter), que é intitulado na publicação (32) por conversor SEPIC multiplicador (1x) (conversor multiplicador de tensão 1x).

Figura 16 — Conversor CC-CC SEPIC convencional (1x).



Fonte: O autor (2023).

O conversor SEPIC da figura acima é uma das topologias convencionais (35-37) que tem muitas aplicações industriais. Em termos comparativos em níveis de tensão de operação o conversor CC-CC SEPIC lembra muito a topologia do conversor CC-CC Boost (*Step-Up*), tanto na entrada como na sua saída, possuindo a característica de elevador de tensão e abaixador de corrente, possui também um indutor em série com a fonte de entrada. Desta forma, caracteriza-se por ser fonte de corrente na entrada e fonte de tensão na saída.

O conversor CC-CC SEPIC também guarda características operativas como abaixador de tensão, assim ao considerar tais atributos possíveis quanto ao seus níveis operativos de tensão, pode-se também compara-lo por exemplo com o conversor CC-CC Buck-Boost (*Step up/Step down*), onde possui a capacidade tanto de elevador, bem como abaixador de tensão.

- Abaixador de tensão - tipo Buck (*Step-Down*), ($V_o < V_1$) para $D < 0,5$;
- Elevador de tensão - tipo Boost (*Step-Up*), ($V_o > V_1$) para $D > 0,5$;
- Sentido de operação unidirecional ($V_1 \rightarrow R_o, V_o$).

- **Ganho estático do conversor CC-CC SEPIC convencional**

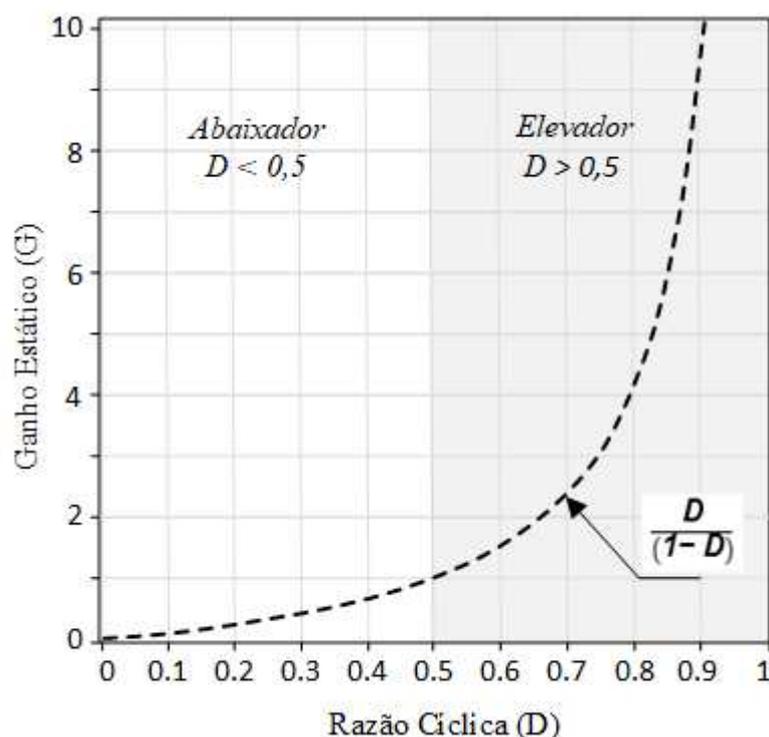
A expressão do ganho estático fornecida em C_2 , relaciona a tensão de saída V_o com a tensão de entrada V_1 , e depende diretamente do ciclo de trabalho expresso pela razão cíclica D .

$$G = \frac{V_{C2}}{V_1} = \frac{D}{(1-D)} \quad (23)$$

O "ganho teórico" que este conversor convencional pode assumir é infinito, visto o range de valores possíveis de razão cíclica entre 0 e 1, porém as perdas intrínsecas relacionados aos elementos parasitas da estrutura o limitam a valores de

razão cíclica não superiores a $D=0,8$. Para operação com valores de frequência de chaveamento elevadas é sugerido também que a razão cíclica seja em torno de $D=0,5$.

Figura 17 — Ganho estático conversor CC-CC SEPIC (PWM) convencional.



Fonte: O autor (2023).

Ressalta-se também que o referido conversor possui como desvantagem a impossibilidade da obtenção de tensão de saída com níveis muito elevados, pois devido a concepção de sua estrutura os semicondutores ficam sujeitos a suportar uma tensão igual a soma das tensões de entrada e de saída ($V_1 + V_o$), inviabilizando o seu uso em muitas aplicações.

2.1.8 Conversor CC-CC SEPIC híbrido multiplicador (2x), (3x) e (nx)

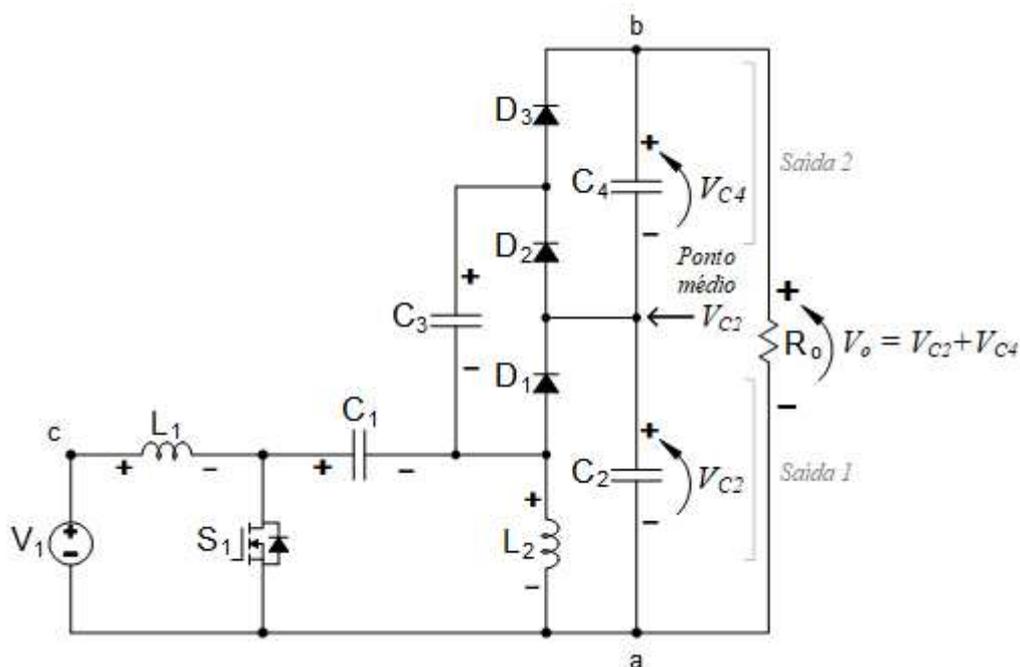
Novas topologias surgidas com conceito híbrido também trouxeram como estrutura base conversores CC-CC convencionais, como é o caso dos trabalhos publicados (32-33) em 2011 e 2016 na *"International Conference on Electrical Communications and Computers"* e na Revista *"International Journal of Hydrogen Energy"* respectivamente. Ambos trabalhos exploram a capacidade de um conversor CC-CC híbrido (PWM) SEPIC multiplicador, que é o resultado da integração de um conversor SEPIC convencional a uma estrutura multiplicadora de

tensão composta por diodos e capacitores.

Da mesma forma que foi comentado na seção 2.1.3, aqui os autores também não trataram propriamente da célula passiva de comutação híbrida, mas sim da concepção do projeto para conversão de alto ganho de tensão que pode ser alcançado pelo uso da técnica PWM (Pulse Width Modulation), possibilitado devido ao hibridismo realizado pela adição/integração do conversor CC-CC convencional com estruturas de circuitos Dickson multiplicadores de tensão a diodo-capacitor (34) (switched-capacitors charge pumps).

A seguir na Fig.18, é apresentada a topologia híbrida proposta pelos autores (32, 33) composta pela integração do conversor CC-CC SEPIC (PWM) convencional com multiplicadores a diodo-capacitor.

Figura 18 — Conversor CC-CC SEPIC híbrido multiplicador (2x).



Fonte: Adaptado de (32).

A topologia acima trata de um conversor híbrido multiplicador de tensão (2x) a diodo-capacitor com dois estados topológicos operando em modo de condução contínua (MCC), onde o conversor CC-CC SEPIC convencional (1x) da Fig.16 é utilizado para acionar um circuito Dickson multiplicador de tensão a diodo-capacitor. Esta tecnologia pode ser estendida com o uso da técnica de elevação múltipla de tensão (1x, 2x, 3x,...nx) conforme é apresentado na Fig.19, resultando na obtenção de alto ganho de tensão, sem que exista a necessidade de regulação extrema de valores de razão cíclica, o que suprime a necessidade do uso de transformador junto a estrutura (topologia isolada), permitindo assim trabalhar com

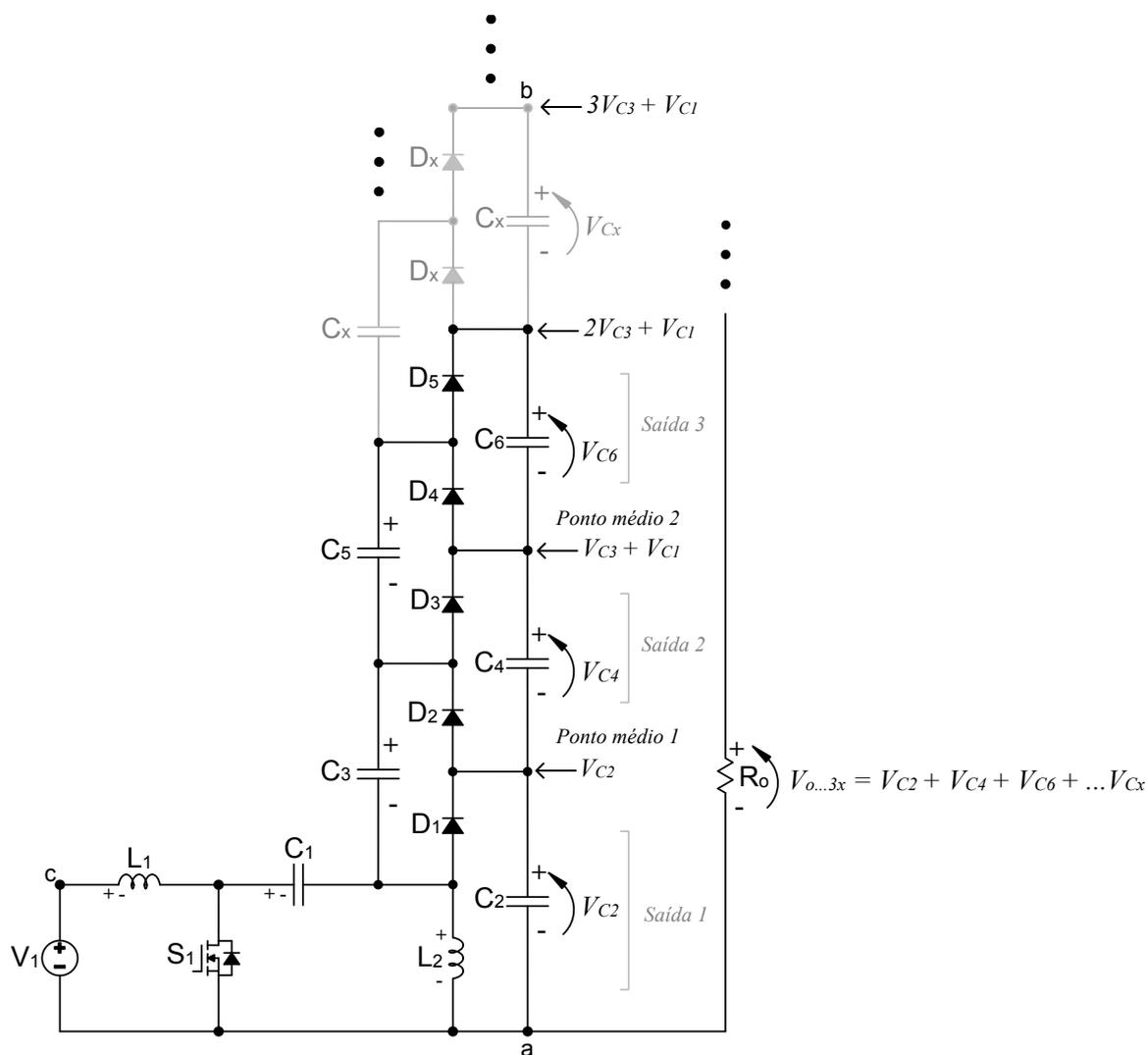
níveis de frequência de chaveamento mais elevados.

Os autores também destacam a vantagem da obtenção do alto ganho de tensão com o incremento dos níveis multiplicadores de tensão na saída sem a necessidade da modificação no circuito principal, composta apenas por um interruptor S_1 que permite uma implementação de controle clássica, bem como, o uso somente de dois indutores L_1 e L_2 , ambos elementos herdados da estrutura SEPIC convencional.

Conforme (33), tais características proporcionadas pela estrutura multiplicadora são altamente desejáveis em sistemas de células a combustível do tipo PEMFC (Proton Exchange Membrane Fuel Cell), visto a necessidade destas aplicações em energia renovável receberem da fonte de energia uma tensão gerada de forma adequada para alimentação das cargas ou para a conexão em estágio de potência a outro conversor do tipo CC-CC.

Assim, o conversor propicia o alto ganho de tensão de saída regulado por PWM, que aliado a vantagem da circulação de corrente de entrada do indutor L_1 (fonte de corrente) possui forma contínua e dinâmica com baixa ondulação o que possibilita o adequado condicionamento de potência no atendimento a sistemas de energia de células a combustível.

Figura 19 — Conversor CC-CC SEPIC híbrido multiplicador (3x) com extensão de (nx).



Fonte: Adaptado de (32).

A tabela 2 mostra a análise quantitativa relacionada ao número total de componentes (indutores, interruptores, diodos e capacitores), necessários para o desenvolvimento da topologia considerando os diferentes níveis multiplicadores de tensão na saída.

Tabela 2 — Componentes do conversor CC-CC SEPIC híbrido para diferentes níveis multiplicadores.

Nível Multiplicador (nx)	Indutores	Interruptores	Diodos	Capacitores
1x	2	1	1	2
2x	2	1	3	4
3x	2	1	5	6
nx	2	1	2n-1	2n

Fonte: Adaptado de (32).

Outra importante característica proporcionada pela topologia, são os baixos valores de tensão nos dispositivos de comutação (composto por semicondutores de potência ativos e passivos - diodos), sendo que a tensão bloqueada pelo transistor S_1 é reduzida quando comparada com a tensão de saída do conversor. Essa característica de reduzidos valores de tensão, também ocorre nas estruturas modulares multiplicadoras a diodo-capacitor, vantagens estas que colaboram na concepção desse tipo de tecnologia de conversores multiplicadores de tensão.

2.1.8.1 Análise dos níveis de tensão no conversor SEPIC multiplicador (2x)

Com base nas representações matemáticas apresentadas em (32), as equações a seguir, expressam o comportamento da tensão sobre os capacitores C_1 , C_2 , C_3 e C_4 relacionado a topologia apresentada na Fig.18.

Destaca-se também que todos os capacitores das estruturas em nível no circuito Dickson multiplicador de tensão a diodo-capacitor que estão acima do capacitor C_3 , obtêm o mesmo nível de tensão que o capacitor C_3 .

Em termos de valores médios, ao considerar o conversor trabalhando em regime permanente, os valores de tensão nos indutores são considerados nulos. Logo, o valor médio da tensão no capacitor C_1 durante os estados topológicos do conversor é igual ao valor da fonte V_1 .

$$V_{C1} = V_1 \quad (24)$$

A partir das considerações mencionadas, pode-se expressar a tensão média sobre o capacitor C_2 .

$$V_{C2} = V_{C1} \frac{D}{(1-D)} \quad (25)$$

A tensão média imposta sobre o capacitor C_3 do circuito Dickson multiplicador de tensão é dado pela soma em série dos capacitores V_{C1} e V_{C2} das equações 24 e 25.

$$V_{C3} = V_{C1} + V_{C2} = V_1 + \frac{V_1 D}{(1-D)} = V_1 \frac{1}{(1-D)} \quad (26)$$

De acordo com a informação destacada anteriormente, os capacitores que estão acima de capacitor C_3 terão respectivamente o mesmo nível de tensão que o capacitor C_3 , assim a equação que descreve o valor médio da tensão no capacitor C_4 é dada por 27.

$$V_{C4} = V_{C3} = \frac{V_1}{(1-D)} \quad (27)$$

- **Ganho estático do conversor CC-CC SEPIC híbrido multiplicador**

Conforme verificado em (32), a expressão do ganho para o conversor CC-CC SEPIC híbrido multiplicador possui definição recíproca ao ganho apresentado para o conversor Buck-Boost híbrido da seção 2.1.5 na Fig.15.(b), que equivale em termos matemáticos a combinação do ganho de um conversor Boost somado ao ganho de um conversor Buck-Boost convencional, representados matematicamente também pelas equações anteriores 25 e 27.

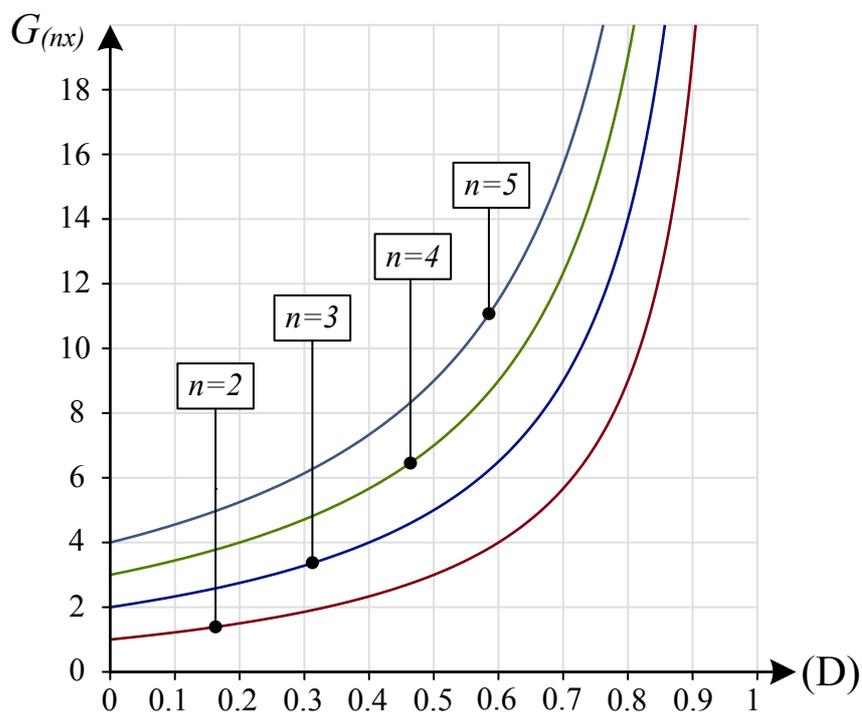
$$G = \frac{V_o}{V_1} = V_{C2} + V_{C4} = \left(\frac{D}{(1-D)} + \frac{1}{(1-D)} \right) = \frac{(1+D)}{(1-D)} \quad (28)$$

Ao considerar o conversor SEPIC híbrido como multiplicador (nx) da Fig.19, o ganho de tensão pode ser representado conforme a equação 29.

$$G_{nx} = \frac{V_o}{V_1} = \frac{n-1+D}{(1-D)} \quad (29)$$

A análise gráfica da Fig.20 mostra as curvas do alto ganho que pode serem alcançados para os diferentes níveis estendidos da estrutura.

Figura 20 — Ganho estático do conversor CC-CC SEPIC híbrido multiplicador (n_x).



Fonte: Adaptado de (33).

- **Análise comparativa: resultados das grandezas máximas de tensão**

A seguir na Tabela 3 é apresentada a análise qualitativa que compara as grandezas máximas de tensão sobre todos os componentes, relativos aos conversores CC-CC híbridos Boost da Fig.10 na seção 2.1.3; SEPIC convencional da Fig.16 e multiplicador ($2x$) da Fig. 18, discutidos durante a presente seção.

Tabela 3 — Comparativo das grandezas máximas de tensão nos componentes das estruturas.

Grandezas máximas (Volts)	Boost híbrido proposto em [31] - (Fig.10)	SEPIC híbrido multiplicador 2x proposto em [32],[33] - (Fig. 18)	SEPIC convencional (elevador) - (Fig. 16)
V_{L1}	$V_1 > 0$	$V_1 > 0$	$-V_o < 0$
V_{L2}	---	$V_1 > 0$	$-V_o < 0$
V_{S1}	$V_o/2 > 0$	$V_1 (1 / (1-D)) > 0$	$V_1 + V_o > 0$
V_{D1}	$V_o/2 > 0$	$V_1 (1 / (1-D)) > 0$	$-(V_1 + V_o) < 0$
V_{D2}	$V_o/2 > 0$	$V_1 (1 / (1-D)) > 0$	---
V_{D3}	$V_o/2 > 0$	$V_1 (1 / (1-D)) > 0$	---
V_{C1}	$V_o/2 > 0$	$V_1 > 0$	$V_1 > 0$
V_{C2}	$V_o/2 > 0$	$V_{C1} (D / (1-D)) > 0$	$V_o > 0$
V_{C3}	$V_o/2 > 0$	$V_1 (1 / (1-D)) > 0$	---
V_{C4}	---	$V_1 (1 / (1-D)) > 0$	---

Fonte: O autor (2023).

Ao observar os resultados comparativos apresentados na tabela acima para os níveis máximos de tensão sobre os componentes, verifica-se em um contexto resumido, que as topologias dos conversores CC-CC híbridos Boost e SEPIC híbrido multiplicador (2x) propõe reduzido nível de tensão sobre o transistor S_1 em comparação a topologia do conversor SEPIC convencional, tornando possível a implementação de transistores de baixa tensão, caracterizando um dos benefícios que podem ser obtidos com a utilização da técnica de multiplicador de tensão desses conversores.

Destaca-se também o reduzido nível e tensão nos demais componentes para ambas estruturas; porém vale ressaltar que os níveis de tensão obtidos no resultado comparativo para as saídas multiplicadoras do conversor CC-CC híbridos Boost da Fig.10 são precedidos de um comportamento simétrico com valores iguais a metade da tensão ($V_o/2$) de saída. Tal comportamento de tensão, também é verificado no(s) ponto(s) médio(s) do barramento, contribuindo assim, em reduzidos esforços de tensão também simétricos ao longo dos demais componentes da estrutura, independente do acréscimo de níveis multiplicadores de tensão considerados. No entanto, o conversor possui a tensão de saída limitada pela classificação de tensão dos dispositivos e a corrente nos semicondutores é maior quando da utilização de níveis mais baixos de tensão, o que pode inviabilizar o seu uso para determinadas aplicações.

Diferentemente, a topologia do conversor CC-CC SEPIC híbrido multiplicador (2x) da Fig.18 possibilita altas taxas de ganho de tensão no seu estágio de saída, onde os níveis de tensão obtidos junto ao barramento de saída possui um comportamento assimétrico, inclusive em seu ponto médio. Desta forma, o resultado do ganho obtido é propiciado pelo primeiro nível multiplicador de tensão assimétrico somado aos demais níveis multiplicadores que forem acrescidos ao barramento.

2.1.8.2 Simulação numérica para análise dos níveis de tensão de saída

A fim de verificar resultados de interesse das análises qualitativa e quantitativa comentados na presente seção, procedeu-se uma simulação via método computacional com auxílio do software PSIM[®] para a modelagem e obtenção dos resultados numéricos e do software MATLAB[®] para o tratamento dos resultados obtidos e apresentados na Fig.21.

Na simulação foi utilizado o modelo do conversor CC-CC SEPIC híbrido multiplicador (2x) da Fig.18. As especificações consideradas na simulação procedem conforme proposto por (32) e expressos na tabela a seguir.

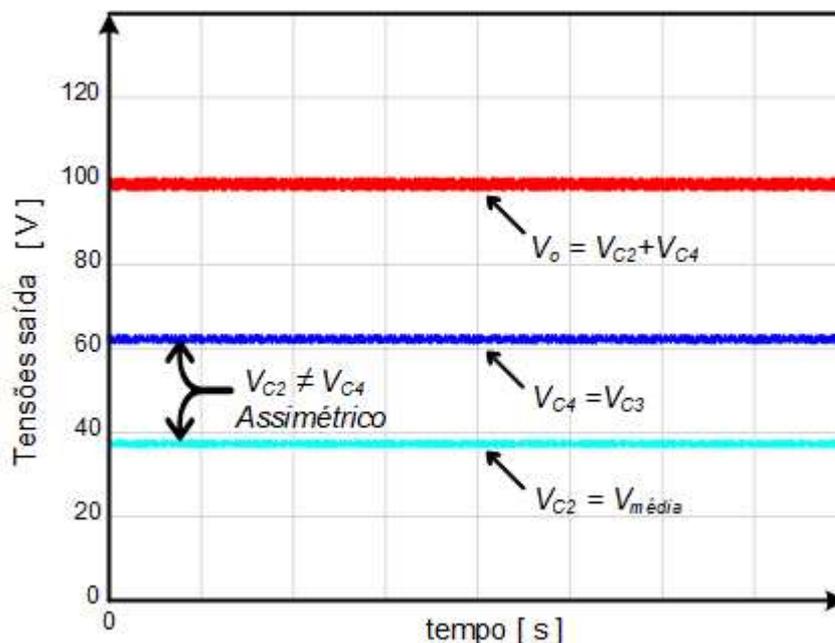
Tabela 4 — Especificações da simulação do conversor SEPIC híbrido multiplicador (2x).

Especificações e componentes	Valores
<i>Tensão de entrada - (V_1)</i>	25 V
<i>Tensão de saída - (V_o)</i>	100 V
<i>Potência de saída - (P_o)</i>	140 W
<i>Frequência de chaveamento - (f_s)</i>	20 kHz
<i>Razão cíclica - (D)</i>	0,6
<i>Indutores - ($L_1 = L_2$)</i>	180 μ H
<i>Capacitores - ($C_1 = C_2 = C_3 = C_4$)</i>	220 μ F

Fonte: Adaptado de (32).

Na Fig.21 é apresentado os resultados da simulação para as formas de onda das tensões de saída de interesse (V_o , V_{C2} , V_{C3} e V_{C4}), obtidos na simulação.

Figura 21 — Formas de onda das tensões de saída - conversor SEPIC híbrido multiplicador (2x).



Fonte: O autor (2023).

Dentre as qualidades inerentes trazidas e comentados durante esta seção, a Fig.21 mostra agora os resultados das formas de onda das tensões de saída da topologia híbrida com circuito Dickson multiplicador de tensão a diodos-capacitores, comprovando as possibilidades de alta taxa de ganho com elevação da tensão de saída resultante do somatório dos diferentes níveis multiplicadores (nx) considerados junto a estrutura, sem que seja necessário o uso de elevados valores de razão cíclica.

O resultado da integração dos multiplicadores de tensão junto à estrutura principal, ocasionou diferentes níveis de tensão junto aos capacitores C_2 e C_4 na saída do conversor, onde a tensão V_{C2} possui ganho recíproco a um conversor SEPIC somado a tensão em V_{C4} com ganho recíproco a um conversor Boost. Logo, esta diferença é dependente do ganho obtido pela estrutura.

Observa-se ao comentário anterior, que a interação do fluxo de carga e descarga do capacitor de entrada C_1 com a tensão do capacitor C_3 da(s) célula(s) do circuito multiplicador, ocasionam um desequilíbrio de tensão (*assimetria*) entre os capacitores C_2 e C_4 na saída da estrutura, como também junto aos pontos médios no barramento de saída do conversor. Desta forma, o somatório da tensão de saída do conversor SEPIC híbrido multiplicador (2x) será acrescido de maneira assimétrica. Salienta-se também que os níveis de tensão acrescidos de forma modular na estrutura do conversor, mesmo que assimétricos, mantem-se

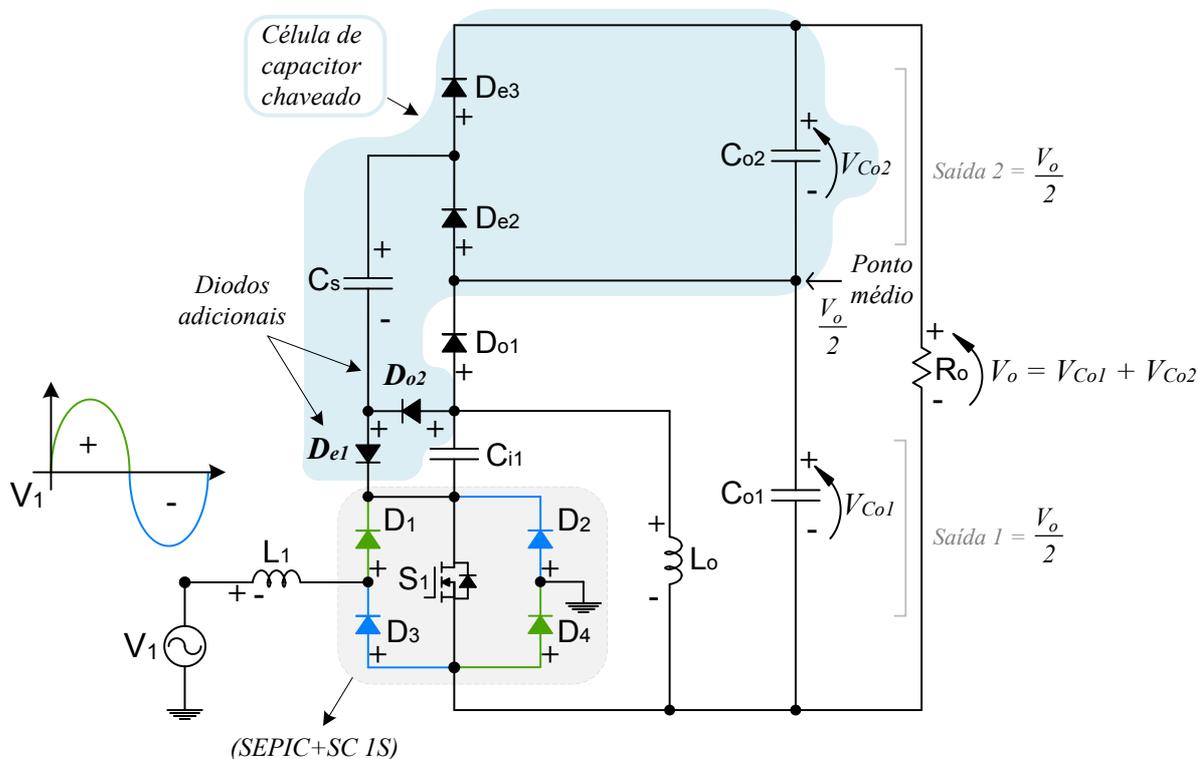
naturalmente regulados sem a necessidade de controle, visto aos benefícios inerentes trazidos pela técnica da integração com o circuito multiplicador de tensão a diodos-capacitores.

2.1.9 Conversor CA-CC SEPIC híbrido multiplicador

O objetivo desta seção não visa aprofundar conhecimentos em topologias do tipo retificador, nem explicar a forma de funcionamento e comportamento dos estados topológicos do conversor, dada a complexidade do estudo e sua extensão, *"mas sim trazer alguns atributos verificados como positivos que trarão importante contribuição para o decorrer da proposta desse trabalho"*.

O conversor monofásico CA-CC proposto por (30, 38) da Fig.22, mostra o retificador SEPIC implementado com a célula de comutação de modo distinto denominada (*SEPIC+SC 1S*), composto por um interruptor ativo (*1S*), integrados a célula de capacitor chaveado (em destaque azul) com 2 diodos (D_{e2} e D_{e3}) e 2 capacitores (C_s e C_{o2}). Destaca-se também, a inclusão de 2 diodos adicionais (D_{e1} e D_{o2}) que serão discutidos na sequência.

Figura 22 — Retificador monofásico (SEPIC+SC 1S) multiplicador.



Fonte: Adaptado de (30).

O conceito aplicado por (30) junto ao estudo, trouxe uma importante proposta

de mudança na célula do capacitor chaveado o qual integrava a estrutura, que implicou na adição de 2 diodos (D_{e1} e D_{o2}) possibilitando assim que a célula funcionasse de forma adequada e desejada junto ao retificador SEPIC convencional.

Conforme o autor, uma célula a capacitor chaveado de multiplicação clássica não utiliza os componentes D_{e1} e D_{o2} . Porém ao admitir que a tensão sobre o capacitor C_{i1} é igual a tensão retificada após o tratamento da célula de comutação, dada a sua presença na entrada da estrutura, torna necessário que o fluxo de carga e descarga provinda desse capacitor C_{i1} seja desviado do capacitor chaveado C_s . Desta forma garante-se que a tensão no capacitor C_{i1} permanece inalterada, colaborando inclusive na qualidade da corrente drenada provinda da rede elétrica.

Esse cuidado relatado quanto ao desvio das interferências do fluxo de carga e descarga do capacitor C_{i1} junto ao restante da estrutura durante as etapas operativas do conversor retificador, implicam em manter a importante simetria na divisão de tensão ($V_o/2$) nos capacitores C_{o1} e C_{o2} no barramento de saída multiplicador, bem como preservar o mesmo referencial simétrico de tensão ($V_o/2$) obtido de maneira balanceada junto ao ponto médio de conexão (negativo e positivo) na saída do conversor.

Tal condição de equilíbrio é alcançada devido ao comportamento do capacitor chaveado C_s da célula ficar em paralelo nas respectivas trocas de estado do conversor com os capacitores de saída C_{o1} e C_{o2} , garantido equalização dos níveis desejados de tensão na saída do conversor.

Outra vantagem obtida na topologia com essa modificação na célula é garantir que os esforços de tensão sobre os semicondutores do conversor retificador sejam reduzidos de forma simétrica em relação aos esforços dos semicondutores do conversor retificador SEPIC convencional, possibilitando assim sua inclusão com baixos esforços em aplicações que requeiram um maior nível da tensão de trabalho, bem como a divisão e equilíbrio entre as tensões (simetria) nos capacitores de saída e a possibilidade de melhoria do ganho estático e níveis de tensão mais elevados no barramento geral de saída.

2.2 Conclusão do capítulo

Neste capítulo apresentou-se a revisão bibliográfica que trata de forma breve o estado da arte relacionado a tópicos importantes e necessários para o entendimento da proposta da dissertação.

Desta forma, buscou-se direcionar a atenção ao conceito de estruturas que trazem em suas características e princípios de operação os conversores

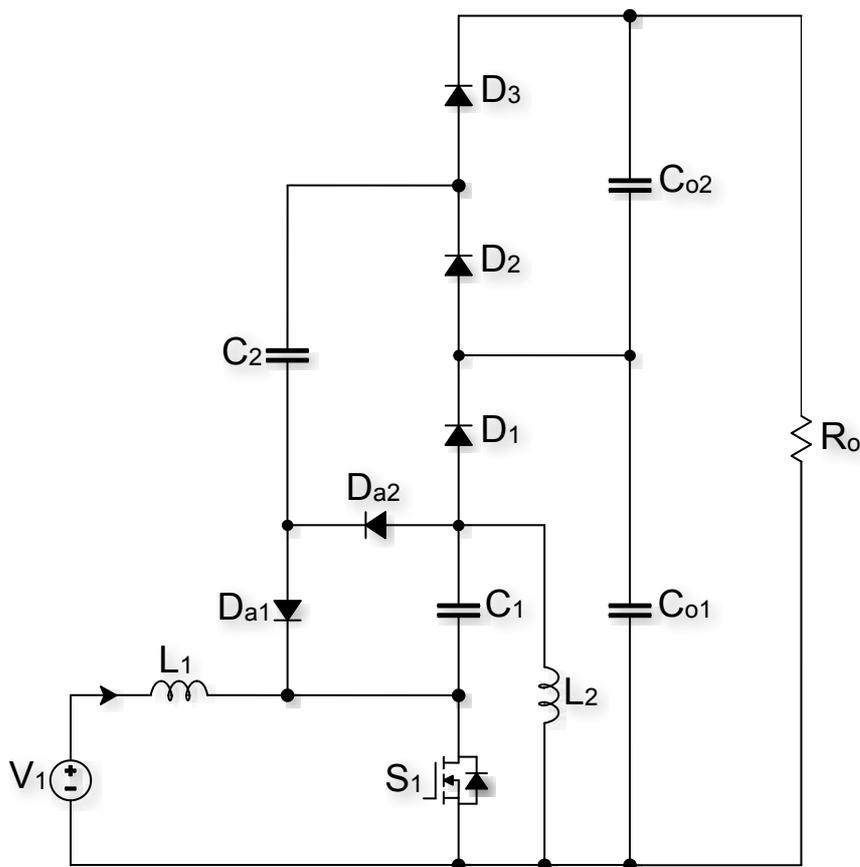
convencionais que empregam de alguma forma a técnica da célula de capacitor chaveado. Verificou-se assim, durante o decorrer da pesquisa deste trabalho, a possibilidade em aberto para um conversor com características topológicas semelhantes ao conversor discutido na seção 2.1.6, dadas as suas características inerentes frente as aplicações possíveis e em constante estudo na área de eletrônica de potência.

Por intermédio de estudos conhecidos, a revisão também trouxe outras técnicas aplicadas que trarão importante contribuição na proposta discutida ao longo deste trabalho, colaborando assim na discussão de uma nova topologia de conversor CC-CC unidirecional híbrido SEPIC fazendo uso da técnica de capacitor chaveado e características simétricas de tensão de saída.

3 CONVERSOR CC-CC HÍBRIDO SEPIC COM SAÍDAS SIMÉTRICAS INTEGRADO A CÉLULA A CAPACITOR CHAVEADO

Neste capítulo, é apresentado na Fig.23 a proposta de uma nova topologia unidirecional formada por conversor CC-CC híbrido SEPIC com saídas simétricas de tensão integrado a célula a capacitor chaveado modificada.

Figura 23 — Conversor CC-CC híbrido SEPIC com saídas simétricas Integrado a célula a capacitor chaveado modificada.



Fonte: O autor (2023).

A topologia proposta apresentada na Fig.23, teve como objetivo integrar o conversor CC-CC SEPIC convencional (Vide Fig.16) visto na subseção 2.1.6, a topologia de uma célula unitária passiva a capacitor chaveado (Vide Fig.9.(b)) conforme mostrado na seção 2.1.2.

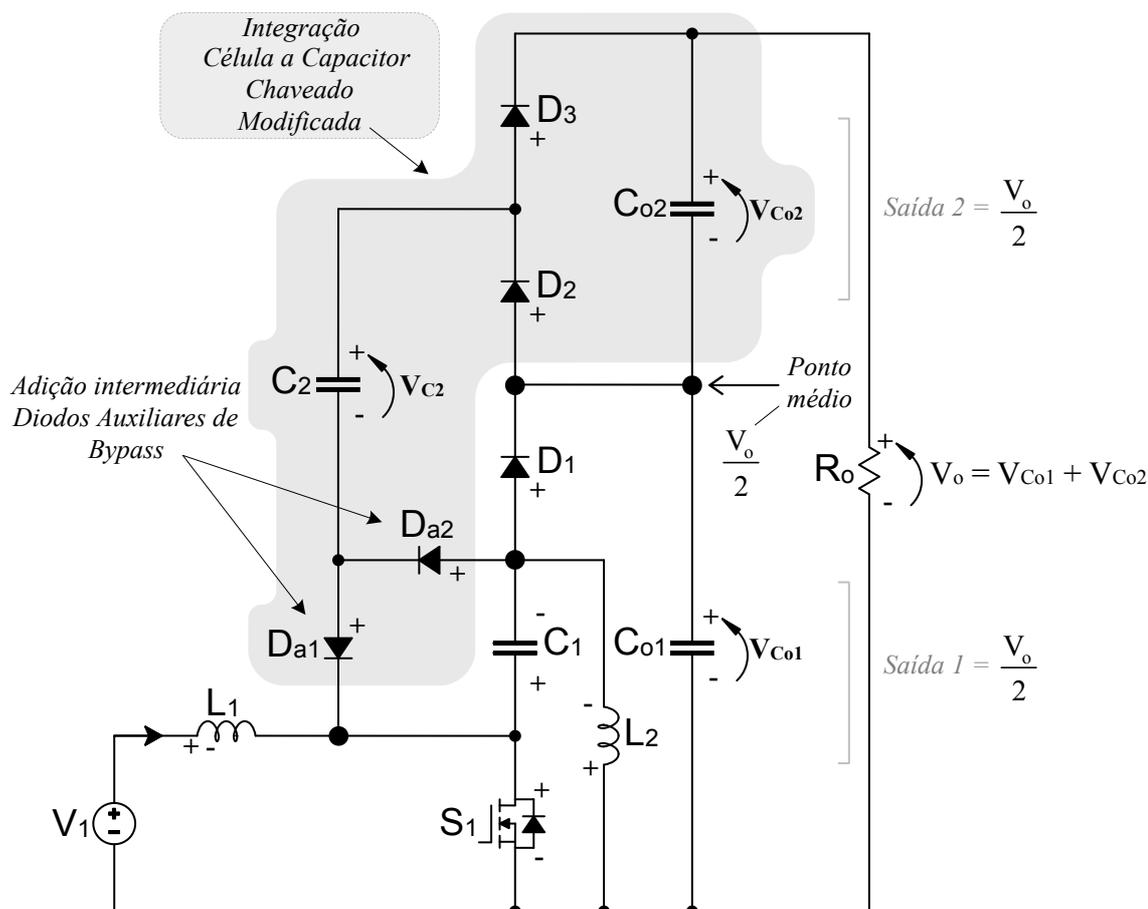
Com a união dessas duas topologias em um arranjo adequado sem a necessidade do uso de transformador e com a possibilidade de trabalhar em alta frequência de comutação, surge então uma caracterização híbrida que deu origem a um novo conversor CC-CC do tipo unidirecional não isolado para operar em modo de condução contínua (MCC). Porém, para o seu correto funcionamento com

características simétricas na tensão de saída, necessita de uma importante modificação na célula unitária passiva a capacitor chaveado. O conversor possui características de corrente contínua na entrada com baixa ondulação e pode trabalhar com níveis de tensão mais elevados no barramento de saída, sem que os semicondutores sejam submetidos a excessivos esforços de tensão e com a possibilidade de operação com o dobro do ganho da estrutura SEPIC convencional, sem a necessidade de ciclos de trabalho extremos.

A fazer uso do conceito aplicado por (30) junto ao estudo mostrado na seção 2.1.8, possibilitou a modificação necessária junto a célula, contribuindo com a adição intermediária de uma malha composta por dois diodos auxiliares de bypass denominados neste trabalho por D_{a1} e D_{a2} , que permitem que o capacitor C_1 da estrutura permaneça com um nível médio de tensão igual à tensão de entrada, que é uma característica do conversor SEPIC convencional. Tal modificação torna-se também necessária para que o fluxo de carga e descarga provinda desse capacitor C_1 seja desviado do capacitor chaveado C_2 , e assim, permita a obtenção de simetria desejada dos níveis de tensão nos capacitores C_{o1} e C_{o2} no barramento de saída.

Na ilustração da Fig.24 a seguir, é destacado a estruturação da topologia híbrida do conversor proposto com a integração da célula unitária passiva a capacitor chaveado modificada com a adição dos diodos auxiliares de bypass.

Figura 24 — Estruturação da topologia híbrida do conversor proposto.



Fonte: O autor (2023).

O conversor proposto na Fig.24, aliado a técnica do capacitor chaveado também traz na sua topológica o conceito de dobrador/multiplicador de tensão de saída, onde a equalização dos níveis médios de tensão obtidos em cada capacitor C_2 , C_{o1} e C_{o2} , bem como no ponto médio de saída do conversor ao longo das etapas de operação, são iguais à metade da tensão total imposta sobre a carga, ou seja $V_o/2$. Desta forma, a tensão entregue a carga será a soma da tensão dos dois capacitores C_{o1} e C_{o2} do circuito de saída em níveis simétricos.

Salienta-se também, o benefício garantido pela integração com a célula passiva a capacitor chaveado, quanto ao balanço e equalização natural dos diversos níveis multiplicadores da tensão obtidos ($V_o/2$), preservando também os referenciais simétricos de tensão de maneira balanceada junto ao(s) ponto(s) médio(s) de conexão no barramento de saída.

- **Características topológicas do conversor proposto**

Os elementos que compõe as características topológicas do novo conversor

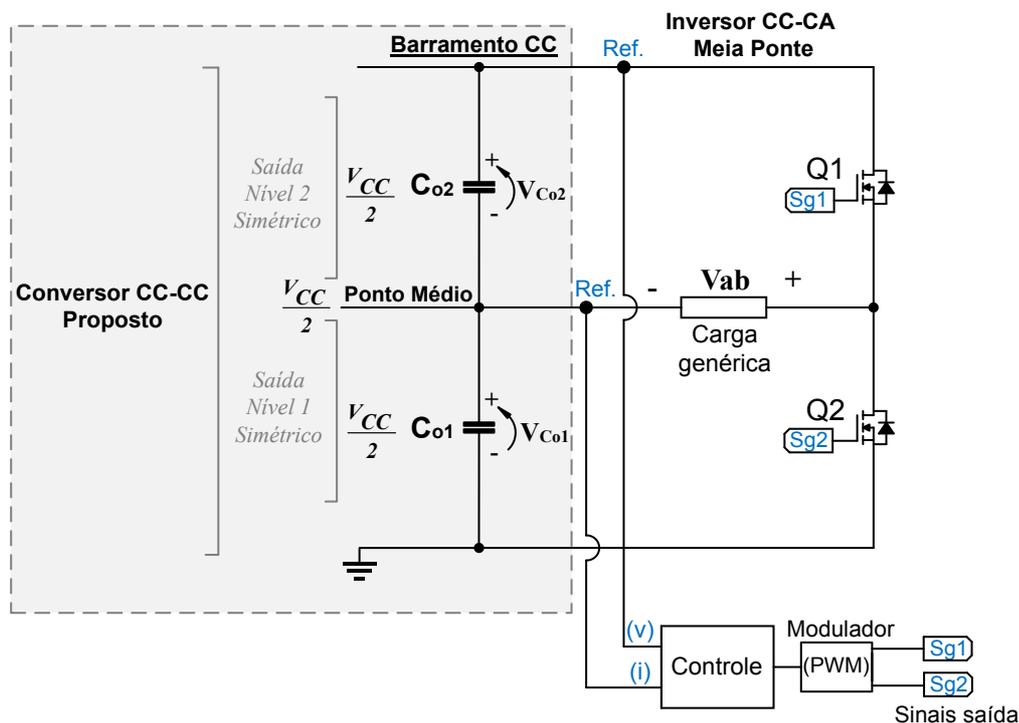
apresentado na Fig.24 são "seis semicondutores" compostos por um interruptor ativo S_1 , três diodos D_1 , D_2 , e D_3 , seguido do acréscimo de dois diodos auxiliares de bypass denominados neste trabalho por D_{a1} e D_{a2} . O conversor também conta com seis elementos armazenadores de energia compostos por dois indutores L_1 e L_2 , ambos herdados da estrutura SEPIC convencional, quatro capacitores C_1 , C_2 , C_{o1} e C_{o2} , como também uma fonte V_1 que representa a alimentação de entrada e uma carga representada por uma resistência R_o ligada aos terminais do barramento de saída do conversor.

Observa-se, que o conversor proposto possui características topológicas semelhantes ao conversor da Fig.18 e 19 discutido na seção 2.1.7. Porém, com o acréscimo necessário dos diodos auxiliares D_{a1} e D_{a2} de baypass junto a célula passiva a capacitor chaveado, trouxe ao novo conversor a modificação estrutural que propicia a obtenção da equalização (simetria) dos níveis médios de tensão em cada capacitor C_2 , C_{o1} e C_{o2} , bem como no(s) ponto(s) médio(s) na saída do conversor ao longo das etapas de operação.

- **Equalização (simetria) dos níveis médios de tensão de saída**

A vantagem propiciada pelo equilíbrio simétrico dos níveis de tensão no barramento de saída do conversor em estudo, é mostrado na Fig.25 em um breve exemplo de aplicação, onde o conversor proposto através de seu divisor capacitivo no barramento saída, realiza o atendimento da tensão de entrada de um inversor CC-CA meia ponte.

Figura 25 — Exemplo: Alimentação simétrica de tensão para um inversor CC-CA meia ponte.



Fonte: O autor (2023).

No exemplo de aplicação acima, o inversor CC-CA meia ponte necessita para seu correto funcionamento ser alimentado por duas fontes de corrente contínua CC que possuam níveis equalizados (simétricos) de tensão no barramento de entrada (alimentação), sendo comum na grande maioria dos casos a utilização de um divisor capacitivo (saídas níveis 1 e 2) com grande valor (alta capacitância) e com baixa ondulação (ripple) de tensão, e que possibilite um ponto médio central para conexão.

Outra possibilidade de aplicação da topologia simétrica proposta, pode ser estendida por exemplo no campo de microrredes com aplicação a sistemas de corrente contínua bipolares, possibilitando com certo grau de liberdade alimentar cargas DC de valores distintos de tensão, desde que respeitada a potência drenada pelo conversor.

Observa-se então, que a assimetria de tensão presente nas topologias dos conversores da Fig.18 e 19 (seção 2.1.7), embora não seja prejudicial ou crítico para muitas aplicações, o seu uso pode não ser adequado para determinados atendimentos.

Logo, para aplicações que necessitam de uma solução simétrica de tensão, torna-se mandatório a utilização de um conversor que possua as características propostas neste estudo.

- **Principais características compartilhadas entre as estruturas**

Com intuito de elucidar as principais características que são compartilhadas entre os conversores da Fig.18 e 19 e o conversor proposto, a figura a seguir apresenta uma lista com um breve estudo comparativo entre ambos.

Figura 26 — Comparativo das principais características qualitativas compartilhadas entre a estrutura existente na literatura e a estrutura proposta.

	Proposto (Autor)	Literatura ([32],[33])
*Alta taxa de conversão sem uso de transformadores	✓	✓
Elevação dos níveis de tensão de saída	✓	✓
Alta eficiência	✓	✓
Alta frequência de comutação	✓	✓
Não necessitada de ciclos de trabalhos extremos	✓	✓
Baixa ondulação na corrente de entrada	✓	✓
Estrutura modular de elevação múltipla de tensão na saída	✓	✓
Adição de níveis multiplicadores de tensão sem modificação do circuito principal	✓	✓
Aumento do ganho de tensão sem acréscimo no número de indutores	✓	✓
Apenas um transistor independentemente do número de níveis multiplicadores	✓	✓
Reduzidos esforços de tensão nos dispositivos de comutação	✓	✓
Equilíbrio natural entre as tensões (simetria) nos capacitores de saída	✓	✗
Atendimento a aplicações que necessitem de solução simétrica de tensão.	✓	✗

Nota: *Alto ganho ao considerar um número adequado de células multiplicadoras de tensão na saída.

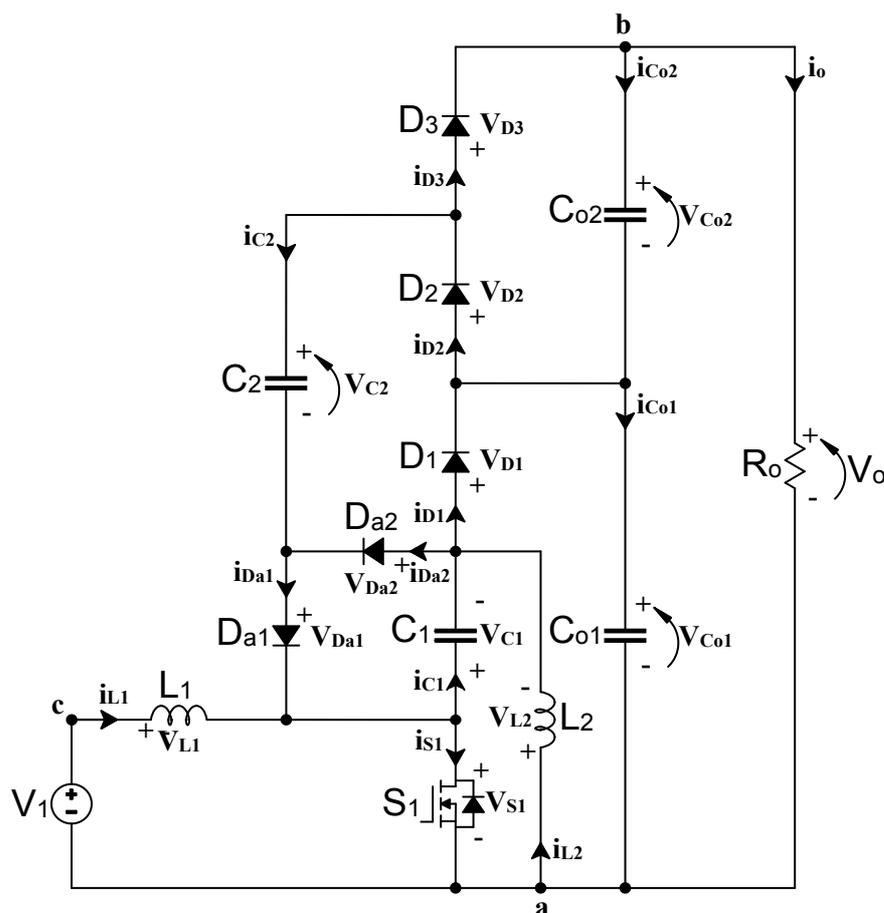
Fonte: O autor (2023).

Salienta-se que a assimetria de tensão conquistada na topologia proposta agrega desvantagens, ao considerar que são necessários o incremento de dois diodos denominados como auxiliares no estudo, que podem impactar nas perdas quando estas forem consideradas e conseqüentemente no ganho e eficiência geral da estrutura.

3.1 Princípio de operação do conversor proposto

Para o princípio de análise de operação do conversor, torna-se necessário a detalhar a polarização das tensões e sentidos das correntes para todos os elementos do modelo topológico.

Figura 27 — Representação operacional do conversor proposto.



Fonte: O autor (2023).

A análise da Fig.27, descreve-se o conversor proposto pronto para operar de maneira unidirecional, o que significa o redirecionamento do fluxo de potência no sentido da fonte de tensão V_1 para os capacitores C_{o1} , C_{o2} e carga R_o no estágio de saída. Além disso, considera-se que todos os semicondutores são ideais e que os capacitores possuem capacitância suficiente para garantir que a tensão sobre os mesmos seja constante em um período de comutação.

3.1.1 Etapas de operação

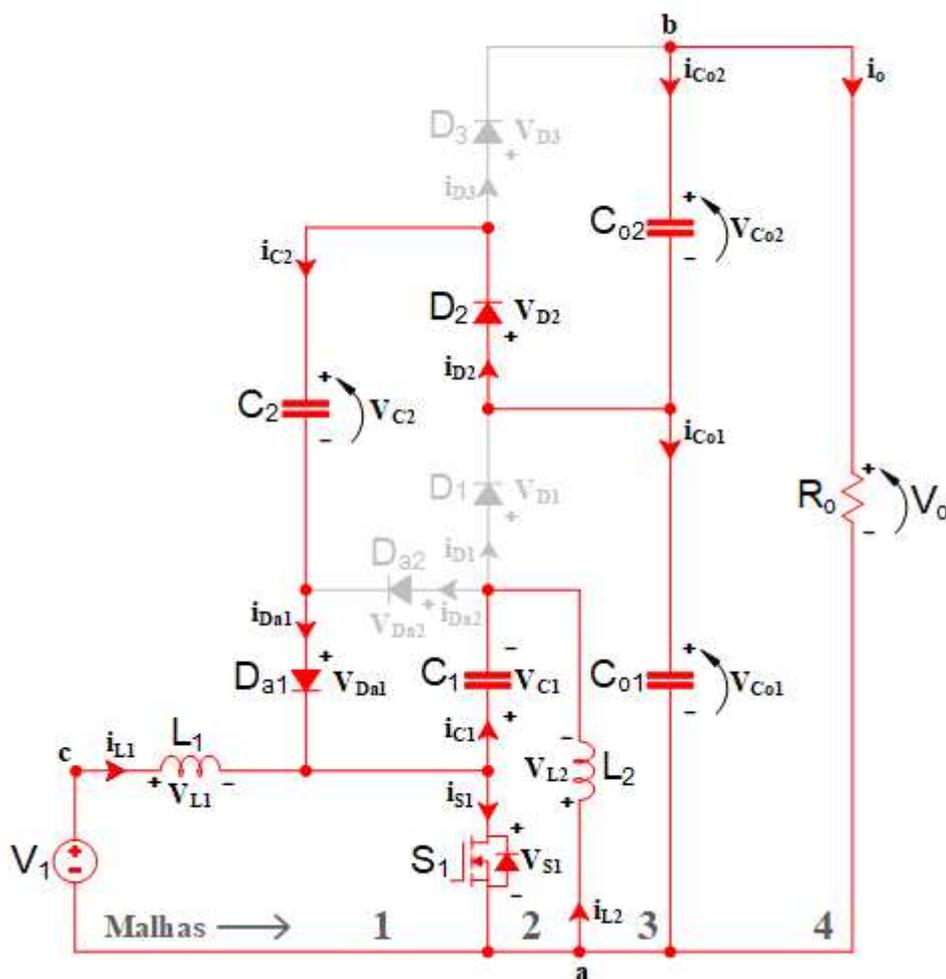
Do ponto de vista da modulação, o interruptor S_1 empregado opera com sinal

de comando distinto para cada etapa de operação a ser descrita, ou seja, em nível alto e baixo ($S_{1(\text{ton})}$ e $S_{1(\text{toff})}$), sendo que os diodos D_1 , D_2 , D_3 , D_{a1} e D_{a2} conduzem de maneira combinada e complementar quando recebem polarização de forma direta no circuito; onde em cada etapa de operação somente três semicondutores da topologia devem conduzir. Desta forma, no primeiro intervalo topológico o interruptor S_1 recebe pulso alto de comando e começa a conduzir juntamente com a combinação dos diodos D_2 e D_{a1} , enquanto que a combinação dos diodos D_1 , D_3 e D_{a2} conduzirão de maneira complementar somente quando o sinal de comando de S_1 é retirado para dar início ao segundo intervalo topológico de operação.

O conversor adota polarização no sentido de carga para os elementos armazenadores de energia e opera em modo de condução contínuo (MCC), apresentando somente duas etapas de operação em um período de comutação. Considera-se também que em regime permanente o valor médio da tensão dos indutores L_1 e L_2 , e as ondulações de tensão nos capacitores C_{o1} e C_{o2} serão nulas. Desta forma o valor da tensão média no capacitor C_1 será considerado igual a tensão da fonte V_1 e nos capacitores C_2 , C_{o1} e C_{o2} será igual a metade da tensão $V_o/2$ nos terminais de saída.

3.1.1.1 Primeira etapa de operação

Figura 28 — Primeira etapa de operação - Conversor híbrido SEPIC a capacitor chaveado.



Fonte: O autor (2023).

A Fig.28 demonstra a primeira etapa de operação que ocorre durante o intervalo Δt_1 . Neste estado topológico, o interruptor S_1 recebe pulso alto de comando e entra em condução, o diodo D_2 é polarizado diretamente e também entra em condução, enquanto os diodos D_1 e D_3 encontram-se bloqueados.

Na malha 01 formada, a fonte V_1 transfere energia magnetizando o indutor L_1 , e na malha 02 o capacitor C_1 transfere energia descarregando-se e magnetizando o indutor L_2 . Logo, os dois indutores são carregados na primeira etapa com derivada positiva da corrente, indicando que estão magnetizando-se de forma crescente e linear.

Assim a malha 03 é formada, sendo composta pela integração da célula a capacitor chaveado C_2 com o diodo auxiliar de bypass D_{a1} que entra instantaneamente em condução, em seguida o capacitor C_2 é alimentado pelo capacitor C_{o1} ficando ambos em paralelo equalizando as suas tensões. Logo, a tensão estabelecida no capacitor C_2 da célula unitária, é igual a tensão no capacitor C_{o1} do barramento de saída. O diodo auxiliar D_{a2} neste processo é polarizado de forma reversa permanecendo bloqueado.

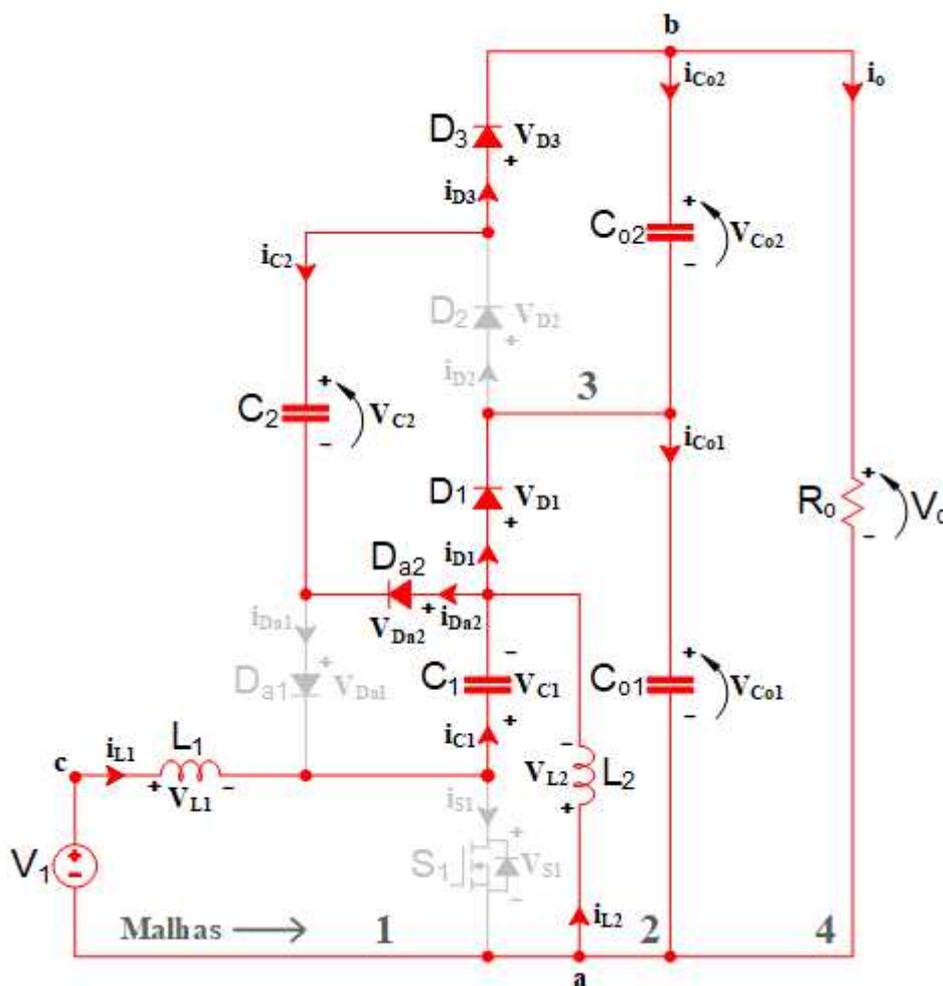
Salienta-se que o diodo auxiliar D_{a1} polarizado, opera com baixa energia provinda somente da célula unitária a capacitor chaveado, e possui essencial importância visto que esse elemento permite desviar o fluxo de descarga provindo do capacitor C_1 da estrutura SEPIC em relação ao capacitor chaveado C_2 , propiciando que ocorra a compatibilidade e simetria dos valores de tensão na saída do conversor.

Na malha 04, a resistência de carga R_o é atendida pelos capacitores C_{o1} e C_{o2} do circuito dobrador de tensão que compõe o estágio saída do conversor.

Ao final da primeira etapa a chave S_1 é bloqueada permitindo o início do próximo intervalo de operação.

3.1.1.2 Segunda etapa de operação

Figura 29 — Segunda etapa de operação - Conversor híbrido SEPIC a capacitor chaveado.



Fonte: O autor (2023).

A segunda etapa de operação ocorre durante o intervalo Δt_2 , sendo demonstrado na Fig.29. Neste estado topológico, os diodos D_1 e D_3 são polarizados de forma direta e entram em condução, enquanto o Interruptor S_1 e o diodo D_2 permanecem bloqueados.

Nas malhas 01 e 02 formadas, a energia da fonte V_1 juntamente com a energia armazenada na primeira etapa pelos indutores L_1 e L_2 é transferida respectivamente para o capacitor C_1 e para os capacitores de saída C_{o1} e C_{o2} . Logo, o capacitor C_1 carrega-se com a tensão da fonte e os dois indutores são descarregados com derivada negativa da corrente, indicando que estão desmagnetizando-se de forma decrescente e linear.

A malha 03 formada agora é composta pela integração da célula a capacitor chaveado C_2 com o diodo auxiliar D_{a2} que entra instantaneamente em condução desviando o capacitor C_1 , a fim de manter a correta continuidade da corrente no ramo e o funcionamento do circuito. A condução do diodo auxiliar D_{a2} possibilita que o capacitor C_{o2} passe a ser alimentado nesta etapa pelo capacitor C_2 ficando ambos em paralelo equalizando as suas tensões. O diodo auxiliar D_{a1} é polarizado de forma reversa permanecendo desta forma bloqueado.

O diodo auxiliar D_{a2} neste intervalo também opera com baixa energia permitindo a correta entrega de energia dos elementos armazenadores, como também possibilita bypassar o capacitor C_1 da estrutura SEPIC, propiciando que ocorra de forma recíproca a etapa anterior a compatibilidade e simetria desejada dos valores de tensão na saída do conversor.

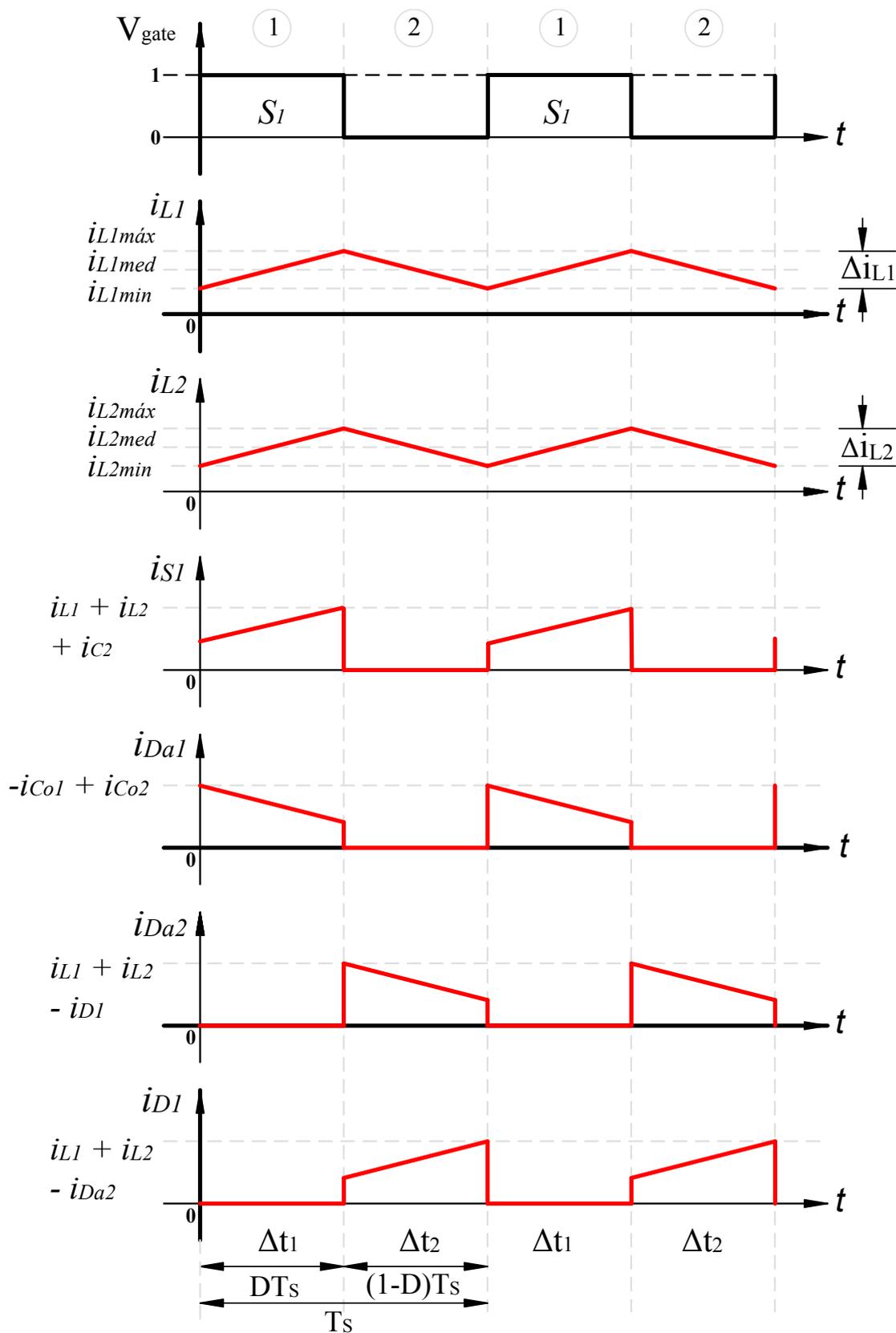
Na malha 04, a resistência de carga R_o permanece sendo atendida pelos capacitores C_{o1} e C_{o2} do circuito dobrador de tensão que compõe o estágio saída do conversor.

Ao final da segunda etapa de operação interruptor S_1 é novamente acionado e passa a conduzir, assim os D_1 , D_3 e D_{a2} passam a ficar bloqueados, permitindo novamente o início do primeiro intervalo de operação.

3.2 Formas de onda ideais do conversor proposto

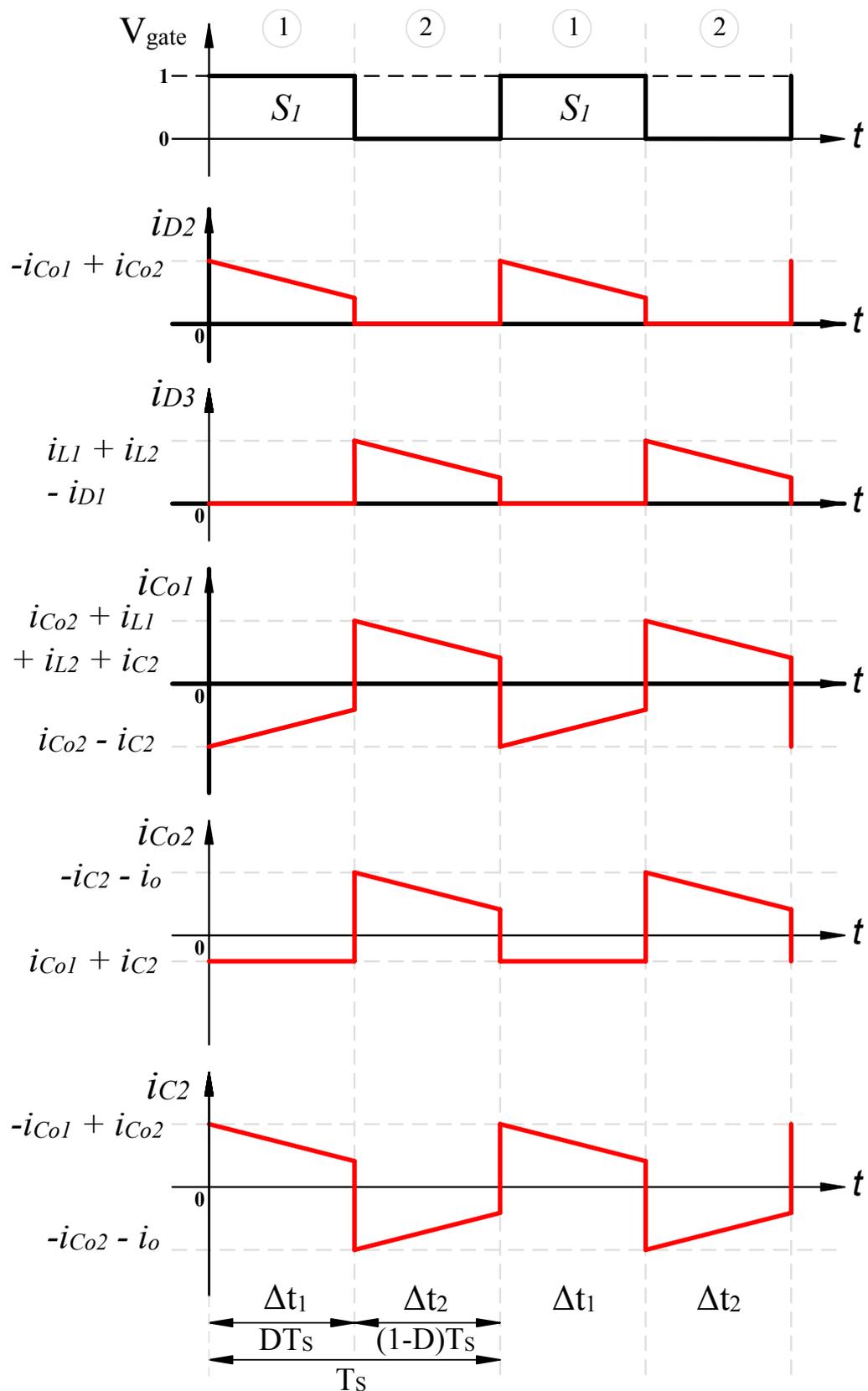
A seguir, em partes da Fig.30 a Fig.33, são apresentados as formas de onda ideais do conversor para os sinais de comando do interruptor ativo, correntes e tensões nos indutores L_1 e L_2 e semicondutores S_1 , D_{a1} , D_{a2} , D_1 , D_2 e D_3 , bem como as correntes e tensões nos capacitores C_{o1} , C_{o2} e C_2 .

Figura 30 — Formas de onda ideais das correntes do conversor proposto (Parte 1).



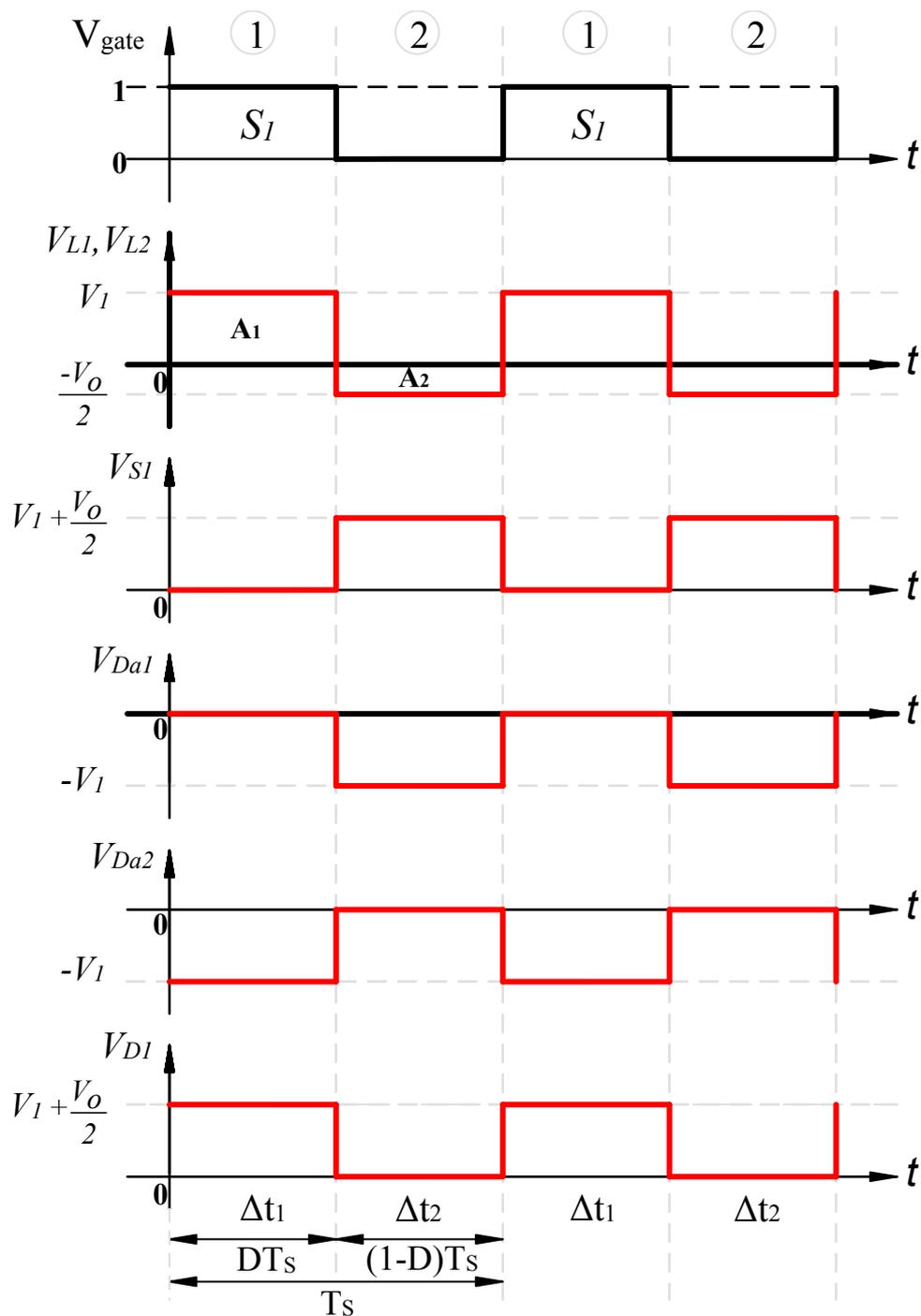
Fonte: O autor (2023).

Figura 31 — Formas de onda ideais das correntes do conversor proposto (Parte 2).



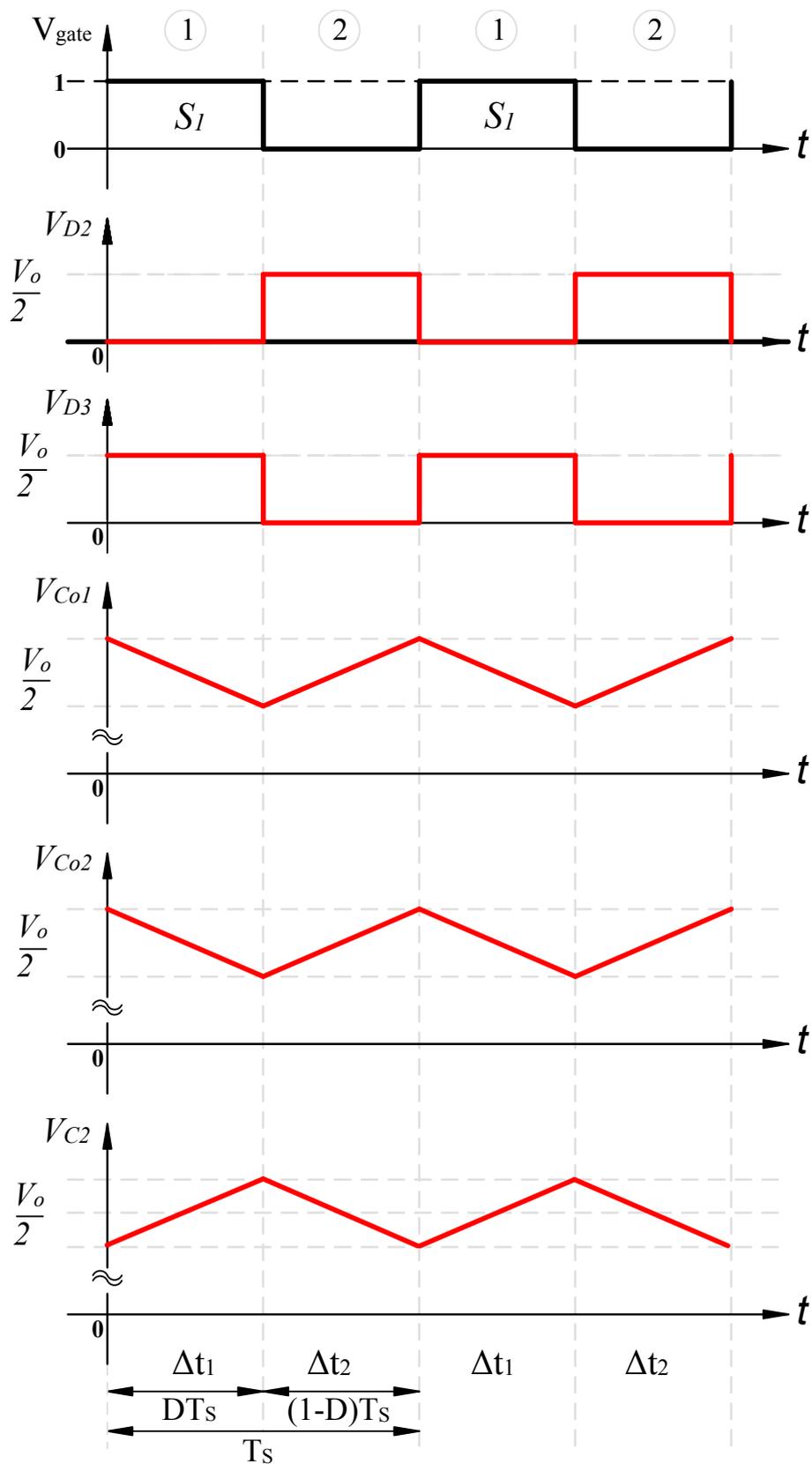
Fonte: O autor (2023).

Figura 32 — Formas de onda ideais das tensões do conversor proposto (Parte 1).



Fonte: O autor (2023).

Figura 33 — Formas de onda ideais das tensões do conversor proposto (Parte 2).



Fonte: O autor (2023).

3.3 Análise matemática das etapas de operação

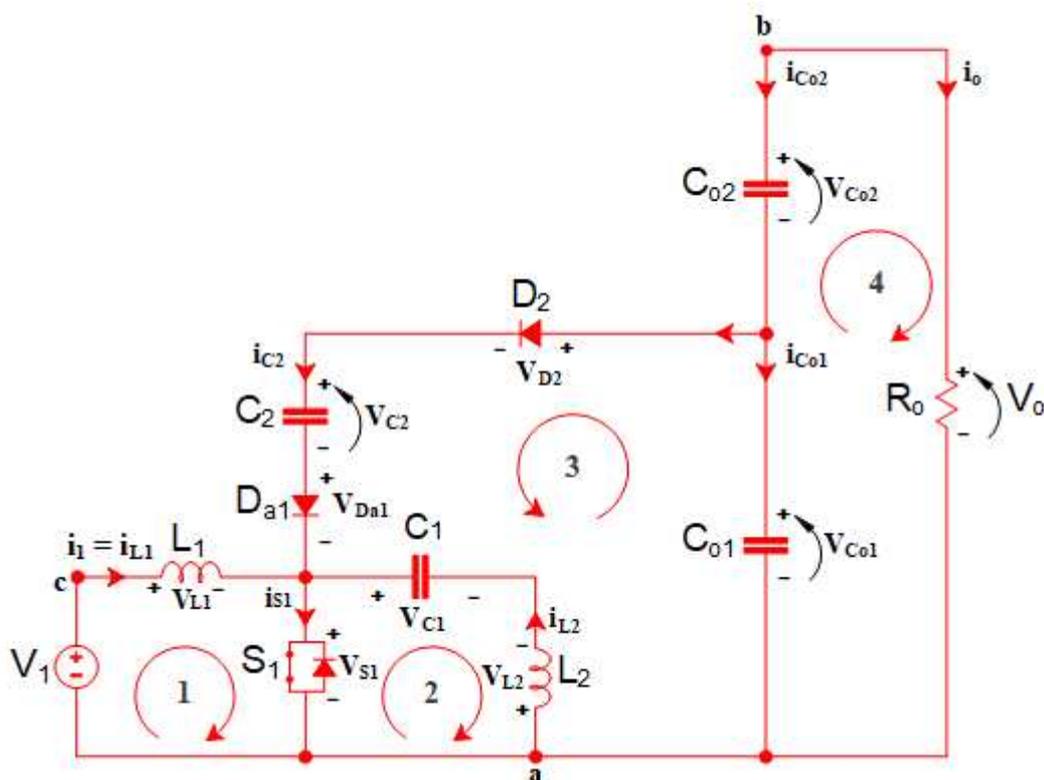
As informações repassadas nas seções 3.1 e 3.2 relacionadas ao princípio de operação do conversor e as formas de onda são úteis para a análise quantitativa do conversor CC-CC unidirecional híbrido SEPIC (PWM) integrado a célula a capacitor chaveado modificada proposto no estudo.

A seguir, são demonstradas as principais equações do conversor operando de forma idealizada em modo de condução contínua (MCC).

- **Análise matemática da primeira etapa de operação**

O primeiro estado topológico de operação do conversor é compreendido pelo intervalo Δt_1 da expressão 30, e representado para fins e análise pelo circuito equivalente ativo redesenhado na Fig.34 em um conjunto de malhas (1 a 4), conforme demonstrado a seguir.

Figura 34 — Circuito equivalente ativo – 1º etapa de operação.



Fonte: O autor (2023).

A definição do intervalo Δt_1 é dado pela razão cíclica D e período de comutação T_s e frequência de comutação f_s .

$$\Delta t_1 = D.T_s$$

$$\Delta t_1 = \frac{D}{f_s}$$
(30)

As relações que determinam as tensões médias para o primeiro estado topológico do conversor que envolvem armazenamento de energia, são iniciadas pela análise junto a malha 4 e permitem escrever a expressão da tensão para os capacitores C_{o1} e C_{o2} do barramento de saída.

$$-V_o + V_{Co2} + V_{Co1} = 0$$
(31)

$$V_o = V_{Co1} + V_{Co2}$$

Ao desconsiderar as perdas concentradas inerentes a estrutura, é permitido a seguinte consideração.

$$V_{Co1} = V_{Co2}$$
(32)

Ao substituir a expressão 31 em 32 chega-se em 33, e demonstra o conceito do circuito dobrador de tensão no estágio de saída do conversor proposto.

$$V_o = 2.V_{Co1,2}$$
(33)

Logo, a tensão resultante nos capacitores C_{o1} e C_{o2} é igual a metade da tensão total nos terminais de saída do conversor.

$$V_{Co1,2} = \frac{V_o}{2}$$
(34)

Ressalta-se que esta relação de tensão nos capacitores de saída é válida para ambos os estados topológicos do conversor.

Para os indutores L_1 e L_2 e capacitor C_1 , a tensão instantânea sobre estes elementos é igual à tensão de entrada da fonte V_1 , conforme verificado nas análises das malhas 1 e 2 mostradas no circuito equivalente ativo da Fig.34.

A expressão para a tensão instantânea no Indutor L_1 é apresentada abaixo.

$$V_{L1} = V_1$$

$$L_1 \frac{diL_1(t)}{dt} = V_1 \quad (35)$$

Da mesma forma, a equação das tensões de malha permite escrever a expressão para o Indutor L_2 conforme é mostrado a seguir.

$$V_{L2} = V_1$$

$$L_2 \frac{diL_2(t)}{dt} = V_1 \quad (36)$$

Considerando-se a malha externa formada pela integração das malhas 1 e 2 conforme mostra a expressão das tensões em 37, verifica-se que é possível considerar a ausência de comutação nesta malha formada, logo esta malha independe da etapa de operação do comutador, ou seja, não possui dependência com a razão cíclica.

$$-V_1 + V_{L1} + V_{C1} - V_{L2} = 0 \quad (37)$$

Sabe-se também que quando o conversor opera em regime permanente, o valor médio de tensão nos indutores L_1 e L_2 é nulo.

$$L_1 \frac{diL_1(t)}{dt} = L_2 \frac{diL_2(t)}{dt} = 0 \quad (38)$$

Desta forma, a equação das tensões da malha permitem mostrar a expressão 39 que corresponde a tensão média sobre o Capacitor C_1 .

$$V_{C1} = V_1$$

(39)

Para o semicondutor passivo representado pelo diodo de bypass D_{a2} da malha auxiliar, a tensão em seus terminais através da polarização reversa o mantém bloqueado durante o primeiro intervalo de operação.

A expressão 44 representa a tensão sobre do diodo auxiliar de bypass D_{a2} .

$$V_{Da2} = -V_1 \quad (40)$$

Para a tensão média sobre o capacitor C_2 da célula unitária do capacitor chaveado modificada, o resultado vem da equalização da tensão com o capacitor C_{o1} do barramento de saída, devido ao resultado do paralelismo desses dois capacitores no circuito durante o primeiro intervalo de operação.

Então ao considerar as análises mostradas nas expressões 36 e 38 chega-se a expressão 41.

$$V_{C2} = V_{C_{o1}} = \frac{V_o}{2} \quad (41)$$

Os componentes semicondutores passivos representados pelos diodos D_1 e D_3 durante o primeiro intervalo de operação do conversor, ficam submetidos a no máximo a tensão da fonte de entrada mais a metade da tensão de saída imposta a carga, portanto as expressões 42 e 43 que descrevem esse comportamento são mostradas a seguir.

$$V_{D1} = V_1 + \frac{V_o}{2} \quad (42)$$

$$V_{D3} = \frac{V_o}{2} \quad (43)$$

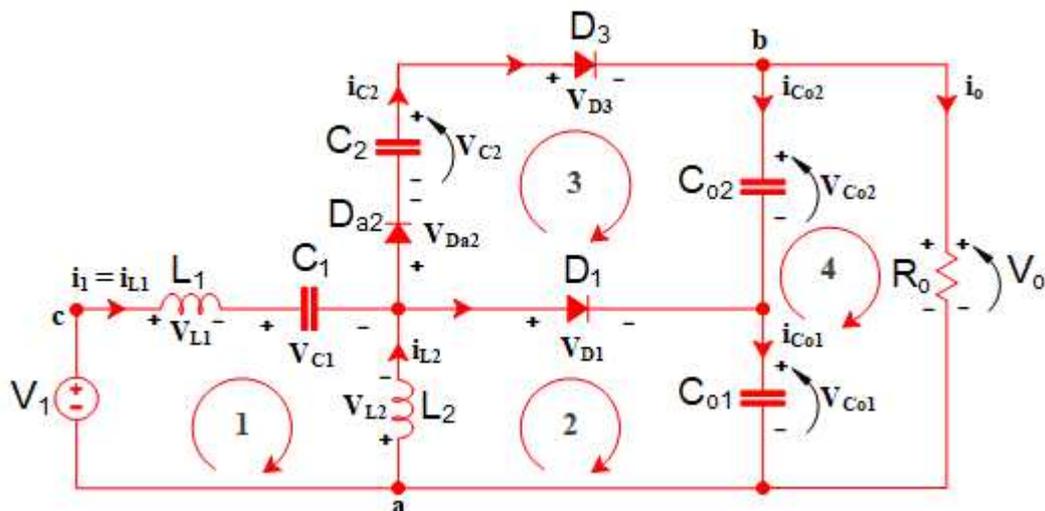
Para os elementos (semicondutores de potência ativos e passivos - diodos) que conduzem durante o primeiro intervalo de operação, representados pelo interruptor S_1 , e diodos D_2 e D_{a1} , as respectivas tensões em seus terminais são nulas.

$$V_{S1}, V_{D2}, V_{D_{a1}} = 0 \quad (44)$$

- **Análise matemática da segunda etapa de operação**

O segundo estado topológico do conversor compreendido pelo intervalo complementar Δt_2 da expressão 45, está representado pelo circuito equivalente ativo visto na Fig.35, e também redesenhado em um conjunto de malhas (1 a 4) conforme a seguir.

Figura 35 — Circuito equivalente ativo – 2º etapa de operação.



Fonte: O autor (2023).

A definição do intervalo Δt_2 é dado como o complemento da razão cíclica D , expresso conforme a seguir.

$$\Delta t_2 = (1 - D) \cdot T_s \quad (45)$$

$$\Delta t_2 = \frac{(1 - D)}{f_s}$$

As relações que determinam as tensões médias para o segundo estado topológico do conversor que envolvem transferência de energia, são iniciadas pela análise das equações das tensões na malha 1 e permitem escrever a expressão 46 a seguir.

$$-V_1 + V_{L1} + V_{C1} - V_{L2} = 0 \quad (46)$$

Quando o conversor opera em regime permanente, o valor médio de tensão nos indutores L_1 e L_2 é nulo.

$$L_1 \frac{di_{L1}(t)}{dt} = L_2 \frac{di_{L2}(t)}{dt} = 0 \quad (47)$$

Desta forma, dadas as expressões 46 e 47 a tensão média sobre o capacitor C_1 durante o segundo intervalo de operação, também será igual ao valor médio da tensão da fonte de entrada.

$$V_{C1} = V_1 \quad (48)$$

As equações das tensões de malha 1 mostradas em 46 também permitem determinar a expressão para o Indutor L_1 .

$$-V_1 + V_{L1} + V_{C1} - V_{L2} = 0$$

$$L_1 \frac{di_{L1}(t)}{dt} = V_1 - V_{C1} + V_{L2} \quad (49)$$

Para o Indutor L_2 , as relações de tensão da malha 2, permitem determinar a expressão 50 a seguir.

$$V_{L2} + V_{Co1} = 0$$

$$L_2 \frac{di_{L2}(t)}{dt} = -V_{Co1} \quad (50)$$

Ao substituir-se a expressão 48 em 49 e 34 em 50, chega-se expressão 51 que representa a tensão média sobre os indutores L_1 e L_2 durante o segundo intervalo de operação.

$$V_{L1} = V_{L2} = -\frac{V_o}{2} \quad (51)$$

Para o semicondutor passivo representado pelo diodo auxiliar de bypass D_{a1} da malha auxiliar, a tensão em seus terminais através da polarização reversa o mantém bloqueado durante esse intervalo de operação.

$$V_{Da1} = -V_1 \quad (52)$$

A tensão média sobre o capacitor C_2 da célula unitária a capacitor chaveado modificada, provêm deste segundo intervalo de operação do resultado da equalização da tensão com capacitor C_{o2} do barramento de saída, devido ao resultado do paralelismo desses dois capacitores no circuito.

Da mesma forma, ao considerar-se as análises mostradas nas expressões 32 e 34 chega-se a expressão 53.

$$V_{C2} = V_{Co2} = \frac{V_o}{2} \quad (53)$$

Os elementos (semicondutores de potência ativos e passivos - diodos) que não conduzem neste segundo intervalo de operação, representados pelo interruptor S_1 e diodo D_2 , ficam submetidos a no máximo a tensão da fonte de entrada mais a metade de tensão de saída imposta sobre a carga. As expressões 54 e 55 mostram esse comportamento descrito.

$$V_{S1} = V_1 + \frac{V_o}{2} \quad (54)$$

$$V_{D2} = \frac{V_o}{2} \quad (55)$$

Para os elementos semicondutores de potência passivos que conduzem durante o segundo intervalo de operação, representados pelos diodos D_1 , D_3 e D_{a2} , as respectivas tensões em seus terminais são nulas.

$$V_{D1}, V_{D3}, V_{Da2} = 0 \quad (56)$$

A tabela a seguir mostra de forma resumida as grandezas de tensão sobre todos os componentes do conversor em estudo, apresentados nas subseções 3.3.1 e 3.3.2.

Tabela 5 — Grandezas de tensão sobre os componentes do conversor proposto.

Grandezas (Volts)	1° Intervalo (Δt_1)	2° Intervalo (Δt_2)
V_{L1}	$V_1 > 0$	$-V_o/2 < 0$
V_{L2}	$V_1 > 0$	$-V_o/2 < 0$
V_{S1}	0	$V_1 + V_o/2 > 0$
V_{D1}	$V_1 + V_o/2 > 0$	0
V_{D2}	0	$V_o/2 > 0$
V_{D3}	$V_o/2 > 0$	0
V_{Da1}	0	$-V_1 < 0$
V_{Da2}	$-V_1 < 0$	0
V_{C1}	$V_1 > 0$	$V_1 > 0$
V_{C2}	$V_o/2 > 0$	$V_o/2 > 0$
V_{Co1}	$V_o/2 > 0$	$V_o/2 > 0$
V_{Co2}	$V_o/2 > 0$	$V_o/2 > 0$

Fonte: O autor (2023).

3.3.1 Valores médios de tensão e corrente

- **Valor médio da tensão sobre os capacitores C_{o1} e C_{o2} :**

Para a referida análise, recorre-se às formas de onda dos indutores L_1 e L_2 apresentadas anteriormente na Fig.32 (parte1).

Para que o valor médio da tensão nos indutores em regime permanente seja considerado nulo, é necessário igualar as áreas na figura da forma de onda da tensão nos indutores.

$$A1 = A2 \quad (57)$$

Com as devidas análises após algumas simplificações, obtêm-se as seguintes expressões.

$$V_1 \cdot DT_s = -\frac{V_o}{2} \cdot (1 - D) \cdot T_s \quad (58)$$

$$\frac{V_{Co1}}{V_1} = \frac{D}{(1 - D)}$$

Ao isolar $V_{C_{o1}}$ na expressão anterior, chega-se a equação da tensão média teórica sobre o capacitor C_{o1} .

$$V_{C_{o1}} = \frac{V_1 \cdot D}{(1 - D)} \quad (59)$$

Dada as relações anteriores mostradas, a referida análise também é válida para o valor médio sobre o capacitor C_{o2} . Desta forma, tem-se.

$$V_{C_{o1}} = V_{C_{o2}} \quad (60)$$

$$V_{C_{o2}} = \frac{V_1 \cdot D}{(1 - D)}$$

Ao observar-se as expressões obtidas em 58, 59 e 60, verifica-se que a tensão média teórica sobre os capacitores C_{o1} e C_{o2} do estágio de saída do conversor proposto, é o próprio ganho do conversor SEPIC convencional.

- **Valor médio da tensão sobre o capacitor C_1 :**

Em regime permanente no ponto de operação as derivadas de tensão sobre os indutores são nulas.

$$L_1 \frac{diL_1(t)}{dt} = L_2 \frac{diL_2(t)}{dt} = 0 \quad (61)$$

Tomando-se como base, a análise do modelo médio da variável de estado de tensão sobre o indutor L_2 , possibilita por intermédio de simplificações e manipulações algébricas, obter a tensão média teórica sobre capacitor C_1 .

$$V_{C_1} = \frac{(1 - D) \cdot V_o}{2 \cdot D} \quad (62)$$

- **Valor médio da tensão de saída V_o :**

Com base nas formas de onda da tensão da Fig.32, possibilita a análise do modelo médio da variável de estado de tensão sobre o indutor L_1 .

Tem-se que, em regime permanente no ponto de operação as derivadas de tensão sobre os indutores são nulas. Assim, com as devidas considerações de cálculo, pode-se chegar a expressão 63 que representa a tensão média ideal na saída do barramento do conversor.

$$V_o = \frac{2 \cdot V_1 D}{(1 - D)} \quad (63)$$

Observa-se que o fluxo de energia processada para o conversor proposto é determinado pela razão cíclica D , assim como ocorre em demais conversores unidirecionais que operam no modo de condução contínua.

- **Valores médios de corrente nos semicondutores:**

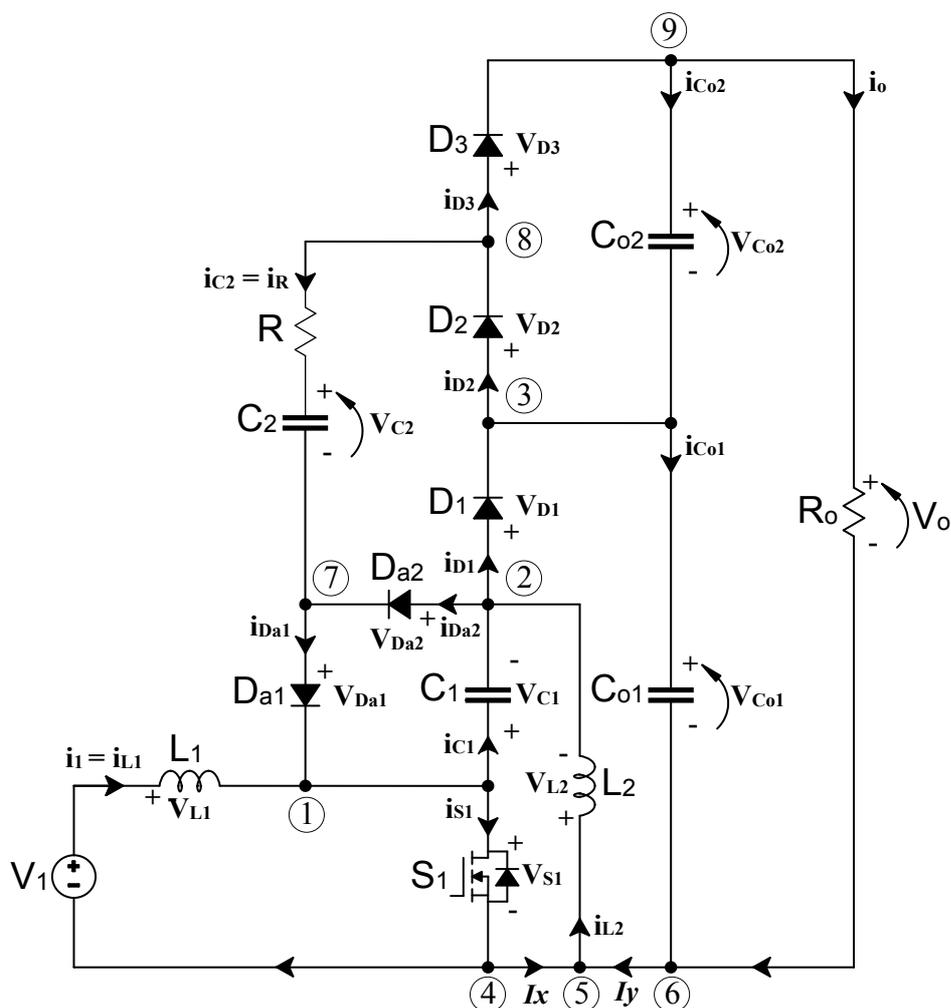
Neste tópico será tratado a análise dos valores médios das correntes para os diferentes ramos do circuito do conversor proposto.

Sabendo-se que em regime permanente no ponto de operação as derivadas de corrente nos capacitores do circuito são nulas.

$$C_1 \frac{dv_{C1}(t)}{dt} = C_2 \frac{dv_{C2}(t)}{dt} = C_{o1} \frac{dv_{Co1}(t)}{dt} = C_{o2} \frac{dv_{Co2}(t)}{dt} = 0 \quad (64)$$

Desta forma, determina-se através de análise e inspeção para os sentidos adotados de corrente em cada um dos nós demonstrados junto a Fig.36, as correntes que circulam sobre os semicondutores do conversor são apresentadas nas expressões 65, 66 e 67. Observa-se na topologia apresentada para análise a consideração de uma resistência "R" em série com o capacitor chaveado em decorrência dos valores impulsivos de corrente existentes nos capacitores nas fases transitórias do circuito, sendo tal consideração abordada na seção 2.1.1 e melhor compreendida e discutida posteriormente ao longo da seção 3.5.4

Figura 36 — Análise das correntes médias que circulam no conversor.



Fonte: O autor (2023).

Duas incógnitas de correntes I_x e I_y são verificadas entre os ramos 4 a 6 do circuito, necessários para o entendimento da corrente média que circula no sentido do indutor L_2 , os quais são expressos junto a análise.

$$\begin{aligned}
 I_x &= I_{S1} - I_{L1} \\
 I_y &= -I_{S1} + I_{L1} + I_{L2} \\
 I_{L2} &= I_x + I_y
 \end{aligned}
 \tag{65}$$

A determinação das correntes médias nos nós 1 a 9 são apresentados nas expressões 66 e 67.

$$\left\{ \begin{array}{l} I_{L1} + I_{Da1} = I_{C1} + I_{S1} \\ I_{C1} - I_{Da2} = I_{D1} - I_{L2} \\ I_{D2} = -I_{C2} + I_{D3} \\ I_{D3} = -I_{Co2} - I_o \\ I_y = -I_x + I_{L2} \end{array} \right. \quad (66)$$

Desta forma, dada as considerações em 64, o resultado por inspeção e análise da Fig.36 e expressões 65 e 66, trazem auxílio para relacionar os valores das correntes médias que circulam sobre os semicondutores do conversor entre os diferentes ramos do circuito, conforme demonstrado a seguir.

$$\begin{aligned} I_{S1} &= I_{Da1} + I_{L1} \\ I_{D1} &= I_{L2} - I_{Da2} \\ I_{D2} &\cong I_{D3} \cong I_o \end{aligned} \quad (67)$$

$$\begin{aligned} I_{Da1} &= I_{S1} - I_{L1} \\ I_{Da2} &= I_{L2} - I_{D1} \\ I_{Da1} &\cong I_{Da2} \cong I_o \end{aligned}$$

- **Valor médio da corrente de entrada I_1**

O valor médio da corrente de entrada do conversor considerando as condições ideais de operação, pode ser determinado conhecendo-se os parâmetros relacionados a tensão e potência de processamento do conversor.

$$\begin{aligned} P_1 &= V_1 \cdot I_1 \\ P_o &= V_o \cdot I_o \end{aligned} \quad (68)$$

Igualando-se a potência de entrada com a potência de saída e isolando a corrente de entrada I_1 na expressão tem-se.

$$\begin{aligned} V_1 \cdot I_1 &= V_o \cdot I_o \\ I_1 &= \frac{V_o \cdot I_o}{V_1} \end{aligned} \quad (69)$$

Ao substituir a expressão 63 em 69 e realizar as simplificações necessárias, chega-se na expressão 70 que define a corrente média na entrada do conversor.

$$I_1 = \frac{2.D I_o}{(1 - D)} \quad (70)$$

- **Valor médio da corrente de saída I_o :**

O valor médio da corrente de saída drenada pela carga, considerando condições ideais de operação, pode ser determinado ao isolar I_o na expressão 70.

$$I_o = \frac{(1 - D) I_1}{2.D} \quad (71)$$

3.3.2 Ganho estático ideal, razão cíclica e função de comutação

Ao aplicar-se o balanço volt-segundo nos indutores L_1 e L_2 de acordo com o primeiro e segundo intervalos topológicos em estudo, ignorando o efeito das perdas, tem-se.

O balanço de energia para o indutor L_1 :

$$\int_0^{T_s} V_{L1}(t) dt = V_1.D.T_s + (V_1 - V_{C1} + V_{L2}).(1 - D).T_s \quad (72)$$

O balanço de energia para o indutor L_2 :

$$\int_0^{T_s} V_{L2}(t) dt = V_1.D.T_s + (-V_{C01}).(1 - D).T_s \quad (73)$$

Ao considerar o conversor operando em regime permanente o valor médio da tensão sobre os indutores é nulo. Assim, após as devidas substituições das somas dos valores médios de tensão para um intervalo completo de comutação ($0, T_s$), obtém-se a equação 74 que apresenta a expressão do ganho estático ideal do conversor proposto em (MCC).

$$G = \frac{V_o}{V_i} = \frac{2.D}{1 - D} \quad (74)$$

- **Expressão da razão cíclica (D):**

A expressão da razão cíclica é obtida isolando D na equação 74, desta forma tem-se.

$$D = \frac{V_o}{V_o + 2 V_I} \quad (75)$$

- **Expressão da função de comutação $F(D)$:**

A função de comutação $F(D)$ a seguir na expressão 76, provêm da célula genérica de comutação visto na Fig.8.(a), e possibilita a geração de vários conversores CC-CC não isolados. Ao fazer uso desse conceito genérico na topologia do conversor em estudo e considerar como referência os terminais de conexão "ca" da fonte e "ba" da carga da Fig.27, possibilita a obtenção da relação fundamental entre as tensões do conversor, conforme apresentado a seguir.

$$F(D) = \frac{V_{ab}}{V_{ac}} \quad (76)$$

Em termos comparativos a análise do ganho estático do conversor SEPIC convencional visto na subseção 2.1.7 para uma razão cíclica igual a $D=0,5$ pode ser expressa pela seguinte função de comutação.

$$G = \frac{D}{1-D} = \frac{\frac{V_{ab}}{V_{ac}}}{1 - \left(\frac{V_{ab}}{V_{ac}}\right)} = \frac{0,5}{0,5} = 1 \quad (77)$$

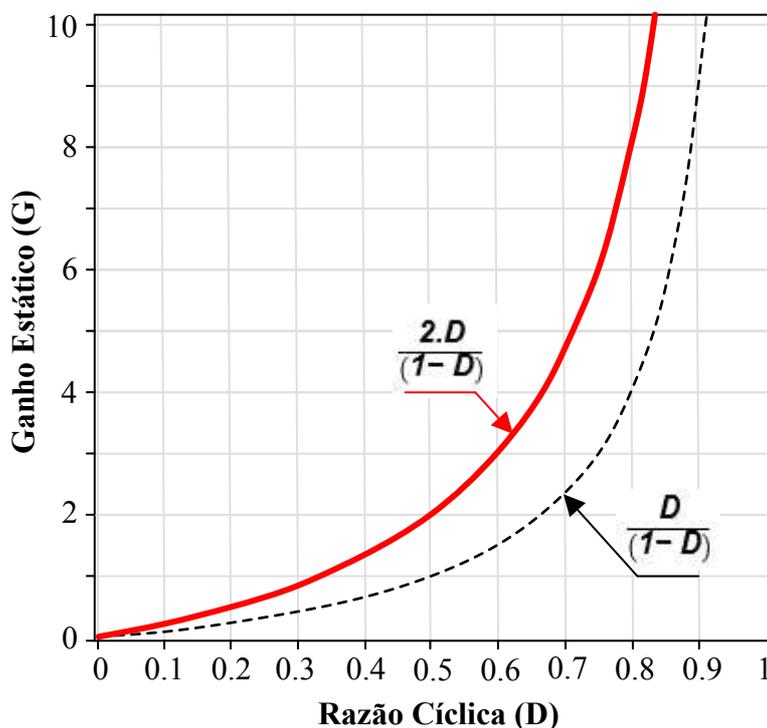
Desta forma, dada as relações obtidas e considerando o ganho estático da equação 74, ao ignorar o efeito das perdas, é possível apresentar a função de comutação para o conversor CC-CC híbrido SEPIC integrado a célula a capacitor chaveado modificada em estudo.

$$G = \frac{V_o}{V_I} = \frac{2 \cdot \left(\frac{V_{ab}}{V_{ac}}\right)}{1 - \left(\frac{V_{ab}}{V_{ac}}\right)} = \frac{2 \cdot 0,5}{0,5} = 2 \quad (78)$$

De acordo com a expressão 78, observa-se que o ganho estático do conversor proposto é o dobro do ganho estático do conversor SEPIC convencional.

Na Fig. 37 é apresentado o gráfico do ganho estático idealizado da estrutura.

Figura 37 — Ganho estático da estrutura proposta (Vermelho) x ganho estático do conversor SEPIC convencional (Preto).



Fonte: O autor (2023).

3.3.3 Ganho estático com perdas

Dada as características que fazem parte do modelo da célula que compõe a estrutura, torna-se necessário considerar uma resistência "R" para o correto funcionamento e posterior validação dos resultados. Esta resistência considera os parâmetros concentrados de todas as perdas dos circuito.

A equação do ganho estático do conversor proposto com perdas consideradas é definido em 79.

$$G_{perdas} = \frac{2D}{1-D} \left(1 + \frac{4RD}{(1-D)^2 R_o} \right)^{-1} \quad (79)$$

Ao considerar a resistência "R" como a soma das perdas concentradas para os componentes ao longo circuito do conversor.

$$R = R_{DS(on)} + R_{SE} + R_L + R_D \quad (80)$$

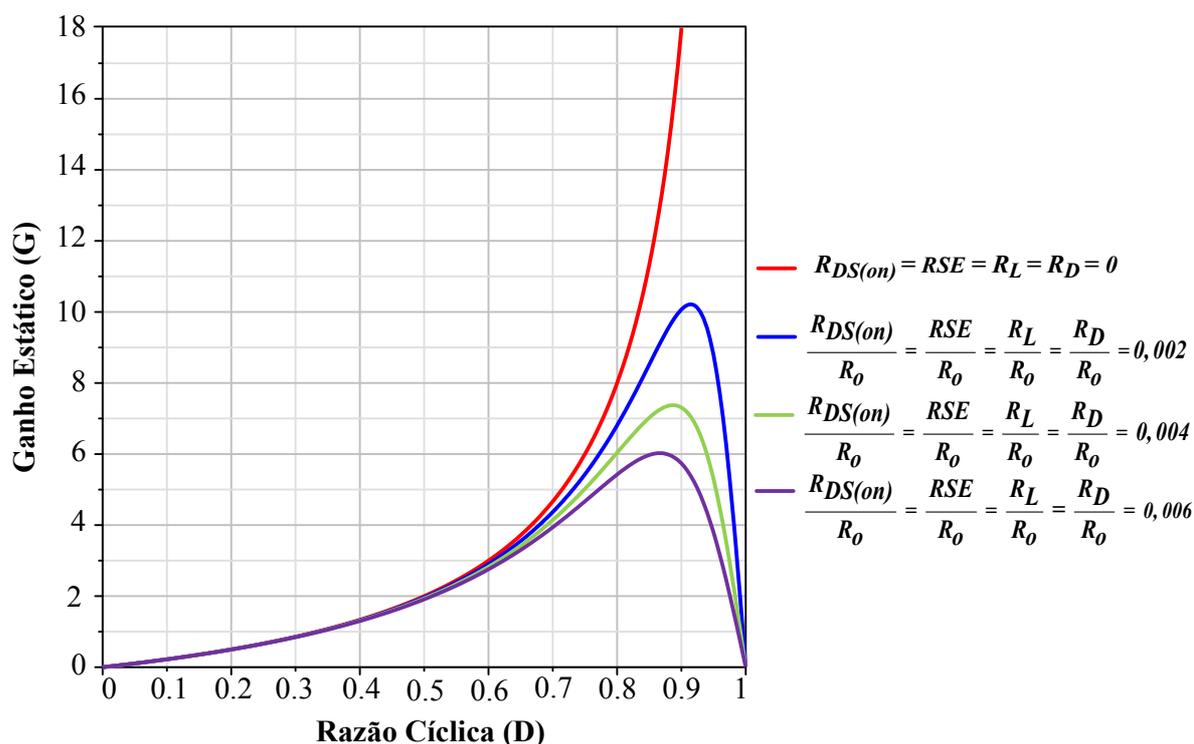
Com a combinação dos parâmetros de perdas dos componentes, ao substituir 80 em 79, permite apresentar simbolicamente a seguinte generalização para a

expressão do ganho estático.

$$G_{perdas} = -\frac{2R_o (-1 + D) (D)}{D^2 R_o + (4 R_L + 4 R_D - 2 R_o + 4 R_{DS(on)} + 4 RSE) (D) + R_o} \quad (81)$$

A Fig.38, ilustra a influência sobre o ganho estático do conversor ao considerar -se valores arbitrários de perdas.

Figura 38 — Ganho estático da estrutura proposta considerando perdas.



Fonte: O autor (2023).

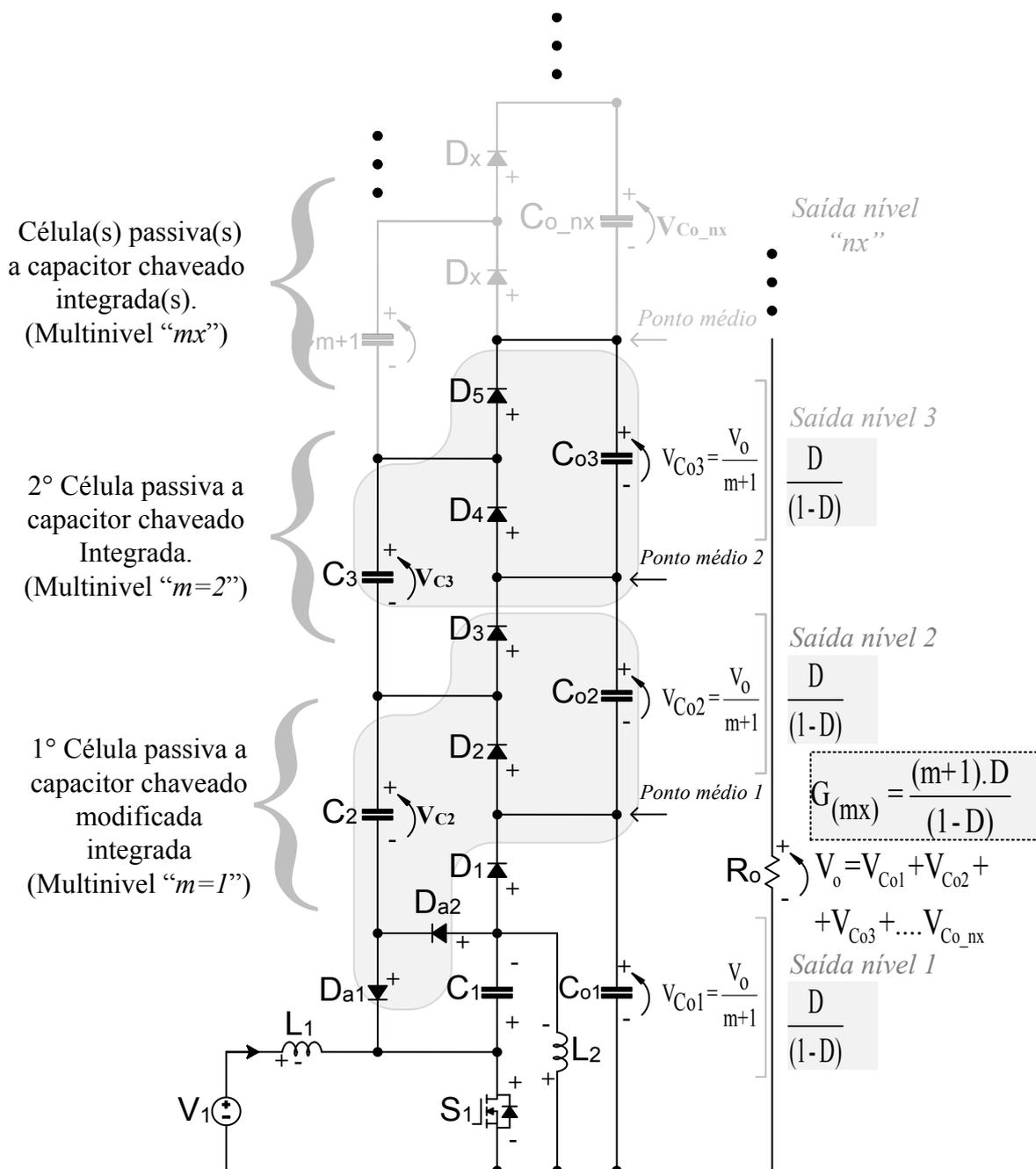
Observa-se que para um determinado valor de resistência equivalente R_{eq} que represente as perdas da célula, fica evidente que existe um fator de perdas a ser considerado, onde em um determinado momento o ganho tende a saturar e começar a diminuir. Sendo assim, a medida que a estrutura recebe mais células passivas a capacitor chaveado integradas em série, o ganho infinito não existirá e a região quase linear não será mais constante.

Logo, verifica-se que existe um limite de interesse para a escolha do ponto de trabalho para obtenção do ganho desejado, que depende diretamente da relação entre as perdas do conversor e a resistência de carga.

3.4 Generalização da topologia

Na Fig.39 é demonstrada a análise sobre a possível generalização da topologia através de "m" células passivas a capacitor chaveado integradas em série.

Figura 39 — Generalização da topologia para (m) células passivas a capacitor chaveado integradas em série.



Fonte: O autor (2023).

Embora o estudo desta generalização não seja explorado de forma extensa junto ao trabalho, a presente análise desta possibilidade junto a topologia visa

demonstrar as possibilidades inerentes que podem ser alcançadas ao considerar-se a estrutura sendo composta por “ m ” células passivas a capacitor chaveado, que darão origem a uma estrutura do tipo multiplicadora de tensão.

Como principais vantagens neste tipo de abordagem topológica, está o fato que o incremento das extensões em “ m ” multiníveis possibilitam também “ n ” níveis de tensão conectáveis na saída do conversor, os quais são realizáveis sem a necessidade da modificação na sua estrutura principal, conforme pode ser verificado em análise na Fig.39 e tabela 6. Destaca-se que a modificação realizada na célula com os diodos auxiliares D_{a1} e D_{a2} somente é necessária para a correto funcionamento da estrutura na primeira integração junto a estrutura do conversor SEPIC convencional no início da concepção híbrida. Para as demais integrações as células utilizadas serão idênticas e não será necessária a inclusão dos diodos auxiliares.

Outra importante característica da topologia generalizada é manter os reduzidos esforços de tensão de forma distribuída e igualitária entre os semicondutores e capacitores da topologia. Assim, conforme ocorre o aumento do número de integrações de células, acarreta na diminuição dos esforços de tensão nos componentes do estágio de potência.

A generalização permite a topologia adquirir vários níveis (1,2,3..) conectáveis na saída para suporte a cargas ou estágios que necessitam de patamares de tensão em níveis mais baixos, ambos com garantia simétrica da tensão. No barramento CC principal de saída, o patamar em um maior nível de tensão adquirido, é herdado pelo somatório das tensões simétricas dispostas pelos “ n ” níveis de cada saída ($V_{Co1}+V_{Co2}+V_{Co3}+..V_{Co_nx}$), podendo também está tensão total mais elevada no barramento ser utilizada na alimentação de cargas ou para o uso em demais estágios de potência que necessitem desta categoria de atendimento.

Destaca-se que todos os capacitores (C_{o1} , C_{o2} , C_{o3} , ... C_{o_nx}) na saída da estrutura são grampeados em igual tensão pelos seus respectivos capacitores de células (C_2 , C_3 , ... C_{nx}) que integram os níveis multiplicadores do conversor, o que propicia a equalização de tensão entre os mesmos, e os atributos desejados quanto ao equilíbrio de tensão (*simetria*) ao longo de todos os níveis na saída. Destaca-se que a qualidade da tensão em níveis simétricos é alcançada de forma natural nos pontos médios de conexão formados ao longo do barramento geral de saída deste conversor multiplicador, trazendo assim vantagens do ponto de vista de esforços de tensão sobre componentes como também a possibilidade de alta taxa de conversão a medida que o conversor é acrescido com mais células de ganho.

3.4.1 Ganho estático da topologia generalizada

Para o conversor proposto no estudo, este somente dobra o ganho de tensão em comparação à estrutura do conversor SEPIC convencional, porém ao considerar-se um incremento maior de células multiplicadoras integradas, provoca o aumento proporcional do ganho do conversor, sem que haja a necessidade de alteração da sua estrutura principal. Desta forma, a estrutura ao ser generalizada passa adquirir atributos de alta taxa de conversão, o que viabiliza o seu uso para aplicações que necessitem de níveis de tensão simétricos ou mais elevados no barramento geral de saída.

Logo, é possível demonstrar em análise por intermédio da expressão 82, que o valor da tensão equalizada nos capacitores dispostos nos níveis de saída do conversor, pode ser obtida ao considerar-se a divisão do valor total da tensão V_o do barramento principal pelo ganho obtido no conversor, dado por uma variável " k " que representa o acréscimo dos " m " multiplicadores de células de ganho passivas a capacitor chaveado integradas na estrutura híbrida do conversor proposto.

$$k = m + 1$$

$$V_{Co1} = V_{Co2} = V_{Co3} = V_{Co_n \dots} = \frac{V_o}{k} = \frac{V_o}{m + 1} \quad (82)$$

Assim, ao considerar o sistema operando de forma ideal e em regime permanente, com níveis equalizados da tensão para todos os capacitores na saída do conversor generalizado, ao realizar as simplificações e manipulações algébricas necessárias junto a expressão apresentada em 73, é possível obter a expressão teórica que é representada pelo próprio ganho da estrutura SEPIC convencional, o qual replica-se a cada nível multiplicador de saída obtido na topologia generalizada apresentada na Fig.39.

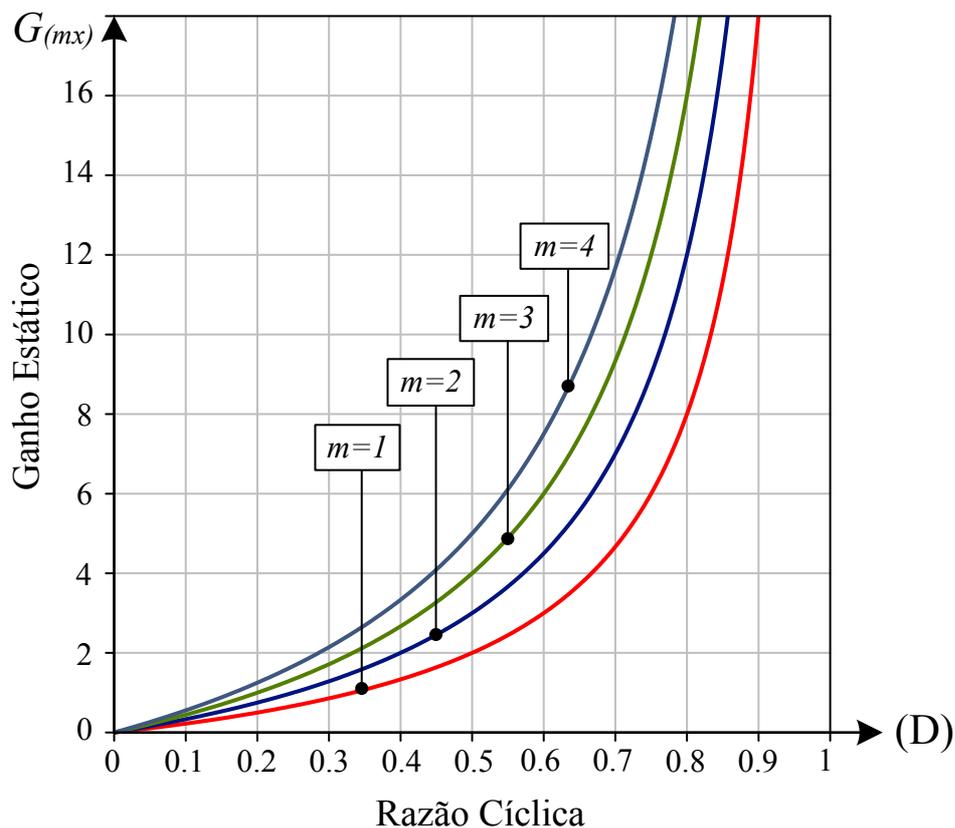
$$G = \frac{V_{Co1}}{V_I} = V_{Co2} = V_{Co3} = V_{Co_n \dots} = \left(\frac{D}{(1 - D)} \right) \quad (83)$$

Assim, ao considerar-se 82 e expandir-se 73, ao realizar simplificações e manipulações necessárias, fornece a representação do ganho estático do conversor generalizado com " m " células integradas em série.

$$G_{(mx)} = \frac{V_o}{V_I} = \frac{k \cdot D}{(1 - D)} = \frac{(m + 1) \cdot D}{(1 - D)} \quad (84)$$

A Fig.40 a seguir, mostra as curvas do ganho estático da estrutura generalizada para as “ m ” integrações de células passivas a capacitor chaveado.

Figura 40 — Ganho estático da topologia generalizada para (m) integrações de células passivas a capacitor chaveado.



Fonte: O autor (2023).

A tabela 6, mostra a análise comparativa relacionada ao número total de componentes (indutores, interruptores, diodos e capacitores), necessários para o desenvolvimento da estrutura generalizada.

Tabela 6 — Tabela comparativa de componentes para as (m) integrações de células passivas a capacitor chaveado.

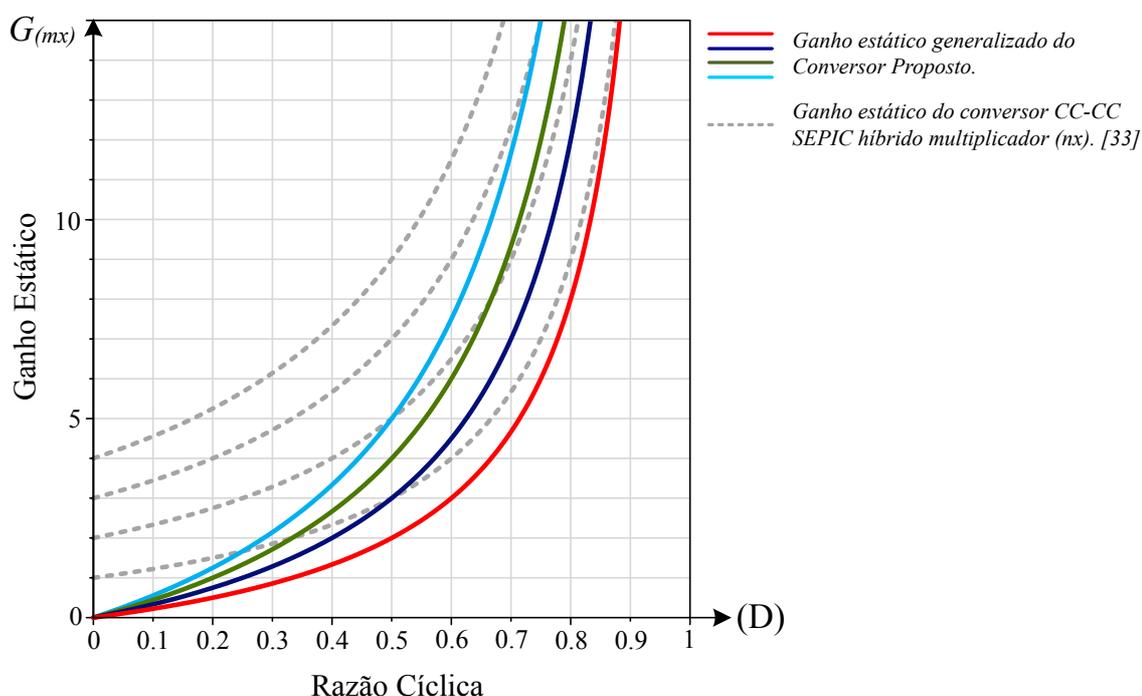
Nº de células Integradas	Indutores	Interruptores	Diodos	Capacitores
1	2	1	5	4
2	2	1	7	6
3	2	1	9	8
n	2	1	2m+3	2m+2

Fonte: O autor (2023).

Salienta-se que, o aumento das integrações das células, ocasionam um maior número de semicondutores passivos, como também a quantidade elevada de capacitores na estrutura, o que acarreta em uma maior complexidade dada a nova ordem das equações que o descreve, bem como desvantagens físicas, como peso volume, bem como perdas por comutação e condução, que inerentemente impactam na eficiência do sistema.

A Fig.41 a seguir, serve de parâmetro comparativo entre os ganhos obtidos pela topologia dos conversores da Fig.18 e 19 (seção 2.1.7), em relação a topologia da Fig.39 apresentada para a generalização da topologia em estudo.

Figura 41 — Comparativo entre os ganhos da estrutura existente na literatura e a proposta.



Fonte: O autor (2023).

No comparativo das curvas acima, fica evidente que a estrutura relacionada a topologia do conversor existente na literatura (33), mesmo sendo assimétrico quanto aos níveis de equalização de tensão nos capacitores saída, possui maior ganho que a estrutura generalizada proposta.

3.5 Equações de projeto

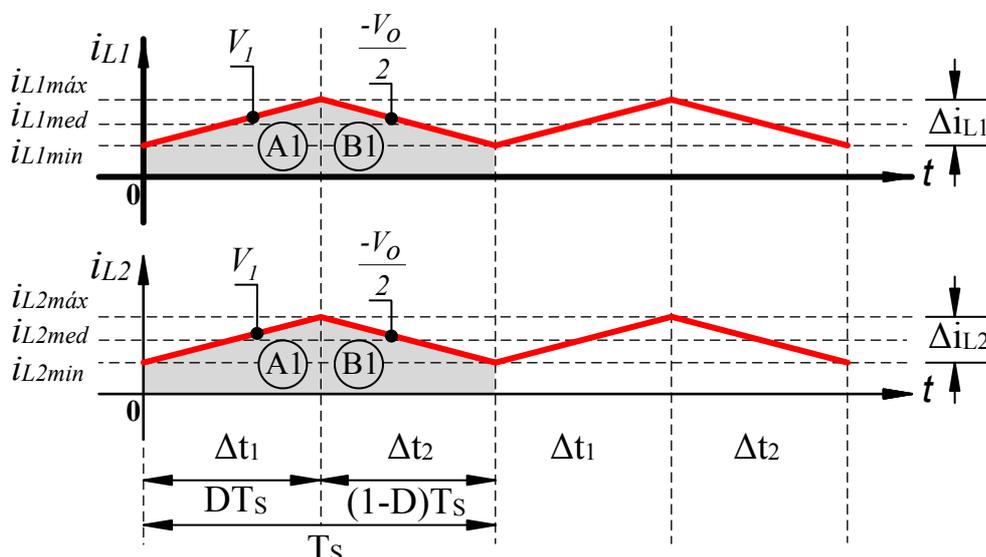
Conhecendo-se as formas de onda dos respectivos intervalos de operação do primeiro e segundo estados topológicos em Δt_1 e Δt_2 , torna possível efetuar o equacionamento do conversor.

3.5.1 Indutores L_1 e L_2

- **Correntes nos indutores L_1 e L_2 :**

As correntes nos indutores L_1 e L_2 em função do tempo e são representadas no gráfico da Fig.42 a seguir.

Figura 42 — Formas de onda da tensão e corrente nos indutores. L_1 e L_2 .



Fonte: O autor (2023).

O comportamento linear da corrente nos indutores é crescente com derivada positiva, indicando que os Indutores estão magnetizando-se no primeiro intervalo de operação.

$$i_{L1}(t) = \frac{V_1}{L_1} \cdot t + i_{L1min}(t)$$

$$i_{L2}(t) = \frac{V_1}{L_2} \cdot t + i_{L2min}(t)$$

Para o segundo intervalo de operação, o comportamento linear da corrente nos indutores é decrescente com derivada negativa, indicando que os Indutores estão desmagnetizando-se.

$$i_{L1}(t) = -\frac{V_o}{2 \cdot L_1} \cdot t + i_{L1máx}(t)$$

$$i_{L2}(t) = \frac{V_o}{2 \cdot L_2} \cdot t + i_{L2máx}(t)$$

Observa-se em ambos estados de operação um comportamento linear da corrente nos indutores, e as amplitudes das correntes i_{L1} e i_{L2} dependerão dos parâmetros do circuito, portanto estas correntes não são iguais.

- **Ondulação de corrente nos indutores L_1 e L_2 :**

A partir da ondulação de corrente nos indutores L_1 e L_2 será possível determinar a equação das indutâncias.

Conforme verificado na Fig.42, as correntes nos indutores são retas, logo é possível substituir as derivadas por " Δ " (deltas).

$$V_{L1} = L_1 \frac{\Delta i_{L1}}{\Delta t} \quad V_{L2} = L_2 \frac{\Delta i_{L2}}{\Delta t} \quad (87)$$

O intervalo Δt pode ser o intervalo de tempo tanto do primeiro como do segundo intervalo topológico, ou seja Δt_1 ou Δt_2 . Por simplicidade será analisado o intervalo de tempo do primeiro intervalo.

Ao considerar o período de comutação completo para os respectivo intervalo de interesse, após as devidas manipulações chega-se as expressões 88 e 89 que determinam a ondulação de corrente nos indutores L_1 e L_2 .

$$\Delta i_{L1} = \frac{V_1 D}{f_s \cdot L_1} \quad (88)$$

$$\Delta i_{L2} = \frac{V_1 D}{f_s \cdot L_2} \quad (89)$$

Observa-se que a ondulação Δi_{L1} estará referenciada ao valor da corrente de entrada I_1 , e a ondulação Δi_{L2} estará referenciada ao valor da corrente de saída I_o do conversor em estudo.

- **Determinação das indutâncias L_1 e L_2 :**

A expressão que define a indutância é baseada nas equações das ondulações de corrente analisados anteriormente.

Ao isolar L_1 e L_2 respectivamente nas equações 88 e 89 tem-se.

$$L_1 = \frac{V_1 D}{\Delta i_{L1} \cdot f_s} \quad (90)$$

$$L_2 = \frac{V_1 D}{\Delta i_{L2} \cdot f_s} \quad (91)$$

3.5.1.1 Corrente máxima e mínima nos indutores L_1 e L_2

As formas de onda apresentadas na Fig.42 serviram de auxílio para a análise dos resultados desta seção.

- **Corrente máxima no indutor L_1 :**

O valor médio da corrente no indutor L_1 , pode ser entendido como a soma das áreas A1 e B1 do trapézio em um intervalo completo de operação.

$$I_{L1méd} = \frac{(A1 + B1)}{2} \quad (92)$$

$$I_{L1méd} = \frac{(I_{L1máx} + I_{L1min})}{2}$$

A corrente I_1 da fonte de alimentação, é equivalente a corrente do indutor L_1 na entrada do conversor. Assim, ao substituir-se a expressão 70 que representa a corrente média na entrada em 92, chega-se a expressão que define a igualdade entre as correntes no estágio de entrada do conversor.

$$I_1 = I_{L1méd} \quad (93)$$

$$\frac{2 \cdot DI_o}{(1 - D)} = \frac{(I_{L1máx} + I_{L1min})}{2}$$

Ao isolar os termos máximo e mínimo de corrente em 93 e considerar a expressão da ondulação da corrente no indutor em 88, tem-se.

$$I_{L1máx} + I_{L1min} + (I_{L1máx} - I_{L1min}) = \frac{4 \cdot D \cdot I_o}{(1 - D)} + \frac{V_1 D}{L_1 f_s} \quad (94)$$

Dada as devidas simplificações e manipulações na expressão anterior, torna possível apresentar a expressão para o valor máximo da corrente no Indutor L_1 .

$$I_{L1máx} = \frac{D \cdot (-4 f_s L_1 I_o + V_1 D - V_1)}{2(D - 1) L_1 f_s} \quad (95)$$

- **Corrente mínima no indutor L_1 :**

De forma análoga, ao considerar-se em 93 a diferença entre as ondulações de corrente no indutor em 88, possibilita chegar à seguinte expressão.

$$I_{L1máx} + I_{L1min} - (I_{L1máx} - I_{L1min}) = \frac{4.D.I_o}{(1-D)} - \frac{V_1 D}{L_1 f_s} \quad (96)$$

Ao realizar as simplificações e manipulações algébricas em 96, o valor mínimo da corrente no Indutor L_1 pode ser expresso.

$$I_{L1min} = \frac{D \cdot (4 f_s L_1 I_o + V_1 D - V_1)}{2(1-D) L_1 f_s} \quad (97)$$

- **Corrente máxima no indutor L_2 :**

O valor médio da corrente no indutor L_2 também pode ser entendido como a soma das áreas A1 e B1 do trapézio em um intervalo completo de operação.

$$I_{L2med} = \frac{(A1 + B1)}{2} \quad (98)$$

$$I_{L2med} = \frac{(I_{L2máx} + I_{L2min})}{2}$$

Ao analisar o modelo médio da variável de estado de corrente no capacitor C_1 , considerando que em regime permanente no ponto de operação as derivadas de corrente nos capacitores são nulas, permite descrever a expressão que representa o valor médio da corrente no indutor L_2 .

$$\overline{i_{C1}} = -i_{L2} \cdot D + i_{L1} \cdot (1-D) = 0 \quad (99)$$

$$I_{L2med} = \frac{(1-D) I_{L1med}}{D}$$

Ao substituir a expressão 70 em 99, após simplificações e manipulações algébricas, verifica-se a relação da corrente média do indutor L_2 com a corrente média no estágio de saída do conversor.

$$I_{L2med} = 2.I_o \quad (100)$$

Da mesma forma, a relação também pode ser verificada ao substituir-se a expressão 99 em 98.

$$\frac{(1-D) I_{L1med}}{D} = \frac{(I_{L2máx} + I_{L2min})}{2} \quad (101)$$

Ao isolar os termos máximo e mínimo de corrente em 98 e considerar a expressão da ondulação da corrente no indutor em 89, chega-se em.

$$I_{L2máx} + I_{L2min} + (I_{L2máx} - I_{L2min}) = -\frac{4(D-1).I_o}{(1-D)} + \frac{V_1 D}{L_2 f_s} \quad (102)$$

Após as devidas simplificações e manipulações na expressão anterior, torna possível apresentar a expressão para o valor máximo da corrente no Indutor L_2 .

$$I_{L2máx} = \frac{4.f_s L_2 I_o + V_1 D}{2.L_2 f_s} \quad (103)$$

- **Corrente mínima no indutor L_2 :**

De maneira análoga, ao considerar-se em 102 a diferença entre as ondulações de corrente no indutor, possibilita chegar à seguinte expressão.

$$I_{L2máx} + I_{L2min} - (I_{L2máx} - I_{L2min}) = -\frac{4(D-1).I_o}{(1-D)} - \frac{V_1 D}{L_2 f_s} \quad (104)$$

Após simplificações e manipulações algébricas em 104, é possível obter a expressão para o valor mínimo da corrente no Indutor L_2 .

$$I_{L2min} = \frac{4.f_s L_2 I_o - V_1 D}{2.L_2 f_s} \quad (105)$$

3.5.1.2 Corrente média e corrente eficaz nos indutores L_1 e L_2

As análises matemáticas da seção anterior colaboram na determinação da expressão dos valores médio e eficaz da corrente nos indutor L_1 e L_2 .

- **Corrente média e corrente eficaz no indutor L_1 :**

Ao substituir os termos conhecidos das expressões 30, 45, 90, 95 e 97 em 106 e 108, possibilita chegar nas expressões 107 e 109 que representam o valor médio e eficaz da corrente no indutor L_1 .

$$I_{L1méd} = \frac{1}{T_s} \left[\int_0^{\Delta t_1} \left(\frac{\Delta i_{L1}}{\Delta t_1} t + I_{L1min} \right) dt + \int_0^{\Delta t_2} \left(-\frac{\Delta i_{L1}}{\Delta t_2} t + I_{L1max} \right) dt \right] \quad (106)$$

$$I_{L1méd} = \frac{D \cdot (2V_1 D^2 - 4f_s L_1 I_o - 3V_1 D + V_1)}{2 \cdot (D - 1) L_1 f_s} \quad (107)$$

$$I_{L1ef} = \sqrt{\frac{1}{T_s} \left[\int_0^{\Delta t_1} \left(\frac{\Delta i_{L1}}{\Delta t_1} t + I_{L1min} \right)^2 dt + \int_0^{\Delta t_2} \left(-\frac{\Delta i_{L1}}{\Delta t_2} t + I_{L1max} \right)^2 dt \right]} \quad (108)$$

$$I_{L1ef} = \frac{D \cdot \sqrt{\begin{cases} -16 D^2 f_s I_o L_1 V_1 + 16 f_s^2 I_o^2 L_1^2 \\ + 24 D f_s I_o L_1 V_1 + D^2 V_1^2 \\ - 8 f_s I_o L_1 V_1 - 2 D V_1^2 + V_1^2 \end{cases}}}{2 \cdot (D - 1) L_1 f_s} \quad (109)$$

- **Corrente média e corrente eficaz no indutor L_2 :**

Da mesma forma, ao substituir os termos conhecidos das expressões 30, 45, 91, 103 e 105 em 110 e 112, possibilita chegar nas expressões 111 e 113 que

representam o valor médio e eficaz da corrente no indutor L_2 .

- **Corrente média no indutor L_2 :**

$$I_{L2méd} = \frac{1}{T_s} \left[\int_0^{\Delta t_1} \left(\frac{\Delta i_{L2}}{\Delta t_1} t + I_{L2min} \right) dt + \int_0^{\Delta t_2} \left(-\frac{\Delta i_{L2}}{\Delta t_2} t + I_{L2max} \right) dt \right] \quad (110)$$

$$I_{L2méd} = \frac{(2V_1 D^2 + 4f_s L_2 I_o - V_1 D)}{2 \cdot L_2 f_s} \quad (111)$$

- **Corrente eficaz no indutor L_2 :**

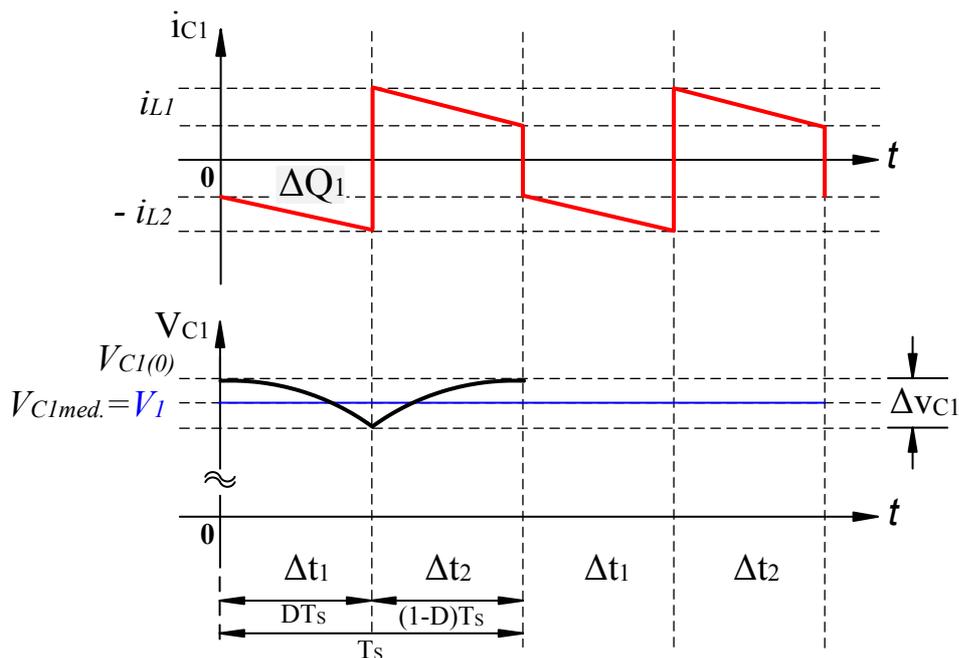
$$I_{L2ef} = \sqrt{\frac{1}{T_s} \left[\int_0^{\Delta t_1} \left(\frac{\Delta i_{L2}}{\Delta t_1} t + I_{L2min} \right)^2 dt + \int_0^{\Delta t_2} \left(-\frac{\Delta i_{L2}}{\Delta t_2} t + I_{L2max} \right)^2 dt \right]} \quad (112)$$

$$I_{L2ef} = \frac{\sqrt{\left\{ \begin{array}{l} 16 D^2 f_s I_o L_2 V_1 + 16 f_s^2 I_o^2 L_2^2 \\ -8 D f_s I_o L_2 V_1 + D^2 V_1^2 \end{array} \right\}}}{2} \quad (113)$$

3.5.2 Capacitores C_1 , C_{o1} e C_{o2}

Para auxiliar a análise, na Fig.43 é apresentado as formas de onda da tensão e corrente no capacitor C_1 .

Figura 43 — Formas de onda da tensão e corrente no capacitor C_1 .



Fonte: O autor (2023).

Ao observar a Fig.43, o primeiro intervalo de operação a corrente que passa pelo capacitor C_1 é igual a corrente que passa no indutor L_2 , porém com sentido contrário.

$$i_{C1}(t) = -i_{L2}(t) \quad (114)$$

Durante o segundo intervalo de operação a corrente que passa pelo capacitor C_1 é igual a corrente que passa no indutor L_1 e conseqüentemente igual a corrente da fonte de entrada.

$$i_{C1}(t) = i_{L1}(t) \quad (115)$$

Assim, com o comportamento da corrente no capacitor C_1 é possível também entender o comportamento da tensão sobre capacitor.

- **Ondulação de tensão no capacitor C_1 :**

Verifica-se na figura apresentada a presença de uma ondulação de tensão dada por Δ_{C1} , onde o valor médio de tensão no capacitor V_{C1} visto em 39 e 48 é igual ao valor médio da tensão da fonte de entrada V_1 e passa aproximadamente no meio dessa ondulação.

$$V_{C1med} = V_1 \quad (116)$$

Ao considerar-se a quantidade de carga acumulada expresso por " ΔQ_1 " corresponde a área da corrente no capacitor C_1 , durante o primeiro intervalo de operação tem-se.

$$\begin{aligned} Q_1 &= C_1 \cdot v_{C1} \\ \Delta Q_1 &= C_1 \cdot \Delta V_{C1} \end{aligned} \quad (117)$$

Considerações algébricas e simplificações necessárias mostram, que a capacitância C_1 é determinada em função da quantidade da carga armazenada e da ondulação da tensão. Logo, ao relacionar o intervalo de operação em questão com referência a Fig.43, chega-se a expressão.

$$\Delta Q_1 = DT_s \cdot I_o \quad (118)$$

Substituindo-se a expressão 118 em 117 e isolando ΔV_{C1} , chega-se na expressão 119 que determina a ondulação de tensão no capacitor C_1 .

$$\Delta V_{C1} = \frac{DT_s \cdot I_o}{C_1} \quad (119)$$

Observa-se que a ondulação de tensão presente no capacitor C_1 , deverá ser referenciada a mesma ondulação presente na tensão de entrada do conversor.

- **Determinação da capacitância C_1 :**

Dada as análises do tópico anterior, busca-se a expressão que determina a capacitância do capacitor C_1 .

Logo, ao isolar o termo desejado em 119 e realizar a manipulação algébrica adequada, chega-se na expressão para a capacitância C_1 .

$$C_1 = \frac{D \cdot I_o}{\Delta V_{C1} \cdot f_s} \quad (120)$$

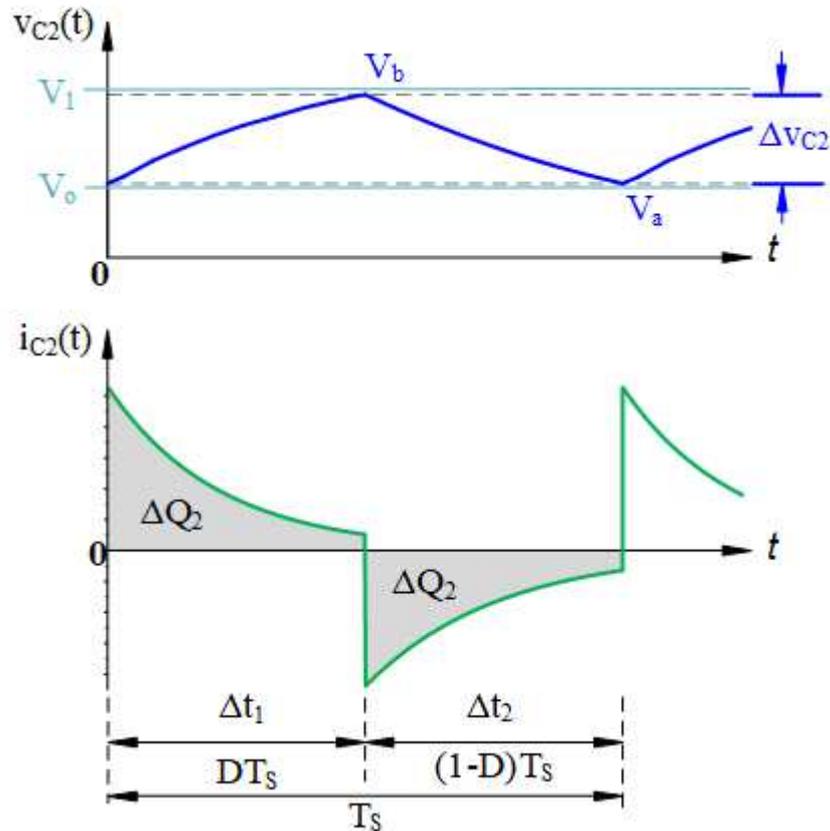
- **Ondulação de tensão e capacitâncias C_{o1} e C_{o2} :**

Para a topologia proposta, considera-se que as capacitâncias e ondulações de tensão dos capacitores C_{o1} e C_{o2} no barramento de saída possuem idealmente o mesmo valor tanto em termos de capacitância como de variação de tensão que o capacitor chaveado C_2 . Esta consideração ocorre, visto as trocas de energia no arranjo criado pela associação em paralelo entre os capacitores no ramo da célula durante o transcorrer das etapas de operação.

$$\Delta V_{C2} \cong \Delta V_{C_{o1}} \cong \Delta V_{C_{o2}} \quad (121)$$

Na Fig.44 a seguir é apresentado a ondulação de tensão, bem como a forma de onda da corrente no capacitor chaveado C_2 da célula modificada.

Figura 44 — Formas de onda da ondulação de tensão e corrente no capacitor chaveado C_2 .



Fonte: O autor (2023).

A expressão 1 mostrada na subseção 2.1.1 é rerepresentada para a referenciar a variação da tensão presente no capacitor chaveado C_2 .

$$\Delta V_{C2} = V_b - V_a \quad (122)$$

A variação de carga " ΔQ_2 " mostrado na expressão 123 a seguir, é diretamente proporcional a variação de tensão Δv_{C2} , bem como à capacitância em C_2 que durante o transcorrer das etapas forma associações em paralelo nos ramos da célula com o capacitor C_{o1} (primeira etapa) e capacitor C_{o2} (segunda etapa). Desta forma, ΔQ_2 representa a quantidade de carga acumulada correspondente as áreas em destaque da corrente no capacitor chaveado da Fig.44, como também, relaciona a corrente média de saída I_o que flui no ramo da célula durante o período de comutação.

$$\underbrace{\Delta Q_2}_{\Delta Q_2} = C_2 \cdot \Delta v_{C2} \quad (123)$$

$$\Delta Q_2 = I_o \cdot T_s$$

Ao recorrer à metodologia de cálculo utilizada ao longo da seção (2.1.1), para as expressões relacionadas a diferença de tensão nos terminais do capacitor em termos máximo e mínimo (V_b e V_a), durante as transições das etapas mostradas em 6, 7 e 8, possibilita realizar a correlação para o proposto estudo em função da diferença das tensões V_{Co1} e V_{Co2} do circuito multiplicador no barramento de saída.

Assim, a expressão da ondulação de tensão Δv_{C2} presente sobre o capacitor chaveado C_2 da célula modificada, pode ser apresentada a seguir.

$$\Delta V_{C2} = \frac{(V_{Co1} - V_{Co2}) \left(-1 + e^{-\frac{D}{f_s \tau}} \right) \left(-1 + e^{-\frac{(1-D)}{f_s \tau}} \right)}{1 - e^{-\frac{1}{f_s \tau}}} \quad (124)$$

Ao fazer uso das relações em 121 e da expressão 123, ao isolar os termos de interesse, chega-se as expressões que representam a ondulação de tensão para os capacitores C_{o1} e C_{o2} .

$$\Delta V_{Co1} = \frac{I_o}{C_{o1} \cdot f_s} \quad (125)$$

$$\Delta V_{Co2} = \frac{I_o}{C_{o2} \cdot f_s} \quad (126)$$

Ao isolar C_{o1} e C_{o2} em 125 e 126, possibilita apresentar as expressões que

descrevem as respectivas capacitâncias do barramento de saída do conversor.

$$C_{o1} = \frac{I_o}{\Delta V_{Co1} \cdot f_s} \quad (127)$$

$$C_{o2} = \frac{I_o}{\Delta V_{Co2} \cdot f_s} \quad (128)$$

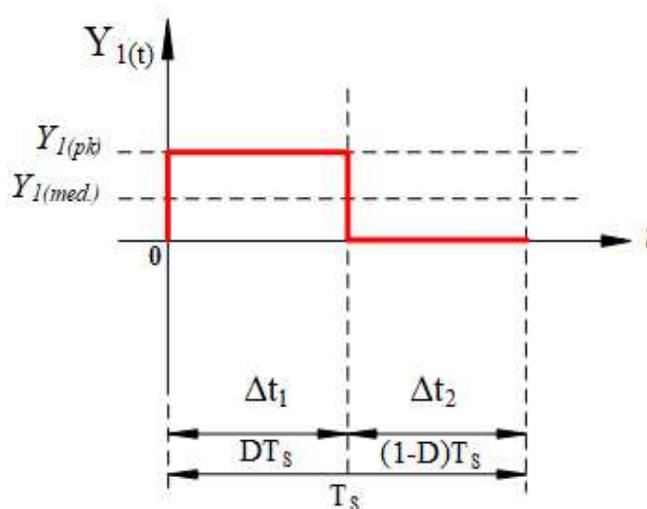
Para a concepção na fase de projeto, é desejado que os capacitores estejam em satisfatória equalização em termos de nível tensão, e que possuam capacitâncias suficientemente grandes de modo que a tensão através deles, seja considerada constante em um período de comutação.

3.5.3 Análise das correntes média, máxima e eficaz nos semicondutores

Para a análise dos esforços de corrente nos semicondutores do conversor, recorre-se como auxílio ao tópico dos valores médios apresentados junto a seção 3.3.1.

Com base no estudo (42, p.51) e auxílio da Fig.45 e 46, ao fazer uso dos valores médios, chega-se a determinação do valor de pico da função. Com a obtenção do valor de pico da função, chega-se a expressão que determina o valor eficaz das correntes.

Figura 45 — Forma de onda auxiliar do valor médio e de pico de uma função - Primeiro intervalo.



Fonte: Adaptado de (42).

As expressões consideram que a corrente é constante durante os intervalos de tempo, portanto serão próximos do valor real.

No primeiro intervalo de operação em Δt_1 , tem-se que o valor médio da função $Y_1(t)$ pela seguinte equação.

$$Y_{1(med.)} = \frac{1}{T_s} \int_0^{DT_s} Y_{1(pk)} dt \quad (129)$$

Logo, o valor médio da função é mostrado a seguir.

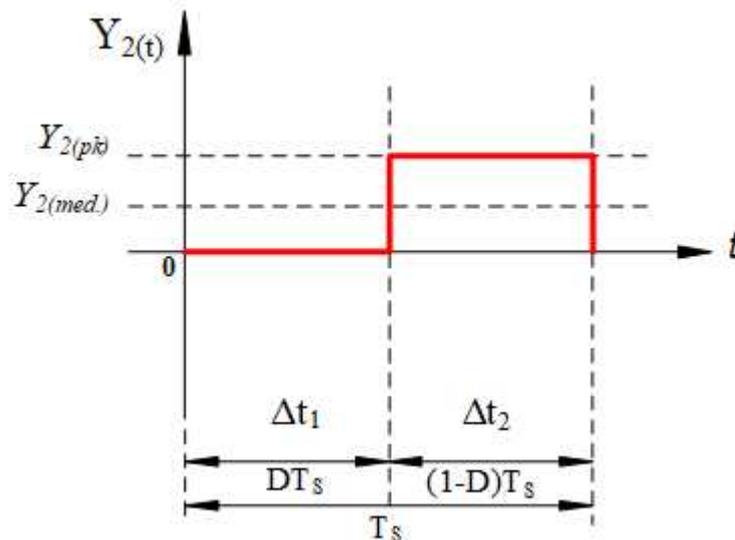
$$Y_{1(med.)} = Y_{1(pk)} \cdot D \quad (130)$$

Desta forma, o valor de pico da função $Y_1(t)$ é dado pela equação abaixo:

$$Y_{1(pk)} = \frac{Y_{1(med.)}}{D} \quad (131)$$

Da mesma forma, as expressões para o segundo intervalo de operação em Δt_2 são apresentados a seguir.

Figura 46 — Forma de onda auxiliar do valor médio e de pico de uma função - Segundo intervalo.



Fonte: Adaptado de (42).

Tem-se que o valor médio da função $Y_2(t)$ pela seguinte equação.

$$Y_{2(med.)} = \frac{1}{T_s} \int_{DT_s}^{T_s} Y_{2(pk)} dt \quad (132)$$

Logo, o valor médio da função é mostrado a seguir.

$$Y_{2(med.)} = Y_{2(pk)} \cdot (1 - D) \quad (133)$$

Desta forma, o valor de pico da Função $Y_2(t)$ é dado pela equação abaixo:

$$Y_{2(pk)} = \frac{Y_{2(med.)}}{(1 - D)} \quad (134)$$

3.5.3.1 Esforços de corrente nos semicondutores - S_1 , D_{a1} , D_2 , D_{a2} , D_3 e D_1

Com o auxílio da seção anterior, a seguir são apresentados as expressões para os esforços de corrente nos semicondutores.

- **Corrente média, máxima e eficaz no interruptor S_1 :**

Durante o primeiro intervalo de operação, o valor médio da corrente que circula pelo interruptor S_1 é dado pela expressão a seguir.

$$I_{S1(med.)} = \underbrace{-I_o + I_{L2med}} + I_{L1med} \quad (135)$$

$$I_{S1(med.)} = I_{Da1med} + I_{L1med}$$

Ao substituir as expressões 93 e 99 que representam as correntes médias nos indutores L_1 e L_2 em (135), e realizar as simplificações e manipulações adequadas, chega-se a expressão que define o valor médio da corrente no interruptor S_1 .

$$I_{S1(med.)} = \frac{I_o \cdot (1 + D)}{(1 - D)} \quad (136)$$

Com o auxílio das relações apresentadas em 130, 131 e das expressões 135 e 136, o valor da corrente máxima no qual o Interruptor S_1 ficará submetido, pode ser apresentado a seguir.

$$I_{S1(pk)} = \underbrace{\frac{I_{S1(med.)}}{D}}_{(137)}$$

$$I_{S1(pk)} = \frac{I_o \cdot (1 + D)}{D \cdot (1 - D)}$$

Desta forma, a expressão que determina o valor eficaz da corrente que flui através do interruptor S_1 é apresentado abaixo.

$$I_{S1ef} = \sqrt{\frac{1}{T_s} \int_0^{DT_s} (I_{S1(pk)})^2 dt} \quad (138)$$

Ao substituir-se os termos médios conhecidos da expressão 135, 136 em 138 e ajeitar-se a expressão, tem-se.

$$I_{S1ef} = \frac{I_o \cdot (1 + D)}{(1 - D)} \cdot \sqrt{\frac{1}{D}} \quad (139)$$

- **Corrente média, máxima e eficaz no diodo auxiliar D_{a1} :**

Ao utilizar a expressão 135 com as devidas manipulações, o valor médio da corrente que circula pelo diodo auxiliar de bypass D_{a1} é representado pelas expressões a seguir.

$$I_{Da1(med.)} = I_{S1med} - I_{L1med} \quad (140)$$

$$I_{Da1(med.)} = -I_o + I_{L2med}$$

Por inspeção, o valor médio da corrente sobre o diodo auxiliar D_{a1} também pode ser aproximado a corrente média de saída do conversor.

$$I_{Da1(med.)} \cong I_o \quad (141)$$

Observa-se, que o diodo auxiliar de bypass D_{a1} fica submetido ao valor instantâneo da corrente de pico que circula pelo capacitor C_2 da célula unitária integrada ao conversor, visto que estão em série durante o primeiro intervalo de operação.

$$i_{D_{a1}}(t) = i_{C_2}(t) \quad (142)$$

Com o auxílio das relações apresentadas em 130, 131 e da expressão 141, é possível expressar a corrente máxima da função sobre o diodo auxiliar D_{a1} presente no ramo do circuito durante o primeiro intervalo de operação.

$$I_{D_{a1}(pk)} = \frac{I_o}{D} \quad (143)$$

Desta forma, a expressão que determina o valor eficaz da corrente sobre o diodo auxiliar de bypass D_{a1} é apresentado abaixo.

$$I_{D_{a1}ef} = \sqrt{\frac{1}{T_s} \int_0^{DT_s} (I_{D_{a1}(pk)})^2 dt} \quad (144)$$

Ao substituir os termos médios conhecidos na expressão 141 e 143 em 144 e ajustar-se a expressão, tem-se.

$$I_{D_{a1}ef} = I_o \cdot \sqrt{\frac{1}{D}} \quad (145)$$

- **Corrente média, máxima e eficaz no diodo D_2 :**

Durante o primeiro intervalo de operação o diodo D_2 encontra-se em série no circuito com o diodo auxiliar de bypass D_{a1} . Desta forma, o valor médio da corrente que circula pelo diodo D_2 é dado pelas expressões a seguir.

$$I_{D_2(med.)} = \underbrace{I_{S1med} - I_{L1med}} \quad (146)$$

$$I_{D_2(med)} = I_{D_{a1}med} \cong I_o$$

Observa-se, que o diodo D_2 também fica submetido ao valor instantâneo da corrente de pico que circula pela célula passiva, visto encontrar-se em série no circuito com o capacitor C_2 durante o primeiro intervalo de operação.

$$i_{D_2}(t) = i_{C_2}(t) \quad (147)$$

Salienta-se, que o valores médio, máximo e eficaz da corrente no diodo D_2 são iguais a D_{a1} , assim, as expressões relacionadas são representadas de maneira análoga a análise que definiu as expressões 143, 144 e 145 para o diodo auxiliar D_{a1} , e desta forma serão suprimidas nesta análise.

- **Corrente média, máxima e eficaz no diodo auxiliar D_{a2} :**

Durante o segundo intervalo de operação, conforme análise e inspeção, o valor médio da corrente que circula pelo diodo auxiliar de bypass D_{a2} pode ser representado pela expressão a seguir.

$$I_{Da2(med.)} = I_{L2med} - I_{D1med} \quad (148)$$

O valor médio da corrente sobre o diodo auxiliar D_{a2} , também pode ser aproximado a corrente média de saída do conversor.

$$I_{Da2(med.)} = \underbrace{-I_o + I_{L2med}} \quad (149)$$

$$I_{Da2(med.)} \cong I_o$$

Observa-se, que o diodo auxiliar de bypass D_{a2} fica submetido ao valor instantâneo da corrente de pico que circula pelo capacitor C_2 da célula unitária integrada ao conversor, visto que estão em série durante o segundo intervalo de operação.

$$i_{Da2}(t) = i_{C2}(t) \quad (150)$$

Com o auxílio das relações apresentadas em 133 e 134, é possível expressar a corrente máxima da função sobre o diodo D_{a2} , presente no ramo do circuito durante o segundo intervalo de operação.

$$I_{Da2(pk)} = \frac{I_o}{(1 - D)} \quad (151)$$

Desta forma, a expressão que determina o valor eficaz da corrente sobre o diodo auxiliar de bypass D_{a2} é apresentado abaixo.

$$I_{Da2ef} = \sqrt{\frac{1}{T_s} \int_{DT_s}^{T_s} (I_{Da2(pk)})^2 dt} \quad (152)$$

Ao substituir os termos médios conhecidos na expressão 149 e 151 em 152, e ajeitar-se a expressão, tem-se.

$$I_{Da2ef} = I_o \cdot \sqrt{\frac{1}{(1-D)}} \quad (153)$$

- **Corrente média, máxima e eficaz no diodo D_3 :**

Durante o segundo intervalo de operação o diodo D_3 encontra-se em série no circuito com o diodo auxiliar de bypass D_{a2} . Desta forma, o valor médio da corrente que circula pelo diodo D_3 é dado pela expressão a seguir.

$$I_{D3(med.)} = \underbrace{I_{Da2med}} \quad (154)$$

$$I_{D3(med.)} \cong -I_o$$

Observa-se, que o diodo D_3 também fica submetido ao valor instantâneo da corrente de pico que circula pelo capacitor C_2 da célula passiva integrada ao conversor.

$$i_{D3}(t) = -i_{C2}(t) \quad (155)$$

Salienta-se, que os valores médio, máximo e eficaz da corrente no diodo D_3 são iguais a D_{a2} , assim, as expressões relacionadas são representadas de maneira análoga a análise que definiu as expressões 151, 152 e 153 para o diodo auxiliar D_{a2} , e desta forma serão suprimidas nesta análise.

- **Corrente média, máxima e eficaz no diodo D_1 :**

Durante o segundo intervalo de operação, o valor médio da corrente que circula pelo diodo D_1 pode ser representado pela expressão a seguir.

$$I_{D1(med.)} = I_{L2med} - I_{Da2med} \quad (156)$$

Ao considerar a expressão apresentada em 149 e substituir em 156, verifica-se por análise que a corrente média no diodo D_1 também pode ser aproximada ao valor médio da corrente de saída do conversor.

$$I_{D1(med.)} \cong I_o \quad (157)$$

Com o auxílio das relações apresentadas em 133 e 134, o valor da corrente máxima da função sobre o diodo D_1 presente no ramo do circuito durante o segundo intervalo de operação pode ser expressa.

$$I_{D1(pk)} = \frac{I_o}{(1-D)} \quad (158)$$

Desta forma, a expressão que determina o valor eficaz da corrente sobre o diodo D_1 é apresentado abaixo.

$$I_{D1ef} = \sqrt{\frac{1}{T_s} \int_{DT_s}^{T_s} (I_{D1(pk)})^2 dt} \quad (159)$$

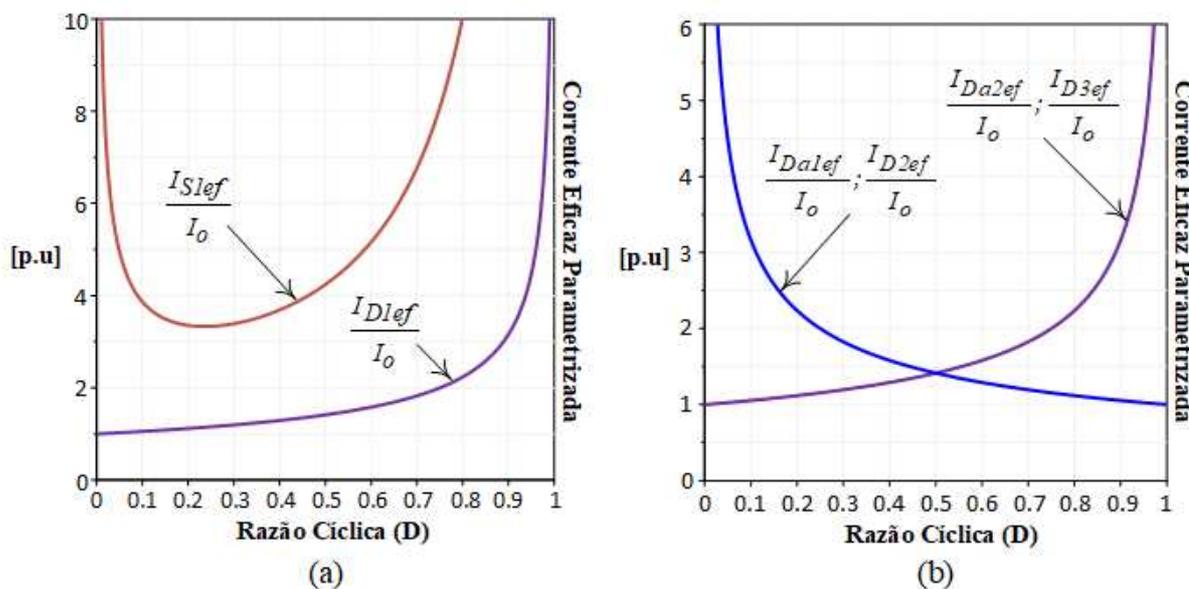
Ao substituir os termos médios conhecidos da expressão 156 a 158 em 159, e ajeitar-se a expressão, tem-se.

$$I_{D1ef} = I_o \cdot \sqrt{\frac{1}{(1-D)}} \quad (160)$$

- **Perfil da corrente eficaz parametrizada nos semicondutores**

No gráfico da Fig.47, são demonstrados os esforços de corrente relativos aos valores eficazes obtidos nos cálculos matemáticos da presente seção para os semicondutores do conversor proposto. O comportamento das correntes eficazes, são parametrizadas pela corrente de saída I_o , em função da razão cíclica D .

Figura 47 — Comportamento eficaz das correntes nos semicondutores, parametrizados pela corrente de saída I_o em função da razão cíclica D : (a) Corrente eficaz parametrizada no interruptor S_1 e diodo D_1 ; (b) Corrente eficaz parametrizada nos diodos D_2 , D_3 , D_{a1} e D_{a2} .



Fonte: O autor (2023).

O ábaco apresentado para os valores eficazes parametrizados, evidência que existem regiões recomendadas ou até mesmo ótimas para a análise do ponto de escolha a ser trabalhado.

3.5.4 Análise empregando valor médio em espaço de estados

Para auxiliar no equacionamento dos esforços de corrente nos capacitores, bem como na posterior análise da subseção 3.5.4.2, a presente seção apresenta o modelo dos valores médios das variáveis de estado de corrente em regime permanente nos capacitores do conversor proposto.

Quando o conceito de capacitor chaveado é empregado, o paralelismo entre os capacitores é comumente verificado, e as trocas de energia no circuito geram controvérsia, visto a ausência de um componente resistivo que possa absorver a pequena diferença dos níveis de tensão verificados sobre estes componentes durante as etapas de operação. Desta forma, para realizar este tipo de análise, é geralmente considerada uma resistência "R" em série com o capacitor chaveado para retirar essa impossibilidade física do arranjo paralelo.

Conforme comentado na seção 2.1.1 no tópico da resistência equivalente, a presença dessa resistência "R" tem como objetivo representar a resistência do modelo simplificado das perdas totais concentradas junto a célula passiva a capacitor chaveado modificada, que na prática é a própria resistência intrínseca

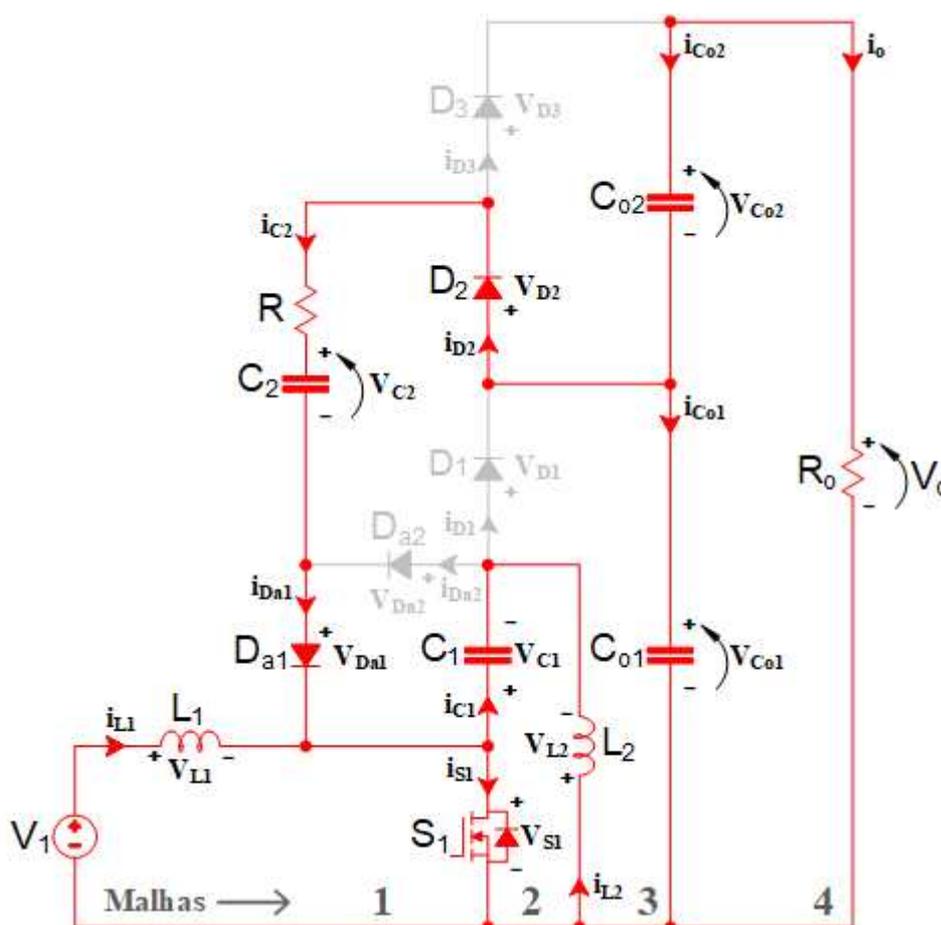
existente no caminho do circuito; representada pela soma da resistência física natural do mosfet e a resistência série equivalente dos capacitores ($R_{DS(on)} + RSE$), sem que haja alterações na generalidade da estrutura.

Conforme visto em (40) e (41, p. 93 e 94), a consideração desta resistência torna-se também necessária em decorrência dos valores impulsivos de corrente provindos dos capacitores durante as transições de etapas, permitindo que a análise e posterior validação dos resultados não sejam comprometidos.

Observa-se na análise qualitativa e quantitativa desta seção a consideração do conversor operando em modo de carga constante, onde o perfil e comportamento adotado para a corrente i_{C2} no ramo da célula será melhor esclarecido adiante.

O circuito equivalente para a primeira etapa de operação com a inclusão da resistência "R" e sentido das correntes é mostrado na Fig.48.

Figura 48 — Primeira etapa de operação com a inclusão do resistor (R).



Fonte: O autor (2023).

$$\begin{aligned}
-V_{Co1} + R \cdot i_R + V_{C2} &= 0 \\
i_{C1} &= -i_{L2} \\
i_{Co1} &= i_{Co2} - i_{C2} \\
i_{Co2} &= -i_o
\end{aligned} \tag{161}$$

A considerar as correntes dos capacitores com comportamento constante, possibilita para a análise do intervalo em termos médios no ramo da célula descrever a equação diferencial 162.

$$i_{C2} = i_R = \frac{V_{Co1} - V_{C2}}{R} \tag{162}$$

Desta forma, as expressões dos valores médios quase instantâneos das variáveis de estado de corrente nos capacitores C_1 , C_2 , C_{o1} e C_{o2} para o primeiro intervalo de operação ($lop1$) compreendido em $(0, DT_s)$ são apresentados respectivamente nas expressões 163 a 166.

$$i_{\overline{C1}_{(lop1)}} = C_1 \frac{d\overline{v_{C1}}}{dt} = -i_{L2} \cdot D \tag{163}$$

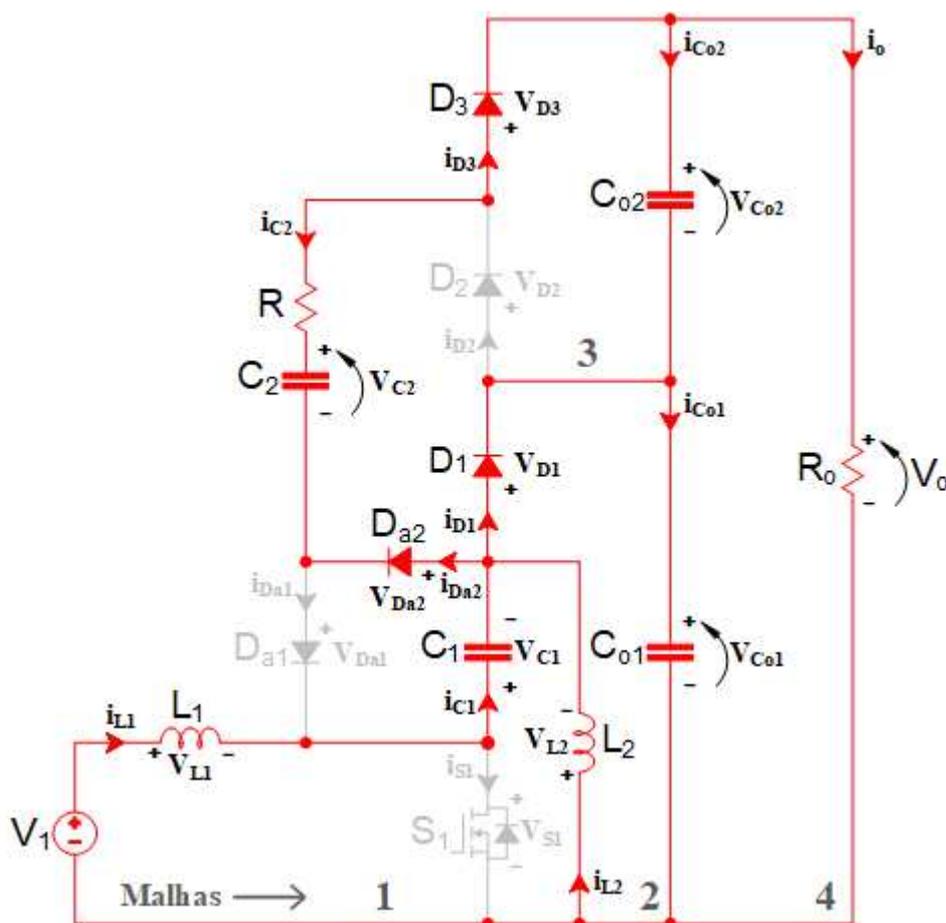
$$i_{\overline{C2}_{(lop1)}} = C_2 \frac{d\overline{v_{C2}}}{dt} = i_R = D \cdot \left(\frac{V_{Co1} - V_{C2}}{R} \right) \tag{164}$$

$$i_{\overline{Co1}_{(lop1)}} = C_{o1} \frac{d\overline{v_{Co1}}}{dt} = D \cdot \left(-i_o - \left(\frac{V_{Co1} - V_{C2}}{R} \right) \right) \tag{165}$$

$$i_{\overline{Co2}_{(lop1)}} = C_{o2} \frac{d\overline{v_{Co2}}}{dt} = -I_o \cdot D \tag{166}$$

O circuito equivalente para a segunda etapa de operação é mostrado na Fig.49 a seguir.

Figura 49 — Segunda etapa de operação com a inclusão do resistor (R).



Fonte: O autor (2023).

$$\begin{aligned}
 -V_{Co2} + R \cdot i_R + V_{C2} &= 0 \\
 i_{C1} &= i_{L1} \\
 i_{Co1} &= i_{Co2} + i_{C2} + i_{L1} + i_{L2} \\
 i_{Co2} &= -i_o - i_{C2}
 \end{aligned}
 \tag{167}$$

De maneira recíproca ao primeiro intervalo, ao considerar as correntes dos capacitores com comportamento constante, possibilita para a análise do intervalo em termos médios no ramo da célula descrever a equação diferencial 168.

$$i_{C2} = i_R = \frac{V_{Co2} - V_{C2}}{R}
 \tag{168}$$

As expressões dos valores médios quase instantâneos das variáveis de estado de corrente nos capacitores C_1 , C_2 , C_{o1} e C_{o2} para o segundo intervalo de

operação (I_{op2}) compreendido em (DT_s , T_s) são apresentados respectivamente nas expressões 169 a 172.

$$i_{\overline{C1(I_{op2})}} = C_1 \frac{d\overline{v_{C1}}}{dt} = i_{L1} \cdot (1 - D) \quad (169)$$

$$i_{\overline{C2(I_{op2})}} = C_2 \frac{d\overline{v_{C2}}}{dt} = i_R = (1 - D) \cdot \left(\frac{V_{Co2} - V_{C2}}{R} \right) \quad (170)$$

$$i_{\overline{Co1(I_{op2})}} = C_{o1} \frac{d\overline{v_{Co1}}}{dt} = (1 - D) \cdot (-i_o + i_{L1} + i_{L2}) \quad (171)$$

$$i_{\overline{Co2(I_{op2})}} = C_{o2} \frac{d\overline{v_{Co2}}}{dt} = (1 - D) \cdot \left(-i_o - \left(\frac{V_{Co2} - V_{C2}}{R} \right) \right) \quad (172)$$

3.5.4.1 Esforços de corrente nos capacitores - C_1 , C_{o1} , C_{o2} e C_2

Com o auxílio da seção anterior, a seguir são apresentados as expressões para os esforços de corrente nos capacitores.

- **Corrente eficaz capacitor C_1 :**

O valor eficaz da corrente do capacitor C_1 dado pela expressão 173, pode ser determinado ao aplicar-se as equações 163 e 169 obtidos nos cálculos dos valores médios das variáveis estado.

$$I_{C1ef} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} (i_{C1(I_{op1})})^2 dt + \int_{DT_s}^{T_s} (i_{C1(I_{op2})})^2 dt \right)} \quad (173)$$

Após as substituições, realiza-se as simplificações e manipulações algébricas necessárias, possibilita obter a expressão para o valor eficaz da corrente do capacitor C_1 em função da corrente de saída do conversor.

$$I_{C1ef} = 2 \cdot I_o \cdot \sqrt{\frac{D}{(1-D)}} \quad (174)$$

- **Corrente eficaz capacitor C_{o1}:**

O valor eficaz da corrente do capacitor C_{o1} dado pela expressão 175, pode ser determinado ao aplicar-se as equações 165 e 171 obtidos nos cálculos dos valores médios das variáveis estado.

$$I_{Co1ef} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} (i_{Co1(Iop1)})^2 dt + \int_{DT_s}^{T_s} (i_{Co1(Iop2)})^2 dt \right)} \quad (175)$$

Após as substituições, realiza-se as simplificações e manipulações algébricas necessárias, possibilita obter a expressão para o valor eficaz da corrente do capacitor C_{o1} em função da corrente de saída do conversor.

$$I_{Co1ef} = I_o \cdot \frac{(D+1)}{\sqrt{D \cdot (1-D)}} \quad (176)$$

- **Corrente eficaz capacitor C_{o2}:**

O valor eficaz da corrente do capacitor C_{o2} dado pela expressão 177, pode ser determinado ao aplicar-se as equações 166 e 172 obtidos nos cálculos dos valores médios das variáveis estado.

$$I_{Co2ef} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} (i_{Co2(Iop1)})^2 dt + \int_{DT_s}^{T_s} (i_{Co2(Iop2)})^2 dt \right)} \quad (177)$$

Após as substituições, realiza-se as simplificações e manipulações algébricas necessárias, possibilita obter a expressão para o valor eficaz da corrente do capacitor C_{o2} em função da corrente de saída do conversor.

$$I_{Co2ef} = I_o \cdot \sqrt{\frac{D}{(1-D)}} \quad (178)$$

- **Corrente eficaz capacitor C₂:**

O valor eficaz da corrente no capacitor chaveado C₂ da célula, é dado pela expressão 179, e pode ser determinado ao aplicar-se as equações 164 e 170 obtidos nos cálculos dos valores médios das variáveis estado.

$$I_{C2ef} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} (i_{C2(Iop1)})^2 dt + \int_{DT_s}^{T_s} (i_{C2(Iop2)})^2 dt \right)} \quad (179)$$

Após as substituições, realiza-se as simplificações e manipulações algébricas necessárias, possibilitando obter a expressão para o valor eficaz da corrente do capacitor C₂ em função da corrente de saída do conversor.

$$I_{C2ef} = I_o \cdot \sqrt{\frac{1}{D(1-D)}} \quad (180)$$

Observa-se, que durante o primeiro intervalo de operação o capacitor C₂ encontra-se em série com o diodo auxiliar D_{a1}, portando possuem o mesmo valor em termos instantâneos de corrente.

$$i_{Da1}(t) = i_{C2}(t) \quad (181)$$

Da mesma forma, durante o segundo intervalo de operação o capacitor C₂ encontra-se em série com o diodo auxiliar D_{a2}, logo possuem o mesmo valor em termos instantâneos de corrente.

$$i_{Da2}(t) = i_{C2}(t) \quad (182)$$

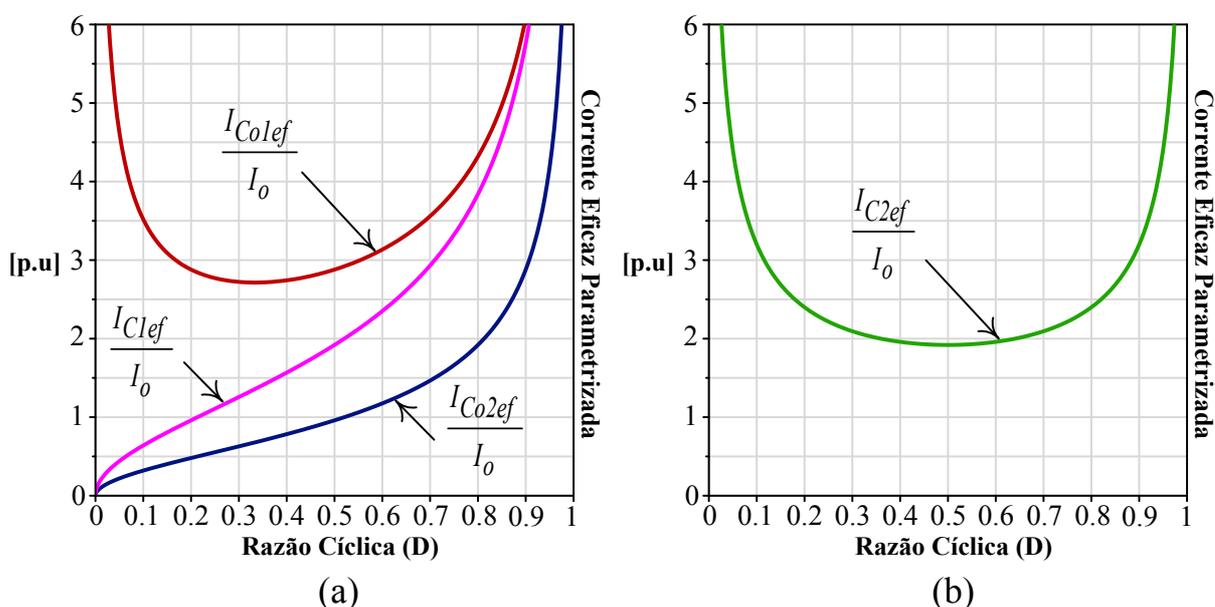
Assim, com as expressões observadas em 181 e 182 e fazendo uso das expressões obtidas em 145 e 153, também possível demonstrar o cálculo para o valor eficaz da corrente do capacitor C₂ conforme expressão 183.

$$I_{C2ef} = \sqrt{(I_{Da1ef})^2 + (I_{Da2ef})^2} \quad (183)$$

- **Perfil da corrente eficaz parametrizada nos capacitores**

Na Fig. 50 os gráficos (a) e (b) possibilitam verificar o comportamento eficaz da corrente nos capacitores C_1 , C_2 , C_{o1} e C_{o2} , parametrizados pela corrente de saída I_o em função da razão cíclica D .

Figura 50 — Comportamento eficaz das correntes nos capacitores, parametrizados pela corrente de saída I_o em função da razão cíclica D : (a) Corrente eficaz parametrizada nos capacitores C_1 , C_{o1} e C_{o2} ; (b) Corrente eficaz parametrizada no capacitor chaveado C_2 .



Fonte: O autor (2023).

De forma similar ao que foi comentado para a Fig.47, o ábaco apresentado acima, evidência que existem regiões recomendadas ou até mesmo ótimas para a análise do ponto de escolha a ser trabalhado.

3.5.4.2 Análise da corrente no capacitor chaveado C_2

Este tópico tem como objetivo esclarecer ainda que de forma simplificada, o estudo do comportamento instantâneo da corrente no capacitor chaveado C_2 do ramo da célula passiva integrada ao conversor proposto.

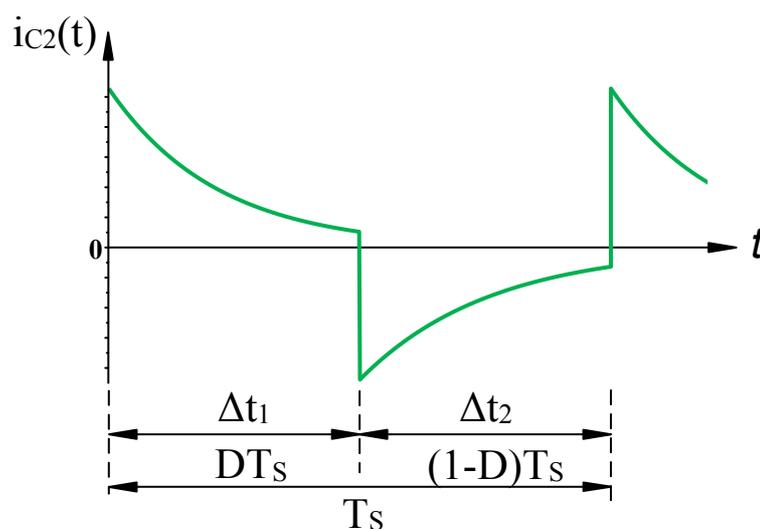
Observa-se que escolha que determinará o ponto de operação desejado para a fase de projeto do capacitor chaveado junto a célula modificada do conversor, no que tange a escolha do produto ($f_s\tau$) e a resistência equivalente (R_{eq}) está relacionado estudo referenciado junto a seção 2.1.1. Logo, será suprimido a sua contextualização nesta seção. Deve-se também atentar no projeto do capacitor

chaveado quanto aos valores de sua corrente eficaz e tensão máxima que o componente deverá suportar.

Como fundamental diferença do uso da técnica de capacitores chaveados, está o fato desses capacitores não serem projetados por critérios de ondulação de corrente, ou seja, eles são projetados para operar de forma adequada com um modo de carga específico. Uma vez projetado o capacitor chaveado C_2 de modo a operar em uma região predeterminada, como por exemplo no modo de descarga parcial (DC), define-se então o perfil de corrente nesse capacitor.

Na Fig.51, é apresentado o comportamento do perfil trapezoidal da forma de onda da corrente do capacitor chaveado C_2 da célula passiva modificada, com seus valores máximos e mínimos e decaimentos associados a constante de tempo capacitiva (τ) do circuito, que ocorre durante as transições de etapa do proposto conversor.

Figura 51 — Comportamento da forma de onda do perfil instantâneo da corrente no capacitor C_2 .

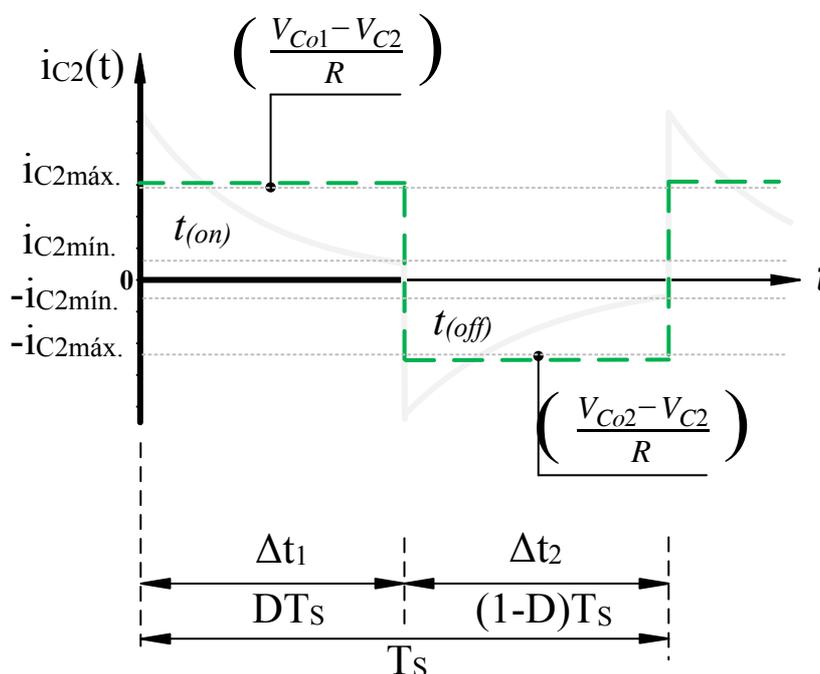


Fonte: O autor (2023).

Para o estudo quantitativo do perfil de corrente do capacitor C_2 , o mesmo pode ser aproximado por um erro cometido ao considera-lo como uma corrente constante, ou seja, equivalente ao modo sem descarga (SD), ou seja com um perfil constante, já que a exponencial da constante de tempo capacitiva é representadas por duas retas. Desta forma, chega-se a um perfil definido de corrente com um valor máximo tanto positivo como negativo ($i_{C2máx}$ e $-i_{C2máx}$) a serem determinados.

A Fig. 52 a seguir é apresentada para ilustrar a análise comentada.

Figura 52 — Forma e onda da corrente no capacitor chaveado C_2 em perfil constante.



Fonte: O autor (2023).

Ao definir o perfil da corrente em C_2 em patamares constantes tanto positivo como negativo, chega-se por intermédio da análise das variáveis de estado de corrente do capacitor visto nas equações diferenciais 164 e 170 aos valores que descrevem a função da corrente máxima considerada, obtidas no instante inicial no ramo da célula durante o primeiro e segundo estado topológico do conversor.

Conhecendo-se os valores de corrente em i_{C2} no seu patamar máximo da forma de onda, permite também conhecer em função deste, as correntes dos demais capacitores C_{o1} e C_{o2} que fazem parte das malhas do circuito no ramo da célula, conforme mostrado na análise da seção 3.2 junto as Fig.31 e 32 das formas de onda ideais de corrente, bem como na subseção 3.5.4.

Observa-se que durante o período de comutação a corrente em termos médios que flui no ramo da célula no transcorrer das etapas está relacionada a corrente média I_o que circula na carga. Isto é comprovado pela análise dos valores médios quase instantâneos das variáveis de estado de corrente no capacitor C_2 da seção 3.5.4, representadas pelas expressões 162 e 168.

Salienta-se, que a análise da transferência de energia provinda dos valores de correntes das indutâncias, vão ficar em função do perfil da corrente do capacitor chaveado C_2 definido para o ramo da célula modificada, bem como da corrente média da carga.

Outro parâmetro a ser considerado no estudo, está relacionado aos picos

iniciais da exponencial de corrente no capacitor chaveado presente durante a evolução da fase transitória do circuito. O surgimento desses valores de pico elevados nos capacitores acarretam o aumento do valor eficaz da corrente, ocasionando o incremento das perdas excessivas nos parciais resistivos do circuito, bem como possíveis danos a outros componentes do conversor.

3.6 Conclusão do capítulo

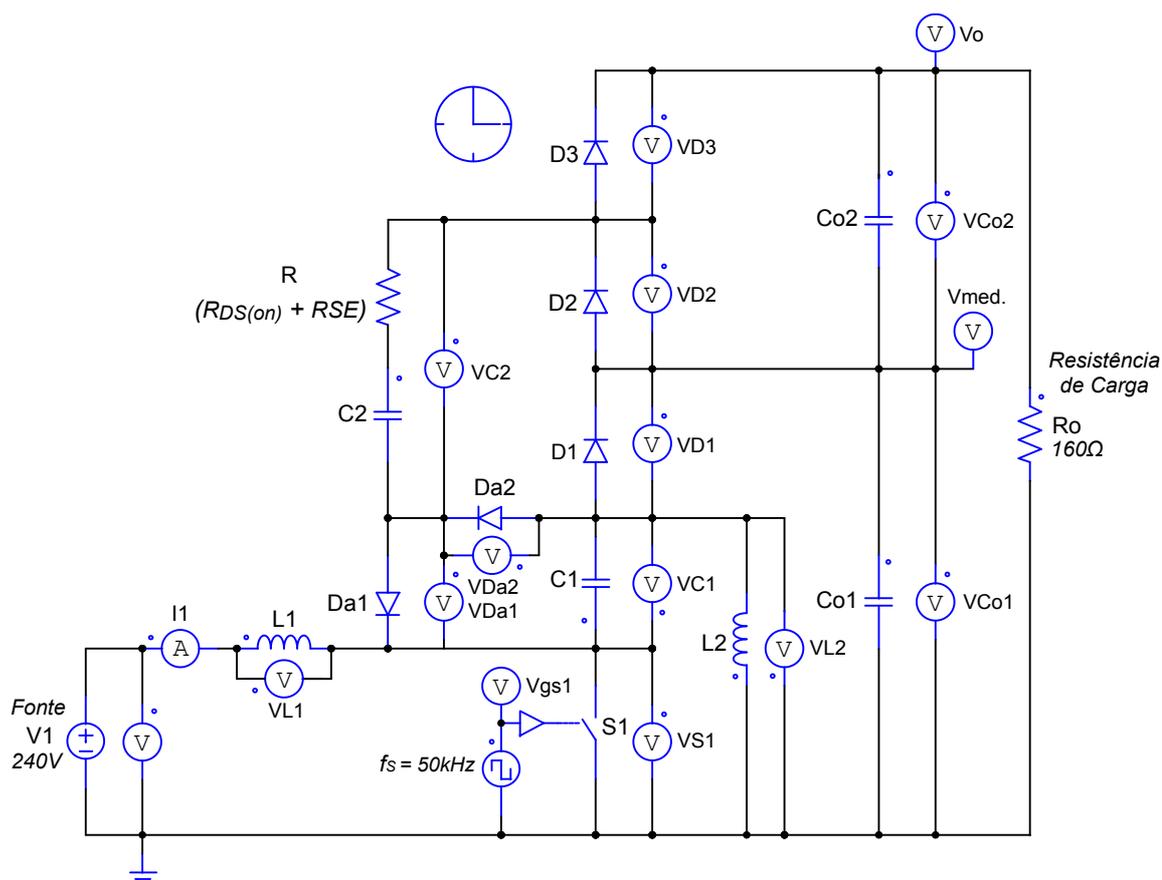
No transcorrer deste capítulo foram apresentadas as discussões da análise teórica que descreve o conversor proposto, constando em um primeiro momento na seção 3.1 o princípio e intervalos de operação, em um segundo momento em 3.2 as principais formas de onda ideais. No terceiro momento 3.3 foram apresentadas as análises matemáticas e equacionamentos correlacionados as etapas de operação. No quarto momento em 3.4, foi elucidado de maneira simplificada a possibilidade da generalização da topologia com o acréscimo modular de níveis multiplicadores de tensão, e ao final em 3.5 apresentou-se as equações de projeto contemplando os esforços de corrente nos semicondutores e capacitores da topologia, constando também, uma breve análise do comportamento do perfil da corrente no capacitor chaveado junto a célula passiva modificada.

4 PROJETO E RESULTADOS VIA SIMULAÇÃO NUMÉRICA

Este capítulo visa validar as equações de projeto via simulação numérica digital com o auxílio do software PSIM[®], para posterior comparação dos resultados obtidos em relação aos modelos matemáticos propostos no estudo para o novo conversor CC-CC híbrido SEPIC (PWM) integrado a célula de capacitor chaveado modificada, trabalhando em malha aberta em modo de condução contínua (MCC).

Os valores teóricos dos componentes, necessários as tratativas de dimensionamento e funcionamento do modelo do circuito de simulação da Fig.53, serão obtidos com a aplicação da metodologia dos cálculos apresentados nas seções 3.3 e 3.5, e com as especificações, parâmetros e valores de projeto presentes respectivamente nas tabelas 7, 8 e 9.

Figura 53 — Modelo representativo do circuito do conversor proposto simulado no software PSIM.



Fonte: O autor (2023).

4.1 Projeto do conversor

Os dados de projeto apresentados nesta seção servirão para conduzir o

estudo do conversor no modo de condução contínua. O conversor é avaliado para trabalhar com níveis de tensão de saída mais elevados em relação a entrada, com a obtenção de níveis simétricos de tensão junto ao barramento geral do sistema. O ganho estático teórico será o dobro do ganho do conversor SEPIC convencional.

O conversor foi projetado para operar com as especificações apresentadas na tabela a seguir.

Tabela 7 — Especificações de projeto

<i>Especificações</i>	<i>Valor</i>
Tensão de entrada - (V_1)	240V
Tensão de saída - (V_o)	400V
Potência nominal - (P_o)	1000W
Frequência de comutação - (f_s)	50kHz
Ondulação de tensão no capacitor C_1 - (ΔV_{C1})	10%
Ondulação de tensão nos capacitores C_{o1} e C_{o2} - (ΔV_{C_o})	1%
Ondulação de corrente nos indutores L_1 e L_2 - ($\Delta i_{L1,2}$)	20%

Fonte: O autor (2023).

Ao utilizar os valores da tensão de entrada e saída considerados nas especificações da tabela 8 e fazendo uso da expressão 75, é possível determinar a razão cíclica para o projeto do conversor.

$$D = \frac{V_o}{V_o + 2V_1} = 0,46 \quad (184)$$

Para atender as especificações de projeto da tabela 7, o valor da razão cíclica obtida na expressão anterior ($D=0,46$) embora remonte em termos de tensão de saída o funcionamento de um conversor SEPIC convencional com características abaixadoras, o conversor proposto pode alcançar taxas de conversão de tensão igual ao dobro de uma estrutura clássica sem a necessidade de ciclos de trabalho extremos. Esta característica é o resultado dos níveis multiplicadores de tensão somados junto ao barramento de saída. A escolha da razão cíclica no projeto também visa a preservação dos reduzidos esforços de tensão ao longo da estrutura em níveis adequados ao propósito do estudo.

Salienta-se porém, que ao considerar por exemplo o atendimento simétrico com maior nível de tensão no atendimento de cargas mistas conectadas no barramento de saída, as características conhecidas da estrutura SEPIC convencional deverão ser respeitadas quanto a escolha adequada dos valores de

razão cíclica para o conversor trabalhando na condição de elevador de tensão ($D > 0,5$). Logo, determinadas escolhas dependerão sempre da consideração e aplicação desejada.

4.1.1 Modo de operação e capacitância da célula modificada.

Conforme mencionado no início da seção 3.5.4, visto a característica impulsiva dos valores de corrente nos capacitores nas fases transitórias do circuito, bem como a adequada escolha do produto ($fs\tau$), considera-se na simulação um valor estimado de resistência concentrada ($R=0,1037\Omega$) para viabilizar a validação do estudo.

Para a escolha do produto ($fs\tau$) do projeto, as expressões contidas em 185 seguidas de manipulações algébricas, consideram a constante de tempo natural de amortecimento do circuito em um período completo de comutação que envolvem a carga e descarga no capacitor chaveado junto a célula.

$$\left\{ \begin{array}{l} \text{Como, } \tau = RC_2 \\ \\ \text{onde} \\ \\ C_2 = \frac{\tau}{R} \\ \\ \text{Em um período completo.} \\ \\ \frac{1}{C_2 fs} = \frac{R}{fs\tau} \end{array} \right. \quad (185)$$

Ao isolar o produto ($fs\tau$) na dedução anterior, chega-se a expressão que colabora na determinação do ponto de escolha desejada dentre os intervalos relacionados aos modos de operação do capacitor chaveado junto a célula, vistos anteriormente na revisão junto a tabela 1.

$$fs\tau = C_2 fs R \quad (186)$$

Com o auxílio das expressões 9 á 14 da seção 2.1.1 em função dos parâmetros do circuito, possibilitam a seguir o equacionamento que permeiam o contexto do projeto da célula passiva.

A expressão 187 a seguir, possibilita o cálculo teórico do valor da resistência equivalente a ser considerada.

$$R_{eq} = \frac{R}{fs\tau} \frac{(1 - e^{-\frac{1}{fs\tau}})}{\left(e^{-\frac{D}{fs\tau}} - 1\right) \left(e^{-\frac{(1-D)}{fs\tau}} - 1\right)} = 0,4489\Omega \quad (187)$$

O valor da resistência equivalente parametrizada em (pu) pode ser obtido por intermédio da relação das resistências da expressão anterior.

$$\overline{R_{eq}} = \frac{R_{eq}}{R} = 4,33 pu \quad (188)$$

Ao considerar nas expressões 187 e 188 o produto ($fs\tau$) tendendo ao infinito, possibilita com as devidas manipulações algébricas, calcular o valor mínimo em (pu) para a resistência equivalente parametrizada.

$$\lim_{fs\tau \rightarrow \infty} \overline{R_{eq.min.}} = \frac{1}{D(1-D)} = 4,03 pu \quad (189)$$

O cálculo da resistência série normalizada que reflete os valores internos em (pu) da resistência mínima (189) em relação a resistência equivalente parametrizada 188 é expresso a seguir.

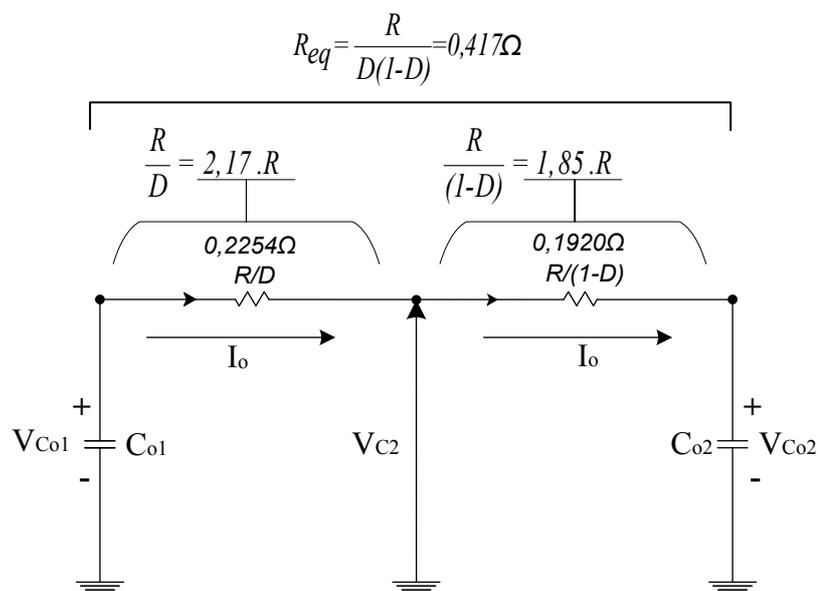
$$\frac{\overline{R_{eq}}}{R_{eq.min.}} = 1,08 pu \quad (190)$$

De maneira análoga a expressão 189, o valor da resistência equivalente da célula também pode ser averiguado caso o produto ($fs\tau$) tenda ao infinito na expressão 187.

$$\lim_{fs\tau \rightarrow \infty} R_{eq} = \frac{R}{D(1-D)} = 0,417\Omega \quad (191)$$

Na Fig.54 é apresentado o circuito equivalente da célula passiva para os dois estados de operação em regime permanente, onde R/D e $R/(1-D)$ representam as respectivas resistências equivalentes de cada etapa, como também a resistência equivalente aparente, e por fim, a resistência equivalente total do circuito considerada na expressão anterior.

Figura 54 — Circuito equivalente da célula passiva para o conversor proposto.

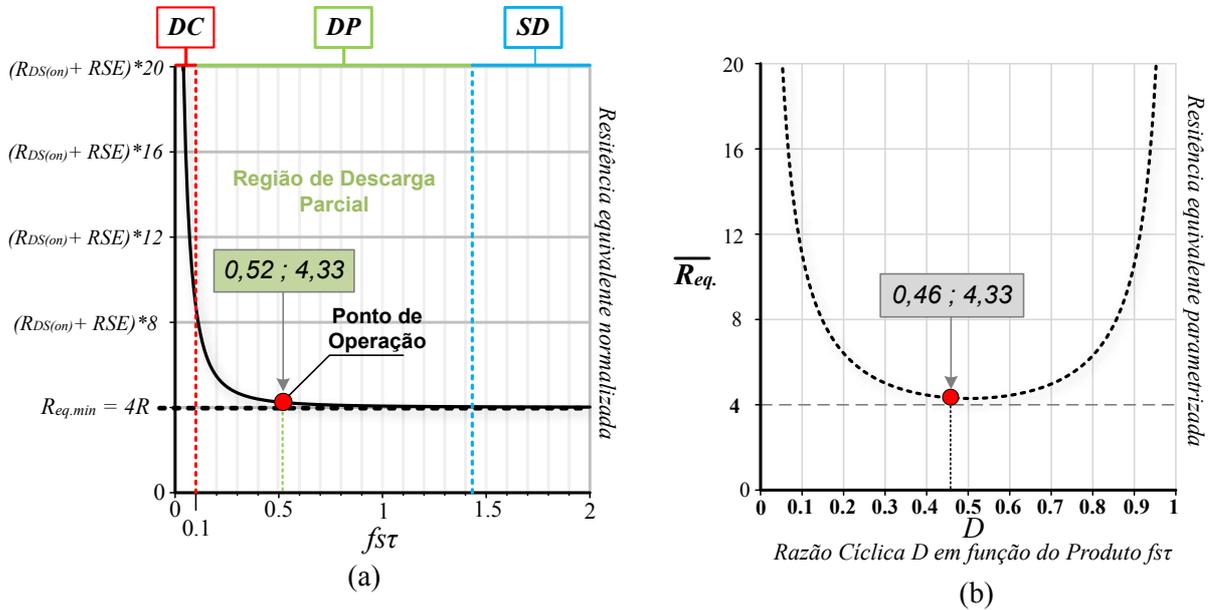


Fonte: O autor (2022).

Conforme observado na expressão 14 junto a revisão, quando a razão cíclica é igual á $D=0,5$ os valores das resistências equivalentes que interligam as tensões dos capacitores do circuito tornam-se iguais a $2R$, possibilitando obter o menor valor possível da resistência equivalente parametrizada no circuito, ou seja $4R$.

A seguir a Fig.55.(a).(b), apresenta os resultados gráficos obtidos por intermédio do estudo do equacionamento da resistência equivalente da célula, bem como, a escolha do ponto relacionado ao produto ($f_s\tau=0,52$) a ser considerado para o modo de operação do capacitor chaveado na região desejada de descarga parcial (DP).

Figura 55 — a) Ponto de operação na curva comportamental da resistência equivalente parametrizada (R_{eq}), em função do produto ($f_s\tau$) para $D=0,46$. b) Resistência equivalente parametrizada, em função da razão cíclica $D=0,46$, para valores do produto ($f_s\tau$).



Fonte: O autor (2023).

Assim, com a razão cíclica D calculada e demais parâmetros de resistência equivalente R_{eq} e produto ($f_s\tau$) verificados, possibilita com o uso da expressão 9 e devidas manipulações algébricas, determinar a capacitância C_2 pertencente a célula modificada.

$$C_2 = \frac{1}{f_s R_{eq}} \frac{\left(1 - e^{-\frac{1}{f_s\tau}}\right)}{\left(e^{-\frac{D}{f_s\tau}} - 1\right) \left(e^{-\frac{(1-D)}{f_s\tau}} - 1\right)} \tag{192}$$

$$C_2 = \frac{1}{f_s R_{eq}} = \frac{0,854}{0,379} = 100,29\mu F$$

Na tabela 8 é apresentado em resumo, os parâmetros obtidos para o projeto do circuito da célula passiva a capacitor chaveado modificada.

Tabela 8 — Parâmetros do circuito equivalente da célula passiva a capacitor chaveado modificada.

<i>Parâmetros calculados</i>	<i>Valor</i>
Produto ($f_s\tau$)	0,52
Resistência série normalizada $\overline{R_{eq. (D=0,46)}}$	1,08
Resistência equivalente mínima parametrizada $\overline{R_{eq.min (D=0,46)}}$	4,03
Resistência equivalente parametrizada $\overline{R_{eq}}$	4,33
Resistência série $R = (R_{DS(on)} + RSE)$	0,1037 Ω
Resistência equivalente R_{eq}	0,4489 Ω
Capacitância C_2	100,29 μF

Fonte: O autor (2023).

É desejado assegurar que a constante de tempo do circuito ($\tau = RC_2$) em termos práticos, seja maior do que a metade do período equivalente a razão cíclica ou seu complemento. Considerou-se para o estudo a seguinte expressão.

$$\tau > \frac{1}{2 \cdot f_s} \quad (193)$$

$$RC = (0,1037\Omega) \cdot 100\mu F = 10,37\mu s > \frac{1}{2 \cdot (50kHz)}$$

4.1.2 Resultados de simulação numérica para o conversor proposto.

Esta subseção visa validar as equações realizadas no transcórper do trabalho frente a simulações com uso do software PSIM para a modelagem apresentada na Fig.53 ao proposto conversor. A tabela 9 apresenta os valores passivos dos componentes necessários as tratativas de funcionamento do circuito modelado.

Tabela 9 — Valores para os componentes passivos do projeto

<i>Componente</i>	<i>Valor</i>
Indutor L_1	2,62 mH
Indutor L_2	2,19 mH
Capacitor C_1	943,23 nF
Capacitores C_2 ; C_{01} e C_{02}	100 μF
Resistência de carga R_o	160 Ω

Fonte: O autor (2023).

Para a averiguação dos resultados desta fase de validação das equações de análise e projeto levantadas nas seções 3.3 e 3.5, foi gerada a Tabela 10 no qual possibilita a comparação dos valores teóricos calculados com os valores simulados.

Tabela 10 — Comparativo dos resultados teóricos versus resultados de simulação no software PSIM. (continua)

RESULTADOS				
Grandezas	Teórico	Simulado	Varição Δ	 Er. %
Δt_1	9,100 μ s	9,100 μ s	0,00	0,00%
Δt_2	10,910 μ s	10,910 μ s	0,00	0,00%
I_{L1min}	3,734 A	3,731 A	0,00	0,07%
$I_{L1m\acute{a}x}$	4,567 A	4,556 A	-0,01	0,24%
Δ_{iL1}	0,833 A	0,825 A	-0,01	1,00%
$I_{L1m\acute{e}d}$	4,150 A	4,154 A	0,00	0,09%
I_{L1ef}	4,133 A	4,166 A	0,03	0,79%
I_{1med}	4,150 A	4,159 A	0,01	0,20%
I_{L2min}	4,482 A	4,472 A	-0,01	0,22%
$I_{L2m\acute{a}x}$	5,478 A	5,457 A	-0,02	0,39%
Δ_{iL2}	0,996 A	0,985 A	-0,01	1,13%
$I_{L2m\acute{e}d}$	4,980 A	4,984 A	0,00	0,07%
I_{L2ef}	4,960 A	4,996 A	0,04	0,73%
$I_{om\acute{e}d}$	2,490 A	2,492 A	0,00	0,08%
$V_{C1m\acute{e}d}$	240,000 V	239,990 V	-0,01	0,00%
V_{Co1med}	199,779 V	199,990 V	0,21	0,11%
V_{Co2med}	198,738 V	198,724 V	-0,01	0,01%
V_{C2med}	199,258 V	199,290 V	0,03	0,02%
V_{omed}	398,422 V	398,720 V	0,30	0,07%
$V_{S1m\acute{a}x}$	439,211 V	439,360 V	0,15	0,03%
$V_{D1m\acute{a}x}$	439,211 V	439,334 V	0,12	0,03%
I_{Da1med}	2,490 A	2,491 A	0,00	0,03%
I_{Da1ef}	4,512 A	4,322 A	-0,19	4,21%
I_{Da2med}	2,490 A	2,492 A	0,00	0,08%
I_{Da2ef}	3,372 A	3,368 A	0,00	0,12%

Tabela 10 — Comparativo dos resultados teóricos versus resultados de simulação no software PSIM. (conclusão)

RESULTADOS				
I_{S1med}	6,640 A	6,644 A	0,00	0,06%
I_{S1ef}	9,850 A	10,037 A	0,19	1,90%
I_{D1med}	2,490 A	2,491 A	0,00	0,04%
I_{D1ef}	3,372 A	3,539 A	0,17	4,95%
I_{D2med}	2,490 A	2,491 A	0,00	0,03%
I_{D2ef}	4,512 A	4,322 A	-0,19	4,21%
I_{D3med}	2,490 A	2,491 A	0,00	0,04%
I_{D3ef}	3,372 A	3,368 A	0,00	0,12%
I_{C1ef}	4,546 A	4,571 A	0,02	0,54%
I_{C2ef}	5,632 A	5,669 A	0,04	0,66%
I_{Co1ef}	7,400 A	7,626 A	0,23	3,05%
I_{Co2ef}	2,389 A	2,520 A	0,13	5,48%

Fonte: O autor (2023).

O desvio médio relacionado a tabela 10 dos resultados apurados é calculado com objetivo de atentar a alguns parâmetros que possuem alguma diferença significativa nas comparações dos resultados.

Pontua-se, que os maiores erros percentuais encontrados para as grandezas expostas, estão associados a corrente do capacitor chaveado, visto o seu ponto de operação considerado na análise. Ou seja, trata-se de um erro considerado, visto a análise dos valores médios quase instantâneos de corrente para o capacitor tenderem em termos quantitativos a um perfil constante, já que a exponencial da constante de tempo capacitiva é representadas por duas retas, conforme comentado em 3.5.4.2.

Para as demais variações encontradas nos valores obtidos via simulação numérica, são atribuídas as aproximações previstas e consideradas nos equacionamentos da seção 3.5.3 e 3.5.4.

A expressão utilizada para o cálculo dos valores percentuais totais do desvio médio relacionados aos resultados da tabela 10 é apresentado a seguir.

$$\sum = (| Er. \% |) \quad (194)$$

Logo, ao calcular-se a média dos módulos relacionados aos desvios, possibilita a obtenção do valor da média relacionada aos erros percentuais.

$$M(\%) = \frac{\sum}{37} = 0,84\% \quad (195)$$

Assim, as aproximações entre os resultados são satisfatórias e os baixos erros encontrados validam os equacionamentos ao conversor proposto.

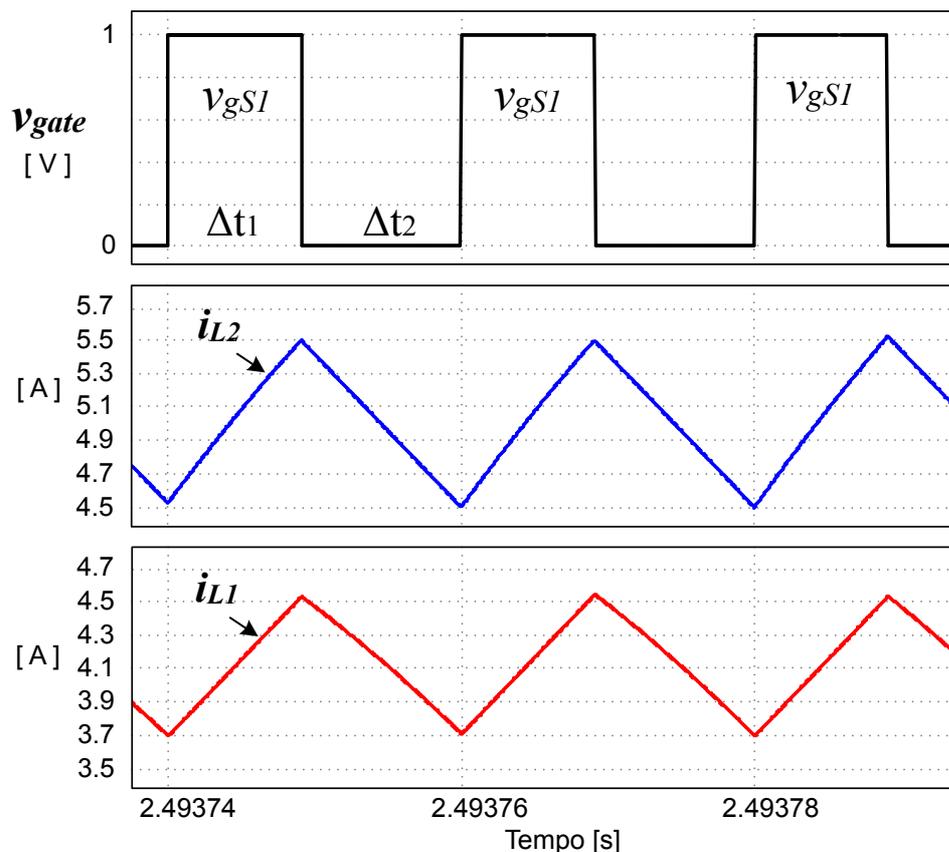
4.1.3 Formas de onda dos resultados da simulação numérica.

Na presente subseção é demonstrado as formas de onda dos resultados obtidos na simulação com o uso do software PSIM para o conversor operando em regime permanente.

- **Tensões e correntes nos indutores L_1 e L_2 :**

A Fig.56 inicialmente mostra a forma de onda do sinal de comando de pulso de tensão para o interruptor S_1 , bem como as formas de onda das correntes i_{L1} e i_{L2} nos indutores, que permitem verificar o funcionamento do proposto conversor em MCC para os dois intervalos de operação.

Figura 56 — Formas de onda: sinal de comando no interruptor S1 e corrente nos indutores L₁ e L₂.

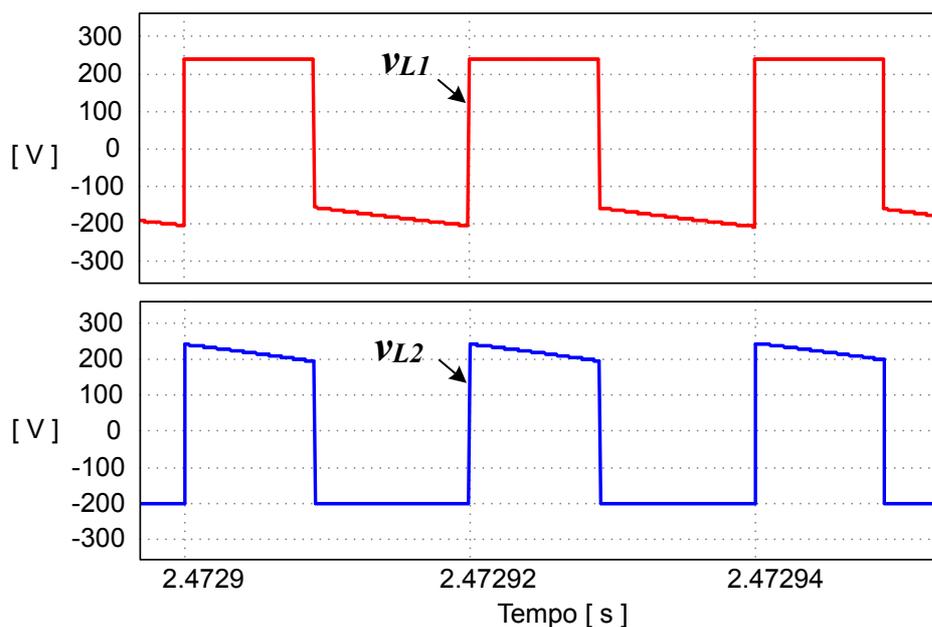


Fonte: O autor (2023).

Observa-se que as formas de onda das correntes em i_{L1} e i_{L2} da Fig.56 durante os intervalos de funcionamento do conversor são semelhantes, porém as amplitudes dessas correntes dependem dos parâmetros do circuito, portanto elas não são iguais. Destaque-se da análise realizada que o valor médio da corrente no indutor L₁ é igual ao valor médio da corrente I_1 de entrada, e a relação da corrente média do indutor L₂ é proporcional ao dobro da corrente média do estágio de saída do conversor. As ondulações de corrente nos indutores Δi_{L1} e Δi_{L2} ficam em torno do critério estabelecido de 10%.

Na Fig. 57 são mostradas as respectivas formas de onda da tensão nos indutores L₁ e L₂.

Figura 57 — Formas de onda da tensão nos indutores L_1 e L_2 .



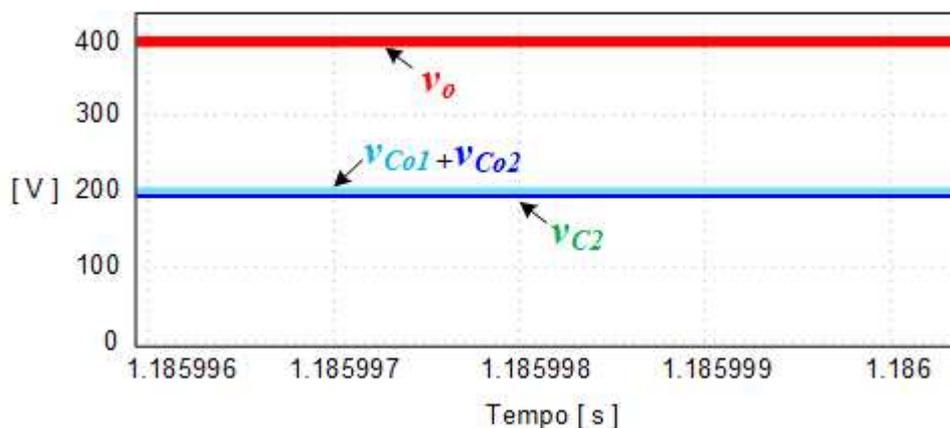
Fonte: O autor (2023).

Conforme verificado nas análises das malhas de tensão, a forma de onda da Fig.57 mostra que o resultado das tensões médias sobre os indutores durante o primeiro intervalo de operação Δt_1 é igual à tensão de entrada da fonte V_1 de 240V, e durante o segundo intervalo de operação Δt_2 é igual ao valor negativo da metade da tensão de saída do conversor em torno de 200V.

- **Tensões e correntes de entrada e saída do conversor:**

Na Fig.58 o valor da forma de onda da tensão de saída do conversor apresenta aproximadamente 400V de valor médio, que é o resultado formado pelo circuito multiplicador composto pelo somatório das tensões equalizadas de $V_{C_{01}}$ e $V_{C_{02}}$ (em torno de 200V), conforme abordado na análise matemática vista em 3.3 por meio das expressões 31 a 34 e 41.

Figura 58 — Formas de onda: tensão sobre os capacitores C_{o1} , C_{o2} e C_2 e tensão de saída V_o .



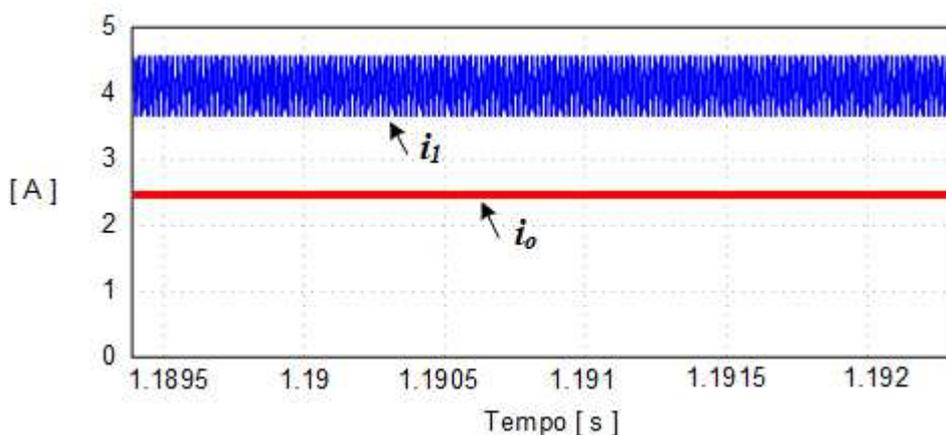
Fonte: O autor (2023).

O resultado simulado comprova o que foi discutido durante o trabalho, onde a tensão entregue a carga no barramento de saída, será a soma da tensão dos dois capacitores ($V_o = V_{C_{o1}} + V_{C_{o2}}$), cujo valor médio de cada capacitor é igual à metade da tensão total imposta sobre a carga, ou seja ($V_o/2$) em torno de 200V, sendo estes, chaveados por igual tensão ($V_o/2$) pelo capacitor C_2 da célula passiva modificada durante o transcorrer dos intervalos Δt_1 e Δt_2 de operação.

O resultado obtido é importante porque valida a simetria desejada junto a saída do conversor, e como vantagem possibilita o atendimento a determinadas aplicações que necessitam de uma solução simétrica de tensão para seu funcionamento, conforme exemplo dedicado apresentado na Fig.25.

Por meio da Fig.59 a seguir, constata-se os resultados para os valores médios da corrente de entrada e saída do conversor proposto.

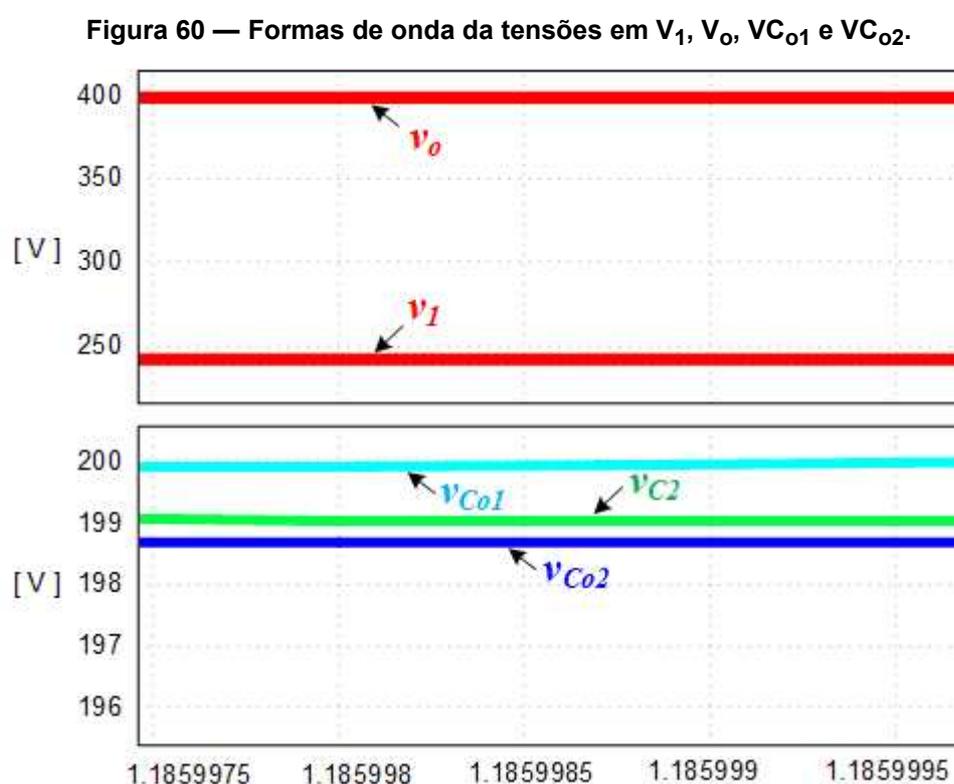
Figura 59 — Formas de onda das correntes de entrada i_1 e saída i_o .



Fonte: O autor (2023).

Os valores médios de corrente de entrada e saída apresentados na Fig.59 ficam em torno de 4,15A e 2,49A respectivamente e possuem baixa ondulação. Assim, o conversor estaria processando cerca de 992,81W no resistor de carga R_o , o que prova o conceito em termos de nível de potência desejado junto ao estudo.

A Fig.60 a seguir, visa proporcionar a melhor visualização dos valores obtidos e registrados na tabela 10 para as formas de onda dos capacitores C_2 , C_{o1} e C_{o2} , visto a sobreposição das curvas de tensão evidenciados anteriormente na Fig.58. Logo, utilizou-se uma escala ampliada no eixo das coordenadas a fim de evidenciar os valores das tensões.



Fonte: O autor (2023).

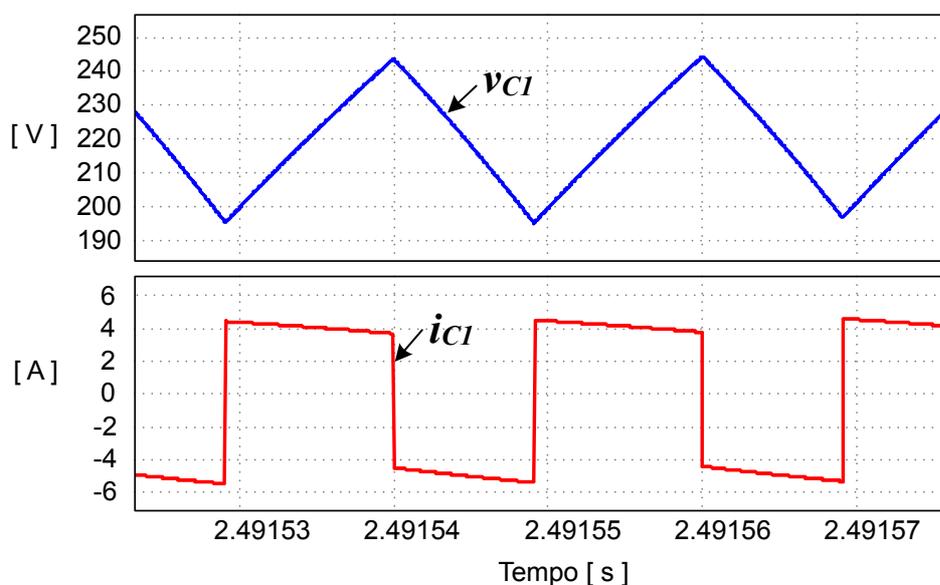
No gráfico também é apresentado as formas de onda da tensão na entrada e saída do conversor, evidenciando que o ganho teórico de tensão do conversor híbrido SEPIC proposto é o dobro do ganho do conversor SEPIC convencional.

Verifica-se que também que os capacitores estão em satisfatória equalização em termos de nível tensão e possuem capacitâncias suficiente para garantir que a tensão sobre os mesmos seja constante em um período de comutação.

- **Tensão e corrente no capacitor C_1 .**

O valor de tensão e corrente obtidos na simulação para capacitor C_1 da estrutura é apresentado na forma de onda a seguir.

Figura 61 — Formas de onda da tensão e corrente no capacitor C_1 .



Fonte: O autor (2023).

Conforme análise mostrada nas expressões 48 e 62, o valor médio da tensão no capacitor C_1 é igual ao valor médio da tensão da fonte V_1 , e seu valor máximo de corrente corresponde ao valor máximo da corrente sobre o indutor L_1 na entrada do conversor.

- **Corrente nos capacitores C_2 , C_{o1} e C_{o2} .**

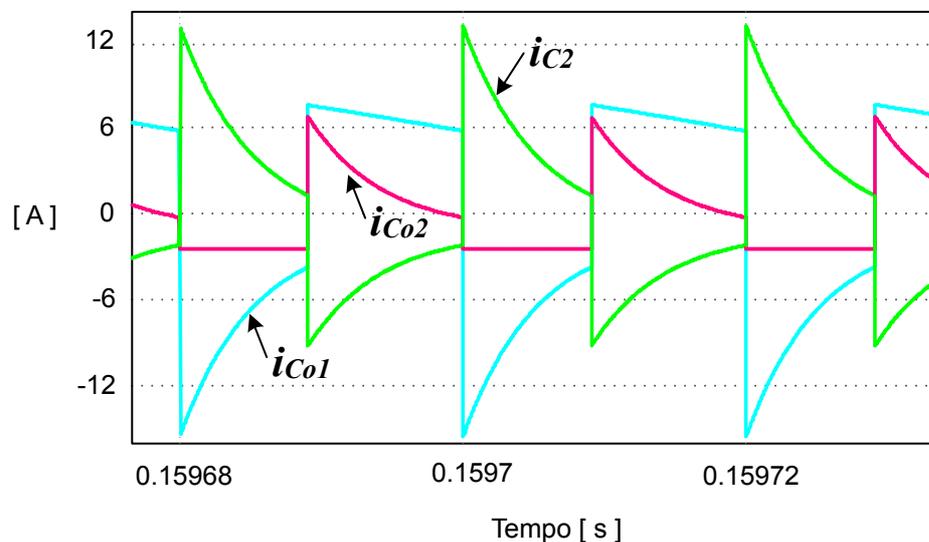
Na Fig.62 é apresentada as correntes nos capacitores C_2 , C_{o1} e C_{o2} . Observa-se no perfil de operação da corrente a obtenção do modo descarga parcial (DP) dos capacitores, conforme especificações de projeto.

Verifica-se que a corrente do capacitor chaveado C_2 da célula modificada possui o comportamento previsto no estudo comportamental dos parâmetros previstos na tabela 8, e seu valor eficaz de corrente em torno de 5,66A. Para os esforços de corrente sobre o capacitor chaveado, considerou-se durante a fase de equacionamento um valor constante de corrente baseado na análise feita em 3.5.4.1 e 3.5.4.2.

As correntes dos capacitores C_{o1} e C_{o2} na saída do barramento geral, ficaram

com patamar eficaz de 7,62A e 2,52A respectivamente.

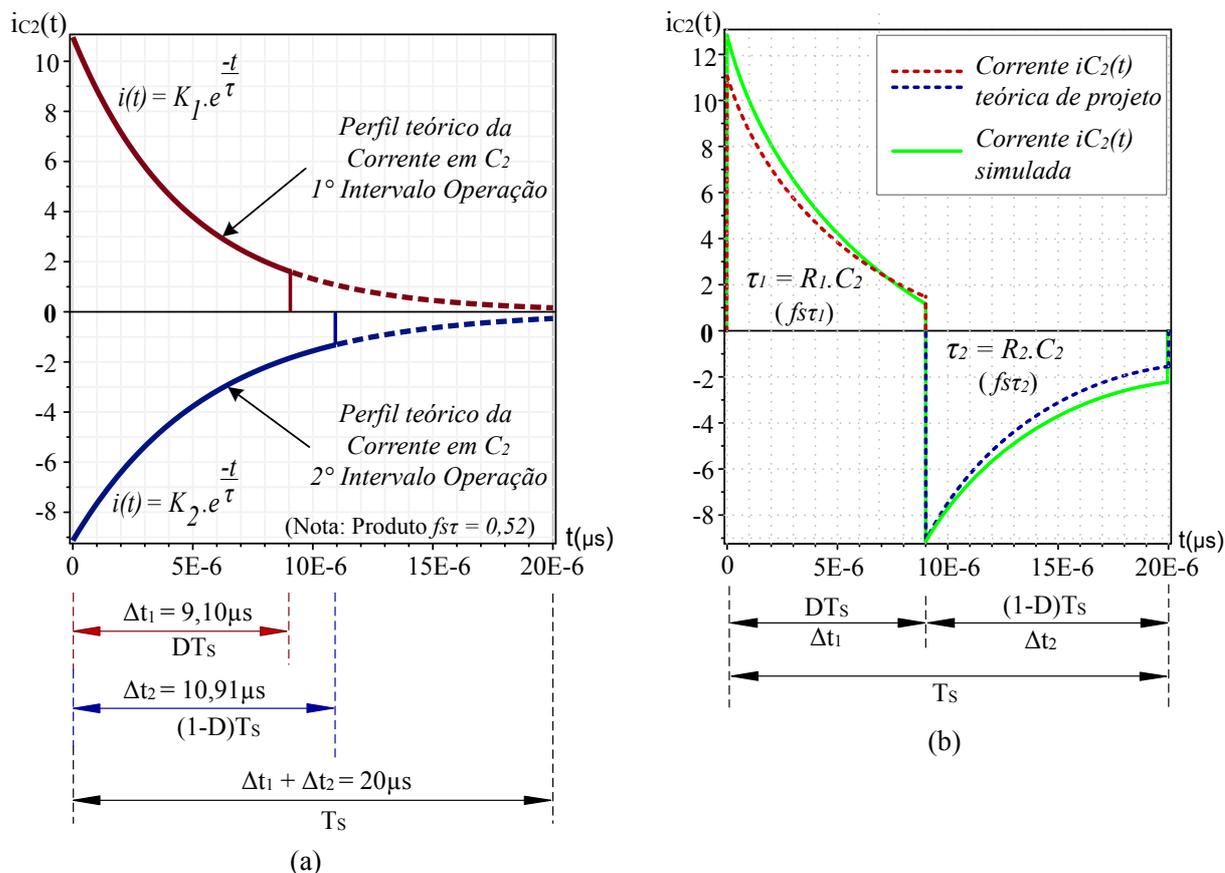
Figura 62 — Formas de onda das correntes nos capacitores C_2 , C_{o1} e C_{o2} .



Fonte: O autor (2023).

Na Fig.63.a é apresentado o perfil teórico de projeto esperado para a forma de onda da corrente i_{C2} no capacitor chaveado para o ponto de operação escolhido ($f_s\tau=0,52$), e na Fig.63.b é realizado a comparação entre o resultado teórico e o resultado simulado da corrente i_{C2} apresentado anteriormente na Fig.61.

Figura 63 — (a) Perfil teórico da corrente i_{C_2} para os intervalos Δt_1 e Δt_2 para $D=0,46$. (b) Comparação entre o resultado teórico versus simulado para a corrente i_{C_2} .



Fonte: O autor (2023).

Para a melhor percepção dos resultados obtidos no projeto em relação ao que foi evidenciado na simulação, as tabelas 11, 12 e 13 propõem de maneira sutil um estudo comparativo (teórico versus simulado) dos resultados calculados para as constantes de tempo (τ), produtos ($fs\tau$) e resistências (R) concentradas envolvidas tanto no ciclo positivo como no ciclo negativo da corrente i_{C_2} do capacitor chaveado.

Tabela 11 — Comparativo: Constante de tempo (τ) da corrente em i_{C_2} - teórico versus simulado.

Grandezas	Intervalo	Teórico	Simulado	Varição Δ	Er. %
(τ_1)	Δt_1	$4,65 \mu s$	$\approx 3,90 \mu s$	-0,75	16,13%
(τ_2)	Δt_2	$5,66 \mu s$	$\approx 7,69 \mu s$	2,03	35,87%
$(\tau_{eq.})$	$\Delta t_1 + \Delta t_2$	$10,31 \mu s$	$\approx 11,59 \mu s$	1,28	12,42%

Fonte: O autor (2023).

Na tabela 12 é disponibilizado o produto ($fs\tau$) correspondente as respectivas

constantes de tempo da tabela 11, para ambos intervalos de operação.

Tabela 12 — Comparativo: Produto ($f_{s\tau}$) para os intervalos de operação - teórico versus simulado.

Grandezas	Intervalo	Teórico	Simulado
$(f_{s\tau_1})$	Δt_1	0,2326	$\approx 0,1950$
$(f_{s\tau_2})$	Δt_2	0,2831	$\approx 0,3847$
(Ponto de Operação) $(f_{s\tau_{eq}})$	$\Delta t_1 + \Delta t_2$	0,52	$\approx 0,58$

Fonte: O autor (2023).

A tabela 13, informa a parcela correspondente do valor estimado de resistência concentrada (R), que condiz a cada constante de tempo da tabela 11 para os respectivos intervalos de operação.

Tabela 13 — Comparativo: Resistência (R) correspondente aos intervalos de operação - teórico versus simulado.

Grandezas	Intervalo	Teórico	Simulado
R_1	Δt_1	0,0465 Ω	$\approx 0,0390 \Omega$
R_2	Δt_2	0,0566 Ω	$\approx 0,0769 \Omega$
$R_{(estimado)}$	$\Delta t_1 + \Delta t_2$	0,1032 Ω	$\approx 0,1159 \Omega$

Fonte: O autor (2023).

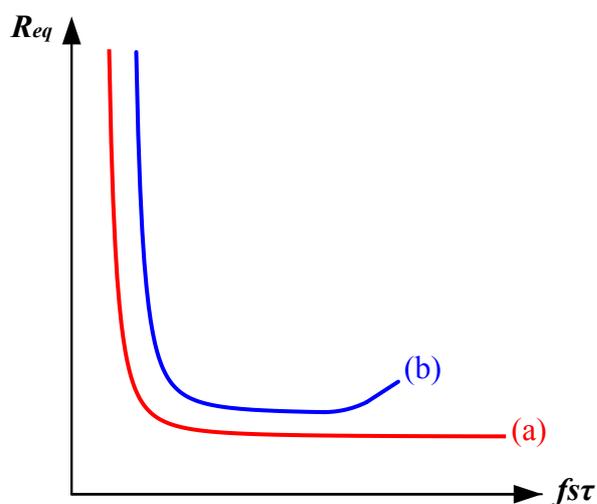
Observa-se, que o resultado comparativo obtido na tabela 11 para o comportamento dos valores instantâneos da corrente no capacitor C_2 ao longo de um período completo de comutação, identificou diferenças nos valores das constantes de tempo em termos absolutos em torno de 16,13% para o ciclo positivo (menor) e 35,87% para o ciclo negativo (maior), o que representa um erro com valor médio de 26%.

Para os valores expostos nas tabelas 12 e 13, verificou-se no resultado da simulação apresentado na Fig.63.b, que os valores extraídos do produto ($f_{s\tau}$) e resistência (R) em ambos intervalos carregam uma pequena diferença em relação ao comportamento teórico. Essas diferenças acarretam numa maior resistência equivalente R_{eq} global levando o produto ($f_{s\tau}$) a deslizar em sua convergência natural na curva parametrizada, provocando uma alteração em torno de 11,04% em relação ao ponto de operação escolhido (teórico).

Para colaborar no entendimento das informações do paragrafo anterior, conforme (43), cabe mencionar que as perdas por comutação e elementos

parasitárias no circuito podem na prática, afetar o comportamento da R_{eq} que tende a aumentar após um determinado ponto na curva e por conseguinte reduzir a eficiência do sistema. Esta condição depende das características dos interruptores e capacitores utilizados na concepção do circuito do projeto, motivo pelo qual tais componentes devem ser escolhidos de forma criteriosa. A Fig.64 curvas (a) e (b), ilustram esta possível situação.

Figura 64 — Curva comportamental da resistência equivalente: (a) modelo ideal; (b) modelo prático.



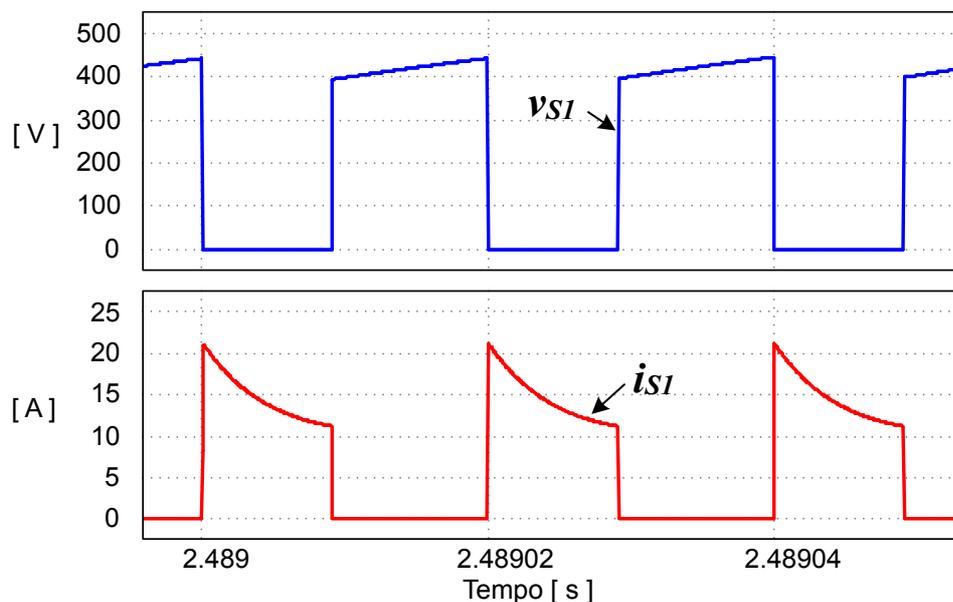
Fonte: Adaptado de (43).

O estudo comparativo relacionado aos resultados apresentados na Fig.63.(a).(b), visou identificar o comportamento da exponencial da corrente do capacitor chaveado por meio da avaliação de resultados extraídos, como também trazer algum acréscimo na evolução de futuros trabalhos nessa área.

- **Tensão e corrente no interruptor S_1 .**

A Fig.65 mostra a tensão e a corrente sobre o interruptor ativo S_1 .

Figura 65 — Formas de onda da tensão e corrente no interruptor S_1 .



Fonte: O autor (2023).

Conforme observado, no conversor CC-CC SEPIC convencional a tensão máxima teórica imposta sobre o interruptor ativo é igual à soma das tensões de entrada e saída. Desta forma, para as mesmas especificações de projeto, a tensão máxima teórica para o interruptor seria em torno dos 640V.

No conversor proposto, a tensão máxima teórica prevista para o interruptor S_1 é igual à soma da tensão de entrada com a metade da tensão de saída, ou seja $(V_1+V_o/2)$, conforme comprova o resultado apresentado na tabela 11 e na forma de onda da Fig.68, com valor simulado em torno dos 440V. Logo, essa característica permite o uso de dispositivos com classificações de tensão mais baixas, dado aos reduzidos esforços de tensão que colaboram para o aumento da eficiência geral da estrutura.

Salienta-se que a corrente instantânea imposta sobre o interruptor S_1 durante o transcorrer das etapas é dado pela soma das correntes dos indutores e da corrente que circula no ramo da célula modificada por meio do capacitor chaveado.

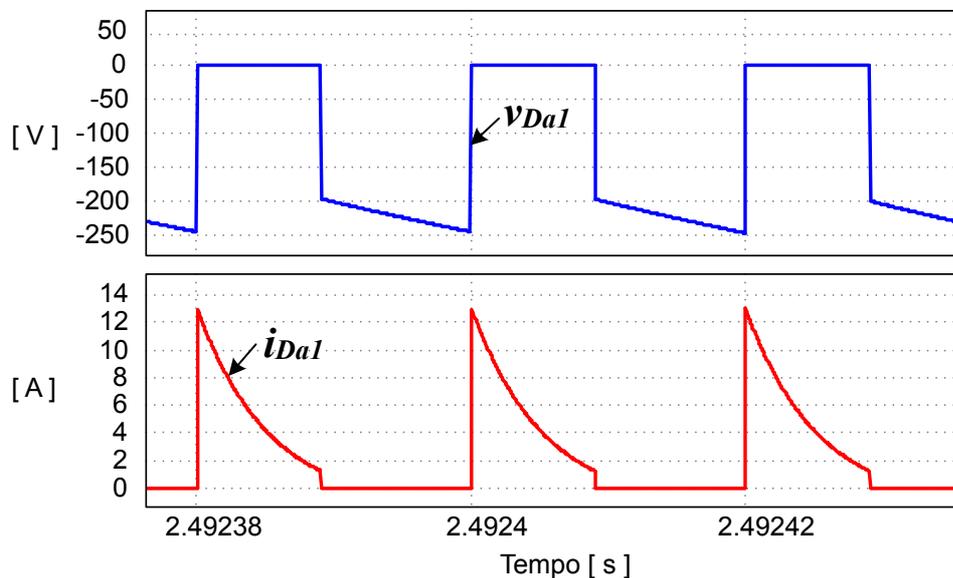
Desta maneira, cabe atentar as recomendações contidas na seção 3.8.6 visto os picos iniciais da exponencial de corrente no capacitor chaveado presentes durante a evolução das fases transitórias do circuito, que podem acarretar danos aos demais componentes integrantes do conversor.

- **Tensão e corrente nos semicondutores: Diodos auxiliares D_{a1} e D_{a2} .**

As Fig.66 e 67 a seguir, mostram o comportamento das formas de onda da

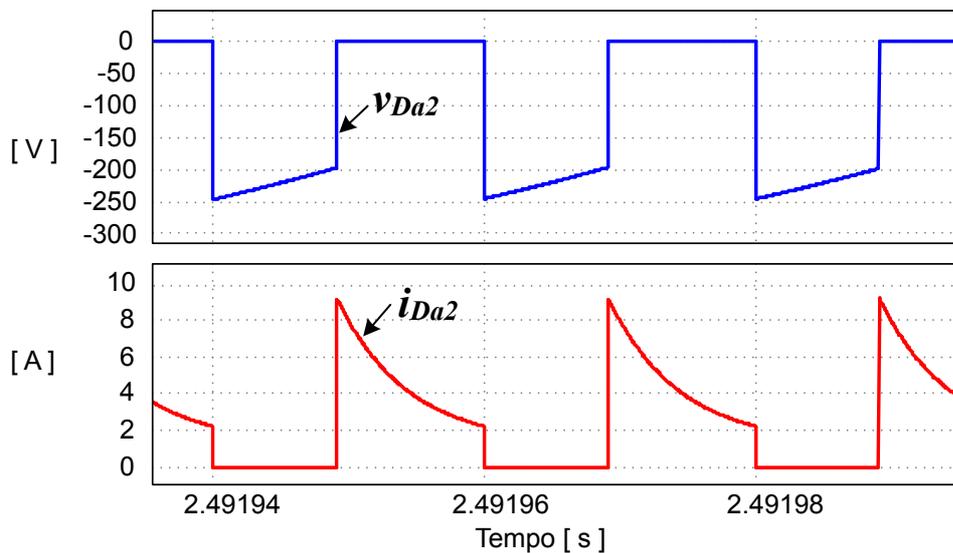
tensão e corrente nos diodos auxiliares de bypass D_{a1} e D_{a2} .

Figura 66 — Formas de onda da tensão e corrente no diodo auxiliar D_{a1} .



Fonte: O autor (2023).

Figura 67 — Formas de onda da tensão e corrente no diodo auxiliar D_{a2} .



Fonte: O autor (2023).

Os resultados das formas de onda da tensão nos diodos auxiliares D_{a1} e D_{a2} comprovam as análises realizadas nas expressões 44 e 56, e mostram que o valor máximo de tensão no qual os diodos auxiliares ficam submetidos em termos práticos é igual ao valor da tensão no capacitor C_1 .

Os valores das formas de onda de corrente obtidas na simulação, corroboram com a análise realizada nas seções 3.4.6 e 3.7, onde os valores médios em I_{Da1} e I_{Da2} são aproximados ao valor médio da corrente de saída do conversor, em torno 2,56A e 2,49A respectivamente. Em termos eficazes as correntes nos diodos auxiliares possuem os valores de 4,03A e 3,38A respectivamente.

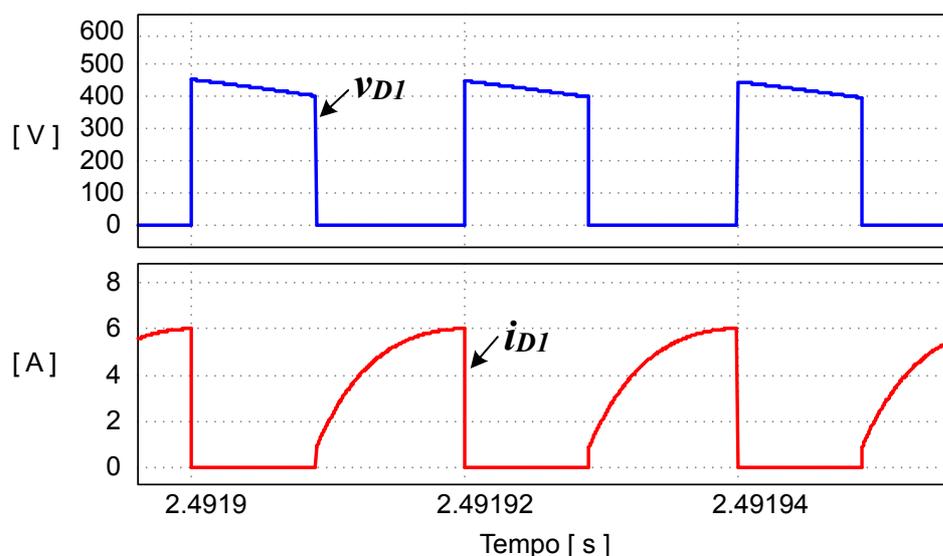
Logo, os resultados calculados apontam uma pequena margem de erro quando comparados com os valores simulados, porém previstos, pois considerou-se que a corrente é constante durante os intervalos de tempo, portanto seriam próximos do valor real.

Salienta-se que os valores instantâneos de corrente que circulam nos diodos auxiliares D_{a1} e D_{a2} durante o transcorrer das etapas é igual ao valor da corrente que circula no ramo da célula modificada por meio do capacitor chaveado C_2 . Desta maneira, cabe atentar as orientações contidas na seção 3.8.6 e comentadas anteriormente.

- **Tensão e corrente nos semicondutores: Diodos D_1 , D_2 e D_3 .**

O valor máximo da tensão e corrente no diodo D_1 é apresentado na Fig.68.

Figura 68 — Formas de onda da tensão e corrente no diodo D_1 .



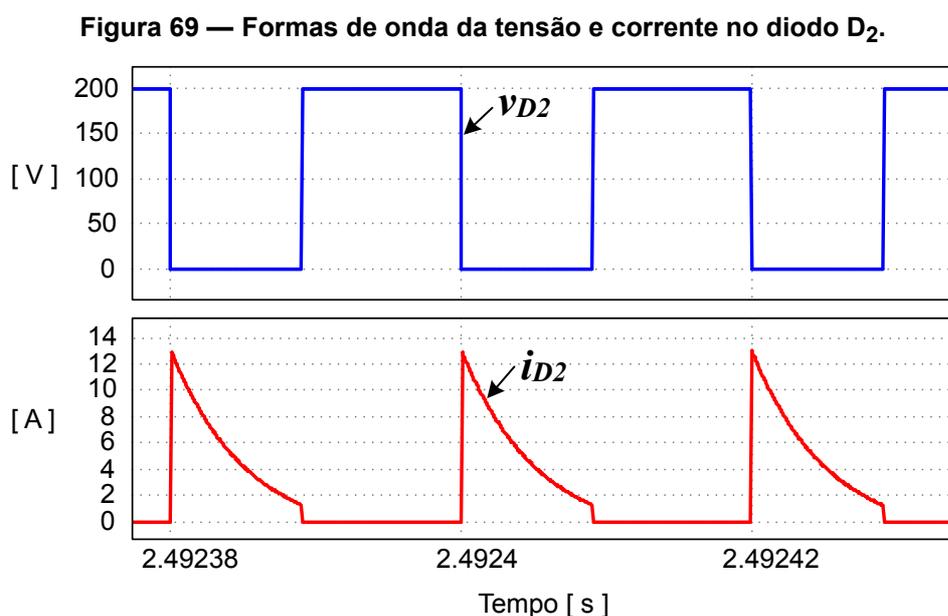
Fonte: O autor (2023).

Conforme análise vista na expressão 46, o valor máximo de tensão sobre o

diodo D_1 ocorre durante o primeiro intervalo de operação em Δt_1 , sendo submetido a no máximo a tensão da fonte de entrada mais a metade da tensão de saída, ou seja $(V_1 + V_o/2)$, conforme mostra o resultado da forma de onda da Fig.68, com valor simulado em torno dos 440V. Assim, comprovando que a estrutura impõe reduzidos esforços de tensão nos semicondutores.

A análise da forma de onda da corrente do diodo passivo D_1 , também mostra que o valor instantâneo da corrente que circula no diodo é dado pelo somatório das correntes instantâneas dos dois indutores no estágio de transferência de energia subtraído da corrente do diodo auxiliar ($i_{L1} + i_{L2} - i_{Da2}$), sendo que os valores médios e eficazes de corrente simulada ficaram em torno de 2,55A e 3,46A respectivamente. Desta forma, corroboram com a análise realizada nas seções 3.4.6 e 3.7, com uma pequena margem de erro prevista pois considerou-se que a corrente é constante durante os intervalos de tempo, portanto seria próxima do valor real.

A Fig.69 a seguir, apresenta as formas de onda dos resultados simulados para o diodo D_2 .

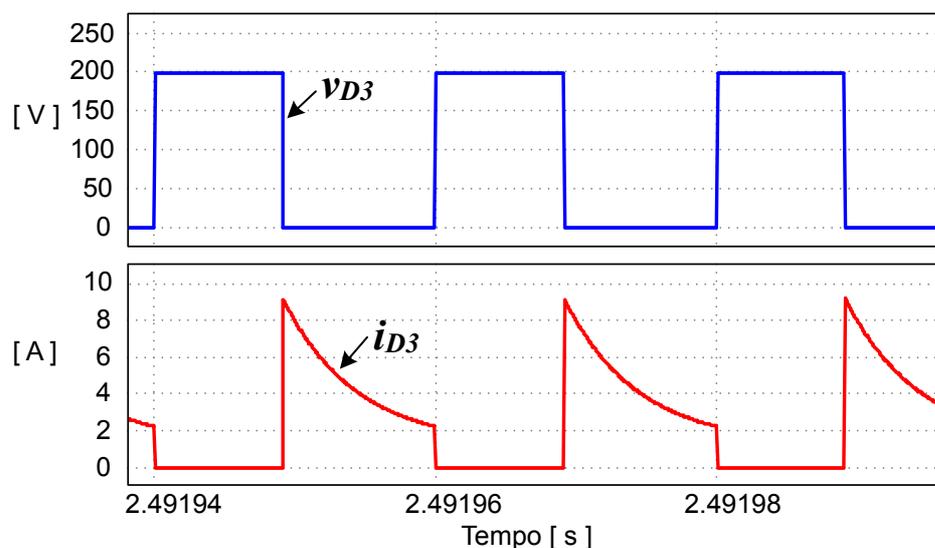


Fonte: O autor (2023).

Conforme ressaltado em análises anteriores, os valores médio, máximo e eficaz da corrente para o diodo D_2 são iguais a D_{a1} , assim as informações a respeito dos valores obtidos nas formas de onda da Fig.69, terão as mesmas observações da Fig.66.

A Fig.70 a seguir, é apresentado as formas de onda dos resultados simulados para o diodo D_3 .

Figura 70 — Formas de onda da tensão e corrente no diodo D_3 .



Fonte: O autor (2023).

De maneira análoga, os valores médio, máximo e eficaz da corrente para o diodo D_3 são iguais a D_{a2} , assim as informações a respeito dos valores obtidos nas formas de onda da Fig.70, terão as mesmas observações da Fig.67.

4.2 Conclusão do capítulo

O capítulo apresentou os resultados de simulação numérica obtido por intermédio do software PSIM para posterior validação das equações de projeto. A estrutura proposta possibilitou a elevação do ganho da tensão sem o uso de ciclos extremos e em alta frequência de chaveamento, bem como a obtenção de reduzidos valores de estresse de tensão nos dispositivos de comutação (interruptor e diodos) e a equalização dos níveis de tensão (simetria) junto a barramento de saída. Durante o capítulo também foi abordado um breve estudo comparativo relacionado ao perfil teórico da corrente no capacitor chaveado em relação ao resultado simulado, a fim de avaliar a eficácia do estudo realizado para o projeto da célula passiva a capacitor chaveado modificada.

5 RESULTADOS EXPERIMENTAIS

No presente capítulo, são apresentados os resultados das práticas experimentais realizadas em bancada de teste, com a finalidade de validar os estudos teóricos do trabalho, relacionados a operação, equações de projeto, bem como simulação numérica, para o novo conversor unidirecional híbrido SEPIC com saídas simétricas de tensão integrado a célula a capacitor chaveado modificada em modo de condução contínua, operando na condição de malha aberta.

Para a realização da construção da placa de circuito impresso do protótipo, foram utilizados os parâmetros e especificações baseadas no capítulo 4 do presente trabalho.

São apresentadas as dimensões definidas para o protótipo, bem como a tabela com as especificações dos componentes utilizados. Também são descritas as implementações e especificações necessárias para geração do sinal PWM e do circuito auxiliar de comando do MOSFET.

Destaca-se ainda em seção dedicada, relatos sobre os desafios encontrados nos ensaios experimentais para a obtenção desejada das condições nominais de projeto.

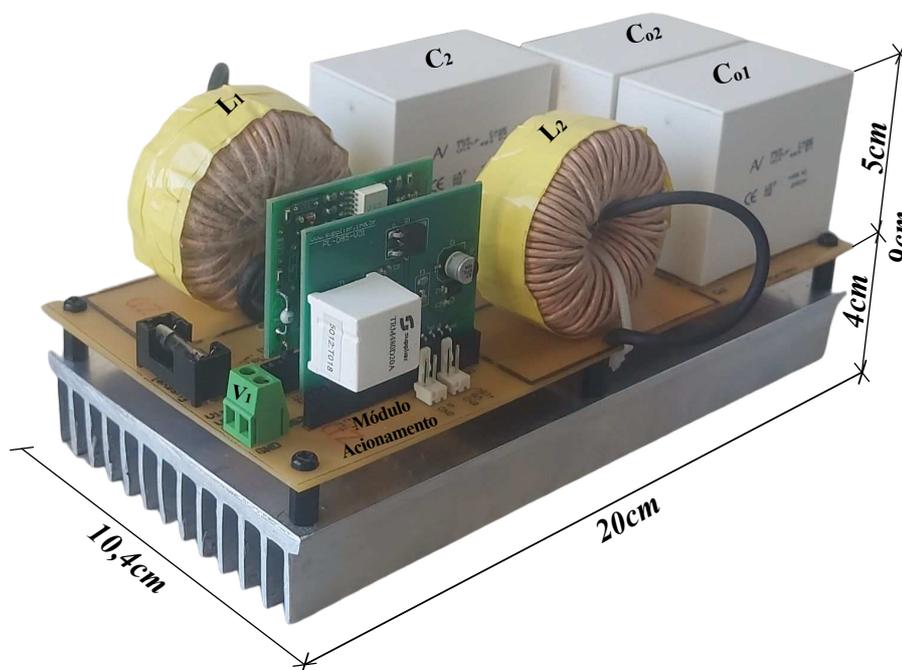
Na sequência, são apresentados os resultados gráficos das formas de onda experimentais obtidas nos ensaios em malha aberta, e ao final o resultado do ensaio de rendimento do conversor proposto.

5.1 Protótipo construído

O protótipo construído visa atender o dimensionamento das especificações contidas nas tabelas 7, 8 e 9 apresentadas no capítulo anterior. O desenvolvimento do esquemático e layout do protótipo do conversor foi realizado com o auxílio do software ALTIUM Designer versão 16.0.5 e podem ser verificados junto aos apêndices A e B.

Na Fig.71 a seguir, é apresentado a foto do protótipo construído.

Figura 71 — Foto do protótipo do conversor CC-CC híbrido SEPIC com saídas simétricas integrado a célula a capacitor chaveado modificada.



Fonte: O autor (2023).

5.2 Especificações dos componentes do conversor

A construção do protótipo contendo os componentes que compõe o módulo de potência do conversor, são especificados junto a tabela 14.

Tabela 14 — Componentes do circuito de potência utilizados na construção do protótipo.

(continua)

Componentes	Especificação
Indutor L ₁	Indutância: 2,4538 mH (medido)
	Número de espiras: 137
	Fio Litz: 1 x 32x32 AWG
	Modelo do núcleo: 88439A7 - Tipo AmoFlux
Indutor L ₂	Indutância: 2,1481mH (medido)
	Número de espiras: 125
	Fio Litz: 1 x 32x32 AWG
	Modelo do núcleo: 88439A7 - Tipo AmoFlux

Tabela 14 — Componentes do circuito de potência utilizados na construção do protótipo.

(conclusão)

Componentes	Especificação
Capacitor C_1	Poliéster 1 μ F / 400V
Capacitores C_2 ; C_{o1} e C_{o2}	C4AEGBW6100A3NJ (100 μ F/450V)
Interruptores S_1	MOSFET IPW65R019C7 (650V)
Diodos auxiliares D_{a1} e D_{a2}	MUR460 (4A/600V)
Diodos D_1 , D_2 e D_3	MUR460 (4A/600V)
Dissipador Calor	Alumínio (104mm X 25mm - 200mm de Comprimento)
Fusível de proteção	1 x 10A

Fonte: O autor (2023).

Os componentes e materiais utilizados na construção do protótipo são de valores comerciais, conforme disponibilidade no acervo do laboratório.

5.2.1 Circuito de comando e driver

O conjunto do módulo de acionamento do conversor é composto por um circuito de comando analógico através de um CI UC3525 utilizado para a geração do sinal PWM para pulso de comando do interruptor S_1 . O circuito complementar de acionamento conta com o auxílio do driver modelo SUPPLIER DRO100D25A juntamente com sua fonte auxiliar DS320-08A.

A fonte para driver conta com sinal de entrada fornecido por uma fonte externa de alimentação CC de +15V. Desta forma, com intuito de possibilitar desacoplar qualquer ruído que venha a surgir por intermédio desta fonte de alimentação, foi implementado junto a entrada da fonte para driver um circuito de filtro de entrada em paralelo composto por 2 capacitores C_3 e C_4 com os respectivos valores de 10 μ F/25V (eletrolítico) e 100nF/63V (poliéster).

Visando possíveis testes e ensaios futuros em malha fechada, decidiu-se prever junto o layout um divisor resistivo composto por dois resistores (R_3 e R_4) de 10K Ω , instalados em paralelo junto aos terminais de saída do barramento geral do conversor, possibilitando assim um ponto de referência para sinal.

5.3 Desafios de bancada

Os momentos iniciais da experimentação do protótipo em laboratório, foram dedicados a ensaios graduais para as condições nominais apenas de tensão

projetada, mantendo-se a potência reduzida em torno de 35,3% da potência nominal constante na tabela 7, possibilitando assim, preservar em um primeiro momento as questões térmicas relativas a corrente nominal nos componentes. Observou-se uma satisfatória evolução no comportamento do conversor para as condições de tensão de ensaio, onde o nível máximo alcançado foi de 222V na entrada e 400V nominais na saída com 100% da potência de teste processada, o que equivale a um ganho de 1,8.

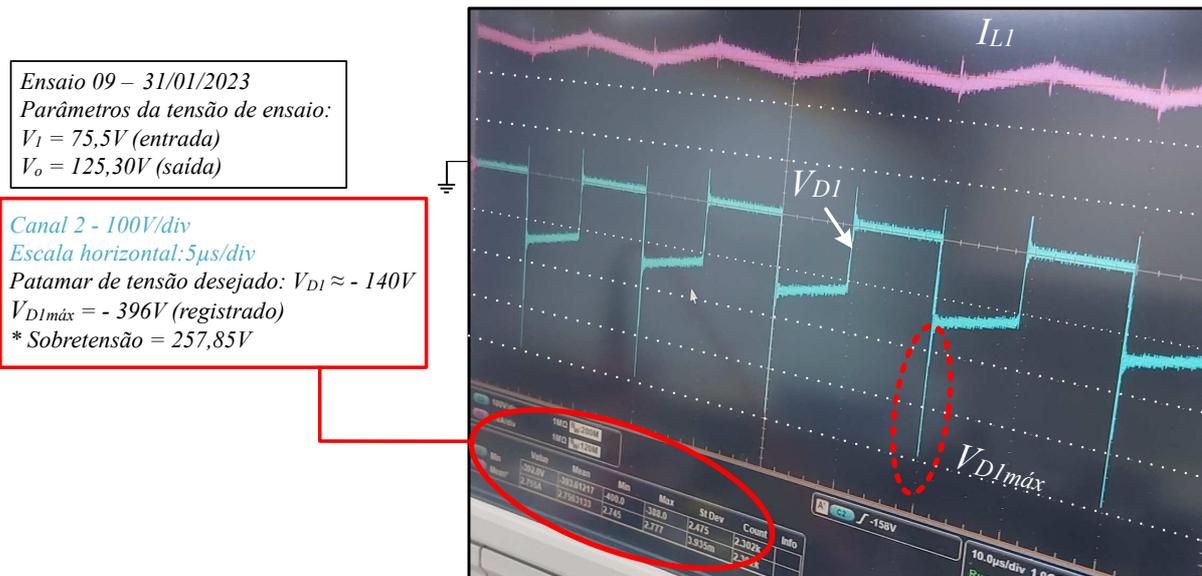
Dentre os monitoramentos realizados, foi decidido inicialmente monitorar a tensão junto ao interruptor S_1 , por se tratar de um ponto importante no circuito, juntamente com o monitoramento da corrente de entrada no indutor L_1 . Avaliou-se assim, o comportamento em termos de tensão e esforços no interruptor. Ao longo dos vários ensaios iniciais realizados, verificou-se para S_1 satisfatórios resultados no seu patamar médio de tensão, acompanhado da redução dos esforços de tensão; denotando assim, que estava ocorrendo a correta equalização e divisão dos níveis de tensão provocados pelo capacitor chaveado.

Entretanto, foram registradas também algumas oscilações indesejadas de tensão nos testes, bem como o registro na elevação da corrente, principalmente quando os níveis de tensão injetados na entrada do conversor ficavam acima dos 200V, ocasionando inclusive em um determinado momento a atuação da proteção de sobrecorrente da fonte.

Baseado nos relatos anteriores e demais discussões que foram levantadas, buscou-se interpretar e entender tal comportamento. Após a análise e realização de novos ensaios, foram encontrados pontos críticos relacionados a sobretensão no circuito, atribuídos a recuperação reversa nos diodos D_{a2} , D_1 e D_3 , pertencentes a segunda etapa de operação do conversor.

A Fig.72 a seguir, mostra como exemplo ilustrativo, o registro relativo a tensão máxima sobre um dos diodos comentados anteriormente.

Figura 72 — Sobretensão causada pela recuperação reversa no diodo D_1 .



Fonte: O autor (2023).

Na ilustração acima, foi apresentada a sobretensão no diodo D_1 , porém vale ressaltar que neste estágio dos ensaios, algumas correções já haviam sido realizadas no conversor com intuito de atenuar a propagação do sinal ressonante em alta frequência provinda da recuperação reversa dos diodos, que provocava picos elevados de sobretensão, que culminou inclusive na queima dos diodos D_3 e D_1 . Para tentar minimizar os problemas e dar continuidade aos ensaios, foram projetados e inseridos circuitos do tipo snubber RC em paralelo com cada diodo da segunda etapa.

Como resultado, obteve-se uma relativa melhoria em torno de 30V a 60V de redução da sobretensão, como também na atenuação da frequência ressonante, porém os resultados não foram totalmente satisfatórios. Outro reparo com melhoria trazida posteriormente ao conversor, foi a substituição do diodo D_1 MUR460 por um diodo SIC modelo C3D10060A (10A/600V) em decorrência também da elevação constante de temperatura registrada em alguns momentos neste diodo (questões térmicas), principalmente quando o nível de processamento da potência no conversor tornava-se mais elevada e próxima da nominal. observa-se que o diodo D_1 possui o maior nível em relação aos esforços de tensão $(V_1 + V_o/2)$, quando comparado com os demais, logo foi considerado um elemento crítico que precidia maior atenção nos testes.

Verificou-se também a necessidade do uso de ventilação forçada durante os ensaios, para o controle do desempenho térmico dos componentes do circuito.

5.3.1 Alteração dos parâmetros de ensaio experimental

Após os desafios iniciais nos ensaios de bancada, verificou-se que não seria possível processar a potência nominal inicialmente projetada para o conversor em decorrência dos problemas de sobretensão nos diodos da segunda etapa.

Mesmo assim, os ensaios realizados na fase inicial de experimentação, constataram que o conversor pode alcançar valores de tensão nominal adequadamente; porém, ainda era necessário avaliar o comportamento do mesmo quanto as questões térmicas para os mesmos níveis de corrente nominal que haveriam na potência projetada.

Logo, com intuito em dar continuidade aos ensaios, sem a necessidade de alterações que pudessem comprometer a construção física e layout do protótipo; decidiu-se então trazer para este trabalho, resultados de ensaios que precedem a escolha de menores valores nos parâmetros das grandezas, porém mantendo os mesmos níveis de corrente projetados.

A tabela 15 a seguir, apresenta as novas especificações dos parâmetros de ensaio que foram adotados, afim de possibilitar comprovação conceitual do trabalho em termos experimentais.

Tabela 15 — Alteração dos parâmetros de ensaio.

Especificações	Valor
Tensão de entrada - (V_I)	120V
Tensão de saída - (V_O)	200V
Potência nominal - (P_O)	500W
Frequência de comutação - (f_S)	50kHz
Razão cíclica nominal de Projeto (D)	0,46
Resistência de carga nominal implementada (R_O)	80 Ω

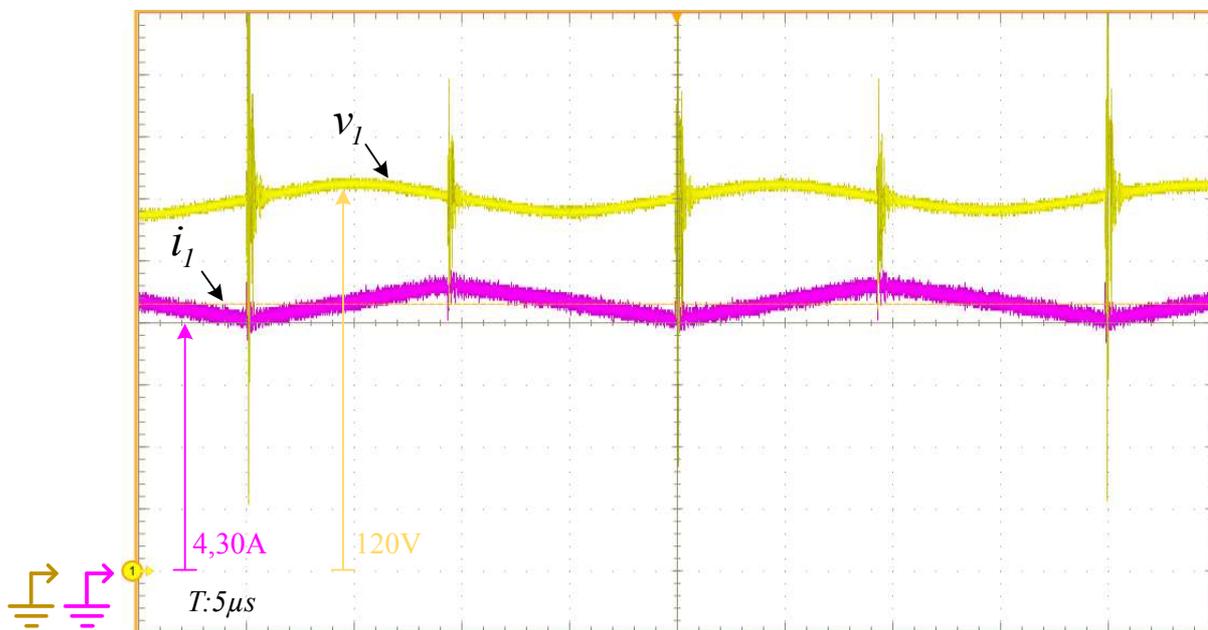
Fonte: O autor (2023).

5.3.2 Principais formas de onda dos resultados experimentais

Na presente seção, são apresentadas as principais formas de onda do conversor proposto trabalhando em malha aberta, considerando os novos parâmetros de ensaio e ponto de operação.

- Tensão e corrente de entrada V_1 e I_1 .

Figura 73 — Formas de onda: Tensão e corrente de entrada V_1 e I_1 – 20V/div e 1A/div respectivamente.



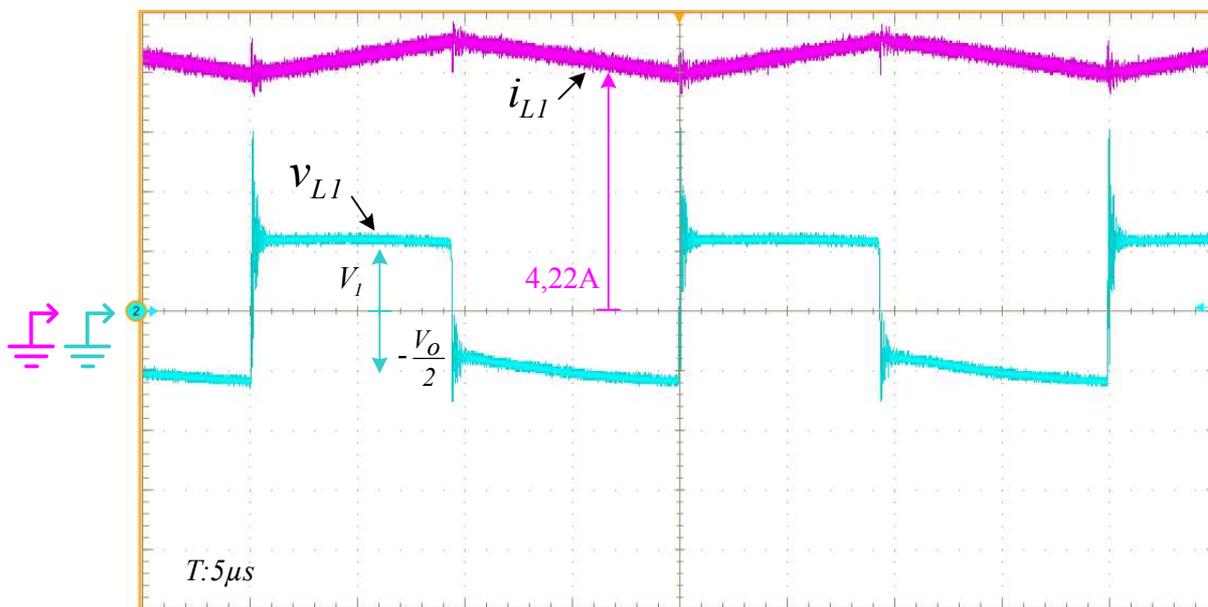
Fonte: O autor (2023).

A Fig.73 apresenta as formas de onda da tensão e corrente de entrada no conversor. O valor médio registrado na tensão de entrada foi de 120V de acordo com o valor injetado pela fonte de tensão durante o ensaio.

O valor médio da corrente de entrada foi de 4,30A e possui baixa ondulação. observa-se que o valor está 1,66% acima do valor teórico esperado para os parâmetros de ensaio escolhidos, o que denota o conversor processando algumas perdas. Tais perdas podem ser atribuídas por exemplo a indutâncias parasitas compostas por trilhas, conexões, componentes como por exemplo chave, diodos., bem como do próprio sistema de medição. Também é verificado a ocorrência de ruídos/interferências captadas pelas ponteiras do sistema de medição que são causadas pela alta frequência de comutação do conversor.

- Tensão e corrente no indutor L_1 .

Figura 74 — Formas de onda: Tensão no indutor V_{L1} e corrente no indutor I_{L1} – 100V/div e 1A/div respectivamente.



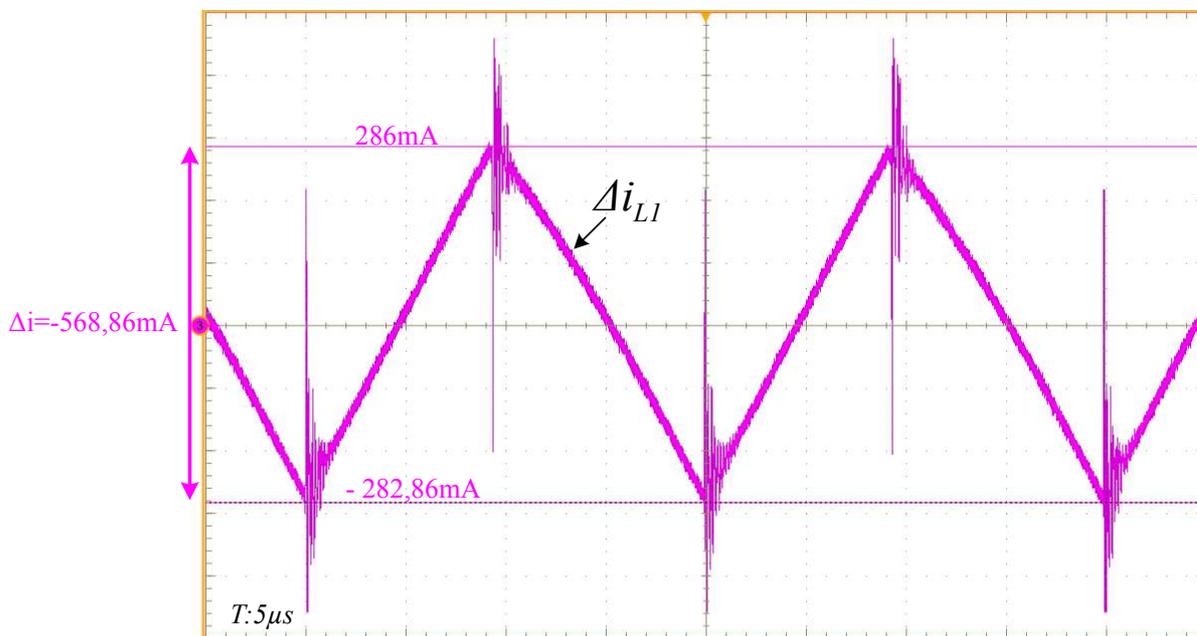
Fonte: O autor (2023).

Na forma de onda da Fig.74, o valor da tensão obtida para o indutor L_1 apresentou valor médio de 118,8V, valor igual ao patamar registrado da tensão de entrada da fonte V_1 , que corresponde ao comportamento esperado quando o interruptor S_1 é ligado durante o primeiro intervalo de operação. Durante o segundo intervalo de operação quando o interruptor S_1 é desligado, o valor médio da tensão que é aplicada no indutor L_1 possui valor negativo de -111,1V, ou seja, correspondente a metade da tensão de saída do conversor $-V_o/2$.

O valor médio de corrente registrada no indutor L_1 é igual a 4,22A, com valores em patamares positivos comprovando o modo de operação contínua do conversor. Verifica-se que os patamares médios das correntes da fonte de entrada I_1 e do indutor I_{L1} são basicamente iguais, conforme estudo teórico.

- Ondulação de corrente no indutor L_1 .

Figura 75 — Forma de onda: Ondulação de corrente no indutor L_1 - 100mA/div.



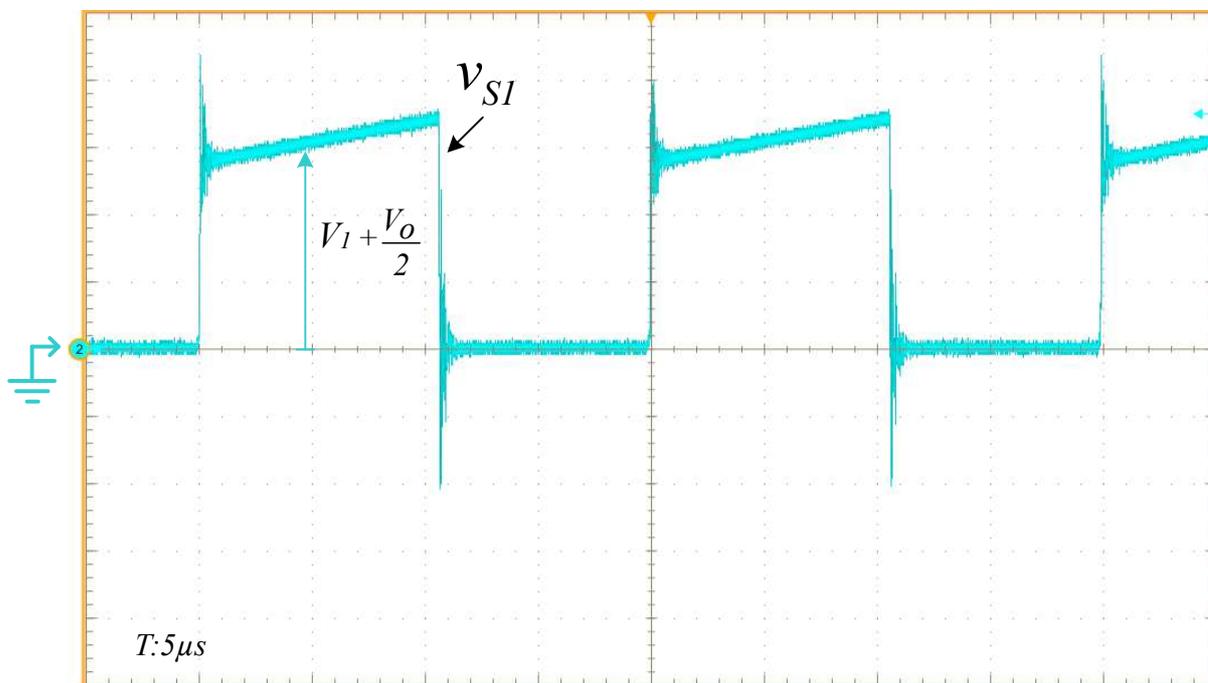
Fonte: O autor (2023).

Na Fig.75, é apresentado a forma de onda da ondulação de corrente no indutor L_1 . Para a melhor confiabilidade na medição da ondulação de corrente em L_1 , optou-se por retirar o valor médio dessa forma de onda, e com manuseio dos cursores horizontais obter os valores nos patamares de corrente junto ao gráfico. O valor registrado da ondulação da corrente Δi_{L1} no indutor foi de 568,86mA.

Observa-se para o valor de ondulação obtido, uma diferença de 31,7% a menos que o valor prevista nas considerações de projeto nominal. O motivo desta diferença pode ser entendida por intermédio da análise da expressão 88, visto que, a comparação dos resultados de ondulação de corrente Δi_{L1} remetem a consideração inicial das especificações de projeto, porém deve-se considerar a alteração da tensão de entrada para os novos parâmetros de ensaio que foram adotados.

- Tensão no interruptor S_1 .

Figura 76 — Forma de Onda: Tensão no interruptor S_1 - 70V/div.

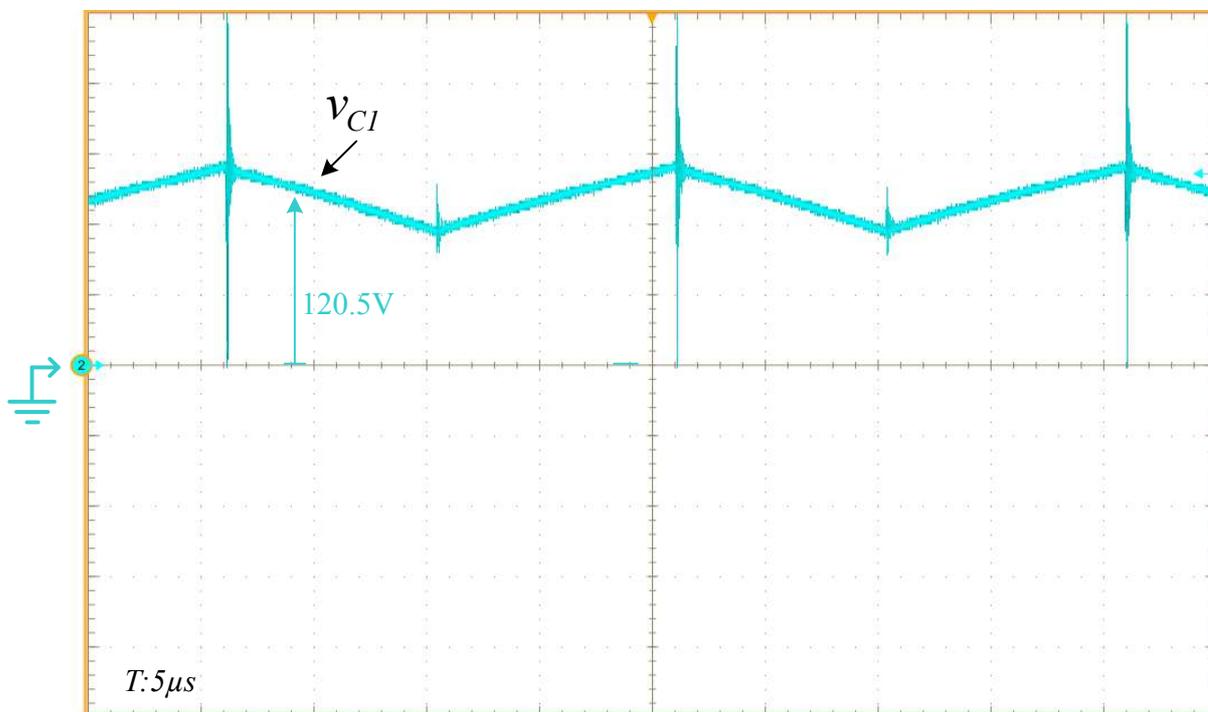


Fonte: O autor (2023).

Na Fig.76 o resultado do valor de tensão sobre o interruptor S_1 no momento em que o mesmo está bloqueado na segunda etapa de operação, serve para comprovar a equalização e divisão simétrica bem sucedida da tensão junto ao barramento de saída do conversor, provocada pela presença do capacitor chaveado; e demonstra que o esforço máximo de tensão em termos médios em S_1 é de 204,4V ou seja; $V_1 + V_o/2$, de acordo com o estudo teórico. Também foi realizado o registro do valor máximo de tensão de 305,2V em cima do interruptor S_1 , o que representa a presença de 102V de sobretensão.

- Tensão no capacitor C_1 .

Figura 77 — Forma de onda: Tensão no capacitor C_1 - 50V/div.



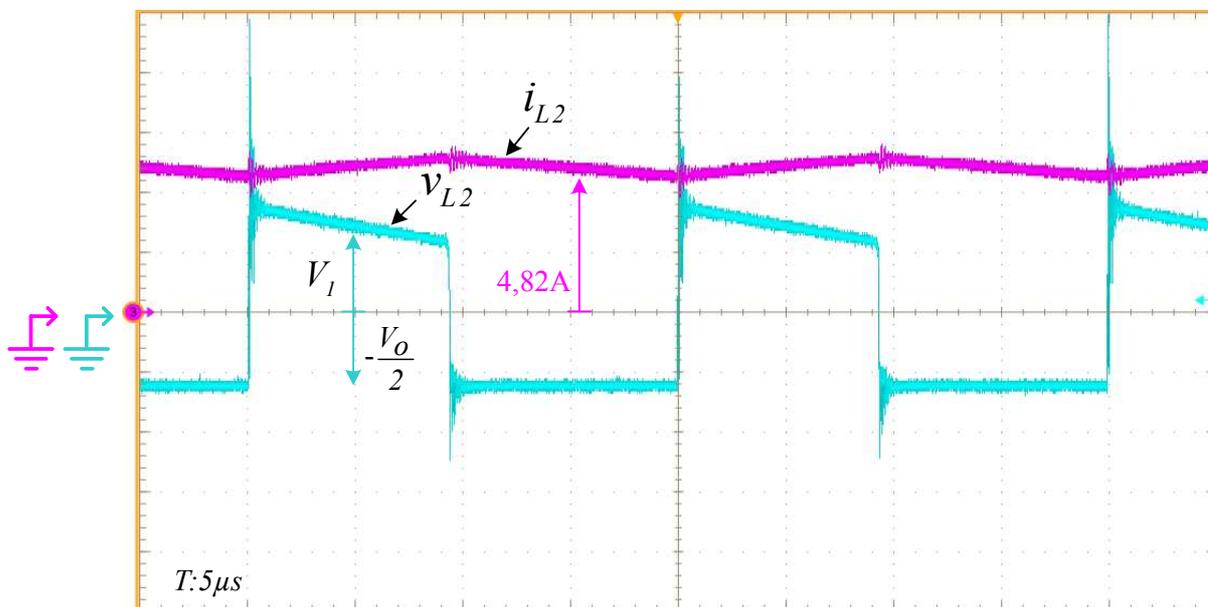
Fonte: O autor (2023).

Na Fig.77 é apresentada a forma de onda da tensão no capacitor C_1 . O valor médio de tensão registrada foi de 120,5V, desta forma, verifica-se que o valor médio da tensão no capacitor C_1 é igual ao valor médio da tensão da fonte V_1 , ou seja $V_{C1}=V_1$, comprovando que este capacitor mantém preservado as mesmas características existentes no conversor SEPIC convencional.

Observa-se, que não houve a necessidade da aquisição da forma de onda da ondulação da tensão no capacitor C_1 , visto que este parâmetro não é crítico. Porém a análise visual junto a escala de tensão do gráfico, possibilita verificar que o provável valor desta ondulação esta próximo aos 40V.

- Tensão e corrente no indutor L_2 .

Figura 78 — Formas de onda: Tensão no indutor V_{L2} e corrente no indutor i_{L2} – 80V/div e 2A/div respectivamente.



Fonte: O autor (2023).

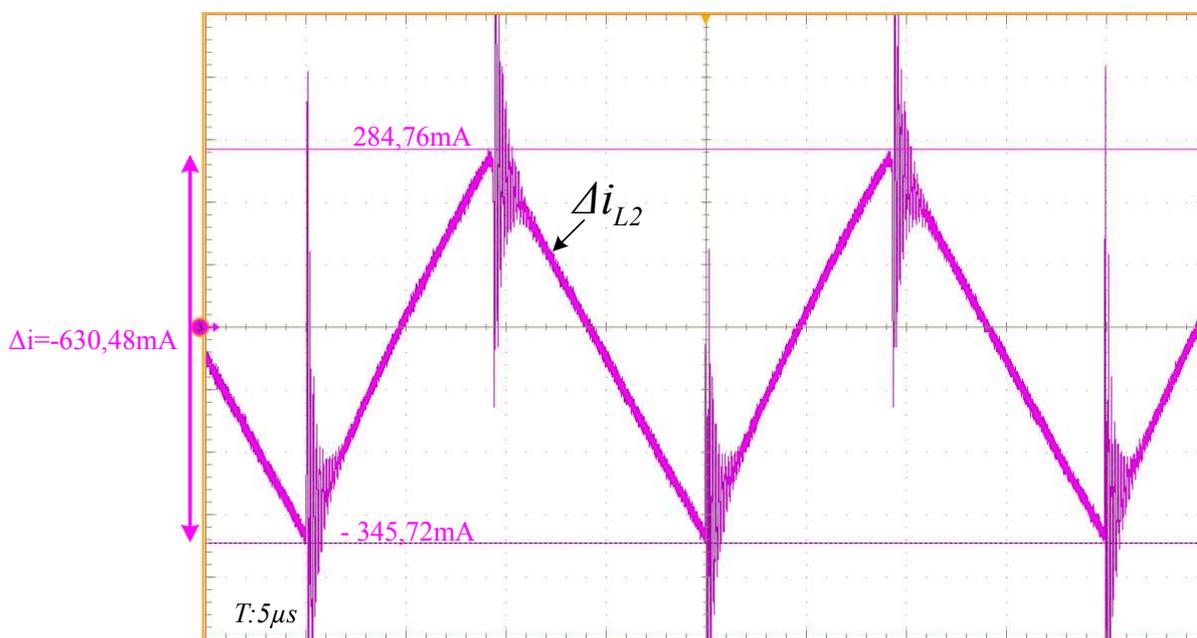
De forma recíproca a Fig.74, a análise da Fig.78, traz resultados relacionados a tensão média no indutor L_2 . O valor registrado foi 123,2V, valor igual ao patamar registrado da tensão de entrada da fonte V_1 , que corresponde ao comportamento esperado quando o interruptor S_1 é ligado durante o primeiro intervalo de operação. Durante o segundo intervalo de operação quando o interruptor S_1 é desligado, o valor médio da tensão que é aplicada no indutor L_2 possui valor negativo de -100,8V, ou seja, correspondente a metade da tensão de saída do conversor - $V_0/2$.

O valor médio de corrente registrada no indutor L_2 é igual a 4,82A, que corresponde a duas vezes o valor médio da corrente de saída do conversor, ou seja $2 \cdot I_0$. A corrente no indutor L_2 também possui valores em patamares positivos comprovando o modo de operação contínua do conversor.

Observa-se que as formas de onda das correntes em i_{L1} e i_{L2} da Fig.74 e 78 durante os intervalos de funcionamento do conversor são semelhantes, porém as amplitudes dessas correntes dependem dos parâmetros do circuito, portanto elas não são iguais.

- Ondulação de corrente no indutor L_2 .

Figura 79 — Forma de onda: Ondulação de corrente no indutor L_2 - 100mA/div.



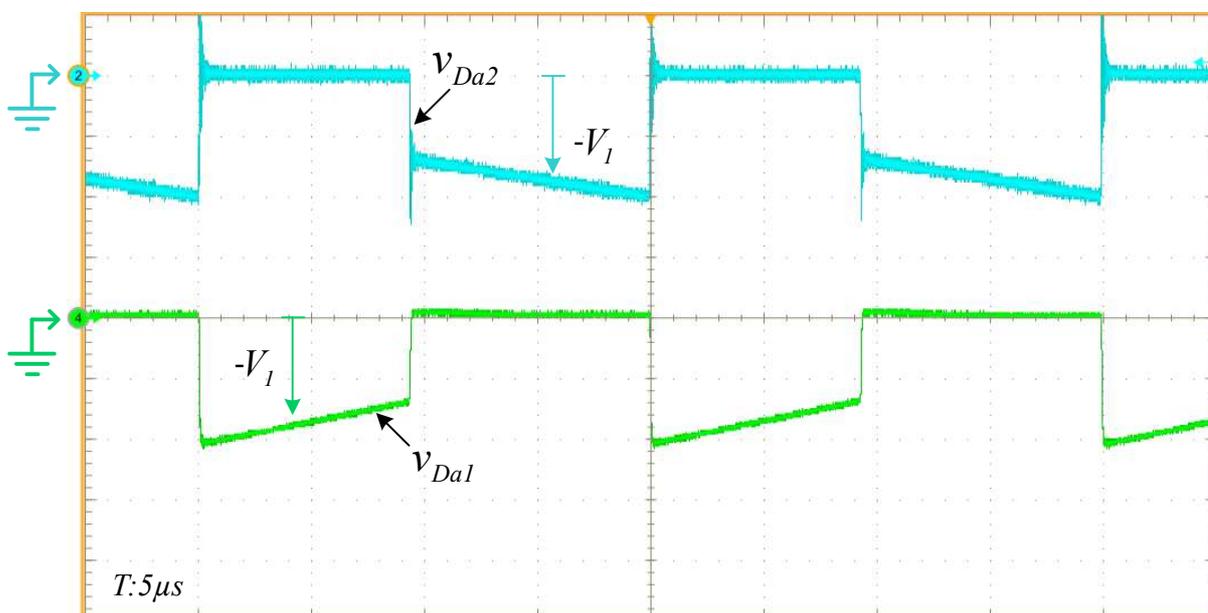
Fonte: O autor (2023).

Para a análise da ondulação de corrente no indutor L_2 mostrada na Fig.79, foram utilizadas as mesmas técnicas de aquisição descritas para a análise da Fig.75. Assim, o valor registrado da ondulação da corrente Δi_{L2} no indutor foi de 630,48mA.

Da mesma forma, observa-se para o valor de ondulação obtido no indutor L_2 uma diferença de 36,69% a menos que o valor prevista no projeto. nas considerações de projeto nominal. O motivo desta diferença pode ser entendido por intermédio da análise da expressão 89, visto que, a comparação dos resultados de ondulação de corrente Δi_{L2} remetem a consideração inicial das especificações de projeto, porém deve-se considerar a alteração da tensão de entrada para os novos parâmetros de ensaio que foram adotados.

- Tensão nos diodos auxiliares D_{a1} e D_{a2} .

Figura 80 — Formas de onda: Tensão nos diodos auxiliares D_{a1} e D_{a2} – 70V/div (ambos).



Fonte: O autor (2023).

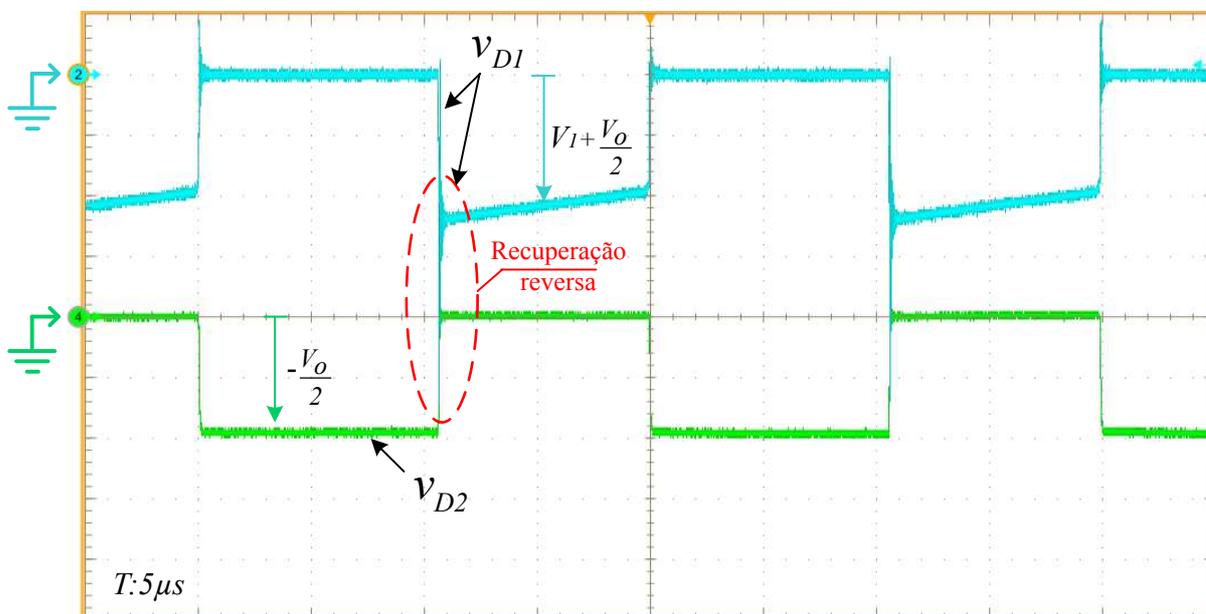
A Fig. 80 apresenta os resultados da aquisição experimental das formas de onda nos diodos auxiliares D_{a1} e D_{a2} . Durante a primeira etapa de operação o diodo auxiliar D_{a2} não conduz ficando bloqueado, logo a tensão cresce em seus terminais. Assim, o patamar médio da tensão em D_{a2} foi de -134,4V e sua máxima tensão reversa registrada foi de 172,8V.

Verifica-se nesta aquisição, que sua tensão reversa diminui em comparação ao que foi registrado nos ensaios iniciais da experimentação, em virtude da instalação do filtro snubber RC em paralelo, que promoveu a atenuação das oscilações de alta frequência (causada pelas indutâncias e capacitâncias parasitas presentes no circuito) e que ocasionavam sobretensão neste componente. observa-se que o diodo D_{a2} não é considerado o mais crítico, visto que o mesmo comuta pouca corrente no circuito.

Durante a segunda etapa de operação é o diodo auxiliar D_{a1} que não conduz ficando desta forma bloqueado, logo a tensão cresce em seus terminais. O patamar médio da tensão em D_{a1} foi de 131V e sua máxima tensão reversa registrada foi de 150V. A análise teórica da tensão nos diodos auxiliares mostra que o valor máximo de tensão no qual os diodos auxiliares ficam submetidos, em termos práticos deverá ser aproximadamente o mesmo valor da tensão do capacitor C_1 que por sua vez possui o mesmo valor da fonte de tensão.

- Tensão nos diodos D_1 e D_2 .

Figura 81 — Formas de onda: Tensão nos diodos D_1 e D_2 – 100V/div e 50V/div respectivamente.



Fonte: O autor (2023).

A Fig. 81 apresenta os resultados da aquisição experimental das formas de onda nos diodos D_1 e D_2 .

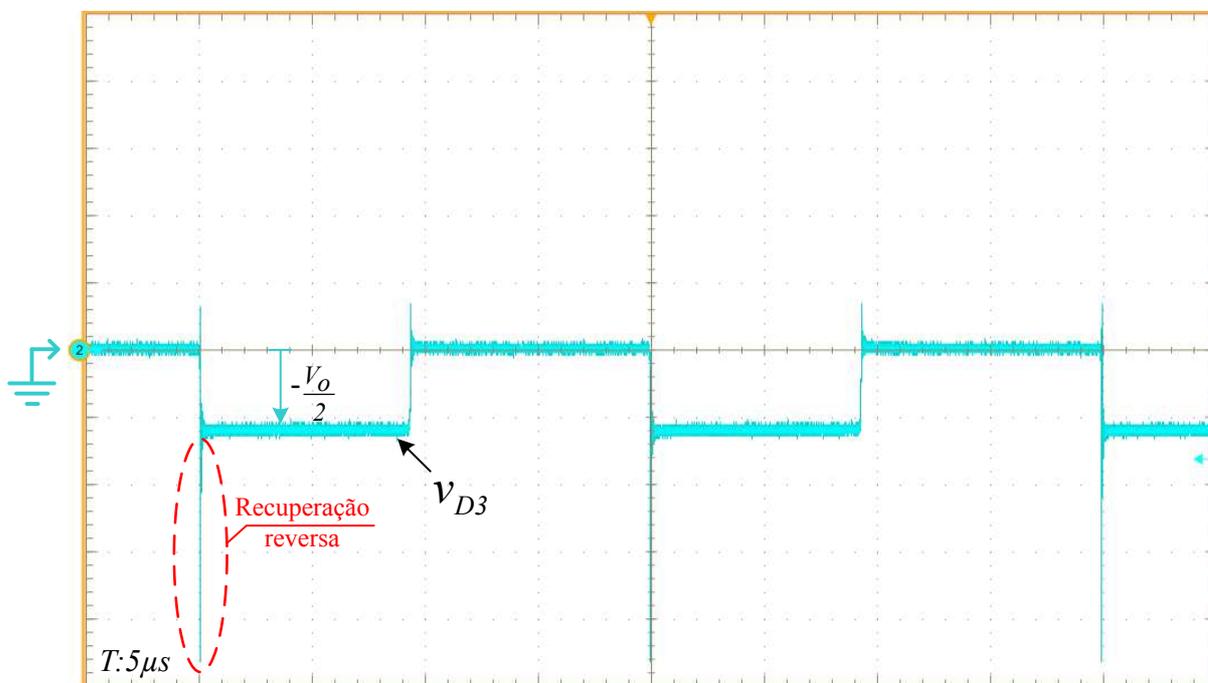
Durante a primeira etapa de operação o diodo D_1 não conduz ficando bloqueado, logo a tensão cresce em seus terminais. O patamar médio de tensão medido para D_1 foi de 228V (ou seja, $V_1 + V_O/2$) e sua máxima tensão reversa registrada foi de 544V.

Conforme relatado nos desafios de bancada da seção 5.3, o diodo D_1 possui o maior nível de tensão, logo, também o mais crítico em termos de sobretensão, conforme é mostrado na aquisição da sua forma de onda. Conforme comentada anteriormente, este componente foi substituído por um diodo SIC, e também possui filtro snubber RC em paralelo. Porém, estas otimizações não acarretaram reduções significativas na sua sobretensão, motivando a mudança dos parâmetros dos ensaios previstos, já que as condições nominais o qual o conversor havia sido projetado não poderiam mais ser alcançadas.

Durante a segunda etapa de operação o diodo D_2 que não conduz ficando desta forma bloqueado, logo a tensão cresce em seus terminais. O patamar médio de tensão medido para D_2 foi de -97V (ou, seja $V_O/2$) e sua máxima tensão reversa registrada foi de -102V.

- Tensão no diodo D_3 .

Figura 82 — Formas de onda: Tensão no diodo D_3 – 80V/div.



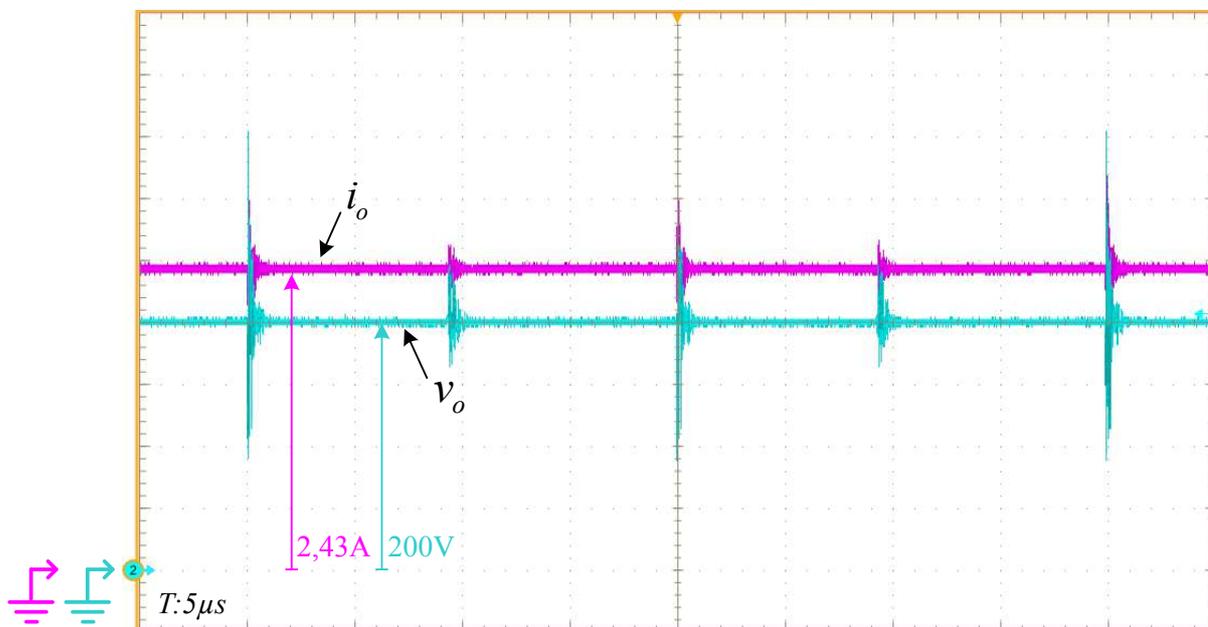
Fonte: O autor (2023).

A Fig. 82 apresenta os resultados da aquisição experimental da forma de onda no diodo D_3 .

O patamar médio de tensão medido para D_3 foi de -100V (ou seja, $V_0/2$) e sua máxima tensão reversa registrada foi de $-371,2\text{V}$. Este componente também possui nível elevado de sobretensão, e assim como os demais diodos críticos possui filtro snubber RC em paralelo na tentativa de atenuar os problemas já comentados.

- Tensão e corrente de saída V_o e I_o .

Figura 83 — Formas de onda: Tensão e corrente de entrada V_o e I_o – 50V/div e 500mA/div respectivamente.



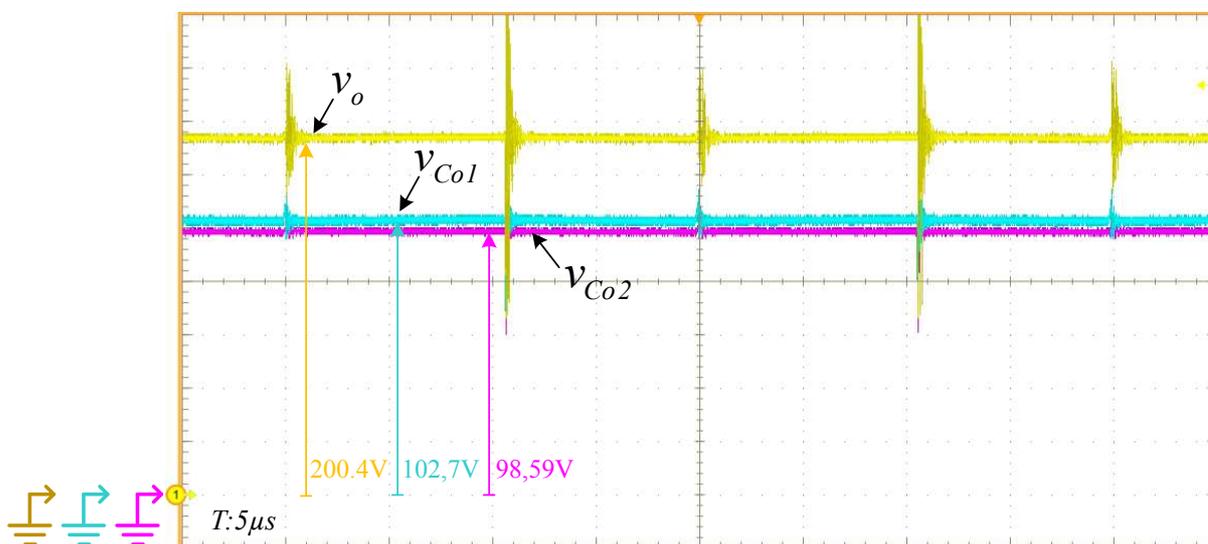
Fonte: O autor (2023).

A Fig. 83 apresenta os resultados da aquisição experimental das formas de onda da tensão e corrente de saída.

Os valores médio da tensão registrada no barramento geral de saída do conversor proposto foi de 200V e o valor médio da corrente de carga na saída do foi de 2,43A com baixa ondulação. Desta forma, o conversor esta processando em torno de 486W de potência nominal para o novo parâmetro de ensaio.

- Balanço de tensão nos capacitores C_{o1} e C_{o2} e tensão de saída V_o .

Figura 84 — Formas de onda: tensão sobre os capacitores C_{o1} , C_{o2} (ambos 20V/div) e tensão de saída V_o (30V/div).



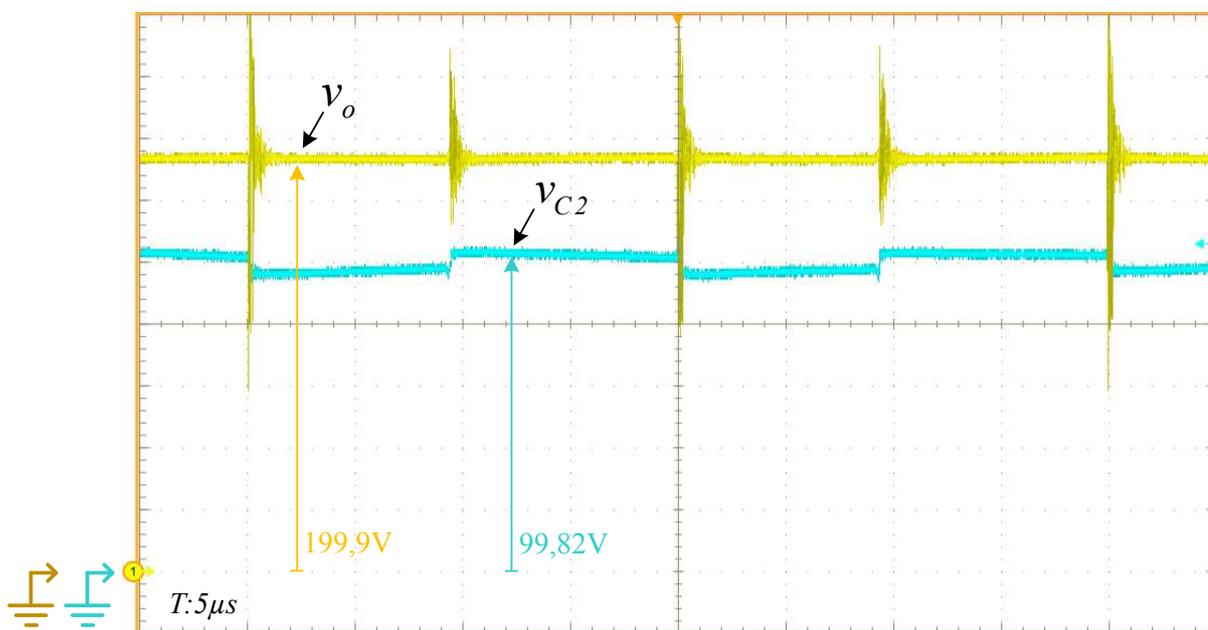
Fonte: O autor (2023).

Na Fig.84 o valor da forma de onda da tensão de saída na aquisição realizada foi de 200,4V, que é o resultado formado pelo circuito multiplicador composto pelo somatório do balanço da tensões equalizadas de $V_{C_{o1}}$ e $V_{C_{o2}}$, com valores de 102,7V e 98,59V respectivamente, sendo estes grampeados por igual tensão ($V_o/2$) do capacitor chaveado C_2 .

Observa-se assim, a desejada simetria para os níveis de tensão entregues pelos capacitores de saída junto ao barramento geral, o que permite validar o estudo da célula passiva a capacitor chaveado modificada integrada ao conversor.

- Tensão no capacitor chaveado C_2 e tensão de saída V_o .

Figura 85 — Formas de onda: tensão sobre capacitor chaveado C_2 (20V/div) e tensão de saída V_o (30V/div).



Fonte: O autor (2023).

A Fig.85 apresenta as formas de onda da tensão de saída V_o e da tensão sobre o capacitor chaveado da célula V_{C2} . O respectivos valores médios de tensão registrados foram 199,9V e 99,28V. Os valores registrados também servem de complemento a análise da Fig.84, e comprovam a equalização e divisão bem sucedida da tensão junto ao barramento de saída do conversor, provocada pela presença do capacitor chaveado.

5.3.3 Rendimento do conversor

A medição do rendimento foi realizada com auxílio do equipamento wattímetro modelo YOKOGAWA WT3000, apresentado junto a Fig.86.

Para a obtenção desta medição foi considerando os novos parâmetros especificados na tabela 15, a fim de obter um registro do níveis processados de potência e desempenho do conversor com vinculo aos resultados experimentais presentes neste capítulo.

Figura 86 — Rendimento do conversor para os novos parâmetros da tabela 15.



Fonte: O autor (2023).

Na figura acima é apresentado o registro de todas as grandezas relacionadas aos testes realizados no conversor. O rendimento obtido foi de 92,36%.

Observa-se que este rendimento foi alcançado pelo conversor sem a necessidade de otimizações junto ao seu protótipo.

6 CONCLUSÃO

No transcorrer do presente trabalho, foi apresentado a concepção de um novo conversor CC-CC unidirecional do tipo híbrido SEPIC com saídas simétricas integrado a uma célula passiva a capacitor chaveado modificada, concebido para operar em modo de condução contínua MCC, em malha aberta. As referências bibliográficas expostas no trabalho serviram para nortear e formar vínculos com metodologias existentes na mesma linha de pesquisa, conforme visto na seção 2.1.7 e discutido durante a seção 3.1; possibilitando compatibilizar características semelhantes que trouxeram importante colaboração na proposta desta dissertação.

Ao concentrar os atributos necessários que foram discutidos ao longo do trabalho em uma única topologia, permitiu ao novo conversor, adquirir importantes características que possibilitam o fornecimento da tensão de saída em níveis equilibrados, de forma simétrica, além de garantir os reduzidos esforços de tensão de forma significativa para todos os componentes semicondutores ativos e passivos. Isso traz vantagens quanto a escolha dos componentes que irão integrar a estrutura, visto estarem submetidos a reduzidos esforços de tensão.

Do ponto de vista operacional, o conversor foi projetado para trabalhar com níveis de tensão de saída mais elevados em relação a entrada, sem que os semicondutores sejam submetidos a excessivos esforços de tensão e com a possibilidade de melhoria da taxa de conversão, propondo o dobro do ganho da estrutura SEPIC convencional, sem a necessidade de ciclos de trabalho extremos.

Ressalta-se o benefício do uso da técnica do capacitor chaveado, onde o balanço e equalização natural dos diversas níveis da tensão no barramento de saída junto a carga, bem como no(s) ponto(s) médio(s) do barramento, são garantidos sempre de forma equilibrada e simétrica. Com isso, somente a tensão total na saída do conversor possui a necessidade de ser controlada, não sendo preciso o controle das tensões parciais, visto que estas já são naturalmente equilibradas.

Relacionado a fase experimental do trabalho, os desafios encontrados também trouxeram uma outra concepção e maneiras articuladas que possibilitaram conhecer de forma mais engajada o protótipo construído. Foi possível no decorrer dos ensaios iniciais, chegar em alguns momentos a níveis de tensão nominais de projeto sem a necessidade de otimizações no conversor, porém estes testes iniciais foram com potência nominal reduzida; isso significa dizer, que em termos de tensão nominal o conversor estava funcional, entretanto ainda era preciso testar a parte térmica para ver como o mesmo iria reagir a potência nominal de projeto. Porém, conforme comentado e explicado ao longo do capítulo 5, em decorrência do limiar elevado de sobretensão no diodos, acabou por limitar a continuidade dos testes em bancada. Logo, a questão limitante identificada na experimentação não era a

potência de projeto, mas sim a sobretensão.

A solução encontrada e discutida em bancada, foi reduzir os parâmetros de tensão de entrada e saída no conversor a fim de obter carga nominal em termos de corrente e retomar novamente os ensaios, ou seja, 120V de tensão de entrada, 200V em tensão de saída, frequência de chaveamento de 50kHz e potência nominal de 500W. Desta forma, o conversor iria trabalhar com as mesmas condições nominais de corrente previstas em projeto, mas por outro lado, não estaríamos com condições nominais de tensão e potência projetados. Estas mudanças nos parâmetros por ora, possibilitaram as aquisições sem a necessidade de alterar o protótipo.

Logo, teríamos um protótipo funcional para as novas especificações, não sendo este, funcional no presente momento para as especificações nominais previstas no projeto. Assim, foi realizado novos ensaios experimentais e avaliado o protótipo termicamente.

Estes testes, possibilitaram provar que conceitualmente o conversor estava funcionando de acordo com os estudos realizados, possibilitando a prova dos conceitos teóricos de maneira experimental junto a bandada de testes, como também, possibilitou as aquisições necessárias das formas de onda mostradas em seção dedica.

Dado a necessidade no avanço do estudo para atividades futuras que tragam melhorias ao projeto, como por exemplo modificações no layout, substituição de componentes, estudo dedicado as perdas, bem como a análise do comportamento dinâmico de operação e a realização do projeto do sistema de controle e outras otimizações que se façam necessárias; conclui-se para esta fase do projeto que foram atingidos os principais objetivos do trabalho atendendo a pesquisa idealizada, com satisfatórios resultados obtidos nos testes experimentais, que comprovam a contextualização proposta até o presente momento, trazendo de alguma maneira contribuições e melhorias que possibilitam que este tipo de tecnologia seja utilizada de maneira mais abrangente para um número maior de aplicações.

REFERÊNCIAS

- 1 DRAGICEVIC, T. *et al.* DC microgrids–part I: A review of control strategies and stabilization techniques. **IEEE transactions on power electronics**, p. 1-1, 2015. Disponível em: <http://dx.doi.org/10.1109/tpel.2015.2478859>. Acesso em: 20 set. 2022.
- 2 DRAGICEVIC, T. *et al.* DC microgrids - part II: A review of power architectures, applications, and standardization issues. **IEEE transactions on power electronics**, v. 31, n. 5, p. 3528–3549, 2016. Disponível em: <http://dx.doi.org/10.1109/tpel.2015.2464277>. Acesso em: 09 jun. 2022.
- 3 RODRIGUEZ-DIAZ, E.; SAVAGHEBI, M.; VASQUEZ, J. C.; *et al.* An overview of low voltage DC distribution systems for residential applications. *In: 2015 IEEE 5th International Conference on Consumer Electronics - Berlin (ICCE-Berlin)*, Berlin, Germany, 2015, pp. 318-322, doi: 10.1109/ICCE-Berlin.2015.7391268. Acesso em: 09 jun. 2022.
- 4 ELSAYED, A. T.; MOHAMED, A. A.; MOHAMMED, O. A. DC microgrids and distribution systems: An overview. **Electric Power Systems Research**, v. 119, p. 407-417, fev. 2015. Disponível em: <https://doi.org/10.1016/j.epsr.2014.10.017>. Acesso em: 12 abr. 2022.
- 5 MEI, J.; GAO, Q.; CAI, X. Switched capacitor cascaded bidirectional DC-DC converter suitable for energy storage system. *In: 2021 IEEE 12th Energy Conversion Congress & Exposition - Asia (ECCE-Asia)*. [s.l.]: IEEE, 2021. Acesso em: 20 set. 2022.
- 6 HUANG, Y. *et al.* Reconfigurable bidirectional fully modular DC-DC converters using switched-capacitor modules. **IEEE Journal of Emerging and Selected Topics in Industrial Electronics**, p. 1, 2021. Disponível em: <https://doi.org/10.1109/jestie.2021.3099337>. Acesso em: 09 jun. 2022.
- 7 BRODAY, G. R.; LOPES, L. A. C. A novel 5-switch tapped-inductor multi-state bidirectional DC-DC converter. *In: 2018 IEEE International Conference on Industrial Technology (ICIT)*. [s.l.]: IEEE, 2018. Acesso em: 04 ago. 2022.
- 8 ALMEIDA, A. B.; FONT, C. H. I. DC-DC bidirectional 4-switch cuk converter with voltage-doubler concept for interfacing batteries in microgrids. *In: 2018 13th IEEE International Conference on Industry Applications (INDUSCON)*. [s.l.]: IEEE, 2018. Acesso em: 09 jun. 2022.
- 9 TIBOLA, G.; DUARTE, J. L. Isolated bidirectional DC-DC converter for interfacing local storage in two-phase DC grids. *In: 2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. [s.l.]: IEEE, 2017. Acesso em: 04 ago. 2022.

- 10 LENZ, E.; PAGANO, D. J.; SAITO, M. T.; *et al.* Nonlinear control of a bidirectional power converter for connecting batteries in DC microgrids. *In: 2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. [s.l.]: IEEE, 2017. Acesso em: 20 set. 2022.
- 11 BRODAY, G. R.; NASCIMENTO, C. B.; AGOSTINI, E.; *et al.* A Tri-state bidirectional buck-boost converter for a battery/Supercapacitor hybrid energy storage system in electric vehicle applications. *In: 2015 IEEE Vehicle Power and Propulsion Conference (VPPC)*. [s.l.]: IEEE, 2015. Acesso em: 04 ago. 2022.
- 12 SOMAN, D. E.; VIKRAM, K.; KRISHNA, R.; *et al.* Analysis of three-level buck-boost converter operation for improved renewable energy conversion and smart grid integration. *In: 2014 IEEE International Energy Conference (ENERGYCON)*. [s.l.]: IEEE, 2014. Acesso em: 04 ago. 2022.
- 13 PHAM, C.; KEREKES, T.; TEODORESCU, R. High efficient bidirectional battery converter for residential PV systems. *In: 2012 3rd IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. [s.l.]: IEEE, 2012. Acesso em: 20 set. 2022.
- 14 SOFLA, M. A.; WANG, L. Control of DC-DC bidirectional converters for interfacing batteries in microgrids. *In: 2011 IEEE/PES Power Systems Conference and Exposition*. [s.l.]: IEEE, 2011. Acesso em: 20 set. 2022.
- 15 CORTEZ, D. F. *et al.* DC-DC converter for dual-voltage automotive systems based on bidirectional hybrid switched-capacitor architectures. **IEEE transactions on industrial electronics (1982)**, v. 62, n. 5, p. 3296–3304, 2015. Disponível em: <http://dx.doi.org/10.1109/tie.2014.2350454>. Acesso em: 20 set. 2022.
- 16 SOMAN, D. E.; LEIJON, M. Cross-regulation assessment of DIDO buck-boost converter for renewable energy application. **Energies**, v. 10, n. 7, p. 846, 2017. Disponível em: <http://dx.doi.org/10.3390/en10070846>. Acesso em: 20 set. 2022.
- 17 VECCHIA, M. D.; SALVADOR, M. A.; LAZZARIN, T. B. Hybrid nonisolated DC-DC converters derived from a passive switched-capacitor cell. **IEEE transactions on power electronics**, v. 33, n. 4, p. 3157–3168, 2018. Disponível em: <http://dx.doi.org/10.1109/tpel.2017.2703912>. Acesso em: 20 set. 2022.
- 18 VECCHIA, M. D. *et al.* Proposal, analysis and experimental verification of nonisolated DC-DC converters conceived from an active switched-capacitor commutation cell. **Eletrônica de Potência**, v. 24, n. 4, p. 403-412, 30 dez. 2019. Disponível em: <https://doi.org/10.18618/rep.2019.4.0031>. Acesso em: 20 set. 2022.
- 19 CORTEZ, D. F. *et al.* High static gain single-phase PFC based on a hybrid boost converter. **International journal of electronics**, v. 104, n. 5, p. 821–839, 2017. Disponível em: <http://dx.doi.org/10.1080/00207217.2016.1253782>. Acesso em: 20 set. 2022.

20 KREMES, W. J. *et al.* Single-phase hybrid discontinuous conduction mode SEPIC rectifiers integrated with ladder-type switched-capacitor cells. **IET power electronics**, v. 12, n. 11, p. 2832-2842, 2019. Disponível em: <http://dx.doi.org/10.1049/iet-pel.2019.0119>. Acesso em: 20 set. 2022.

21 SEBAJE, A. S.; MARTINS, M. L. S.; FONT, C. H. I. A hybrid bidirectional DC-DC converter based on a SEPIC/zeta converter with a modified switched capacitor cell. *In: 2021 Brazilian Power Electronics Conference (COBEP)*. [s.l.]: IEEE, 2021. Acesso em: 08 jun. 2022.

22 BARBI, I. **Conversores de energia a capacitor chaveado**. 2018. O primeiro webinar da SOBRAEP com o tema conversores de energia a capacitor chaveado. Disponível em: https://www.youtube.com/watch?v=1Jtw4QM-Mvw&ab_channel=SOBRAEP. Acesso em: 05 maio. 2022.

23 MAKOWSKI, M. S.; MAKSIMOVIC, D. Performance limits of switched-capacitor DC-DC converters. *In: Proceedings of PESC 95 - Power Electronics Specialist Conference*. [s.l.]: IEEE, 2002. Acesso em: 05 maio 2022.

24 IOINOVICI, A. Switched-capacitor power electronics circuits. **IEEE circuits and systems magazine**, v. 1, n. 3, p. 37–42, 2001. Disponível em: <http://dx.doi.org/10.1109/7384.963467>. Acesso em: 05 maio 2022.

25 SEEMAN, M. D.; SANDERS, S. R. Analysis and optimization of switched-capacitor DC-DC converters. **IEEE Transactions on Power Electronics**, v. 23, n. 2, p. 841-851, mar. 2008. Disponível em: <https://doi.org/10.1109/tpel.2007.915182>. Acesso em: 05 maio 2022.

26 MARTINS, G. B. **Estudo de conversores a capacitores chaveados**. 2013. 162 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2013. Disponível em: <https://repositorio.ufsc.br/handle/123456789/107074>. Acesso em: 05 maio 2022.

27 BARBI, I. **Conversores de energia a capacitor chaveado**. Florianópolis: Ed. do Autor, 2019. 498 p. CDU: 621.314.22. Disponível em: <https://ivobarbi.com.br/livro-conversores-a-capacitor-chaveado/>. Acesso em: 06 jun. 2022.

28 BEN-YAAKOV, S. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. **IEEE transactions on power electronics**, v. 27, n. 2, p. 632–636, 2012. Disponível em: <http://dx.doi.org/10.1109/tpel.2011.2171996>. Acesso em: 05 maio. 2022.

29 VECCHIA, M. D. **Conversores CC-CC não Isolados gerados pela integração entre células de capacitores chaveados e células convencionais de comutação**. 2016. 264 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2016. Disponível em: <https://repositorio.ufsc.br/handle/123456789/167760>. Acesso em: 04 maio 2022.

- 30 COSTA, P. J. S. **Retificadores SEPIC monofásicos e trifásicos com elevação do ganho estático e redução dos esforços de tensão sobre os semicondutores**. 2017. 288 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2017. Disponível em: <https://repositorio.ufsc.br/handle/123456789/183226>. Acesso em: 05 maio 2022.
- 31 ROSAS-CARO, J. C.; RAMIREZ, J. M.; GARCIA-VITE, P. M. Novel DC-DC multilevel boost converter. *In: 2008 IEEE Power Electronics Specialists Conference*. [s.l.]: IEEE, 2008. Acesso em: 09 maio. 2022.
- 32 ROSAS-CARO, J. C.; MAYO-MALDONADO, J. C.; VALDEZ-RESENDIZ, J. E.; *et al.* Multiplier SEPIC converter. *In: CONIELECOMP 2011, 21st International Conference on Electrical Communications and Computers*. [s.l.]: IEEE, 2011. Acesso em: 30 maio. 2022.
- 33 ROSAS-CARO, J. C. *et al.* A novel DC-DC multilevel SEPIC converter for PEMFC systems. **International journal of hydrogen energy**, v. 41, n. 48, p. 23401–23408, 2016. Disponível em: <http://dx.doi.org/10.1016/j.ijhydene.2016.06.042>. Acesso em: 30 maio. 2022.
- 34 ROTUNNO, R. E. **Implementação de um circuito de bomba de carga do tipo Dickson a capacitores chaveados em tecnologia CMOS 0,35µm**. 2018. 105 f. Monografia (Graduação) - Curso de Engenharia Eletrônica e de Computação da Escola Politécnica, Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2018. Disponível em: <https://monografias.poli.ufrj.br/monografias/monopoli10026191.pdf>. Acesso em: 13 maio 2022.
- 35 ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of power electronics**. 2. ed. New York: Springer, 2001. pp. 42-45. USA: Kluwer Academic/Plenum Publishers.
- 36 MARTINS, D. C.; BARBI, I. **Conversores CC-CC básicos não-isolados**. 2. ed. Florianópolis: Inep - Instituto de Eletrônica de Potência, 2006. cap. 5, p. 175-186.
- 37 ZHU, M.; LUO, F. L. Series SEPIC implementing voltage-lift technique for DC-DC power conversion. **IET power electronics**, v. 1, n. 1, p. 109, 2008. Disponível em: <http://dx.doi.org/10.1049/iet-pel:20060494>. Acesso em: 17 maio. 2022.
- 38 COSTA, P. J. S.; FONT, C. H. I.; LAZZARIN, T. B. Single-phase SEPIC rectifier with double voltage gain provided by a switched capacitor cell. *In: 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. [s.l.]: IEEE, 2015. Acesso em: 30 maio. 2022.
- 39 MAHDAVI, M.; FARZANEHFARD, H. Bridgeless SEPIC PFC rectifier with reduced components and conduction losses. **IEEE transactions on industrial electronics (1982)**, v. 58, n. 9, p. 4153–4160, 2011. Disponível em: <http://dx.doi.org/10.1109/tie.2010.2095393>. Acesso em: 30 maio. 2022.

- 40 ANDERSEN, R. L.; LAZZARIN, T. B.; BARBI, I. A 1-kW Step-Up/Step-Down Switched-Capacitor AC–AC Converter. **IEEE transactions on power electronics**, v. 28, n. 7, p. 3329–3340, 2013. Disponível em: <http://dx.doi.org/10.1109/tpel.2012.2222674>. Acesso em: 13 jul. 2022.
- 41 CORTEZ, D. F. **Família de retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado com elevado fator de potência**. 2015. 252 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina - Centro Tecnológico, Florianópolis, 2015. Disponível em: <https://repositorio.ufsc.br/handle/123456789/134944>. Acesso em: 13 jul. 2022.
- 42 MACCARINI, M. C. **Retificador monofásico com fator de potência unitário, de alto ganho, baseado em um conversor boost híbrido**. 2013. 144 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina - Centro Tecnológico, Florianópolis, 2013. Disponível em: <https://repositorio.ufsc.br/handle/123456789/106879>. Acesso em: 18 ago. 2022.
- 43 SOUZA, A. F.; TOFOLI, F. L.; RIBEIRO, E. R. Switched capacitor DC-DC converters: A survey on the main topologies, design characteristics, and applications. **Energies**, v. 14, n. 8, p. 2231, 2021. Disponível em: <http://dx.doi.org/10.3390/en14082231>. Acesso em: 09 dez. 2022.

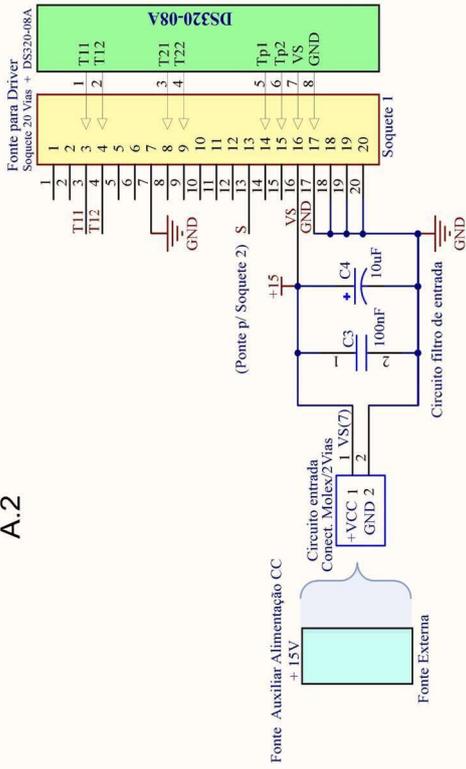
APÊNDICE A

(A.1) Esquemático do circuito de potência do conversor.

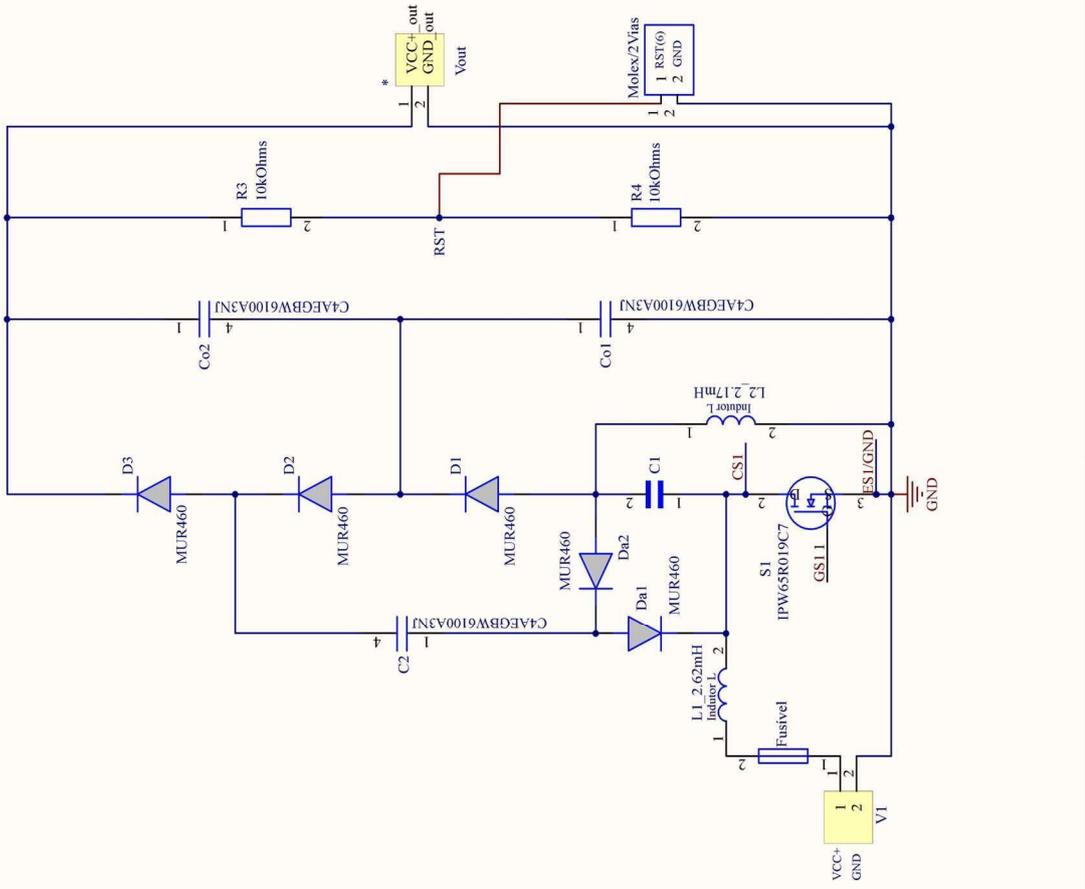
(A.2) Esquemático do circuito analógico e auxiliar de comando.

Circuito analógico e auxiliar de comando do MOSFET.

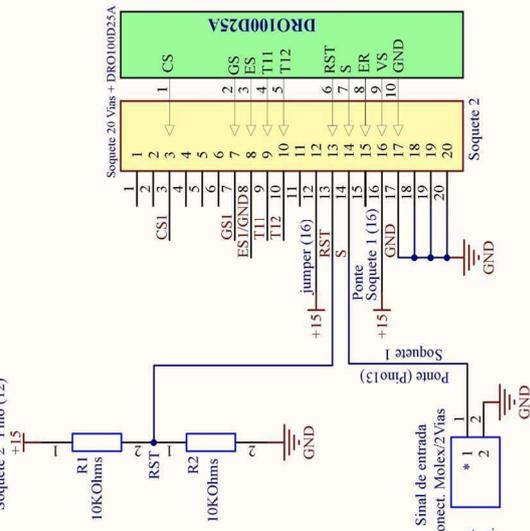
A.2



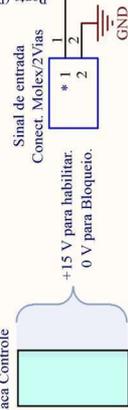
Esquemático do Circuito de Potência A.1



Circuito divisor de tensão Soquete 2 Pino (12)



Circuito Integrado UC35525 Placa Controle



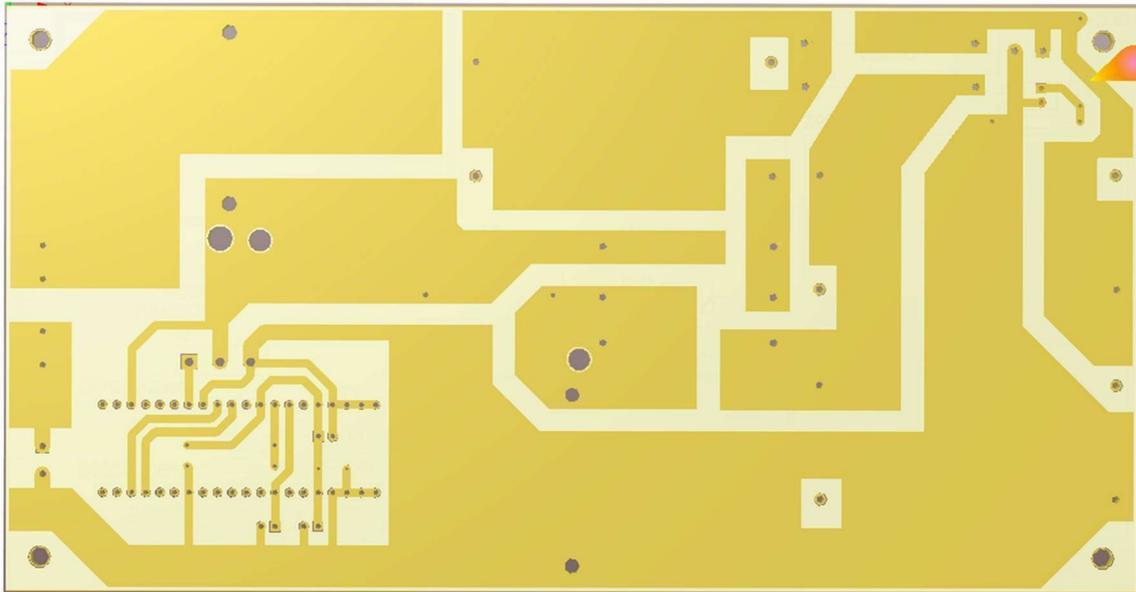
Fonte: O autor (2023).

APÊNDICE B

Layout (B.1) - Face Bottom da placa de potência do conversor.

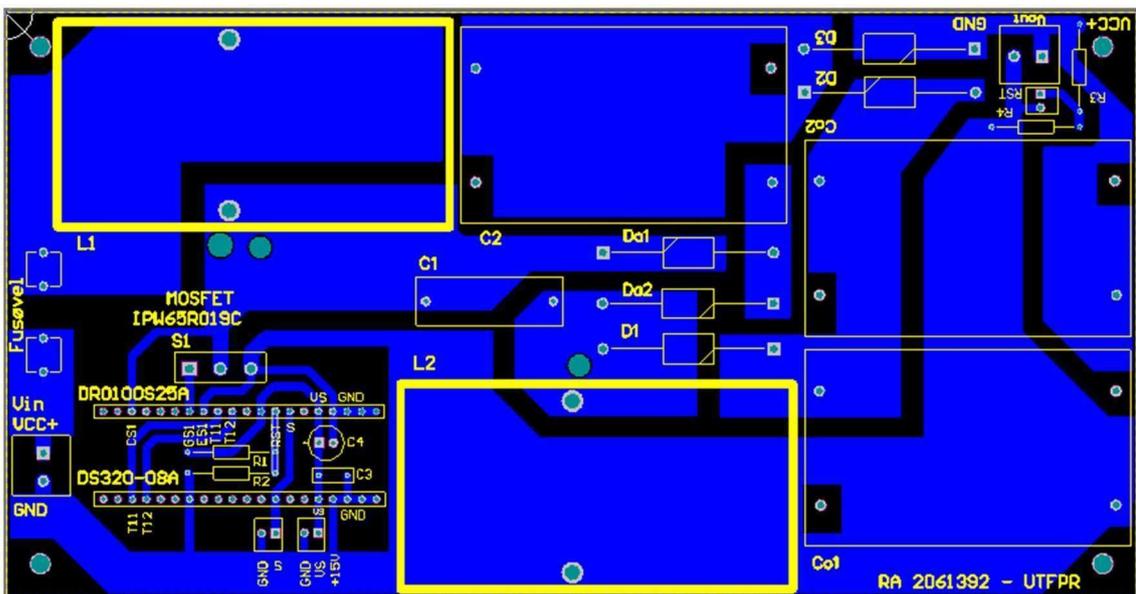
Layout (B.2) - Face Top e Bottom da placa de potência do conversor.

Figura 87 – Layout B.1: Face Bottom da placa de potência do conversor.



Fonte: O autor (2023).

Figura 88 – Layout B.2: Face Top e Bottom da placa de potência do conversor.



Fonte: O autor (2023).