

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA E  
INFORMÁTICA INDUSTRIAL

RAFAEL CHRISTIANO ANNUNZIATO

**PROJETO E IMPLEMENTAÇÃO DE MÉTODO PARA CONEXÃO  
PARALELA DE UPSs COM COMPARTILHAMENTO DE POTÊNCIA**

DISSERTAÇÃO

CURITIBA

2012

**RAFAEL CHRISTIANO ANNUNZIATO**

**PROJETO E IMPLEMENTAÇÃO DE MÉTODO PARA CONEXÃO  
PARALELA DE UPSs COM COMPARTILHAMENTO DE POTÊNCIA**

Dissertação apresentada ao Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do grau de “Mestre em Ciências” – Área de Concentração: Engenharia de Automação e Sistemas.

Orientador: Dr. Eng. Roger Gules

**CURITIBA**

**2012**

---

Dados Internacionais de Catalogação na Publicação

---

- A615 Annunziato, Rafael Christiano  
Projeto e implementação de método para conexão paralela de UPSs com compartilhamento de potência / Rafael Christiano Annunziato. – 2012.  
165 f. : il. ; 30 cm
- Orientador: Roger Gules.  
Dissertação (Mestrado) – Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial. Curitiba, 2012.  
Bibliografia: f. 162-165.
1. Programação paralela (Computação). 2. Sistemas de controle digital. 3. Processamento de sinais – Técnicas digitais. 4. Potência reativa (Engenharia elétrica). 5. Fonte de energia ininterrupta. 6. Simulação (computadores). 7. Engenharia elétrica – Dissertações. I. Gules, Roger, orient. II. Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial. III. Título.

CDD (22. ed.) 621.3

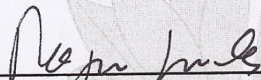
Título da Dissertação Nº. 607

## **“Projeto e Implementação de Método para Conexão Paralela de UPSs com Compartilhamento de Potências”**

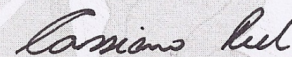
por

**Rafael Christiano Annunziato**

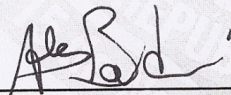
Esta dissertação foi apresentada como requisito parcial à obtenção do grau de MESTRE EM CIÊNCIAS – Área de Concentração: Engenharia de Automação e Sistemas, pelo Programa de Pós-Graduação em Engenharia Elétrica e Informática Industrial – CPGEI – da Universidade Tecnológica Federal do Paraná – UTFPR – Câmpus Curitiba, às 9h do dia 31 de agosto de 2012. O trabalho foi aprovado pela Banca Examinadora, composta pelos professores:



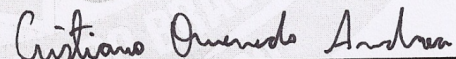
Prof. Roger Gules, Dr.  
(Presidente – UTFPR - CT)



Prof. Cassiano Rech, Dr.  
(UFSM)

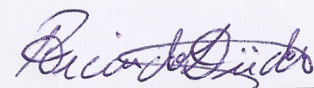


Prof. Alceu André Badin, Dr.  
(UTFPR - CT)



Prof. Cristiano Quevedo Andrea, Dr.  
(UTFPR - CT)

Visto da coordenação:



Prof. Ricardo Lüders, Dr.  
(Coordenador do CPGEI)

## **AGRADECIMENTOS**

Ao meu Amor, Amabile, por existir (e por corrigir o trabalho).

À minha mãe, Ruth, por fazer o que era preciso quando era preciso.

À NHS e ao senhor Cardoso pela demanda do objetivo.

Ao professor Roger Gules pela orientação.

Aos membros da banca examinadora, Cassiano Rech, Alceu Badin e Cristiano Quevedo pelas contribuições para a versão final do trabalho.

À UTFPR-CPGEI por proporcionar o programa de pós-graduação.

Ao colega Walter Meneguette por ter uma idéia que ajudou na origem do trabalho.

Se as coisas são inatingíveis, ora, não é motivo para não querê-las!  
Que tristes os caminhos, se não fosse a presença distante das estrelas!

Mário Quintana

## RESUMO

ANNUNZIATO, Rafael Christiano. PROJETO E IMPLEMENTAÇÃO DE MÉTODO PARA CONEXÃO PARALELA DE UPSs COM COMPARTILHAMENTO DE POTÊNCIA. 165 f. Dissertação – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2012.

Este trabalho apresenta o projeto e a implementação prática de um método completo para ser utilizado na conexão de UPSs monofásicos em paralelo. Existe um algoritmo que executa o *droop* de fase/frequência, e um novo método que trabalha com e sem comunicação de dados entre os inversores. Quando a comunicação está ativa, um novo algoritmo é utilizado, inserindo um resistência virtual variável, junto com o compartilhamento de potência ativa, obtendo um baixo valor de THD (*Total Harmonic Distortion*) na tensão de saída e bom compartilhamento de potência. Quando a comunicação de dados não funciona, uma resistência virtual constante é inserida, aumentando a THD de saída com carga não-linear, mas ainda proporcionando um bom compartilhamento de potência ativa. A vantagem é poder obter um bom desempenho quando a comunicação de dados está operando, mas, no caso de sua falha, o sistema ainda funciona, proporcionando maior confiabilidade. A implementação possui um algoritmo de emulação de carga eletrônica, com o propósito de executar testes de produção, baseado no mesmo algoritmo de paralelismo, apenas mudando algumas variáveis.

**Palavras-chave:** Paralelismo, DSP, Controle Digital, Potência Reativa

## ABSTRACT

ANNUNZIATO, Rafael Christiano. PROJECT AND IMPLEMENTATION OF A METHOD FOR UPSs PARALLEL CONNECTION WITH POWER SHARING. 165 f. Dissertação – Programa de Pós-graduação em Engenharia Elétrica e Informática Industrial, Universidade Tecnológica Federal do Paraná. Curitiba, 2012.

This work presents the design and experimental implementation of a complete paralleling method to be used for parallel single-phase UPSs connection. There is a algorithm that performs a phase/frequency droop, and a new method to work with or without data communication among the inverters. When communication is working, a new algorithm is used, inserting a variable virtual resistance in the output, along with active power sharing, obtaining a low output voltage THD (*Total Harmonic Distortion*) value and good power sharing. Without communication a constant virtual resistance is inserted, increasing the output THD with non-linear load, but still allowing a good active power sharing. The advantage is to obtain a good performance operation with communication, but, in case of communication failure, the system still works providing more reliability. The implementation have a electronic load emulation algorithm, with purpose to execute factory tests, based in the same parallelism algorithm, just changing some variables.

**Keywords:** Paralelism, DSP, Digital Control, Reactive Power



## LISTA DE FIGURAS

FIGURA 1	– Módulo de potência do UPS	22
FIGURA 2	– Diagrama do UPS <i>online</i>	25
FIGURA 3	– Diagrama do UPS <i>offline</i>	26
FIGURA 4	– Diagrama do UPS <i>line interactive</i>	27
FIGURA 5	– Vetores do controlador repetitivo	28
FIGURA 6	– Diagrama do controlador repetitivo	29
FIGURA 7	– Mapa de pólos do controlador repetitivo	30
FIGURA 8	– Configuração $N$	32
FIGURA 9	– Configuração Isolada	33
FIGURA 10	– Configuração $(N+1)$	34
FIGURA 11	– Configuração $2(N+1)$	35
FIGURA 12	– Configuração <i>Catcher</i>	36
FIGURA 13	– Configuração distribuída	37
FIGURA 14	– Diagrama do controlador centralizado.	38
FIGURA 15	– Diagrama do controlador centralizado baseado na potência.	39
FIGURA 16	– Diagrama mestre-escravo.	40
FIGURA 17	– UPS mestre.	41
FIGURA 18	– UPS escravo.	41
FIGURA 19	– Lógica de seleção do módulo mestre	42
FIGURA 20	– Seleção do módulo mestre pela potência	43
FIGURA 21	– Conexão de controle por cadeia circular	44
FIGURA 22	– Controlador por cadeia circular	45
FIGURA 23	– Comunicação para 3C com 4 UPSs funcionando	46
FIGURA 24	– Comunicação para 3C com <i>UPS</i> 1 com defeito	47
FIGURA 25	– Conexão para compartilhamento de carga	48
FIGURA 26	– Conexão entre inversores paralelos	49
FIGURA 27	– <i>Droop</i> de potência ativa com indutor	50
FIGURA 28	– <i>Droop</i> de potência reativa com indutor	50
FIGURA 29	– <i>Droop</i> para compartilhamento de potência	51
FIGURA 30	– <i>Droop</i> dinâmico para compartilhamento de potência	52
FIGURA 31	– <i>Droop</i> para compartilhamento de potência	54
FIGURA 32	– <i>Droop</i> de potência ativa sem indutor	54
FIGURA 33	– <i>Droop</i> de potência reativa sem indutor	55
FIGURA 34	– <i>Droop</i> de potência com resistência virtual	56
FIGURA 35	– <i>Droop</i> para compartilhamento de potência com limite de tensão	56
FIGURA 36	– Sincronização discreta interativa	58
FIGURA 37	– Compartilhamento de corrente	58
FIGURA 38	– PLL com transformada de Park	61
FIGURA 39	– PLL com análise da rede	61
FIGURA 40	– Diagrama do UPS	63
FIGURA 41	– Diagrama de vários UPSs conectados em paralelo	65
FIGURA 42	– Diagrama do sistema de controle de um UPS para paralelismo	66

FIGURA 43	– Inversor monofásico .....	67
FIGURA 44	– Controlador repetitivo .....	68
FIGURA 45	– Alocação dos pólos do controlador repetitivo no plano Z .....	69
FIGURA 46	– Cálculo das potências médias .....	74
FIGURA 47	– Inversores com indutor de saída .....	75
FIGURA 48	– Inversores com resistência virtual .....	76
FIGURA 49	– Corrente com indutor e resistência virtual com defasagem de $1^\circ$ .....	77
FIGURA 50	– Cálculo de potência reativa sem defasagem e com carga linear .....	79
FIGURA 51	– Cálculo de potência reativa sem defasagem e com carga não-linear .....	80
FIGURA 52	– Cálculo de potência reativa com defasagem de $1^\circ$ e sem carga .....	81
FIGURA 53	– Cálculo de potência reativa com defasagem de $1^\circ$ e carga linear .....	82
FIGURA 54	– Cálculo de potência reativa com defasagem de $1^\circ$ e carga não-linear .....	84
FIGURA 55	– Cálculo de potência reativa com defasagem de $1^\circ$ e carga meia-onda .....	85
FIGURA 56	– Diagrama do <i>droop</i> de fase/frequência .....	86
FIGURA 57	– Potência reativa simulada .....	89
FIGURA 58	– Diferença de frequência entre inversores .....	90
FIGURA 59	– Diferença de fase entre inversores .....	91
FIGURA 60	– Corrente com indutor e resistência virtual com diferença de 5 V .....	92
FIGURA 61	– Cálculo de potência ativa com diferença de 5 V .....	94
FIGURA 62	– Funcionamento do <i>droop</i> de potência ativa .....	95
FIGURA 63	– Queda de tensão com <i>droop</i> de potência ativa com 2000 W .....	97
FIGURA 64	– Diagrama da interface CAN .....	99
FIGURA 65	– <i>Droop</i> de potência ativa .....	101
FIGURA 66	– Diagrama do <i>droop</i> de fase/frequência .....	102
FIGURA 67	– Potência ativa simulada .....	104
FIGURA 68	– Corrente entre inversores com THD .....	105
FIGURA 69	– Resultado da resistência virtual de $0,1 \Omega$ .....	106
FIGURA 70	– Resultado da resistência virtual variável de $12,5 \text{ m}\Omega$ a $100 \text{ m}\Omega$ .....	107
FIGURA 71	– Resistência virtual variável .....	108
FIGURA 72	– Diagrama do UPS .....	110
FIGURA 73	– PFC bidirecional - Corretor de fator de potência bidirecional .....	110
FIGURA 74	– Cálculo da variável $iref[n]$ .....	112
FIGURA 75	– Parcela imaginária em função da parcela real .....	113
FIGURA 76	– Convolução para PLL monofásico em $0^\circ$ .....	114
FIGURA 77	– Convolução para PLL monofásico em $30^\circ$ .....	114
FIGURA 78	– Convolução real e imaginária para PLL monofásico em $-45^\circ$ .....	115
FIGURA 79	– Parcela imaginária em função da parcela complexa .....	116
FIGURA 80	– Valor da medição de fase complexa em função do ângulo de defasagem ..	117
FIGURA 81	– Diagrama do PLL complexo .....	117
FIGURA 82	– Diagrama da carga eletrônica .....	119
FIGURA 83	– Tensão virtual para carga eletrônica .....	120
FIGURA 84	– Corrente na carga eletrônica .....	121
FIGURA 85	– Diagrama simplificado da conexão paralela .....	122
FIGURA 86	– Conexão do barramento CA de entrada e saída .....	125
FIGURA 87	– Quatro UPSs em paralelo .....	125
FIGURA 88	– Diagrama simplificado da simulação .....	127
FIGURA 89	– Corrente de saída .....	129
FIGURA 90	– Potência reativa de saída .....	130

FIGURA 91	– Potência ativa de saída	131
FIGURA 92	– Saída do <i>droop</i> de potência reativa	132
FIGURA 93	– Saída do <i>droop</i> de potência ativa	133
FIGURA 94	– Saída senoidal do <i>droop</i> de potência ativa	134
FIGURA 95	– Cálculo real e complexo do PLL	135
FIGURA 96	– Resultado do cálculo complexo e em graus do PLL complexo	136
FIGURA 97	– Corrente e tensão de saída sem interface CAN	138
FIGURA 98	– Corrente e tensão de saída sem interface CAN	138
FIGURA 99	– Corrente e tensão de saída sem interface CAN	139
FIGURA 100	– THD de saída sem interface CAN	139
FIGURA 101	– Corrente de saída com interface CAN	140
FIGURA 102	– Corrente de saída com interface CAN	140
FIGURA 103	– Corrente de saída com interface CAN	142
FIGURA 104	– THD de saída com interface CAN	142
FIGURA 105	– Inversores alimentando carga não-linear	143
FIGURA 106	– Transitório de carga não-linear	144
FIGURA 107	– Conexão da interface CAN	144
FIGURA 108	– Falha da interface CAN	145
FIGURA 109	– Inserção de um UPS	146
FIGURA 110	– Retirada de um UPS	146
FIGURA 111	– Funcionamento em vazio sem comunicação	148
FIGURA 112	– Funcionamento em vazio com comunicação	149
FIGURA 113	– Compartilhamento sem comunicação	150
FIGURA 114	– Compartilhamento com comunicação	151
FIGURA 115	– Carga eletrônica reativa	152
FIGURA 116	– Carga eletrônica não-linear	153
FIGURA 117	– Carga eletrônica combinada	154
FIGURA 118	– Entrada do UPS com carga eletrônica não-linear	154
FIGURA 119	– Correntes de entrada e saída com carga eletrônica não-linear	155
FIGURA 120	– Carga eletrônica com 4 UPSs	156

## LISTA DE TABELAS

TABELA 1	– Potência com indutor e resistência virtual com defasagem de $1^\circ$ .....	77
TABELA 2	– Valores de potência sem defasagem e distorção .....	78
TABELA 3	– Valores de potência sem defasagem e com distorção .....	79
TABELA 4	– Valores de potência com defasagem de $1^\circ$ e sem carga .....	81
TABELA 5	– Valores de potência com defasagem de $1^\circ$ e carga linear .....	83
TABELA 6	– Valores de potência com defasagem de $1^\circ$ e carga não-linear .....	83
TABELA 7	– Valores de potência com defasagem de $1^\circ$ e carga não-linear meia-onda ..	85
TABELA 8	– Potência com indutor e resistência virtual com diferença de 5 V .....	93
TABELA 9	– Valores de potência com diferença de 5 V .....	94
TABELA 10	– Estrutura de mensagem do <i>Flexcan</i> .....	98
TABELA 11	– Alterações para simulação .....	128
TABELA 12	– Configuração usada para os teste com 2 UPSs .....	137
TABELA 13	– Configuração usada para o teste com quatro UPSs .....	147

## LISTA DE SIGLAS

3C	<i>Circular Chain Control</i> - Controle de Cadeia Circular
AD	<i>Analog Digital (Converter)</i> - Conversor Analógico Digital
ATS	<i>Automatic Transfer Switch</i> - Chave Automática de Transferência
BPF	<i>Band Pass Filter</i> - Filtro Passa-Banda
CA	Corrente Alternada
CAN	<i>Controller Area Network</i> - Controlador de Rede de Área
CC	Corrente Contínua
DSP	<i>Digital Signal Processor</i> - Processador Digital de Sinais
FIR	<i>Finite Impulse Response</i> - Resposta Finita ao Impulso
HPF	<i>High Pass Filter</i> - Filtro Passa-Alta
IGBT	<i>Insulated Gate Bipolar Transistor</i> - Transistor Bipolar de Porta Isolada
JTAG	<i>Joint Test Action Group</i> - Grupo de Ação Comum de Teste
LPF	<i>Low Pass Filter</i> - Filtro Passa-Baixa
MBS	<i>Maintenance Bypass Switch</i> - Chave de <i>Bypass</i> de Manutenção
PD	Proporcional Diferencial
PDU	<i>Power Distribution Unity</i> - Unidade de Distribuição de Potência
PFC	<i>Power Factor Correction</i> - Correção de Fator de Potência
PI	Proporcional Integral
PLL	<i>Phase Locked Loop</i> - Laço de Captura de Fase
ppm	partes por milhão
PWM	<i>Pulse Width Modulation</i> - Modulação por Largura de Pulso
RAM	<i>Random Access Memory</i> - Memória de Acesso Aleatório
rms	<i>root mean square</i> - raiz da média quadrática
RMS	<i>Root Mean Square</i> - raiz da média quadrática
SSB	<i>Static Switch Bypass</i> - Chave Estática de <i>Bypass</i>
STS	<i>Static Transfer Switch</i> - Chave Estática de Transferência
SVPWM	<i>Space Vector Pulse Width Modulation</i> - Espaço Vetorial de Modulação por Largura de Pulso
THD	<i>Total Harmonic Distortion</i> - Distorção Harmônica Total
UPS	<i>Uninterruptible Power Supply</i> - Fonte de Energia Ininterrupta
USB	<i>Universal Serial Bus</i> - Barramento Serial Universal

## LISTA DE SÍMBOLOS

$(N+1)$	Um UPS redundante
$(N+X)$	X UPSs redundantes
$\varepsilon_V$	Erro de tensão
$M$	Passos de atraso
$L$	Atraso
$Z^{-M+L}$	Ponto usado do vetor do repetitivo
$K_{REP}$	Ganho para repetitivo
$Z^{-L}$	Ponto salvo no vetor do repetitivo
$F_1(z)$	Filtro para o repetitivo
$I_{OREF}$	Saída do repetitivo
LC	Filtro LC do inversor
$Im$	Eixo imaginário do mapa de pólos
$Re$	Eixo real do mapa de pólos
$N$	Número de UPS
UPS A	UPS A
UPS B	UPS B
UPS C	UPS C
$i_O$	Corrente de saída
$G_V(s)$	Controlador de tensão
$G_I(s)$	Controlador de corrente
$\Delta P$	Erro de potência ativa
$\Delta Q$	Erro de potência reativa
$I_M$	Corrente do módulo mestre
$I_{Sn}$	Corrente dos módulos escravos
$V_O$	Tensão de saída
$V_O^*$	Referência de tensão de saída
$k$	Número de módulos em paralelo
$S_3$	Sinal 3
$S_2$	Sinal 2
$P_{BUS}$	Potência Ativa no barramento
$Q_{BUS}$	Potência reativa no barramento
$P_1$	Potência ativa do módulo 1
$Q_1$	Potência reativa do módulo 1
$\Delta P_1$	Erro de potência ativa do módulo 1
$\Delta Q_1$	Erro de potência reativa do módulo 1
$G_{C2}(s)$	Controlador de corrente
$H_2$	Sensor de corrente
$G_{C1}(s)$	Controlador de tensão
$H_1$	Sensor de tensão
$m_a$	Normalização para controle de corrente
$K_{PWM}$	Constante para o PWM

$s$	Variável complexa $s$
$C_f$	Capacitor de saída
$L_f$	Indutor de saída
$i_L$	Corrente no indutor
$i_{fb}$	Corrente de realimentação
$v_{fb}$	Tensão de realimentação
$v_s$	Realimentação do módulo anterior em 3C
$\omega$	Frequência do inversor
$\omega_0$	Referência de frequência do inversor
$k_p$	Ganho do controlador
$P_{meas}$	Potência ativa medida
$P_0$	Referência de potência ativa
$E$	Amplitude do inversor
$E_0$	Referência de amplitude do inversor
$k_v$	Ganho do controlador
$Q_{meas}$	Potência reativa medida
$Q_0$	Referência de potência reativa
$P_I$	Potência ativa instantânea
$Q_I$	Potência reativa instantânea
$m$	Coefficiente para potência ativa
$V_{REF}$	Tensão de referência senoidal para o inversor
$n$	Coefficiente para potência reativa
$k_\phi$	Coefficiente para controlador de frequência
$\Delta\phi$	Erro de frequência
$\tilde{P}$	Potência ativa transitória
$m_d$	Coefficiente para derivada de potência ativa
$\frac{d\tilde{P}}{dt}$	Derivada de potência ativa transitória
$E_i$	Amplitude do inversor
$E_o$	Referência de amplitude do inversor
$n_i$	Coefficiente para potência ativa
$P_i$	Potência ativa instantânea
$\omega_i$	Frequência do inversor
$\omega_o$	Referência de frequência do inversor
$m_i$	Coefficiente para potência reativa
$\frac{1}{s}$	Pólo localizado em 1 na transformada $s$
$Q_{OI}$	Potência reativa filtrada
$t$	Tempo
$\cos(\omega t)$	Função cossenoidal de $\omega t$
$\sen(\omega t)$	Função senoidal $\omega t$
$s_I(t)$	Referência senoidal com fase corrigida
$P_{OI}$	Potência ativa filtrada
$dv_{OI}$	Potência ativa multiplicada por $m$
$i_{BI}$	Corrente de saída
$Rk_V/K_S$	Constante para corrente de saída
$n_I$	Coefficiente para potência ativa

$K_E$	Coeficiente de correção de tensão
$synbus$	Barramento de sincronismo
$syn_n$	Sinal de sincronismo de um UPS
$ I_H $	Corrente de pico média
$ I_{Lf1} _{max}$	Corrente de pico do inversor 1
$ I_{Lf2} _{max}$	Corrente de pico do inversor 2
$ I_{Lfn} _{max}$	Corrente de pico do inversor $n$
$n$	Número de UPSs
$\Delta E_1$	Correção de tensão
$K_H$	Ganho do controlador
$E'$	Amplitude do inversor alterada
$E_1$	Amplitude do inversor
$ i_H $	Corrente de pico
$ \hat{i}_{Lf} _{max}$	Módulo da corrente média
$V\beta$	Tensão $\beta$ da transformada de park
$V\alpha$	Tensão $\alpha$ da transformada de park
$\theta$	Saída do PLL
$Vd$	Parte direta da transformada de Park
$Vq$	Parte quadrática da transformada de Park
$k_p$	Ganho proporcional do controlador PI
$k_i$	Ganho integral do controlador PI
$\omega_{ff}$	<i>Feed-forward</i> de frequência
$\hat{\theta}$	Saída do PLL
$sw$	Estado da rede para o PLL
$S1$	Chave 1
$S2$	Chave 2
$S3$	Chave 3
$S4$	Chave 4
$S5$	Chave 5
$S6$	Chave 6
$RL$	Relé de seleção do modo do UPS
$L_{IN}$	Indutor de entrada
$C_{BUS}$	Banco de capacitores do barramento CC
$L_{OUT}$	Indutor de saída
$C_{OUT}$	Capacitor de saída
$AC_{BUS\_IN}$	Barramento CA de entrada
$AC_{BUS\_OUT}$	Barramento CA de saída
$CAN_{BUS}$	Barramento de comunicação CAN
$AC_{IN}$	Tensão CA de entrada
$AC_{OUT}$	Tensão CA de saída
$BT$	Bateria
$n$	Indexador para amostras discretas
$i[n]$	Amostra de corrente em função de $n$
$v[n]$	Amostra de tensão de saída em função de $n$
$v[n - 90]$	Amostra de tensão de saída defasada em $90^\circ$ em função de $n$



$P1$	Potência do segundo UPS
$P2$	Potência do terceiro UPS
$P3$	Potência do quarto UPS
$num_{UPS}$	Número de UPSs conectados na interface CAN
$E_{REF}$	Referência da amplitude do inversor
$VAR$	Volt-Ampére Reativo - Unidade de potência reativa não distorcida
$VAD$	Volt-Ampére Distorcido - Unidade de potência reativa distorcida
$Q_{REF}$	Referência de potência reativa
$P_{REF}$	Referência de potência ativa
$\omega_{REDE}$	Saída do PLL da rede
$\omega_{REF}$	Referência de frequência do inversor
$sen[\omega n]$	Função senoidal para o inversor em função de n
$cos_{120}$	Função cossenoidal em função de n vezes 2
$r_{VIRTUAL}[n]$	Resistência virtual em função de n
$v_{REF}$	Referência de tensão para o controlador repetitivo em função de n
$v_{PWM}$	Saída do controlador repetitivo em função de n
$\phi_{LC}$	Atraso do filtro de saída do inversor
$v_{FIR}[n]$	Saída do filtro FIR em função de n
$erro[n]$	Erro do controlador repetitivo em função de n
$urp[n]$	Saída do controlador repetitivo em função de n
$filtroQ$	Filtro FIR com coeficientes variáveis
$Z$	Transformada Z
$u[n]$	Degrau unitário
$v(t)$	Tensão em função do tempo
$i(t)$	Corrente em função do tempo
$\phi$	Defasagem da corrente entre os inversores
$cos\phi$	Função cossenoidal de $\phi$
$V_q$	Tensão reativa
$I_q$	Corrente reativa
$\lambda$	Fator de potência
$\lambda_q$	Fator de potência reativo
$cos\phi$	Função senoidal de $\phi$
$Q_I[n]$	Potência reativa instantânea em função de n
$P_I[n]$	Potência ativa instantânea em função de n
$L1$	Indutor 1
$L2$	Indutor 2
$INV1$	Inversor 1
$INV2$	Inversor 2
$\phi$	Defasagem entre inversores
$V_{INV1}$	Tensão no inversor 1
$V_{INV2}$	Tensão no inversor 2
$X_{L1}$	Reatância indutiva do inversor 1
$X_{L2}$	Reatância indutiva do inversor 2
$R1$	Resistência virtual 1
$R2$	Resistência virtual 2

$C$	Controlador
$z^{-1}$	Atraso de uma amostra
$Cout[n]$	Saída do controlador C em função de n
$fosc$	Frequência do oscilador a cristal
$\Delta\omega$	Erro de frequência
$G$	Planta
$UPS_{1s}$	UPS 1
$UPS_{2s}$	UPS 2
$UPS_{3s}$	UPS 3
$Pnum_{UPS}$	Potência do último UPS conectado
$\Delta P[n]$	Erro de potência ativa em função de n
$P[n]$	Potência ativa em função de n
$r_{MAX}$	Resistência virtual máxima
$\frac{\cos(\omega)[2n]}{2}$	Função de ajuste da resistência virtual
$C_I$	Controlador de corrente
$C_V$	Controlador de tensão
$G_I$	Planta que representa o indutor
$G_V$	Planta que representa o capacitor do barramento CC
$H_I$	Sensor de corrente
$H_V$	Sensor de tensão
$iin[n]$	Amostra de corrente em função de n
$vbus[n]$	Amostra de tensão do barramento CC em função de n
$vbus_{REF}$	Tensão de referência para barramento CC
$\Delta v[n]$	Erro de tensão em função de n
$\Delta i[n]$	Erro de corrente em função de n
$Pbus[n]$	Potência do barramento em função de n
$iref[n]$	Corrente de referência
$vin[n]$	Tensão de entrada em função de n
$vin_{RMS}$	Tensão eficaz de entrada
$\phi[n]$	Medida complexa do PLL
$conv_{RE}[n]$	Convolução real do PLL em função de n
$conv_{IM}[n]$	Convolução imaginária do PLL em função de n
$corr_{RE}[n]$	Correlação real do PLL em função de n
$corr_{IM}[n]$	Correlação imaginária do PLL em função de n
$\phi_{REF}$	Referência de fase
$\phi_{REDE}$	Erro de fase
$angle$	Ângulo de fase para carga eletrônica
$Ah$	Capacidade da bateria em uma hora
$Q0$	Potência reativa do inversor 0
$P0$	Potência ativa do inversor 0
$\omega0$	Frequência do inversor 0
$E0$	Amplitude do inversor 0
$v_{REF0}[n]$	Tensão de referência para o repetitivo do inversor 0 em função de n
$v_{PWM0}[n]$	Tensão de saída do repetitivo do inversor 0 em função de n
$Q1$	Potência reativa do inversor 1

$\omega 1$	Frequência do inversor 1
$E 1$	Amplitude do inversor 1
$v_{REF} 1[n]$	Tensão de referência para o repetitivo do inversor 1 em função de n
$v_{PWM} 1[n]$	Tensão de saída do repetitivo do inversor 1 em função de n
$Q 2$	Potência reativa do inversor 2
$\omega 2$	Frequência do inversor 2
$E 2$	Amplitude do inversor 2
$v_{REF} 2[n]$	Tensão de referência para o repetitivo do inversor 2 em função de n
$v_{PWM} 2[n]$	Tensão de saída do repetitivo do inversor 2 em função de n
$Q 3$	Potência reativa do inversor 3
$\omega 3$	Frequência do inversor 3
$E 3$	Amplitude do inversor 3
$v_{REF} 3[n]$	Tensão de referência para o repetitivo do inversor 3 em função de n
$v_{PWM} 3[n]$	Tensão de saída do repetitivo do inversor 3 em função de n
$pi\_pll.input[1]$	Entrada anterior do controlador PI do PLL
$conv\_pllout\_re.out$	Saída real do PLL de saída
$conv\_pllout\_im.out$	Saída imaginária do PLL de saída
$pllout.fase$	Saída em graus do PLL de saída
$pllout.complex$	Saída complexa do PLL de saída

## SUMÁRIO

<b>1 INTRODUÇÃO</b>	<b>20</b>
1.1 MOTIVAÇÃO	20
1.2 OBJETIVOS	21
1.2.1 Objetivo Geral	21
1.2.2 Objetivos Específicos	21
1.2.3 UPSs com PFC bidirecionais e controlador repetitivo	21
1.2.4 PLL	22
1.2.5 Controle de Fase	23
1.2.6 Controle de Tensão	23
1.2.7 Comunicação	23
1.2.8 Carga Eletrônica Regenerativa	24
1.3 ESTRUTURA DA DISSERTAÇÃO	24
<b>2 TOPOLOGIA DE UPS E CONTROLADOR REPETITIVO</b>	<b>25</b>
2.1 INTRODUÇÃO	25
2.2 TIPOS DE UPS	25
2.2.1 <i>Online</i>	25
2.2.2 <i>Offline</i>	26
2.2.3 <i>Line Interactive</i>	27
2.3 CONTROLADOR REPETITIVO	27
2.4 CONCLUSÕES	30
<b>3 PARALELISMO DE INVERSORES</b>	<b>31</b>
3.1 TIPOS DE CONFIGURAÇÕES DE PARALELISMO DE INVERSORES	31
3.1.1 Redundância	31
3.1.1.1 Sistema unitário ( $N$ )	32
3.1.1.2 Redundância isolada	32
3.1.1.3 Redundância ( $N+1$ )	33
3.1.1.4 Redundância $2(N+1)$	34
3.1.1.5 Configuração <i>Catcher</i>	35
3.1.1.6 Configuração distribuída	35
3.1.2 Paralelismo de UPSs	37
3.2 TIPOS DE CONEXÕES PARALELAS DE INVERSORES	38
3.2.1 Controle centralizado	38
3.2.2 Mestre-Escravo	40
3.2.2.1 Fonte de tensão com fonte de corrente - mestre dedicado	40
3.2.2.2 Lógica de seleção - mestre rotatório	42
3.2.2.3 Maior Carga - mestre rotatório	43
3.2.3 Controle de Cadeia Circular (3C)	44
3.2.4 Compartilhamento de Carga Ativo	47
3.3 CONTROLE SEM COMUNICAÇÃO PARA PARALELISMO DE INVERSORES	48
3.3.1 <i>Droop</i> de Potência Ativa e Reativa	48
3.3.1.1 Variações para controladores <i>droop</i>	51

3.4	CONTROLE COM COMUNICAÇÃO PARA PARALELISMO DE INVERSORES	57
3.4.1	Controle de fase/frequência	57
3.4.2	Controle de tensão	58
3.5	SINCRONISMO-PLL	60
3.6	CONCLUSÕES	62
<b>4</b>	<b>DESENVOLVIMENTO</b>	<b>63</b>
4.1	INTRODUÇÃO	63
4.2	CAPACIDADE DE REGULAÇÃO	67
4.2.1	Controlador Repetitivo	67
4.3	CÁLCULO DE POTÊNCIA	71
4.3.1	Comparação entre impedâncias de saída	74
4.4	CONTROLE DE FASE/FREQUÊNCIA	76
4.4.1	Comparação entre impedâncias de saída	76
4.4.2	Funcionamento sem defasagem entre os inversores	78
4.4.2.1	Com carga linear	78
4.4.2.2	Com carga não-linear	78
4.4.3	Funcionamento com defasagem entre os inversores	80
4.4.3.1	Sem carga	80
4.4.3.2	Carga linear	82
4.4.3.3	Carga não-linear	83
4.4.3.4	Carga não-linear meia-onda	84
4.4.3.5	Controlador	86
4.5	CONTROLE DE AMPLITUDE	90
4.5.1	Comparação entre impedâncias de saída	92
4.5.2	Diferença de 5 V entre dois inversores	93
4.5.3	Análise de um controlador <i>droop</i> de potência ativa	94
4.5.4	Comunicação CAN	98
4.5.5	Controle pela comunicação	99
4.6	RESISTÊNCIA VIRTUAL VARIÁVEL	103
4.7	RESPOSTA NOS TRANSITÓRIOS - BIDIRECIONALIDADE	110
4.8	PLL COMPLEXO (REAL E IMAGINÁRIO)	112
4.9	CARGA ELETRÔNICA REGENERATIVA	118
4.10	CONCLUSÕES	121
<b>5</b>	<b>RESULTADOS</b>	<b>124</b>
5.1	SIMULAÇÕES	126
5.1.1	Configuração	126
5.1.2	Compartilhamento de potência	128
5.1.3	Variáveis de saída dos controladores <i>droop</i>	131
5.2	RESULTADOS EXPERIMENTAIS	133
5.2.1	<i>Freemaster</i>	133
5.2.2	Detector de fase	134
5.2.3	Teste com dois UPSs	136
5.2.3.1	CAN/Resistência virtual variável	137
5.2.3.2	Compartilhamento de Potência	141
5.2.3.3	Transitório de Carga	143
5.2.4	Teste com quatro UPSs	146
5.2.4.1	Funcionamento em vazio sem comunicação	147
5.2.4.2	Funcionamento em vazio com comunicação	147

5.2.4.3 Compartilhando Carga Não-Linear sem Comunicação .....	148
5.2.4.4 Compartilhando Carga Não-Linear com Comunicação .....	150
5.2.5 Carga Eletrônica .....	152
5.3 CONCLUSÕES .....	155
<b>6 CONCLUSÕES .....</b>	<b>159</b>
<b>REFERÊNCIAS .....</b>	<b>162</b>

## 1 INTRODUÇÃO

Em um inversor de tensão monofásico, como o usado em um UPS (*Uninterruptible Power Supply*), pode ser necessário um aumento de potência ou, dependendo da criticidade da utilização, um aumento de confiabilidade. Ao se conectar UPSs em paralelo esses dois objetivos serão alcançados. Os tipos de configurações podem ser paralelo ou redundante.

Redundância significa ter um (N+1) ou mais (N+X) UPSs reservados. Quando ocorre uma falha no sistema que está operando, o UPS (ou os UPSs) que está reservado entra em operação aumentando a confiabilidade do sistema e reduzindo a possibilidade de parada para manutenção (MCCARTHY; AVELAR, 2004).

Paralelismo significa conectar todos os UPSs em paralelo, deixando-os ativos e fornecendo potência para o sistema, a qual pode ser proporcional às suas potências nominais ou, podem fornecer todas as mesmas potências. Caso ocorra uma falha em um UPS, esse se retira do barramento, onde está conectado, não afetando o funcionamento dos UPSs restantes, que aumentarão os seus próprios fornecimentos para manter a carga. Dessa maneira a manutenção pode ser feita e assim que o UPS estiver reparado, ele é novamente conectado ao barramento, voltando a funcionar, fornecendo uma parcela da potência ao sistema (GUERRERO; MATA, 2004).

### 1.1 MOTIVAÇÃO

As principais vantagens de se ter um UPS com algoritmo de paralelismo disponível são poder conectar mais unidades ao sistema, aumentando a potência, sem a necessidade de troca do UPS adquirido e o aumento de confiabilidade do sistema, principalmente alimentando cargas críticas. Sendo assim, em um sistema que necessita alimentar uma carga específica, pode-se adquirir um UPS apenas, e quando ocorrer um aumento da demanda dessa carga, mais UPSs podem ser conectados em paralelo com o intuito de aumentar a potência disponível.

Já em configurações consideradas mais críticas que necessitam de maior

confiabilidade, o paralelismo dos UPSs pode ser voltado para atender essa condição. Então o sistema é montado com um UPS alimentando a carga crítica e outro(s) UPS(s) reservado(s). Esse(s) UPS(s) reservado(s) podem tanto estar em estado de espera quanto alimentando uma parcela menor da carga, de forma que na situação de falha do UPS que está alimentando a carga, outro(s) UPS(s) assumem esta, caracterizando um sistema redundante.

As limitações de algoritmos de paralelismo usados atualmente, são a necessidade (em sua maioria) da utilização de uma reatância indutiva externa, para limitar a corrente circulante, facilitando a conexão paralela. Nesse tipo de conexão, A THD da tensão de saída pode ser elevada, conforme a característica da carga. Sendo assim, é interessante permitir a conexão paralela com segurança, sem a reatância externa, proporcionando valores mais baixos de THD na tensão de saída.

## 1.2 OBJETIVOS

### 1.2.1 OBJETIVO GERAL

Elaborar um algoritmo para paralelismo a ser utilizado em UPSs monofásicos *onlines* que permita a operação com e sem comunicação de dados entre os módulos, sendo que cada módulo deve operar de maneira independente, diferente de topologias mestre-escravo ou centralizadas, onde existe um módulo ao qual os outros dependem, ou ainda onde a comunicação é essencial. Nesse trabalho, sem comunicação, a intenção é garantir o funcionamento confiável e sem interrupção, alimentando a carga com a melhor distribuição de potência possível entre os inversores dos UPSs. A comunicação deve ser utilizada para melhorar o funcionamento, garantindo que os UPSs forneçam potência para a carga de maneira mais equalizada e os inversores com forma de onda com menor distorção, comparando ao modo sem comunicação.

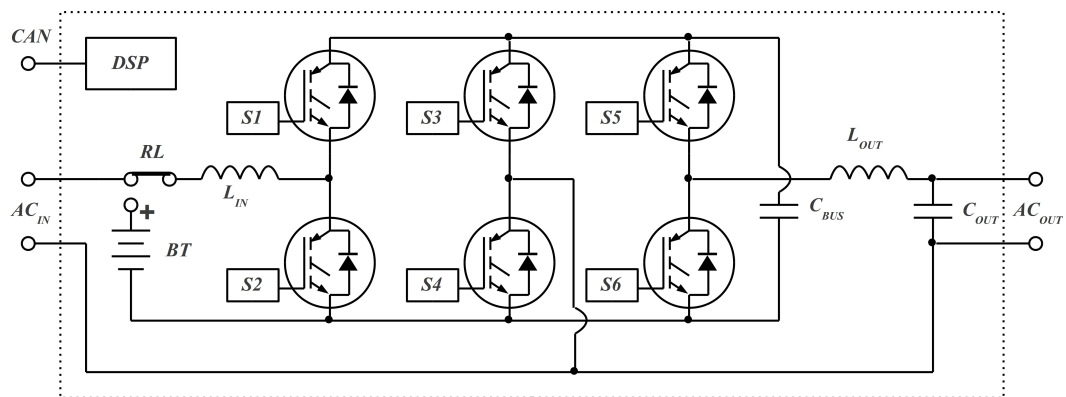
### 1.2.2 OBJETIVOS ESPECÍFICOS

#### 1.2.3 UPSS COM PFC BIDIRECIONAIS E CONTROLADOR REPETITIVO

Para o trabalho dessa dissertação serão usados UPSs *onlines* com a topologia semelhante a vista em (CHIANG et al., 2010), (CHOI et al., 2005) e (YEH; MANJREKAR, 2007). Na Figura 1 é mostrada o diagrama simplificado dos UPSs.

É uma topologia que utiliza três braços, sendo que o central é o neutro, comum para a entrada e saída. O braço de entrada faz a função de PFC (*Power Factor Corrector*) quando





**Figura 1:** Módulo de potência do UPS

conectado na rede elétrica e de conversor *boost* quando o UPS trabalha a partir da bateria. O braço de saída faz a função de gerar a tensão de saída do inversor monofásico. Sendo assim, é necessário proporcionar o funcionamento de quatro unidades em plenas condições para o desenvolvimento. Serão duas unidades de 12 kVA (8400 W nominais) e duas unidades de 8 kVA (5600 W nominais). Para que não ocorram problemas de elevação do barramento CC (Corrente Contínua) na ocorrência de algum transitório de potência ativa, em relação ao inversor de outro UPS, o PFC deve ser alterado, proporcionando o fluxo desta potência para a rede, ao contrário do funcionamento normal.

Os UPSs utilizados são dotados de controlador repetitivo (ESCOBAR et al., 2007), proporcionando baixa distorção harmônica na tensão de saída, resultando em maior dificuldade de conectar em paralelo os inversores desses UPSs. Sendo assim, deve ser considerado que a impedância de saída é baixa, não permitindo utilizar o indutor de saída como limitador natural (TAN et al., 2003).

#### 1.2.4 PLL

Para que os UPSs possam se conectar de maneira segura, é necessário que disponham de sensor que indique inversão de fase ( $180^\circ$ ). Como os UPSs já possuem um PLL (*Phase Locked Loop*) para executar o sincronismo com a rede, deve ser elaborado outro para a tensão de saída, para que, no momento da conexão, possa identificar se a fase está correta. Sendo assim, o sensor de fase do PLL deve conseguir diferenciar se a fase está entre  $-90^\circ$  e  $90^\circ$  mais próximo de  $0^\circ$  ou entre  $-90^\circ$  e  $90^\circ$  mais próximo de  $180^\circ$ .

### 1.2.5 CONTROLE DE FASE

Deve ser elaborado o controle de fase/frequência, com o objetivo de limitar o fluxo de potência reativa não distorcida entre os inversores dos UPSs, considerando que o controlador repetitivo está ativo, não permitindo que a impedância reativa do indutor de saída do inversor (filtro LC de saída) seja utilizada.

### 1.2.6 CONTROLE DE TENSÃO

Independente das tensões de saída calibradas ou não, deve ser elaborado o controle de tensão, com o objetivo de limitar o fluxo de potência ativa entre os inversores dos UPSs, também considerando que o controlador repetitivo está ativo, não permitindo que a impedância reativa do indutor de saída do inversor (filtro LC de saída) seja utilizada. No caso de tensões descalibradas, os inversores possuirão tensões diferentes e, portanto, potência ativa fluindo entre eles, o que deve ser atenuado pelo controlador de tensão.

No caso do controle de tensão, um controlador *droop* apresenta o efeito indesejado de atenuar a tensão de saída dos inversores, quando a carga estiver conectada. Desse modo, deve-se combinar o uso com a comunicação de dados para evitar essa situação, sendo que na falha desta, os UPSs devem continuar operando normalmente.

### 1.2.7 COMUNICAÇÃO

Devido a característica do controlador repetitivo de manter a qualidade da tensão de saída de inversores com tensões diferentes, uma comunicação deve ser utilizada entre os UPSs para que não flua potência entre eles, sem comprometer a tensão eficaz (CHENG; SNG, 2006). Então, deve ser elaborada uma interface CAN (*Controller Area Network*), para que os UPSs troquem informações de, pelo menos, potência entre eles. Com essa informação de potência, o compartilhamento desta deve ser executado, permitindo uma distribuição melhor entre os UPSs, sem que estes derrubem as tensões nos inversores de saída (ZHI-ZHONG; CHUN-JIANG, 2009).

No entanto, se houver falha de comunicação, o sistema não pode ser comprometido. Para isso, deve ser inserido no algoritmo um modo de funcionamento, no qual a regulação da tensão de saída será pior do que se a comunicação estivesse ativa, mas o sistema terá mais confiabilidade, mesmo com desempenho reduzido (JU et al., 2007).

### 1.2.8 CARGA ELETRÔNICA REGENERATIVA

Uma carga eletrônica consiste em um equipamento que absorva potência ativa devolvendo de maneira controlada para a rede elétrica, ou simplesmente provoque o fluxo de potência reativa no inversor em teste. A vantagem é que como a potência ativa flui novamente para a rede elétrica, não necessita ser dissipada, economizando energia e não aquecendo o ambiente de teste.

Com o algoritmo completo de paralelismo, deve ser possível controlar a potência que flui entre os inversores, que deve ser sempre o mais próximo de zero. No entanto, com esse mesmo controlador, as referências de potência devem poder ser alteradas para valores diferentes de zero, com a intenção de controlar o fluxo de um inversor para o outro, emulando uma carga eletrônica.

## 1.3 ESTRUTURA DA DISSERTAÇÃO

Esta dissertação é composta por cinco capítulos. O primeiro é uma introdução, na qual são apresentados os objetivos e as motivações do trabalho. A seguir é apresentada uma revisão bibliográfica para embasar o trabalho e assegurar que esteja alinhado com o estado da arte.

A revisão bibliográfica está dividida entre o segundo e o terceiro capítulo, os quais são sobre UPSs e paralelismo, respectivamente. O quarto capítulo é o desenvolvimento do trabalho em si. O quinto capítulo consiste em conclusões, obtidas através de simulações e resultados práticos.

## 2 TOPOLOGIA DE UPS E CONTROLADOR REPETITIVO

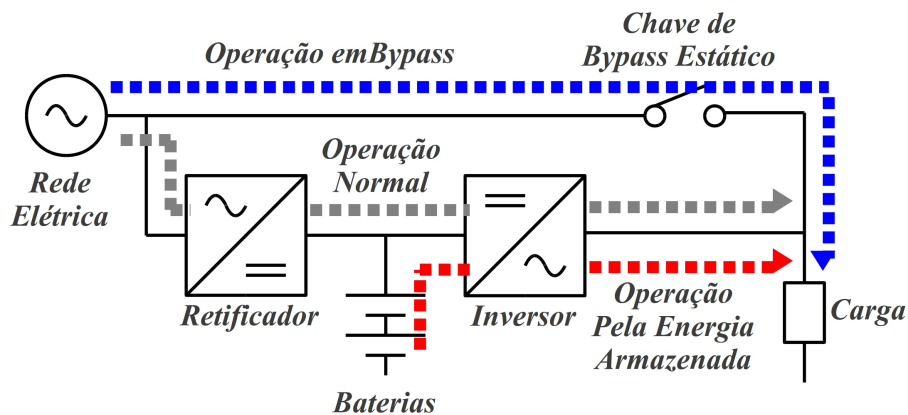
### 2.1 INTRODUÇÃO

Nesse capítulo são mostradas topologias básicas de UPSs e o embasamento teórico para o controlador repetitivo utilizado para o controle de tensão do inversor do UPS.

### 2.2 TIPOS DE UPS

#### 2.2.1 *ONLINE*

Na Figura 2 pode ser visto o diagrama básico de um UPS online.



**Figura 2:** Diagrama do UPS *online*

Como pode ser visto na Figura 2 existem 3 estados principais para o UPS *online*:

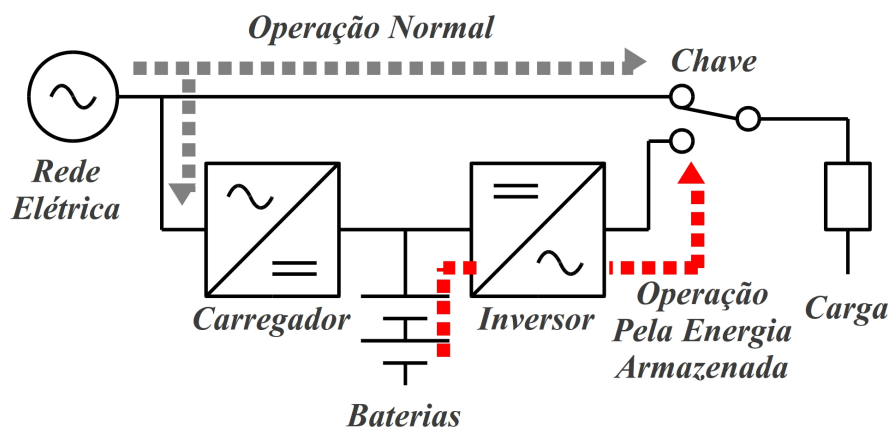
- **Operação Normal:** é o estado em que a rede está dentro dos parâmetros aceitáveis pelo UPS, sendo gerado o barramento CC e carregada a bateria. A partir do barramento CC, uma nova forma de onda senoidal para a saída é gerada pelo inversor. Nesse estado o UPS pode ser conectado em paralelo, podendo tanto fornecer quanto receber energia (necessita ser bidirecional para receber);

- Operação pela Energia Armazenada: é quando a energia da rede está fora dos parâmetros aceitáveis e a energia da bateria flui para a saída através do inversor. Nesse estado o UPS pode ser conectado em paralelo, mas pode apenas fornecer energia para a saída, sendo que para absorver energia da saída teria que transferir para a bateria, o que a danificaria, pois apenas o carregador o carregador pode recarregar a bateria com corrente controlada;
- Operação em *bypass*: é quando ocorre uma falha no UPS. Nesse estado o UPS deve ser desconectado do barramento do paralelismo, já que a rede de entrada não tem controle e não pode ser conectada em paralelo com a saída dos inversores de baixa THD (*Total Harmonic Distortion*).

O UPS *online* é o tipo de UPS que pode ser utilizado para funcionamento em paralelo, porque tanto na rede quanto na bateria é possível manter a conexão paralela com outros inversores de outros UPSs. Apenas no caso do *bypass* isso não é possível, mas deve ser previsto no algoritmo, e caso ocorra falha em algum UPS do sistema, este deve se desconectar automaticamente (GUERRERO et al., 2007).

### 2.2.2 OFFLINE

Na Figura 3 pode ser visto o diagrama básico de um UPS *offline*.



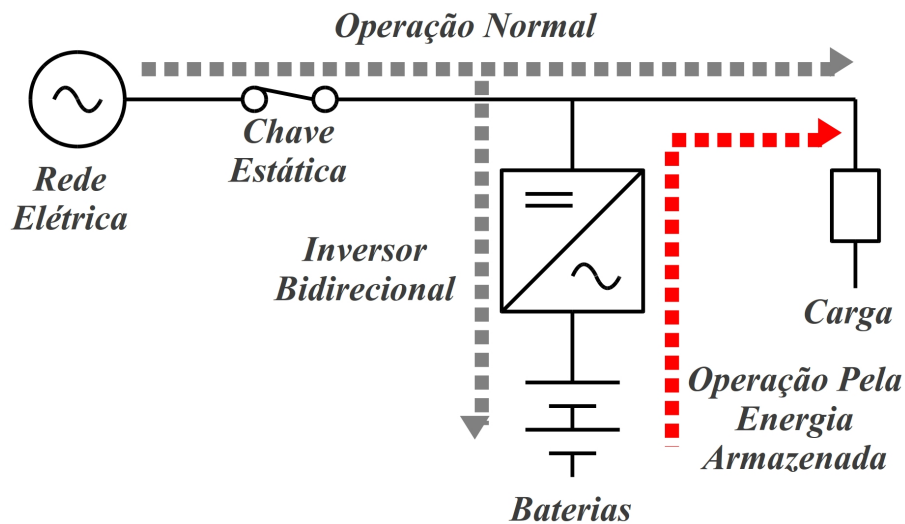
**Figura 3:** Diagrama do UPS *offline*

Conforme é visto na Figura 3, o UPS *offline* possui dois estados: o estado de operação a partir da bateria é o que gera uma forma de onda senoidal controlada cuja conexão em paralelo seria possível. Porém, no estado de operação a partir da rede elétrica, essa situação não ocorreria, uma vez que esta passa direto para a saída do UPSs sendo o estado normal, no qual o UPS fica quase todo o tempo. Ainda existe a comutação que gera transitório de falha por

alguns milissegundos na forma de onda de saída, o que seria difícil contornar, uma vez que nem todos os UPS teriam o transitório igual (GUERRERO et al., 2007).

### 2.2.3 LINE INTERACTIVE

A Figura 4 representa o diagrama básico de um UPS *line interactive*.



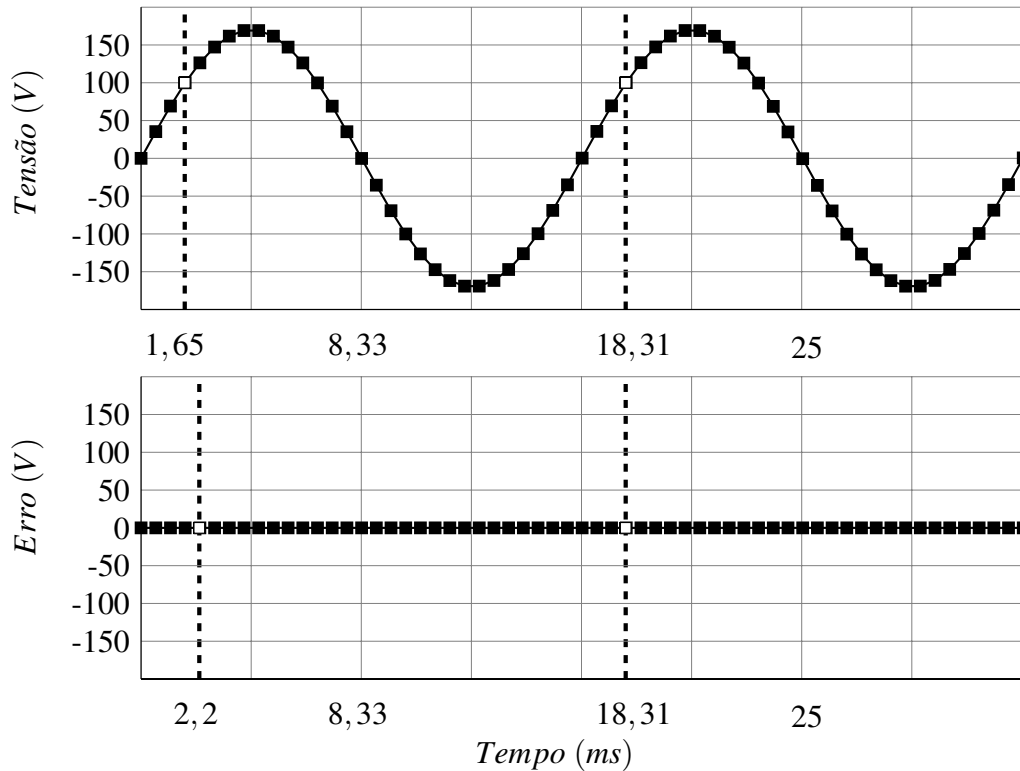
**Figura 4:** Diagrama do UPS *line interactive*

O caso da Figura 4 é o mesmo do UPS *offline*, diferindo apenas a velocidade de comutação, que nesse caso é tipicamente menor, pois o inversor já está conectado na saída do UPS. Quanto a conexão paralela, também seria inviável, pois esse tipo de UPS passa a maior parcela de tempo conectado na rede elétrica, assim como os modelos *offlines*, apenas passando esta para a saída (GUERRERO et al., 2007).

### 2.3 CONTROLADOR REPETITIVO

Para assegurar um bom desempenho em um inversor de tensão, o controlador repetitivo pode ser utilizado, principalmente alimentando cargas não-lineares, que tem a característica de repetir o formato da corrente drenada de maneira cíclica. Em um controlador PI (Proporcional Integral) de tensão, por exemplo, sempre que ocorrer uma perturbação periódica (que se repita em todos os ciclos da senóide), este terá que se ajustar, com um certo atraso (por mais ação preditiva que possa ser usada), não conseguindo evitar que ocorra THD na tensão do inversor. No caso do controlador repetitivo, este já tem a informação armazenada em um vetor de quando o transitório de corrente irá ocorrer, podendo antecipar a ação de controle permitindo uma menor THD na tensão do inversor (BUSO; MATTAVELLI, 2006).

Como a ação do controlador é repetida a cada ciclo de senóide, dois vetores com a duração desse senoidal são utilizados, um para o erro e outro para ação de controle, como mostrado na Figura 5.



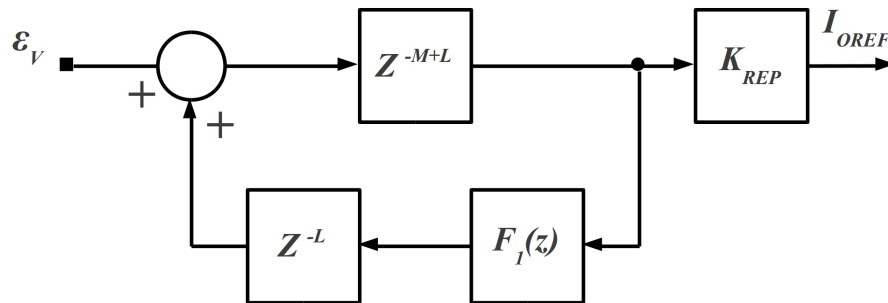
**Figura 5:** Vetores do controlador repetitivo

No exemplo da Figura 5 cada ciclo da senóide possui apenas 30 pontos, tendo-se o primeiro vetor representando a ação de controle e o segundo o erro da amostra. No ponto marcado em 18,31 ms, que é o passo 3 do segundo ciclo, a ação de controle é calculada com o erro do ponto de 2,2 ms adicionado com a ação do ponto marcado em 1,65 ms sendo salva na posição marcada em 18,31 ms e usada para a saída atual. A diferença entre 1,65 ms e 2,2 ms é o atraso da planta. O erro calculado com a saída atual e a referência é armazenado no vetor de erro na posição de 18,31 ms. Sendo assim, o sinal atual é memorizado para ser utilizado sempre no próximo ciclo.

A Figura 6 mostra o diagrama da implementação de um controlador repetitivo.

De acordo com a Figura 6:

- $\varepsilon_V$ : é o erro de tensão de saída do inversor. À medida que o controlador corrige a saída do inversor, esta variável tende a ser zero;
- $M$ : atraso em número de passos do controle, cujo valor representa um ciclo da senóide,



**Figura 6:** Diagrama do controlador repetitivo

sendo o número de amostras em um ciclo do sinal de referência. No exemplo da Figura 5 são 30 pontos de amostragens;

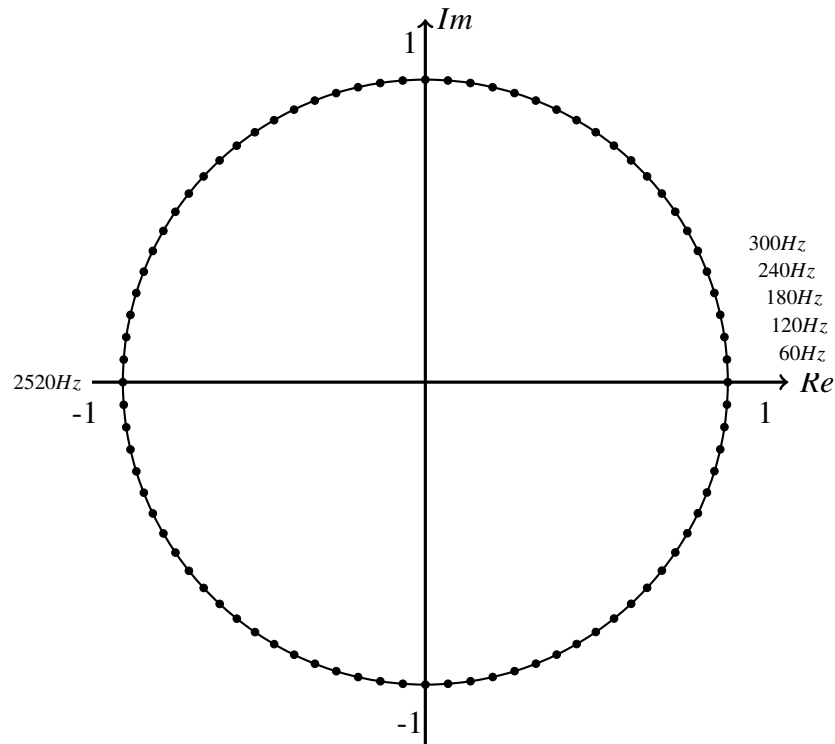
- $L$ : atraso para aumentar a estabilidade do sistema. Coincide com o tempo de atraso da planta, que geralmente é apenas o filtro LC de saída;
- $Z^{-M+L}$ : ponto do vetor que corresponde a um ciclo de senóide de atraso mais a diferença de compensação de atraso do filtro de saída do inversor;
- $K_{REP}$ : ganho de saída para adequar o nível para a necessidade da planta;
- $Z^{-L}$ : armazenamento da saída do controlador no vetor que será usado apenas no próximo ciclo de senóide, assim que estiver nesse passo;
- $F_1(z)$ : filtro mover os pólos em alta frequência para o interior do ciclo unitário, já que o ganho do controlador é teoricamente infinito, podendo gerar instabilidade;
- $I_{OREF}$ : saída do controlador.

A variável  $M$  da Figura 6 é o equivalente ao tamanho de 30 pontos de cada ciclo da Figura 5, que representa o tamanho do vetor memorizado com os pontos anteriores. A variável  $L$  é a diferença entre 2,2 ms e 1,65 ms (uma amostra de diferença) para compensar o atraso da planta e deixar o controle estável (BUSO; MATTAVELLI, 2006).

O mapa de pólos de um controlador repetitivo típico pode ser visto na Figura 7.

Na Figura 7 pode ser visto outro controlador, com 84 passos de amostragem ( $M$  igual a 84), com pólos sintonizados desde CC até 2520 Hz, que corresponde desde CC até a 42<sup>a</sup> harmônica. A implementação utiliza uma taxa de amostragem de 49,5  $\mu$ s com a amostragem do controlador de 198  $\mu$ s, permitindo que sua implementação seja mais fácil para o DSP (*Digital Signal Processor*), já que não é em toda a amostragem do PWM (*Pulse Width Modulation*) que o controle é calculado (BOTTERÓN; PINHEIRO, 2007).





**Figura 7:** Mapa de pólos do controlador repetitivo

Considerando o controlador da Figura 7 na representação da Figura 5, cada ciclo teria um vetor com 84 passos (BUSO; MATTAVELLI, 2006).

## 2.4 CONCLUSÕES

Neste capítulo foram vistas as três configurações básicas de UPS, sendo que para esta dissertação serão utilizados UPSs *online* uma vez que o inversor é sempre ativo e com possibilidade de controle para o algoritmo de paralelismo. Mostrou-se, também, o funcionamento do controlador repetitivo que é usado para controlar a tensão do inversor utilizado no UPS.

### 3 PARALELISMO DE INVERSORES

O objetivo deste capítulo é dar o embasamento necessário para elaborar um sistema robusto e de baixa THD de tensão, considerando o estado da arte no assunto. Serão estudados os tipos de conexão entre os inversores, os tipos de controladores para paralelismo com e sem comunicação de dados, os tipos de configurações possíveis e métodos de sincronismo.

#### 3.1 TIPOS DE CONFIGURAÇÕES DE PARALELISMO DE INVERSORES

Considerando-se o objetivo de aumentar a confiabilidade e a disponibilidade do sistema de fornecimento ininterrupto de energia, existem as opções de redundância e paralelismo.

A redundância consiste em ter um ou vários UPSs como reservas, que entram em operação na situação de falha do UPS principal. Pode ser na configuração (N+1), na qual existe um UPS de reserva para o sistema ou na configuração (N+X) em que existe mais de um UPS de reserva.

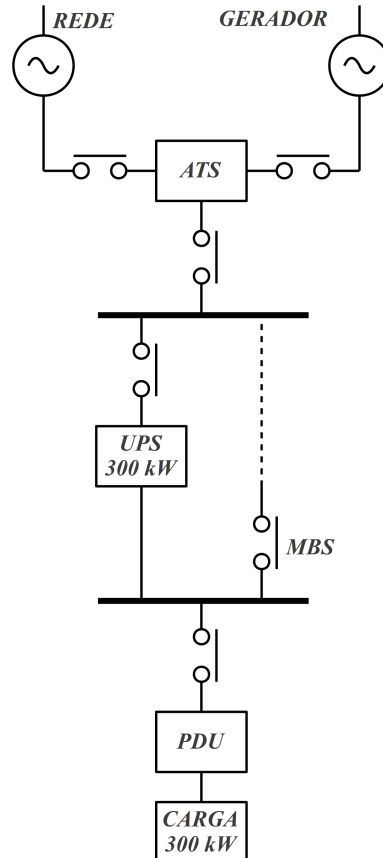
A operação em paralelo consiste em conectar os UPSs proporcionando com que cada unidade forneça uma parcela da potência drenada pela carga, que pode ser equalizada ou proporcional a suas capacidades, não obrigando os UPSs a serem iguais no que diz respeito a potência nominal. Para a correta operação da conexão em paralelo, os UPSs devem ter compatibilidade de tecnologia e igualdade de amplitude e fase/frequência da tensão de saída (GUERRERO et al., 2008).

##### 3.1.1 REDUNDÂNCIA

Esta dissertação é direcionada ao algoritmo de paralelismo de UPSs, mas para uma melhor contextualização, serão apresentados os tipos mais comuns de configurações redundantes, os quais na maioria dos casos também podem utilizar o algoritmo de paralelismo.

### 3.1.1.1 SISTEMA UNITÁRIO (N)

É o sistema com apenas um UPS e uma chave *bypass*, como o observado na Figura 8.



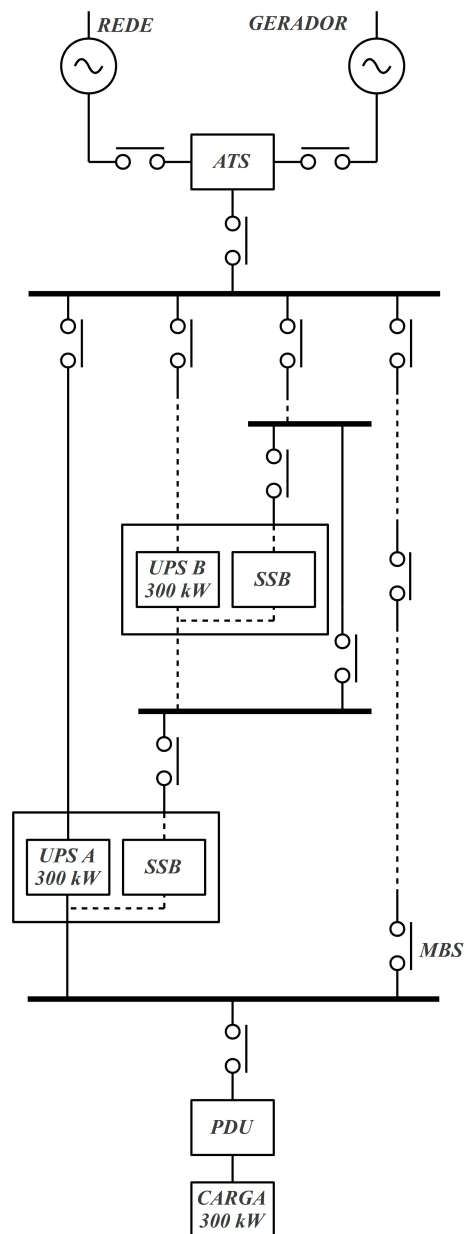
**Figura 8:** Configuração N

De acordo com a Figura 8, o UPS pode ser alimentado pela rede elétrica (*REDE*) ou por um gerador (*GERADOR*). A opção de ser alimentado por um ou outro é executada pela chave de transferência automática (*ATS - Automatic Transfer Switch*), a qual alimenta o UPS. Na falha do UPS, a chave *bypass* de manutenção (*MBS - Maintenance Bypass Switch*) é ativada, alimentando a carga com energia não regulada. Em qualquer caso, a energia passa por um unidade de distribuição de potência (*PDU - Power Distribution Unity*) (RAHMAT et al., 2010).

### 3.1.1.2 REDUNDÂNCIA ISOLADA

É o sistema que conta com mais confiabilidade que o sistema N, devido ao uso de um segundo UPS, como o observado na Figura 9.

De acordo com a Figura 9, em funcionamento normal o *UPS A* alimenta todos os 300 kW da carga. Na falha deste, a sua chave de *bypass* estático (*SSB - Static Switch Bypass*) opera,



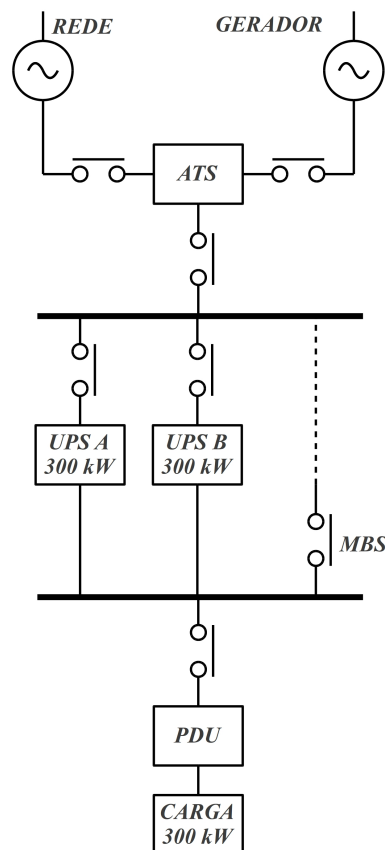
**Figura 9:** Configuração Isolada

utilizando a energia do *UPS B*, que assume os 300 kW da carga. Caso o *UPS B* falhe, a sua chave de *bypass* estático atua usando energia não regulada para a carga. Por fim, se ambos UPSs e chaves de *bypass* estático venham a falhar, a chave *bypass* de manutenção pode ser ativada (RAHMAT et al., 2010).

### 3.1.1.3 REDUNDÂNCIA (N+1)

É o sistema que possui dois UPSs conectados em paralelo compartilhando a potência da carga, conforme a Figura 10.

De acordo com a Figura 10 existem dois UPSs, *UPS A* e *UPS B*, conectados em



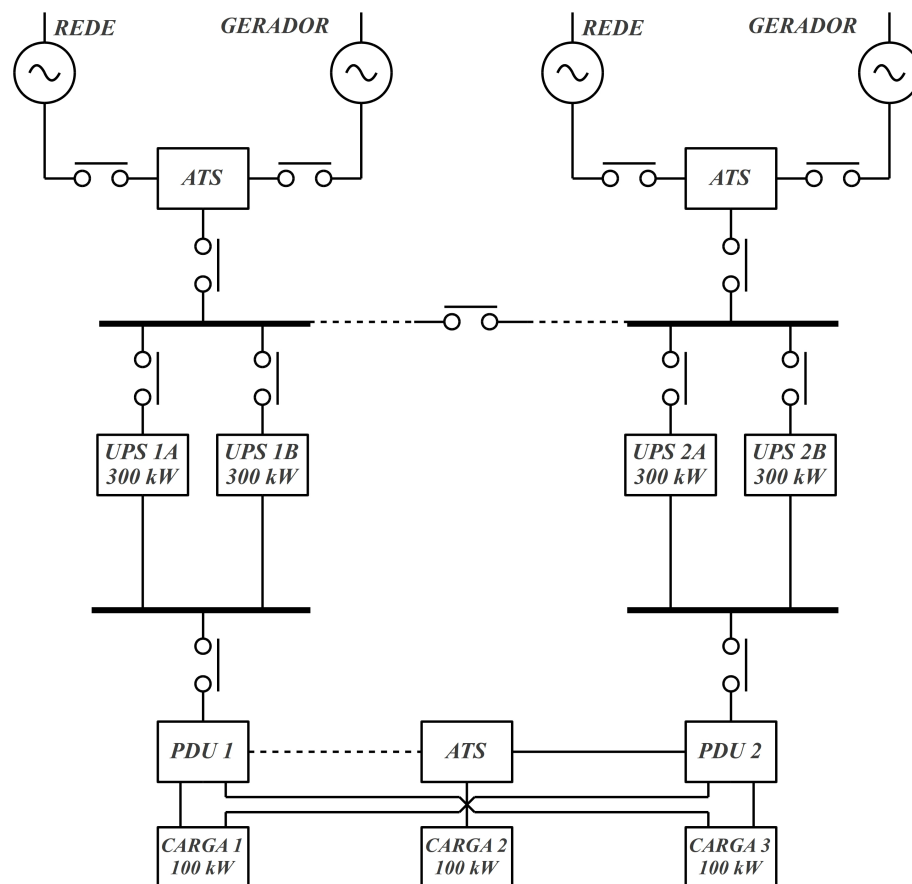
**Figura 10:** Configuração (N+1)

paralelo. Ambos fornecem parcelas iguais de potência para a carga, sendo que qualquer um dos dois consegue alimentar a carga sozinho, uma vez que ambos possuem capacidade de 300 kW para uma carga de 300 kW. Sendo assim, na falha de um deles, o outro assume a carga inteiramente (RAHMAT et al., 2010).

#### 3.1.1.4 REDUNDÂNCIA 2(N+1)

É a duplicação do sistema N+1 comum, que ainda utiliza unidades de distribuição de potência para distribuir a potência de 300 kW em 3 cargas de 100 kW cada uma, como visto na Figura 11

De acordo com a Figura 11, o sistema possui partes 1 e 2, cada uma contando com dois UPSs que trabalham fornecendo potência de 300 kW. A potência de 300 kW, que pode ser proveniente tanto da parte 1 quanto da 2 do sistema, é distribuída entre as cargas de 100 kW, através das unidades de distribuição de potência. Normalmente, cada um dos 4 UPSs fornece uma parcela de potência proporcional para a carga, sendo possível ocorrer a falha de até 3 UPSs, e ainda assim o UPS restante terá capacidade de alimentar toda a carga (RAHMAT et al., 2010).



**Figura 11:** Configuração 2(N+1)

### 3.1.1.5 CONFIGURAÇÃO *CATCHER*

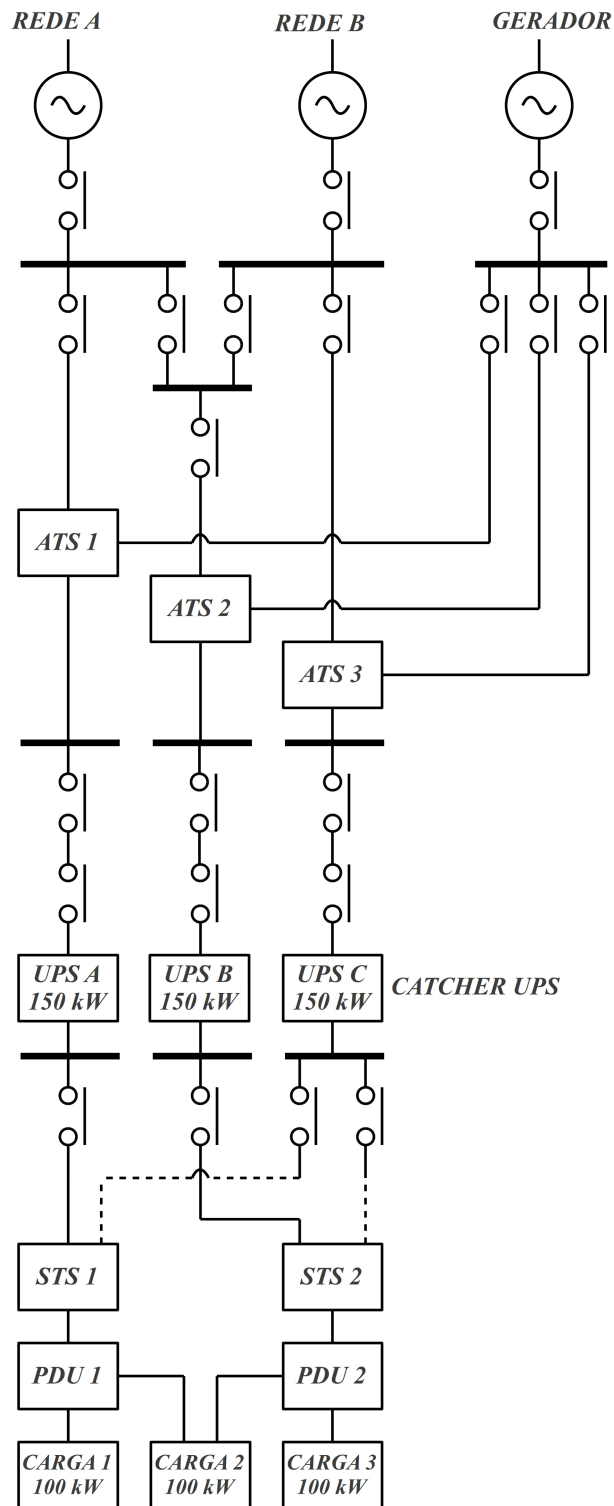
Consiste em ter um UPS em *stand-by* para substituir algum UPS do sistema na ocorrência de falha, conforme visto na Figura 12.

De acordo com a Figura 12, o *UPS C* permanece desativado enquanto os *UPS A* e *UPS B* alimentam 150 kW da carga cada um. Na falha de um deles, o *UPS C* começa a compartilhar o fornecimento de carga com o UPS que permaneceu ativo. Deve-se perceber que nessa configuração os UPSs não possuem capacidade de alimentar toda a carga sozinhos, pois suas capacidades são de 150 kW, enquanto a carga é de 300 kW (RAHMAT et al., 2010).

### 3.1.1.6 CONFIGURAÇÃO DISTRIBUÍDA

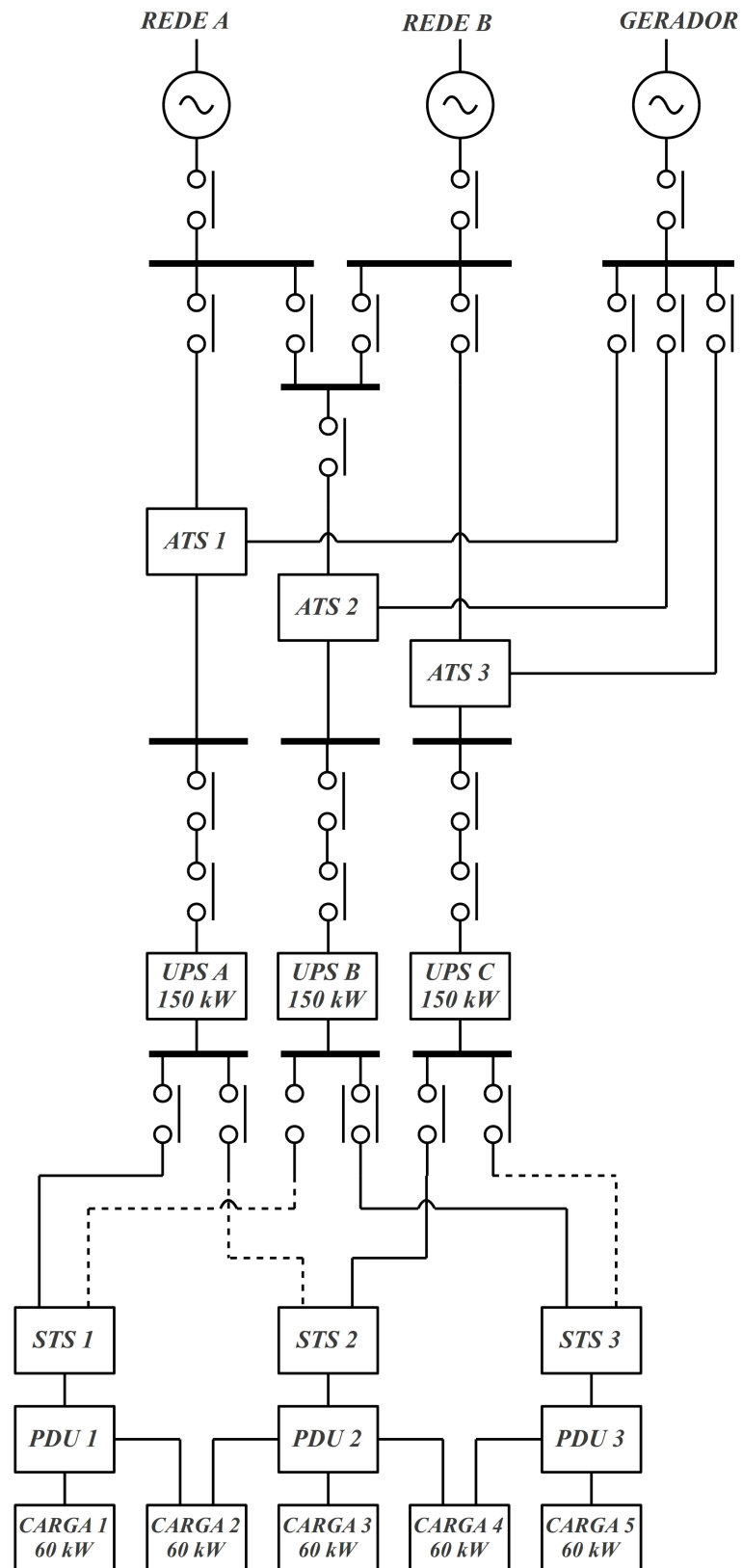
Semelhante ao *catcher*, nessa configuração o terceiro UPS participa do compartilhamento da carga, como visto na Figura 13.

De acordo com a Figura 13, três UPSs de 150 kW alimentam 5 cargas de 60 kW cada uma, sendo distribuídas pelas *PDU* de saída. Cada UPS fornece a mesma parcela de



**Figura 12:** Configuração *Catcher*

potência para carga, sendo que na falha de um deles, o sistema ainda pode operar na potência nominal. Caso ocorra falha em mais de um UPS, o sistema diminui a disponibilidade de potência (RAHMAT et al., 2010).



**Figura 13:** Configuração distribuída

### 3.1.2 PARALELISMO DE UPSs

Para o paralelismo, não é necessário chaves ou conversores externos para executar as conexões necessárias, bastam apenas os UPSs. No entanto, para que isso seja possível,



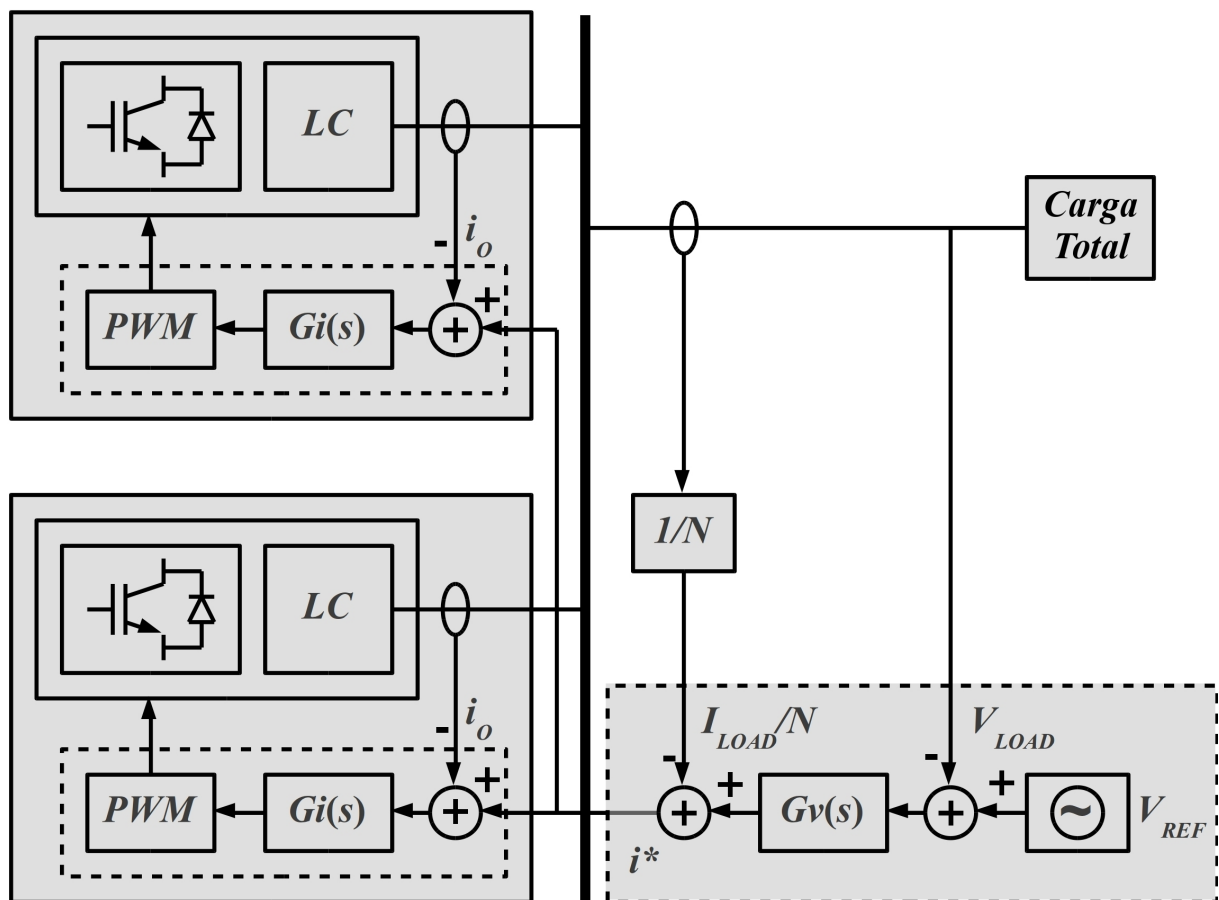
todos os UPSs conectados devem ser compatíveis, tendo a mesma tecnologia de paralelismo. Além disso, devem possuir a mesma tensão, fase e frequência em seus inversores de saída, compartilhamento de potência para equalizar a distribuição das cargas e possibilidade de conectar e desconectar unidades com o sistema em operação (GUERRERO et al., 2008).

### 3.2 TIPOS DE CONEXÕES PARALELAS DE INVERSORES

#### 3.2.1 CONTROLE CENTRALIZADO

É o sistema mais simples de ser implementado, mas sempre necessita de interconexões entre o inversor e um módulo central, limitando a robustez e confiabilidade ao funcionamento de um único dispositivo, não importando o número de inversores conectados ao sistema. Apesar disso, garante ótimo compartilhamento de potência, não prejudicando a THD de saída (GUERRERO et al., 2008).

Na Figura 14 observa-se um sistema de paralelismo empregando um módulo central que executa o compartilhamento de corrente.

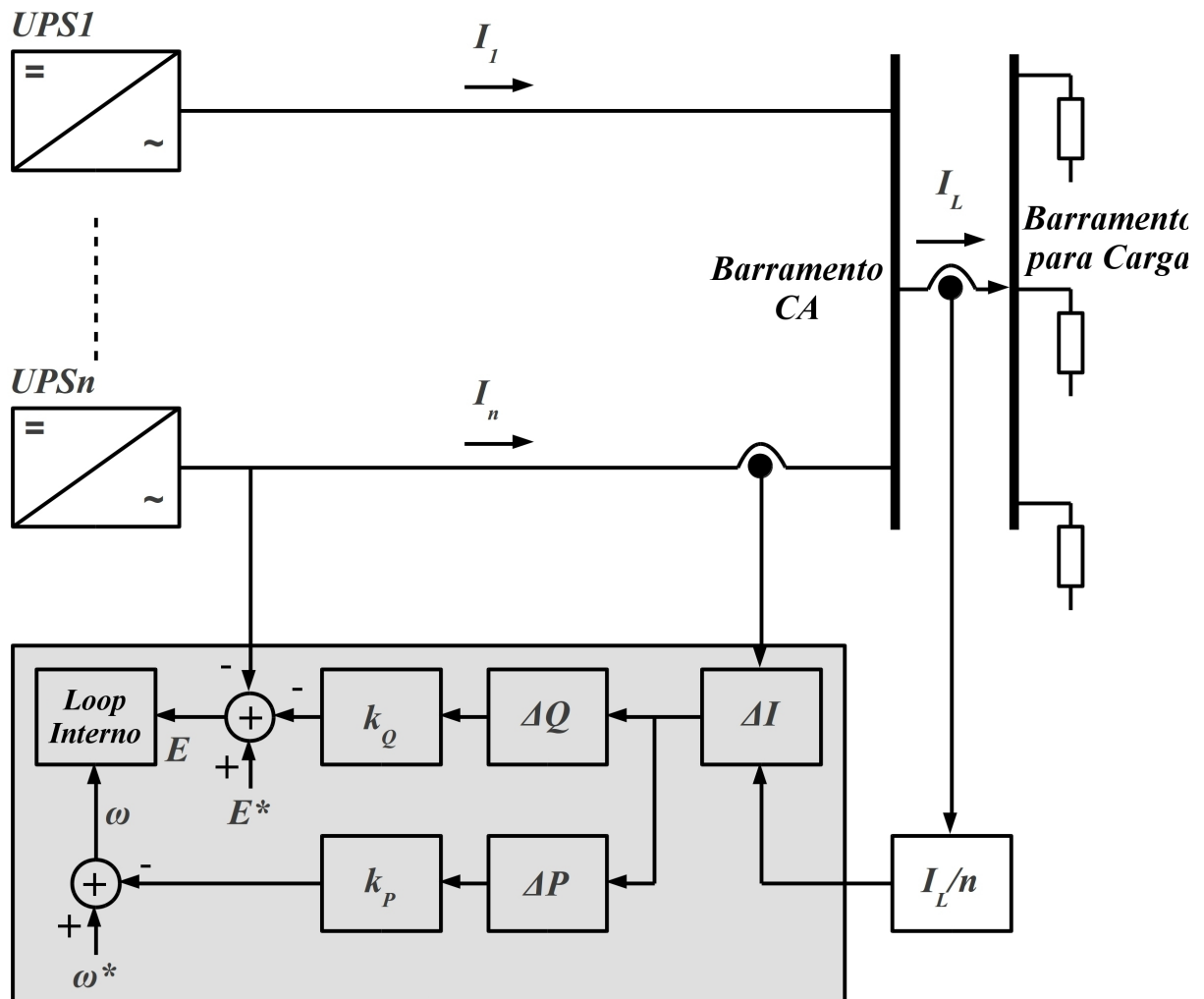


**Figura 14:** Diagrama do controlador centralizado.

Como visto na Figura 14, cada inversor possui seu próprio sensor (amostra  $i_o$ ) que atua, cada um, no seu controlador de corrente. No entanto, existe um módulo que é o controlador central, cuja função é monitorar e controlar todo o sistema. Neste controlador está o sensor de tensão, o qual realimenta o controlador de tensão,  $G_v(s)$ , que gera as referências para os controladores de corrente que é baseada na corrente total drenada pela carga, dividida pelo número de inversores conectados. A fase é controlada pelo módulo central, visto que este gera a referência de tensão para os inversores (MARTINS et al., 1995).

Essa configuração permite um ótimo compartilhamento de potência, uma vez que todos os controladores de corrente,  $G_i(s)$ , seguem a mesma referência. A desvantagem é a necessidade de um módulo externo para executar o controle e a necessidade de um medidor externo aos inversores para executar a medição da corrente total (GUERRERO et al., 2008).

Na Figura 15 pode ser visto um sistema de paralelismo centralizado utilizando a potência ativa e reativa.



**Figura 15:** Diagrama do controlador centralizado baseado na potência.

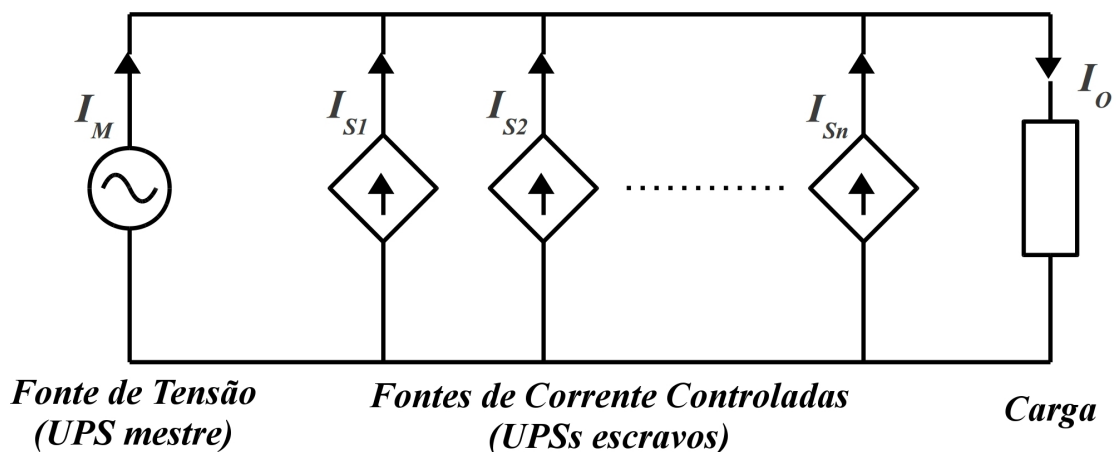
Como exposto na Figura 15, esse controlador realiza o compartilhamento de potência ativa e reativa separados, diferente da solução apresentada na Figura 14, a qual executa o compartilhamento de potência pela corrente, nunca havendo diferença de fase. O controlador da Figura 15 não necessita de referência de fase, comum a todos os inversores (IWADE et al., 2003).

Esse controlador também mede a corrente total da carga, divide ela pelo número de inversores e compara o resultado com a corrente de cada inversor, gerando um erro de potência ativa e reativa ( $\Delta P$  e  $\Delta Q$ ), sendo que a malha de potência ativa compensa a frequência e a malha de potência reativa compensa a amplitude de cada inversor (GUERRERO et al., 2008).

### 3.2.2 MESTRE-ESCRAVO

#### 3.2.2.1 FONTE DE TENSÃO COM FONTE DE CORRENTE - MESTRE DEDICADO

É o sistema onde todos os inversores conectados são iguais, diferindo apenas o controlador inversor mestre, que é o responsável pela definição da tensão e da frequência do barramento, sendo que os inversores escravos contribuem com suas parcelas de corrente, como no exemplo da Figura 16 (LEE et al., 2004).



**Figura 16:** Diagrama mestre-escravo.

Na Figura 16, a fonte que gera a corrente  $I_M$  se comporta como uma fonte de tensão, gerando referência de corrente para os inversores escravos,  $I_{Sn}$ , que se comportam como fontes de corrente (GUERRERO et al., 2008).

Na Figura 17 é mostrado o diagrama do controlador do módulo mestre do sistema.

O controlador mestre, mostrado na Figura 17, consiste em um controlador de tensão, que utiliza a amostra de tensão de saída,  $V_O$ , e a referência de tensão,  $V_{O^*}$ , que gera uma

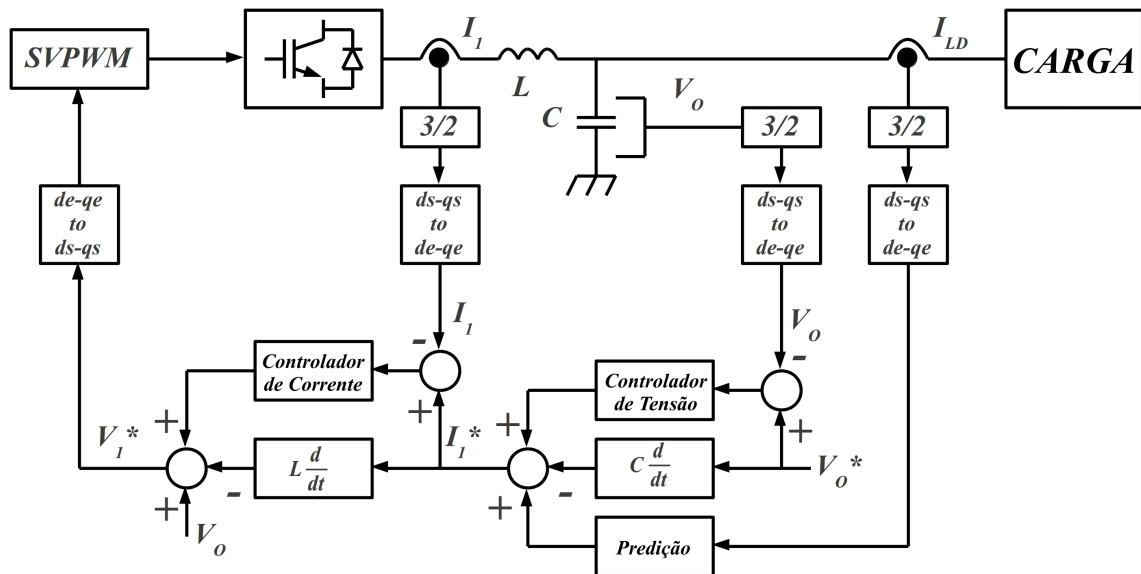


Figura 17: UPS mestre.

referência de corrente para seu próprio controlador de corrente, gerando a saída *SVPWM* (*Space Vector Pulse Width Modulation*) para controlar o inversor.

Assim, é gerada uma tensão para o barramento com amplitude e frequência definidas pelo próprio controlador mestre, sendo que este sempre assume uma parcela da corrente de saída também (LEE et al., 2004).

Na Figura 18 pode ser visto o controlador do módulo escravo.

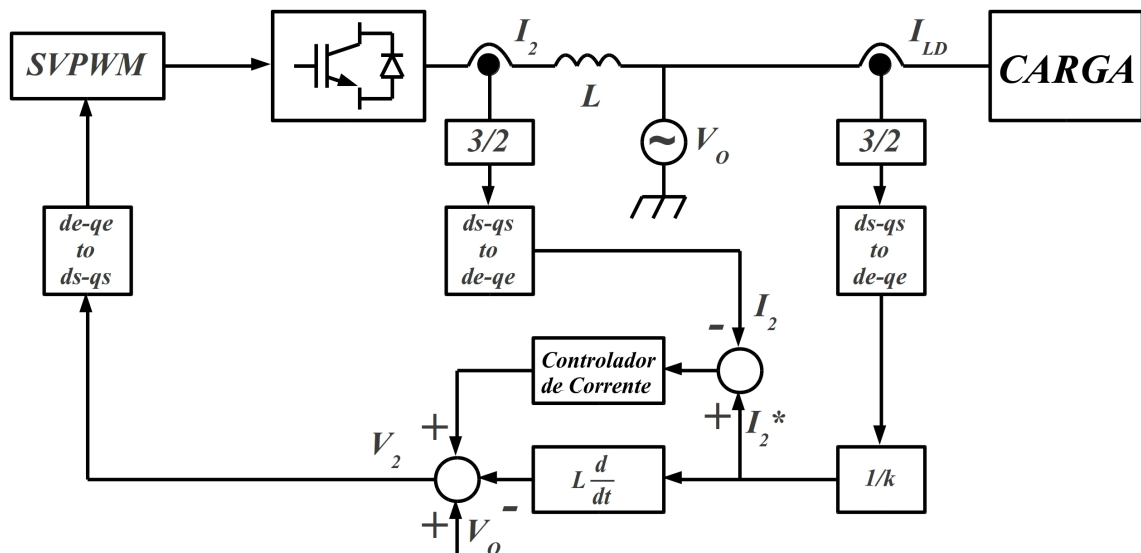


Figura 18: UPS escravo.

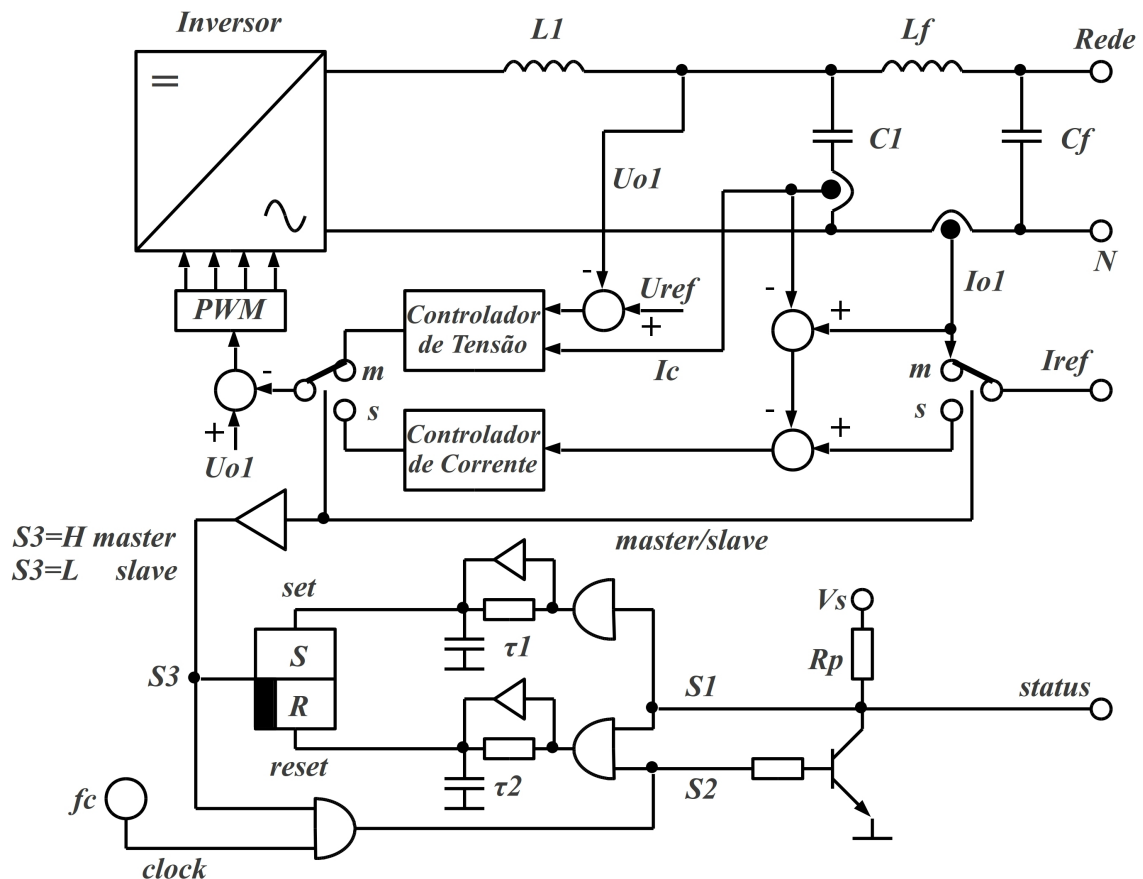
Pode ser observado, na Figura 18, que o controlador dos módulos escravos é apenas um controlador de corrente que utiliza a corrente da carga dividida por  $k$ , que é o número de módulos no barramento. Assim, cada módulo assume uma parcela proporcional de corrente,

realizando o adequado compartilhamento de potência.

Observa-se, também, que a tensão do barramento gerada pelo controlador mestre,  $V_O$ , é somada na saída do controlador para que os módulos escravos não interfiram na tensão do barramento, que apenas realizam suas contribuições de corrente (LEE et al., 2004).

### 3.2.2.2 LÓGICA DE SELEÇÃO - MESTRE ROTATÓRIO

Neste método é importante ressaltar que, na falha do mestre, outro módulo é escolhido no sistema e, quando qualquer novo módulo é conectado ao sistema, sempre entrará como módulo escravo. Na Figura 19 pode ser visto o diagrama da lógica de seleção do mestre.



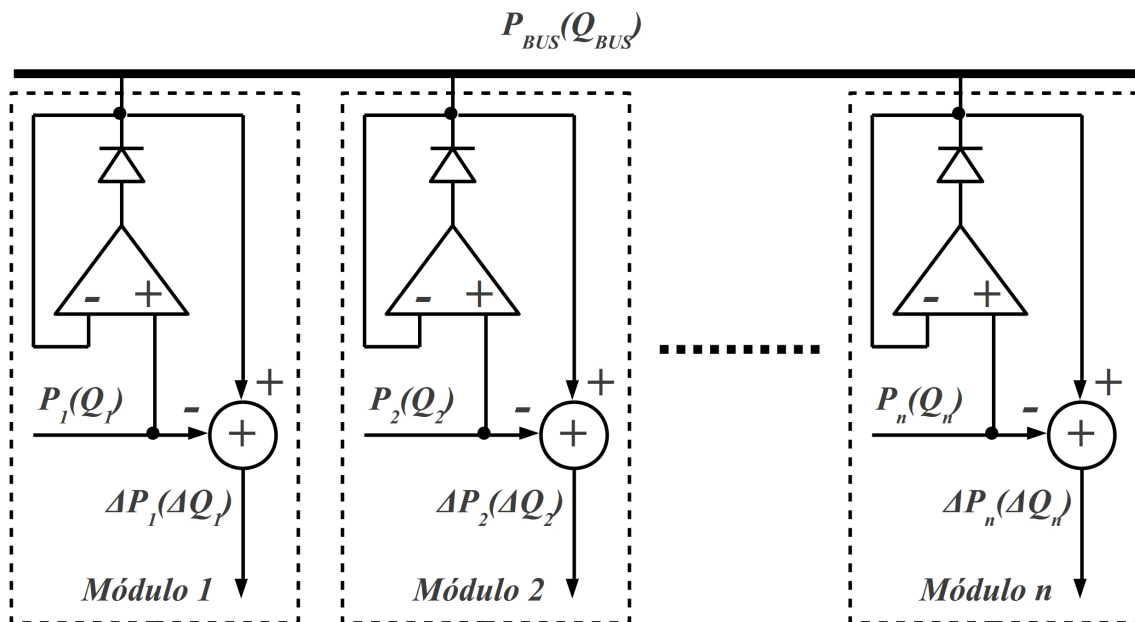
**Figura 19:** Lógica de seleção do módulo mestre

Na Figura 19 pode ser visto um módulo genérico, que pode ser tanto mestre quanto escravo. Quando o sistema é inicializado, o módulo que colocar o nível  $S3$  alto ( $H$  master) primeiro, é o módulo mestre, travando o sistema de maneira que outros módulos posteriores sempre comecem a funcionar como módulos escravos. Caso ocorra uma falha no módulo mestre, o  $clock$  cessa e o sinal  $S2$  fica baixo deixando o  $status$ , que é coletor aberto, alto, habilitando outro módulo a assumir, conduzindo seu próprio transistor de  $status$  e travando o

sistema novamente com o novo módulo mestre. Esse método garante confiabilidade em relação ao módulo mestre dedicado, porque não depende do correto funcionamento de um único módulo para que o sistema opere corretamente (BROECK; BOEKE, 1998).

### 3.2.2.3 MAIOR CARGA - MESTRE ROTATÓRIO

Na Figura 20 pode ser visto o método de seleção do módulo mestre pela maior potência em um sistema mestre-escravo.

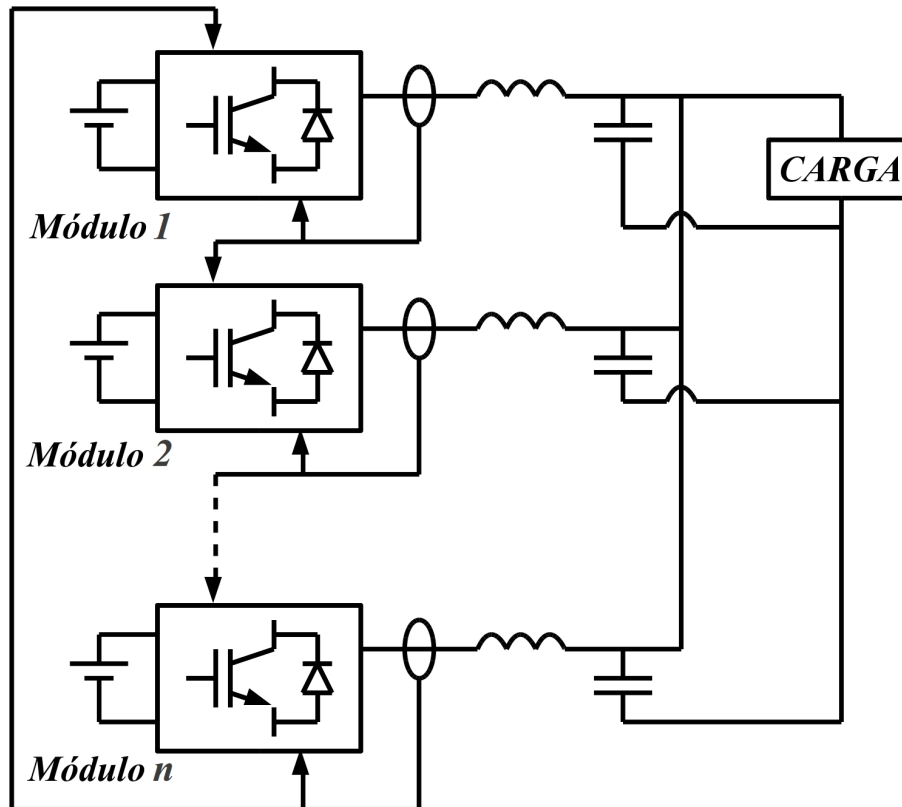


**Figura 20:** Seleção do módulo mestre pela potência

O barramento  $P_{BUS}(Q_{BUS})$  é o maior valor ( $P(Q)$ ) de todos os inversores do sistema. Sendo assim, uma vez que este valor esteja presente no barramento, é usado como referência para cada um dos módulos, que calculam seus respectivos erros,  $\Delta P(\Delta Q)$ . Deve-se observar que o barramento e as medidas são todas duplas, pois tem a medida de potência real,  $P$ , e potência reativa,  $Q$ , sendo que a potência reativa ajusta a amplitude dos inversores e a potência ativa a frequência. Isso significa que o mestre que controla a amplitude pode não ser o mestre que controla a frequência pois, o inversor que está fornecendo mais potência ativa pode não estar, necessariamente, fornecendo mais potência reativa no mesmo instante. Isso demonstra que o conceito de seleção do módulo mestre serve apenas para definir como as referências de potência são obtidas para cada malha de controle e não para um módulo mestre apenas, resultando na possibilidade de existir dois mestres ao mesmo tempo, cada um controlando uma potência (PEI et al., 2004).

### 3.2.3 CONTROLE DE CADEIA CIRCULAR (3C)

É um sistema mestre-escravo também, diferindo na maneira como as referências de corrente são obtidas. Na Figura 21 pode ser vista a conexão entre inversores pelo método 3C (*Circular Chain Control*).



**Figura 21:** Conexão de controle por cadeia circular

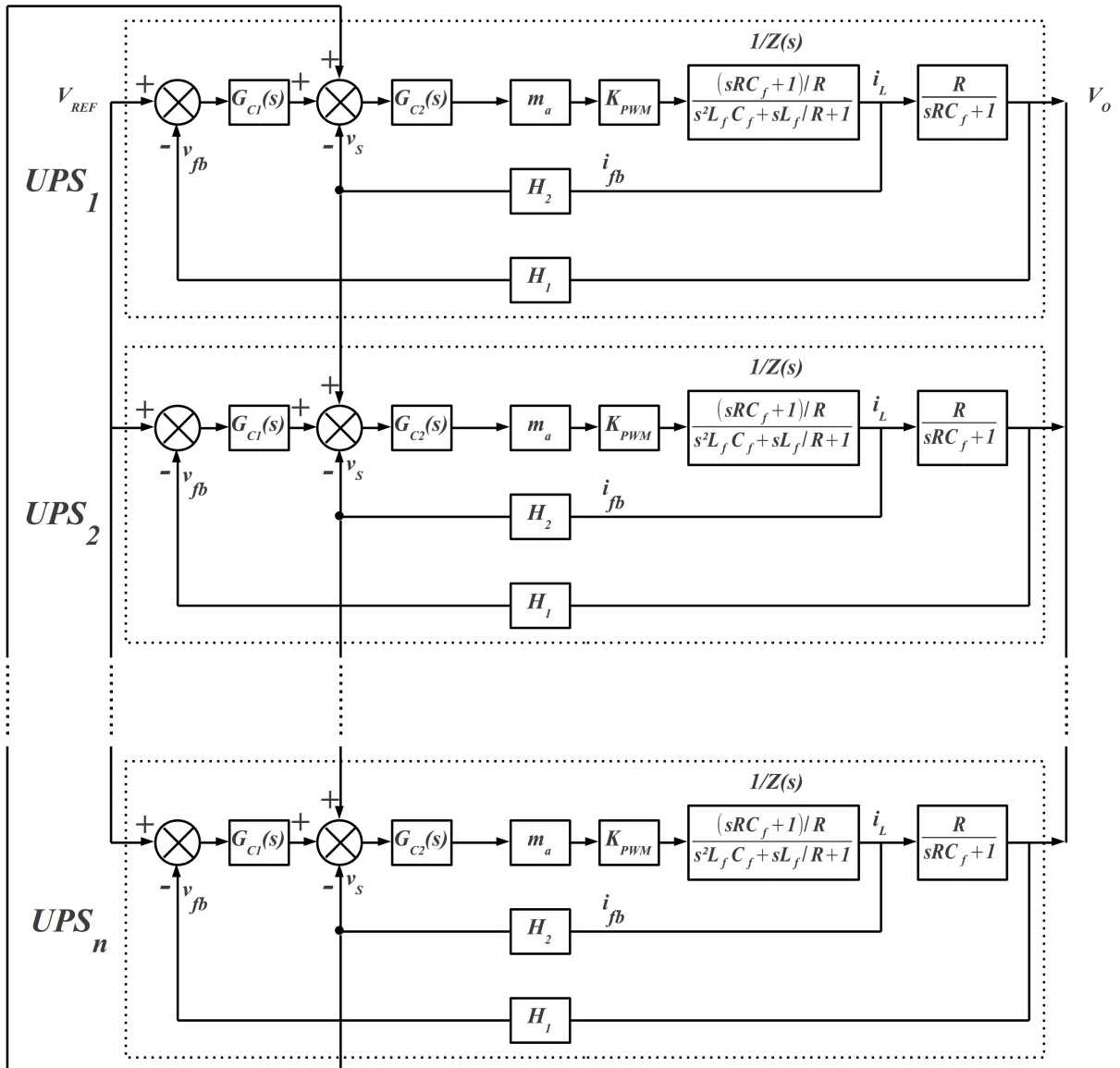
Pela conexão da Figura 21 nota-se que cada amostra de corrente de saída do inversor também é usada pelo próximo módulo e assim sucessivamente, fechando uma cadeia circular. Deve-se observar, claramente, que a conexão de tensão de saída entre os inversores continua sendo em paralelo, apenas a amostra de corrente forma uma cadeia circular (WU et al., 2000).

Qualquer módulo pode ser mestre ou escravo, uma vez que todos possuem configurações iguais, podendo ser selecionado pela maior carga ou por lógica de seleção. Logicamente, pode existir um mestre dedicado, mas isso poderia reduzir confiabilidade do sistema (GUERRERO; MATA, 2004).

Na Figura 22 observa-se o diagrama do controlador para o 3C com vários módulos.

Como visto na Figura 22 os principais aspectos do controlador 3C são:

- possui controlador e sensor de corrente,  $G_{C2}(s)$  e  $H_2$ , e controlador e sensor de tensão,



**Figura 22:** Controlador por cadeia circular

$G_{C1}(s)$  e  $H_1$ ;

- cada inversor tem sua planta, considerando a normalização  $m_a$  e constante do PWM,  $K_{PWM}$ , conforme equações (1) e (2).

$$\frac{i_L}{G_{C2}(s) \times m_a \times K_{PWM}} = \frac{(sRC_f + 1)/R}{s^2 L_f C_f + s L_f / R + 1} \quad (1)$$

$$\frac{V_O}{i_L} = \frac{R}{sRC_f + 1} \quad (2)$$

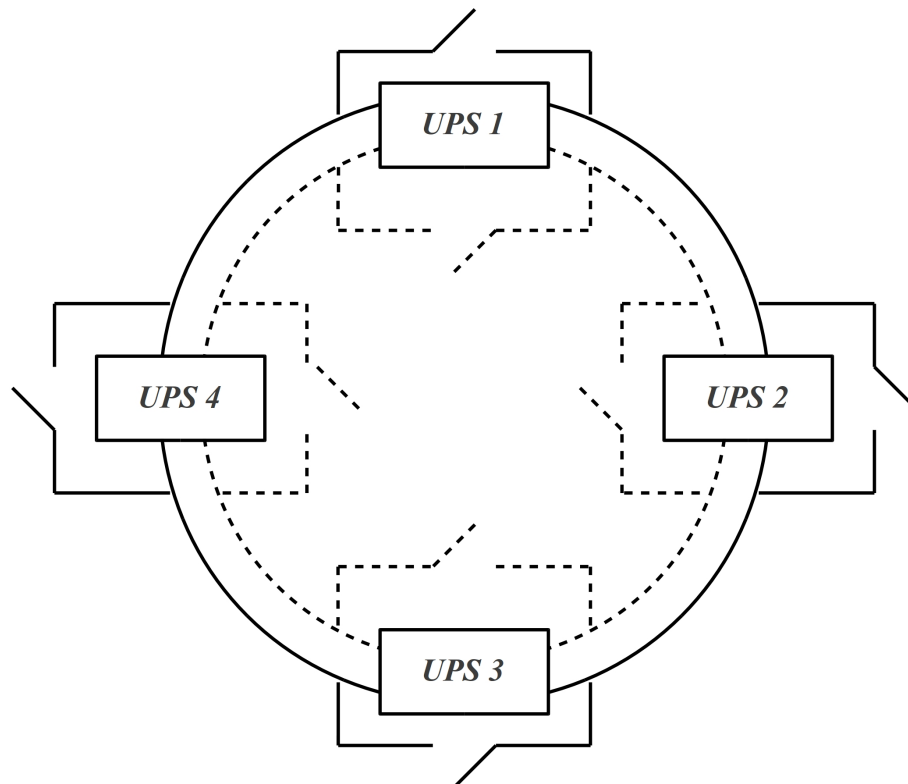
- com a planta das equações (1) e (2) a corrente de saída do inversor está disponível em  $i_L$  (ou  $i_{fb}$ ) e a tensão em  $V_O$  (ou  $v_{fb}$ );



- sendo assim, a corrente de cada módulo,  $v_s$ , entra no módulo posterior, compondo a cadeia circular.

Como a realimentação de corrente na cadeia circular é positiva, se um módulo fornece mais potência para a carga, o sinal aumenta para o módulo posterior, fazendo com que esse aumente sua própria tensão de saída e forneça mais potência, e assim sucessivamente, convergindo para que o sistema se estabilize com todos fornecendo aproximadamente a mesma potência (WU et al., 2000).

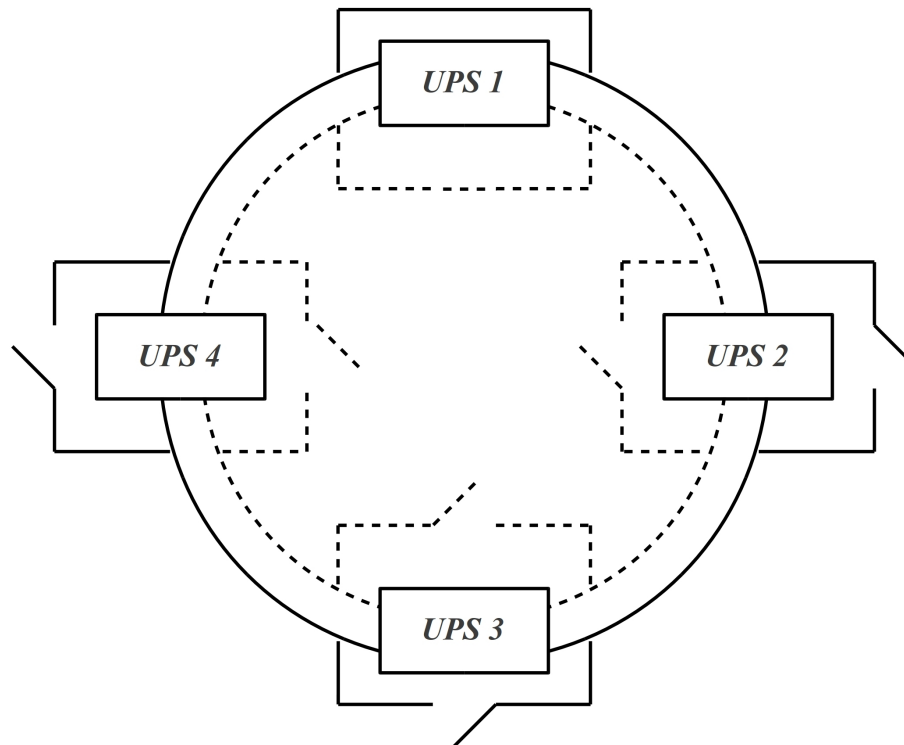
Na Figura 23 pode ser visto o sistema 3C com a comunicação de corrente bidirecional funcionando.



**Figura 23:** Comunicação para 3C com 4 UPSs funcionando

Como visto na Figura 23, todos os inversores da cadeia circular estão ativos e a comunicação está ocorrendo nos dois sentidos, sendo que a linha contínua é um sentido e a tracejada é o sentido oposto. As chaves são comandadas pelo UPS adjacente, ou seja, para o UPS 1 é o UPS 4 que comanda a chave da linha contínua e o UPS 2 que comanda a chave da linha tracejada, pois caso um dos dois não esteja recebendo sinal do UPS que teria falhado, são os UPSs em funcionamento que irão operar as chaves para receberem sinal do UPS posterior.

Na Figura 24 pode ser visto a cadeia 3C com o UPS 1 fora de funcionamento.



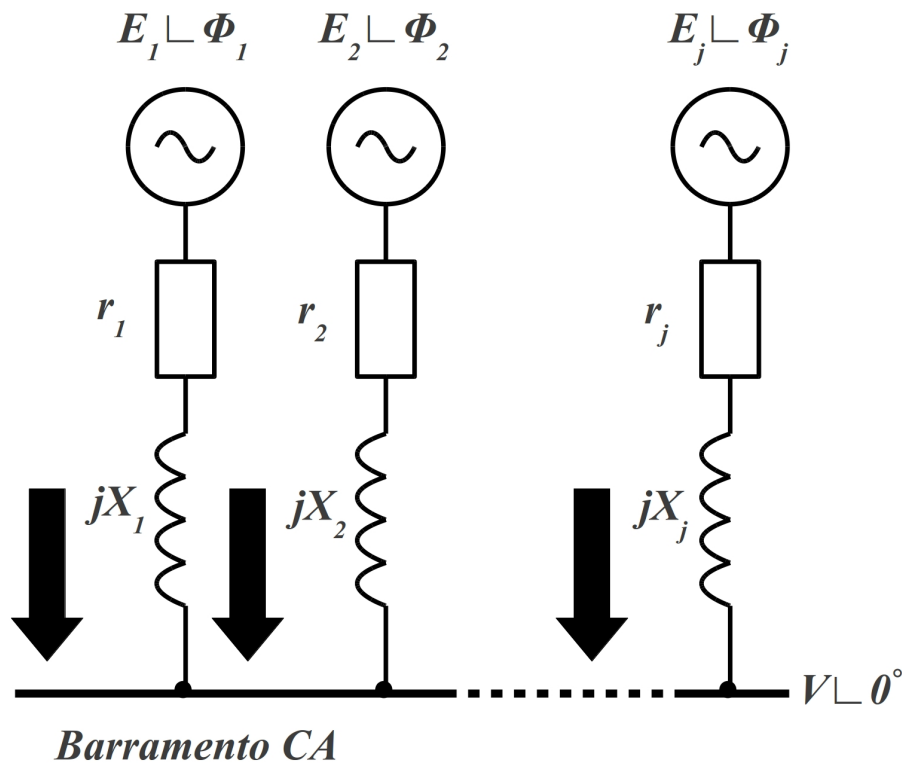
**Figura 24:** Comunicação para 3C com *UPS 1* com defeito

Na Figura 24 pode-se observar que o inversor *UPS 1* falhou. Nesse caso, as chaves, que ficariam abertas no funcionamento normal, estarão fechadas para o *UPS 1* e serão comandadas pelos *UPS 2* e *UPS 4*. Isso significa que a amostra de corrente pula o *UPS 1*, nos dois sentidos da cadeia circular, permitindo com que os outros 3 UPSs continuem funcionando normalmente. Isso possibilita o recurso de *hot-swap*, pois um inversor pode estar conectado em paralelo no sistema, mas com as chaves fechadas e, por consequência, não estar fornecendo potência. Assim que possível, as chaves no novo inversor poderão ser abertas e este poderá começar a compartilhar o fornecimento de potência juntamente com os demais inversores (WU et al., 2000).

#### 3.2.4 COMPARTILHAMENTO DE CARGA ATIVO

É o sistema onde todos os UPS são iguais, no que diz respeito ao funcionamento, e são conectados em paralelo. Uma conexão típica pode ser vista na Figura 25.

De acordo com a Figura 25, cada inversor possui uma impedância pela qual se conecta no barramento CA (Corrente Alternada). Essas impedâncias são ativas e podem ser proporcionais à potência nominal do inversor ou podem ser todas iguais. Como estão em paralelo, quando forem todas iguais, cada inversor poderá fornecer a mesma potência para



**Figura 25:** Conexão para compartilhamento de carga

o barramento CA. Caso sejam proporcionais às potências nominais dos inversores, cada um poderá fornecer a parcela proporcional para o barramento CA, de acordo com sua capacidade nominal. O controlador utilizado para esse tipo de conexão, geralmente, é o controlador *droop* (ZHANG; MA, 2012).

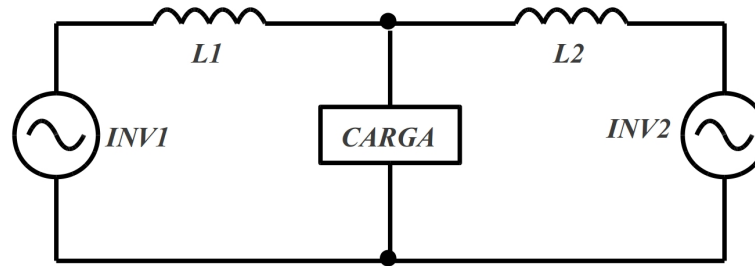
### 3.3 CONTROLE SEM COMUNICAÇÃO PARA PARALELISMO DE INVERSORES

#### 3.3.1 DROOP DE POTÊNCIA ATIVA E REATIVA

O termo *droop* significa abater algo no sentido de derrubar ou atenuar. Como é o termo utilizado em todos os trabalhos pesquisados para descrever o tipo de impedância virtual utilizada para permitir conectar em paralelo duas fontes CA, será utilizado por esta dissertação no idioma inglês.

O controlador *droop* é o método mais utilizado para elaborar sistemas com inversores em paralelo. Os mais comuns são aqueles baseados na Figura 26 e são usados, com algumas variações, por (AZEVEDO et al., 2011), (SAHOO et al., 2011), (HASANZADEH; MOKHTARI, 2009), (GUERRERO et al., 2011), (JU et al., 2007), (De Brabandere et al., 2007), (GUERRERO et al., 2006), (GUERRERO et al., 2005), (XIE et al., 2005), (GUERRERO et al., 2004a), (CHEN et al., 2004), (GUERRERO et al., 2004), (GUERRERO et al., 2004b),

(COELHO et al., 2002) e (AZEVEDO et al., 2011).



**Figura 26:** Conexão entre inversores paralelos

Na Figura 26 cada inversor tem um indutor de saída, que compõe o filtro passa-baixa de saída, o qual provoca circulação de potência reativa ou ativa entre os inversores.

Como é uma impedância indutiva, se houver potência ativa circulando entre os inversores, significará que existe uma corrente em fase com a tensão de saída circulando pelo indutor. Para que isso ocorra, é necessário existir uma queda de tensão cossenoidal no indutor, o que indicaria diferença de fase entre os inversores. Caso exista potência reativa entre os inversores, significa que existe uma corrente defasada em aproximadamente  $90^\circ$ , como uma cossenoide. Para isso ocorrer, é necessário existir uma queda de tensão senoidal no indutor, o que indicaria uma diferença de amplitude entre os inversores.

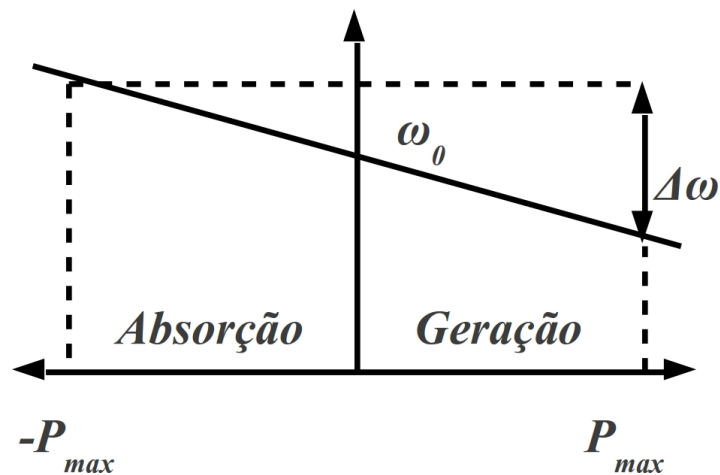
Dessa forma, potência ativa circulando entre os inversores, resultando em queda de potência reativa no indutor, indica que existe um erro de fase entre os inversores, como pode ser visto na equação (3), que é o *droop* clássico (SAHOO et al., 2011).

$$\omega = \omega_0 - k_P \times (P_{meas} - P_0) \quad (3)$$

Onde,  $\omega$  é a frequência do inversor,  $\omega_0$  é a referência de frequência do inversor,  $k_P$  é o ganho do controlador, ajustável conforme a aplicação,  $P_{meas}$  é potência ativa medida na saída do inversor e  $P_0$  é a referência de potência ativa do inversor.

Assim, a medida de potência ativa na saída indutiva do inversor é usada para alterar a fase do inversor (GUERRERO et al., 2011), de acordo com a Figura 27.

Na Figura 27 pode ser observado que quanto maior é a potência fornecida pelo inversor, menor é a frequência, e, quanto mais potência é absorvida pelo inversor, maior é a frequência. Conclui-se, assim, que, este inversor tenta manter um equilíbrio de fase com os outros inversores, uma vez que, com a saída indutiva, este inversor consegue manter o valor de potência ativa alterando a frequência (GUERRERO et al., 2011).



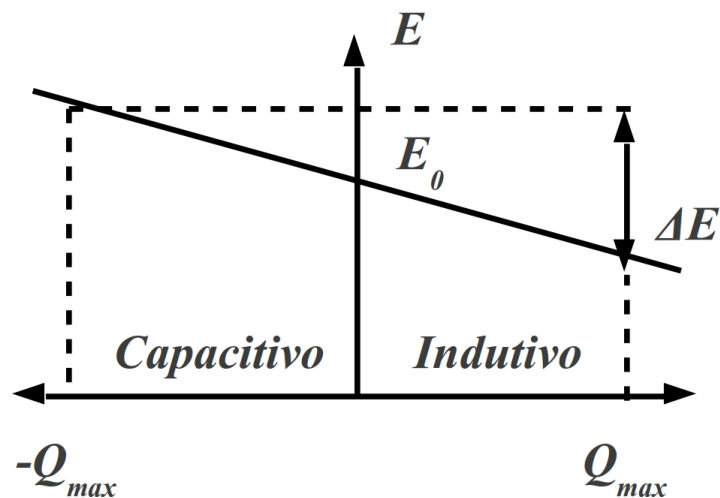
**Figura 27:** *Droop* de potência ativa com indutor

No caso de potência reativa circulando entre os inversores, significa que existe uma diferença de amplitude entre os inversores, como observado na equação (4), que é o *droop* clássico (SAHOO et al., 2011).

$$E = E_0 - k_V \times (Q_{meas} - Q_0) \quad (4)$$

Onde,  $E$  é a tensão de saída do inversor,  $E_0$  é a referência de tensão do inversor,  $k_V$  é o ganho do controlador, ajustável conforme a aplicação,  $Q_{meas}$  é potência reativa medida na saída do inversor e  $Q_0$  é a referência de potência reativa do inversor.

Deste modo, a medida de potência reativa na saída indutiva do inversor é usada para alterar a amplitude deste inversor (GUERRERO et al., 2011), como mostrado na Figura 28.

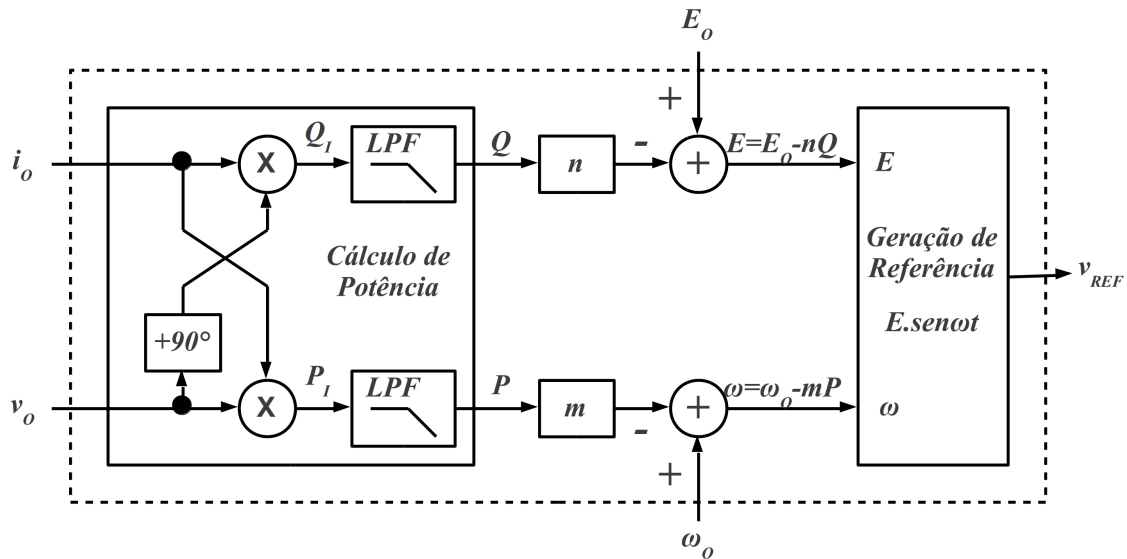


**Figura 28:** *Droop* de potência reativa com indutor

Na Figura 28 pode ser observado que quanto mais indutiva é a potência reativa que

circula pelo inversor, menor é a tensão, e quanto mais capacitiva é a potência que circula pelo inversor, maior é a tensão. Conclui-se, assim, que este inversor tenta manter um equilíbrio de tensão com os outros inversores, uma vez que, com a saída indutiva, este inversor consegue manter o valor de potência reativa alterando a amplitude (GUERRERO et al., 2011).

Na Figura 29 é mostrado o diagrama completo de um controlador *droop* de potência (GUERRERO et al., 2005).



**Figura 29:** *Droop* para compartilhamento de potência

De acordo com a Figura 29, a potência reativa é usada para controlar a tensão de saída e a potência ativa para controlar a frequência de saída. A potência de saída,  $P$ , é calculada pelo produto ( $P_I$ ) da tensão ( $v_o$ ) e corrente ( $i_o$ ) de saída, a qual passa por um filtro passa-baixa, *LPF*. A potência reativa é semelhante, porém, é inserido um atraso de  $90^\circ$  na tensão  $v_o$  que, multiplicada por  $i_o$ , produz  $Q_I$ , que ao passar por um filtro passa-baixa resulta em  $Q$ .

A potência ativa,  $P$ , é multiplicada pelo ganho,  $m$ , e subtraída da referência de frequência,  $\omega_0$ , produzindo a frequência,  $\omega$ , da referência senoidal do inversor,  $v_{REF}$ .

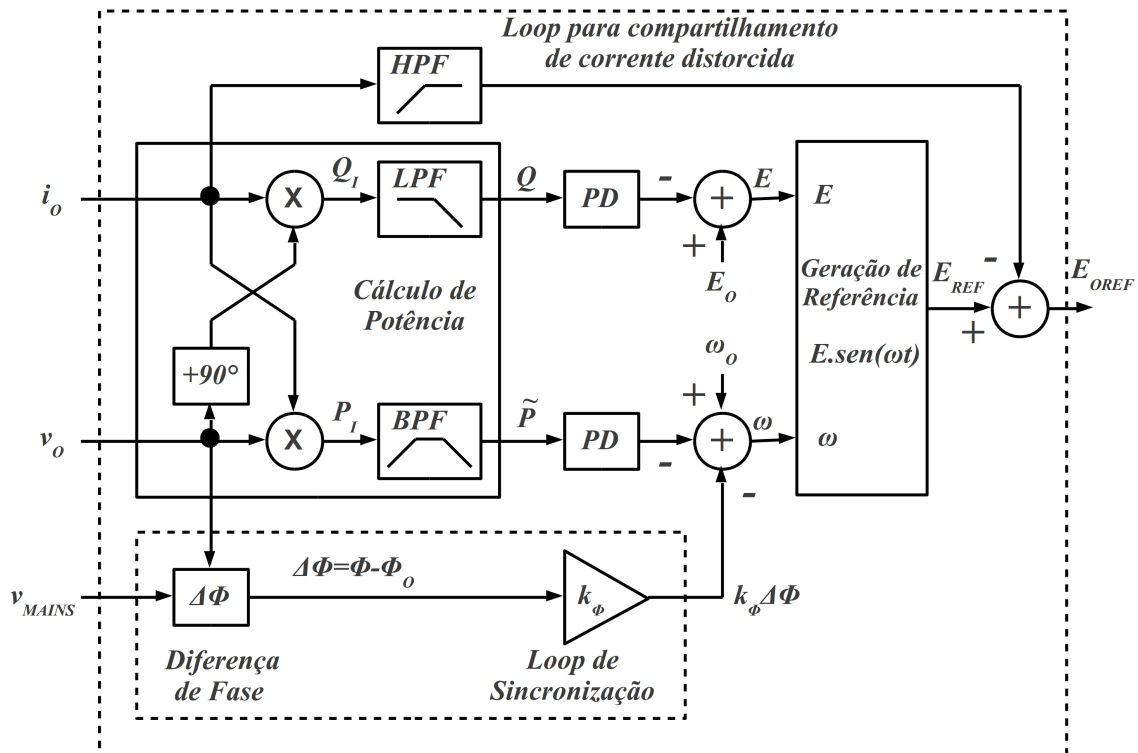
A potência reativa,  $Q$ , é multiplicada pelo ganho,  $n$ , e subtraída da referência de tensão,  $E_0$ , produzindo a tensão,  $E$ , da referência senoidal do inversor,  $v_{REF}$  (GUERRERO et al., 2005).

### 3.3.1.1 VARIAÇÕES PARA CONTROLADORES *DROOP*

Alguns autores, ao tentar melhorar ou adicionar funcionalidades ao controlador *droop*, fazem algumas modificações.

Na Figura 30, observa-se um *droop* para compartilhando de potência ativa e reativa

com melhoria na resposta a transitórios de carga (GUERRERO et al., 2004a).



**Figura 30:** Droop dinâmico para compartilhamento de potência

As principais diferenças entre esse controlador *droop* e o controlador clássico da Figura 29 são:

- resistência virtual (*Loop* para compartilhamento de corrente distorcida): embora as tensões eficazes dos inversores estejam equalizadas, estes podem possuir distorção harmônica, fazendo circular corrente reativa entre eles, a qual não poderá ser corrigida pela malha de potência ativa ou reativa. A solução é inserir uma resistência virtual que ameniza o problema. A resistência virtual emula uma resistência física, no entanto não requer o componente na saída do inversor e nem dissipa energia no mesmo. Consiste em uma medida de corrente de saída do inversor, que é multiplicada por uma constante para ajuste e subtraída da tensão do inversor. Por exemplo, se a escala do inversor for 100 pesos por Ampère e 100 pesos por Volt, ao subtrair a medida de corrente de saída diretamente da referência tensão do inversor, uma resistência virtual de  $1 \Omega$  estaria sendo inserida no inversor. Para reduzir a resistência virtual basta dividir a corrente por uma constante antes de subtrair na referência de tensão do inversor. No caso da Figura 30, um filtro passa-alta, *HPF*, foi utilizado para atenuar apenas os transitórios de corrente que possam ocorrer na saída do inversor;

- controladores PD: ao invés dos coeficientes  $m$  e  $n$  da Figura 29, nesse controlador são usados controladores PD (Proporcional Diferencial) para melhorar a resposta a transitórios;
- filtro passa-banda (*BPF*) para potência ativa: usando filtro passa-banda no lugar do passa-baixa da Figura 29, o erro de regime de frequência não será corrigido, apenas o transitório da faixa cujo filtro for definido;
- $k_\phi \Delta\phi$ : como a frequência não tem o erro de regime corrigido pela malha de potência ativa, usa-se uma malha que considera a frequência do barramento, como mostra a equação (5).

$$\omega = \omega_O - m\tilde{P} - m_d \frac{d\tilde{P}}{dt} - k_\phi \Delta\phi \quad (5)$$

Onde,  $\omega$  é a frequência resultante,  $\omega_O$  é a referência de frequência,  $m\tilde{P}$  é a potência ativa transitória multiplicada pelo coeficiente  $m$ ,  $m_d \frac{d\tilde{P}}{dt}$  é a variação da potência ativa vezes o coeficiente  $m_d$ ,  $\Delta\phi$  é a diferença de fase entre o inversor e o barramento e  $k_\phi$  é o ganho do controlador de frequência, que corrige erro de regime, compensando a parte não realizada pela potência ativa transitória.

Este controlador é semelhante ao *droop* clássico, porém, com compartilhamento de correntes harmônicas, resposta melhorada em transitórios e controle de frequência que usa, também, a própria frequência (GUERRERO et al., 2004a).

Na Figura 31 pode ser visto um controlador *droop* que usa a potência ativa e reativa de forma diferente do *droop* clássico (ZHONG, 2011).

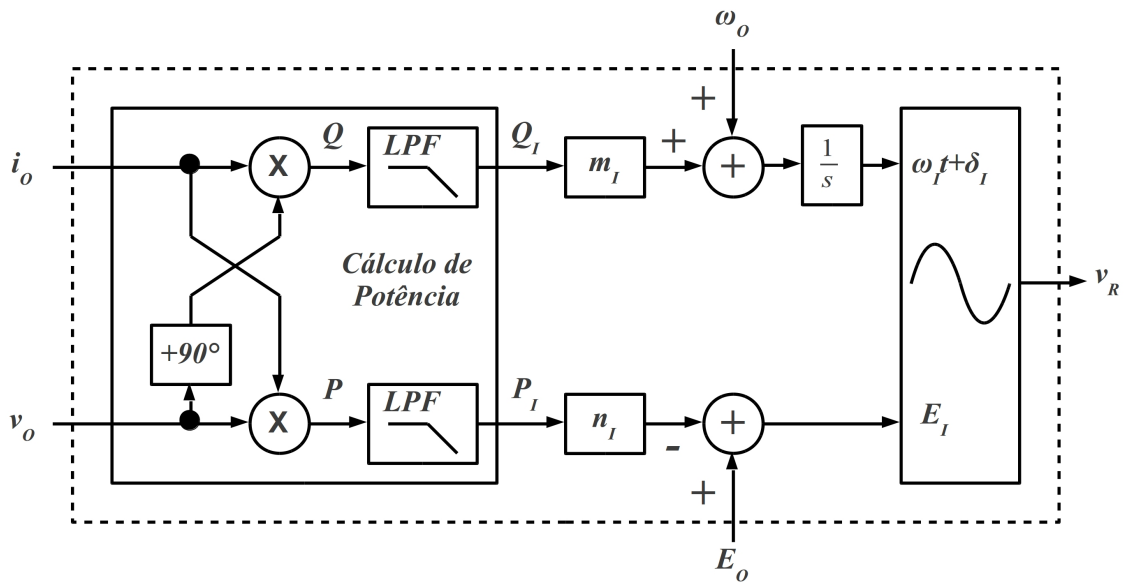
Conforme a Figura 31, a potência ativa é usada para controlar a tensão do inversor, como visto na equação (6).

$$E_I = E_O - n_i P_i \quad (6)$$

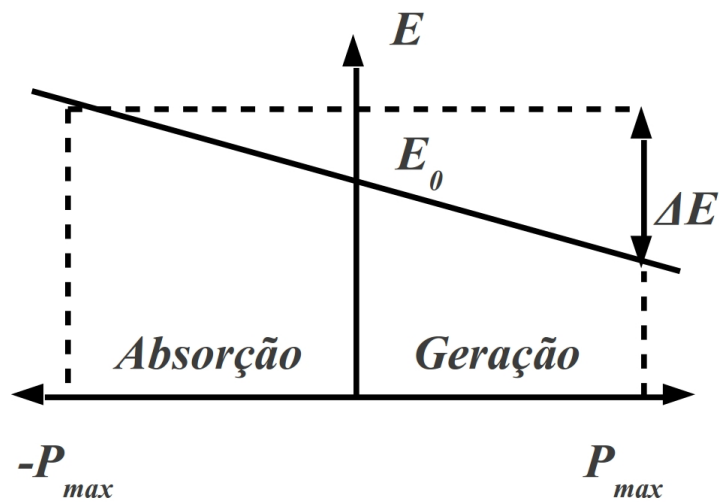
De acordo com a equação (6) a potência ativa de saída do inversor,  $P_i$ , é multiplicada por  $n_i$ , alterando a tensão de saída do inversor. Observa-se que, nesse método, não existe indutor de saída, pois, uma vez que exista diferença de tensão entre os inversores flui potência ativa entre eles, diferente do que acontece com filtro indutivo na saída.

Dessa forma, a medida de potência ativa na saída do inversor é usada para alterar a amplitude do inversor (GUERRERO et al., 2007), de acordo com a Figura 32.





**Figura 31:** Droop para compartilhamento de potência



**Figura 32:** Droop de potência ativa sem indutor

Na Figura 32, pode ser observado que, quanto maior é a potência ativa fornecida pelo inversor, menor é a tensão do inversor, e quanto mais potência ativa é absorvida pelo inversor, maior será a tensão de saída. Conclui-se, com isso, que este inversor tenta manter um equilíbrio de tensão com os outros inversores (GUERRERO et al., 2007).

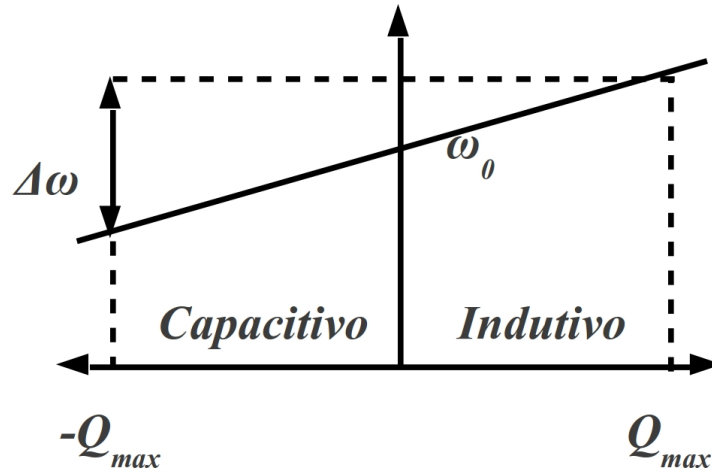
A equação (7) mostra o cálculo para controlar a frequência.

$$\omega_i = \omega_o + m_i Q_i \quad (7)$$

Conforme a equação (7), a potência reativa de saída do inversor,  $Q_i$ , é multiplicada pelo coeficiente  $m_i$  e somada a referência de frequência,  $\omega_o$ . Isso produzirá um valor que será

integrado pelo pólo presente na Figura 31,  $\frac{1}{s}$ , que define a frequência de saída do inversor.

Na Figura 33 obtém-se o gráfico resultante da equação (7) (GUERRERO et al., 2007).

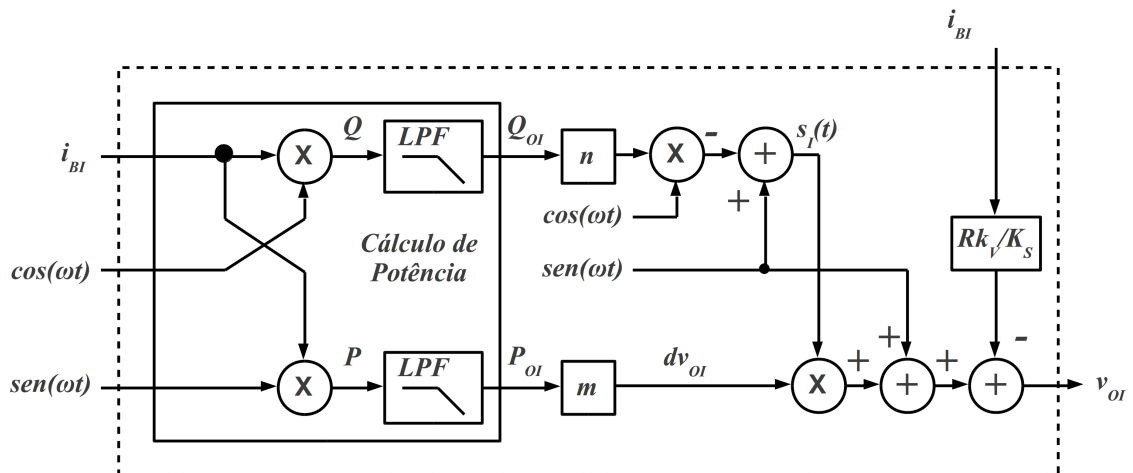


**Figura 33:** *Drog* de potência reativa sem indutor

Nota-se, na Figura 33 e equação (7), que a potência reativa está sendo utilizada para alterar a frequência, ao contrário do *droop* clássico. Isso ocorre porque não se está considerando o indutor do filtro de saída, assim, quando existe diferença de fase/frequência entre os inversores, circula potência reativa. O fato de não ser considerado o indutor, significa que o inversor possui um controlador de tensão de saída eficiente em regime, cuja saída permanece próxima da referência, indicando que a impedância de saída é baixa e que não é considerada pelo controlador *droop* (ZHONG, 2011).

Outros trabalhos, como os de (VASQUEZ et al., 2008), (GUERRERO et al., 2007) e (CHIANG et al., 2001), também não utilizam a impedância indutiva na saída. Na Figura 34 pode ser visto um *droop* para compartilhamento de potência, com resistência virtual na saída (CHIANG et al., 2001).

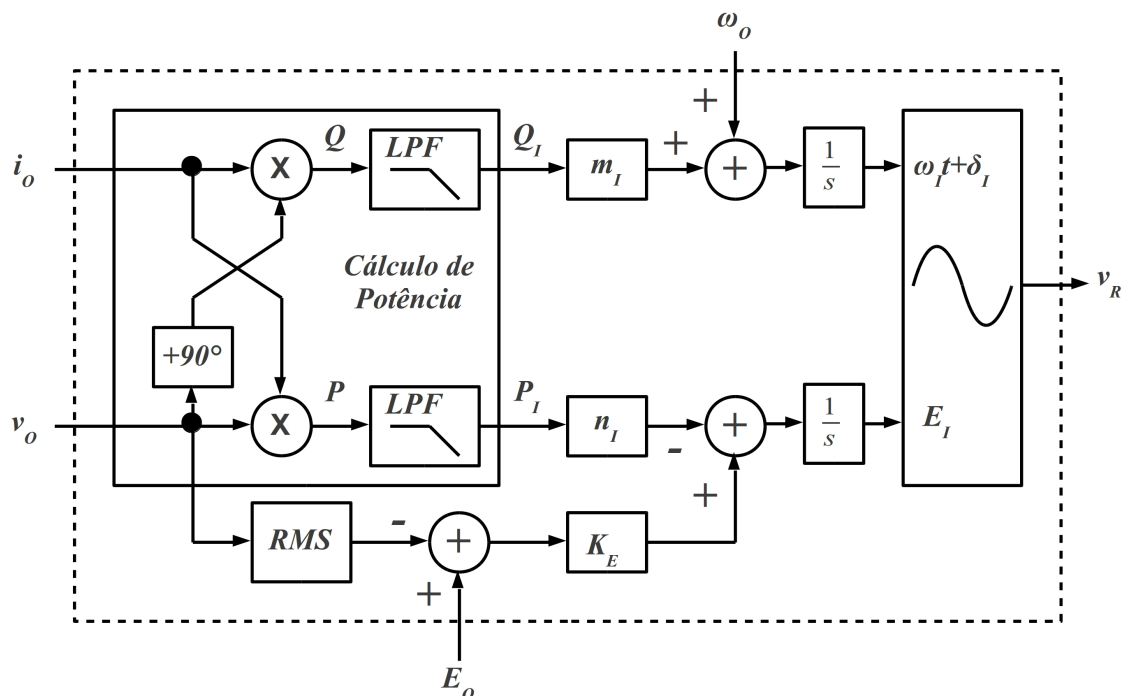
Na Figura 34, a potência reativa é utilizada para alterar apenas a fase e não a frequência, uma vez que esta,  $Q_{OI}$ , é multiplicada por  $n$  e por uma função cossenoidal,  $\cos(\omega t)$ , sem alterar a frequência. Esse valor é subtraído de uma função senoidal,  $\sin(\omega t)$ , resultando em  $s_I(t)$ . A potência ativa,  $P_{OI}$ , é multiplicada pelo coeficiente  $m$  gerando a variável  $dv_{OI}$ . A multiplicação da variável  $dv_{OI}$  pela variável  $s_I(t)$  resulta no sinal necessário para correção pela potência ativa e reativa. Em seguida esse sinal é somado com a função senoidal,  $\sin(\omega t)$ , para servir de referência para o inversor. No entanto, antes desse sinal servir de referência para o inversor, a resistência virtual é inserida. Para isso ocorrer, a corrente de saída,  $i_{BI}$ , é multiplicada pela constante  $Rk_V/K_S$  e subtraída da referência senoidal, emulando o comportamento de uma resistência virtual, que compartilha correntes harmônicas. Além disso, o cálculo de potência não



**Figura 34:** Droop de potência com resistência virtual

foi realizado com a tensão, mas sim, com uma função senoidal para potência ativa e cossenoidal para potência reativa, desconsiderando qualquer tipo de THD que possa existir na tensão do inversor (CHIANG et al., 2001).

Na Figura 35 observa-se uma melhoria do controlador *droop*, baseado no controlador da Figura 31 (ZHONG, 2011).



**Figura 35:** Droop para compartilhamento de potência com limite de tensão

Em relação ao controlador *droop* da Figura 31 foi adicionado o seguinte (ZHONG, 2011):

- pólo para a tensão: após a multiplicação da potência  $P_I$  pelo coeficiente  $n_I$ , existe um pólo,  $\frac{1}{s}$ , para reduzir o erro em regime. Isso produz o efeito de reduzir o erro de regime em relação a própria referência de tensão, podendo gerar tensões diferentes da nominal na saída do inversor, necessitando de um reajuste externo (ZHONG, 2011);
- reajuste da tensão: para evitar o efeito indesejado de alterar a tensão nominal de saída que o pólo presente nessa malha causa, é realizado um limite para a tensão de saída. É calculado o valor RMS (*Root Mean Square*) da tensão de saída e subtraído de sua referência,  $E_O$ , que gera um erro, o qual é multiplicado pelo coeficiente  $K_E$  e inserido antes da integração do pólo da malha. Esse reajuste da tensão impede que haja grande divergência entre o valor de tensão de saída e o nominal, fazendo com que o inversor não tenha um grande erro de tensão (ZHONG, 2011).

### 3.4 CONTROLE COM COMUNICAÇÃO PARA PARALELISMO DE INVERSORES

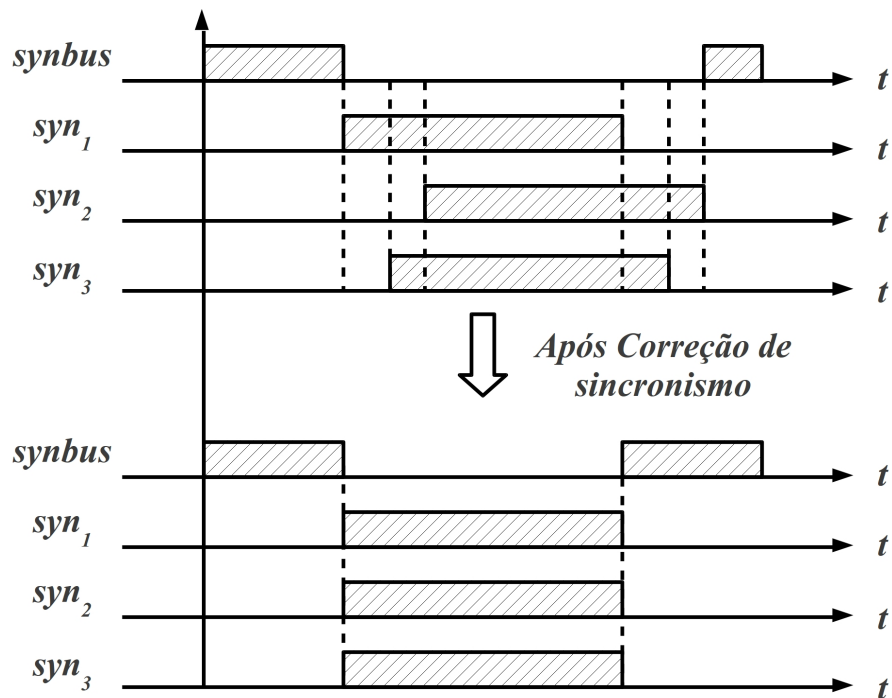
Uma opção aos controladores *droop*, é utilizar comunicação de dados entre os inversores para efetuar o controle do paralelismo. Para tal, é necessário considerar separadamente um método para a fase/frequência e outro para a tensão.

Fica evidente nesse caso, que a comunicação deve estar sempre presente para permitir o funcionamento do sistema. Na falha desta, o sistema inteiro pode vir a falhar, caso não tenha outro recurso para continuar operando, diminuindo a confiabilidade do sistema, ao invés de aumentar.

#### 3.4.1 CONTROLE DE FASE/FREQUÊNCIA

Diferentemente de um controlador *droop* é possível sincronizar os inversores sem medidas de potência ou qualquer outro valor, como pode ser visto na Figura 36 (ZHI-ZHONG; CHUN-JIANG, 2009).

Na Figura 36 é verificado que cada inversor manda sua própria referência de fase para o barramento, *synbus*, a qual funciona como uma porta lógica *e*. Cada inversor lê o sinal do barramento, o compara com sua própria referência,  $syn_n$ , e altera sua própria fase. A forma de onda na parte superior da Figura 36 é formada antes da sincronização ocorrer e na inferior forma-se após a sincronização. Este método não necessita medir a potência de saída e não requer nenhum cuidado com o tipo de carga ou com a impedância de saída, pois é independente disso, dependendo apenas da lógica que cuida da frequência da senóide do inversor.

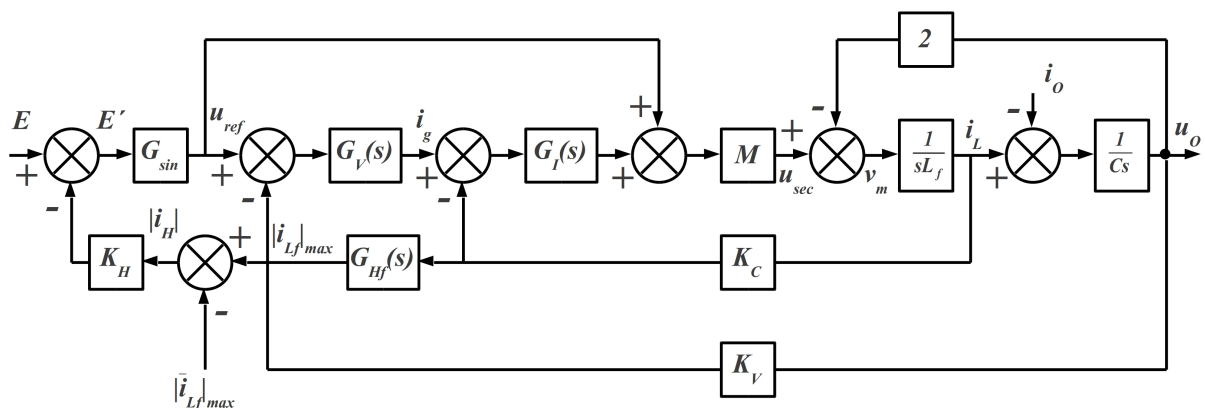


**Figura 36:** Sincronização discreta interativa

No entanto, não medir a potência de saída pode não ser a melhor solução, pois na hipótese de algo não funcionar corretamente no barramento, o algoritmo não evitará sobre-corrente na saída dos inversores (ZHI-ZHONG; CHUN-JIANG, 2009).

### 3.4.2 CONTROLE DE TENSÃO

Funciona recebendo a corrente de saída de outros inversores conectados em paralelo, faz a somatória da corrente de todo o sistema para descobrir a corrente da carga e divide pelo número de inversores, obtendo uma referência de corrente. O diagrama de blocos do controlador de tensão para um inversor apenas pode ser visto na Figura 37.



**Figura 37:** Compartilhamento de corrente

Onde, as variáveis pertinentes ao paralelismo são as seguintes:

- $E$ : tensão de referência para o inversor;
- $E'$ : tensão de referência para o inversor, alterada pelo algoritmo de compartilhamento de corrente;
- $|i_H|$ : módulo da corrente resultante do cálculo da equação (8) ou (9);
- $|i_{Lf}|_{max}$ : corrente do próprio inversor;
- $|\bar{i}_{Lf}|_{max}$ : módulo da corrente média de todos os inversores do sistema, como na equação (9);
- $K_H$ : constante que multiplica o resultado da subtração das correntes,  $|i_H|$ , cujo resultado será subtraído de  $E$  resultando em  $E'$ .

Na equação (8), pode ser visto o cálculo da referência de corrente (ZHI-ZHONG; CHUN-JIANG, 2009).

$$|i_H| = |i_{Lf}|_{max} - \frac{|i_{Lf1}|_{max} + |i_{Lf2}|_{max}}{2} \quad (8)$$

Na equação (8), o módulo da corrente  $|i_H|$  é o resultado da subtração do módulo da corrente de pico da saída do inversor,  $|i_{Lf}|_{max}$ , com a soma dos módulos das correntes de pico de todos os inversores,  $|i_{Lf1}|_{max} + |i_{Lf2}|_{max}$ , do sistema que, na referida equação, são dois, dividido pelo mesmo número de inversores (ZHI-ZHONG; CHUN-JIANG, 2009).

Em sistemas com um número  $n$  de inversores conectados, a equação (8) pode ser alterada para a equação (9).

$$|i_H| = |i_{Lf}|_{max} - \frac{|i_{Lf1}|_{max} + \dots + |i_{Lfn}|_{max}}{n} \quad (9)$$

Onde  $n$  é o número de inversores conectados ao sistema.

O resultado da equação (9) é utilizado na equação (10).

$$\Delta E_1 = K_H \times |i_H| \quad (10)$$

Na equação (10), a variável  $|i_H|$ , é multiplicada pelo coeficiente  $K_H$ , resultando em

$\Delta E_1$  que é a diferença de amplitude necessária para ajustar o compartilhamento de potência ativa, como pode ser observado na equação (11).

$$E' = E_1 + \Delta E_1 \quad (11)$$

Na equação (11), a variável  $\Delta E_1$  é adicionada com a amplitude da senóide do inversor,  $E_1$ , gerando a variável  $E'$ .

A variável  $E'$  é usada para alterar a amplitude da referência senoidal do inversor, buscando equalizar todas as tensões, e fazer com que todas as correntes de pico, de todos os inversores, fiquem com o mesmo valor.

A principal vantagem, em relação ao controlador *droop*, é a não variação da tensão eficaz dos inversores, pois a tensão de saída não reduz em função da corrente, ela equaliza, fazendo com que a tensão resultante no barramento de saída CA dos inversores seja a média das tensões de todos os inversores, e cada inversor fornecerá o mesmo pico de corrente (ZHI-ZHONG; CHUN-JIANG, 2009).

### 3.5 SINCRONISMO-PLL

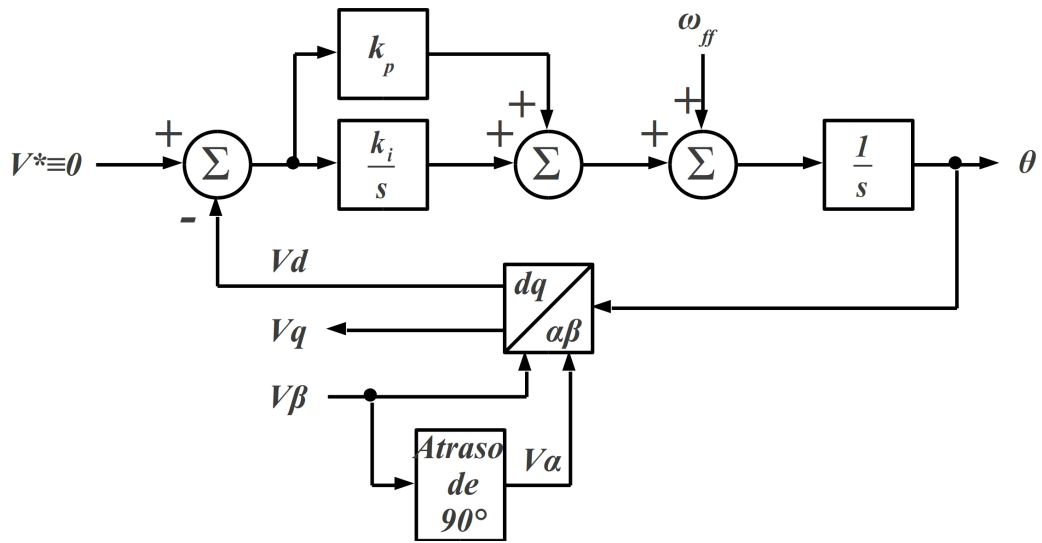
No funcionamento de um UPS geralmente é necessário sincronizar o inversor com a rede de entrada, enquanto este estiver no modo rede. Para executar essa tarefa de modo eficiente pode-se usar um PLL.

Na Figura 38 observa-se um exemplo de PLL que utiliza a transformada inversa de Park, utilizada por (SILVA et al., 2004).

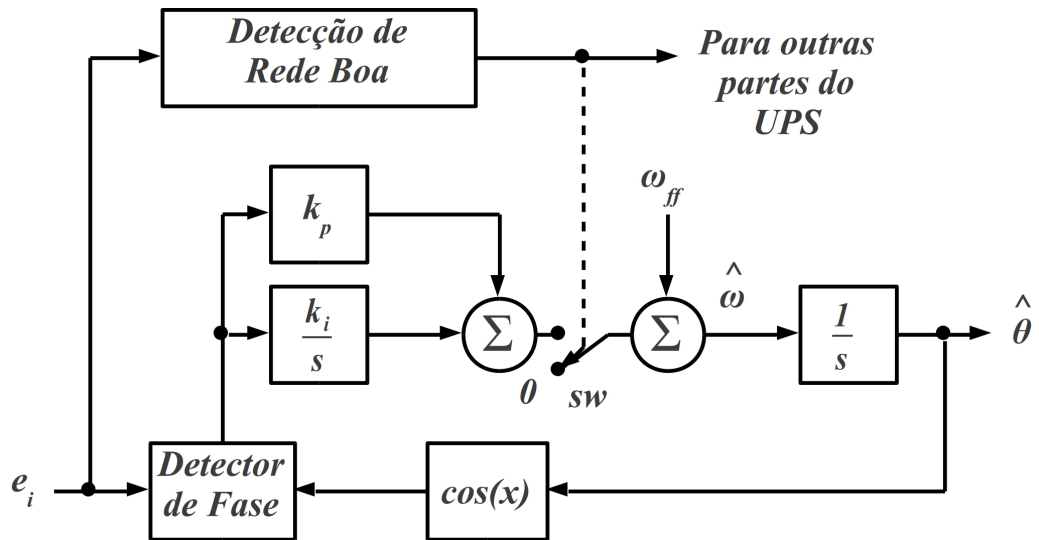
Nota-se, pela Figura 38, que a variável  $V\beta$  é a tensão de entrada, com a qual o PLL deve sincronizar. Insere-se um atraso de  $90^\circ$  no sinal  $V\beta$  o que gera o sinal  $V\alpha$ , necessário para a implementação da transformada inversa de Park. Assim, é executada a transformada inversa de Park com o sinal proveniente de  $\theta$ , que é a saída do PLL, gerando os sinais  $Vd$  e  $Vq$ . Quando o PLL indicar que está em fase com a rede, a variável  $Vd$  será zero e a  $Vq$  terá o valor médio da rede, indicando que o algoritmo de sincronismo deve usar a variável  $Vd$  para fechar a malha. O sinal  $Vd$  é, então, subtraído de zero, e entra no PI, definido por  $k_p$  e  $\frac{k_i}{s}$ . A saída do PI é somada com o *feed-forward*,  $\omega_{ff}$ , entrando no pólo da planta,  $\frac{1}{s}$ , gerando a saída  $\theta$  (SILVA et al., 2004).

Outra abordagem pode ser vista na Figura 39, sendo utilizada por (FILHO et al., 2008).

Na Figura 39 pode ser visto um PLL semelhante ao da Figura 38, diferindo o detector



**Figura 38:** PLL com transformada de Park



**Figura 39:** PLL com análise da rede

de fase e a análise de qualidade da rede.

Ao invés de utilizar a transformada inversa de Park, utiliza-se um detector de fase, o qual difere no filtro passa-baixa aplicado na correlação do detector de fase, que será a multiplicação de uma função cossenoidal de  $\hat{\theta}$  (saída do PLL), e a rede, a qual é uma senóide quando o PLL estiver sincronizado. Quando o PLL estiver sincronizado, o resultado do detector de fase é próximo de zero, como a variável  $V_d$  da transformada inversa de Park, utilizada na Figura 38.

A outra diferença é a análise da rede. Como a implementação em UPSs implica no funcionamento no modo bateria, o PLL deve estar preparado para funcionar na falha da rede, mas sem afetar o período da senóide de saída do inversor. Nesse modo a chave  $sw$  insere zero,



ao invés da saída do PI, fazendo a frequência de saída ser proporcional ao *feed-forward*  $\omega_{ff}$  (FILHO et al., 2008).

### 3.6 CONCLUSÕES

Nesse capítulo foi estudado o estado da arte no que diz respeito a paralelismo de inversores, e por consequência UPSs.

As redundâncias podem ser aplicadas para aumento de confiabilidade do sistema, proporcionando sempre ter UPSs reservados para serem utilizados na ocorrência de falhas. Também é possível conectá-los em paralelo, com cada unidade fornecendo uma parcela de potência.

Foram vistos os tipos de configurações, sendo que o que se mostra mais agregador de confiabilidade é o compartilhamento de carga ativo, que consiste em cada UPS fornecer uma parcela de potência para a carga, não possuindo nenhum tipo de controle externo, como em configurações centralizadas ou mestre-escravo.

O método mais difundido para o controle é o controlador *droop*, tanto para compartilhamento de potência reativa, quanto para potência ativa. Os inversores podem ser conectados por meio de indutâncias entre eles, limitando a corrente naturalmente, ou pelas saídas diretamente, o que implica a utilização de resistências virtuais para limitar correntes indesejadas.

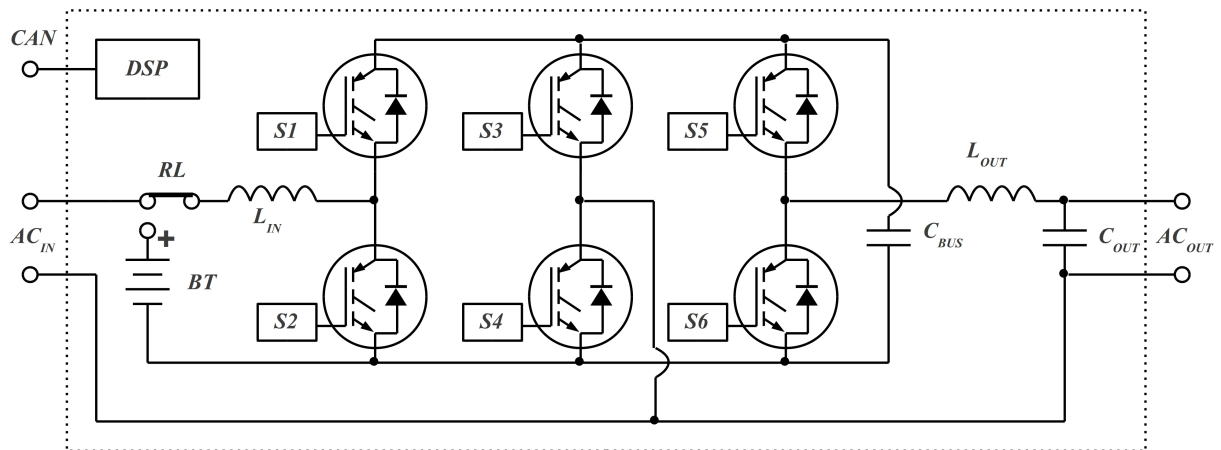
Também foram vistos métodos para paralelismo com comunicação, sendo o sincronismo discreto de fase e a troca de correntes por comunicação de dados, proporcionando o compartilhamento de potência ativa.

E por último, foram vistos PLLs que executam o sincronismo com a rede elétrica, analisando a fase através de sensores baseados na transformada de Park.

## 4 DESENVOLVIMENTO

### 4.1 INTRODUÇÃO

Neste capítulo é mostrado o desenvolvimento do controlador para paralelismo e, também, é apresentada a topologia do UPS usado, como ilustrado na Figura 40.



**Figura 40:** Diagrama do UPS

A Figura 40 representa uma topologia que utiliza três braços, cada um com duas chaves complementares ( $S1$  a  $S6$ ). Esta é uma topologia muito usada para filtros ativos, como em (CHIANG et al., 2010), (CHOI et al., 2005) ou (YEH; MANJREKAR, 2007), que, neste caso, desempenha várias funções:

- quando o relé,  $RL$ , não está acionado, ele drena energia na rede através do indutor  $L_{IN}$ , possibilitando a correção do fator de potência para o barramento capacitivo,  $C_{BUS}$ , disponibilizando CA ( $AC_{OUT}$ ) na saída do conversor pelo filtro LC, que é composto por  $L_{OUT}$  e  $C_{OUT}$ , a qual será utilizada pela carga;
- na falha da rede CA ( $AC_{IN}$ ) de entrada, o relé  $RL$  é acionado com o conversor se transformando em um *boost* bidirecional, drenando energia da bateria,  $BT$ , através do  $L_{IN}$ ;

- a bidirecionalidade da topologia é aproveitada para o funcionamento, no momento de transitórios de carga, em que a energia armazenada momentaneamente no barramento capacitivo, deve retornar à entrada. Na rede, esse recurso é constante, porém, na bateria, uma vez que esta não pode absorver potência continuamente, ele é limitado apenas a transitórios. Entretanto, em ambas as condições, o controlador do paralelismo é projetado para evitar a condição de devolver energia ativa para a entrada.

O UPS é controlado totalmente por um DSP 56F8335 do fabricante Freescale. Ele é responsável por todas as leituras de corrente e tensão, pelo controle do corretor de fator de potência de entrada, do controlador repetitivo da saída, do algoritmo de paralelismo e da comunicação entre os UPSs.

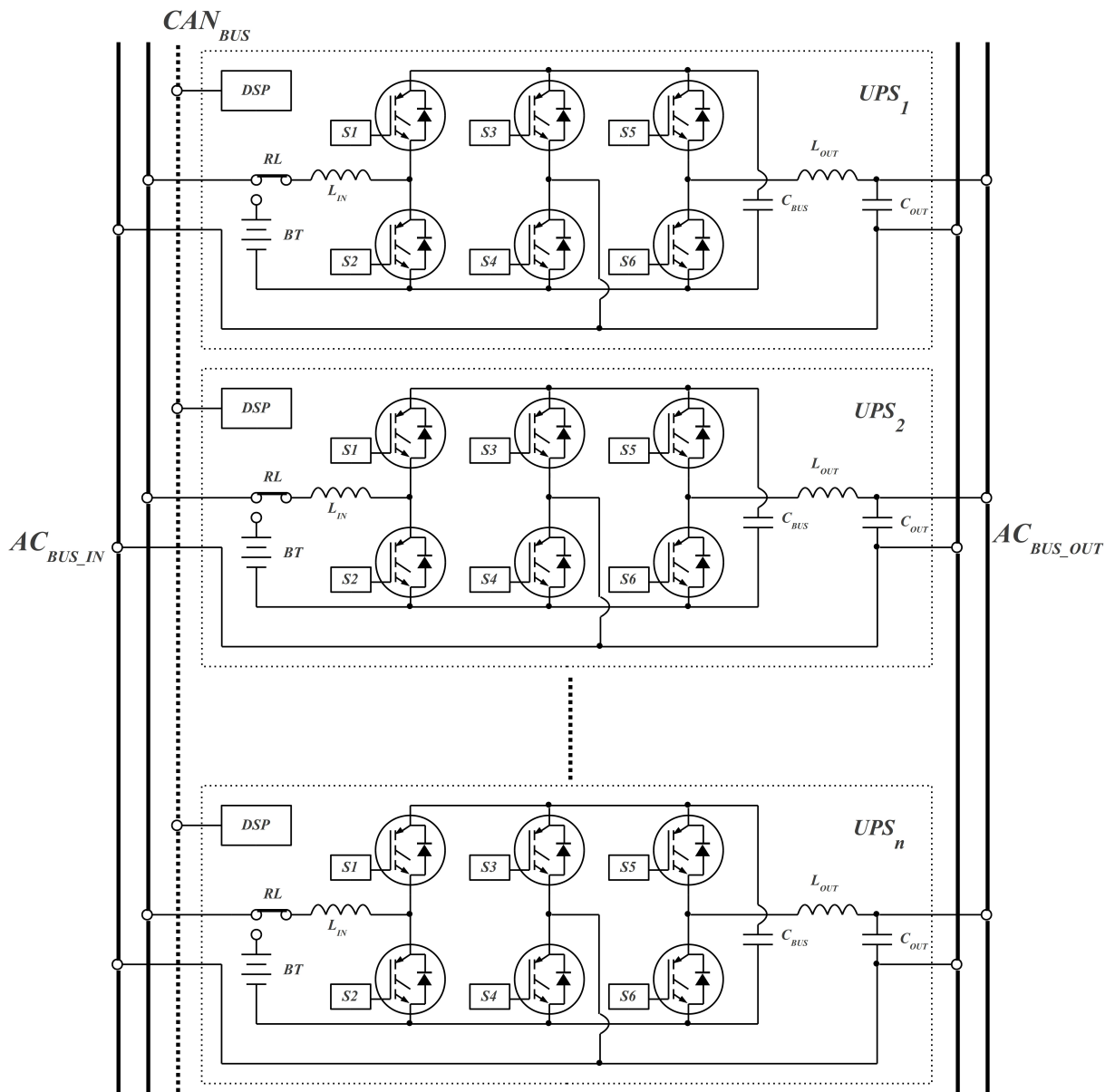
A Figura 41 mostra um sistema com vários UPSs em paralelo.

A conexão é feita através do barramento de entrada,  $AC_{BUS\_IN}$ , e do barramento de saída,  $AC_{BUS\_OUT}$ . Além disso, deve ser conectado o barramento de comunicação,  $CAN_{BUS}$ , para um melhor desempenho, melhor compartilhamento de potência e menor THD do sistema.

Na Figura 42 pode ser visto o controlador do paralelismo, de forma completa.

O diagrama da Figura 42 pode ser analisado nas seguintes partes:

- Cálculo de Potência: bloco no qual entram as variáveis  $i[n]$ ,  $v[n]$  e  $v[n - 90]$  e saem  $Q$  e  $P$ , ou seja, entram as tensões e a corrente de saída e saem a potência ativa e reativa não distorcida do inversor. A potência ativa será utilizada para controlar a tensão, efetuando o compartilhamento de potência ativa através da interface CAN. A potência reativa não distorcida será utilizada para detectar diferenças de fase/frequência entre os inversores com o objetivo de executar a sincronização de todos os inversores do sistema. É utilizada apenas a parte não distorcida para evitar alterações quando o sistema alimenta cargas não-lineares;
- Interface CAN: bloco no qual são processadas informações de até outros três UPSs, caso estejam conectados. Disponibiliza as variáveis  $P1$ ,  $P2$ ,  $P3$  e  $num_{UPS}$ , que são as potências ativas e o número de UPSs conectados no sistema, respectivamente. Através da potência ativa do próprio UPS, e dos outros conectados em paralelo, é fornecida a informação necessária para ser executado o compartilhamento de potência ativa pelo controlador de potência ativa;
- Controlador de Potência Ativa: bloco no qual entram as três potências externas  $P1$ ,  $P2$  e  $P3$  juntamente com a potência do próprio inversor,  $P$ , a variável  $num_{UPS}$  e a referência

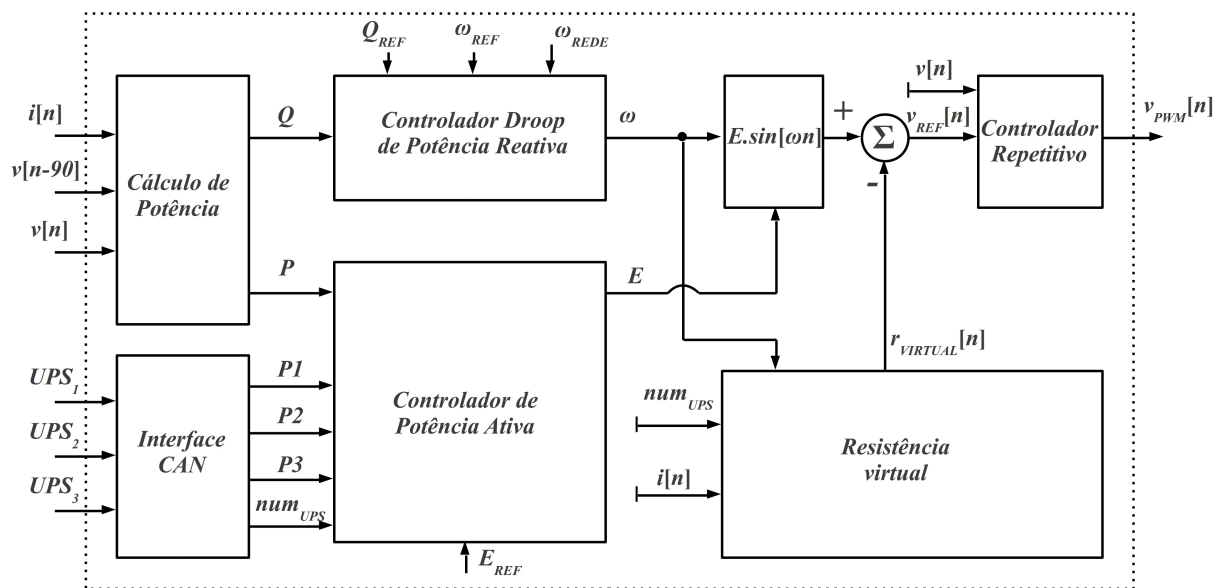


**Figura 41:** Diagrama de vários UPSs conectados em paralelo

de tensão de saída,  $E_{REF}$ . Disponibiliza-se, na saída, a variável  $E$ , que é a amplitude da tensão do inversor. As potências ativas usadas são proporcionais ao fundo de escala de cada UPS para executar o compartilhamento de potência proporcional.

A vantagem de se utilizar o controlador proposto ao invés de um controlador *droop* é a regulação da tensão de saída, que não sofre alteração significativa em função da carga conectada na saída dos inversores. Ainda é utilizado um controlador atraso de fase, para assegurar mais estabilidade, ao invés de apenas um coeficiente multiplicando a potência ativa e realimentando na amplitude da referência senoidal;

- *Droop* de Potência Reativa: bloco no qual entra a potência reativa não distorcida,  $Q$ , a



**Figura 42:** Diagrama do sistema de controle de um UPS para paralelismo

referência de potência,  $Q_{REF}$ , que é igual a zero, a saída do PLL da rede,  $\omega_{REDE}$ , e a referência de frequência,  $\omega_{REF}$ . Deste bloco, sai a variável  $\omega$ , que é o valor de frequência do inversor, que será usada na função senoidal,  $E.\text{sen}[\omega n]$ , e para a resistência virtual. Nesse bloco *droop* também é utilizado um controlador atraso de fase, objetivando mais estabilidade que um coeficiente comum, que apenas multiplicaria a potência reativa não distorcida e seria realimentado na frequência da referência senoidal do inversor;

- Resistência Virtual (*droop* de tensão sem comunicação): bloco no qual entram as variáveis  $i[n]$ ,  $\omega$  e  $num_{UPS}$  e sai a  $r_{virtual}[n]$ , que é a resistência virtual, conforme a corrente de saída ( $i[n]$ ) e o estado da comunicação ( $num_{UPS}$ ). A variável  $r_{virtual}[n]$  é subtraída da função senoidal,  $E.\text{sen}[\omega n]$ , gerando a referência de tensão  $v_{REF}[n]$  para o controlador repetitivo. A resistência virtual é proporcional ao fundo de escala do UPS, assim, um UPS de maior capacidade possui uma resistência virtual menor do que um UPS de menor capacidade.

Caso o UPS esteja sem comunicação, a resistência virtual possui um valor constante para tentar executar o melhor compartilhamento de potência possível, como em um *droop* de potência ativa, além de atenuar as correntes provenientes de distorção harmônica dos inversores.

Caso a comunicação esteja funcionando, o compartilhamento de potência ativa é feito pelo controlador dedicado (controlador de potência ativa), não sendo necessária uma resistência virtual grande. Nesse modo, a resistência é alterada ao longo da senóide, assumindo um valor menor no pico desta, permitindo uma menor THD de tensão do

sistema quando alimentando cargas não-lineares, caracterizando assim, a resistência virtual variável;

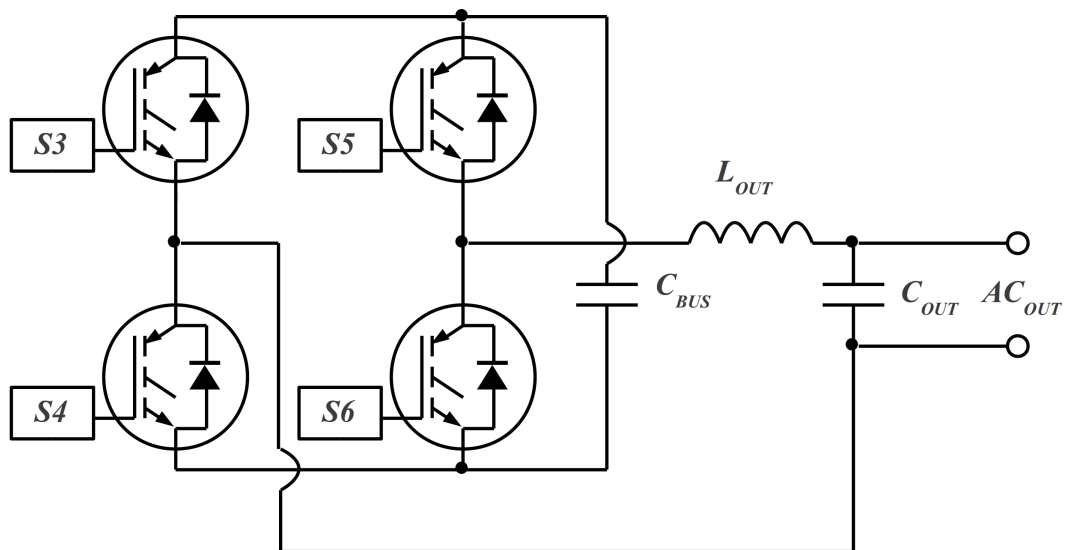
- Controlador Repetitivo: bloco que utiliza a tensão de saída,  $v[n]$ , e a referência  $v_{REF}[n]$  gerando a variável  $v_{PWM}[n]$  a qual entra no módulo PWM e gera a senóide de tensão para o inversor.

Na sequência, cada bloco da Figura 42 será analisado separadamente.

## 4.2 CAPACIDADE DE REGULAÇÃO

### 4.2.1 CONTROLADOR REPETITIVO

Para garantir uma THD menor ou igual a 2%, usa-se um controlador repetitivo, devido a sua comprovada capacidade de regulação estática (BUSO; MATTAVELLI, 2006). Na Figura 43 pode ser visto o inversor de saída dos UPSs.



**Figura 43:** Inversor monofásico

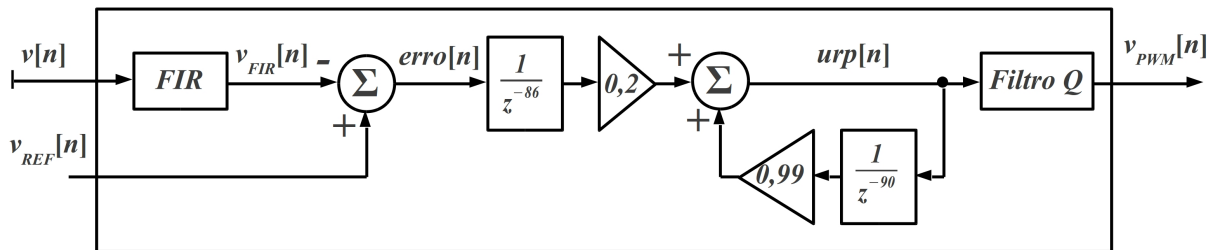
Como visto na Figura 43, o inversor de saída é composto por dois braços, sendo que o composto por S3 e S4 é compartilhado com o conversor de entrada do UPS.

O passo do controlador é de  $185 \mu\text{s}$ , portanto, em um ciclo de senóide, o controlador é calculado 90 vezes, resultando em um passo de controle de  $4^\circ$ . Para o correto funcionamento do controlador repetitivo é necessário considerar o efeito que o filtro LC de saída provoca na planta, como na equação (12) que considera os valores de  $20 \mu\text{F}$  e  $600 \mu\text{H}$ .

$$\varphi_{LC} = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} = \frac{1}{2 \times \pi \times \sqrt{600^{-6} \times 10^{-6}}} = 688 \mu s \quad (12)$$

Então para obter o atraso  $L$  para utilizar no controlador repetitivo, o valor de  $\varphi_{LC}$  é convertido para passos de controle de  $185 \mu s$ , onde  $688 \mu s$  resultam em 3,72 passos de controle, o qual será arredondado para 4.

A Figura 44 mostra o diagrama do controlador repetitivo.

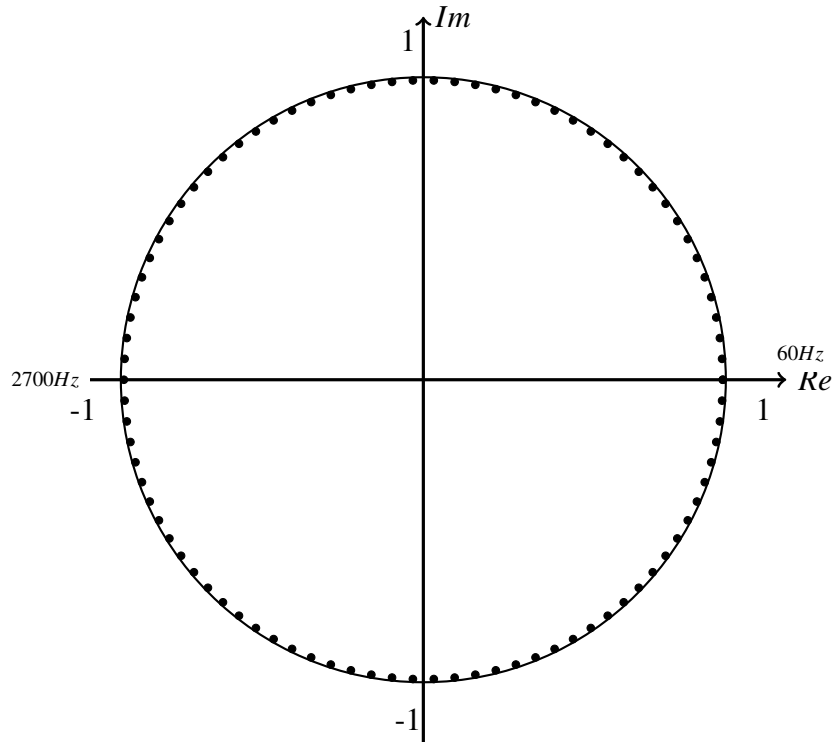


**Figura 44:** Controlador repetitivo

De acordo com a Figura 44:

- $v_{REF}[n]$ : é a tensão de referência gerada pelo algoritmo de paralelismo;
- $v[n]$ : é a amostra de tensão de saída do inversor que entra no filtro *FIR* (*Finite Impulse Response*) de 8 amostras;
- $v_{FIR}[n]$ : é a amostra de tensão de saída do inversor que entra no controlador repetitivo, após passar pelo filtro *FIR* de 8 amostras;
- $erro[n]$ : é a subtração da referência  $v_{REF}[n]$  pela amostra filtrada  $v_{FIR}[n]$ , que é armazenada em um vetor de 90 pontos, e utilizada com defasagem de 86 pontos. A diferença de 90 para 86 pontos é a defasagem do filtro LC,  $L$ , que tem o valor 4;
- $urp[n]$ : saída do controlador, que é o  $erro[n - 86]$  somado a própria saída, defasada em 90 amostras,  $urp[n - 90]$ , as quais equivalem a um ciclo de senóide;
- $v_{PWM}[n]$ : saída do controlador repetitivo, a qual será carregada no módulo PWM do inversor, após passar pelo *filtro Q*, que garante mais estabilidade para a saída. O *filtro Q* é apenas um filtro FIR, que utiliza amostras posteriores (adiantadas em ângulo de fase), já que estas estão disponíveis no vetor do controlador.

Na Figura 45 é possível verificar a alocação dos pólos do controlador no plano Z. São 90 pólos localizados em 0,99 para proporcionar melhor estabilidade em comparação a usar os pólos localizados em 1. Essa distribuição também resulta no controlador responder a frequências que vão desde a fundamental até 2700 Hz, a qual já é atenuada pelo filtro LC da saída do inversor. Isso representa a obtenção de uma resposta que vai desde CC até a 45ª harmônica.



**Figura 45:** Alocação dos pólos do controlador repetitivo no plano Z

Na equação (13) é mostrada a equação do controlador repetitivo.

$$urp[n] = (urp[n - 90] \times 0,99) + (erro[n - 90 + L] \times 0,2) \quad (13)$$

Onde:

- *urp*: é a saída do controlador, sendo indexada por  $n$  e por  $n - 90$ , uma vez que é calculada com o valor do ciclo anterior da senóide e atualizada nele próprio para uso posterior;
- *erro*: erro de entrada para o controlador repetitivo. Ele é usado com indexador atrasado em um ciclo de senóide (90 pontos) e adiantado em  $L$  passos, o qual é o valor da defasagem do filtro LC de saída;



- o valor anterior de  $urp$  é multiplicado por 0,99 sendo a localização dos pólos em 0,99. O valor do  $erro$  é multiplicado por 0,2, o qual é o ganho do controlador. Se aumentado, corrigirá com mais eficiência a THD de saída, porém, pode resultar em instabilidade para o inversor.

Como o controlador repetitivo tem um alto ganho estático, as perturbações, que podem ocorrer em função de ruídos de amostragem, podem ser um problema. Para se evitar a vulnerabilidade a ruídos e melhorar a estabilidade do controlador repetitivo são usados dois filtros, um para a amostra de tensão de saída e outro para a saída do controlador repetitivo.

O filtro da amostra de tensão de saída é do tipo FIR, implementado através de uma convolução de 8 pontos, como na equação (14).

$$\begin{aligned}
 v_{FIR}[n] = & (v[n-7] \times 0,125) + \\
 & (v[n-6] \times 0,125) + \\
 & (v[n-5] \times 0,125) + \\
 & (v[n-4] \times 0,125) + \\
 & (v[n-3] \times 0,125) + \\
 & (v[n-2] \times 0,125) + \\
 & (v[n-1] \times 0,125) + \\
 & (v[n-0] \times 0,125)
 \end{aligned} \tag{14}$$

O valor  $v_{FIR}[n]$  é a convolução do sinal  $v[n]$  com o degrau  $u[n] - u[n-8]$ . Na equação (14) pode ser observada uma somatória das últimas oito amostras de tensão,  $v[n-0]$  a  $v[n-7]$ , somadas e multiplicadas por 0,125, que é a implementação da convolução de oito pontos.

O filtro de saída do controlador repetitivo pode ser visto na equação (15). Tem semelhança com um filtro FIR, no entanto, são usadas sete amostras, sendo a atual,  $[n]$ , três amostras anteriores, de  $[n-1]$  a  $[n-3]$  e três posteriores, que vão de  $[n+1]$  a  $[n+3]$ .

A utilização das amostras posteriores deve-se à característica do repetitivo de guardar o vetor de 90 pontos. Sendo assim, essas amostras posteriores são, na realidade, adiantadas em ângulo de fase, porém são provenientes do ciclo anterior da senóide.

$$\begin{aligned}
v_{PWM}[n] = & (urp[n+3] \times 0,05) + \\
& (urp[n+2] \times 0,10) + \\
& (urp[n+1] \times 0,20) + \\
& (urp[n-0] \times 0,30) + \\
& (urp[n-1] \times 0,20) + \\
& (urp[n-2] \times 0,10) + \\
& (urp[n-3] \times 0,05)
\end{aligned} \tag{15}$$

Da equação (15), resulta a variável  $v_{PWM}[n]$  que é a saída do filtro. Conforme observa-se na referida equação o valor constante que multiplica a amostra atual,  $urp[n]$ , é 0,3, sendo reduzido sequencialmente a cada passo de distância da amostra atual, passando pelos valores de 0,2, 0,1 e 0,05. Isso confere mais estabilidade ao inversor, sem prejudicar a performance, no sentido da qualidade da THD de saída do inversor.

Como em todo controlador repetitivo, há o problema do transitório de carga, quando o repetitivo demora alguns ciclos de senóide para responder adequadamente. Para minimizar esse problema, o controlador é alterado para o da equação (16), durante dois ciclos de senóide, assim que se detecte um erro na tensão de saída mais elevado que o máximo desejado.

$$urp[n] = (urp[n-90] \times 0,8) + (erro[n] \times 0,8) - (erro[n-90] \times 0,6) \tag{16}$$

A principal diferença do controlador da equação (16), é que este utiliza o erro atual também, e não apenas o erro do ciclo anterior. Desta forma, assim que esse algoritmo estiver rodando, o erro atual começará a atuar no mesmo instante em que está disponível, realizando o equivalente a noventa controladores atraso de fase, um para cada ponto do vetor.

#### 4.3 CÁLCULO DE POTÊNCIA

A diferença de fase/frequência entre os inversores, juntamente com a diferença de tensão apresentada pelos inversores dos UPS, são os maiores desafios para permitir o funcionamento do sistema de UPSs conectados em paralelo com estabilidade, tanto em regime, quanto em transitórios. Para possibilitar a execução do controle do sistema é necessário medir a potência ativa e reativa não distorcida nas saídas de cada um dos inversores. Considerando

o tetraedro de potência, existem quatro tipos de potência, como é mostrado na equação (17) (AKAGI et al., 2007).

$$S = \sqrt{P^2 + Q^2 + D^2} \quad (17)$$

Da equação (17), podem ser analisadas as seguintes variáveis:

- $S$ : é a potência aparente que pode ser obtida pelo produto entre a tensão eficaz (RMS) e a corrente eficaz (RMS) (AKAGI et al., 2007);
- $P$ : é a potência ativa ou potência média em um ciclo de senóide, que pode ser calculada pela equação (18) (AKAGI et al., 2007);

$$P = \frac{1}{2\pi} \times \int_0^{2\pi} v(t) \times i(t) dt \quad (18)$$

Para a implementação nessa dissertação, será utilizada a forma discreta da equação (18), como pode ser visto na equação (19).

$$P = \frac{\sum_{n=0}^{359} v[n] \times i[n]}{360} \quad (19)$$

De acordo com a equação (19), para se obter a potência ativa em um ciclo de senóide (com duração de 16,66 ms), acumula-se a potência instantânea de cada ângulo da senóide,  $P_t$ , e divide-se por 360, que é o número de amostragens por ciclo de senóide a uma frequência de amostragem de 21600 Hz.

Também para análise nessa dissertação é usada a forma da equação (20), que considera a tensão e corrente eficazes, com o ângulo de fase, não considerando a THD.

$$P = V \times I \times \cos\phi \quad (20)$$

- $Q$ : é a potência reativa não distorcida. Para o cálculo é necessário conhecer a corrente ou tensão reativas.

A relação entre potência aparente e ativa resulta no fator de potência ativo, como na equação (21) (AKAGI et al., 2007).

$$\lambda = \frac{P}{S} \quad (21)$$

O fator de potência reativo é calculado como na equação (22) (AKAGI et al., 2007).

$$\lambda_q = \sqrt{1 - \lambda^2} \quad (22)$$

A tensão e corrente reativas são como nas equações (23) e (24) (AKAGI et al., 2007).

$$V_q = \lambda_q \times V \quad (23)$$

$$I_q = \lambda_q \times I \quad (24)$$

Conforme a equação (25) a potência reativa pode ser calculada.

$$Q = V_q \times I = V \times I_q \quad (25)$$

Onde  $Q$  é a potência reativa não distorcida,  $V$  é a tensão,  $I$  é a corrente,  $V_q$  é a tensão reativa e  $I_q$  é a corrente reativa.

A potência reativa não distorcida é provocada por cargas indutivas ou capacitivas, quando a corrente tem apenas defasagem em relação a tensão, mas sem distorção harmônica ou com distorção harmônica igual a da tensão (AKAGI et al., 2007).

Defasagem entre os inversores aparece como potência reativa não distorcida também, pois ambos tem baixa THD, sendo que um representa uma carga reativa para o outro.

Também para análise nessa dissertação é usada a forma da equação (26), que considera a tensão e corrente eficazes, com o ângulo de fase, não considerando a THD;

$$Q = V \times I \times \text{sen}\phi \quad (26)$$

- $D$ : é a potência distorcida. É provocada, principalmente, por cargas não-lineares, quando a corrente tem distorção harmônica diferente da tensão (AKAGI et al., 2007).

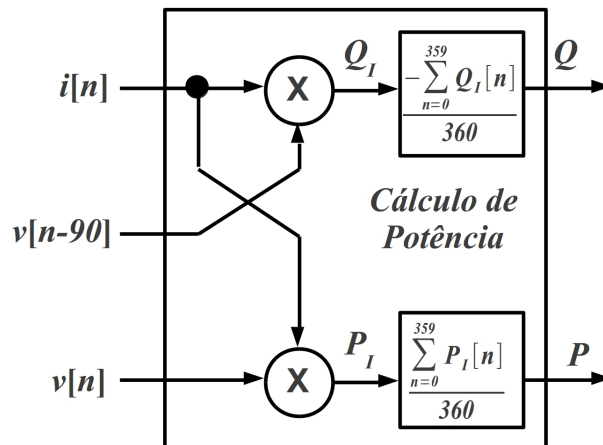
Para detectar a defasagem entre os inversores considera-se, apenas, a potência não distorcida. Para obtê-la, necessita ou da tensão ou da corrente reativa, porém, prefere-se calcular a primeira e usá-la com a corrente ativa.

Como o DSP pode armazenar valores medidos anteriormente, a tensão tem um vetor de noventa pontos, onde as últimas noventa amostras de tensão são armazenados. Isto permite inserir um atraso de  $90^\circ$  na tensão, assim como deve ser feito no cálculo da potência reativa não distorcida, conforme a equação (27).

$$Q = -\frac{\sum_{n=0}^{359} v[n-90] \times i[n]}{360} \quad (27)$$

A equação (27), como seria sem o sinal negativo na frente, calcularia a potência reativa não distorcida invertida, pois o atraso de  $90^\circ$  produz o mesmo efeito de utilizar uma tensão cossenoidal negativa, sendo necessário usar uma tensão cossenoidal positiva. Fazer a inversão da média acumulada é perfeitamente possível, pois o resultado é usado pelo controlador *droop* apenas uma vez por ciclo de senóide.

Na Figura 46 pode ser visto o diagrama de blocos para o cálculo das potência ativa e reativa do inversor.



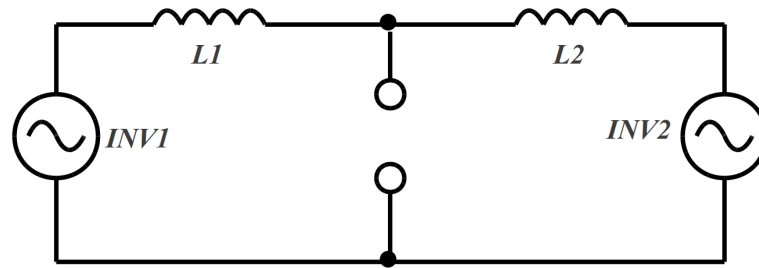
**Figura 46:** Cálculo das potências médias

Observa-se, na Figura 46, que para se obter a potência reativa não distorcida a corrente  $i[n]$  é multiplicada pela tensão defasada  $v[n-90]$ , resultando na potência reativa instantânea,  $Q_I$ . Calcula-se, então, a média de 360 pontos de  $Q_I$ , que resultará na potência reativa não distorcida,  $Q$ , utilizada pelo controle, conforme a equação (27), sem o sinal de inversão que é adicionado no momento de salvar na variável. Para se obter a potência ativa a corrente  $i[n]$  é multiplicada pela tensão  $v[n]$ , resultando na potência ativa,  $P_I$ . Calcula-se, então, a média de 360 pontos de  $P_I$ , que resultará na potência média,  $P$ , utilizada pelo controle, conforme a equação (19).

#### 4.3.1 COMPARAÇÃO ENTRE IMPEDÂNCIAS DE SAÍDA

Como o trabalho desenvolvido nessa dissertação utiliza controlador repetitivo, que proporciona baixa THD para o conversor de tensão de saída, a realimentação para a correção de fase utiliza a potência reativa não distorcida e a realimentação para a correção de amplitude utiliza a potência ativa, diferente do que seria para o inversor da Figura 47.

No inversor da Figura 47 existe um indutor em cada saída ( $L1$  e  $L2$ ), seja como



**Figura 47:** Inversores com indutor de saída

filtro passa-baixa, ou para a conexão entre os inversores em paralelo, limitando a corrente naturalmente, como é usual e não flui corrente para a carga. Nessa situação quando os inversores possuírem defasagem entre eles, existirá potência ativa circulando de um para o outro e quando os inversores possuírem diferença de amplitude entre eles, existirá potência reativa circulando de um para o outro, como pode ser analisado nas equações (28), (29) e (30).

$$I \angle \phi = \frac{V_{INV1} \angle 0^\circ - V_{INV2} \angle \varphi}{X_{L1} \angle 90^\circ + X_{L2} \angle 90^\circ} \quad (28)$$

Na equação (28) está sendo calculada a corrente medida pelo inversor 1 (*INV1*). Então considerando que este é a referência da medida e possui o ângulo de  $0^\circ$ , o inversor 2 (*INV2*) está defasado em  $\varphi$  e pode ter diferença de amplitude, a qual seria  $V_{INV1} - V_{INV2}$ . Considerando a soma das reatâncias indutivas entre os inversores,  $X_{L1} \angle 90^\circ$  e  $X_{L2} \angle 90^\circ$ , é calculada a corrente.

$$P = I \times V_{INV1} \times \cos \phi \quad (29)$$

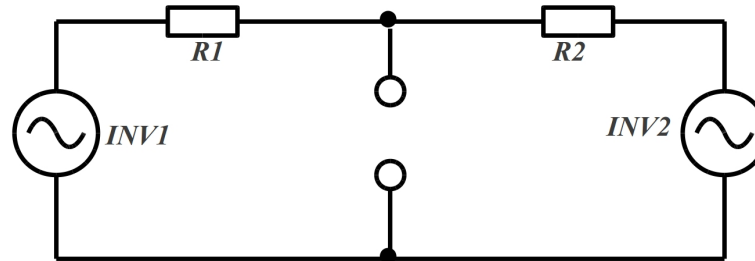
Na equação (29) a corrente é multiplicada pela tensão do inversor e pelo cosseno do ângulo  $\phi$ , sendo obtida a potência ativa. Com esse valor é possível executar o *droop* de fase no caso da utilização de indutâncias de saída nos inversores, sendo proporcional à variação de fase entre eles. Esse valor não pode ser usado para executar o *droop* de amplitude no caso da utilização de indutâncias de saída nos inversores, devido a não ser proporcional à variação da tensão entre os inversores.

$$Q = I \times V_{INV1} \times \sin \phi \quad (30)$$

Na equação (30) a corrente é multiplicada pela tensão do inversor e pelo seno do ângulo  $\phi$ , sendo obtida a potência reativa não distorcida. Com esse valor é possível executar o *droop* de amplitude no caso da utilização de indutâncias de saída nos inversores, sendo proporcional à variação de tensão entre eles. Esse valor não pode ser usado para executar o *droop* de fase no

caso da utilização de indutâncias de saída nos inversores, devido a não corresponder à variação da fase entre os inversores.

No caso da Figura 48 não está sendo considerado o uso dos indutores de saída.



**Figura 48:** Inversores com resistência virtual

Na Figura 48, quando existe defasagem entre os inversores, existe potência reativa não distorcida circulando de um para o outro e quando existe diferença de amplitude, existe potência ativa circulando de um para o outro. É possível não considerar o indutor do filtro de saída dos inversores, devido a utilização do controlador repetitivo, sendo que neste caso, para pequenas diferenças de tensão não produzirem elevadas correntes dificultando a conexão em paralelo, é utilizada uma resistência virtual, que são  $R1$  e  $R2$ . Essa situação pode ser analisada nas equações (29), (30) e (31).

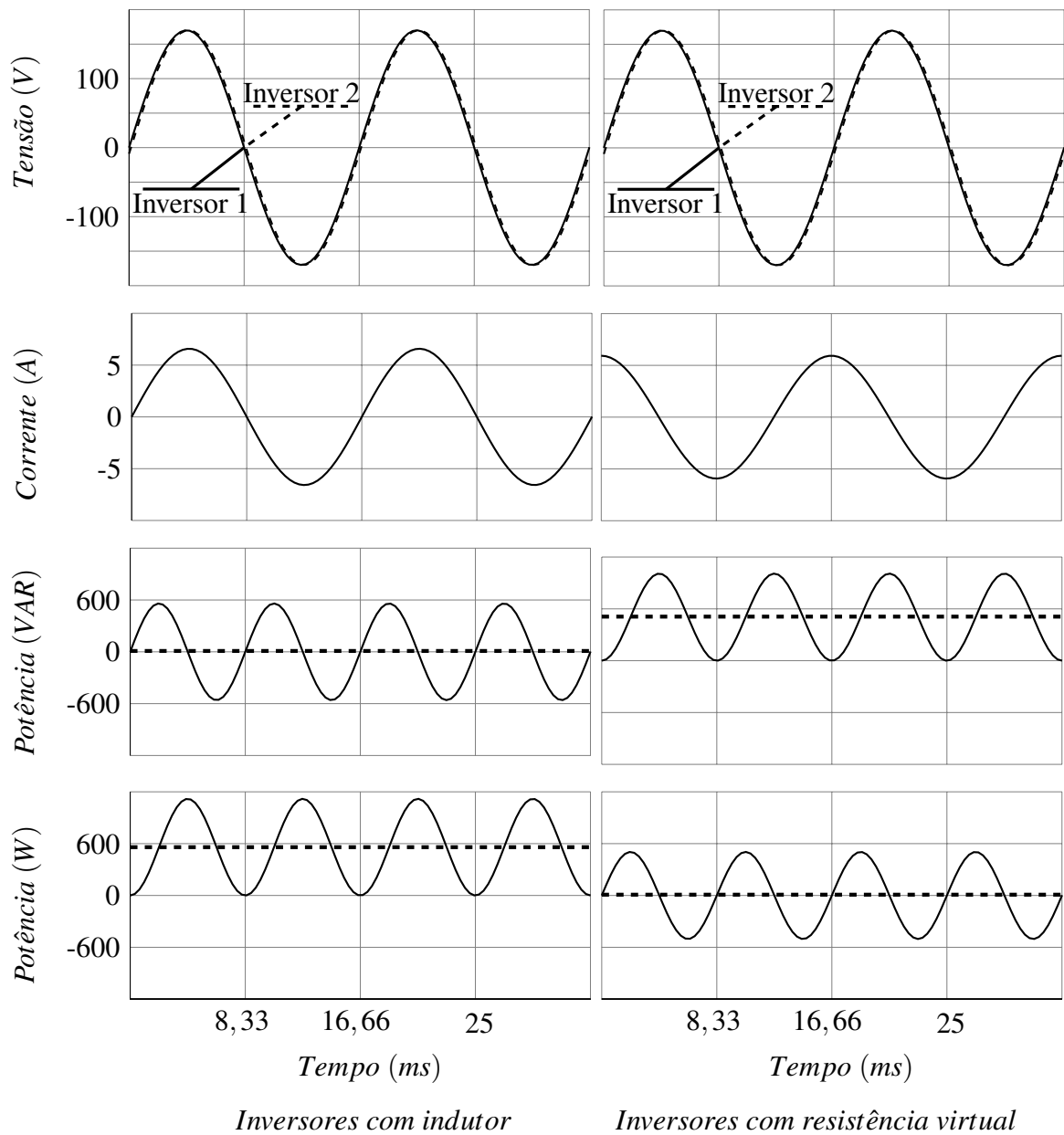
$$I\angle\phi = \frac{V_{INV1}\angle 0^\circ - V_{INV2}\angle\phi}{R1 + R2} \quad (31)$$

Na equação (31) está sendo calculada a corrente medida pelo inversor 1 ( $INV1$ ). Então considerando que este é a referência da medida e possui o ângulo de  $0^\circ$ , o inversor 2 ( $INV2$ ) está defasado em  $\phi$ . Considerando a soma das resistências virtuais entre os inversores,  $R1$  e  $R2$ , é calculada a corrente pela equação (29). Esse valor será utilizado para executar o controle de amplitude no trabalho dessa dissertação, sendo proporcional à variação de tensão entre eles. Com a equação (30) é obtida a potência reativa não distorcida. Esse valor será utilizado para executar o *droop* de fase no trabalho dessa dissertação, sendo proporcional à variação de fase entre eles.

#### 4.4 CONTROLE DE FASE/FREQUÊNCIA

##### 4.4.1 COMPARAÇÃO ENTRE IMPEDÂNCIAS DE SAÍDA

Na Figura 49 pode ser vista a comparação do resultado do cálculo de potência entre os inversores com indutor e com resistência virtual.



**Figura 49:** Corrente com indutor e resistência virtual com defasagem de  $1^\circ$

Executando os cálculos das equações (28), (29), (30) e (31) são obtidos os resultados da Tabela 1.

	Indutor	Resistência virtual
Valor da impedância	$600 \mu\text{H}$	$250 \text{ m}\Omega$
Potência ativa	555,5 W	4,4 W
Potência reativa não distorcida	4,8 VAR	502,6 VAR

**Tabela 1:** Potência com indutor e resistência virtual com defasagem de  $1^\circ$

O exemplo da Figura 49 e Tabela 1 é resultado de dois inversores em paralelo com um



indutor de  $600 \mu\text{H}$  cada um e dois inversores com  $250 \text{ m}\Omega$  de resistência virtual cada um, sendo que, em ambos os casos, os inversores possuem uma defasagem de  $1^\circ$  entre eles.

No caso dos inversores com resistência virtual, praticamente não existe potência ativa ( $4,4 \text{ W}$ ), mas existe potência reativa não distorcida ( $502,6 \text{ VAR}$ ), indicando a diferença de fase que será utilizada pelo controlador de fase.

No caso dos inversores com indutância na saída, praticamente não existe potência reativa não distorcida ( $4,8 \text{ VAR}$ ), mas existe potência ativa ( $555,5 \text{ W}$ ), indicando a diferença que poderia ser utilizada pelo controlador de fase, nos casos de existir indutância de conexão entre os inversores ou não ser utilizado controlador repetitivo de tensão.

#### 4.4.2 FUNCIONAMENTO SEM DEFASAGEM ENTRE OS INVERSORES

##### 4.4.2.1 COM CARGA LINEAR

Na Figura 50, podem ser vistos os resultados dos cálculos de potência reativa não distorcida para dois inversores, sem defasagem, alimentando uma carga linear.

Os valores médios encontram-se na Tabela 2.

	INV 1	INV 2
Potência ativa	850 W	850 W
Potência aparente	850 VA	850 VA
Potência reativa	0 VAR	0 VAR
Potência reativa não distorcida	0 VAR	0 VAR
Potência reativa distorcida	0 VAD	0 VAD

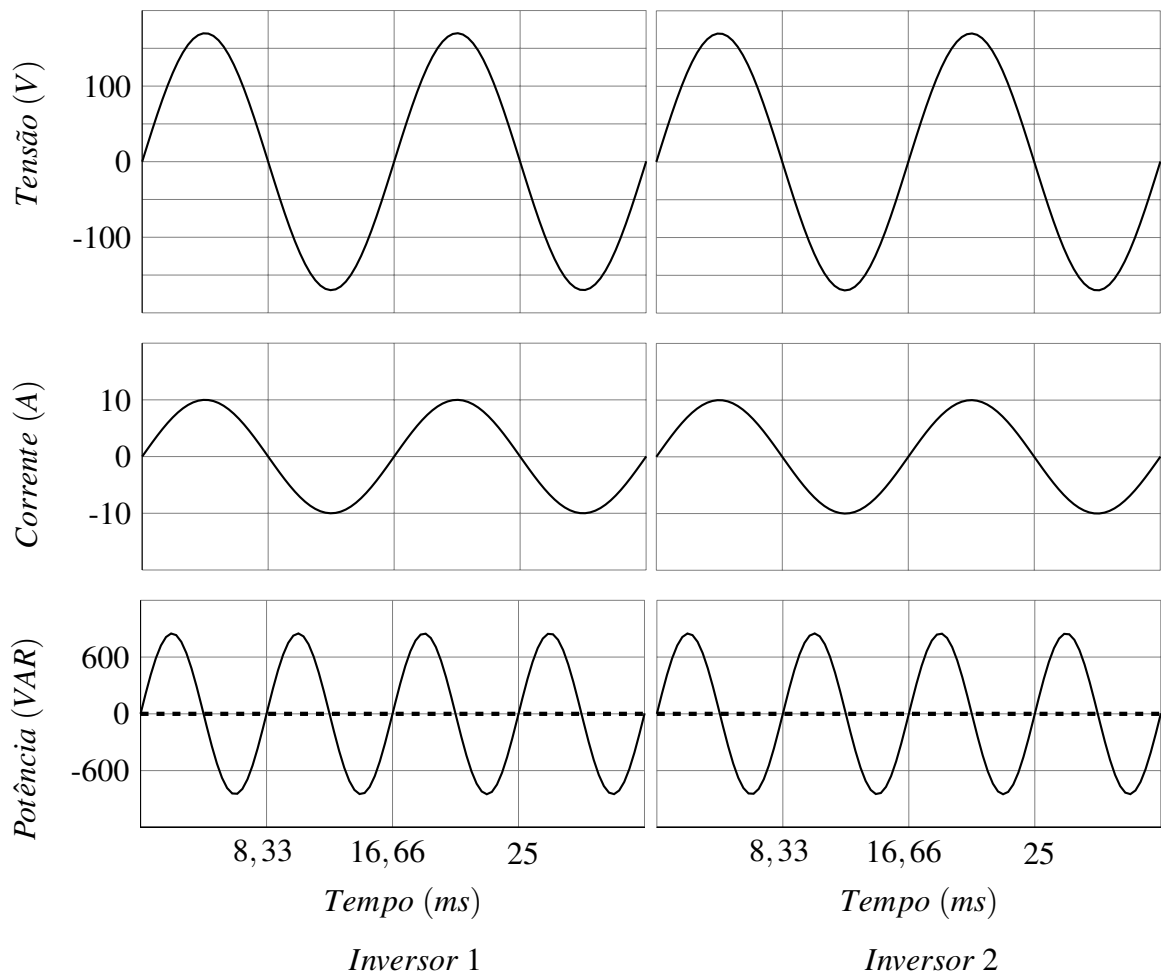
**Tabela 2:** Valores de potência sem defasagem e distorção

De acordo com a Figura 50 e a Tabela 2, pode ser verificado que apenas a inserção de uma carga linear resulta em uma potência reativa não distorcida igual a zero. Conclui-se que cargas lineares não afetam o algoritmo de paralelismo que utiliza a potência reativa não distorcida para corrigir a fase.

##### 4.4.2.2 COM CARGA NÃO-LINEAR

Na Figura 51 podem ser vistos os resultados dos cálculos de potência reativa não distorcida para dois inversores, sem defasagem, alimentando uma carga não-linear.

Os valores médios encontram-se na Tabela 3.

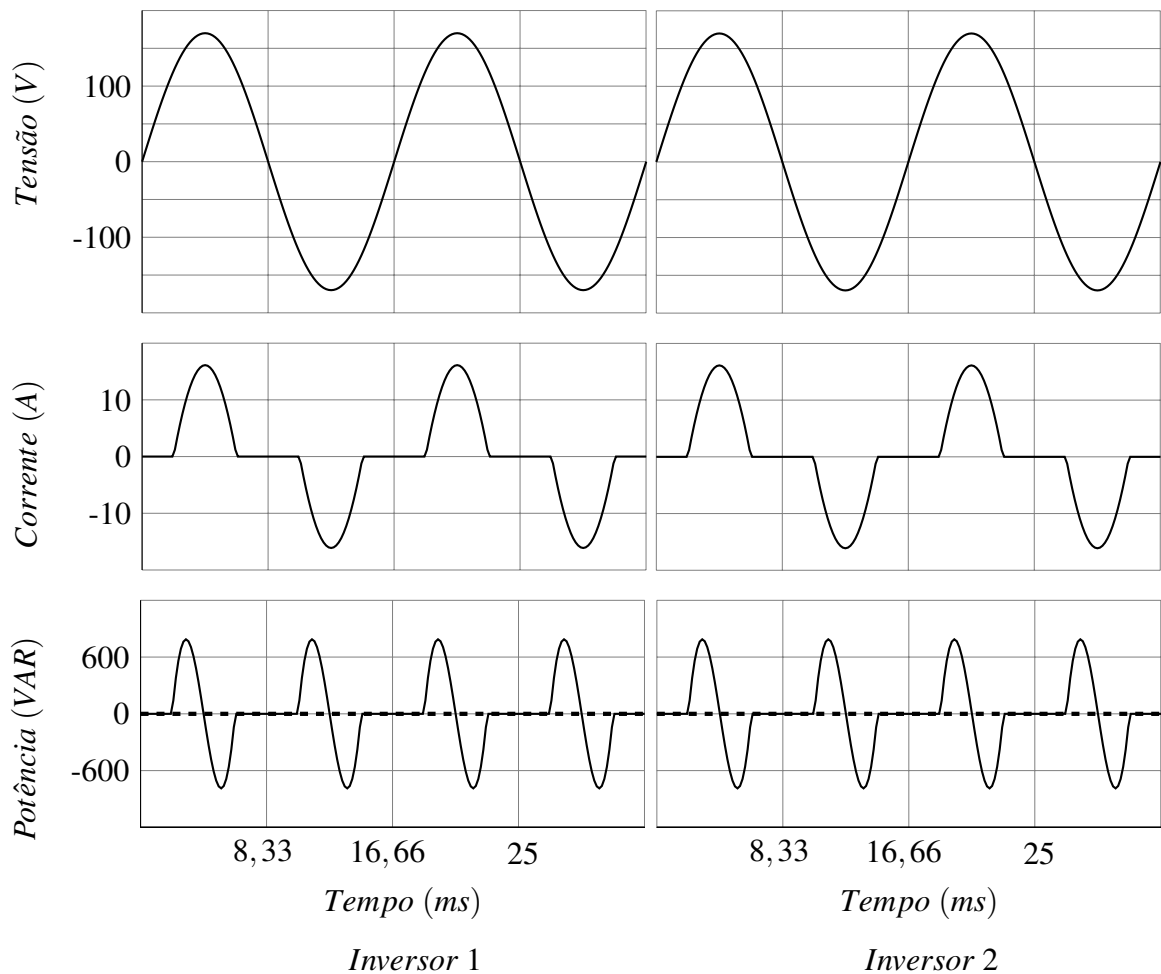


**Figura 50:** Cálculo de potência reativa sem defasagem e com carga linear

	INV 1	INV 2
Potência ativa	850.34 W	850.34 W
Potência aparente	993 VA	993 VA
Potência reativa	512.7 VAR	512.7 VAR
Potência reativa não distorcida	0 VAR	0 VAR
Potência reativa distorcida	512.7 VAD	512.7 VAD

**Tabela 3:** Valores de potência sem defasagem e com distorção

De acordo com a Figura 51 e a Tabela 3, pode ser verificado que apenas a inserção de uma carga não-linear resulta em uma potência reativa não distorcida igual a zero. Conclui-se que cargas não-lineares não afetam o algoritmo de paralelismo que utiliza a potência reativa não distorcida para corrigir a fase.



**Figura 51:** Cálculo de potência reativa sem defasagem e com carga não-linear

#### 4.4.3 FUNCIONAMENTO COM DEFASAGEM ENTRE OS INVERSORES

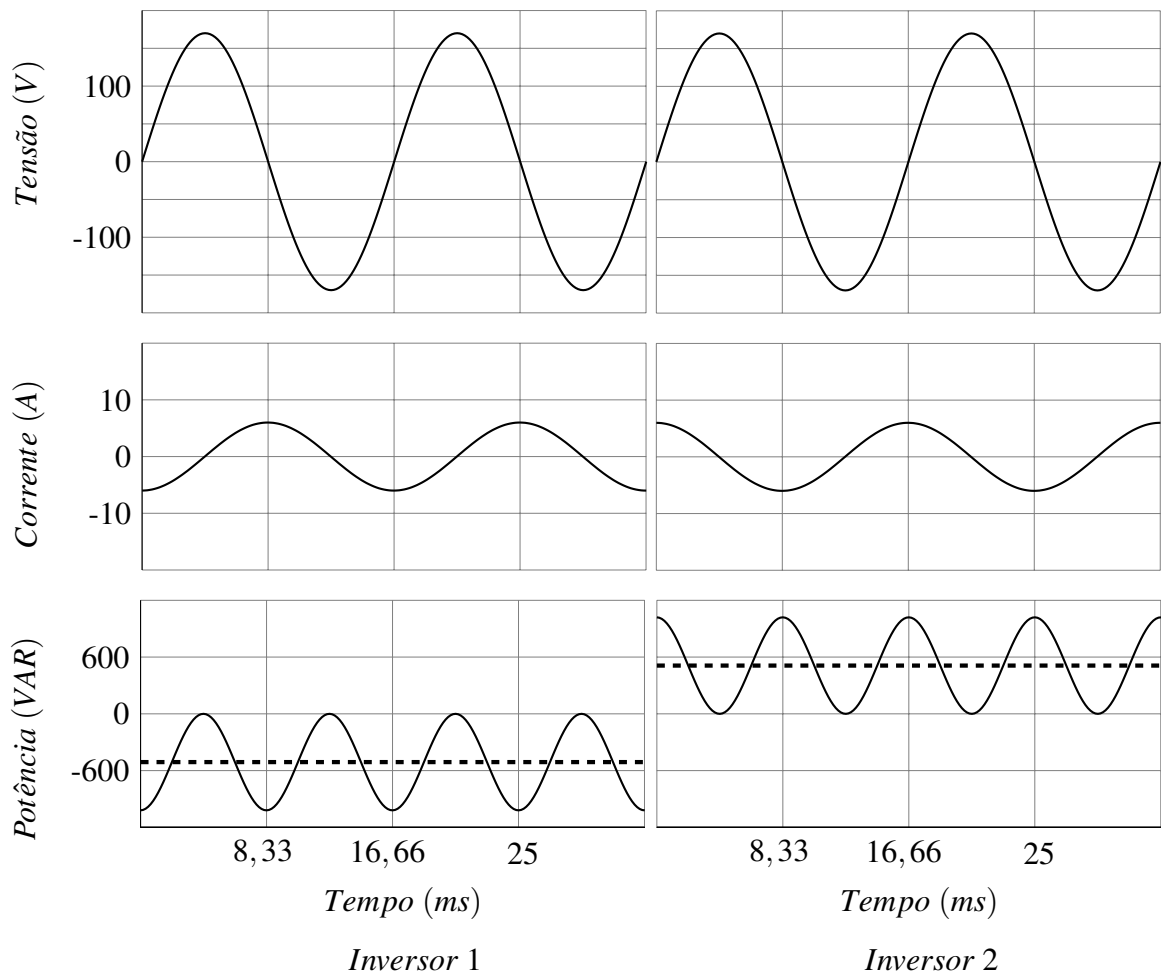
##### 4.4.3.1 SEM CARGA

Na Figura 52 observam-se as tensões de saída de dois inversores, defasados em  $1^\circ$ , a circulação de corrente entre os dois, sendo que existe uma resistência virtual de  $0,5 \Omega$  entre eles, sendo  $0,25 \Omega$  em cada um e a potência instantânea com a tensão defasada em  $90^\circ$  para o cálculo para potência reativa não distorcida.

Os valores médios encontram-se na Tabela 4.

As duas formas de onda centrais da Figura 52, *Corrente (A)*, representam as correntes medidas pelos inversores. Elas são iguais, porém, estão praticamente em oposição de fase, pois existem apenas dois inversores conectados. Desta forma, a corrente de um circula para o outro.

Pode ser verificado que o valor do pico da corrente é de aproximadamente 6 A, uma vez que a diferença de tensão é de aproximadamente 3 V de pico e a resistência virtual entre os



**Figura 52:** Cálculo de potência reativa com defasagem de  $1^\circ$  e sem carga

	INV 1	INV 2
Potência ativa	4.45 W	-4.45 W
Potência aparente	510 VA	510 VA
Potência reativa	-510 VAR	510 VAR
Potência reativa não distorcida	-510 VAR	510 VAR
Potência reativa distorcida	0 VAD	0 VAD

**Tabela 4:** Valores de potência com defasagem de  $1^\circ$  e sem carga

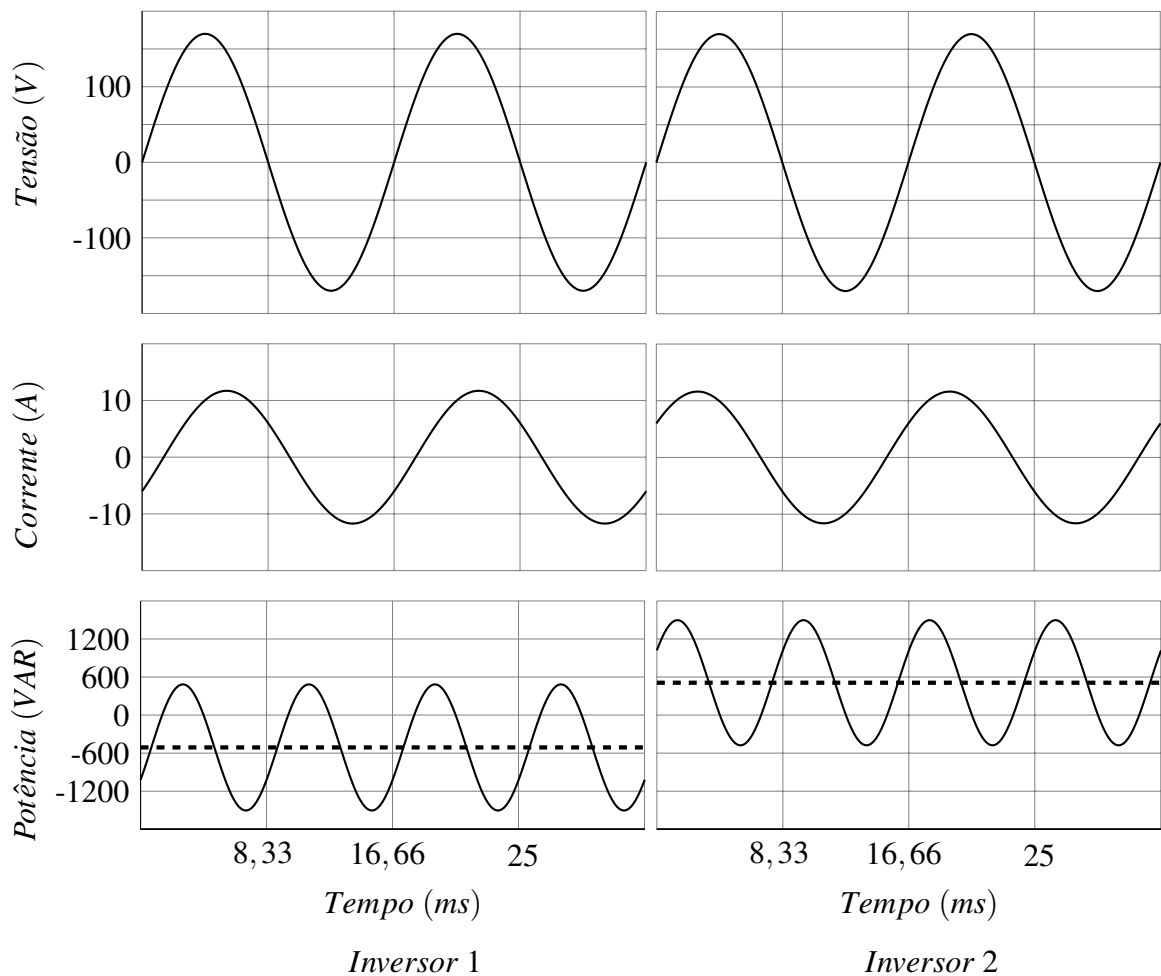
inversores é de  $0,5 \Omega$ .

As duas formas de onda na parte inferior da Figura 52, *Potência (VAR)*, representam os cálculos de potência reativa não distorcida. Pode ser observado, na Tabela 4, que elas possuem exatamente o mesmo valor médio, mas com sinais opostos. Isso significa, que se o controlador do paralelismo for alimentado com a potência reativa não distorcida, um dos inversores deslocará a fase em um sentido e o outro no sentido oposto, até que a defasagem de

1° seja reduzida a um valor mínimo, que deverá ser ajustado, dependendo da necessidade do UPS e da dinâmica de sua planta.

#### 4.4.3.2 CARGA LINEAR

Na Figura 53 pode ser observada as correntes e a potência reativa não distorcida instantâneas dos dois inversores com aproximadamente 850 W de carga linear para cada um.



**Figura 53:** Cálculo de potência reativa com defasagem de 1° e carga linear

Os valores médios encontram-se na Tabela 5.

Como observa-se nas duas formas de onda centrais da Figura 53, *Corrente (A)*, além do valor de 6 A de pico proveniente da defasagem, a corrente da carga linear de 850 W é somada, produzindo uma forma de onda diferente da Figura 52. Com essas correntes, o resultado do cálculo da potência reativa não distorcida instantânea, observado nas duas formas de onda inferiores da Figura 53, *Potência (VAR)*, é, também, diferente. Entretanto, quando se observa o

	INV 1	INV 2
Potência ativa	854.45 W	845.55 W
Potência aparente	995 VA	987.44 VA
Potência reativa	-510 VAR	510 VAR
Potência reativa não distorcida	-510 VAR	510 VAR
Potência reativa distorcida	0 VAD	0 VAD

**Tabela 5:** Valores de potência com defasagem de  $1^\circ$  e carga linear

valor da potência reativa não distorcida média na Tabela 5, conclui-se que o valor permaneceu inalterado em relação a Tabela 4, que era na situação de ambos os inversores sem carga.

Sendo assim, mesmo com 1700 W conectados nos dois inversores, o valor de potência reativa não distorcida se mantém em 510 VAR e -510 VAR, não interferindo no controlador *droop* de fase/frequência.

#### 4.4.3.3 CARGA NÃO-LINEAR

Na Figura 54 podem ser vistos os resultados dos cálculos de potência para dois inversores defasados em  $1^\circ$ , alimentando uma carga não-linear de 1700 W.

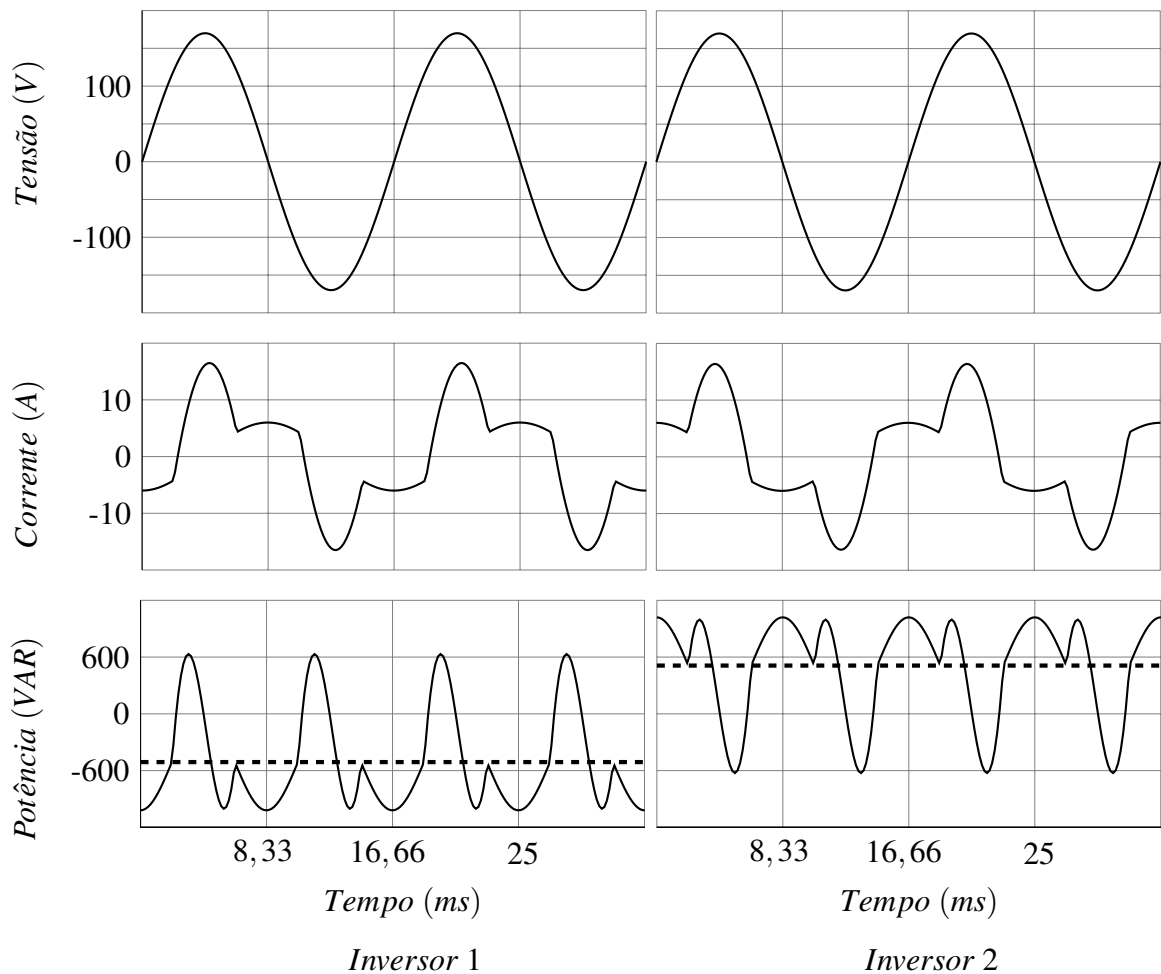
Os valores médios encontram-se na Tabela 6.

	INV 1	INV 2
Potência ativa	854.8 W	845.9 W
Potência aparente	1119.6 VA	1128.9 VA
Potência reativa	723.1 VAR	723.1 VAR
Potência reativa não distorcida	-510 VAR	510 VAR
Potência reativa distorcida	512.7 VAD	512.7 VAD

**Tabela 6:** Valores de potência com defasagem de  $1^\circ$  e carga não-linear

Nas duas formas de onda centrais da Figura 54, *Corrente (A)*, estão representadas as correntes de saída dos inversores, as quais são a somatória da corrente não distorcida, que circula entre os inversores, e da corrente distorcida, que circula para a carga não-linear.

Nas duas formas de onda inferiores da Figura 54, *Potência (VAR)*, encontram-se os resultados dos cálculos da potência reativa não distorcida de ambos os inversores. Como se vê na Tabela 6, o valor médio do inversor 1 é igual a -510 VAR e do inversor 2 é 510 VAR. No cálculo de potência reativa não distorcida sem carga, da Figura 52 e Tabela 4 apenas com uma defasagem de  $1^\circ$ , o valor também resulta em -510 VAR e 510 VAR. O que significa que



**Figura 54:** Cálculo de potência reativa com defasagem de  $1^\circ$  e carga não-linear

mesmo com a carga não-linear conectada na saída dos inversores em paralelo, esta não interfere no cálculo de potência não distorcida, usada para executar o controle de fase do paralelismo.

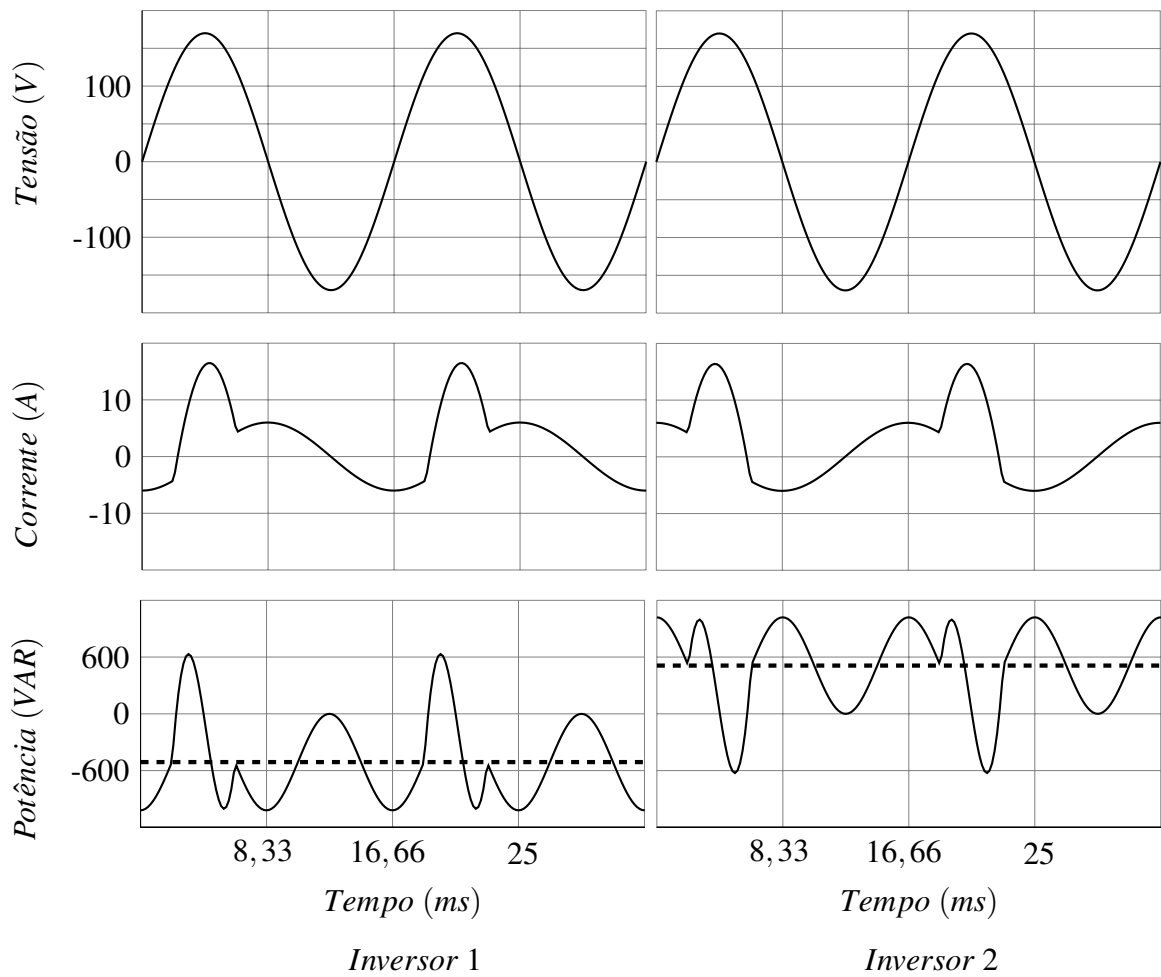
#### 4.4.3.4 CARGA NÃO-LINEAR MEIA-ONDA

Na Figura 55 são mostrados os resultados dos cálculos de potência para dois inversores, defasados em  $1^\circ$ , alimentando uma carga não-linear meia-onda.

Os valores médios encontram-se na Tabela 7.

Nas duas formas de onda no centro da Figura 55, *Corrente (A)*, estão representadas as correntes de saída dos inversores, as quais resultam da somatória da corrente não distorcida, que circula entre os inversores, e da corrente distorcida, que circula para a carga não-linear meia-onda.

As duas formas de onda, na parte inferior da Figura 55, *Potência (VAR)*, representam



**Figura 55:** Cálculo de potência reativa com defasagem de  $1^\circ$  e carga meia-onda

	INV 1	INV 2
Potência ativa	429.6 W	420.7 W
Potência aparente	870 VA	865.6 VA
Potência reativa	-756.5 VAR	756.5 VAR
Potência reativa não distorcida	-510 VAR	510 VAR
Potência reativa distorcida	558.7 VAD	558.7 VAD

**Tabela 7:** Valores de potência com defasagem de  $1^\circ$  e carga não-linear meia-onda

os resultados dos cálculos da potência não distorcida de ambos os inversores. Como pode ser visto na Tabela 7, o valor médio de potência reativa não distorcida do inversor 1 é de -510 VAR e do inversor 2 é de 510 VAR. Comparando-se esses valores com aqueles obtidos com carga não-linear da Tabela 6, verifica-se serem idênticos. Isso significa, que uma carga meia-onda, ou com nível médio diferente de zero, não altera o valor do cálculo de potência reativa não distorcida, o qual permanece praticamente o mesmo, em qualquer condição de carga ativa.



#### 4.4.3.5 CONTROLADOR

Para o cálculo dos parâmetros do controlador são utilizados dois critérios. O primeiro é o erro em regime, onde o objetivo é que a plena carga reativa do UPS não exceda um certo valor de defasagem, em torno de  $30^\circ$ , para não comprometer o sincronismo com a rede. O segundo critério é o tempo de acomodamento, que pode ser de até 100 ms. A taxa de amostragem utilizada é de 16,66 ms, pois o controle é calculado quando uma nova amostra de potência está disponível.

**Velocidade** Um controlador atraso de fase possui um pólo e um zero reais, sendo que o tempo de resposta é a taxa de amostragem pelo logaritmo neperiano da distância do pólo até a origem vezes 4, como na equação (32).

$$ta = -\frac{4 \times T}{\ln R} \quad (32)$$

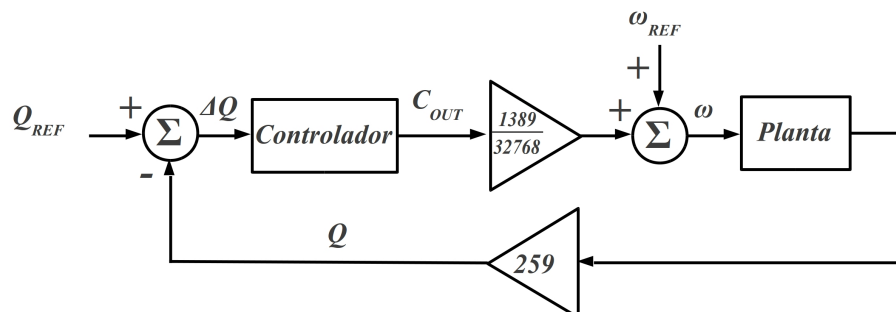
Onde  $ta$  é o tempo de acomodamento,  $T$  é a taxa de amostragem e  $R$  é a distância do pólo até a origem, sendo o próprio valor deste, já que é um pólo real.

Então para calcular a posição do pólo do controlador, usa-se a equação (33).

$$R = e^{-\frac{4 \times T}{ta}} = e^{-\frac{4 \times 1/60}{0,1}} = 0,5 \quad (33)$$

Pela equação (33) foi decidido usar um tempo de acomodamento de 100 ms, resultando em um pólo real de valor 0,5.

**Ganho** Para calcular o ganho serão considerados os ganhos da planta da Figura 56.



**Figura 56:** Diagrama do *droop* de fase/frequência

De acordo com a Figura 56, tem-se:

- $Q$ : potência reativa não distorcida medida na saída do inversor, que alimenta a carga. Para o controle do paralelismo, o controlador deve ser ajustado, pois além de considerar a potência reativa circulante de um inversor para o outro, deve considerar que a carga pode demandar potência reativa. Nesse caso irá ocorrer um desvio de fase/frequência que deve ser ajustado para níveis toleráveis;
- $Q_{REF}$ : referência de potência reativa não distorcida, que é sempre igual a 0 VAR para o controlador do paralelismo, o que o faz o controlador buscar a menor potência reativa não distorcida possível, na saída do inversor;
- $\Delta Q$ : erro de potência reativa não distorcida que entra no controlador;
- $C_{OUT}$ : saída do controlador antes do ganho de  $\frac{1389}{32768}$ ;
- $\omega$ : frequência de saída que será usada pela função senoidal do inversor;
- $\omega_{REF}$ : referência de frequência para o inversor, como mostrado na equação (34).

$$\omega_{REF} = \frac{f_{osc}}{60 \times 2 \times 360} \quad (34)$$

Tomando como base a frequência de 60 MHz do oscilador do DSP,  $f_{osc}$ , esta é dividida por 60, que é a frequência desejada para o inversor, por 2, devido ao módulo PWM do DSP, e por 360, que é o número de passos que compõem a senóide de saída do inversor. O resultado é o valor de 1389. O cálculo do controlador de potência reativa é executado com fundo de escala entre -32767 e 32767. Então para ser inserido na frequência, este é multiplicado por 0,0424, sendo este valor constante a divisão de 1389 por 32767;

Para esse modelo foi considerada uma resistência virtual de saída constante de 250 m $\Omega$ , sendo que para cada grau de variação de defasagem de saída em relação a outro UPS, a potência reativa não distorcida na saída é de 1005 VAR, como mostrado na equação (35).

$$Q = \frac{120\angle 0^\circ V - 120\angle 1^\circ V}{0,25 \Omega} \times 120\angle 0^\circ V = 1005 VAR \quad (35)$$

Então a potência reativa nominal do UPS desse modelo é 12 kVA, sendo que quando o usuário conectar tal carga no inversor, o UPS pode defasar seu sincronismo em no máximo 30°. Essa defasagem corresponde a 115 pesos na saída do controlador, que soma com a referência  $\omega_{REF}$ . Como na saída do controlador existe um ganho de  $\frac{1389}{32768}$ , na variável  $C_{OUT}$  o valor pode ser de 2730 pesos. Sendo assim, para uma potência reativa não distorcida de 12000 VAR resultar em 2730 pesos, o ganho deve ser 0,2275. Para esse ganho, a posição do zero real pode ser calculada pelas equações (36) e (37).

$$ganho = \frac{z - zero}{z - pólo} \quad (36)$$

$$zero = z - (ganho \times (z - pólo)) = 1 - (0,2275 \times (1 - 0,5)) = 0.88625 \quad (37)$$

Como o valor do zero ficou à direita do valor do pólo no plano Z, o controlador não é estável. A solução é deslocar o zero para 0,4, aumentando o ganho do controlador, e compensando este com um ganho de entrada. Então de acordo com a equação (38), o ganho seria:

$$ganho = \frac{z - zero}{z - pólo} = \frac{1 - 0,4}{1 - 0,5} = 1,2 \quad (38)$$

Para obter o ganho próximo do desejado, a entrada do controlador será multiplicada por 0,2, resultando em um ganho final de 0,24. Na equação (39) pode ser visto o controlador final.

$$\frac{C_{out}}{\Delta Q} = 0,2 \times \frac{z - 0,4}{z - 0,5} \quad (39)$$

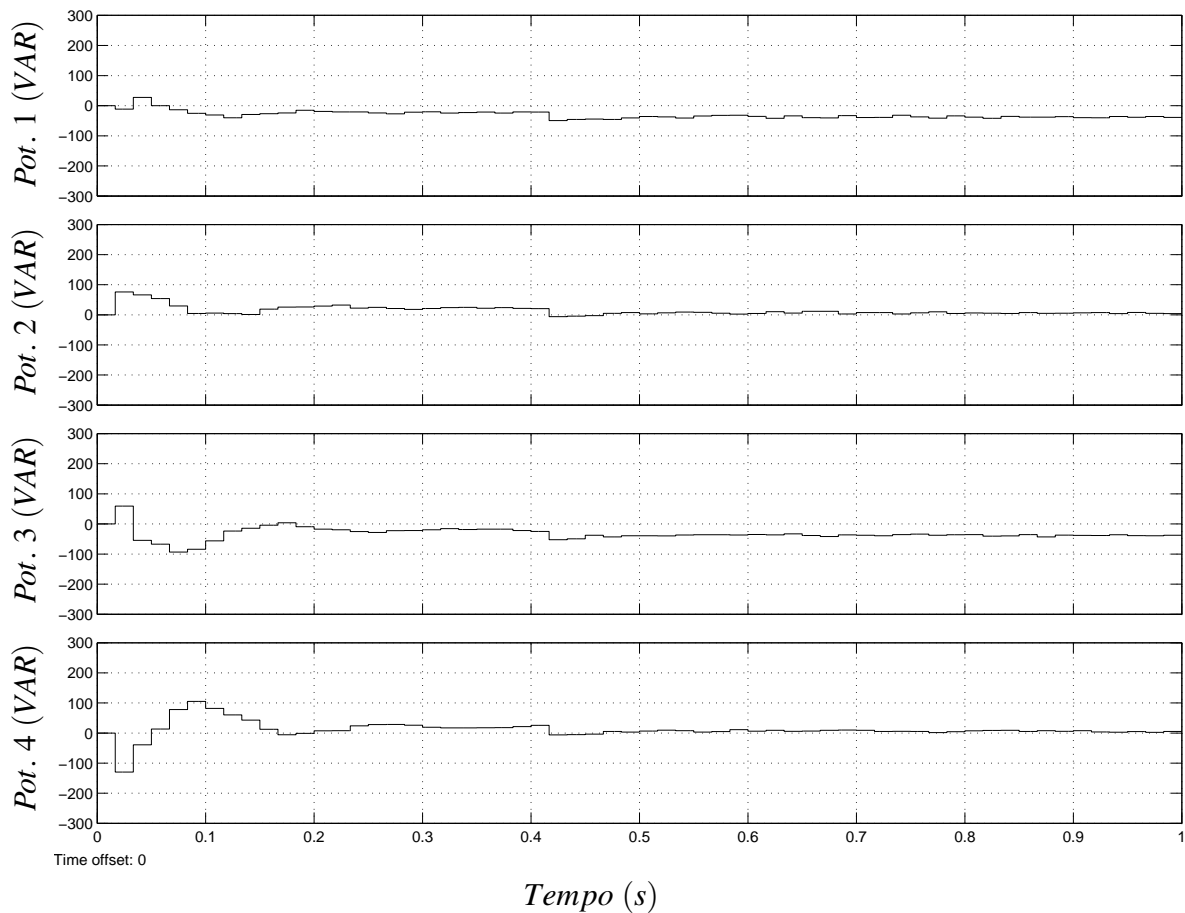
Para comprovar a eficácia do controlador, esses parâmetros foram simulados no MATLAB/Simulink, com um modelo de quatro inversores, sendo que dois tinham frequência de 60 Hz e dois de 60,04 Hz. Também dois inversores começavam em 0 ° e outros dois em 1 ° de defasagem para checar se os parâmetros são capazes de fazer os inversores convergirem para um valor mínimo de potência reativa entre eles.

A Figura 57 mostra a potência reativa da simulação feita no Matlab/Simulink.

Na Figura 57 pode ser visto que após 200 ms, que significam 12 iterações a 60 Hz, a potência reativa não distorcida se estabilizou, saindo de até 130 VAR para valores próximos de 0 VAR, comprovando a eficiência dos parâmetros utilizados com o controlador atraso de fase.

Enfatiza-se, neste ponto, que a característica do controlador é a de não corrigir totalmente a fase, mas sim a frequência, pois um erro de fase acarreta em uma potência reativa não distorcida que circula entre os inversores, e uma diferença de frequência indica que o sistema está com potência oscilatória, em níveis inviáveis, para implementação.

Considerando-se, também, o funcionamento na bateria, onde os UPSs dependem apenas do cristal do oscilador para gerar a frequência de 60 Hz, é importante sempre corrigir a frequência para evitar que exista momentos em que circule potência reativa não distorcida entre



**Figura 57:** Potência reativa simulada

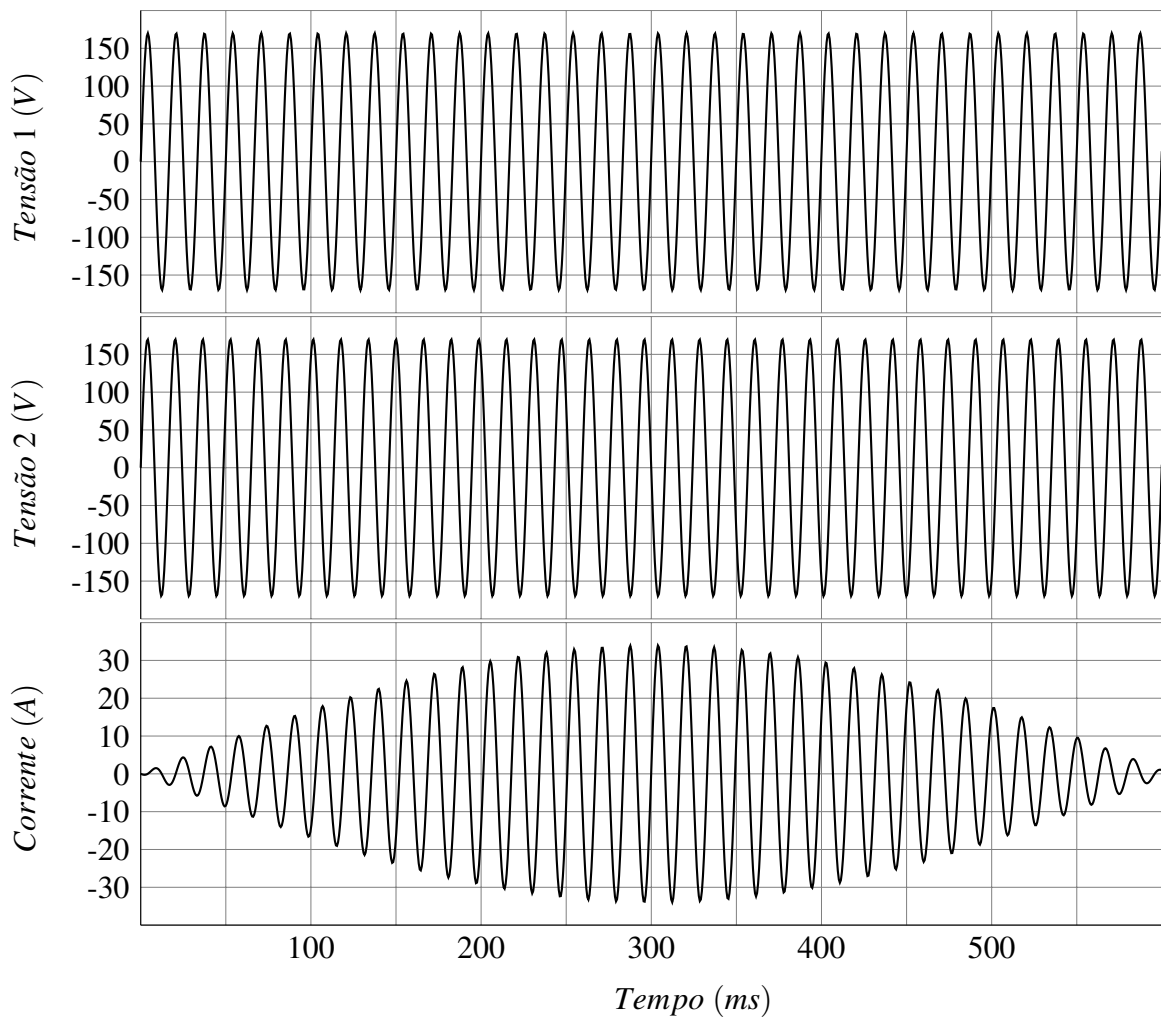
os inversores na falha da rede elétrica.

Na Figura 58, pode ser visto o efeito da diferença de frequência entre os inversores.

Na Figura 58, o primeiro inversor tem frequência de 60 Hz e o segundo de 61,65 Hz, o que faz com que o erro de regime seja de 2,75%. Cada inversor tem uma resistência virtual de 100 m $\Omega$  para limitar a corrente de saída. Observa-se que após 300 ms, quando os inversores atingem o máximo da defasagem (180 $^\circ$ ), a corrente chega a, aproximadamente, 35 A de pico, inviabilizando o funcionamento. Por essa razão, a frequência não pode ter erro de regime, o qual, mesmo sendo pequeno, provocaria essa situação, a única diferença é que demoraria mais tempo para a fase entre os inversores chegar a 180 $^\circ$ .

A Figura 59 mostra o efeito da diferença de fase entre os inversores.

Na Figura 59, o segundo inversor tem uma diferença 9,9 $^\circ$  em relação ao primeiro, como consequência de um erro de regime de 2,75%. A resistência virtual de cada inversor também é de 100 m $\Omega$ . Nessa situação, o efeito provocado é bem mais aceitável que aquele ocorrido no erro de regime da frequência, uma vez que circula uma corrente de pico de 3 A



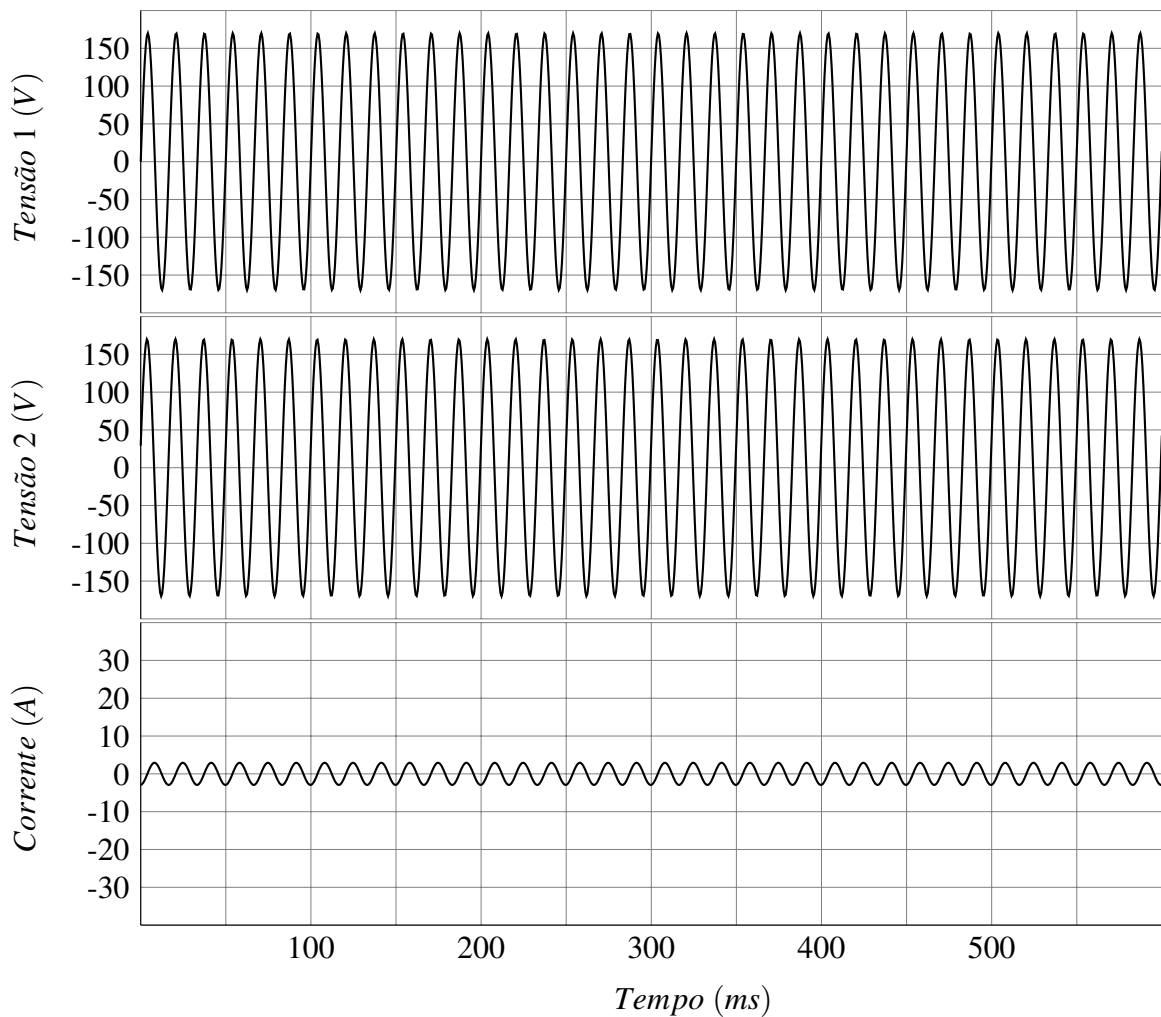
**Figura 58:** Diferença de frequência entre inversores

entre os inversores, sendo sempre estável.

Essa análise leva a concluir que um erro de regime na frequência é inaceitável, porém, dependendo do nível máximo proposto de potência reativa entre os inversores, admite-se um erro de regime na fase.

#### 4.5 CONTROLE DE AMPLITUDE

Uma vez resolvido o problema da defasagem entre os inversores, resta encontrar uma solução para a diferença de tensão entre eles, sempre considerando a utilização do controlador repetitivo, que não permite utilizar o indutor de filtro de saída como limitador de corrente natural. Nesse caso, se for elaborado um controlador *droop* de tensão, a potência ativa poderá ser compartilhada corretamente, mas existirá o efeito indesejado de reduzir a tensão eficaz dos inversores. Considerando-se isso, pode-se trabalhar com dois métodos complementares, os



**Figura 59:** Diferença de fase entre inversores

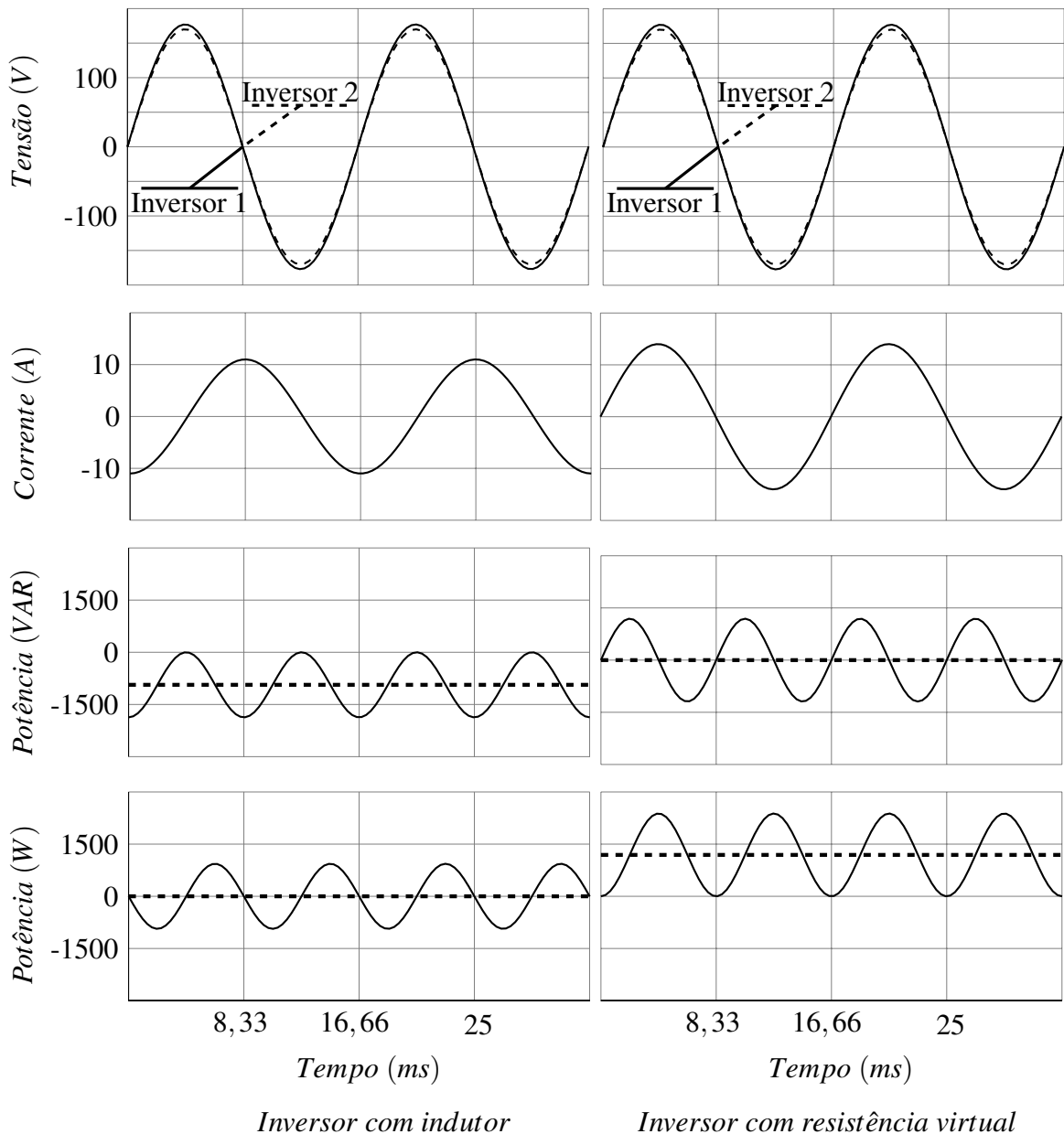
quais são a resistência virtual e a comunicação entre os UPSs.

A resistência virtual é eficaz para o compartilhamento de potência quando os UPSs funcionam sem comunicação. No entanto, quando estes possuírem alguma diferença de tensão de saída (diferença de calibração de amostra, por exemplo), a resistência virtual deveria assumir valores altos para que não circule corrente entre os inversores, piorando a regulação de tensão destes e aumentando a THD com carga não-linear. Então é preferível executar um compartilhamento de potência ativa com comunicação, deixando a resistência virtual com valores pequenos, apenas para evitar circulação de corrente provenientes de distorções de tensão dos inversores.

Para executar o funcionamento com a comunicação, considerar-se-á um controlador de tensão para permitir o compartilhamento de potência ativa entre os inversores dos UPSs.

#### 4.5.1 COMPARAÇÃO ENTRE IMPEDÂNCIAS DE SAÍDA

Na Figura 60 pode ser vista a comparação do resultado do cálculo de potência entre dois inversores com indutor de  $600 \mu\text{H}$  cada um e dois inversores com resistência virtual de  $250 \text{ m}\Omega$  cada um, sendo que, em ambos os casos, os inversores possuem uma diferença de  $5 \text{ V}$  eficazes entre eles.



**Figura 60:** Corrente com indutor e resistência virtual com diferença de  $5 \text{ V}$

Calculando as potências ativa e reativas com as equações (28), (29), (30) e (31) para as duas situações são obtidos os resultados da Tabela 8.

Como visto Figura 60 e Tabela 8, no caso dos inversores com resistência virtual, não

	Indutor	Resistência virtual
Valor da impedância	600 $\mu$ H	250 m $\Omega$
Potência ativa	0 W	1190 W
Potência reativa não distorcida	-935 VAR	0 VAR

**Tabela 8:** Potência com indutor e resistência virtual com diferença de 5 V

existe potência reativa não distorcida, mas existe potência ativa (1190 W), indicando a diferença de tensão que será corrigida pelo controlador de potência ativa. No caso dos inversores com indutância na saída, não existe potência ativa, mas existe potência reativa não distorcida (-935 VAR), indicando a diferença que poderia ser utilizada pelo controlador de amplitude, nos casos de existir indutância de conexão entre os inversores ou não ser utilizado controlador repetitivo de tensão.

#### 4.5.2 DIFERENÇA DE 5 V ENTRE DOIS INVERSORES

A Figura 61, demonstra o efeito na potência que circula ativa entre dois inversores, com 5 V de diferença entre eles e 0,25  $\Omega$  de resistência virtual cada.

Na parte superior da Figura 61, *Tensão (V)*, observam-se os valores de tensão dos dois inversores, antes da resistência virtual, pois no ponto de conexão entre eles a tensão é a mesma. Sendo de 0,25  $\Omega$  a resistência de ambos, pode-se considerar que a tensão real seja a média dos dois inversores, o que resulta em 122,5 V, devido ao *Inversor 1* ter 125 V e o *Inversor 2* ter 120 V.

Sendo assim, existe uma diferença de tensão de 5 V entre os inversores, a qual provoca uma circulação de corrente entre eles. Como cada um possui uma resistência virtual de 0,25  $\Omega$ , a corrente que circula é de 10 A, como visto na parte central da Figura 61, *Corrente (A)*.

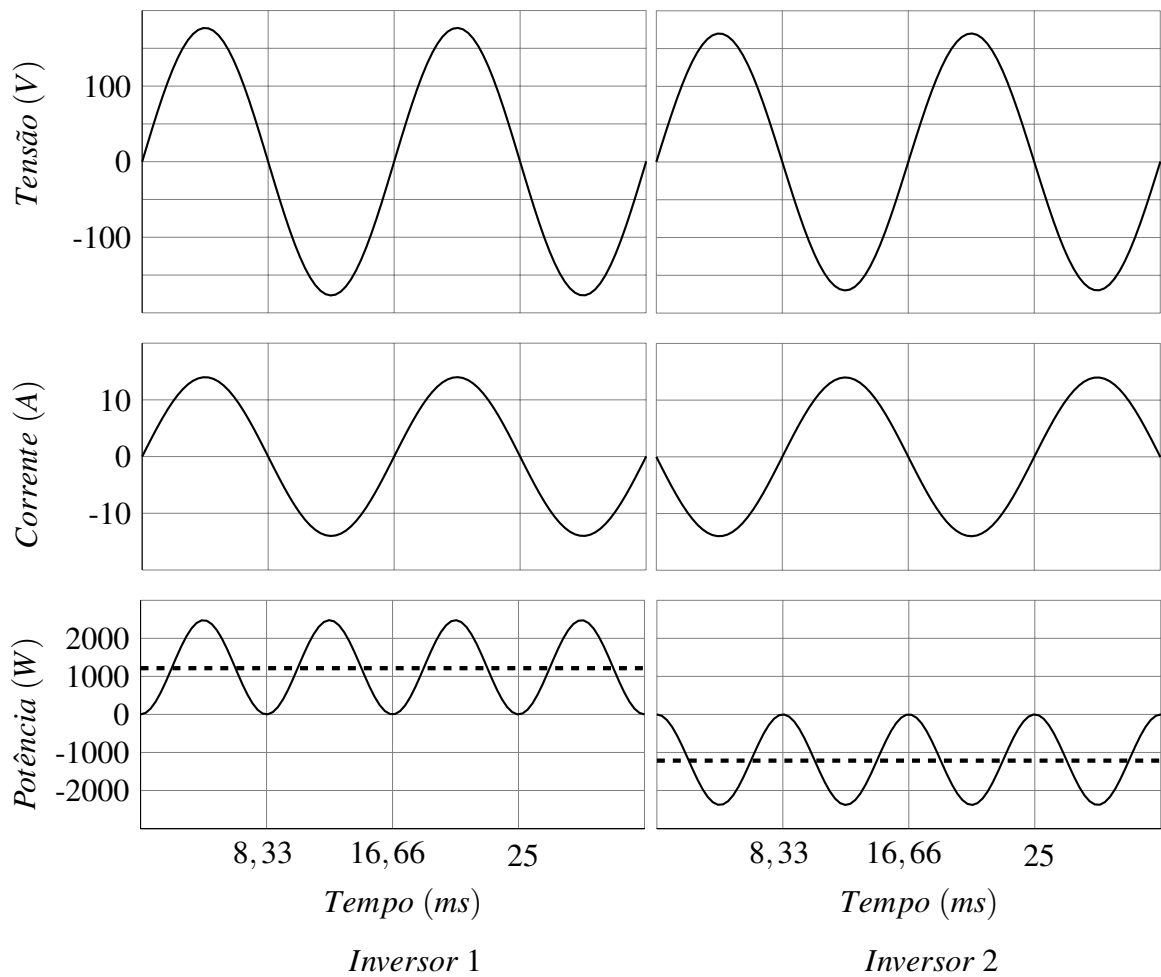
O resultado dessa diferença é potência ativa positiva no *Inversor 1* e negativa no *Inversor 2*, como observado na parte inferior da Figura 61, *Potência (W)*.

Os valores médios de potência encontram-se na Tabela 9.

Pela Tabela 9, é possível concluir que o *Inversor 1* fornece 1214,5 W para o *Inversor 2*, sendo que não existe potência reativa circulando entre eles.

A situação observada na Figura 61 e Tabela 9 é exatamente a situação a qual o controlador deve ajustar a tensão dos inversores, evitando circulação de potência ativa entre eles.





**Figura 61:** Cálculo de potência ativa com diferença de 5 V

	INV 1	INV2
Potência ativa	1214.5 W	-1214.5 W
Potência aparente	1214.5 VA	1214.5 VA
Potência reativa	0 VAR	0 VAR
Potência reativa não distorcida	0 VAR	0 VAR
Potência reativa distorcida	0 VAD	0 VAD

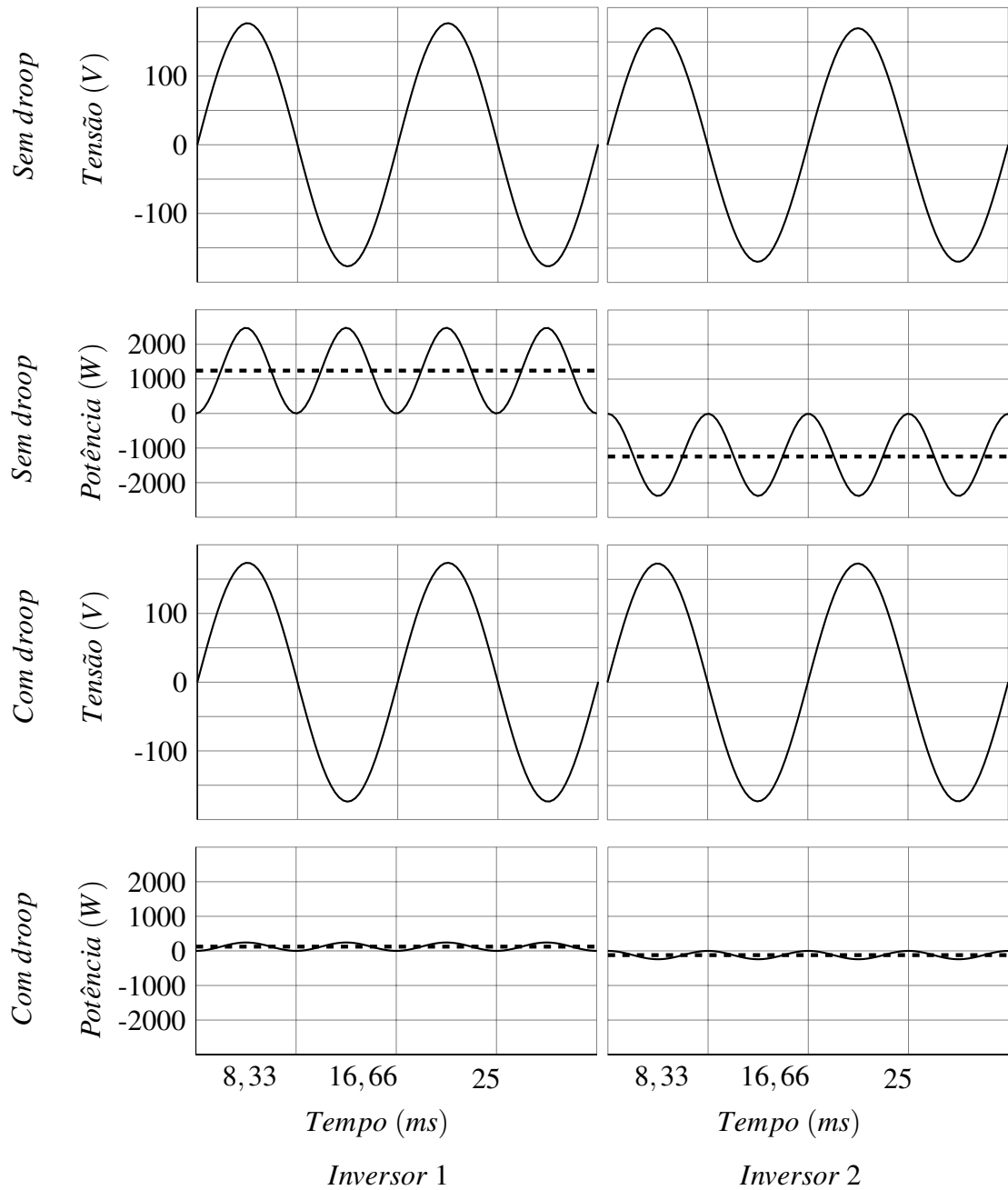
**Tabela 9:** Valores de potência com diferença de 5 V

#### 4.5.3 ANÁLISE DE UM CONTROLADOR *DROOP* DE POTÊNCIA ATIVA

Assim como o controlador *droop* é utilizado para controlar a potência reativa entre os inversores, este também é utilizado para executar o compartilhamento de potência ativa entre os inversores em paralelo, alterando a amplitude, no caso de inversores sem indutor de conexão ou com controlador repetitivo.

Para demonstrar o funcionamento, a Figura 62 mostra dois inversores com diferença

de tensão de 5 V e resistência virtual de 250 mΩ.



**Figura 62:** Funcionamento do *droop* de potência ativa

A Figura 62 mostra os dois inversores com diferença de tensão antes e depois da ação do controlador *droop*. O controlador utilizado foi o da equação (40), como o utilizado por (ZHONG, 2011).

$$E_i = E_O - n_i \times P_i \quad (40)$$

Na Figura 62, o coeficiente do *droop* utilizado,  $n_i$ , foi de 0,0183, diminuindo a potência ativa que flui de inversor para o outro de 1239 W para 123 W, para usar como exemplo um erro em regime de 10%.

Nas equações (41) e (42) estão os resultados das amplitudes ( $E_i$ ) de cada inversor.

$$E_i = 125 - 0,0183 \times 123 = 122,75 \quad (41)$$

$$E_i = 120 - 0,0183 \times -123 = 122,25 \quad (42)$$

A equação (41) é do inversor 1 que fornece potência ativa e, portanto, teve sua tensão reduzida de 125 V para 122,25 V. A equação (42) é do inversor 2, que absorve potência ativa e, portanto, teve sua tensão aumentada de 120 V para 122,25 V. Essa ação de controle reduz a potência de 1239 W para 123 W, que é o erro de regime. A diferença dos inversores ainda é de 0,5 V em uma resistência virtual de 0,5  $\Omega$  (0,25  $\Omega$  + 0,25  $\Omega$ ), produzindo aproximadamente 1 A, que resulta em 123 W de potência ativa circulando entre os inversores.

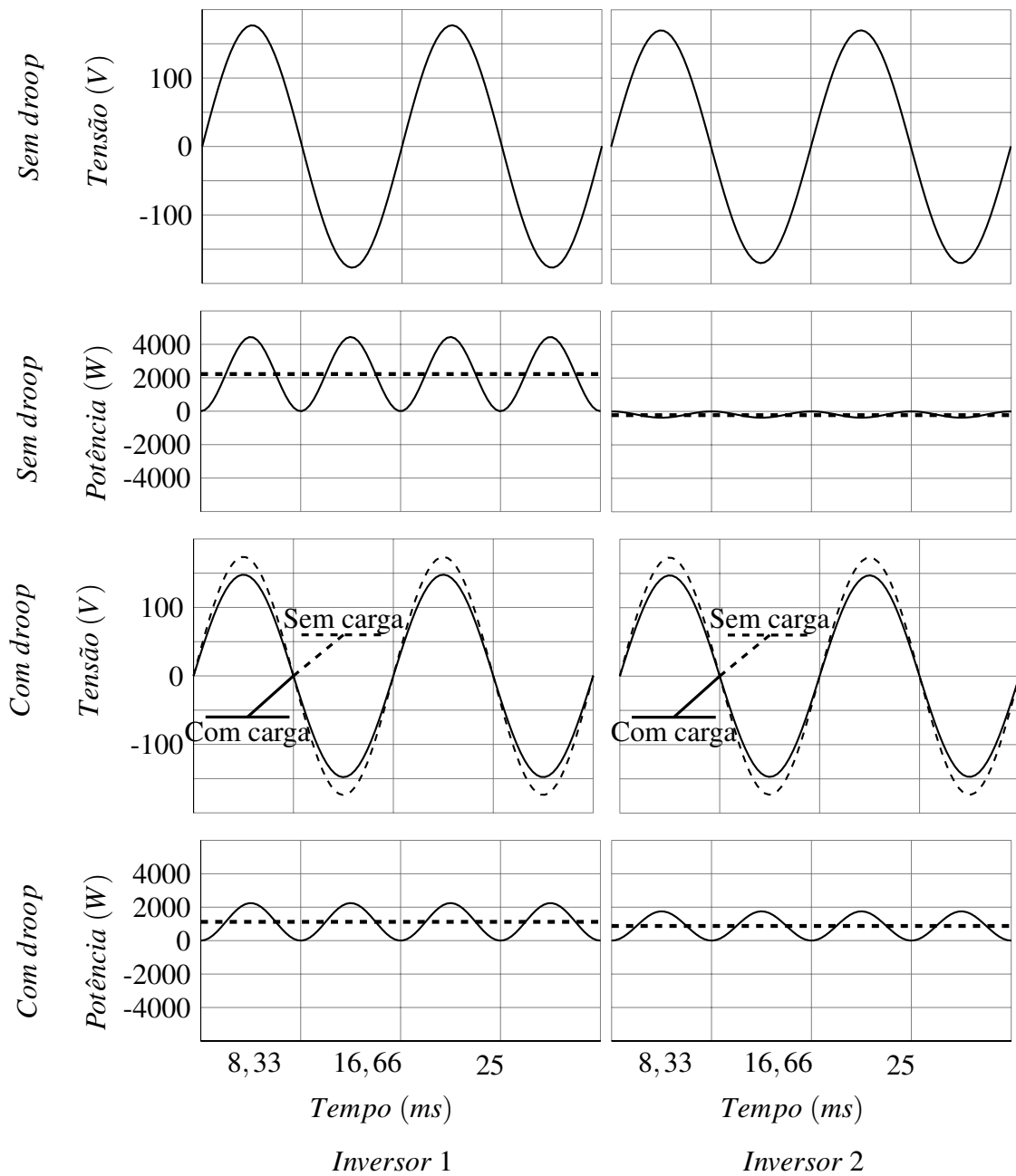
Na Figura 63 pode ser visto o funcionamento de dois inversores com e sem controlador *droop* de potência ativa com diferença de 5 V entre eles, resistência virtual de 0,25  $\Omega$  para cada um e fornecendo 2000 W de potência ativa para uma carga linear.

Na Figura 63 quando os inversores estão funcionando sem a ação do controlador *droop* de potência ativa, o inversor 1 fornece aproximadamente 2222 W e o inversor 2 absorve 222 W. Assim, a tensão de saída que alimenta a carga permanece com aproximadamente 120 V, mas a potência está sendo fornecida por apenas um inversor, sendo que ainda existe a limitação da resistência virtual, caso contrário o inversor 2 (que possui a amplitude mais baixa) absorveria mais potência ainda. Para executar a ação do controlador *droop*, o coeficiente utilizado,  $n_i$ , foi de 0,0183 novamente. Nas equações (43) e (44) estão os resultados das amplitudes ( $E_i$ ) de cada inversor, quando o controlador *droop* está ativo.

$$E_i = 125 - 0,0183 \times 1123 = 104,45 \quad (43)$$

$$E_i = 120 - 0,0183 \times 877 = 103,95 \quad (44)$$

A equação (43) é do inversor 1 que fornece potência ativa porque tem a amplitude maior e, portanto, teve sua tensão reduzida de 125 V para 104,45 V. A equação (44) é do inversor



**Figura 63:** Queda de tensão com *droop* de potência ativa com 2000 W

2, que absorve potência ativa porque tem amplitude menor e, portanto, teve sua tensão reduzida de 120 V para 103,95 V. Essa ação de controle permite aos inversores com tensões diferentes compartilharem a potência ativa (o inversor 1 forneceu 1123 W e o inversor 2 forneceu 877 W), mas reduz a tensão de saída em quase 20 V.

Para evitar esse problema, o trabalho dessa dissertação não utiliza o *droop* de tensão, e sim uma interface de comunicação para que os inversores troquem entre si os valores de potência ativa, executando um algoritmo que permite o compartilhamento eficiente e sem queda

de tensão, o que é fundamental para uma boa performance de um inversor.

Ainda assim, na ocorrência de falha de comunicação entre os inversores, a resistência virtual será aumentada, fazendo o efeito semelhante de um *droop* de potência ativa, reduzindo a performance (como em um controlador *droop*) mas garantindo a confiabilidade do sistema.

#### 4.5.4 COMUNICAÇÃO CAN

Para executar a comunicação entre os UPSs, para que troquem informações de potência ativa, usa-se comunicação *CAN*.

Como o *DSP* usado é o *DSC56F8335* da *Freescale*, o dispositivo é o *Flexcan*. A estrutura de mensagem pode ser vista na Tabela 10.

15-8	7-4	3-0		
<i>TIME STAMP</i>	<i>CODE</i>	<i>LENGHT</i>		
<i>ID[28:18]</i>		<i>SRR</i>	<i>IDE</i>	<i>ID[17:15]</i>
<i>ID[14:0]</i>				<i>RTR</i>
<i>DATA BYTE 0</i>		<i>DATA BYTE 1</i>		
<i>DATA BYTE 2</i>		<i>DATA BYTE 3</i>		
<i>DATA BYTE 4</i>		<i>DATA BYTE 5</i>		
<i>DATA BYTE 6</i>		<i>DATA BYTE 7</i>		
<i>RESERVED</i>				

**Tabela 10:** Estrutura de mensagem do *Flexcan*

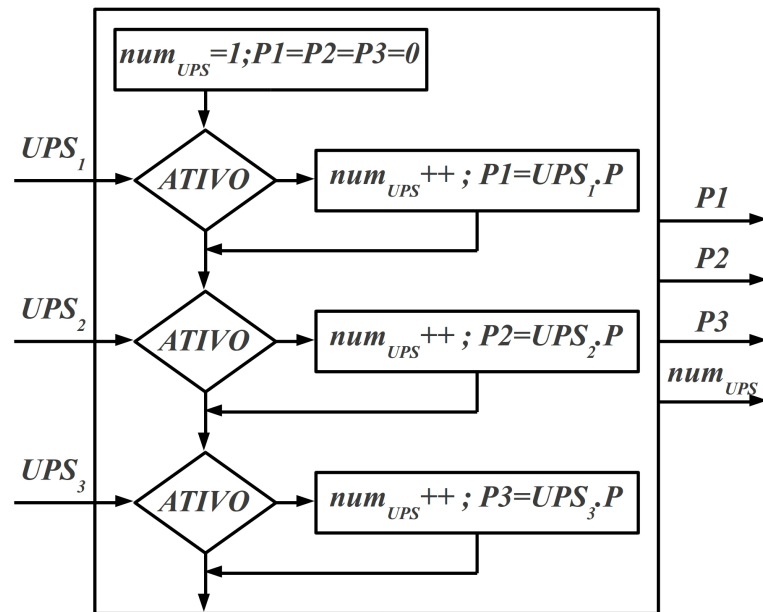
Pode ser visto, na Tabela 10, que cada quadro transmitido pelo *Flexcan* possui 8 bytes, resultando em 4 words. Como o processamento é feito em 16 bits, cada valor de potência ocupa apenas 1 word, deixando as outras 3 livres. A comunicação é feita a 1 Mbit/s (SEMICONDUCTOR, 2007).

Como os valores a serem trocados são potências médias, apenas um valor a cada ciclo de senóide é necessário. Assim, em um sistema com 4 UPSs conectados em paralelo, apenas 4 pacotes diferentes transitam pelo barramento *CAN*, o que é feito com muita margem de folga. Na velocidade de 1 Mbit/s seria possível transitar até 130 pacotes a cada ciclo de senóide, o qual dura 16,66 ms.

Na Figura 64, o diagrama mostra como o UPS utiliza a interface *CAN*.

De acordo com a Figura 64:

- *UPS<sub>1</sub>*, *UPS<sub>2</sub>* e *UPS<sub>3</sub>*: são os demais UPSs conectados no barramento *CAN*. Quando a



**Figura 64:** Diagrama da interface CAN

interface CAN detecta a presença de um UPS conectado, o valor de potência ativa é salvo e o contador de número de UPSs,  $num_{UPS}$ , é incrementado;

- $P1$ ,  $P2$  e  $P3$ : são as variáveis onde os valores de potência ativa são salvos quando outros UPS estão presentes, para serem usadas no controlador de potência ativa. Aqui, é importante ressaltar que esses valores são proporcionais à potência nominal de cada UPS para executar o compartilhamento de potência ativa de maneira proporcional. Como exemplo, um UPS com 8,4 kW de capacidade nominal, terá 1000 pesos em sua variável  $P$ , quando estiver fornecendo 8400 W, enquanto que um UPS com 5,6 kW de capacidade nominal terá 1000 pesos em sua variável  $P$  quando estiver fornecendo 5600 W;
- $num_{UPS}$ : identifica o número de UPSs conectados. Se o resultado for zero, significa que a interrupção CAN não foi atendida. Se resultar em 1, a interrupção CAN foi atendida por algum motivo, mas esse valor indica que este UPS está sozinho no barramento, assim como quando o resultado é zero. A cada UPS conectado, o valor é incrementado, até um limite de 4. O valor da variável  $num_{UPS}$  entra no controlador *droop* de potência ativa e no controlador de resistência virtual.

#### 4.5.5 CONTROLE PELA COMUNICAÇÃO

Utilizando-se comunicação entre os UPSs, é possível diminuir o valor da resistência virtual, no pico da senóide, em até, aproximadamente,  $0 \Omega$  e trabalhar com valores menores próximo à passagem por zero (menores em relação ao modo sem comunicação), pois, nesse

caso, a principal função da resistência virtual é evitar a parcela de circulação de corrente entre os inversores referente à defasagem residual do controlador *droop* de potência reativa não distorcida, e por distorções harmônicas de tensão.

O conceito usado para a comunicação pode ser visto na equação (45).

$$P_{REF} = \frac{P_1 + P_2 + \dots + P_{num_{UPS}}}{num_{UPS}} \quad (45)$$

Na equação (45), a  $P_{REF}$  é o resultado da soma da potência ativa de todos os UPSs do sistema dividida pela quantidade de UPSs conectados,  $num_{UPS}$ . Isso significa que a variável  $P_{REF}$  é o valor médio de potência do sistema, o qual cada UPS deve fornecer.

A  $P_{REF}$  é usada para calcular o erro de potência na equação (46).

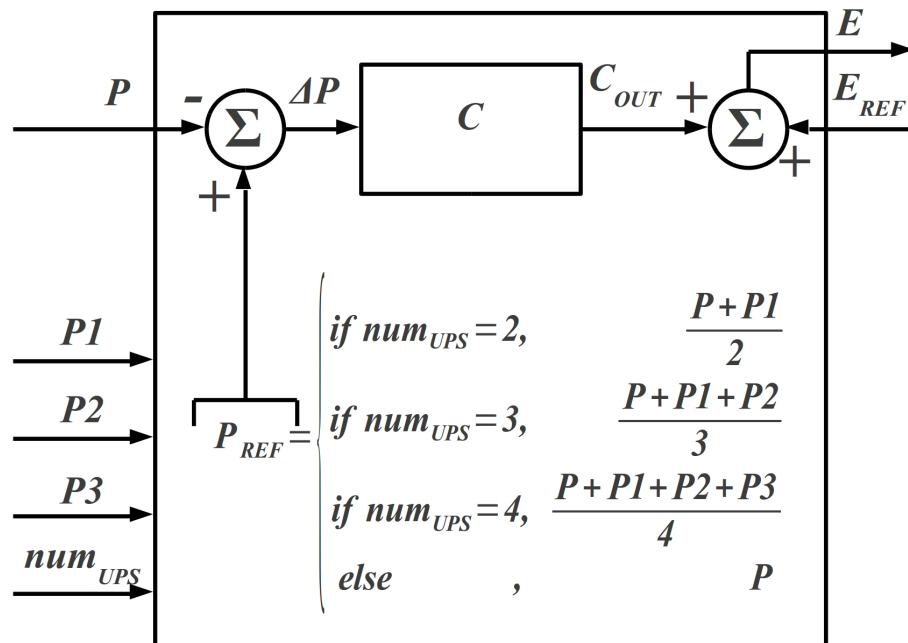
$$\Delta P[n] = P_{REF} - P[n] \quad (46)$$

Como visto na equação (46), o erro que entrará no controlador atraso de fase é igual a potência ativa que o inversor está fornecendo,  $P[n]$ , subtraída da potência ativa média do sistema,  $P_{REF}$ . O controlador atraso de fase roda uma vez a cada ciclo de senóide, pois depende do cálculo de potência ativa que é feito nessa taxa de amostragem. Por isso, também, a interface CAN manda os valores uma vez por ciclo, e então a taxa de amostragem desse controlador é 16,66 ms.

A Figura 65 mostra o diagrama do controlador de compartilhamento potência ativa.

De acordo com a Figura 65:

- $P_1$ ,  $P_2$  e  $P_3$ : disponibilizadas pela interface CAN, são as potências ativas proporcionais às potências nominais de cada um dos outros UPSs conectados em paralelo;
- $num_{UPS}$ : número de UPSs conectados em paralelo. Caso o valor seja 0 ou 1, o algoritmo entende que não existe UPS conectado em paralelo e que este está trabalhando sozinho. Nessa condição, a  $P_{REF}$  é igual a  $P$  do próprio inversor, carregando 0 na variável  $\Delta P$  e anulando o controlador de potência ativa;
- $P_{REF}$ : referência que é o cálculo médio da potência ativa, de todo o sistema, em função do número de UPSs conectados, como na equação (45);
- $\Delta P$ : erro de potência ativa, obtido com a equação (46);
- $C$ : controlador atraso de fase de tensão;



**Figura 65:** Droop de potência ativa

- $C_{OUT}$ : saída do controlador atraso de fase;
- $E$ : saída do controlador de potência ativa, que é usada para definir a amplitude da senóide do inversor;
- $E_{REF}$ : referência de amplitude para o inversor. Com um barramento de 225 V e uma tensão de saída de 170 V de pico, o valor é 0,756. Caso o controlador *droop* de potência ativa resulte em zero, será a própria amplitude da referência senoidal para o controlador repetitivo da saída.

Para o cálculo dos parâmetros do controlador são utilizados dois critérios. O primeiro é o erro em regime, onde o objetivo é que circule a menor potência ativa possível entre os inversores, mesmo que estes tenham diferenças nas tensões de saída. O segundo critério é o tempo de acomodamento, que pode ser de até 5 segundos para proporcionar uma inicialização suave dos novos inversores, quando estes entram no sistema em paralelo.

A acomodação aparece apenas quando um novo inversor entra no sistema para reduzir a carga dos inversores ativos, compartilhando-a com o novo inversor, como em um *soft-start*, sendo um efeito desejável na implementação prática.

Transitórios de carga não são afetados por esse controlador, pois o valor de potência ativa usada é proporcional à potência nominal e as cargas estão distribuídas de maneira igual. Sempre que a potência ativa  $P$  se altera, a variável  $P_{REF}$  é alterada na mesma quantidade, não alterando o  $\Delta P$  e não afetando o controlador.



**Velocidade** Um controlador atraso de fase possui um pólo e um zero reais, sendo que o tempo de resposta é a taxa de amostragem pelo logaritmo neperiano da distância do pólo até a origem vezes 4, como na equação (47). A taxa de amostragem utilizada é de 16,66 ms, pois o controle é calculado quando uma nova amostra de potência está disponível.

$$ta = -\frac{4 \times T}{\ln R} \quad (47)$$

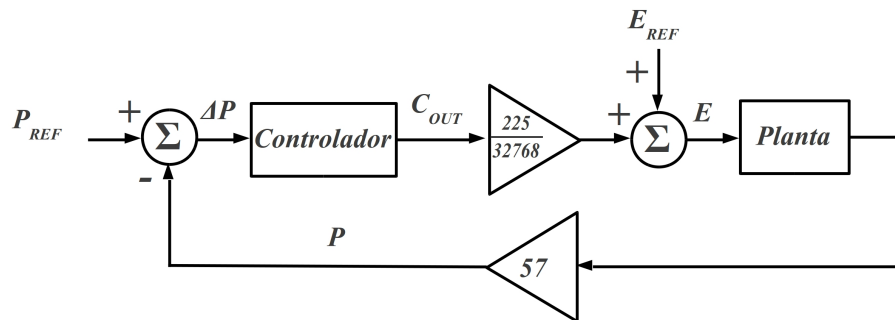
Onde,  $ta$  é o tempo de acomodamento,  $T$  é a taxa de amostragem e  $R$  é a distância do pólo até a origem, sendo o próprio valor deste, já que é um pólo real.

Então para calcular a posição do pólo do controlador, usa-se a equação (48).

$$R = e^{-\frac{4 \times T}{ta}} = e^{-\frac{4 \times 1/60}{5}} = 0,99 \quad (48)$$

Pela equação (48) foi decidido usar um tempo de acomodamento de 5 s, resultando em um pólo real de valor 0,99.

**Ganho** Para calcular o ganho serão considerados os ganhos da planta da Figura 66.



**Figura 66:** Diagrama do *droop* de fase/frequência

De acordo com a Figura 66, as variáveis  $E$  e  $E_{REF}$  representam a tensão em Volts e não em pesos como na Figura 65 para visualizar a definição do ganho de  $\frac{225}{32768}$ , que transforma o fundo de escala do DSP para Volts. Além disso a potência ativa é medida em percentual e para o modelo utilizado, a potência nominal é de 8400 W para 1000 pesos, resultando em um ganho da planta de 57. Para esse modelo foi considerada uma resistência virtual de saída constante de 250 mΩ, sendo que para cada Volt de variação de tensão de saída em relação a outro UPS, a potência ativa na saída é de 480 W, como mostrado na equação (49).

$$P = \frac{121 \text{ V} - 120 \text{ V}}{0,25 \Omega} \times 120 \text{ V} = 480 \text{ W} \quad (49)$$

Quando a potência de saída for de 480 W, o controle irá receber um  $\Delta P$  de 57 pesos ( $480 \times \frac{1000}{8400}$ ), caracterizando o ganho de 57 da planta.

O objetivo é ter uma potência circulante máxima de 84 W (1% da potência nominal do UPS do modelo) com 1 V de desvio na tensão nominal. Uma potência de 84 W na saída, representa 10 pesos no  $\Delta P$ , sendo necessário 205 pesos na saída do controlador para compensar o erro de 1 Volt, porque  $205 \times \frac{225}{32768}$  resulta em 1,4 V, que é o pico da compensação necessária. Então 205 dividido por 10, resulta em 20,5 de ganho para o controlador. Para esse ganho a posição do zero real pode ser calculada pelas equações (50) e (51).

$$\text{ganho} = \frac{z - \text{zero}}{z - \text{pólo}} \quad (50)$$

$$\text{zero} = z - (\text{ganho} \times (z - \text{pólo})) = 1 - (20 \times (1 - 0,99)) = 0,8 \quad (51)$$

Na equação (52) pode ser visto o controlador final.

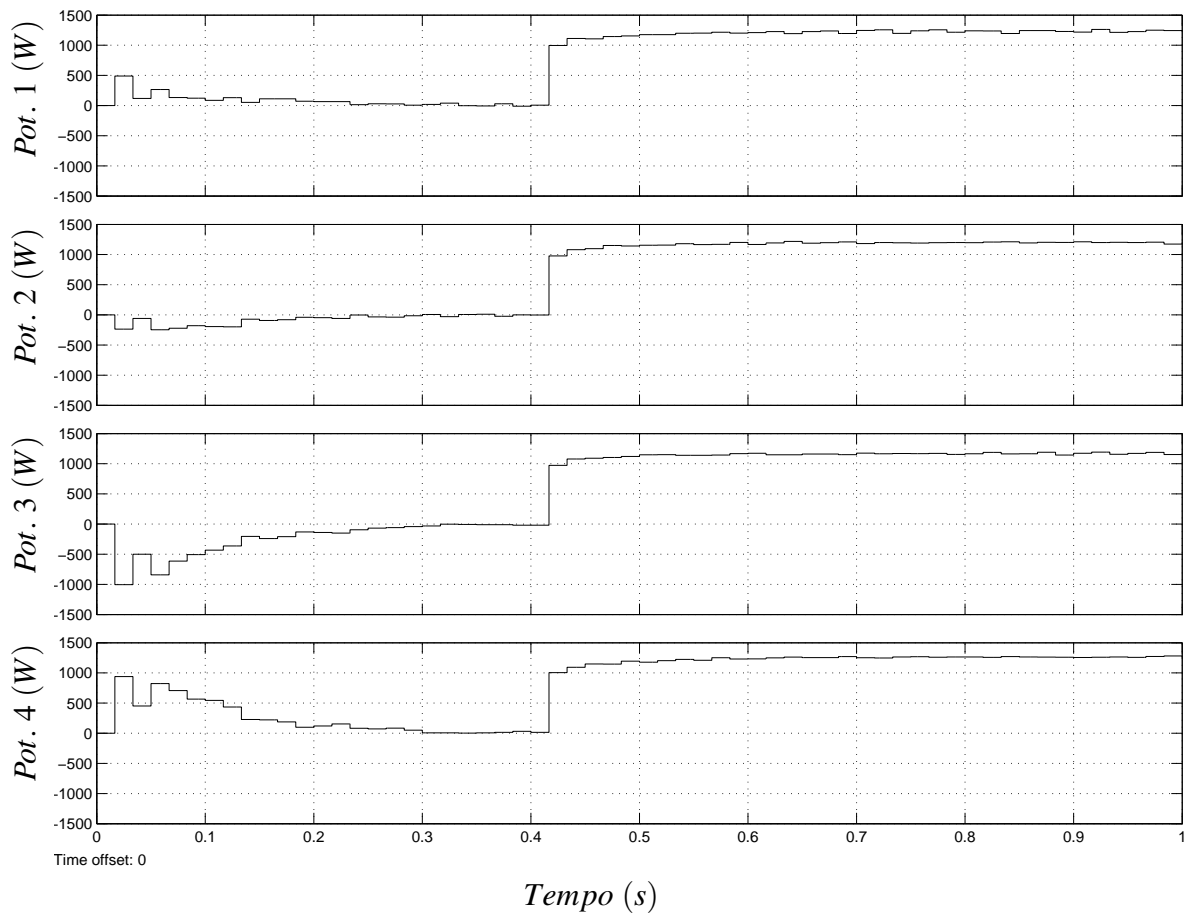
$$\frac{C_{out}}{\Delta P} = \frac{z - 0,8}{z - 0,99} \quad (52)$$

A Figura 67 mostra o resultado de potência ativa da simulação feita no MATLAB/Simulink para obtenção e comprovação dos parâmetros do controlador. Foram utilizados quatro inversores com diferença de até 5 V entre eles, para que comecem com compartilhamento ruim de potência ativa, verificando assim se o sistema converge de maneira estável.

Na Figura 67 pode ser visto que após 150 ms, que significam 9 iterações a 60 Hz, a potência ativa se estabilizou, saindo de até 1000 W para valores próximos de 0 W, comprovando a eficiência dos parâmetros utilizados com o controlador atraso de fase. Ainda, aos 416 ms, foi conectada uma carga de aproximadamente 5000 W no sistema, que foi alimentada pelos quatro inversores de maneira equalizada.

#### 4.6 RESISTÊNCIA VIRTUAL VARIÁVEL

Mesmo com o *droop* de fase/frequência e o controlador de tensão, que executa o compartilhamento de potência reativa e ativa do inversor do UPS, existe a necessidade de uma



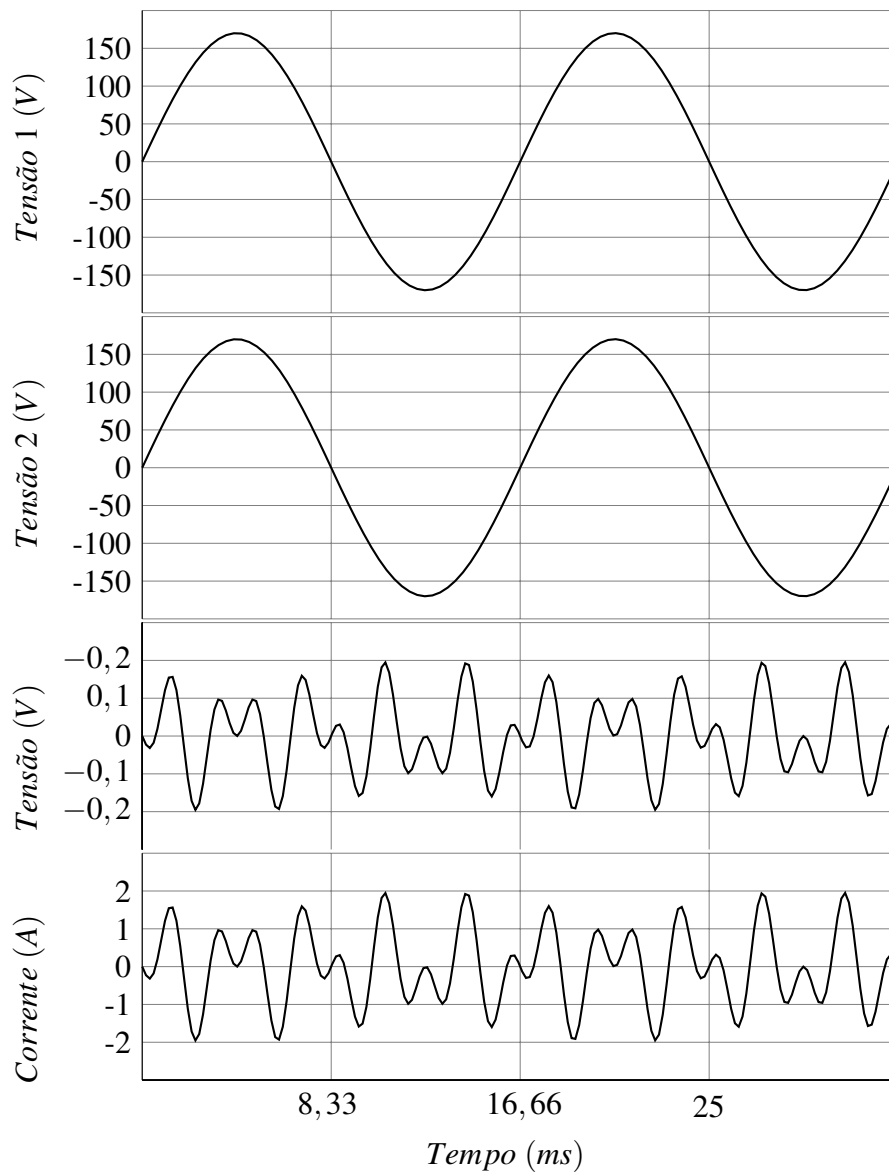
**Figura 67:** Potência ativa simulada

resistência virtual na saída do inversor.

A resistência virtual auxilia, nesse caso, para que os controladores não necessitem ser tão precisos, a ponto de dificultar a implementação. Além disso, a característica do controlador repetitivo de tensão é diminuir a impedância de saída do inversor para níveis muito próximos de zero, então, qualquer defasagem mínima ou diferença de tensão faz circular corrente entre os inversores. É evidente que quanto melhor a qualidade do algoritmo de paralelismo, menor pode ser a resistência virtual, porém, nunca poderá ser igual a zero  $\Omega$ .

Ainda é preciso considerar a THD de saída do inversor quando, mesmo com a fundamental ajustada em tensão e em fase, existem correntes harmônicas circulando entre os inversores, as quais não são anuladas pelo controlador *droop* de fase/frequência e o controlador de tensão.

Na Figura 68 pode-se verificar o efeito da corrente na saída do inversor, com uma resistência de  $0,1 \Omega$  em cada um, sendo que o inversor 1 possui uma 5<sup>a</sup> componente harmônica de  $0,1 \text{ V}$  de pico e o inversor 2, uma 9<sup>a</sup> componente harmônica com  $0,1 \text{ V}$  de pico.



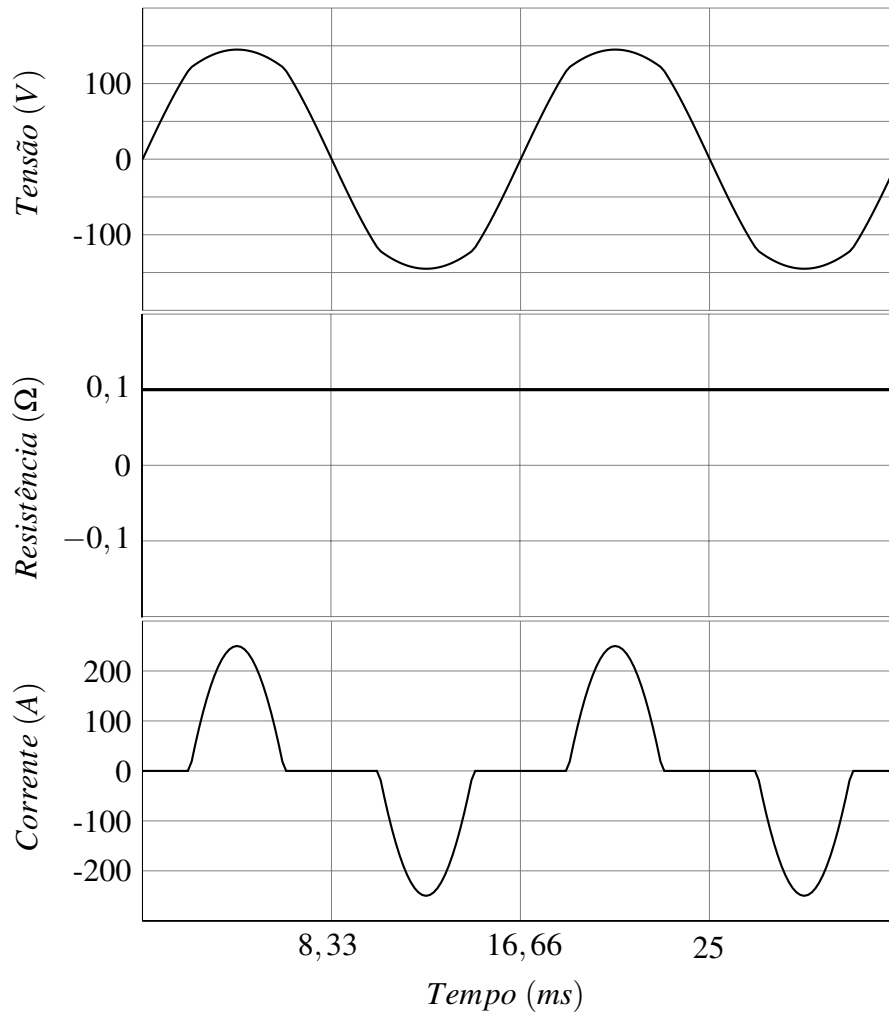
**Figura 68:** Corrente entre inversores com THD

Entre os inversores da Figura 68 existe uma diferença de tensão de, aproximadamente, 0,2 V de pico. Com a resistência virtual de 0,1  $\Omega$  a corrente, que circula entre os inversores, chega a 2 A de pico, mas produz apenas potência aparente e distorcida, e não potência ativa e nem potência reativa não distorcida, as quais agiriam através dos controladores de tensão ou de fase.

É importante observar que os inversores possuem o mesmo controlador repetitivo, assim, a tendência é que tenham THDs parecidas, minimizando o problema da Figura 68, mas indicando que se por algum motivo (alimentação de conversor AD (*Analog Digital*), tempo morto de *drivers* de potência, diferença de IGBTs (*Insulated Gate Bipolar Transistor*)) a THD tiver alguma diferença entre os inversores, existirá corrente circulando entre eles.

Uma alternativa de melhoria, seria o aumento da resistência virtual, diminuindo a corrente da Figura 68, porém, mesmo com  $0,1 \Omega$  a THD de todo o sistema aumentaria com carga não linear.

Na Figura 69 pode ser visto o efeito de uma resistência virtual de  $0,1 \Omega$  no pico da senóide.

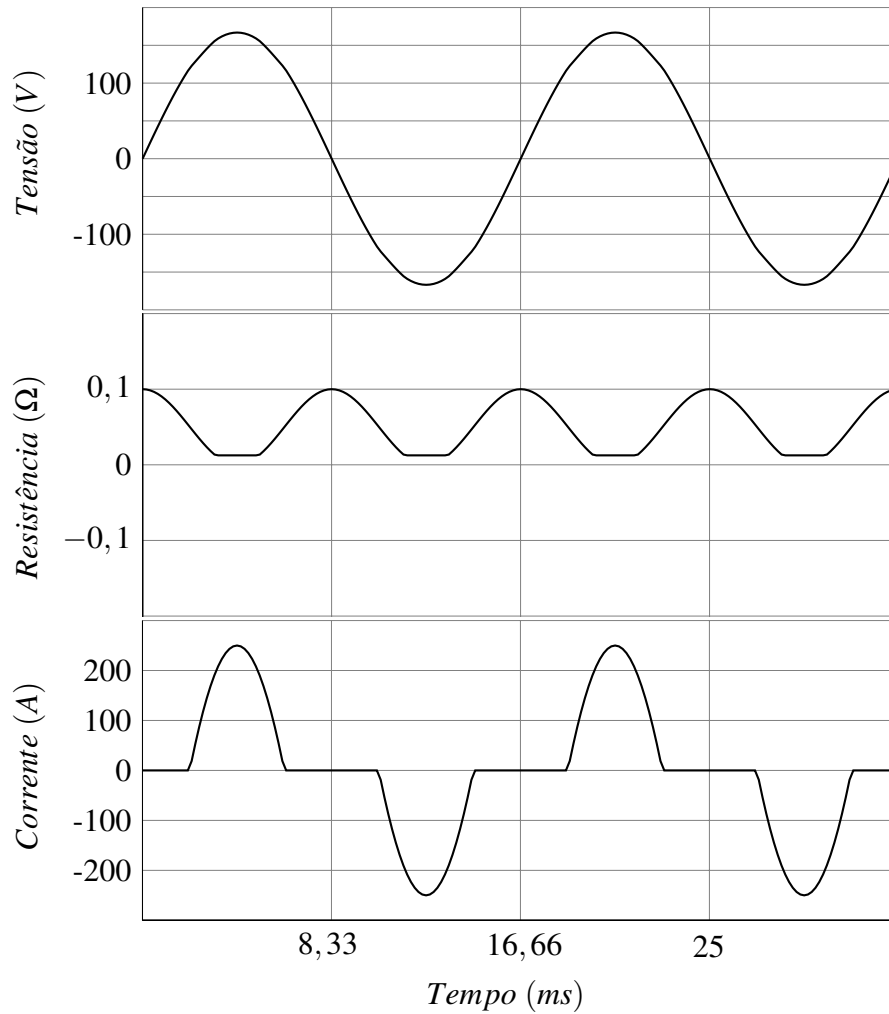


**Figura 69:** Resultado da resistência virtual de  $0,1 \Omega$

Na Figura 69, a THD na tensão é de 5,35%, e seria igual em todos os inversores do sistema, desde que compartilhando potência corretamente. Deve ser observado o pico da senóide de tensão da Figura 69 no momento que a corrente drenada pela carga não linear é de 250 A. Nesse ponto existe uma queda de 25 V, que não será compensada pelo controlador repetitivo, pois a resistência virtual o impede. Este queda de tensão, que aumenta a THD, inviabiliza o uso de uma resistência virtual de  $0,1 \Omega$  para o uso com carga não linear de 250 A de pico.

O que se faz nesse caso, então, é variar o valor da resistência virtual, como pode ser

visto na Figura 70.



**Figura 70:** Resultado da resistência virtual variável de 12,5 mΩ a 100 mΩ

Na Figura 70, a THD na tensão é de 0,67%, e, novamente é a mesma em todos os inversores do sistema, desde que a potência esteja compartilhada corretamente. A resistência virtual, que pode ser observada no centro da Figura 70, é calculada de acordo com a equação (53).

$$r_{VIRTUAL}[n] = \begin{cases} \text{if } \left( \frac{\cos(\omega[2n])}{2} + 0,5 \right) \geq 0,125, \\ i[n] \times \left( \frac{\cos(\omega[2n])}{2} + 0,5 \right) \times r_{MAX} \\ \text{if } \left( \frac{\cos(\omega[2n])}{2} + 0,5 \right) < 0,125, \\ i[n] \times 0,125 \times r_{MAX} \end{cases} \quad (53)$$

O cálculo da equação (53) resulta em um valor que é maior na passagem por zero e

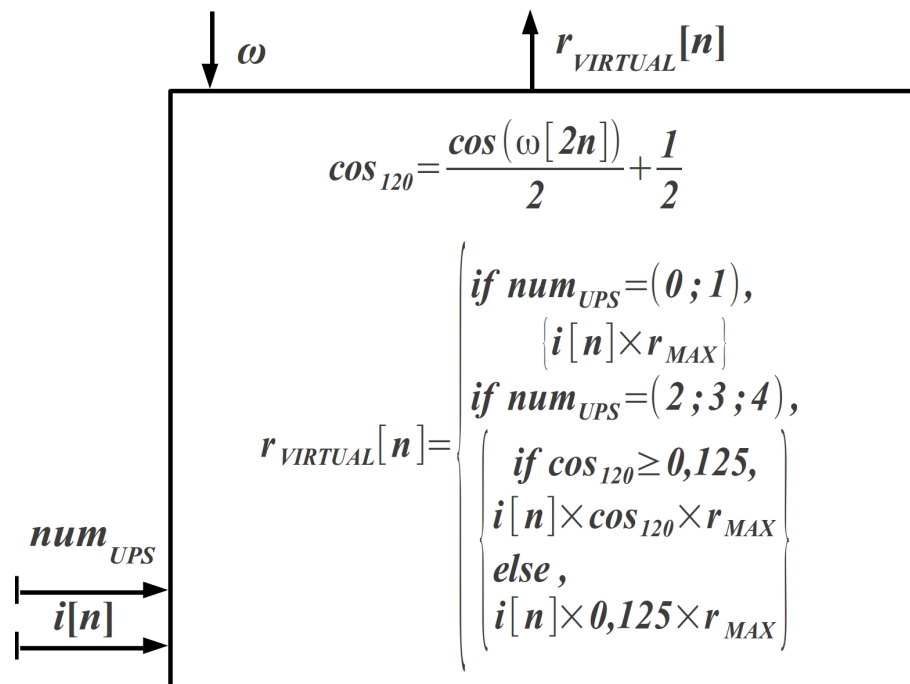
menor no pico da senóide do inversor, chegando-se a um valor mínimo oito vezes menor que o valor máximo,  $r_{MAX}$ . Isso proporciona menor corrente na passagem por zero, que é provocada pela defasagem residual entre os inversores, e menor THD no pico da senóide.

No cálculo da equação (53) poderia ter sido utilizado outro método, como uma rampa, ou simplesmente após um certo ângulo de fase reduzir a resistência virtual, mas a utilização de função cossenoidal foi escolhida por fazer uma transição suave entre o valor mínimo, no pico da senóide, e o valor máximo, na passagem por zero da senóide.

Na forma de onda superior da Figura 70 pode ser observado que a queda de tensão no pico da senóide, no momento em que circula 250 A, caiu para um valor bem menor que 25 V, como o que ocorre com a resistência constante, melhorando a qualidade da tensão de saída do inversor. A resistência virtual no pico da senóide é igual a 12,5 m $\Omega$  e na passagem por zero é a  $r_{MAX}$  de 100 m $\Omega$ , como pode ser visto na parte central da Figura 70.

Então, para um UPS de 10 kVA, com fator de crista de 3:1, a corrente de saída pode chegar até 250 A de pico, com plena carga, sendo que o valor de resistência virtual, variando entre 12,5 m $\Omega$  a 0,1  $\Omega$ , se mostra adequado. Para casos de potências diferentes, o valor pode ser ajustado em função de menores THDs ou menores correntes residuais entre os inversores.

Na Figura 71 pode ser visto o diagrama da resistência virtual variável.



**Figura 71:** Resistência virtual variável

De acordo com a Figura 71:

- $i[n]$ : corrente de saída do inversor, usada para calcular a resistência virtual, seguindo o conceito da equação (54).

$$v_{REF}[n] = v_{REF}[n] - r_{MAX} \times i[n] \quad (54)$$

Utilizando-se o simples conceito da equação (54) é preciso calcular a constante  $r_{MAX}$ . Com um barramento de tensão de igual a 225 V e uma tensão de pico de saída desejada de 170 V, a normalização da referência senoidal pode ser obtida por  $\frac{170}{225}$ , que resulta em 0,756. Isso significa que, em uma implementação em Q15 no DSP, 32768 pesos equivalem a 225 V, sendo 24758 pesos para 170 V. Assim, para cada Volt de tensão de saída, o DSP terá 145,64 pesos.

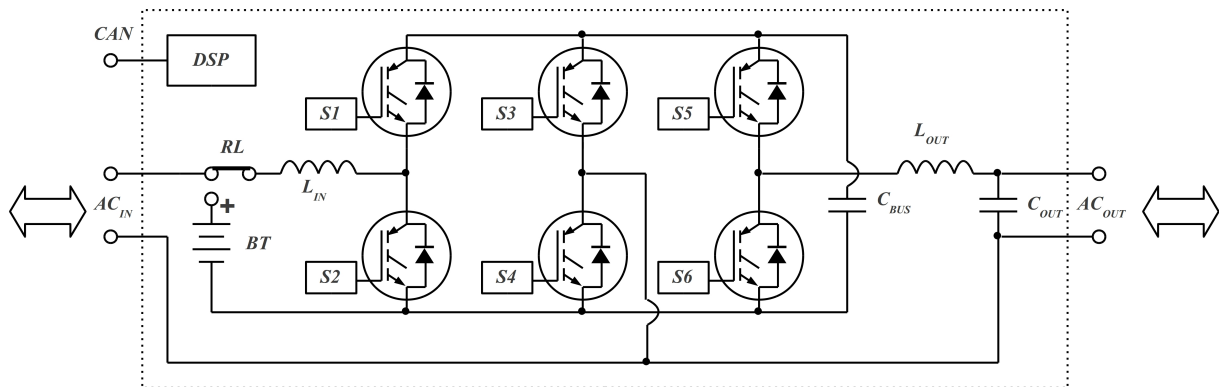
Nessa implementação, o fundo de escala da corrente é de 327,68 A, significando que, para cada Ampère de saída, o DSP tem 100 pesos. Logo, a constante  $r_{MAX}$  é calculada dividindo-se o valor de 1 V, equivalente a 145,64 pesos, pelo valor de 1 A, 100 pesos, resultando em 1,4564 para uma resistência virtual de 1  $\Omega$ . Basta, então, multiplicar esse valor pela resistência desejada. No caso de 100 m $\Omega$ , a  $r_{MAX}$  será de 0,14564. Assim sendo, a corrente atual,  $i[n]$ , é multiplicada pela constante  $r_{MAX}$  e subtraída na própria variável  $v_{REF}[n]$ , alterando a mesma;

- $cos_{120}$ : cálculo para gerar a função que diminui a resistência virtual no pico da senóide, caracterizando-a como resistência virtual variável;
- $\omega$ : frequência do inversor, para ser possível calcular a  $cos_{120}$  em fase com a senóide do inversor;
- $num_{UPS}$ : detecta a presença de outros UPSs conectados ao CAN. Caso não exista, este UPS está funcionando sozinho ou sem comunicação. No caso do funcionamento sem comunicação, a resistência virtual se transforma em constante, utilizando sempre o valor  $r_{MAX}$ . O resultado é uma maior THD na saída, mas que garante um funcionamento mais adequado do compartilhamento de potência ativa, já que sem a interface CAN, o controlador de potência ativa não funciona;
- $r_{VIRTUAL}$ : saída do controlador de resistência virtual, que será subtraída da referência de tensão senoidal.



#### 4.7 RESPOSTA NOS TRANSITÓRIOS - BIDIRECIONALIDADE

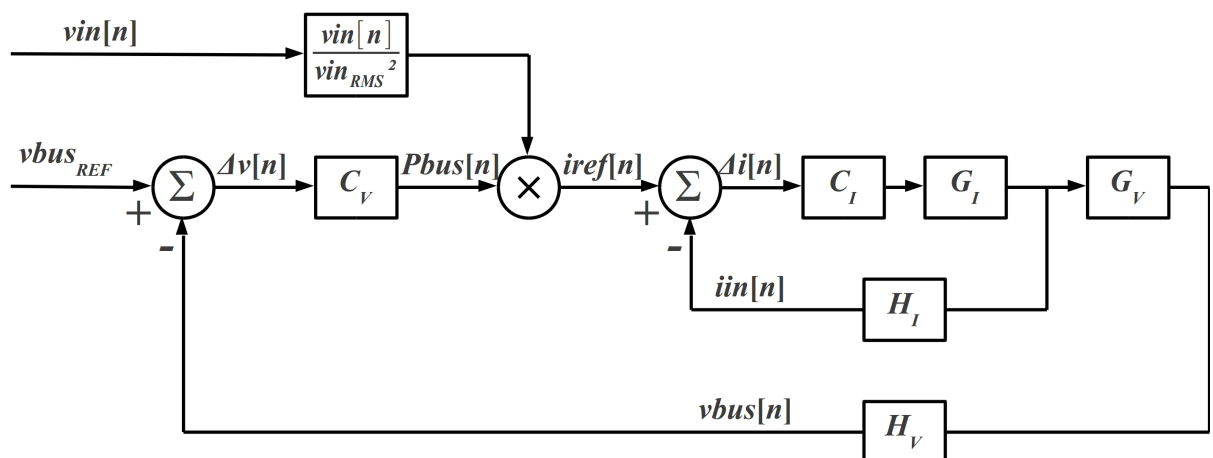
Para proporcionar um funcionamento robusto do algoritmo de paralelismo, é interessante permitir que o UPS devolva energia para a rede pela entrada, durante possíveis transitórios de carga entre os UPSs, evitando-se o aumento da tensão de barramento. O diagrama do UPS pode ser visto na figura 72.



**Figura 72:** Diagrama do UPS

Observa-se, na figura 72, que o UPS é um sistema composto por três braços iguais e, por isso, é simétrico, o que permite a energia fluir da entrada para a saída ou ao contrário. Por esse motivo, é o sistema mais usado em filtros ativos, proporcionando funcionamento adequado tanto para aumentar quanto para diminuir a tensão da rede elétrica. É importante salientar que o capacitor  $C_{BUS}$  armazena a energia que é proporcional a potência ativa, a qual está sendo manipulada pelo inversor, independente se o inversor estiver fornecendo ou absorvendo potência ativa pela saída.

O controlador de entrada pode ser visto na figura 73.



**Figura 73:** PFC bidirecional - Corretor de fator de potência bidirecional

De acordo com a figura 73:

- $C_I$  e  $C_V$ : controladores PI de corrente de entrada e tensão do barramento;
- $G_I$  e  $G_V$ : plantas do PFC. São compostas pelo indutor de entrada ( $L_{IN}$ ) e capacitor do barramento ( $C_{BUS}$ ), respectivamente;
- $H_I$  e  $H_V$ : sensores de corrente de entrada e tensão do barramento, gerando as variáveis  $iin[n]$  e  $vbus[n]$ ;
- $vbus_{REF}$ : é a referência de tensão para o barramento, que subtraída da variável  $vbus[n]$ , gera a variável  $\Delta v[n]$  que entra no controlador  $C_V$ ;
- $Pbus[n]$ : é proporcional a potência ativa manipulada pelo inversor, sendo que a polaridade indica se está fornecendo ou absorvendo potência ativa pela saída. Como é a saída do controlador PI de tensão, é justamente a ação deste que é utilizada na equação (55).

$$iref[n] = \frac{vin[n] \times Pbus[n]}{vin_{RMS}^2} \quad (55)$$

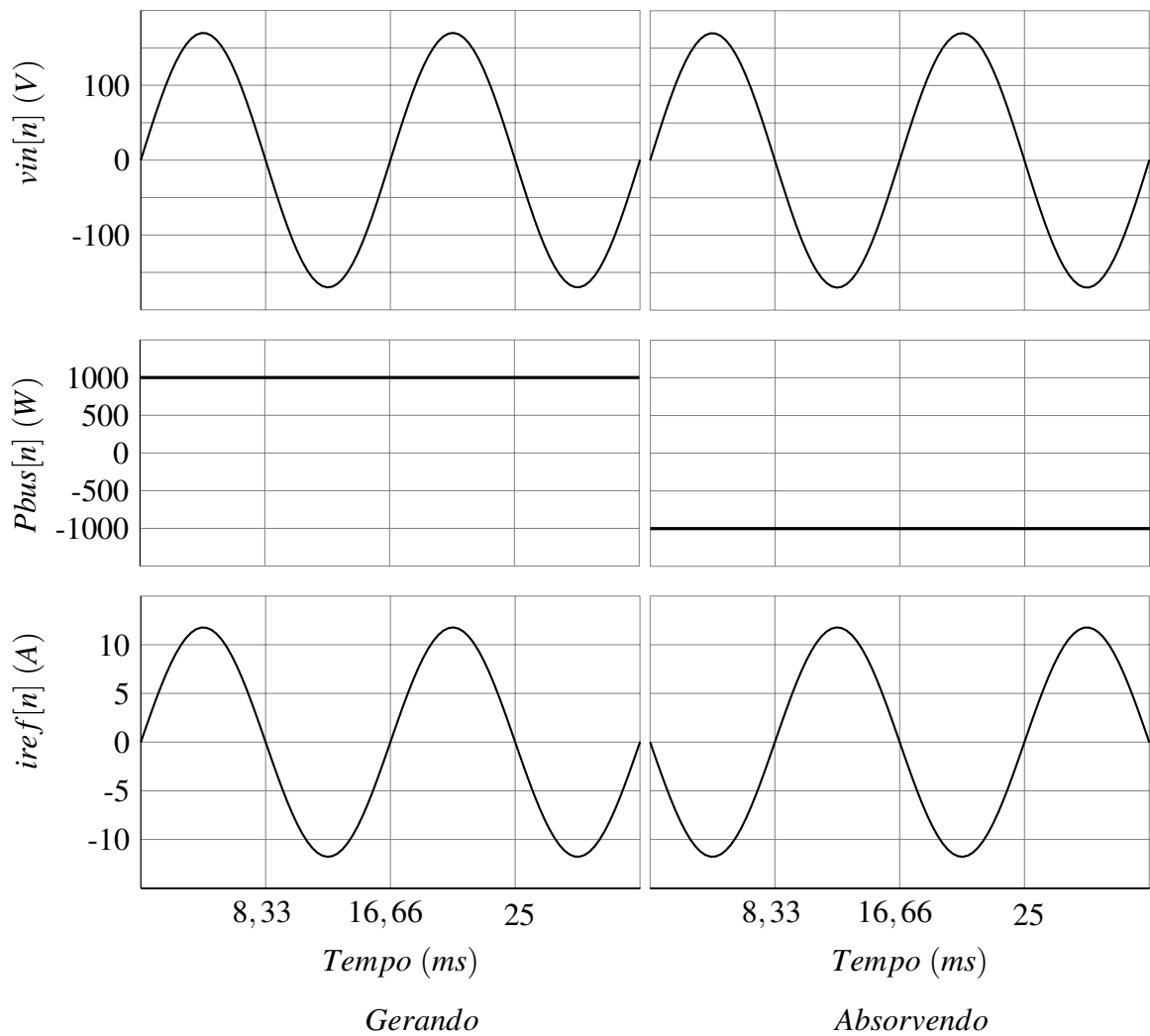
De acordo com a equação (55), a saída do PI de tensão,  $Pbus[n]$ , é multiplicada pela tensão instantânea de entrada,  $vin[n]$ , e dividida pelo quadrado da tensão rms de entrada,  $vin_{RMS}$ . Então, analisando-se o instante  $n$  no qual a tensão  $vin[n]$  é igual a tensão  $vin_{RMS}$  (em uma forma de onda de tensão senoidal pura ocorre no ângulo de  $45^\circ$ ), como na equação (56).

$$iref[n] = \frac{Pbus[n] \times vin[n]}{vin_{RMS} \times vin_{RMS}} = \frac{Pbus[n]}{vin_{RMS}} \quad (56)$$

A equação (56) divide uma potência ativa,  $Pbus[n]$ , por uma tensão,  $vin_{RMS}$ , resultando em  $iref[n]$ , que é a corrente necessária, naquele instante, para que o barramento mantenha a tensão estabelecida na variável  $vbus_{REF}$ . Importante observar que quando  $Pbus[n]$  é positivo,  $iref[n]$  tem a mesma polaridade da tensão,  $vin[n]$ , e quando é negativo, a polaridade de  $iref[n]$  é oposta a de  $vin[n]$ . Esse comportamento faz a potência de entrada do UPS ter a mesma polaridade da  $Pbus[n]$ , permitindo o funcionamento bidirecional.

Na figura 74, podem ser vistas as formas de onda resultantes do cálculo da  $iref[n]$  com potência positiva e negativa.

Na figura 74 o barramento está manipulando uma potência de 1000 W quando gerando na parte esquerda e de -1000 W quando absorvendo na parte direita. Pode ser visto, que o resultado do cálculo da  $iref[n]$  está em fase com a  $vin[n]$ , quando o inversor gera potência ativa, e em fase oposta, quando o inversor absorve potência ativa.



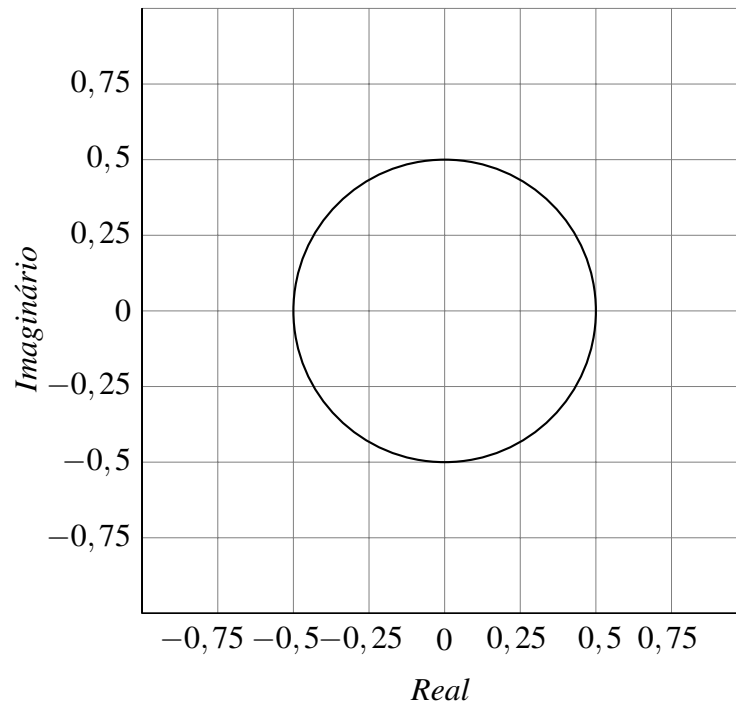
**Figura 74:** Cálculo da variável  $iref[n]$

Essa análise leva a concluir, que a saída do PI de tensão do barramento resulta em um valor integrado de potência, podendo ser positivo ou negativo. Quando ocorrer algum transitório de potência ativa entre os inversores, o inversor que recebe a energia é capaz de fornecer para a rede elétrica, mantendo o barramento  $C_{BUS}$  estável.

#### 4.8 PLL COMPLEXO (REAL E IMAGINÁRIO)

Para sincronizar o UPS na rede, usa-se um PLL. No entanto, quando a correlação para o cálculo da fase é calculada, existe a limitação da identificação de fase em  $180^\circ$ . Para a correlação de identificação da fase, o sinal da entrada é multiplicado por uma função cossenoidal, resultando em um sinal com média zero, caso a forma de onda, aproximadamente senoidal proveniente da fase de entrada, esteja com  $0^\circ$  de defasagem. Como pode ser visto na Figura 75, tanto em  $0^\circ$  quanto em  $180^\circ$ , o resultado desse cálculo é zero, gerando erro na

medição de fase da entrada, a qual o UPS deve ser sincronizado.



**Figura 75:** Parcela imaginária em função da parcela real

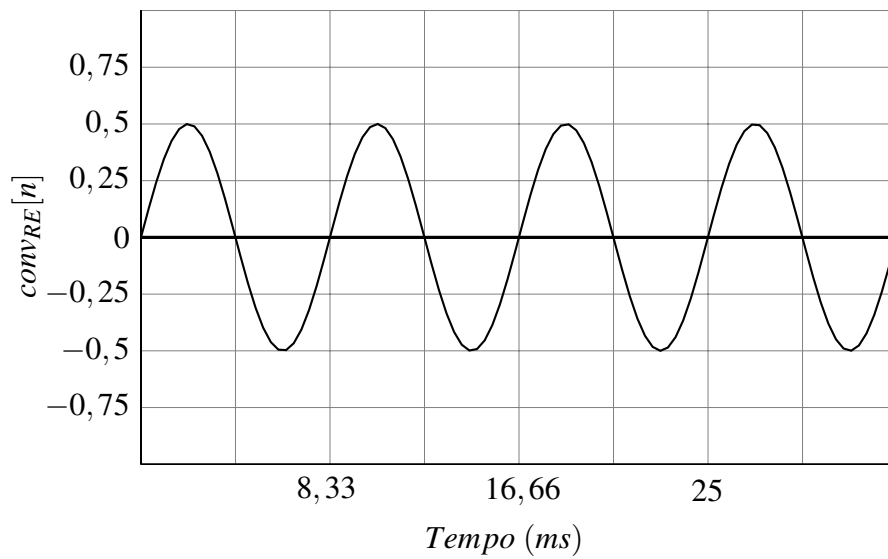
Além disso, quando o inversor do UPS for conectado em um barramento de paralelismo, já com outros UPSs funcionando, a fase deve ser detectada corretamente para que não ocorra inversão na conexão. Para isso, um medidor de fase, idêntico ao do PLL de entrada, é utilizado para se detectar a fase. Nesse caso, é importante diferenciar entre  $0^\circ$  e  $180^\circ$  para que, caso a fase esteja invertida, o UPS não se conecte no barramento do paralelismo

Em sistemas trifásicos, a parte real (*direct*) da transformada de Park pode ser usada, sendo que, nesse caso, a somatória das três correlações já identificam a fase. Em sistemas monofásicos, é necessário executar uma convolução no resultado da correlação, como nas Figuras 76 e 77, para obter um sinal contínuo do erro da fase, o qual será a entrada do PI do PLL, como na Figura 81.

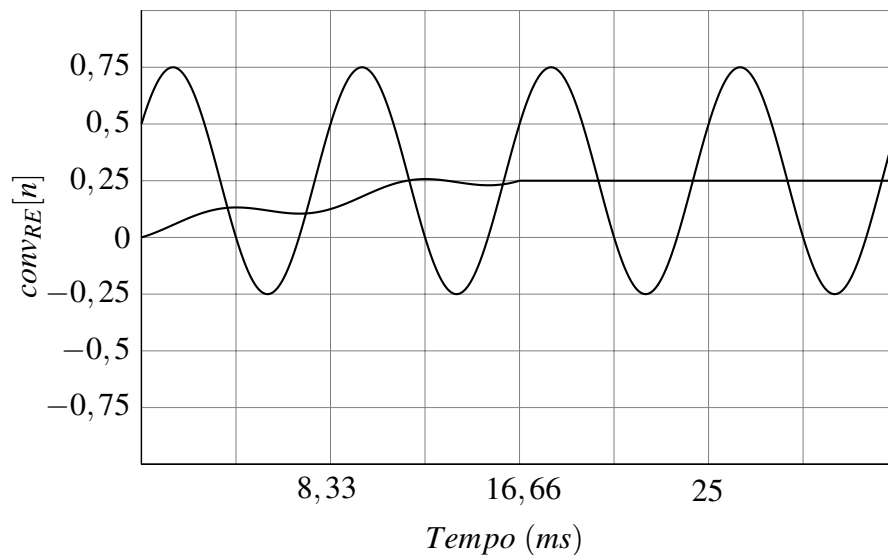
Na Figura 76, a tensão de entrada está em fase, portanto, o resultado da convolução é zero.

Na Figura 77, a tensão de entrada está com  $30^\circ$ , portanto, o resultado da convolução é 0,25, considerando um fundo de escala de 16384 (metade de 32768), como o usado nesse caso. Então, basta calcular o arco seno do valor da convolução, que o resultado será a defasagem.

Então, para se resolver o problema da defasagem em  $180^\circ$  em um sistema trifásico, a parte imaginária (*quadratic*) da transformada de Park pode ser utilizada. Como pode ser visto

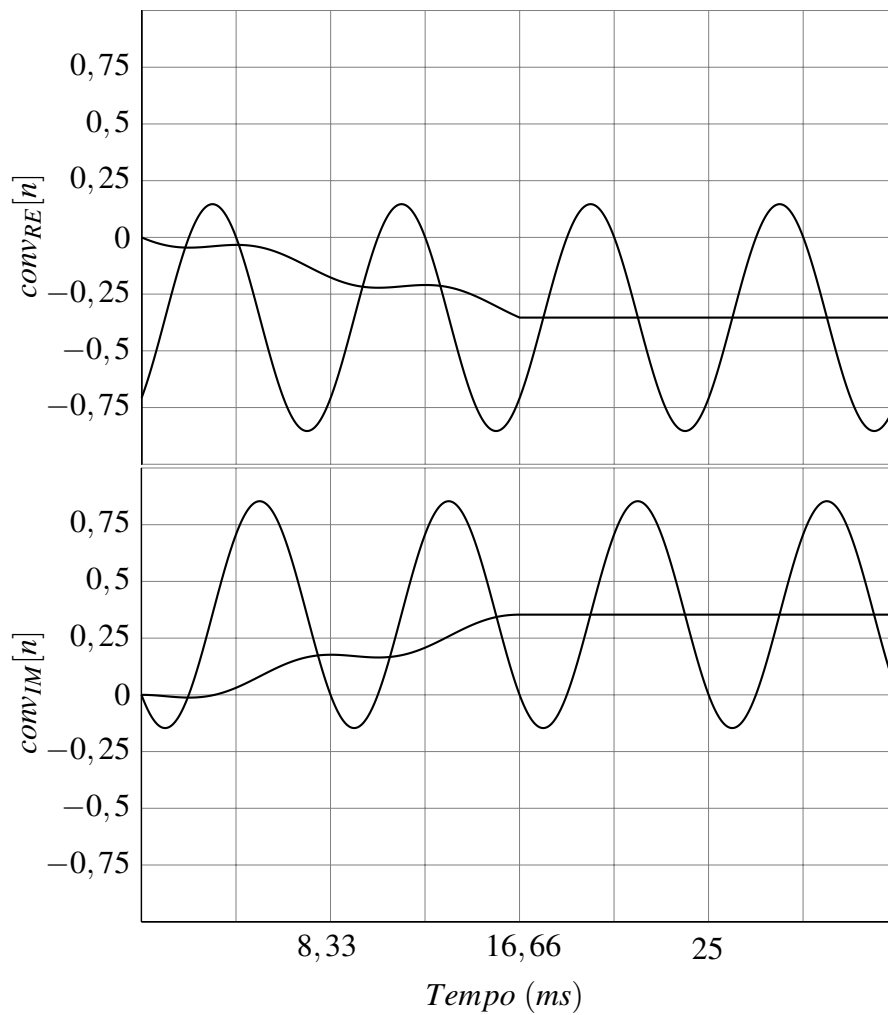


**Figura 76:** Convolução para PLL monofásico em  $0^\circ$



**Figura 77:** Convolução para PLL monofásico em  $30^\circ$

na Figura 75, quando o sistema tem  $0^\circ$  de defasagem em relação à entrada, a parte real tem resultado zero e a imaginária 1. No entanto, quando o sistema está com  $180^\circ$  de defasagem, em relação à entrada, a parte real ainda é zero, porém a parte imaginária é -1, sendo possível identificar essa situação. Para uso no sistema monofásico, a parte real é a correlação entre o sinal da entrada e uma função cossenoidal e a parte imaginária é a correlação entre o sinal de entrada e uma função senoidal, como na Figura 78, onde se observa uma defasagem de  $-45^\circ$ . A diferença em relação ao sistema trifásico, é a necessidade de executar a convolução para se obter o sinal contínuo para o controlador PI.



**Figura 78:** Convolução real e imaginária para PLL monofásico em  $-45^\circ$

Então, para se utilizar o sinal adequadamente, analisa-se a polaridade do sinal imaginário. Se positivo, o sinal da convolução da correlação real é usado normalmente, como na equação (57).

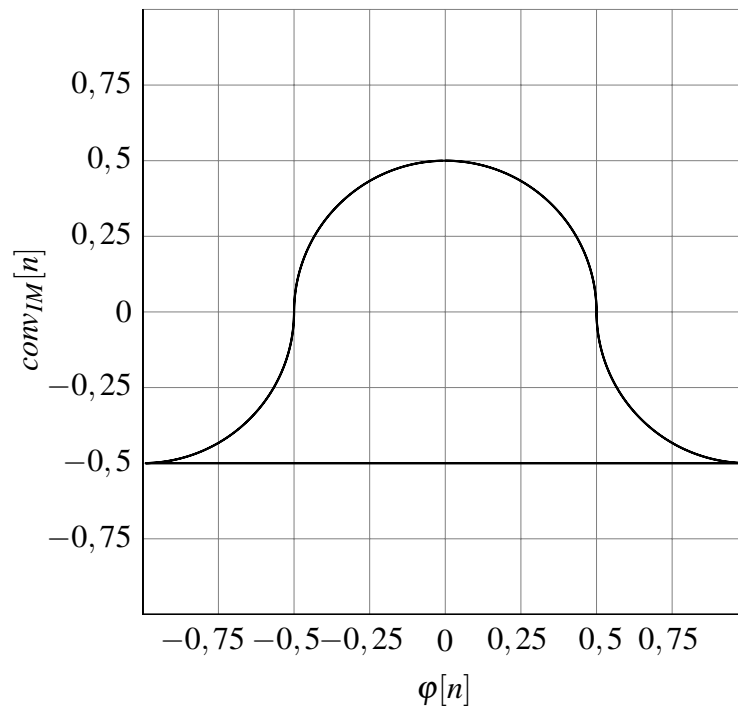
$$\varphi[n] = CONVRE[n] \quad (57)$$

Se o sinal imaginário for negativo, a polaridade do sinal real será analisada. Se o sinal real for positivo, o resultado será calculado pela equação (58) e se for negativo, o resultado será obtido através da equação (59).

$$\varphi[n] = 1 - CONVRE[n] \quad (58)$$

$$\varphi[n] = -1 - \text{conv}_{RE}[n] \quad (59)$$

Esse algoritmo resulta em um sinal de fase como na Figura 79. Pode-se analisar, que quando o sinal imaginário é negativo, ao invés do sinal real retornar para o valor zero, como na Figura 75, ele se distancia em direção ao valor de 1 ou de -1, dependendo se a defasagem estiver entre  $0^\circ$  e  $180^\circ$  ou, entre  $0^\circ$  e  $-180^\circ$ .



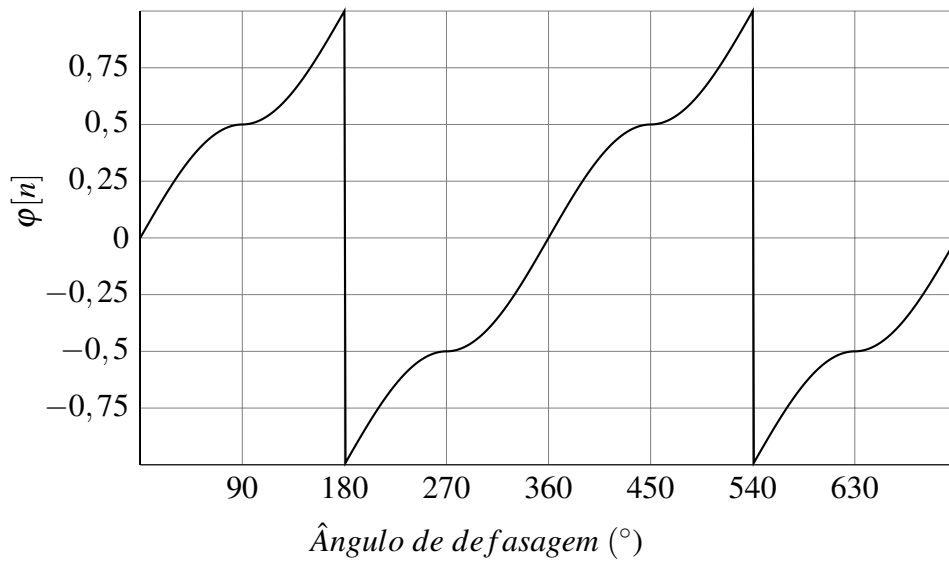
**Figura 79:** Parcela imaginária em função da parcela complexa

Na Figura 80, pode ser visto o valor do erro que será usado em função do valor da defasagem, em graus. Percebe-se que em  $180^\circ$  existe uma descontinuidade onde antes era zero, indicando para o controlador que a fase não está correta e para o medidor de fase que ela se encontra em  $180^\circ$ .

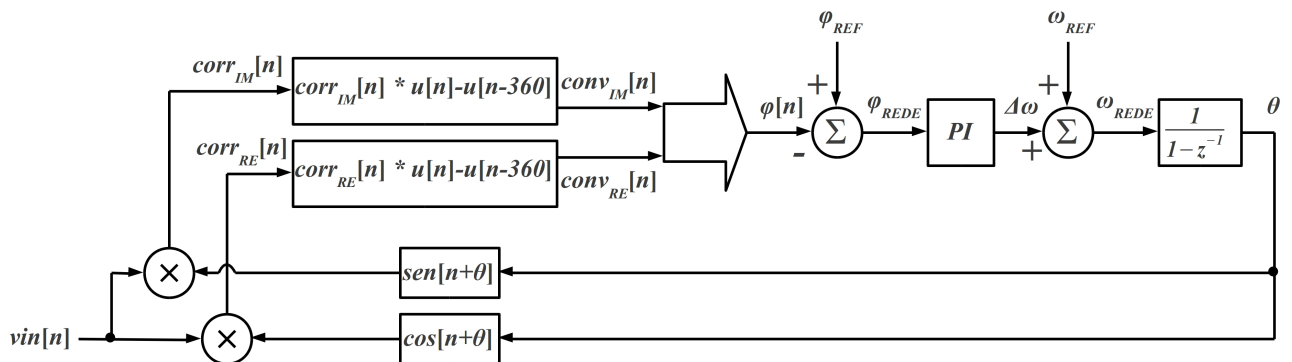
Na Figura 81, pode ser visto o diagrama do PLL.

De acordo com a Figura 81:

- $\text{vin}[n]$ : é a tensão de entrada do PLL, a qual este deve ser sincronizado;
- $\text{corr}_{RE}[n]$ : é a correlação real, calculada com a tensão de entrada e uma função cossenoidal, que é obtida em função da saída do PLL. Quando o PLL está em sincronismo com a entrada, o valor médio será zero;



**Figura 80:** Valor da medição de fase complexa em função do ângulo de defasagem



**Figura 81:** Diagrama do PLL complexo

- $corr_{IM}[n]$ : é a correlação imaginária, calculada com a tensão de entrada e uma função senoidal, que é obtida em função da saída do PLL. Quando o PLL está em sincronismo com a entrada, o valor médio será 1;
- $conv_{RE}[n]$ : é a convolução da correlação real, para transformar o sinal CA em CC, necessário em sistemas monofásicos. É calculada entre a correlação real e um degrau de  $n$  a  $n - 360$ ;
- $conv_{IM}[n]$ : é a convolução da correlação imaginária, para transformar o sinal CA em CC, necessário em sistemas monofásicos. É calculada entre a correlação imaginária e um degrau de  $n$  a  $n - 360$ ;
- $\varphi[n]$ : é o cálculo do valor complexo das Figuras 79 e 80, descrito nas equações (57), (58) e (59);



- $\varphi_{REF}$ : é a referência de fase para o PLL que, geralmente e neste caso, é zero;
- $\varphi_{REDE}$ : é o erro de fase que entra no controlador PI do PLL;
- $\Delta\omega$ : é a saída do PI do PLL. Apesar de estarem sendo utilizadas convoluções que permitem obter o valor da fase, a qualquer instante  $n$ , o PI trabalha a uma taxa de 60 Hz, assim como todo o algoritmo de paralelismo;
- $\omega_{REF}$ : é a referência de frequência para o PLL que, geralmente e neste caso, é zero;
- $\omega_{REDE}$ : é a saída do PLL que é integrada pelo pólo da planta para gerar a saída. Essa variável entra no controlador do paralelismo quando o UPS está na rede. No modo bateria, o valor dessa variável é zero.
- $\theta$ : saída do PLL, considerando-se que este PLL estaria apenas sincronizando o UPS, sem algoritmo de paralelismo. Com algoritmo de paralelismo ativo, esta variável é a mesma de saída do paralelismo, pois o UPS pode ter apenas um indexador para o sincronismo.

#### 4.9 CARGA ELETRÔNICA REGENERATIVA

Para executar testes em uma linha de produção, é importante conectar a carga nominal aos inversores para verificar temperatura, distorção harmônica e outros parâmetros. Para se evitar a dissipação da energia da carga utilizada nestes testes, é possível utilizar os inversores conectados em paralelo, como carga eletrônica de um para o outro. Assim, a energia flui de um inversor para o outro, sendo dissipadas, apenas, as perdas em função do rendimento dos UPSs.

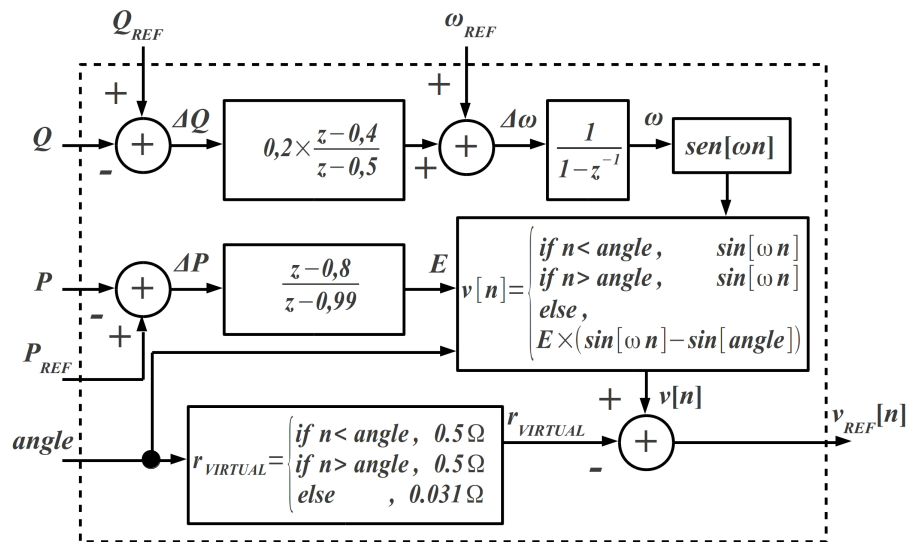
O algoritmo do paralelismo pode ser adaptado para funcionar como carga eletrônica ativa, reativa e não-linear.

Na Figura 82, pode ser visto o diagrama da carga eletrônica.

De acordo com a Figura 82:

- $E$ : nesse algoritmo, calcula-se exatamente como na Figura 42, mas usa-se apenas entre os ângulos configurados pela variável *angle*;
- *angle*: é o ângulo desejado para que a corrente flua entre os inversores. É válido para os quatro quadrantes. Por exemplo, se configurar 30°, entre os intervalos de 30° a 150° e 210° a 330°, circulará corrente.

É importante observar, que se o ângulo configurado for 0°, a carga eletrônica será linear, pois a corrente fluirá ao longo da senóide, desde 0° até 360°;



**Figura 82:** Diagrama da carga eletrônica

- $r_{VIRTUAL}$ : para a carga eletrônica é um pouco diferente, assumindo valor de  $0,5\Omega$  quando não é desejada a circulação de corrente, que é fora dos ângulos definidos na variável  $angle$ , e  $31,25\text{ m}\Omega$  quando deve circular corrente, que é entre os ângulos definidos pela variável  $angle$ ;
- $P_{REF}$ : diferente de zero no algoritmo de paralelismo, é configurada para o valor de potência ativa desejado. Este deve ser positivo para o inversor que gera, o que irá aumentar sua tensão, e negativo para o inversor que absorve, o que irá reduzir sua tensão.

Um detalhe importante é o fato do inversor que absorve potência, ter que estar conectado na rede elétrica. O inversor que gera pode retirar sua potência da rede ou da bateria sem problemas, pois isso faz parte do seu funcionamento normal, mas o que absorve aproveita as características da bidirecionalidade do conversor de entrada, para devolver energia para a rede, sendo que isso não é possível para a bateria.

Uma bateria típica, como  $12\text{ V}/9\text{ Ah}$  pode ser descarregada com até  $30\text{ A}$ , mas pode ser recarregada com apenas  $3,6\text{ A}$ , inviabilizando qualquer UPS de devolver a potência nominal no modo bateria. Além disso, mesmo que seja possível devolver  $30\text{ A}$  para a bateria, eventualmente ela se carregaria e o UPS teria que parar de absorver energia pela saída, interrompendo o teste (SUNNYWAY, 2012).

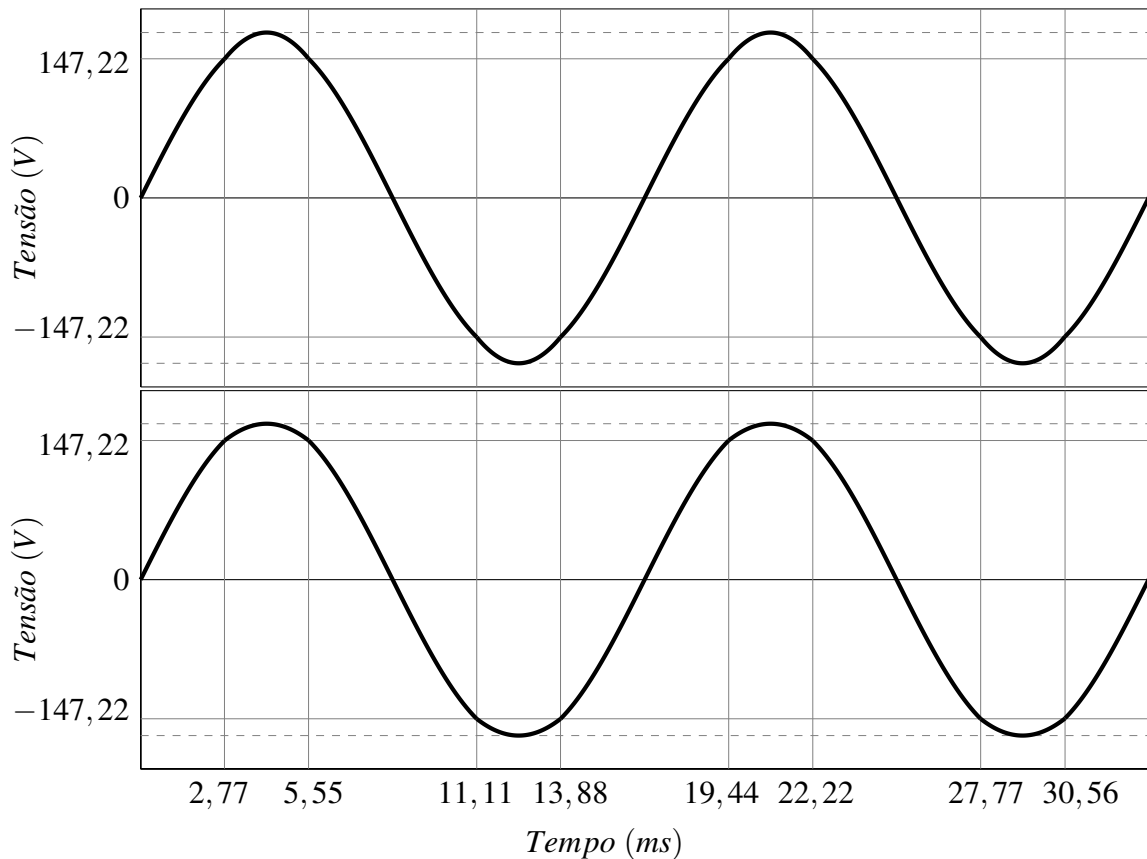
- $Q_{REF}$ : diferente de zero no algoritmo de paralelismo, é configurada para o valor de potência reativa desejado. Deve ser positiva para um inversor e negativa para o outro para que o valor correto flua entre os inversores.

As variáveis restantes funcionam como no algoritmo normal de paralelismo, conforme

a Figura 42.

A combinação das variáveis  $P_{REF}$ ,  $Q_{REF}$  e  $angle$  possibilita fluir todo o tipo de potência entre os inversores, permitindo executar testes sem cargas dissipativas convencionais.

Na Figura 83, é possível observar a tensão virtual dos inversores como carga eletrônica não-linear.

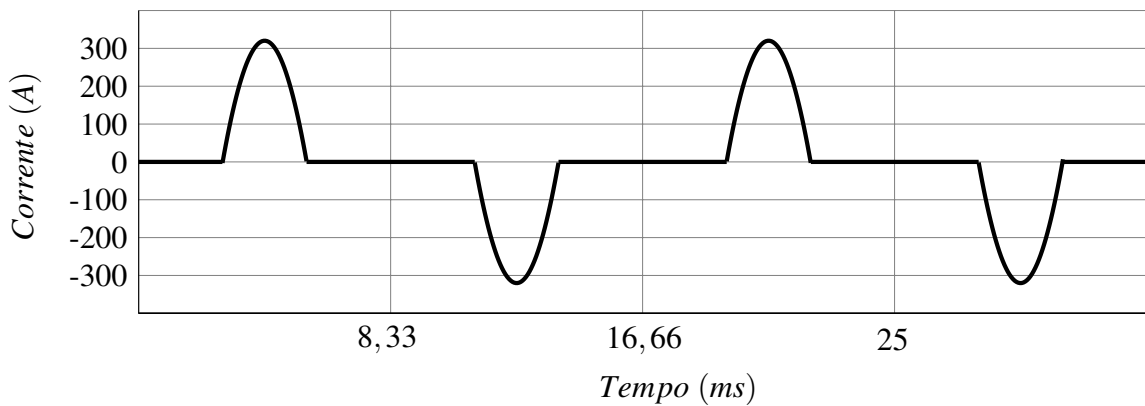


**Figura 83:** Tensão virtual para carga eletrônica

Na Figura 83, um inversor aumenta e o outro reduz a tensão entre os ângulos de  $60^\circ$  e  $120^\circ$ , que correspondem a 2,77 ms e 5,55 ms, respectivamente, nos pontos onde a tensão é 147,22 V, considerando-se apenas o primeiro quadrante.

Essa diferença de tensão, entre os inversores, dividida pela resistência virtual, resulta em corrente circulando entre eles. Na Figura 84, pode ser vista a corrente entre os inversores.

Na Figura 84, é possível ver um pico de corrente de aproximadamente 300 A, resultando em uma potência ativa de 5300 W, que é o resultado das alterações de tensão vistas na Figura 83. Como na Figura 83, um inversor tem +5 V e o outro tem -5 V no pico da senóide, a diferença é de 10 V, que ao ser dividida pela resistência virtual de  $31.25 \text{ m}\Omega$ , resulta em 320 A de pico, vistos na Figura 84.



**Figura 84:** Corrente na carga eletrônica

#### 4.10 CONCLUSÕES

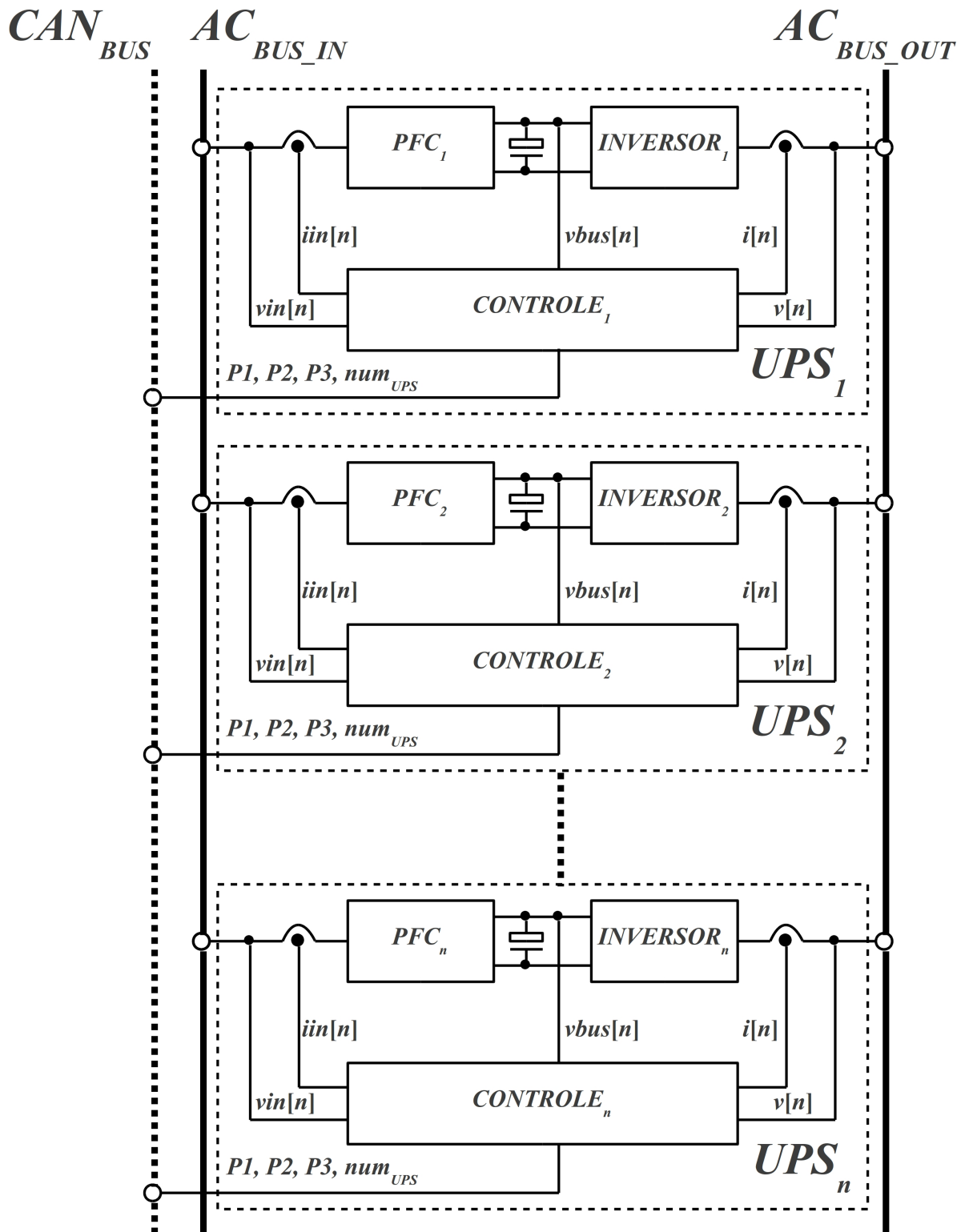
Na Figura 85 pode ser visto o diagrama simplificado do controlador com o UPS.

De acordo com a figura 85 cada UPS possui uma amostragem de corrente e tensão de entrada ( $i_{in}[n]$ ,  $v_{in}[n]$ ) que são usadas para análise da rede elétrica de entrada, como detecção de falha e sincronismo, amostragem da tensão de barramento ( $v_{bus}[n]$ ) e amostra de corrente e tensão de saída ( $i[n]$ ,  $v[n]$ ), necessárias para o controle da tensão de saída, análise de potência de saída e para o algoritmo de paralelismo. Além disso cada UPS possui a interface CAN, com os valores de potência ativa dos outros UPSs conectados ( $P1$ ,  $P2$  e  $P3$ ) em paralelo e do número de UPSs ( $num_{UPS}$ ) utilizados para o controle de compartilhamento de potência ativa do algoritmo de paralelismo.

Com isso existem três barramentos: o  $AC_{BUS\_IN}$  que é a rede elétrica de entrada, o  $AC_{BUS\_OUT}$  que é o barramento de saída onde é conectada a carga e o  $CAN_{BUS}$  que é a interface CAN de comunicação.

Dessa maneira é possível elaborar um conjunto de UPSs com capacidade de conexão em paralelo com:

- baixa THD: graças ao algoritmo de resistência virtual variável, a tensão de saída possui baixa THD mesmo com carga não-linear, diferente do caso que usaria resistência virtual constante;
- boa regulação estática: graças a utilização do compartilhamento de potência ativa através da interface CAN, é possível evitar a utilização do controlador *droop* de potência ativa, evitando a variação da tensão de saída quando o usuário conectar carga na saída do UPS;
- capacidade de funcionamento sem comunicação: na falha da comunicação de dados



**Figura 85:** Diagrama simplificado da conexão paralela

(interface CAN), o UPS continua operando em paralelo, mas com regulação de tensão de saída menos precisa. A intenção é garantir a confiabilidade do sistema de paralelismo em qualquer condição;

- utilização como carga eletrônica: uma vez que o algoritmo está implementado, com algumas variações, é utilizado como carga eletrônica, fazendo potência ativa e/ou reativa circular entre os inversores dos UPSs.

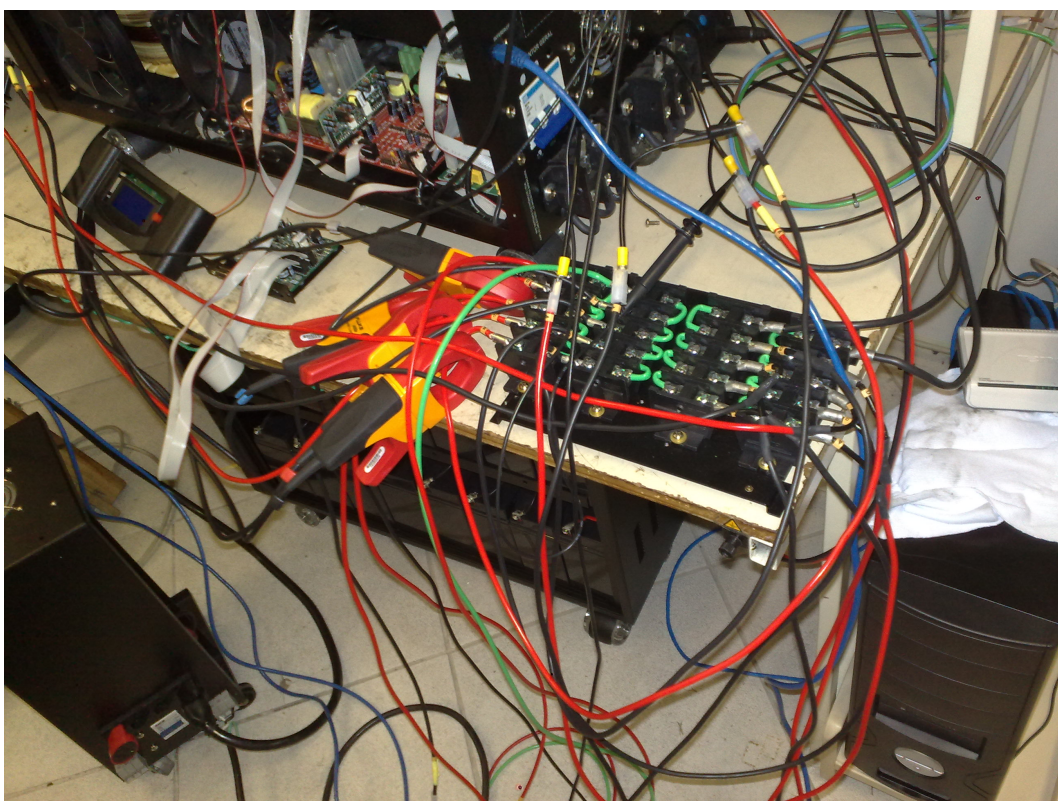
## 5 RESULTADOS

Para a validação do projeto do método de paralelismo apresentado, serão executadas três etapas:

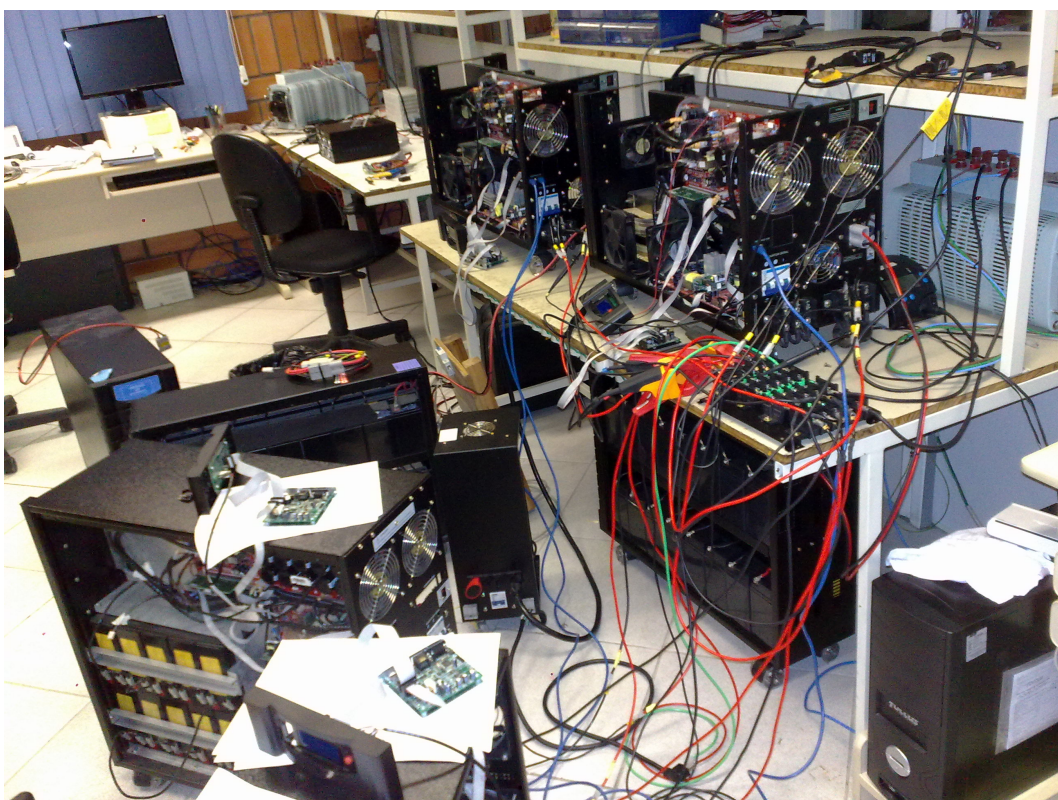
- Simulação: será utilizado o MATLAB/Simulink como ferramenta, sendo feito um modelo de inversor monofásico com o que é pertinente para a validação do algoritmo, como medidas de potência, controladores atraso de fase e componentes de potência, como os filtros LC, capacitores e IGBTs. Para comprovar o desempenho serão introduzidos erros de fase, frequência e tensão, objetivando comprovar os resultados com desvios de componentes, comuns quando o equipamento é produzido em série;
- Teste experimental com dois UPSs: serão utilizados dois UPSs, sendo um de 12 kVA e outro de 8 kVA. Será comprovada a eficácia da comunicação de dados e dos controladores de fase/frequência e de tensão, além da resistência virtual simultaneamente. Como são modelos físicos, se espera que tenham diferenças de tensão, provenientes de desvio no sensor, sendo que os testes serão executados sem e com calibração. Também será avaliado o funcionamento como carga eletrônica, sendo que um UPS deve fornecer potência controlada para o outro;
- Teste experimental com quatro UPSs: objetiva a validação da eficácia dos controladores de atraso de fase, visto que a criticidade do ajuste para garantir a estabilidade com mais UPSs aumenta. Também será avaliada a carga eletrônica, sendo que com quatro UPSs em paralelo, deve fluir potência apenas entre os UPSs configurados para tal, os demais devem permanecer conectados de maneira estável, mas sem fluir potência.

As medidas dos testes experimentais poderão ser feitas tanto com osciloscópios digitais e analisadores de potência, quanto com a ferramenta *Freemaster*, que permite analisar diretamente e em tempo real variáveis internas do DSP.

Nas Figuras 86 e 87 podem ser vistos as conexões físicas para os testes experimentais.



**Figura 86:** Conexão do barramento CA de entrada e saída



**Figura 87:** Quatro UPSs em paralelo



Na Figura 86 pode ser vista a conexão paralela de entrada e saída dos UPSs, elaborada com borneiras de alta corrente. Na Figura 87 pode ser visto o sistema com quatro UPSs completo e ativo. São dois UPSs que utilizam módulo de bateria externo e dois UPSs que possuem baterias internas. Possuem interface USB (*Universal Serial Bus*) para a utilização da ferramenta *Freemaster* e painel frontal com *display* de cristal líquido para visualização de parâmetros e botões para alteração de parâmetros.

## 5.1 SIMULAÇÕES

### 5.1.1 CONFIGURAÇÃO

Para a simulação, foram elaborados 4 UPSs completos, sendo que na Figura 88 observam-se seus diagramas simplificados.

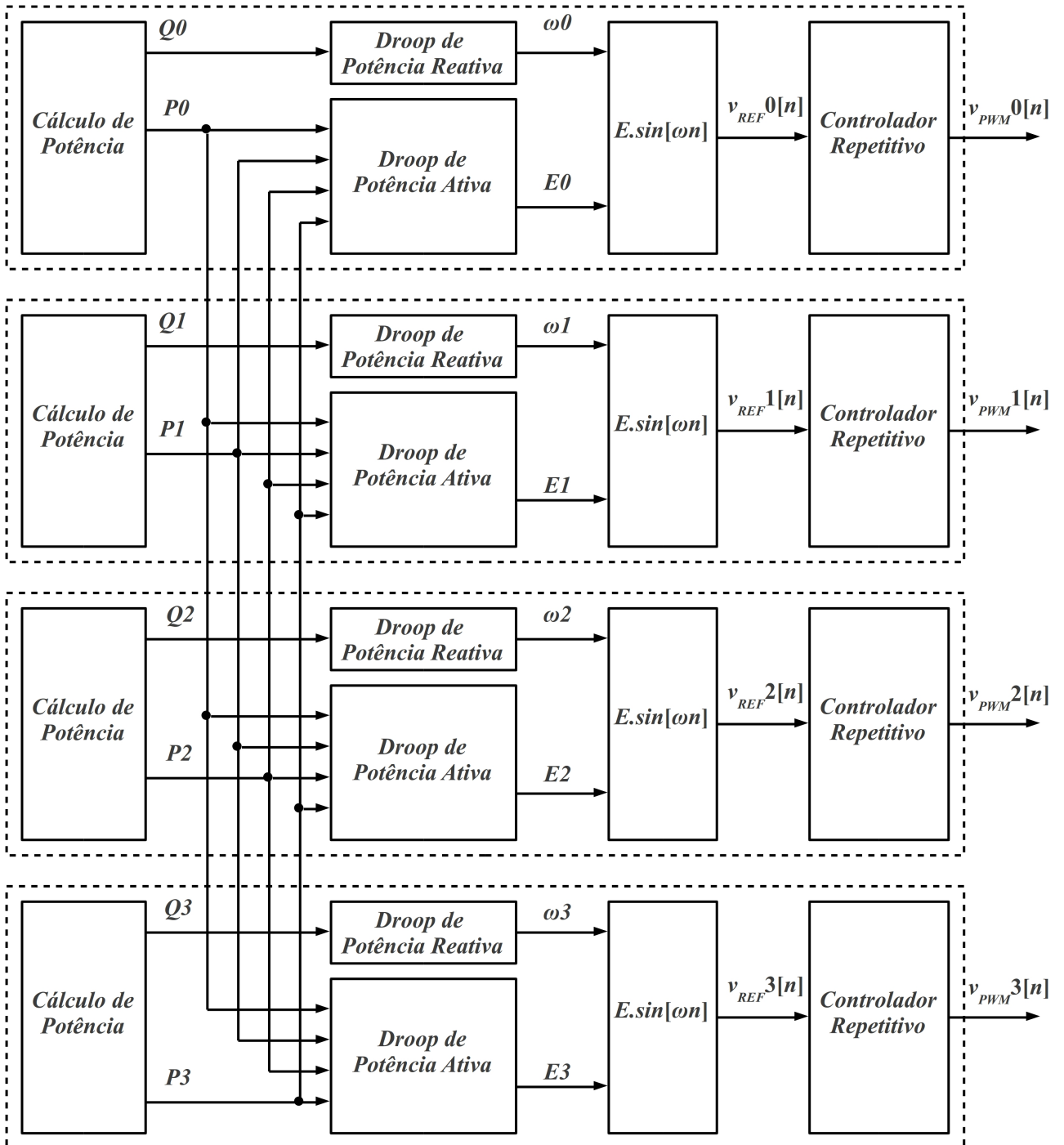
De acordo com a Figura 88:

- $Q0, Q1, Q2$  e  $Q3$ : potência reativa não distorcida de cada inversor;
- $P0, P1, P2$  e  $P3$ : potência ativa não distorcida de cada inversor;
- $\omega0, \omega1, \omega2$  e  $\omega3$ : frequência resultante do controlador *droop* de potência reativa;
- $E0, E1, E2$  e  $E3$ : amplitude resultante do controlador *droop* de potência reativa;
- $v_{REF0}[n], v_{REF1}[n], v_{REF2}[n]$  e  $v_{REF3}[n]$ : saída do controlador de paralelismo, sendo a referência para o controlador repetitivo;
- $v_{PWM0}[n], v_{PWM1}[n], v_{PWM2}[n]$  e  $v_{PWM3}[n]$ : saída do controlador repetitivo, que é carregada no módulo PWM do inversor.

Cada inversor teve algum parâmetro alterado de sua referência senoidal, como mostrado na Tabela 11:

De acordo com a Tabela 11, a frequência foi alterada, através da base de tempo do PWM, em 1 peso no inversor 0 e 2. Isso significa, que o cristal desse inversor teria um erro de 712 ppm (partes por milhão), o que qualquer cristal de 50 ppm conseguiria garantir. Isso significa que na implementação prática, essa diferença de frequência será muito menor, assim como o esforço necessário para compensá-la (FOX Electronics, 2009).

Além disso, foi inserido um erro de fase, porém, pequeno. Esse erro de fase poderia ser qualquer valor, pois ainda assim seria possível o sincronismo, mas para o propósito de analisar



**Figura 88:** Diagrama simplificado da simulação

a implementação dos controladores, é suficiente. Se for aumentado, seria notado que o sistema completo demoraria mais para estabilizar, mas, na prática, os inversores sincronizarão suas máquinas de estado antes de comutarem o relé de saída que conecta o inversor ao barramento de paralelismo. Isso significa, que o algoritmo nunca terá que trabalhar com grandes valores de desvio de fase, até mesmo por que, em um primeiro instante, haveria sobre-corrente nas suas saídas.

	INV 0	INV 1	INV 2	INV 3
Tensão de saída nominal	120 V	120 V	120 V	120 V
Tensão do barramento CC	225 V	225 V	225 V	225 V
Indutor de saída	600 $\mu$ H	600 $\mu$ H	600 $\mu$ H	600 $\mu$ H
Capacitor de saída	10 $\mu$ F	10 $\mu$ F	10 $\mu$ F	10 $\mu$ F
Período do PWM	1388	1389	1388	1389
Frequência do inversor	60,04 Hz	60 Hz	60,04 Hz	60 Hz
Frequência do cristal	8,0057 MHz	8 MHz	8,0057 MHz	8 MHz
Fase	0	0	-1	-1
Fase em graus	0 °	0 °	-0,25 °	-0,25 °
Amplitude	+2,5%	0%	-2,5%	5%

**Tabela 11:** Alterações para simulação

Por fim, inseriu-se um erro diferencial de até 7,5% na amplitude da senóide, já que o inversor 3 tem acréscimo de 5% e o inversor 2 um decréscimo de 2,5%. Esses desvios simulam um erro no sensor de tensão de saída, que na prática utiliza resistores de 1%, o que resultaria em erro diferencial de no máximo 2%. Uma diferença de 7,5% abrange, completamente, a faixa possível de erro na implementação prática.

### 5.1.2 COMPARTILHAMENTO DE POTÊNCIA

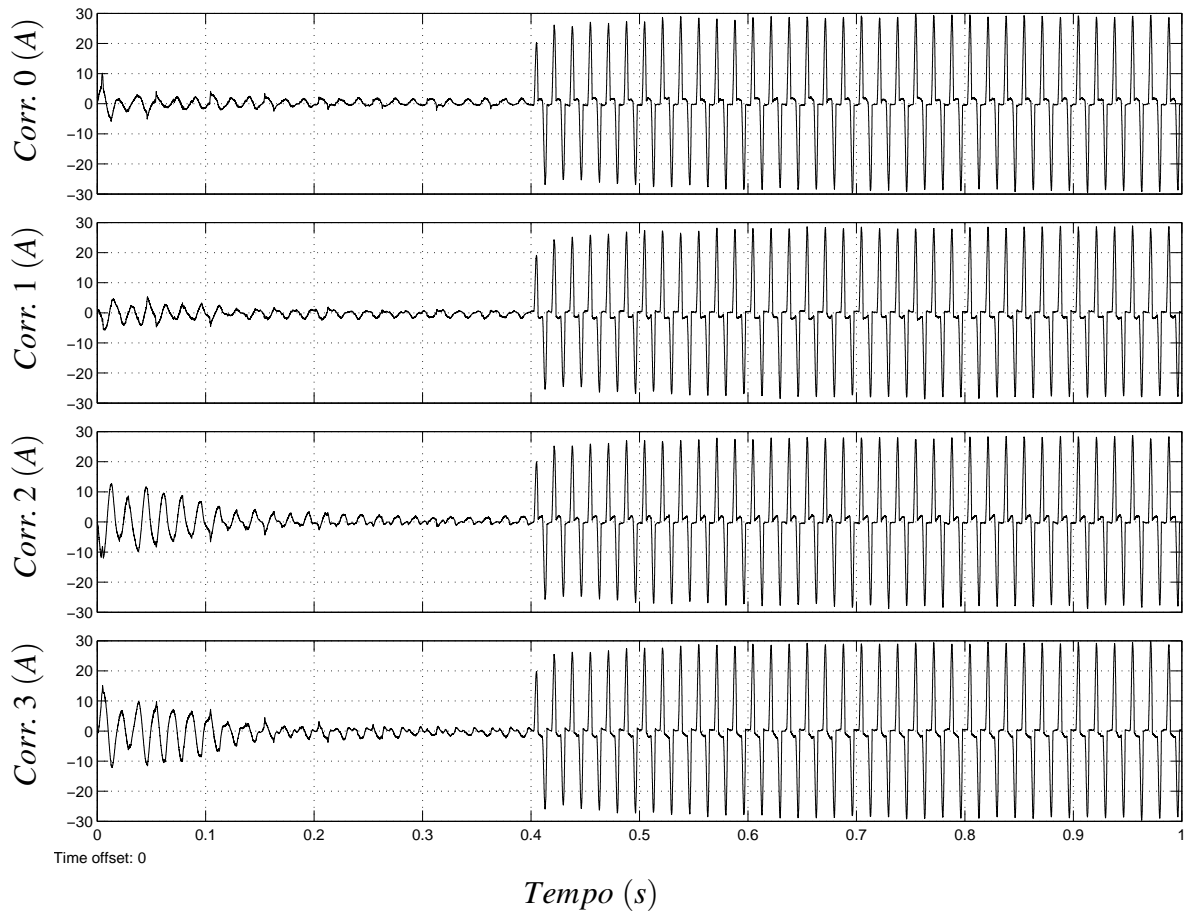
Na Figura 89, pode ser visto o resultado de zero até um segundo de simulação das quatro correntes de saída.

De acordo com a Figura 89, as formas de onda de corrente são decrescente, sendo a mais superior do inversor 0 e a mais inferior do inversor 3. Percebe-se que no início os inversores 0 e 3 estão fornecendo energia e os inversores 1 e 2 estão absorvendo, uma vez que os inversores 0 e 3 possuem maior amplitude maior do que os inversores 1 e 2, como pode ser visto na Tabela 11.

Após 150 ms do sistema ser inicializado, a corrente já está em um nível praticamente tolerável e estável, sendo que o compartilhamento de potência ativa está funcionando corretamente.

Após 400 ms, foi ativada uma carga não-linear de 120 A de pico, sendo que cada inversor forneceu 30 A de pico.

Quando da correção de fase e frequência percebe-se, na passagem por zero da carga não-linear, uma pequena assimetria, indicando que existe uma parcela de potência reativa entre os inversores, mas é relativamente pequena, concluindo-se então, que o compartilhamento de



**Figura 89:** Corrente de saída

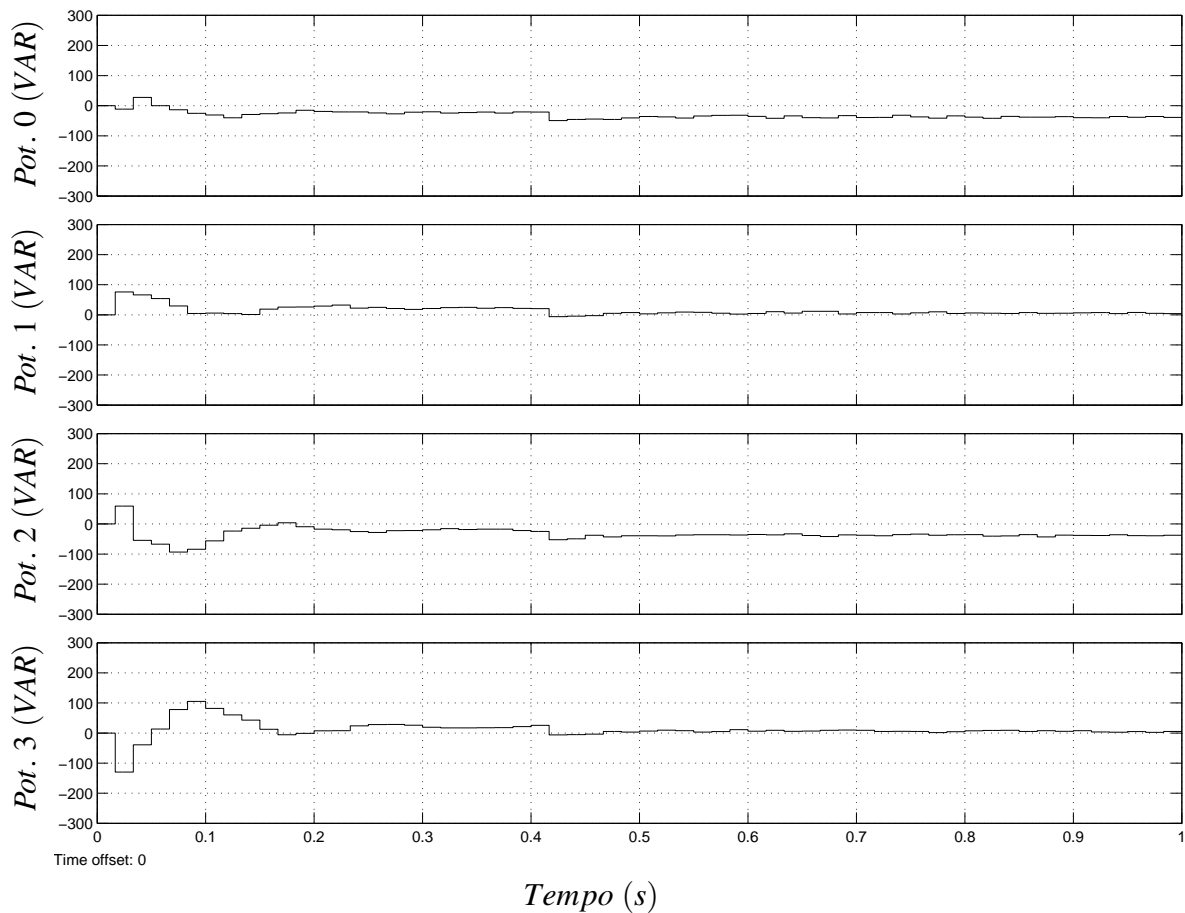
potência reativa esteja funcionando corretamente.

Na Figura 90, pode ser vista a potência reativa não distorcida medida na saída pelos inversores.

De acordo com a Figura 90, nota-se que no início da simulação existem valores de potência reativa não distorcida de até 120 VAR, sendo que após 150 ms, esses valores não passaram de 30 VAR, o que representa um bom funcionamento, considerando que os inversores estejam alimentando cargas de até 2 kVA. Além disso, o valor de 30 VAR ocorre devido ao desvio de 712 ppm do cristal. Na implementação prática, com desvio de 50 ppm, a potência reativa não distorcida entre os inversores, deve ser ainda menor.

Além disso, após 400 ms, quando a carga é conectada, há uma pequena variação, como no inversor 1 que apresentou uma diminuição de 20 VAR para 10 VAR.

Observa-se, também, que em 1 segundo de simulação os inversores 0 e 2 possuem potência reativa não distorcida negativa e os inversores 1 e 3 possuem uma pequena potência reativa não distorcida positiva. Isso se deve, pelo valor de frequência dos inversores 0 e 2



**Figura 90:** Potência reativa de saída

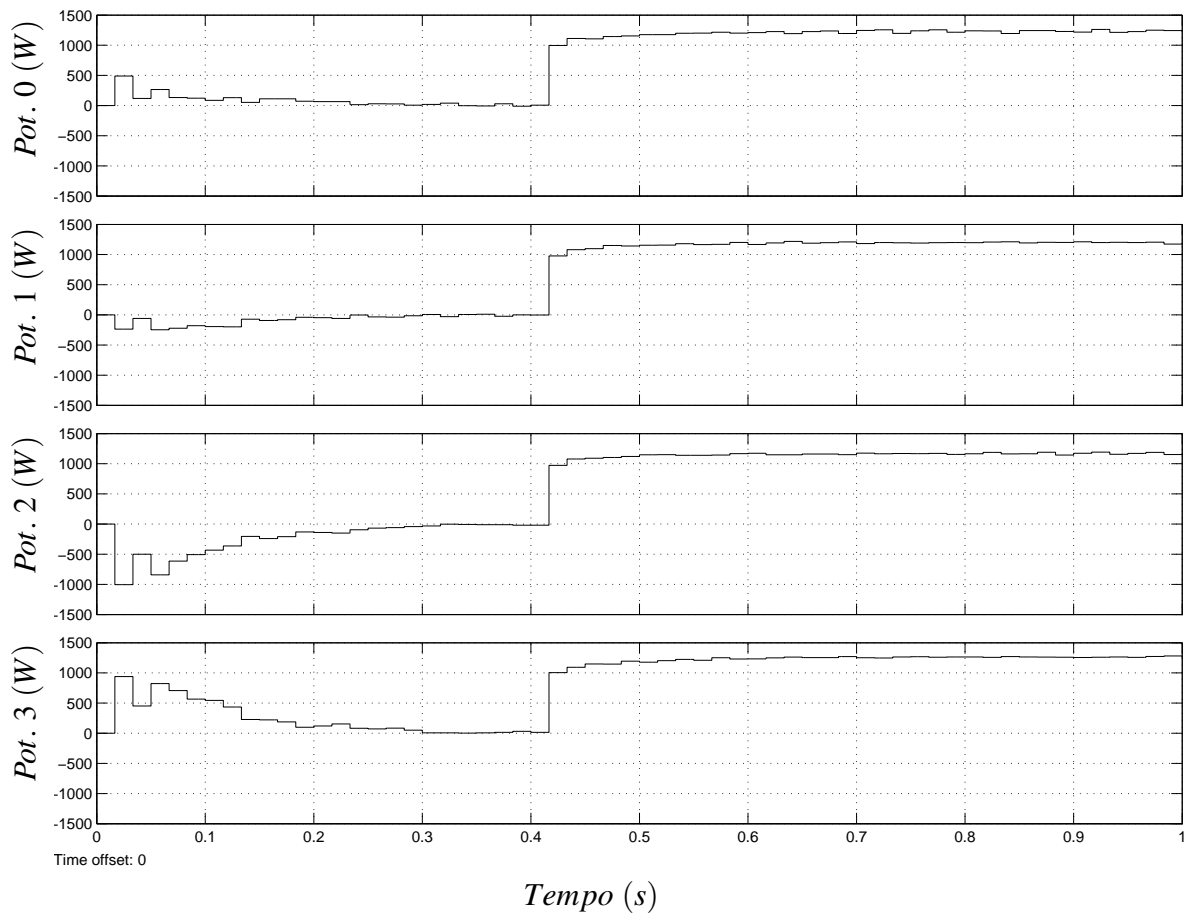
serem mais altos, como visto na Tabela 11. Como o controlador *droop* de potência reativa não distorcida tem o pólo localizado em 0,5 (como definido no projeto do controlador *droop* de potência reativa), ele não corrige completamente, o que garante estabilidade e funcionamento adequado, com carga indutiva ou capacitiva.

Na Figura 91, pode ser vista a potência ativa medida na saída pelos inversores.

De acordo com a Figura 91 pode ser notado que no início da simulação há valores de potência ativa de até 1000 W, sendo que os inversores com tensão mais alta fornecem para os inversores com tensão mais baixa.

Após 300 ms de simulação, observa-se que os valores de potência ativa estão praticamente com valor zero, significando que o compartilhamento de potência ativa funciona corretamente.

Aos 400 ms, quando a carga não-linear é ativada, a potência sobe até 4800 W no sistema completo e 1200 W em cada inversor, sendo compartilhada adequadamente.



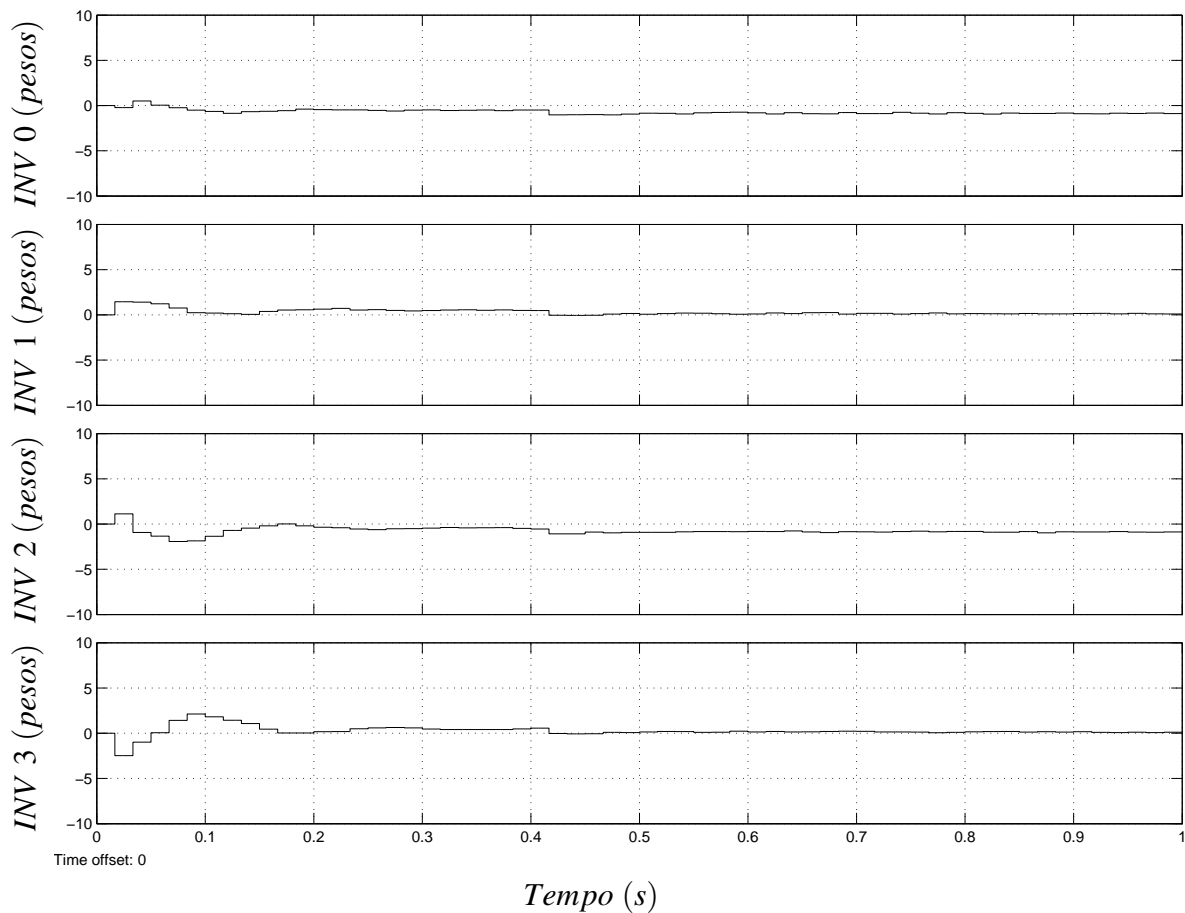
**Figura 91:** Potência ativa de saída

### 5.1.3 VARIÁVEIS DE SAÍDA DOS CONTROLADORES *DROOP*

Na Figura 92, pode ser visto o sinal de saída dos controladores *droop* de potência reativa não distorcida  $\omega_0$ ,  $\omega_1$ ,  $\omega_2$  e  $\omega_3$ .

Como visto na saída dos inversores  $\omega_0$  e  $\omega_2$ , na Figura 92, permanecem valores negativos, que mantêm uma correção de frequência nesses inversores, que são justamente os que têm a frequência desviada, como visto na Tabela 11. Isso ocorre, porque o controlador *droop* de potência reativa não distorcida corrige totalmente, em função da frequência, o erro de regime para praticamente zero, diferentemente da correção de fase. Então, o controlador sempre terá um valor na saída, quando houver algum desvio na frequência.

Em relação à fase, os valores também se aproximam de zero, pois ela já é integrada pelo pólo da planta. Deste modo mesmo com o controlador tendo erro de regime, o valor de potência reativa fica próximo de 30 VAR, como visto na Figura 90, e a energia, no sinal de saída dos controladores, permanece próximo de zero.



**Figura 92:** Saída do *droop* de potência reativa

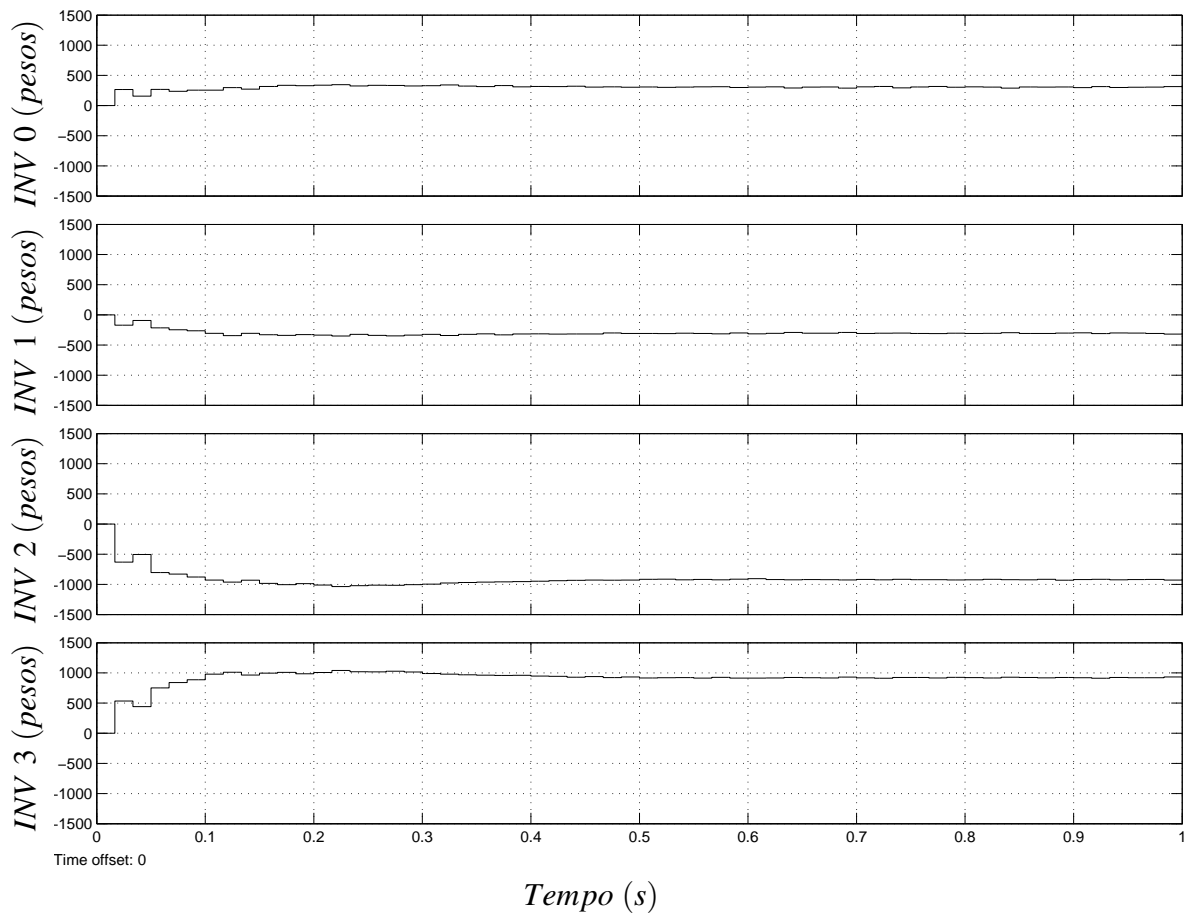
Na Figura 93, pode ser visto o sinal de saída dos controladores *droop* de potência ativa.

Percebe-se que após 300 ms, quando os 4 controladores estão em regime, os dois inversores que possuem a menor tensão (inversores 1 e 2, segundo a Tabela 11), apresentam sinais negativos. Isso quer dizer, que a tensão de saída irá aumentar para equilibrar o compartilhamento de tensão. Já que os inversores com tensão maior (0 e 4), possuem sinais de saída positivos, significando que a tensão de saída deles irá diminuir.

Analisando os 4 juntamente e considerando a Tabela 11, pode-se concluir que os inversores com maior tensão possuem sinal positivo e os inversores com menor tensão possuem sinal negativo, fazendo com que as tensões de saída se ajustem para compartilhar a potência ativa.

A Figura 94 é o resultado da multiplicação dos sinais da Figura 93 por uma função senoidal.

Os sinais da Figura 94 são subtraídos de 1 (32767 em Q15) e multiplicados pela constante de normalização do inversor, 170/225 (225 V de barramento resulta em 170 V de



**Figura 93:** Saída do *droop* de potência ativa

pico, em 120 VAC), resultando nas variáveis  $E_0$ ,  $E_1$ ,  $E_2$  e  $E_3$ , que são a amplitude das variáveis  $v_{REF0}[n]$ ,  $v_{REF1}[n]$ ,  $v_{REF2}[n]$  e  $v_{REF3}[n]$ , e que servem de referência para o controlador repetitivo, o que resultará nas variáveis  $v_{PWM0}[n]$ ,  $v_{PWM1}[n]$ ,  $v_{PWM2}[n]$  e  $v_{PWM3}[n]$ , as quais são a saída final do controlador do inversor, sendo carregada no módulo PWM.

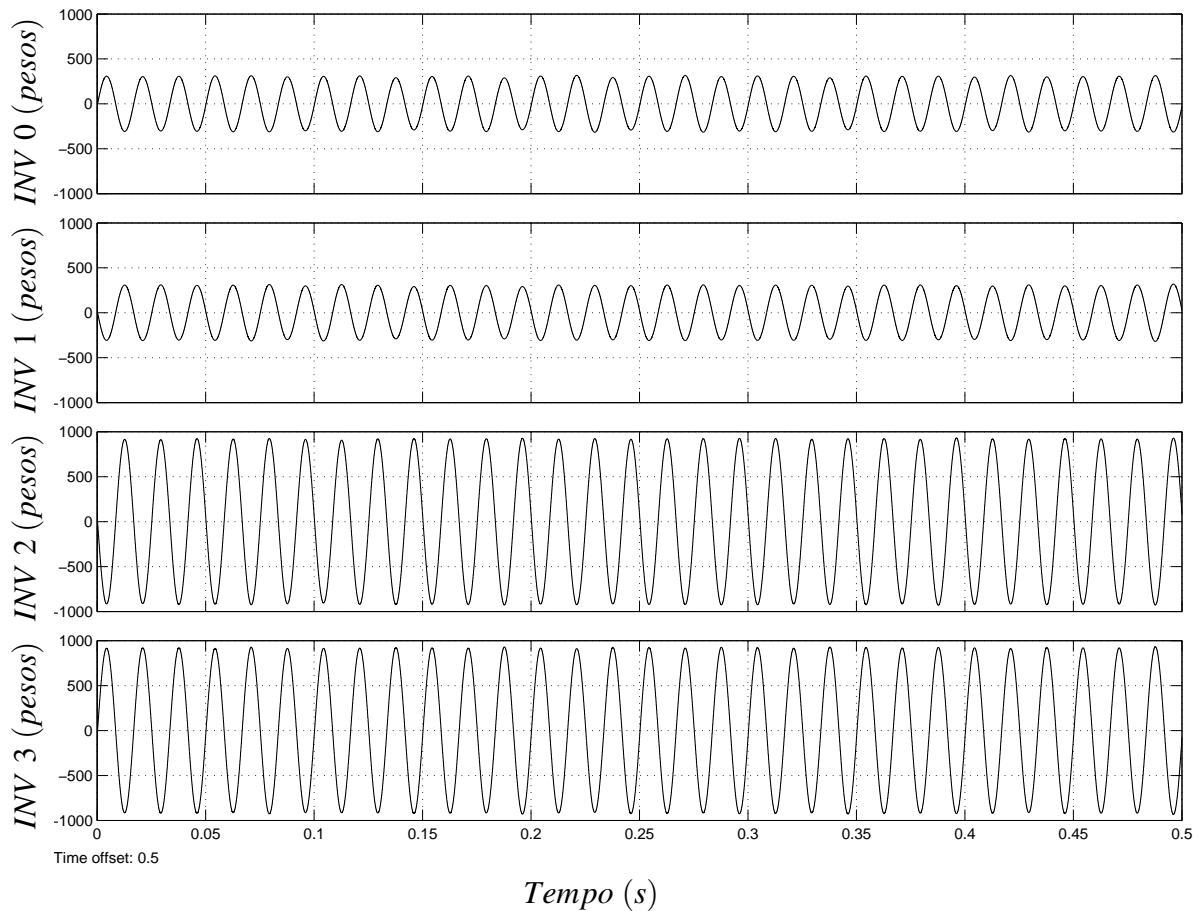
## 5.2 RESULTADOS EXPERIMENTAIS

### 5.2.1 FREEMASTER

Para ajudar a obtenção de resultados reais, além de osciloscópio e analisador de potência, pode ser utilizada a ferramenta Freemaster da Freescale, que é o fabricante do DSP utilizado no projeto. Esta ferramenta permite analisar o funcionamento do DSP em tempo real, através de interfaces seriais, JTAG (*Joint Test Action Group*) ou CAN.

No caso desta dissertação, utilizou-se uma serial disponível no DSP, sendo possível ler, em tempo real, qualquer sinal do DSP a uma velocidade de 38400 bps.





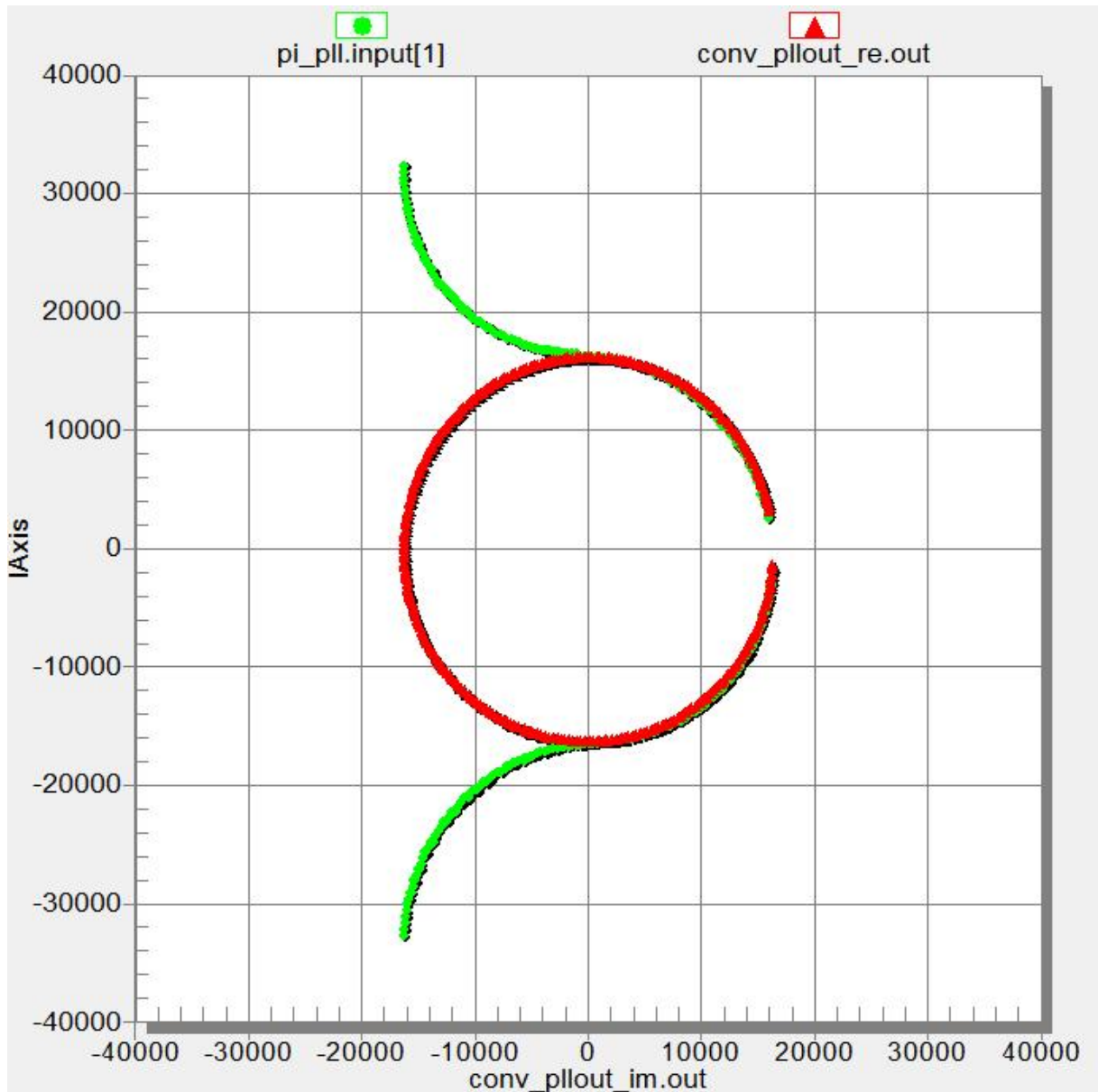
**Figura 94:** Saída senoidal do *droop* de potência ativa

Como o passo do controle executado pelo DSP ocorre a uma velocidade de 21600 Hz, existe a limitação da velocidade de comunicação de 38400 bps permitir uma velocidade de amostragem de apenas 3840 Hz. Considerando que o protocolo utilizado ainda tem checagens para evitar erros e o DSP trabalha com variáveis inteiras (que ocupam dois *bytes*), não é possível enviar todos os dados de uma forma de onda, no exato instante que ocorrem. Para resolver isso, o *driver* instalado, embarcado no DSP, salva um vetor na memória RAM (*Random Access Memory*) e envia para o computador para visualização, em uma abordagem semelhante a um osciloscópio digital.

### 5.2.2 DETECTOR DE FASE

Uma parte importante da implementação do algoritmo de paralelismo, é o detector do PLL, que interpreta a diferença entre  $0^\circ$  e  $180^\circ$ . Com isso, antes de cada UPS se conectar em um barramento CA de paralelismo existente, este tem condições de detectar uma possível inversão de fase, o que acarretaria a atuação de proteção de inversores que estão ativos.

Na Figura 95, é possível observar o resultado de um detector de fase normal e do detector de fase implementado.

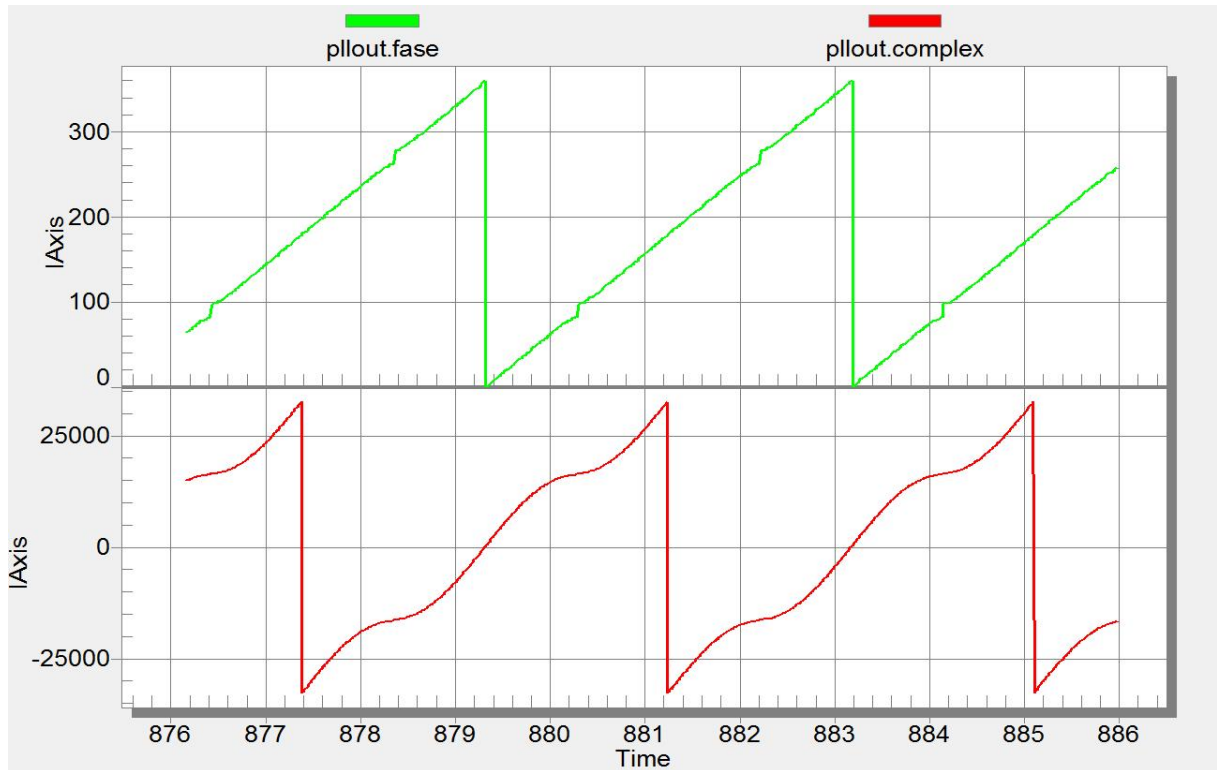


**Figura 95:** Cálculo real e complexo do PLL

Na Figura 95, foi traçada a variável real, *conv\_pllout\_re.out*, em função da imaginária, *conv\_pllout\_im.out*, resultando em um círculo no decorrer do deslocamento de fase do UPS, em relação a rede, uma diferença de frequência de 0,05 Hz. Se o PLL do UPS ou o detector de fase do paralelismo analisar apenas o sinal real, tanto em  $0^\circ$  quanto em  $180^\circ$ , o resultado será zero, não sendo percebida diferença de inversão de fase.

Mas com o algoritmo proposto na Figura 81, é possível detectar a inversão de fase. Executando-se, então, o algoritmo proposto, resultará o sinal da variável *pi\_pll.input[1]*, no qual é obtida uma descontinuidade em  $180^\circ$ , possibilitando detectar a inversão de fase.

Para utilizar com facilidade o valor resultante, uma transformação é feita, como visto na Figura 96.



**Figura 96:** Resultado do cálculo complexo e em graus do PLL complexo

Na Figura 96, o sinal inferior, *pllout.complex*, é o mesmo *pi\_pll.input[1]* da Figura 95, porém em relação ao tempo transcorrido. Percebe-se que é uma função senoidal entre  $-90^\circ$  e  $+90^\circ$ , sendo invertida no restante, exatamente como o algoritmo é concebido.

Dessa maneira, existe uma função de arco seno implementada no DSP, para se obter o valor da fase em graus, considerando-se o detalhe da inversão do sinal, antes de  $-90^\circ$  e após  $+90^\circ$ . No sinal posterior da Figura 96, pode ser visto o resultado do algoritmo, onde é possível obter valores entre  $0^\circ$  e  $359^\circ$ , com um erro de precisão em  $90^\circ$  e  $270^\circ$ .

### 5.2.3 TESTE COM DOIS UPSs

Para este teste, serão utilizados apenas dois UPSs, como vistos na Tabela 12.

Um detalhe a ser observado, é a resistência virtual de cada UPS ser proporcional a potência nominal de cada um para que, na falha do CAN, ainda ocorra a tentativa de um compartilhamento de potência.

	UPS 1	UPS 2
Potência ativa nominal	8400 W	5600 W
Potência aparente nominal	12000 VA	8000 VA
Resistência virtual máxima ( $r_{MAX}$ )	250 m $\Omega$	375 m $\Omega$
Indutor do filtro de saída	600 $\mu$ H	600 $\mu$ H
Capacitor do filtro de saída	20 mH	20 mH
Indutor do filtro de entrada	1 mH	1 mH
Tensão de saída nominal	120 V	120 V
Tensão de entrada nominal	220 V	220 V
Tensão do barramento CC	400 V	400 V
Tensão nominal da bateria	240 V	192 V
Controlador	DSC56F8335	DSC56F8335

**Tabela 12:** Configuração usada para os teste com 2 UPSs

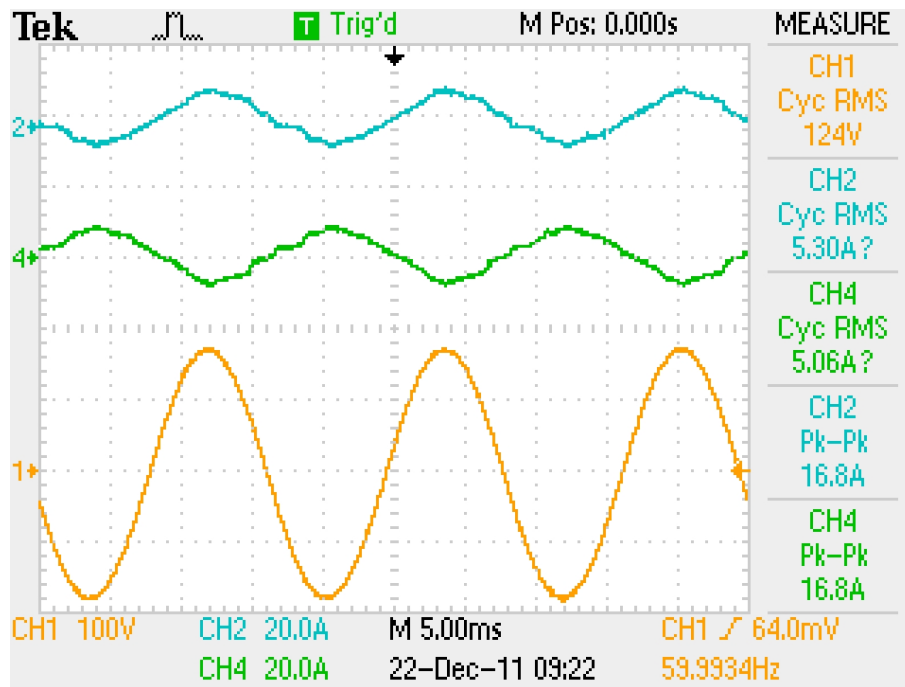
### 5.2.3.1 CAN/RESISTÊNCIA VIRTUAL VARIÁVEL

Para verificar a eficiência da comunicação CAN, dois UPSs foram conectados em paralelo, com diferença de tensão de saída. O primeiro UPS tem 120 V de tensão de saída, com 250 m $\Omega$  de resistência virtual máxima, e o segundo UPS tem 123 V de tensão de saída, com 375 m $\Omega$  de resistência virtual máxima. Inicialmente, o valor de resistência virtual permanece constante, sempre no valor máximo ( $r_{MAX}$ , sendo 250 m $\Omega$  e 375 m $\Omega$ ), prejudicando a THD de saída, mas privilegiando o compartilhamento de potência ativa. O resultado é mostrado na Figura 97.

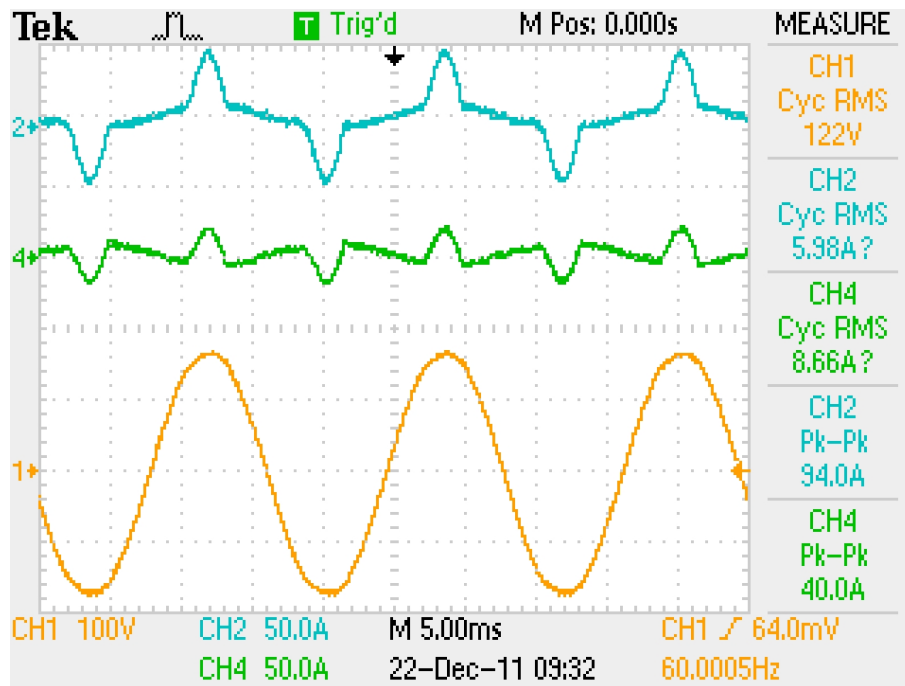
De acordo com a Figura 97, é possível concluir que uma corrente de, aproximadamente, 8,4 A de pico na forma de onda 2 e 4 circula entre os inversores, sendo o resultado de um diferença de tensão de 5 V de pico em uma resistência virtual de 250 m $\Omega$  somada a 375 m $\Omega$ . A forma de onda 1 é a tensão de saída do inversor.

Na Figura 98, ocorre a mesma situação, mas com os inversores alimentando carga não-linear.

É possível observar na Figura 98 nas formas de onda 2 e 4, que existe uma corrente fluindo para a carga e outra fluindo de um inversor para o outro. O principal detalhe dessa forma de onda é que mesmo com diferença de tensão e sem a conexão CAN funcionando, a potência ativa é razoavelmente compartilhada, já que o inversor de 12 kVA fornece 94 A, pico a pico, e o inversor de 8 kVA fornece 40 A, pico a pico. Se a corrente de 16,8 A, pico a pico (vista na Figura 97), for retirada da consideração, as correntes seriam de 78 A e 56 A, respectivamente, o que seria um compartilhamento de potência ativa praticamente perfeito. A forma de onda 1 é a tensão de saída do inversor, sendo possível perceber uma pequena distorção, consequente da



**Figura 97:** Corrente e tensão de saída sem interface CAN



**Figura 98:** Corrente e tensão de saída sem interface CAN

resistência virtual alta no pico da senóide.

Nas Figuras 99 e 100, pode ser vista a THD de saída com carga não-linear e sem interface CAN.

Na Figura 99, observa-se na forma de onda 1 a tensão de saída do inversor com

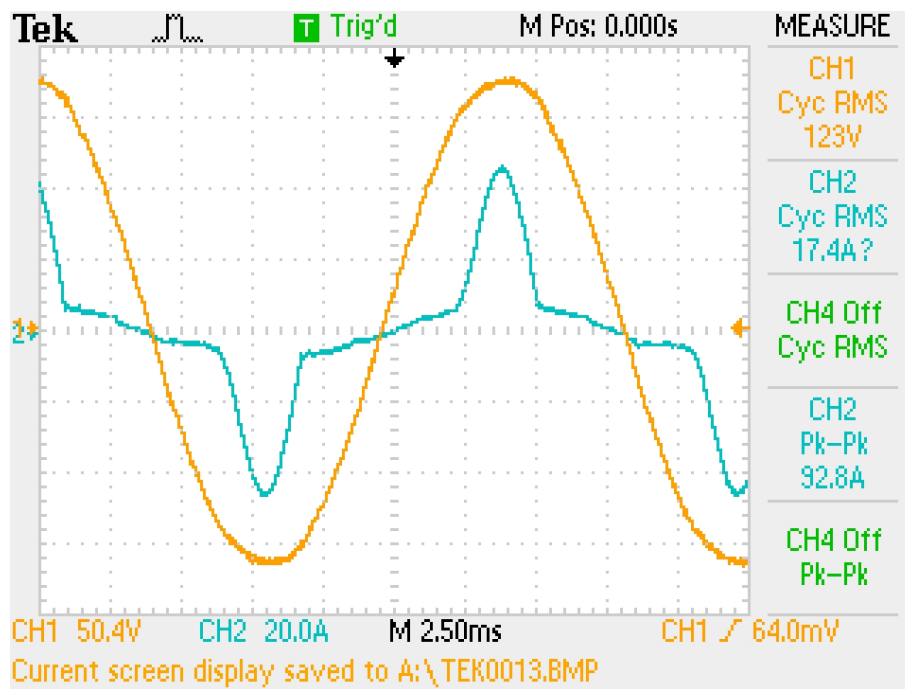


Figura 99: Corrente e tensão de saída sem interface CAN

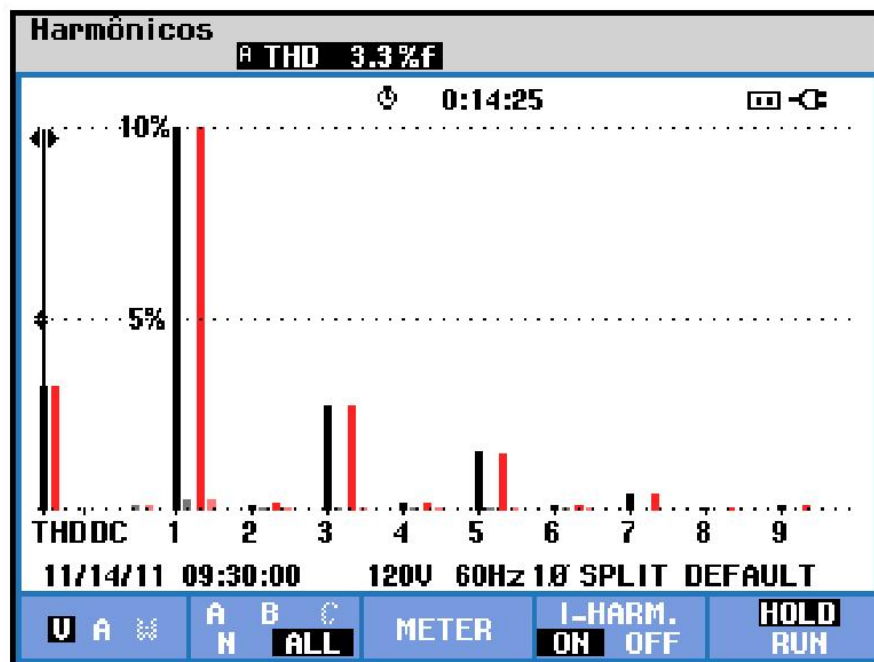
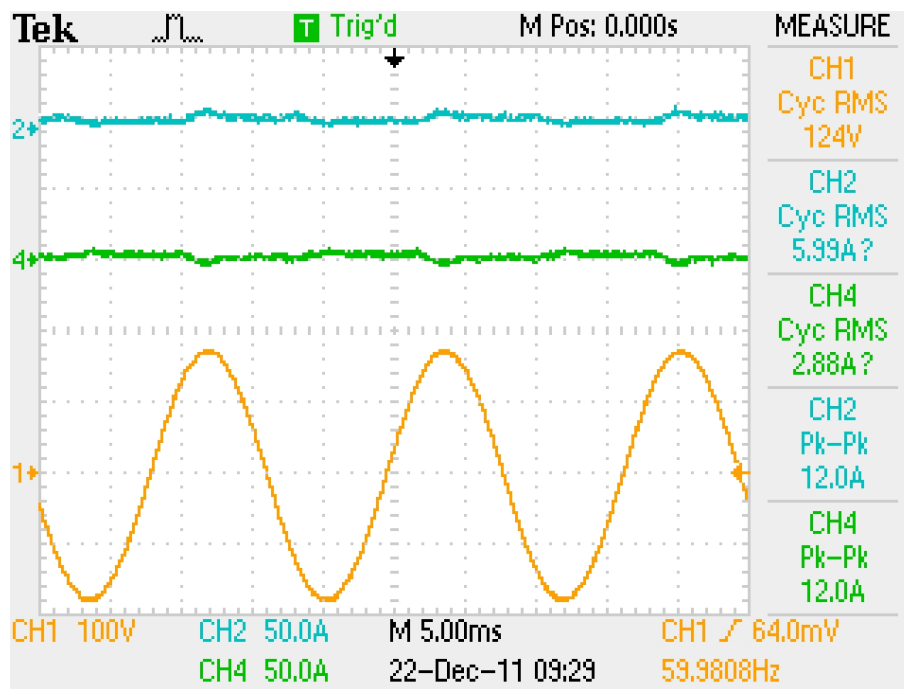


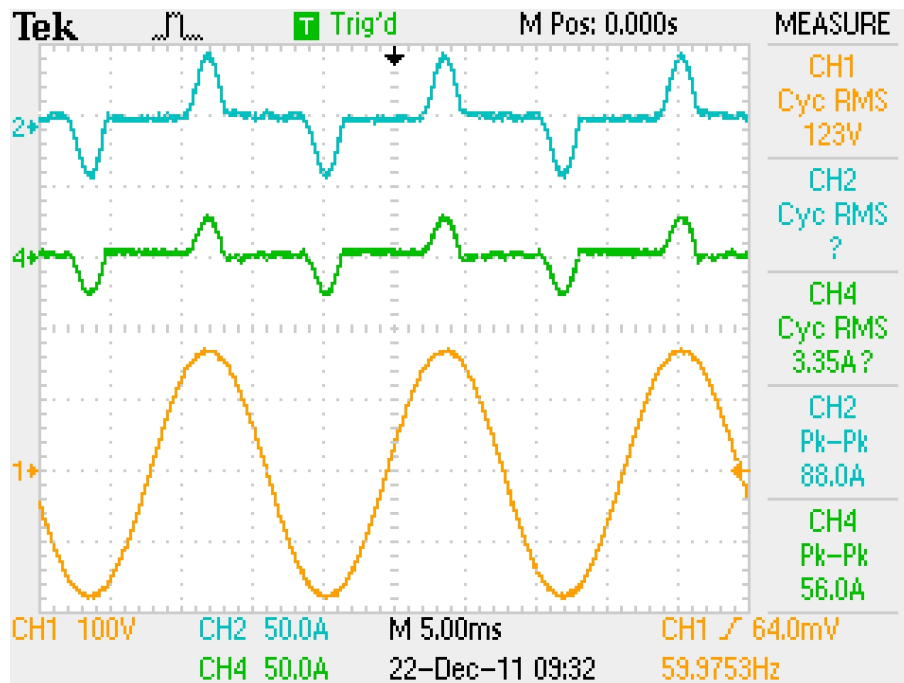
Figura 100: THD de saída sem interface CAN

distorção perceptível e na forma de onda 2 a corrente de saída do inversor com carga não-linear. Já a Figura 100, mostra a THD da tensão de saída de 3,3%, a qual, dependendo da aplicação pode ser considerada alta.

Com a interface CAN conectada, o resultado é bem diferente, como pode ser observado nas Figuras 101 e 102.



**Figura 101:** Corrente de saída com interface CAN



**Figura 102:** Corrente de saída com interface CAN

O resultado visto, nas Figuras 101 e 102, é muito superior ao funcionamento sem interface CAN, diminuindo a potência ativa que circula entre os inversores, devido ao controlador de potência ativa estar operando, enviando e recebendo os valores de potência ativa entre os UPSs pela interface CAN.

Na Figura 101, a corrente é menor que 2 A nas formas de onda 2 e 4, e na Figura 102 a

corrente praticamente não flui de um inversor para o outro, como visto nas formas de onda 2 e 4. Na forma de onda 1 das Figuras 101 e 102, a tensão de saída possui distorção menor do que a forma de onda com a interface CAN desconectada, como na Figura 98.

A resistência virtual variável é 31,25 mΩ no pico da senóide para o inversor de 12 kVA e 46,875 mΩ para o 8 kVA, a qual é muito menor do que a resistência utilizada quando a interface CAN está desconectada. Se esta resistência fosse utilizada com a interface CAN desconectada, a corrente sem carga circulando entre os inversores seria como nas equações (60) e (61).

$$I = \frac{V_{INV1} - V_{INV2}}{R1 + R2} \quad (60)$$

$$I = \frac{123 - 120}{31,25^{-3} + 46,875^{-3}} = 38,4 \text{ A} \quad (61)$$

Como visto nas equações (60) e (61), a diferença de tensão pela somatória das resistências virtuais geraria uma corrente de 38,4 A eficazes, tornando impraticável o funcionamento com esses valores. Com a interface CAN conectada, o controlador de tensão compensa a diferença de tensão, proporcionado que flua corrente apenas para a carga e de maneira compartilhada.

Nas Figuras 103 e 104, pode ser visto o resultados da THD de saída com a interface CAN conectada.

Na Figura 103, é possível ver na forma de onda 1 uma senóide de melhor qualidade, se comparada com a forma de onda obtida com a interface CAN desconectada.

Na Figura 104, é mostrada a THD de saída do inversor, a qual diminuiu de 3,3 % da Figura 100 para, 1,3 %.

### 5.2.3.2 COMPARTILHAMENTO DE POTÊNCIA

O resultado do compartilhamento de potência com carga não-linear, pode ser visto na Figura 105.

Na Figura 105 é possível observar uma corrente de pico de 88 A no UPS de 12 kVA (forma de onda 2) e de 56 A no UPS de 8 kVA (forma de onda 4), sendo então uma carga de 144 A de pico. Como o primeiro UPS tem uma potência nominal de 12 kVA deveria fornecer uma parcela de 60 % para a carga, enquanto que o UPS de 8 kVA forneceria os outros 40%. Esses



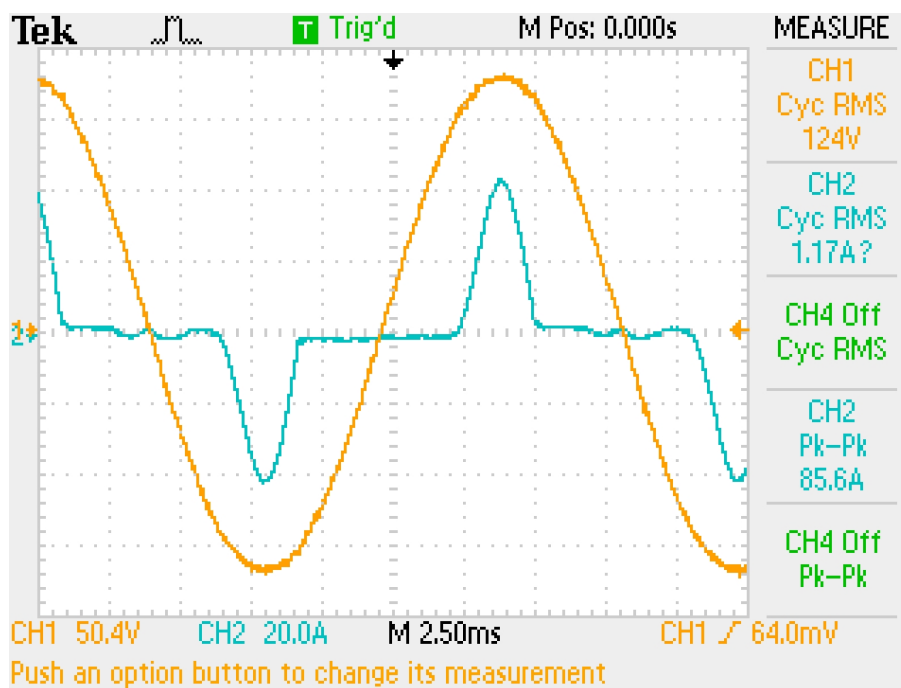


Figura 103: Corrente de saída com interface CAN

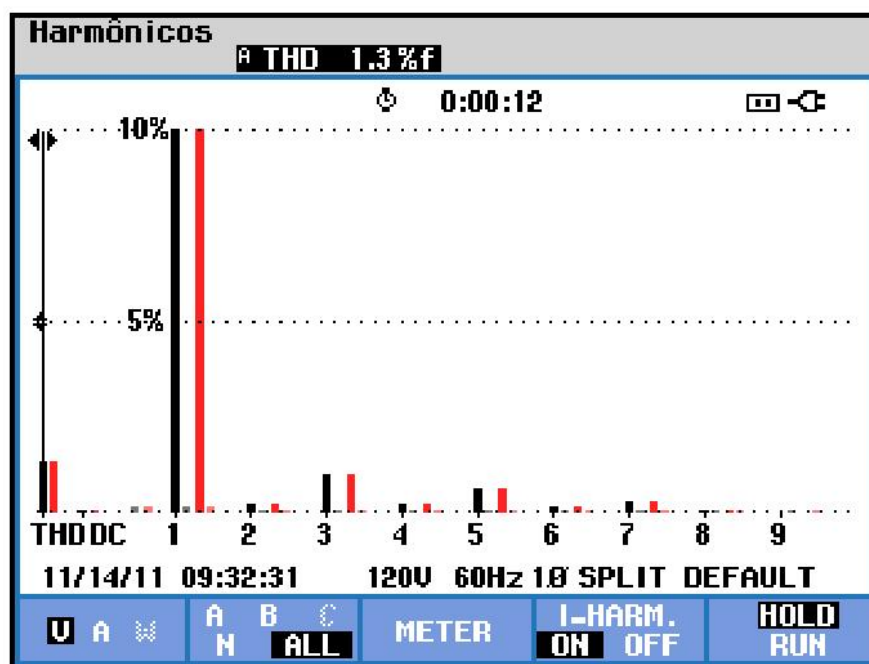
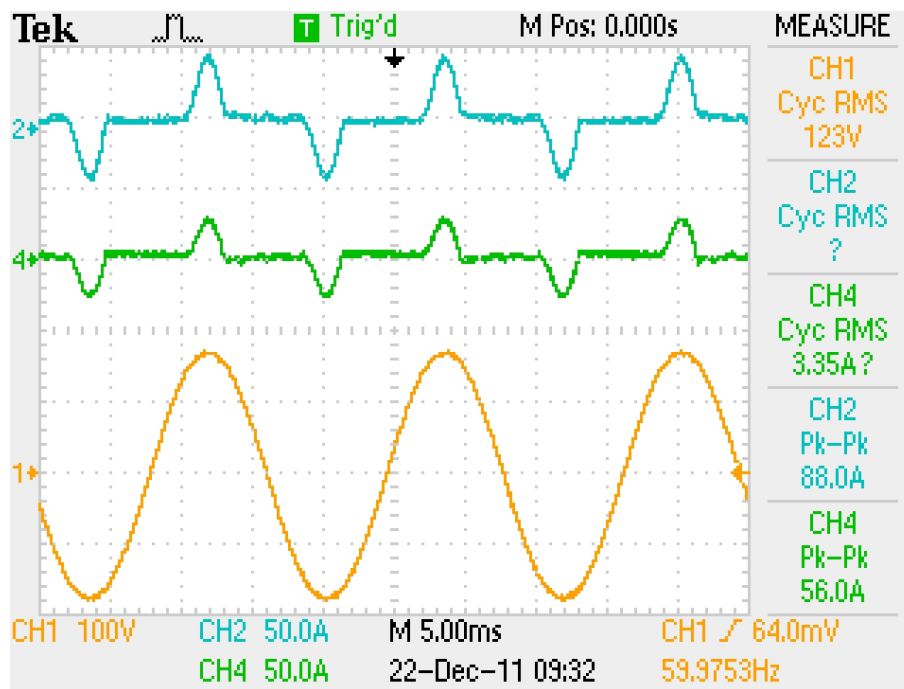


Figura 104: THD de saída com interface CAN

valores percentuais, levam a valores de corrente de 86,4 A para o de 12 kVA e 57,6 A para o de 8 kVA.

Sendo assim, o resultado da Figura 105 leva a concluir que o compartilhamento de potência ativa está adequado e muito próximo do ideal.



**Figura 105:** Inversores alimentando carga não-linear

Além disso, é importante observar na forma de onda 1, que a THD de saída é baixa (1,3 % como visto na Figura 104) e próximo da passagem por zero da tensão, a corrente também é muito próxima de zero, levando-se a concluir que não existe potência reativa circulando entre os inversores, o que demonstra o correto funcionamento dos controladores de tensão e frequência simultaneamente e de maneira estável.

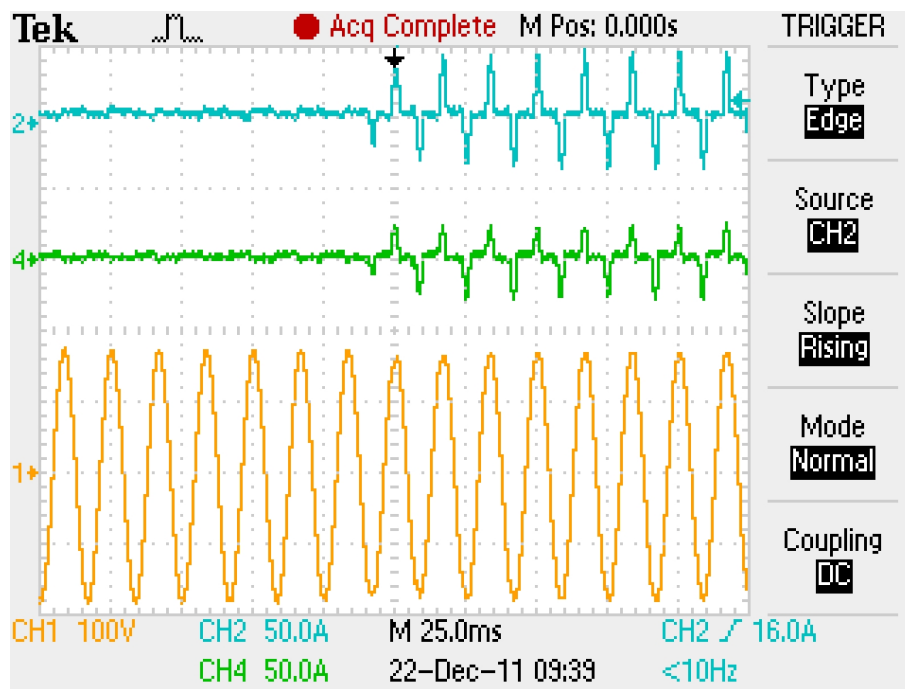
### 5.2.3.3 TRANSITÓRIO DE CARGA

Na Figura 106, pode ser visto um degrau de carga não-linear.

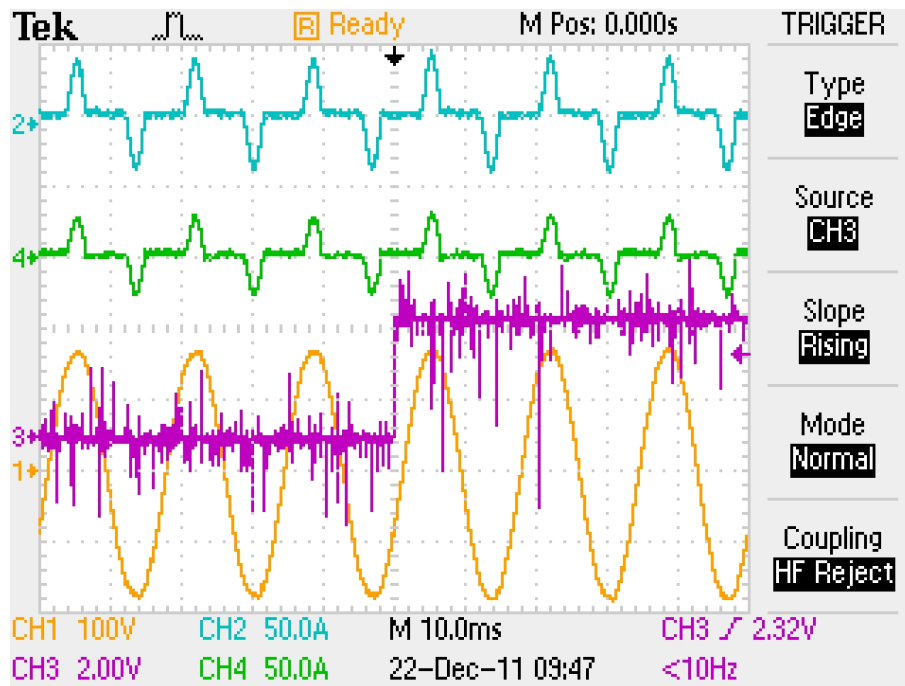
Na Figura 106, pode ser visto na forma de onda 2 e 4, as correntes de saída do 12 kVA e 8 kVA respectivamente e na forma de onda 1 a tensão de saída. É possível observar que já no primeiro ciclo alimentando a carga não linear, a potência ativa já é compartilhada corretamente, sem ocorrer desbalanceamento entre os inversores.

Na Figura 107 pode ser visto o início do funcionamento da interface CAN, como ocorre na recuperação de uma falha.

Na Figura 107 pode ser visto na forma de onda 2 e 4 as correntes de saída do 12 kVA e 8 kVA respectivamente, na forma de onda 1 a tensão de saída e na forma de onda 3 é o sinal de conexão ativa da interface CAN. Pode ser visto que o início do funcionamento da interface CAN ocorre na passagem por zero da senóide. Antes da conexão o compartilhamento de potência já



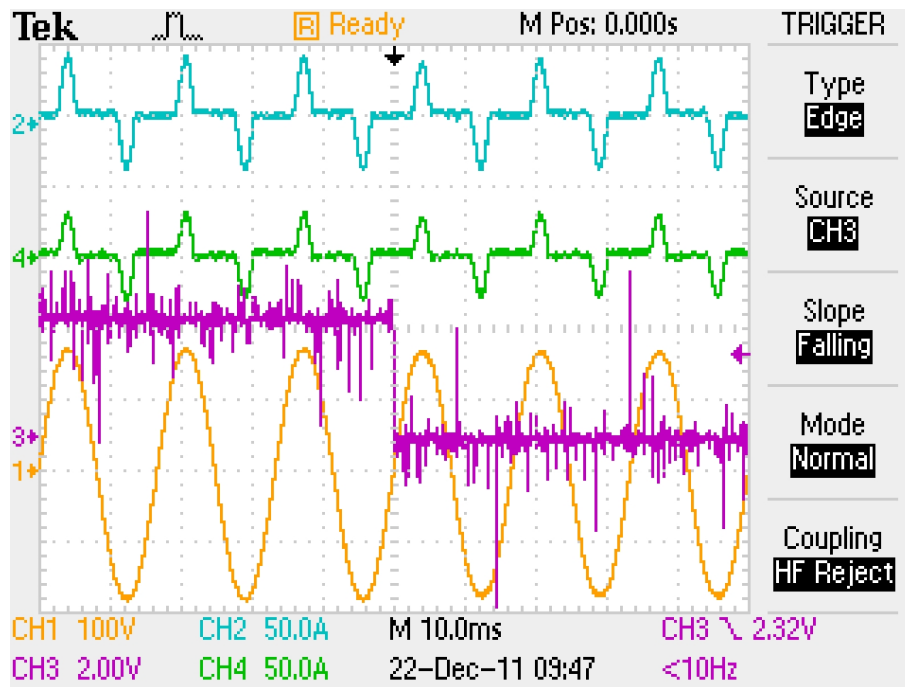
**Figura 106:** Transitório de carga não-linear



**Figura 107:** Conexão da interface CAN

ocorria de forma eficiente, mas com valores mais altos de THD na saída dos inversores. Com a conexão da interface CAN o compartilhamento de potência ativa permaneceu correto com o sistema funcionando de maneira estável.

Na Figura 108 pode ser visto a interrupção do funcionamento da interface CAN, como ocorre em uma falha.



**Figura 108:** Falha da interface CAN

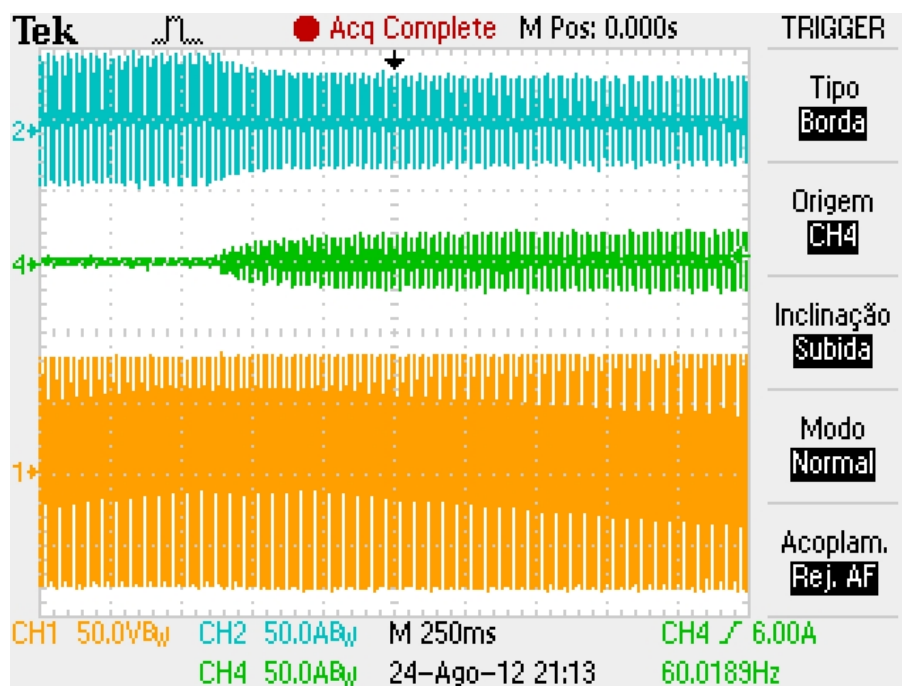
Na Figura 108 pode ser visto na forma de onda 2 e 4 as correntes de saída do 12 kVA e 8 kVA respectivamente, na forma de onda 1 a tensão de saída e na forma de onda 3 é o sinal de conexão ativa da interface CAN. Pode ser percebido que na falha da interface CAN a potência continua a ser compartilhada corretamente, mas ocorrendo uma pequena variação no pico da senóide, devido a resistência virtual estar sendo comutada de variável para constante, o que aumenta a THD de saída, limitando também a capacidade de corrente de pico dos inversores, mas permitindo a continuidade da operação.

Na Figura 109 é mostrado a ativação de um UPS para trabalhar com outro, que já está alimentando a carga.

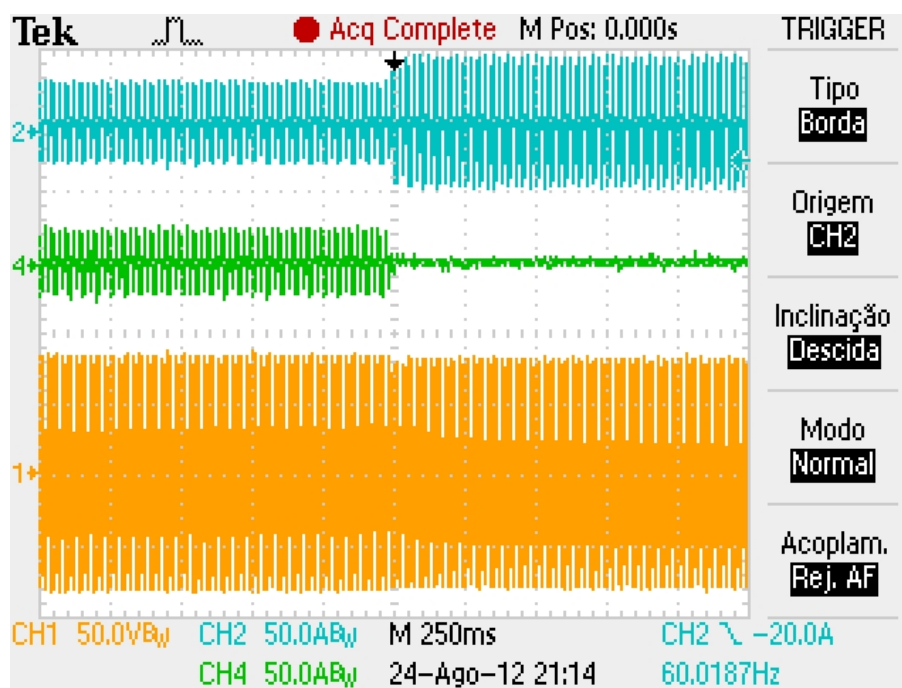
Pode ser visto que na forma de onda 4 (UPS de 8 kVA) existe um aumento suave de corrente, que dura aproximadamente 500 ms, enquanto que na forma de onda 2 (UPS de 12 kVA) a corrente diminui até o segundo UPS assumir uma parcela da carga. Na forma de 1, pode ser vista a tensão de saída, que alimenta a carga, a qual permanece inalterada.

Na Figura 110 é mostrado a desativação de um UPS que estava compartilhando a carga com outro.

Pode ser visto que na forma de onda 4 (UPS de 8 kVA) que existe uma interrupção abrupta da corrente quando este UPS é desligado, enquanto que na forma de onda 2 (UPS de 12 kVA) a corrente aumenta também abruptamente, continuando a alimentar (agora totalmente) a carga. Na forma de 1, pode ser vista a tensão de saída, que alimenta a carga, a qual permanece



**Figura 109:** Inserção de um UPS



**Figura 110:** Retirada de um UPS

praticamente inalterada.

#### 5.2.4 TESTE COM QUATRO UPSs

Para este teste, serão utilizados quatro UPSs, com as configurações da Tabela 13.

	UPS 1	UPS 2	UPS 3	UPS 4
Potência ativa nominal	8400 W	8400 W	5600 W	5600 W
Potência aparente nominal	12000 VA	12000 VA	8000 VA	8000 VA
Resistência virtual máx. ( $r_{MAX}$ )	250 m $\Omega$	250 m $\Omega$	375 m $\Omega$	375 m $\Omega$
Indutor do filtro de saída	600 $\mu$ H	600 $\mu$ H	600 $\mu$ H	600 $\mu$ H
Capacitor do filtro de saída	20 $\mu$ F	20 $\mu$ F	20 $\mu$ F	20 $\mu$ F
Indutor do filtro de entrada	1 mH	1 mH	1 mH	1 mH
Tensão de saída nominal	120 V	120 V	120 V	120 V
Tensão de entrada nominal	220 V	220 V	220 V	220 V
Tensão do barramento CC	400 V	400 V	400 V	400 V
Tensão nominal da bateria	240 V	192 V	192 V	192 V
Controlador	DSC56F8335	DSC56F8335	DSC56F8335	DSC56F8335

**Tabela 13:** Configuração usada para o teste com quatro UPSs

#### 5.2.4.1 FUNCIONAMENTO EM VAZIO SEM COMUNICAÇÃO

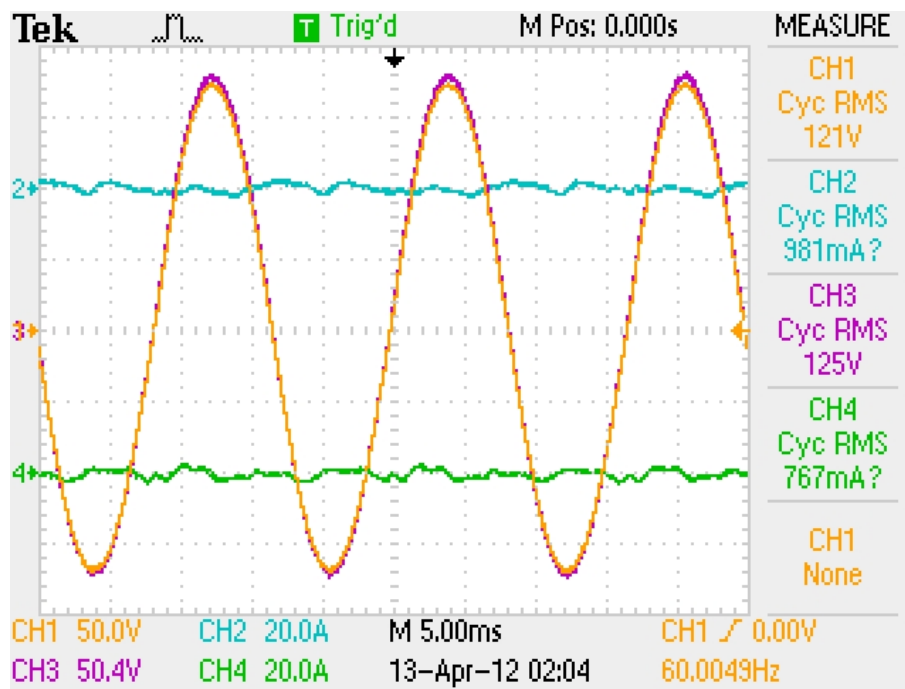
Na Figura 111, pode ser visto o resultado de quatro UPSs conectados em paralelo sem carga e com a interface CAN desconectada.

Como estão em vazio, as formas de onda 1 e 3 das Figuras 111a e 111b, que são as tensões de saída, apresentam baixa distorção, mesmo com as resistências virtuais constantes de 250 m $\Omega$  e 375 m $\Omega$ . As formas de onda 2 e 4, que são as correntes que fluem entre os UPSs, apresentam valores de pico de até 10 A, devido aos inversores dos UPSs não terem sido calibrados e apresentarem diferenças de tensão de até 10 V entre eles.

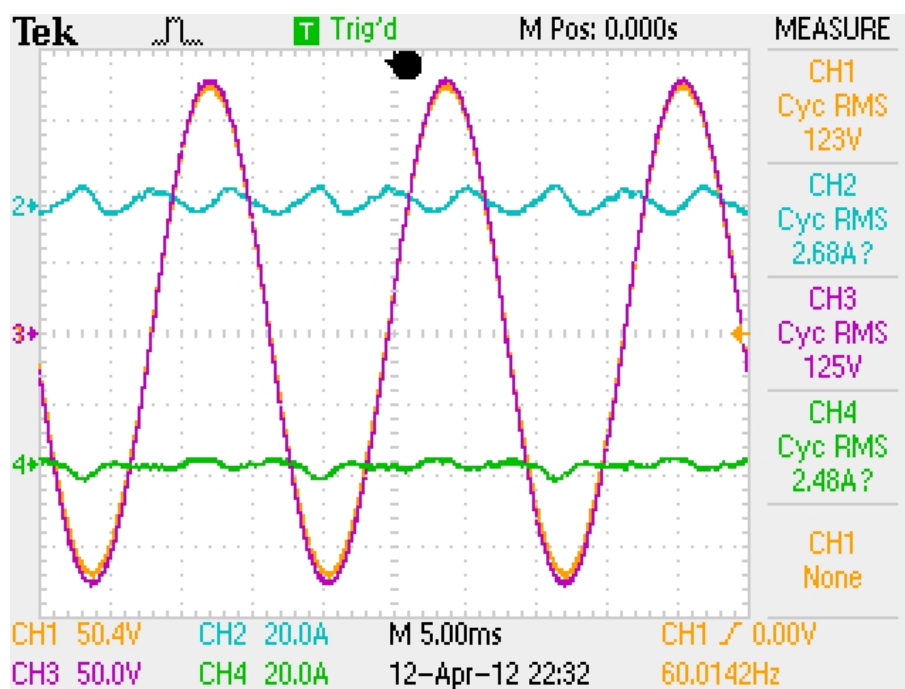
#### 5.2.4.2 FUNCIONAMENTO EM VAZIO COM COMUNICAÇÃO

Na Figura 112, pode ser visto o resultado de quatro UPSs conectados em paralelo sem carga e com a interface CAN conectada.

As formas de onda 1 e 3 das Figuras 112a e 112b, que são as tensões de saída, continuam apresentando baixa distorção. As formas de onda 2 e 4, que são as correntes que fluem entre os UPSs utilizando resistência virtual variável de 31,25 m $\Omega$  e 46,875 m $\Omega$ , são claramente menores do que sem a comunicação CAN, quando utilizam resistência virtual constante de 250 m $\Omega$  e 375 m $\Omega$ .



(a) UPS de 8 kVA



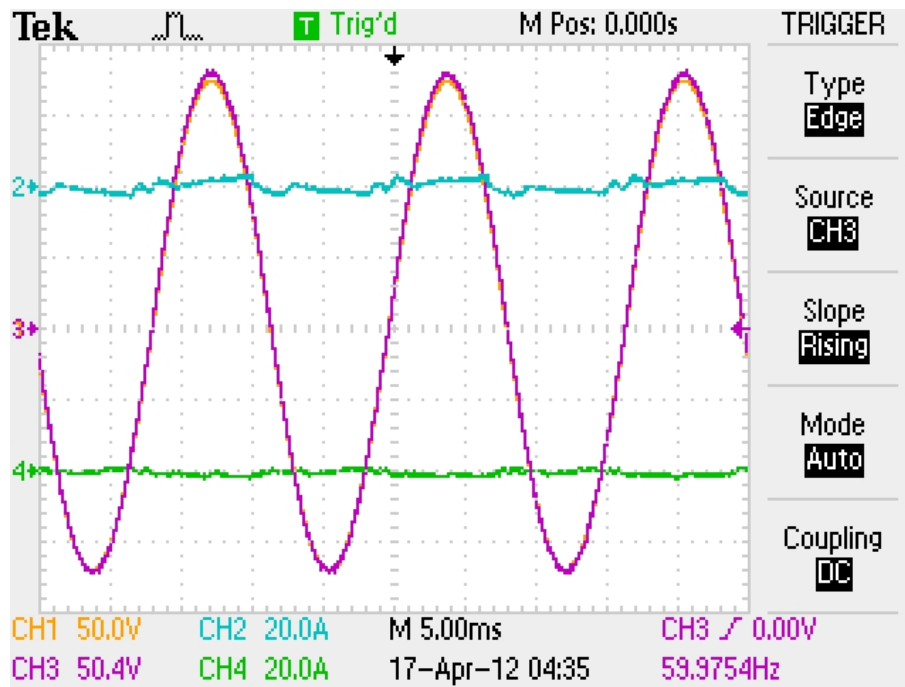
(b) UPS de 12 kVA

**Figura 111:** Funcionamento em vazio sem comunicação

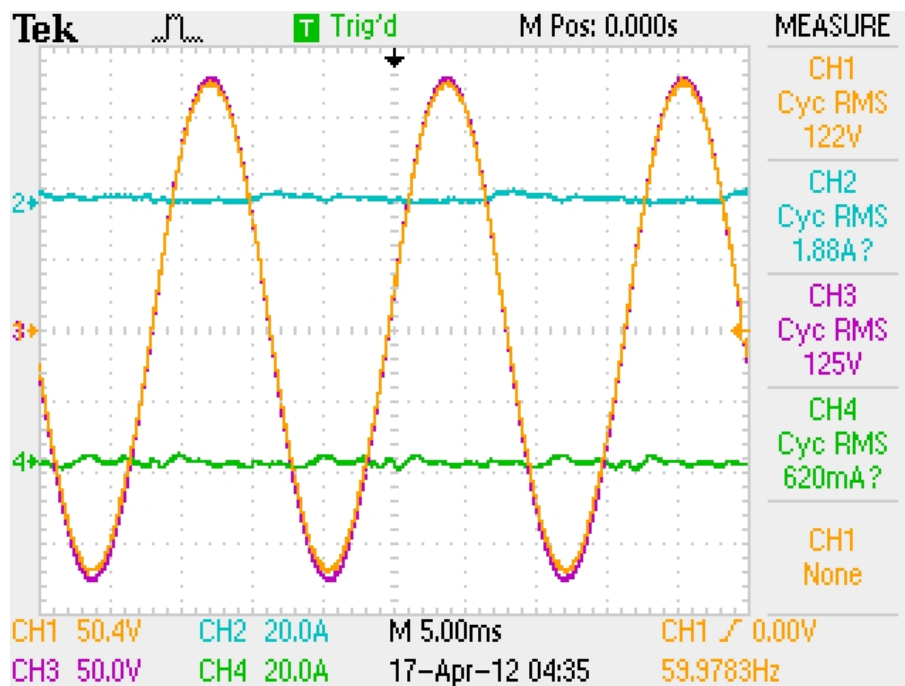
#### 5.2.4.3 COMPARTILHANDO CARGA NÃO-LINEAR SEM COMUNICAÇÃO

Na Figura 113, pode ser visto o resultado de quatro UPSs conectados em paralelo com carga não linear de 3000 W e com a interface CAN desconectada.

As formas de onda 1 e 3 das Figuras 113a e 113b, que são as tensões de saída,



(a) UPS de 8 kVA

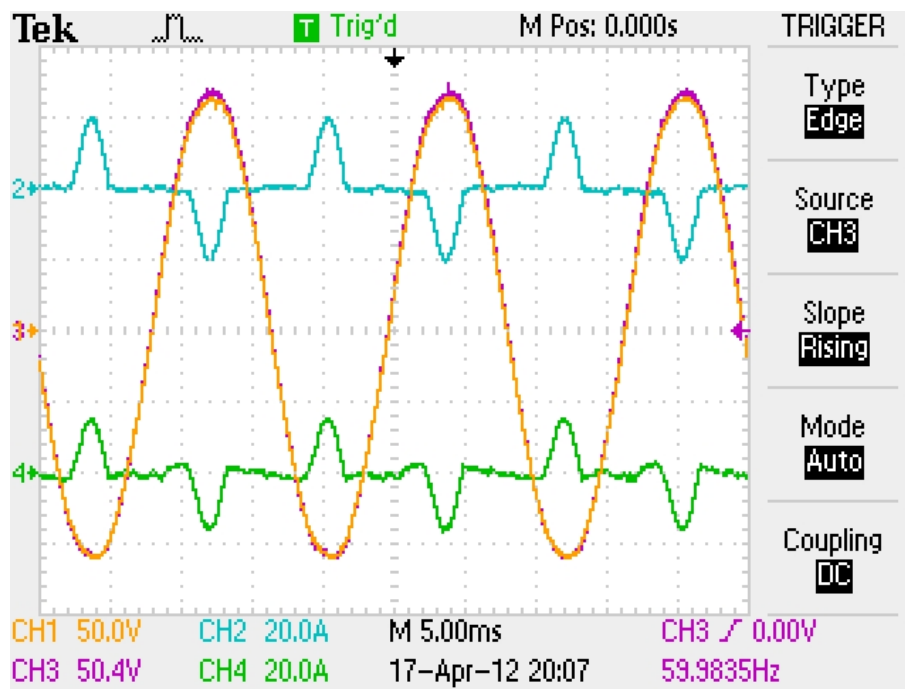


(b) UPS de 12 kVA

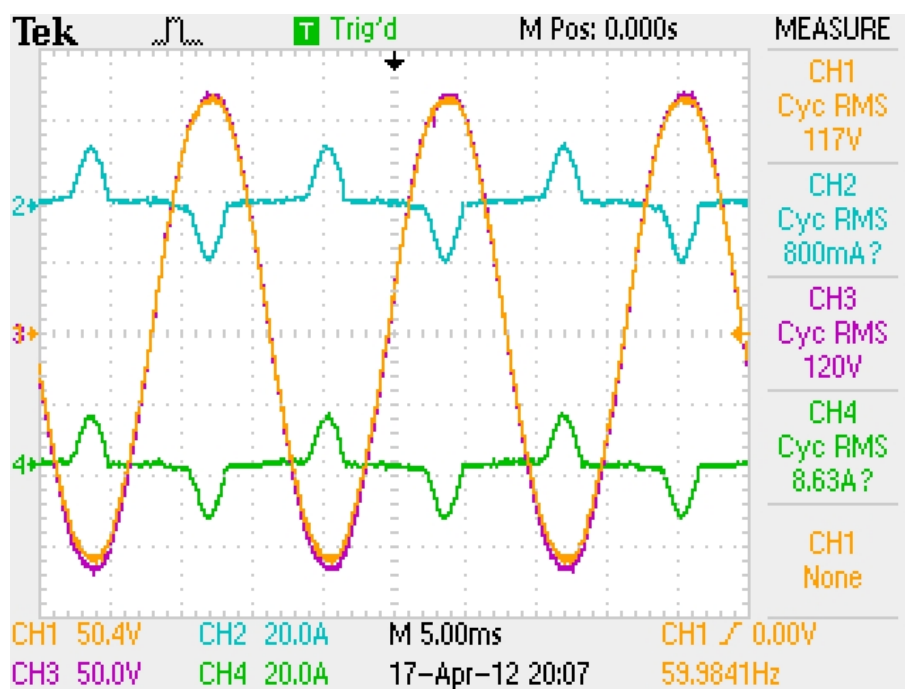
**Figura 112:** Funcionamento em vazio com comunicação

apresentam distorção perceptível, devido a resistência virtual ser constante de 250 mΩ e 375 mΩ. As formas de onda 2 e 4 são as correntes, que indicam que a potência está razoavelmente compartilhada. Ainda assim, principalmente na forma de onda 4 da Figura 113a, pode ser visto que existe corrente senoidal circulando, indicando que existe diferença de tensão nesse inversor.





(a) UPS de 8 kVA



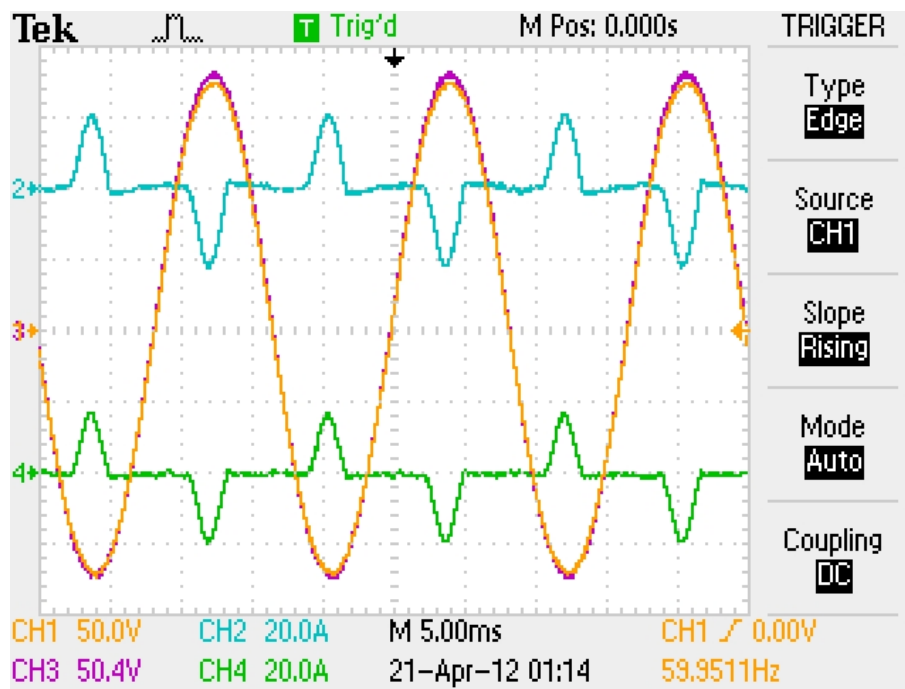
(b) UPS de 12 kVA

**Figura 113:** Compartilhamento sem comunicação

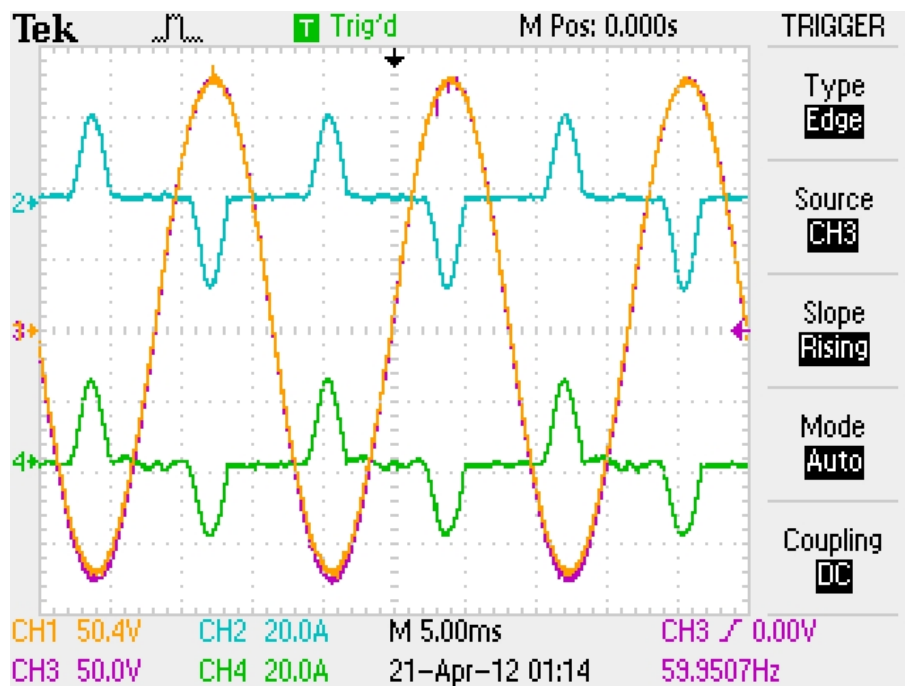
#### 5.2.4.4 COMPARTILHANDO CARGA NÃO-LINEAR COM COMUNICAÇÃO

Na Figura 114, pode ser visto o resultado de quatro UPSs conectados em paralelo com carga não-linear de 3000 W e com a interface CAN conectada.

As formas de onda 1 e 3 das Figuras 114a e 114b, que são as tensões de saída,



(a) UPS de 8 kVA



(b) UPS de 12 kVA

**Figura 114:** Compartilhamento com comunicação

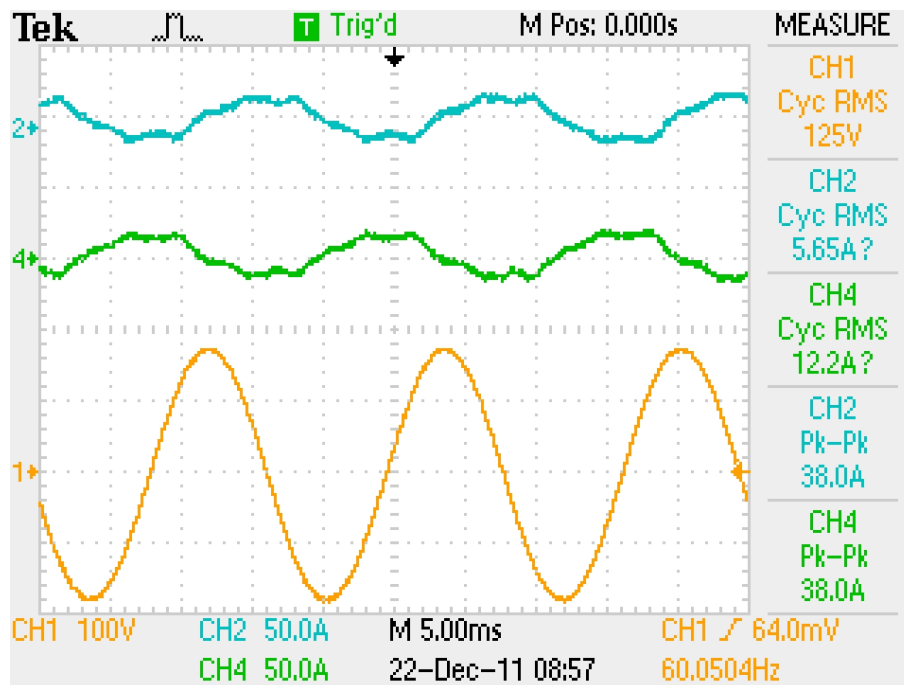
apresentam distorção menor do que com a interface de dados desconectada, devido a resistência virtual variável ser de 31,25 m $\Omega$  e 46,875 m $\Omega$  no pico da senóide. As formas de onda 2 e 4 são as correntes, que indicam que a potência está corretamente compartilhada. Pode ser visto que as formas de onda de corrente da Figura 114a dos inversores de 8 kVA apresentam correntes de 18 A a 20 A e as formas de onda de correntes da Figura 114b dos inversores de 12 kVA,

apresentam correntes de 24 A e 23 A, indicando que mesmo com a redução da redução virtual, o compartilhamento de potência é melhor do que com a interface CAN desconectada.

### 5.2.5 CARGA ELETRÔNICA

Para o teste de carga eletrônica, mantiveram-se as configurações do teste com 2 UPSs, mas sem a diferença de tensão de saída. Além disso, para o teste de carga eletrônica, o UPS que absorve deve estar sempre conectado na rede elétrica para que seja possível absorver potência ativa pelo inversor de saída.

A Figura 115 mostra um UPS servindo de carga reativa para o outro.

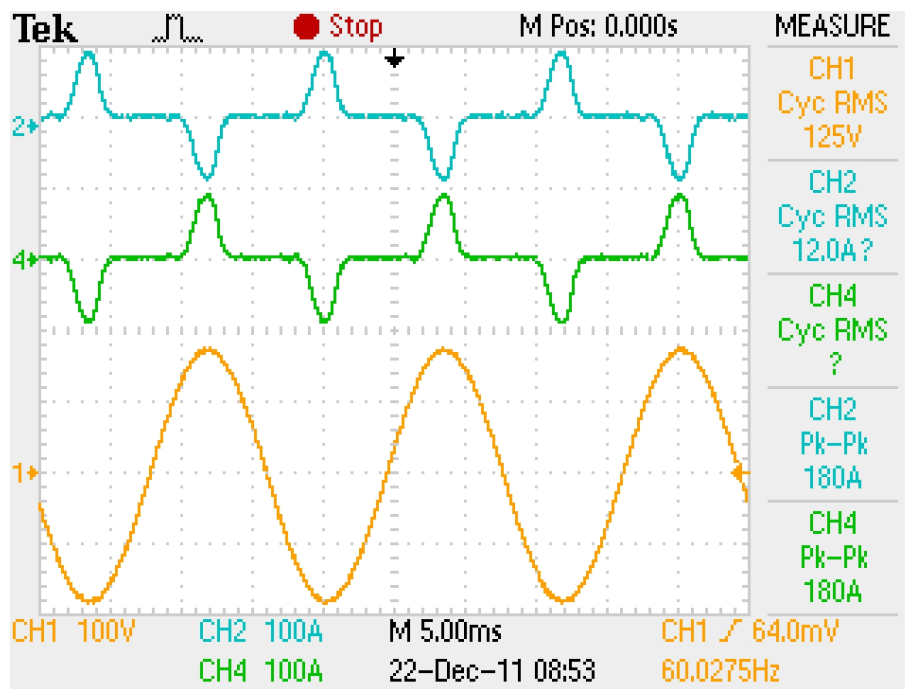


**Figura 115:** Carga eletrônica reativa

Como visto na Figura 115, um inversor age de carga reativa para o outro, circulando as correntes das formas de onda 2 e 4. Para ocorrer isso, apenas a referência de frequência do controle,  $Q_{REF}$ , é alterada para o valor desejado. No caso do primeiro inversor, o valor da  $Q_{REF}$  foi configurado para 2500 VAR e no do segundo, para -2500 VAR, resultando na circulação de 2500 VAR entre os inversores.

Na Figura 116, um inversor atua como carga não-linear para o outro.

Na Figura 116, um inversor trabalha como carga não-linear para o outro, gerando as correntes das formas de onda 2 e 4. Para chegar nessa corrente, a variável *angle*, descrita no projeto da carga eletrônica, foi configurada para 60 pesos, que equivalem a  $60^\circ$  e a variável



**Figura 116:** Carga eletrônica não-linear

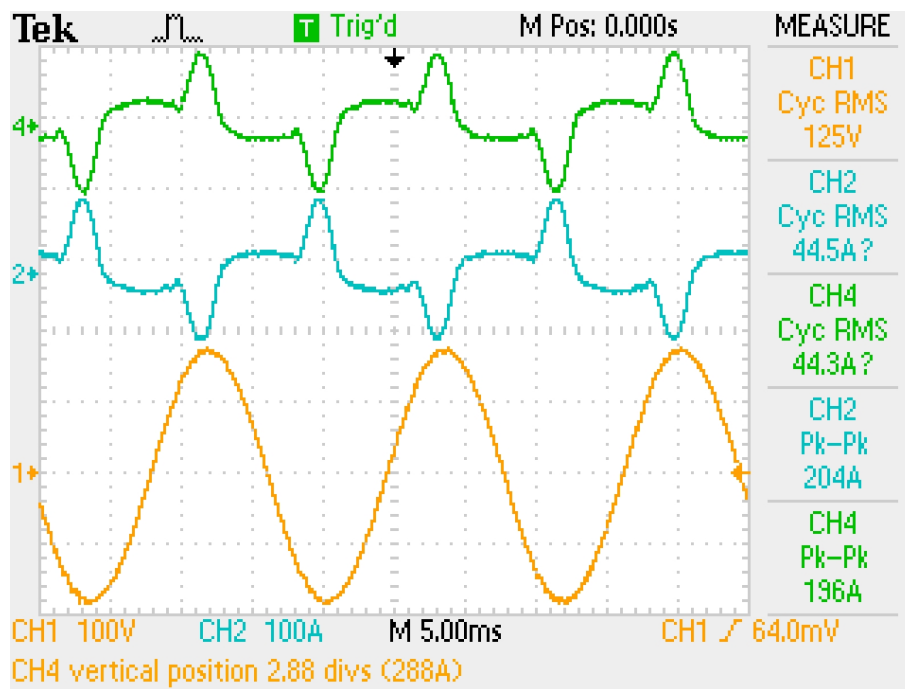
$P_{REF}$  do 12 kVA para -400 e do 8 kVA para 600. Isso significa, que o inversor de 12 kVA absorve 40 % de sua potência nominal e o de 8 kVA fornece 60 %, que, em ambos os casos, resulta em 3360 W. Isso indica que entre os intervalos de  $60^\circ$  a  $120^\circ$  e  $240^\circ$  a  $300^\circ$ , a corrente que resulta na potência de 3360 W circula entre os inversores. Fora desse intervalo, ambos os inversores mantêm suas tensões iguais, com resistência virtual de 250 m $\Omega$  e 375 m $\Omega$ , evitando-se assim, a circulação de corrente indesejada.

Na Figura 117, pode ser visto a carga eletrônica combinada.

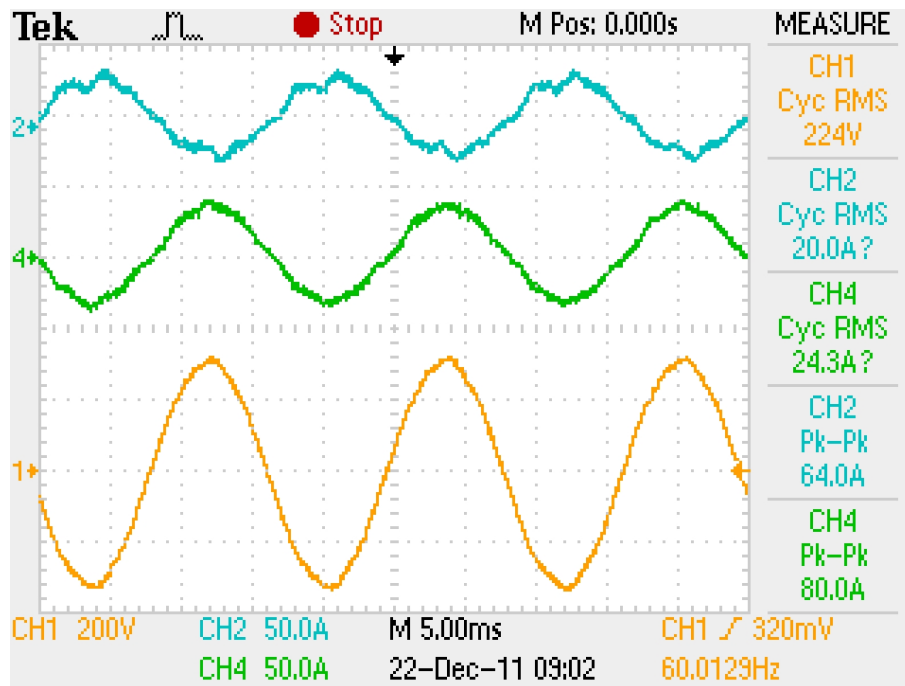
Na Figura 117, as variáveis  $Q_{REF}$ ,  $P_{REF}$  e  $angle$  foram alteradas para proporcionar, ao mesmo tempo, potência reativa e não-linear, circulando entre os inversores, como pode ser concluído observando as correntes das formas de onda 2 e 4. Nesse caso, ambos os inversores possuem suas configurações semelhantes as das Figuras 115 e 116, simultaneamente.

Nas Figuras 118 e 119, pode ser visto as duas correntes e a tensão de entrada dos UPSs trabalhando como carga eletrônica.

Na Figura 118, pode ser observado nas formas de onda 2 e 4, que os UPSs possuem correntes parecidas, mas em oposição de fase em suas entradas. Isso ocorre, devido a forma de onda 2 estar absorvendo potência ativa pela saída e o outro estar fornecendo, demonstrando a capacidade de executar o teste de potência do inversor sem consumir toda a energia da rede elétrica.

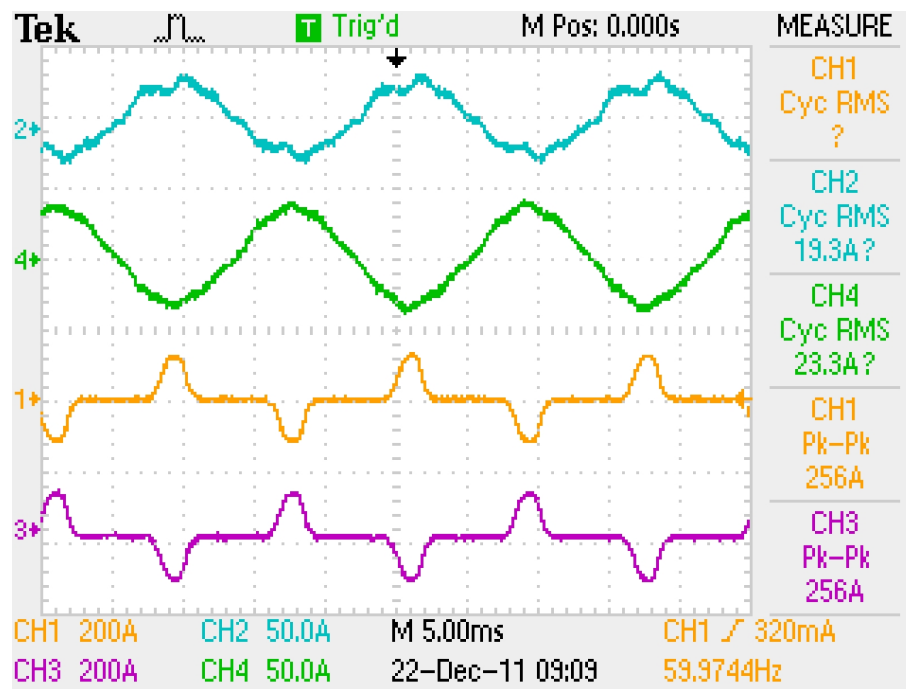


**Figura 117:** Carga eletrônica combinada



**Figura 118:** Entrada do UPS com carga eletrônica não-linear

Na Figura 119, podem ser vistas as duas correntes de entrada nas formas de onda 2 e 4 e duas correntes de saída nas formas de onda 1 e 3 dos UPSs para demonstrar a bidirecionalidade e correção de fator de potência dos UPSs. Mesmo com o funcionamento como carga eletrônica na saída, as correntes de entrada permanecem com formato semelhante a tensão de entrada, caracterizando um fator de potência próximo de unitário.



**Figura 119:** Correntes de entrada e saída com carga eletrônica não-linear

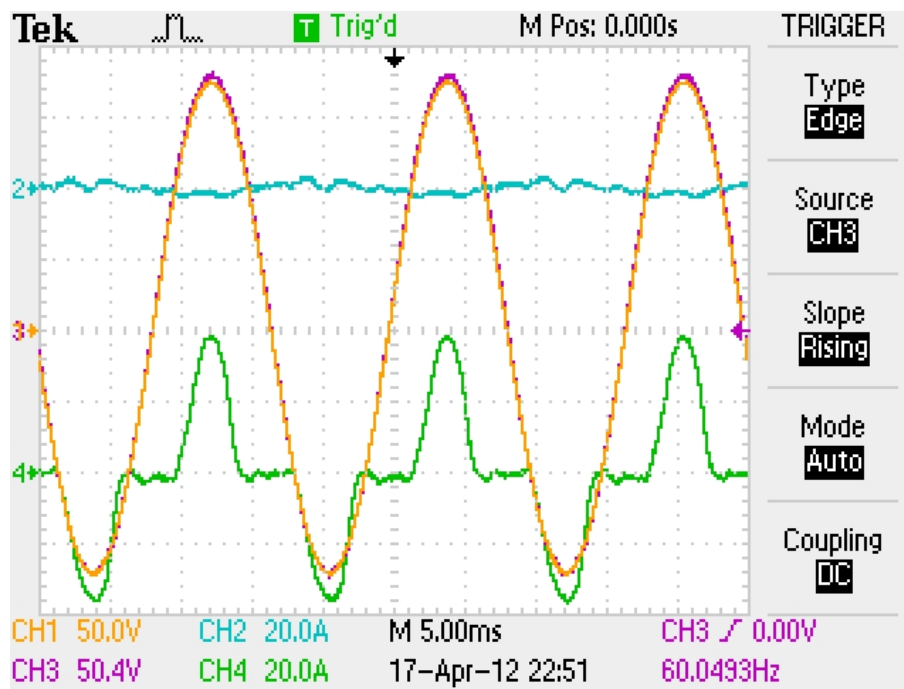
Na Figura 120 pode ser visto o funcionamento da carga eletrônica com 4 UPSs conectados em paralelo. Para este teste, dois UPSs tem a variável  $P_{REF}$  com 0 e outros dois com 30% e -30%, sendo que o propósito é que circule corrente apenas nestes dois últimos. Estes que tem as variáveis para circular corrente, tem a variável  $angle$  com 60, correspondendo a  $60^\circ$ .

Pode ser visto nas formas de onda 4 da Figura 120, que a corrente de 40 A de pico flui de um UPS de 8 kVA (a corrente está em fase com tensão) para outro UPS de 12 kVA (a corrente está defasada em  $180^\circ$ ). Já as formas de onda 2 da Figura 120, que são os dois UPSs que estão configurados para não circular corrente, apenas ficam em paralelo, praticamente não fornecendo e nem absorvendo potência.

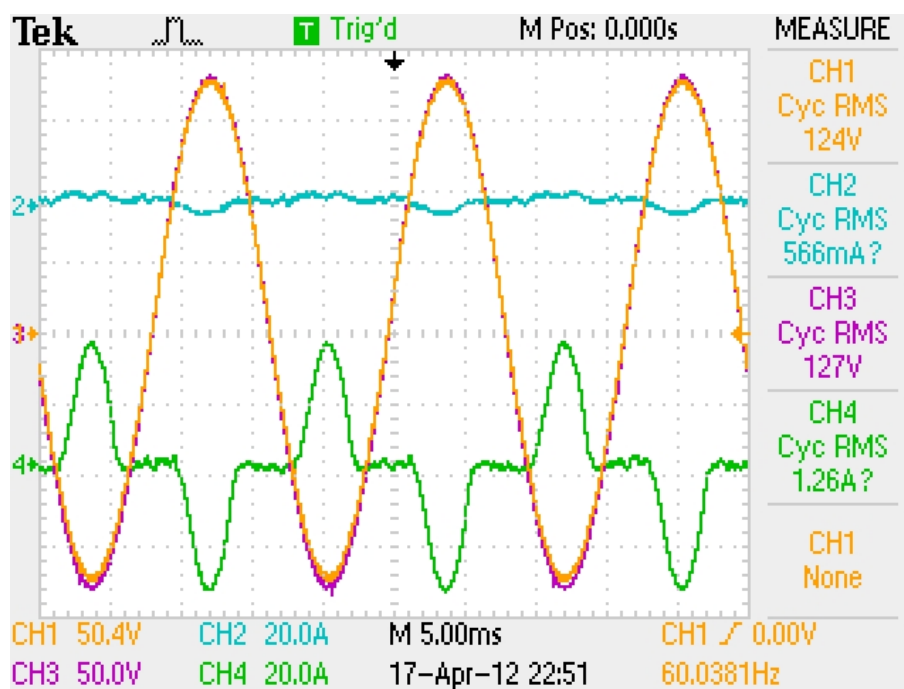
### 5.3 CONCLUSÕES

Com os resultados das simulações foi possível:

- Validar os cálculos de potência ativa e potência não reativa distorcida, que realimentam os controladores;
- Validar os controladores de fase/frequência e tensão, sendo obtida boa estabilidade com os parâmetros de ajuste dos controladores atraso de fase com quatro UPSs conectados simultaneamente;



(a) UPS de 8 kVA



(b) UPS de 12 kVA

**Figura 120:** Carga eletrônica com 4 UPSs

- Verificar a capacidade de correção com desvios de tensão, fase e frequência, que conseguiram convergir para valores toleráveis e com estabilidade;
- Verificar o desempenho dos controladores no transitório de carga não-linear, sendo o compartilhamento de potência ocorreu corretamente nesse momento.

Os resultados das simulações foram considerados satisfatórios, sendo feitos testes experimentais com dois e quatro UPSs conectados simultaneamente:

- Com dois UPSs conectados em paralelo, foi comprovada a eficácia do funcionamento sem a interface CAN. A THD de tensão de saída dos inversores aumentou para 3,3 %, mas o compartilhamento de potência foi aceitável, sendo o comportamento é semelhante ao controlador *droop*, o qual derruba a tensão quando conectado carga;
- Com dois UPSs conectados em paralelo, foi testada a interface CAN. Nessa situação, mesmo com os inversores tendo 3 V de diferença entre eles, a corrente que flui de um para o outro caiu, mesmo com a resistência virtual sendo oito vezes (250 mΩ para 31,25 mΩ) menor no pico da senóide, comprovando o funcionamento correto do controlador de tensão pela interface CAN. Como consequência da menor resistência virtual, a THD diminuiu para 1,3 %;
- A resposta a transitórios de carga foi satisfatória, sendo que o compartilhamento de potência no instante permaneceu inalterado. Foi possível verificar que antes da conexão da carga não-linear praticamente não havia potência fluindo de um inversor para o outro, e após a conexão carga, os inversores forneceram potência de maneira equalizada, de acordo com suas potências nominais;
- Quando o transitório de conexão da comunicação de dados ocorreu, a carga que estava compartilhada de maneira satisfatória permaneceu equalizada, sendo que a THD de saída dos inversores diminuiu, em função da diminuição da resistência virtual, melhorando o desempenho dos inversores;
- Na falha da comunicação de dados, o compartilhamento de potência permanece praticamente inalterado, sendo que apenas a THD de tensão dos inversores aumenta, reduzindo a qualidade da saída um pouco, mas garantindo a confiabilidade do paralelismo dos inversores;
- Com quatro UPSs conectados em paralelo e sem comunicação entre eles, houve circulação de potência entre eles, em virtude de diferenças de tensão que não são compensadas nesse modo. Com quatro UPSs conectados em paralelo e com comunicação de dados operando, a potência que circula entre os inversores caiu para praticamente zero, evidenciando a correção que a interface CAN executa;
- Com quatro UPSs conectados compartilhando potência de uma carga não-linear, o funcionando com comunicação de dados CAN funcionando foi semelhante ao modo o



qual a comunicação opera, diferindo a THD da tensão dos inversores, a qual com a comunicação funcionando é visivelmente menor.

Em relação a carga eletrônica foi possível emular cargas ativas e reativas entre os UPSs, sendo que a potência ativa é na forma de carga não-linear. Também foi possível combinar simultaneamente o tipo de potência, obtendo uma carga eletrônica combinada.

Com quatro UPSs o algoritmo demonstrou que a potência pode ser controlada em cada UPS com precisão, pois foi demandando que um UPS fornecesse para outro, sendo que os outros dois UPSs permaneceram com suas referências de potência iguais a zero. O resultado foi potência ativa circulando apenas entre os UPSs solicitados, sendo que os outros dois permaneceram sem fluxo de potência.

## 6 CONCLUSÕES

Para conectar com segurança os inversores dos UPSs em paralelo, é importante verificar a defasagem entre a saída deste e o barramento de saída. Após checar se a fase está próxima de  $0^\circ$ , o inversor pode ser conectado sem problemas.

Para detectar com eficiência a defasagem, um PLL com um sensor que detecta a oposição de fase foi elaborado. Em um PLL normal, generalizando, o sensor de fase considera apenas a parte real, que é a correlação do sinal de entrada do PLL com uma função cossenoidal. O PLL dessa dissertação calcula a parte imaginária, executando a correlação do sinal de entrada do PLL com uma função senoidal, gerando um sinal imaginário, o qual é positivo se a fase estiver entre  $-90^\circ$  e  $90^\circ$ , passando por  $0^\circ$ . Utilizando a combinação das duas partes foi possível chegar em uma variável complexa, a qual diferencia os ângulos de  $0^\circ$  e  $180^\circ$ .

O controle de fase/frequência foi elaborado em função do embasamento adquirido com as referências, diferindo em dois aspectos principais:

- Foi utilizado um controlador atraso de fase, ao invés de apenas um controlador proporcional para o controlador *droop*, como é mais usual. À medida que vai sendo exigida mais precisão do controlador de fase/frequência, é necessário aumentar o coeficiente, sendo que a estabilidade do sistema pode ser comprometida. Então, para melhorar as possibilidades de ajustes, é utilizado um controlador atraso de fase, que pela característica de não integrar completamente o erro (potência reativa não distorcida, nesse caso), age de maneira semelhante a um filtro passa-baixa, ajudando o controlador a ser mais preciso e estável;
- Para possibilitar a utilização com controlador repetitivo, o indutor do filtro de saída não foi considerado para atenuar a corrente que circularia entre os inversores, e nem um indutor de conexão foi inserido, caso contrário a queda neste faria a THD na tensão de saída aumentar, anulando a qualidade do controlador repetitivo. Para trabalhar com isso, foi utilizada uma resistência virtual na saída dos inversores e a potência reativa não distorcida foi utilizada para executar o controle, diferente do caso com indutor na saída, que usaria

a potência ativa.

O resultado foi um controle de fase/frequência com baixo erro de regime, tanto com o UPS na modo rede quanto no modo bateria, sem diminuir a qualidade da tensão de saída dos inversores, demonstrando a superioridade desse método, se comparando ao uso de indutâncias reativas na saída dos inversores.

O controle de amplitude utilizando CAN também foi elaborado em função do embasamento adquirido com as referências diferindo, porém, em três aspectos principais:

- Foi utilizado um controlador atraso de fase, ao invés de apenas um controlador proporcional, como é mais usual. À medida que vai sendo exigida mais precisão do controlador de tensão, é necessário aumentar o coeficiente, sendo que a estabilidade do sistema pode ser comprometida. Então, para melhorar as possibilidades de ajustes, é utilizado um controlador atraso de fase, que pela característica de não integrar completamente o erro (potência ativa, nesse caso), age de maneira semelhante a um filtro passa-baixa, ajudando o controlador a ser mais preciso e estável;
- Para possibilitar a utilização com controlador repetitivo, o indutor do filtro de saída não foi considerado para atenuar a corrente que circularia entre os inversores, e nem um indutor de conexão foi inserido, caso contrário a queda neste faria a THD na tensão de saída aumentar, anulando a qualidade do controlador repetitivo. Para trabalhar com isso, foi utilizada uma resistência virtual (variável com interface CAN ativa) na saída dos inversores e a potência ativa foi utilizada para executar o controle, diferente do caso com indutor na saída, que usaria a potência reativa não distorcida.
- Ao invés de utilizar um controlador *droop*, foi utilizado um controlador que obtém dados através de uma interface CAN. A comunicação de dados troca entre todos os UPSs os valores de potência ativa para que cada um obtenha o valor médio do sistema. Com esse valor cada inversor controla sua própria amplitude para fornecer uma parcela proporcional de potência para o barramento de saída. Na falha da interface CAN, o controlador entra no modo que aumenta a resistência virtual, se comportando de maneira semelhante a um *droop*, mas mantendo a confiabilidade do sistema.

O método utilizado nesse trabalho se mostrou superior ao utilizado normalmente devido a possibilitar a utilização do controlador repetitivo, proporcionando menor THD à tensão de saída, e a não utilização do controlador *droop*, não derrubando a tensão de saída dos inversores, como seria se este fosse utilizado. Além disso a detecção de falha e comutação

dos valores de resistência virtual funcionaram corretamente, permitindo o funcionamento contínuo dos inversores, garantindo maior confiabilidade.

Como uma carga não-linear típica possui um fator de crista de 3:1, a corrente de pico dos inversores é sempre bem maior que a eficaz. Sendo assim, a resistência virtual foi alterada ao longo da senóide, assumindo valores 8 vezes menor aos  $90^\circ$ , sendo esta a resistência virtual variável. Esse comportamento permitiu utilizar um valor significativo de resistência virtual na passagem por zero da senóide, ajudando a não circular tanta potência reativa ou exigindo mais precisão do controlador de fase/frequência, e não aumentando a THD quando o inversor é utilizado com carga não-linear.

Para que o funcionamento da resistência virtual seja correto, o controlador de amplitude deve estar operando, necessitando da comunicação de dados. Então na falha desta, o valor da resistência virtual foi alterado para ser constante durante todo o ciclo da senóide, permitindo continuar compartilhando corretamente a potência, mesmo na falha da interface CAN.

Com o algoritmo de carga eletrônica foi possível circular potência ativa e reativa entre os UPSs, sendo que os tipos de potência podem ser utilizados separados ou simultaneamente. Além disso, mesmo com quatro UPSs conectados em paralelo, apenas aqueles que foram controlados para fornecer ou absorver potência tiveram potência circulando, sendo que os outros permaneceram em paralelo, mas sem fluxo de potência.

Esse método se mostrou bastante vantajoso para uma linha de teste, pois não dissipa potência na forma de calor, como em uma carga normal.

Para trabalhos posteriores, as sugestões de continuidade de pesquisa são:

- Aumentar de quatro a quantidade de UPSs em paralelo;
- Elaborar uma versão trifásica do algoritmo.

## REFERÊNCIAS

- AKAGI, H.; WATANABE, E. H.; AREDES, M. **Instantaneous power theory and applications to power conditioning**. [S.l.]: Wiley-IEEE Press, 2007. ISBN 9780470107614.
- AZEVEDO, G. M. S. et al. Performance Improvement of the Droop Control for Single-Phase Inverters. **IEEE International Symposium on Industrial Electronics**, v. 2, n. 4, 2011.
- BOTTERÓN, F.; PINHEIRO, H. A three-phase UPS that complies with the standard IEC 62040-3. **IEEE Transactions on Industrial Electronics**, IEEE, v. 54, n. 4, p. 2120–2136, 2007.
- BROECK, H. van der; BOEKE, U. A simple method for parallel operation of inverters. In: **Twentieth International Telecommunications Energy Conference**. [S.l.]: IEEE, 1998. p. 143–150. ISBN 0-7803-5069-3.
- BUSO, S.; MATTAVELLI, P. **Digital control in power electronics**. 2. ed. [S.l.]: Morgan and Claypool Publishers, 2006. 1–158 p. ISSN 1931-9525. ISBN 9781598291124.
- CHEN, L. et al. Circulating current's characteristics analysis and the control strategy of parallel system based on double close-loop controlled VSI. **2004 35th Annual IEEE Power Electronics Specialists Conference**, Ieee, p. 4791–4797, 2004.
- CHENG, Y. J.; SNG, E. K. K. A novel communication strategy for decentralized control of paralleled multi-inverter systems. **IEEE Transactions on Power Electronics**, v. 21, n. 1, p. 148–156, jan. 2006. ISSN 0885-8993.
- CHIANG, H. C. et al. Design and implementation of a hybrid regenerative power system combining grid-tie and uninterruptible power supply functions. **IET Renewable Power Generation**, IET, v. 4, n. 1, p. 85–99, 2010. ISSN 17521416.
- CHIANG, S. J.; YEN, C. Y.; CHANG, K. T. A multimodule parallelable series-connected PWM voltage regulator. **IEEE Transactions on Industrial Electronics**, IEEE, v. 48, n. 3, p. 506–516, jun. 2001. ISSN 02780046.
- CHOI, J.-H. et al. High-performance online UPS using three-leg-type converter. **IEEE Transactions on Industrial Electronics**, IEEE, v. 52, n. 3, p. 889–897, 2005.
- COELHO, E. A. A.; CORTIZO, P. C.; GARCIA, P. F. D. Small-signal stability for parallel-connected inverters in stand-alone AC supply systems. **IEEE Transactions on Industry Applications**, v. 38, n. 2, p. 533–542, 2002. ISSN 00939994.
- De Brabandere, K. et al. A voltage and frequency droop control method for parallel inverters. **2004 35th Annual IEEE Power Electronics Specialists Conference**, IEEE, v. 22, n. 4, p. 1107–1115, 2007.
- ESCOBAR, G. et al. Repetitive-Based Controller for a UPS Inverter to Compensate Unbalance and Harmonic Distortion. **IEEE Transactions on Industrial Electronics**, v. 54, n. 1, p. 504–510, fev. 2007. ISSN 0278-0046.

FILHO, R. M. S. et al. Comparison of three single-phase PLL algorithms for UPS applications. **IEEE Transactions on Industrial Electronics**, IEEE, v. 55, n. 8, p. 2923–2932, 2008.

FOX Electronics. **Resistance Weld Thru-Hole Crystal**. 2009. 1–2 p. Disponível em: <<http://www.foxonline.com/pdfs/hc49SLF.pdf>>.

GUERRERO, J. M.; HANG, L.; UCEDA, J. Control of distributed uninterruptible power supply systems. **IEEE Transactions on Industrial Electronics**, v. 55, n. 8, p. 2845–2859, ago. 2008. ISSN 0278-0046.

GUERRERO, J. M.; MATA, J. Output Impedance Performance for Parallel Operation of UPS Inverters Using Wireless and Average Current-Sharing Controllers. p. 2482–2488, 2004.

GUERRERO, J. M. et al. Decentralized Control for Parallel Operation of Distributed Generation Inverters Using Resistive Output Impedance. **IEEE Transactions on Industrial Electronics**, v. 54, n. 2, p. 994–1004, abr. 2007. ISSN 0278-0046.

GUERRERO, J. M. et al. Wireless-control strategy for parallel operation of distributed-generation inverters. **IEEE Transactions on Industrial Electronics**, v. 53, n. 5, p. 1461–1470, out. 2006. ISSN 0278-0046.

GUERRERO, J. M. et al. Hierarchical control of droop-controlled AC and DC microgrids general approach toward standardization. **IEEE Transactions on Industrial Electronics**, IEEE, v. 58, n. 1, p. 158–172, nov. 2011.

GUERRERO, J. M. et al. A high-performance DSP-controller for parallel operation of online UPS systems. **Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition**, IEEE, v. 1, n. C, p. 463–469, 2004.

GUERRERO, J. M. et al. A Wireless Controller to Enhance Dynamic Performance of Parallel Inverters in Distributed Generation Systems. **IEEE Transactions on Power Electronics**, v. 19, n. 5, p. 1205–1213, set. 2004. ISSN 0885-8993.

GUERRERO, J. M. et al. Output Impedance Design of Parallel-Connected UPS Inverters With Wireless Load-Sharing Control. **IEEE Transactions on Industrial Electronics**, v. 52, n. 4, p. 1126–1135, ago. 2005. ISSN 0278-0046.

GUERRERO, J. M. et al. Output impedance performance for parallel operation of UPS inverters using wireless and average current-sharing controllers. **2004 35th Annual IEEE Power Electronics Specialists Conference**, Ieee, p. 2482–2488, 2004.

GUERRERO, J. M.; VICUÑA, L. G. de; UCEDA, J. Uninterruptible power supply systems provide protection. **IEEE Industrial Electronics Magazine**, IEEE, v. 1, n. 1, p. 28–38, 2007. ISSN 1932-4529.

HASANZADEH, A.; MOKHTARI, H. A simplified droop method implementation in parallel UPS inverters with proportional-resonant controller. **Iranian Journal of Science and Technology, Transaction B, Engineering**, v. 33, n. B2, p. 163–178, 2009.

IWADE, T. et al. A Novell Small-Scale Ups Using a Parallel Redundant Operation System. **Telecommunications Energy Conference, 2003. INTELEC '03. The 25th International**, p. 480 – 484, 2003.

JU, H. et al. Communicationless parallel inverters based on inductor current feedback control. **Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition**, Ieee, p. 1385–1389, fev. 2007. ISSN 1048-2334.

LEE, W.-C. et al. A master and slave control strategy for parallel operation of three-phase UPS systems with different ratings. **Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04.**, Ieee, v. 1, n. C, p. 456–462, 2004.

MARTINS, A. P.; CARVALHO, A. S.; ARAUJO, A. S. Design and implementation of a current controller for the parallel operation of standard UPSs. **Proceedings of IECON '95 - 21st Annual Conference on IEEE Industrial Electronics**, Ieee, v. 1, p. 584–589, 1995.

MCCARTHY, K.; AVELAR, V. **Comparing UPS System Design Configurations**. [S.l.]: Schneider Electric's Data Center Science Center, 2004. 27 p.

PEI, Y. et al. Auto-master-slave control technique of parallel inverters in distributed AC power systems and UPS. In: **2004 IEEE 35th Annual Power Electronics Specialists Conference, 2004. PESC 04**. [S.l.]: IEEE, 2004. v. 3, p. 2050–2053. ISBN 0-7803-8399-0.

RAHMAT, M. K.; JOVANOVIC, S.; LO, K. L. Uninterruptible Power Supply (UPS) system configurations: Reliability comparison. **2010 IEEE International Conference on Power and Energy**, Ieee, p. 835–840, nov. 2010.

SAHOO, L. K. et al. Synchronization and operation of parallel inverters using droop control. **IEEE 8th International Conference on Power Electronics - ECCE Asia**, IEEE, p. 2406–2412, 2011.

SEMICONDUCTOR, F. **MC56F8300 - Peripheral User Manual**. 10. ed. [S.l.]: Freescale semiconductor, 2007. 620 p.

SILVA, S. et al. Performance evaluation of PLL algorithms for single-phase grid-connected systems. In: **Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE**. [S.l.]: IEEE, 2004. v. 4, n. 1, p. 2259–2263. ISBN 0780384865.

SUNNYWAY. **SW1290(12V9.0AH)**. [S.l.]: Shenzen Sunnyway Battery Tech Co.,Ltd., 2012. 1 p.

TAN, J. et al. A novel load sharing control technique for paralleled inverters. **IEEE 34th Annual Conference on Power Electronics Specialist, 2003. PESC '03.**, Ieee, v. 3, p. 1432–1437, 2003.

VASQUEZ, J. et al. Adaptive droop control applied to distributed generation inverters connected to the grid. In: **Industrial Electronics, 2008. ISIE 2008. IEEE International Symposium on**. [S.l.]: IEEE, 2008. p. 2420–2425.

WU, T.-F.; CHEN, Y.-K.; HUANG, Y.-H. 3C strategy for inverters in parallel operation achieving an equal current distribution. **IEEE Transactions on Industrial Electronics**, v. 47, n. 2, p. 273–281, abr. 2000. ISSN 02780046.

XIE, M. et al. A novel controller for parallel operation of inverters based on decomposing of output current. **Fortieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005.**, Ieee, v. 3, p. 1671–1676, 2005.

YEH, C.-C.; MANJREKAR, M. D. A reconfigurable uninterruptible power supply system for multiple power quality applications. **IEEE Transactions on Power Electronics**, IEEE, v. 22, n. 4, p. 1361–1372, 2007.

ZHANG, Y.; MA, H. Theoretical and Experimental Investigation of Networked Control for Parallel Operation of Inverters. **IEEE Transactions on Industrial Electronics**, IEEE, v. 59, n. 99, p. 1–1, 2012.

ZHI-ZHONG, K.; CHUN-JIANG, Z. Analysis of the conflict between close-loop control and the current-sharing of ac parallel inverters and parallel control strategy. **IEEE 6th International Power Electronics and Motion Control Conference**, IEEE, v. 3, p. 368–372, 2009.

ZHONG, Q.-C. Robust droop controller for accurate proportional load sharing among inverters operated in parallel. **IEEE Transactions on Industrial Electronics**, IEEE, n. 99, p. 1–1, 2011.