

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

RICARDO BRANCALIONE MENEGATTI

**CONVERSORES ABAIXADOR SÉRIE-PARALELO
CC-CC E CA-CC A CAPACITOR CHAVEADO**

DISSERTAÇÃO

PATO BRANCO

2021

RICARDO BRANCALIONE MENEGATTI

**CONVERSORES ABAIXADOR SÉRIE-PARALELO
CC-CC E CA-CC A CAPACITOR CHAVEADO**

***SERIES-PARALLEL SWITCHED CAPACITOR STEP-DOWN
DC-DC AND AC-DC CONVERTERS***

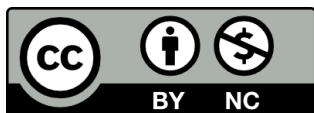
Dissertação apresentada como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica, do Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Tecnológica Federal do Paraná.

Orientador: Prof. Dr. Juliano de Pelegrini Lopes

Coorientador: Prof. Dr. Diogo Ribeiro Vargas

PATO BRANCO

2021



[4.0 Internacional](https://creativecommons.org/licenses/by-nc/4.0/)

Esta licença permite que outros remixem, adaptem e criem a partir do seu trabalho para fins não comerciais e, embora os novos trabalhos tenham de lhe atribuir o devido crédito e não possam ser usados para fins comerciais, os usuários não têm de licenciar esses trabalhos derivados sob os mesmos termos. Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Campus Pato Branco



RICARDO BRANCALIONE MENEGATTI

CONVERSORES ABAIXADOR SÉRIE-PARALELO CC-CC E CA-CC A CAPACITOR CHAVEADO

Trabalho de pesquisa de mestrado apresentado como requisito para obtenção do título de Mestre Em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná (UTFPR). Área de concentração: Sistemas E Processamento De Energia.

Data de aprovação: 20 de Dezembro de 2021

Prof Juliano De Pelegrini Lopes, Doutorado - Universidade Tecnológica Federal do Paraná

Prof Carlos Marcelo De Oliveira Stein, Doutorado - Universidade Tecnológica Federal do Paraná

Prof Kleiton De Moraes Sousa, Doutorado - Universidade Tecnológica Federal do Paraná

Prof Maikel Fernando Menke, Doutorado - Instituto Federal Santa Catarina - Ifsc

Documento gerado pelo Sistema Acadêmico da UTFPR a partir dos dados da Ata de Defesa em 09/03/2022.

AGRADECIMENTOS

Meus sinceros agradecimentos:

À minha família, em especial à minha mãe Idovilde Brancalione Menegatti, pelo carinho, incentivo e total apoio em todos os momentos da minha vida.

Aos meus avós, Antonia Brancalione e Gregório Carlos Brancalione, pelo apoio e exemplo de pessoas que foram e sempre serão para mim.

Ao meu orientador Juliano de Pelegrini Lopes e ao meu coorientador Diogo Vargas, por sua orientação, apoio e confiança.

Aos professores que compõem a banca de avaliação, Carlos Marcelo de Oliveira Stein, Kleiton Moraes Sousa e Maikel Menke, pelos seus comentários e avaliações, os quais contribuíram para o desenvolvimento e aperfeiçoamento desta dissertação.

Ao PPGEE pelo excelente ambiente de estudo e trabalho oferecidos e seus docentes qualificados, e a sua colaboradora Silmara Camargo por seu auxílio e prestatividade.

À todos os professores e colegas do PPGEE, que ajudaram de forma direta e indireta na conclusão deste trabalho.

Enfim, à todos os que de alguma forma contribuíram para a realização dessa dissertação.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001, do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), da Fundação Araucária (FA) e da Financiadora de Estudos e Projetos (FINEP).

RESUMO

MENEGATTI, Ricardo Brancalione. **Conversores Abaixador Série-Paralelo CC-CC e CA-CC a Capacitor Chaveado**. 2021. 154 f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Tecnológica Federal do Paraná. Pato Branco, 2021.

Este trabalho apresenta o estudo do conversor abaixador a capacitor chaveado série-paralelo com ganho estático de tensão de $1/2$. São apresentados os conceitos, as definições e o princípio de funcionamento para esse operando como conversor CC-CC e CA-CC. É apresentada uma proposta de formalização dos modos de operação (modo de condução contínua da corrente nos capacitores chaveados e modo de condução descontínua) para o conversor CC-CC baseada nas etapas de operação do conversor. São apresentadas as principais características, formas de onda e considerações de projeto para os dois modos de condução. Também é apresentada uma metodologia de projeto detalhada, avaliado a regulação da potência de saída do conversor e implementado um protótipo de laboratório CC-CC de 30 W para validar a proposta, com rendimento de $87,90\%$. Além disso, é apresentado o estudo da operação como conversor CA-CC, ou seja, operando na correção do fator de potência para os dois diferentes modos de condução. É projetado e implementado um protótipo de laboratório CA-CC de aproximadamente 43 W utilizando a rede de distribuição de 127 V_{RMS} como fonte de entrada, com rendimento de aproximadamente 80% e fator de potência de $0,79$.

Palavras-chave: Capacitor chaveado. Conversor CA-CC. Fator de potência. Conversor CC-CC.

ABSTRACT

MENEGATTI, Ricardo Brancalione. **Series-Parallel Switched Capacitor Step-Down DC-DC and AC-DC Converters**. 2021. 154 p. Dissertation (Master's Degree in Electrical Engineering) – Universidade Tecnológica Federal do Paraná. Pato Branco, 2021.

This work presents the study of a series-parallel switched capacitor step-down converter with static voltage gain of $1/2$. The concepts, definitions and operating principle as a DC-DC and AC-DC converter are presented. A proposal for the formalization of operating modes (continuous current conduction mode in switched capacitors and discontinuous conduction mode) for the DC-DC converter based on the converter operation steps is presented. Features, waveforms, and design considerations for the two conduction modes are presented. Are also presented a detailed design methodology, evaluated the converter's output power regulation, and implemented a 30 W DC-DC laboratory prototype to validate the proposal, with efficiency of 87,90%. Furthermore, the study of the operation as an AC-DC converter is presented, operating in power factor correction for the two different conduction modes. An approximately 43 W AC-DC laboratory prototype is designed and implemented using the 127 V_{RMS} distribution network as the input source, with an efficiency of approximately 80% and a power factor of 0,79.

Keywords: Switched capacitor. AC-DC converter. Power factor. DC-DC converter.

LISTA DE ILUSTRAÇÕES

Figura 1 – Associações entre os estágios de processamento PFC e PC.	18
Figura 2 – Topologia básica de um circuito a capacitor chaveado.	22
Figura 3 – Topologia do conversor a capacitor chaveado fundamental.	22
Figura 4 – Conversor a capacitor chaveado abaixador série-paralelo com diferentes valores de ganho estático de tensão (dependente da quantidade de células <i>valley-fill</i> inseridas).	24
Figura 5 – Topologia do conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$	25
Figura 6 – Sinais de comando para acionamento das chaves ativas S_1 e S_2	25
Figura 7 – Possíveis formas de onda da corrente nos capacitores chaveados. (a) Modo carga completa. (b) Modo carga parcial. (c) Modo carga nula. Fonte: Adaptado de Ben-Yaakov (2012).	26
Figura 8 – Etapas de operação SCC abaixador série-paralelo, modo de operação 1 ou CCC.	28
Figura 9 – Corrente e tensão nos capacitores chaveados para o modo de operação 1 ou CCC (com maior variação de tensão no capacitor chaveado).	29
Figura 10 – Corrente e tensão nos capacitores chaveados para o modo de operação 1 ou CCC (com menor variação de tensão no capacitor chaveado).	29
Figura 11 – Etapas de operação SCC abaixador série-paralelo, modo de operação 2 ou CDC.	30
Figura 12 – Corrente e tensão nos capacitores chaveados para o modo de operação 2 ou CDC (grande variação de tensão nos capacitores chaveados).	31
Figura 13 – Gráfico da Resistência Equivalente (em azul) em função de β . Fonte: Adaptado de Ben-Yaakov (2012).	32
Figura 14 – Formas de onda da corrente e da tensão na chave S_1 . Fonte: Adaptado de Martins (2013).	34
Figura 15 – Circuito equivalente da primeira etapa de chaveamento ($D_1 \cdot T_s$)	38
Figura 16 – Circuito equivalente da segunda etapa de chaveamento ($(1 - D_1) \cdot T_s$)	38
Figura 17 – Circuitos elétricos médios equivalentes vistos por C_{sw} para as etapas de chaveamento.	39
Figura 18 – Circuitos elétricos médios equivalentes vistos por C_{sw} para as etapas de chaveamento, ambos referidos a corrente $i_2(t)$	40
Figura 19 – Modelo médio equivalente do conversor SCC, com as resistências em função apenas da razão cíclica e da resistência de condução das chaves.	41
Figura 20 – Modelo equivalente simplificado.	42
Figura 21 – Forma de onda da tensão nos capacitores chaveados.	43
Figura 22 – Circuito equivalente para a primeira etapa de chaveamento, S_1 conduzindo.	44
Figura 23 – Circuito equivalente para a segunda etapa de chaveamento, S_2 conduzindo.	45
Figura 24 – Comportamento da Resistência Equivalente (em vermelho) em função da frequência de chaveamento (considerando todos os demais parâmetros como constantes).	47
Figura 25 – Modelo equivalente proposto (com $2 \cdot C_{sw}$) para o conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$	48

Figura 26 – Modelo equivalente para valores médios (sem C_{sw}) para o conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$	49
Figura 27 – Resistência Equivalente em função da capacitância dos capacitores chaveados.	52
Figura 28 – Potência de saída e rendimento em função da resistência de carga.	54
Figura 29 – Potência de saída e rendimento em relação a tensão de entrada.	54
Figura 30 – Potência de saída e rendimento em relação a Resistência Equivalente.	55
Figura 31 – Potência de saída e Resistência Equivalente em relação a razão cíclica D_1	56
Figura 32 – Potência de saída e Resistência Equivalente em relação a capacitância C_{sw}	57
Figura 33 – Corrente nas chaves S_1 (em vermelho) e S_2 (em azul). (a) para $C_{sw} = 470 \mu F$ (b) para $C_{sw} = 5 \mu F$	58
Figura 34 – Potência de saída e Resistência Equivalente em relação a frequência de chaveamento.	58
Figura 35 – Circuito <i>driver</i> de topologia <i>push-pull</i> utilizado para acionamento das chaves MOSFETs do protótipo de laboratório.	59
Figura 36 – Resultado do analisador de energia para valores nominais de projeto.	60
Figura 37 – Tensão da chave S_1 (Canal 1) e tensão da chave S_2 (Canal 2).	61
Figura 38 – Tensões do diodo d_1 (Canal 1), do diodo d_{2a} (Canal 2) e do diodo d_{2b} (Canal 3).	61
Figura 39 – Resultados práticos da potência de saída em função da tensão de entrada.	62
Figura 40 – Resultados práticos da potência de saída em função da resistência de carga.	62
Figura 41 – Resultados práticos do rendimento em função da tensão de entrada (em vermelho) e da resistência de carga (em azul).	63
Figura 42 – Protótipo de laboratório do SCC CC-CC.	63
Figura 43 – Resultado da simulação da corrente de entrada do SCC durante o transitório de partida.	64
Figura 44 – Diagrama de blocos para o circuito integrado IR2110. Fonte: IR (2007).	65
Figura 45 – Curva característica, corrente de dreno, I_D , em função da tensão de <i>gate-source</i> , V_{GS} , para o MOSFET IRF540. Fonte: IR (2003).	66
Figura 46 – Tensão (superior, em azul) e corrente (inferior, em vermelho) nos capacitores chaveados do SCC CC-CC operando como CDC. Destaque para momento em que $v_{C_{sw}}(D_1 \cdot T_s) = V_i/2$ e $i_{C_{sw}}(D_1 \cdot T_s) = 0 A$	69
Figura 47 – Fluxograma do funcionamento do <i>script</i> para cálculo do valor de capacitância crítica.	70
Figura 48 – Forma de onda de tensão (superior, azul) e corrente (inferior, vermelho) nos capacitores chaveados para o conversor operando em modo CDC.	73
Figura 49 – Conversor SCC abaixador série-paralelo com entrada CA.	76
Figura 50 – SCC CA-CC rede conectada.	77
Figura 51 – SCC CA-CC rede desconectada.	78
Figura 52 – Formas de onda para o conversor SCC CA-CC. (Superior, $100 V$ por divisão) Tensão de entrada (vermelho) e tensão nos capacitores chaveados (azul). (Inferior, $500 A$ por divisão) Corrente de entrada (laranja).	79
Figura 53 – Formas de onda de tensão (em azul) e corrente (em vermelho) da rede elétrica para os três valores de capacitância definidos.	81

Figura 54 – Tensão (em azul) e potência de saída (em preto) do conversor para os três valores de capacitância definidos.	82
Figura 55 – SCC abaixador série paralelo CA-CC.	85
Figura 56 – Modelo equivalente para LED. (a) Diodo emissor de luz, LED. (b) Modelo clássico: resistência e fonte de tensão. (c) Resistência equivalente de todo o conjunto de LEDs.	88
Figura 57 – Comparação das correntes de entrada dos circuitos. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	93
Figura 58 – Comparação das tensões de saída dos circuitos. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	94
Figura 59 – Resposta das correntes de entrada para uma variação de tensão positiva na rede elétrica em $t = 0,54 \text{ s}$. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	95
Figura 60 – Resposta das tensões de saída para uma variação de tensão positiva na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	95
Figura 61 – Resposta das correntes de entrada para uma variação de tensão negativa na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	96
Figura 62 – Comparação das correntes de entrada dos circuitos após a retomada de condução do retificador. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	97
Figura 63 – Resposta das tensões de saída para uma variação de tensão negativa na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).	98
Figura 64 – Circuito de referência para projeto do filtro LC.	101
Figura 65 – Circuito sem o filtro LC	104
Figura 66 – Circuito com o capacitor antes do retificador, resultando em ressonância.	104
Figura 67 – Circuito com o capacitor depois do retificador	105
Figura 68 – Circuito SCC CA-CC com filtro LC.	105
Figura 69 – Gráfico Rendimento x PF para todas as capacitâncias e fatores de amortecimento considerados. Em vermelho $C_{sw} = 4,7 \mu\text{F}$, em azul $C_{sw} = 47 \mu\text{F}$, em verde $C_{sw} = 470 \mu\text{F}$ e em rosa $C_{sw} = 4700 \mu\text{F}$	108
Figura 70 – Resultado obtidos no analisador de energia para o protótipo CA-CC. Tensão da rede (amarelo), corrente da rede (verde), tensão de saída (rosa) e corrente de saída (azul).	114
Figura 71 – Distorção na rede elétrica. Tensão da rede elétrica (Canal 1), tensão de saída (Canal 2) FFT (Modo Matemático).	115
Figura 72 – Tensão (Canal 1) e corrente (Canal 4) da rede elétrica e potência instantânea (Modo Matemático) da entrada do circuito. Também é apresentada a tensão de saída (Canal 2).	116
Figura 73 – Aproximação visual na tensão (Canal 1) e na corrente (Canal 4) de entrada do circuito.	116

Figura 74 – Tensão (Canal 1) e corrente (Canal 4) da rede elétrica e potência instantânea (Modo Matemático) da saída do circuito. Também é apresentada a tensão de saída (Canal 2).	117
Figura 75 – Apresentação do modo de condução, modo CCC, do conversor. Tensão de saída do retificador dividida por dois (Modo Matemático), tensão no capacitor chaveado (Canal 3) e tensão de saída (Canal 2).	118
Figura 76 – Tensões na chave S_1 (Canal 1) e na chave S_2 (Canal 2).	118
Figura 77 – Chave S_1 . Tensão (Canal 2), corrente (Canal 4) e potência instantânea (Modo Matemático).	119
Figura 78 – Chave S_2 . Tensão (Canal 2), corrente (Canal 4) e potência instantânea (Modo Matemático).	120
Figura 79 – Funcionamento do circuito retificador. Tensão da rede (Canal 1), tensão de saída do retificador (Canal 2) e corrente da rede (Canal 4).	120
Figura 80 – Corrente da rede elétrica.	121
Figura 81 – Corrente de entrada com variação do capacitor do filtro LC	121
Figura 82 – Relação das potências estimadas em simulação para o SCC CA-CC como PFC.	124
Figura 83 – Protótipo de laboratório do SCC CA-CC (no circuito ainda encontram-se os capacitores eletrolíticos do filtro LC de entrada, que posteriormente foram substituídos por capacitores de filme).	124

LISTA DE TABELAS

Tabela 1 – Comparação de características do SCC operando nos modos 1 (CCC) e 2 (CDC).	31
Tabela 2 – Principais parâmetros dos dielétricos mais comuns utilizados em capacitores.	36
Tabela 3 – Esforços de tensão e corrente, em regime permanente, nos semicondutores.	50
Tabela 4 – Esforços sobre as chaves ativas.	51
Tabela 5 – Parâmetros do projeto exemplo de SCC CC-CC em modo CCC.	51
Tabela 6 – Componentes do protótipo.	59
Tabela 7 – Parâmetros utilizados no SCC CC-CC em modo CDC.	72
Tabela 8 – Resultados do conversor operando em modo CDC, com capacitores chaveados de 15 μF	73
Tabela 9 – Principais parâmetros utilizados para a simulação do SCC como PFC.	80
Tabela 10 – Resumo dos resultados obtidos em simulação do SCC como CA-CC.	83
Tabela 11 – Parâmetros iniciais para projeto do SCC CA-CC.	86
Tabela 12 – Parâmetros finais para projeto do SCC CA-CC.	91
Tabela 13 – Resultados da simulação computacional do SCC CA-CC projetado.	92
Tabela 14 – Comparação dos resultados entre o SCC e o modelo equivalente proposto para capacitores chaveados de 470 μF	99
Tabela 15 – Comparação dos resultados entre o SCC e o modelo equivalente proposto para capacitores chaveados de 47 μF	99
Tabela 16 – Resistência equivalente vista pela rede elétrica para diferentes valores de C_{sw}	103
Tabela 17 – Valores de capacitância e indutância do filtro LC conforme valores de C_{sw} e ϵ	103
Tabela 18 – Resultados de simulação para $C_{sw} = 4,7 \mu F$	106
Tabela 19 – Resultados de simulação para $C_{sw} = 47 \mu F$	106
Tabela 20 – Resultados de simulação para $C_{sw} = 470 \mu F$	106
Tabela 21 – Resultados de simulação para $C_{sw} = 4700 \mu F$	106
Tabela 22 – Opções restantes após a aplicação dos critérios para implementação.	109
Tabela 23 – Comparação dos resultados de simulação computacional para cálculo do filtro LC.	110
Tabela 24 – Comparação dos resultados de simulação computacional.	111
Tabela 25 – Principais parâmetros e componentes do protótipo SCC CA-CC como PFC.	112
Tabela 26 – Principais parâmetros e componentes do projeto do indutor para o filtro LC.	113
Tabela 27 – Resumo dos resultados experimentais.	122
Tabela 28 – Resultados de simulação computacional após o aumento da tensão de entrada.	123
Tabela 29 – Estimativa de potência média nos principais elementos do SCC CA-CC.	123
Tabela 30 – Comparação dos resultados de simulação computacional com filtro LC.	152

LISTA DE ABREVIATURAS, SIGLAS E ACRÔNIMOS

SIGLAS

ANEEL	Agência Nacional de Energia Elétrica
CA	Corrente Alternada
CC	Corrente Contínua
CCC	Condução Contínua da Corrente nos capacitores chaveados
CDC	Condução Descontínua da Corrente nos capacitores chaveados
DPF	Fator de Potência de Deslocamento (<i>Displacement Power Factor</i>)
EMI	Interferência Eletromagnética (<i>Electromagnetic Interference</i>)
FET	Transistor de Efeito de Campo (<i>Field Effect Transistor</i>)
FFT	Transformada Rápida de Fourier (<i>Fast Fourier Transform</i>)
IC	Circuito Integrado (<i>Integrated Circuit</i>)
IEC	Comissão Eletrotécnica Internacional (<i>International Electrotechnical Commission</i>)
LED	Diodo Emissor de Luz (<i>Lighting Emitting Diode</i>)
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor (<i>Metal Oxide Semiconductor Field Effect Transistor</i>)
PC	Controle de Potência (<i>Power Control</i>)
PF	Fator de Potência (<i>Power Factor</i>)
PFC	Correção do Fator de Potência (<i>Power Factor Correction</i>)
PFD	Fator de Potência de Distorção (<i>Distortion Power Factor</i>)
PRODIST	Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional
PWM	Modulação de Largura de Pulso (<i>Pulse Width Modulation</i>)
SC	Capacitor Chaveado (<i>Switched Capacitor</i>)
SCC	Conversor a Capacitor Chaveado (<i>Switched Capacitor Converter</i>)
THD	Distorção Harmônica Total (<i>Total Harmonic Distortion</i>)

SUMÁRIO

1	INTRODUÇÃO	15
1.1	CONVERTOR ESTÁTICO CA-CC	16
1.2	REQUISITOS DO CONVERTOR ESTÁTICO CA-CC	19
1.3	OBJETIVOS	20
1.4	ORGANIZAÇÃO DO TRABALHO	21
2	CONVERTOR CC-CC A CAPACITOR CHAVEADO ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2 .	22
2.1	TOPOLOGIA DO SCC CC-CC ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2	25
2.2	MODOS DE OPERAÇÃO DO CONVERTOR A CAPACITOR CHAVEADO SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2	25
2.2.1	Modo de operação 1: Condução contínua da corrente nos capacitores chaveados	27
2.2.2	Modo de operação 2: Condução descontínua da corrente nos capacitores chaveados	28
2.2.3	Comparativo entre os modos de operação	30
2.3	MODOS DE OPERAÇÃO NA LITERATURA	31
2.4	TECNOLOGIA DE CAPACITORES	33
2.5	CONCLUSÕES PARCIAIS	35
3	PROJETO DO CONVERTOR CC-CC SCC PARA OPERAÇÃO NO MODO DE CONDUÇÃO CONTÍNUA DE CORRENTE	37
3.1	MODELO MÉDIO EQUIVALENTE	37
3.1.1	Modelos médios na literatura	41
3.2	RESISTÊNCIA EQUIVALENTE SIMPLIFICADA	41
3.3	RESISTÊNCIA EQUIVALENTE	43
3.3.1	Primeira etapa: Chave S_1 conduzindo e chave S_2 bloqueada (carga dos capacitores chaveados associados em série)	44
3.3.2	Segunda etapa: Chave S_1 bloqueada e chave S_2 conduzindo (descarga dos capacitores chaveados associados em paralelo)	44
3.4	PRINCIPAIS EQUAÇÕES DO SCC CC-CC	48
3.5	PROJETO E CONSIDERAÇÕES SOBRE A REGULAÇÃO DE POTÊNCIA DE SAÍDA DO CONVERTOR	49
3.5.1	Exemplo de projeto	50
3.6	REGULAÇÃO DE POTÊNCIA DE SAÍDA	53
3.6.1	Resistência de carga	53
3.6.2	Tensão de entrada	54
3.6.3	Resistência Equivalente	55
3.6.3.1	Razão cíclica	56
3.6.3.2	Capacitância	56
3.6.3.3	Frequência de chaveamento	57
3.7	IMPLEMENTAÇÃO E RESULTADOS	59
3.7.1	Resultado experimentais	60

3.7.1.1	Regulação da potência de saída	61
3.8	TRANSITÓRIO DE PARTIDA	64
3.8.1	Questões do <i>driver</i> para as chaves ativas	65
3.9	CONCLUSÕES PARCIAIS	66
4	PROJETO DO CONVERSOR CC-CC SCC PARA OPERAÇÃO NO MODO DE CONDUÇÃO DESCONTÍNUA DE CORRENTE	68
4.1	OPERAÇÃO EM MODO CDC	68
4.2	EQUAÇÕES DE PROJETO	72
4.3	CONCLUSÕES PARCIAIS	74
5	CONVERSOR CA-CC A CAPACITOR CHAVEADO ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2	75
5.1	CONVERSOR A CAPACITOR CHAVEADO ATUANDO COMO PFC NA LITERATURA	75
5.2	CONVERSOR SCC CA-CC ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2	76
5.3	CONVERSOR A CAPACITOR CHAVEADO CA-CC OPERANDO EM CCC	77
5.3.1	Tensão da rede elétrica retificada conectada ao conversor	77
5.3.2	Tensão da rede elétrica retificada desconectada do conversor	77
5.3.3	Formas de onda para o SCC CA-CC	78
5.4	DIFERENÇA ENTRE OS MODOS DE CONDUÇÃO DO SCC CA-CC.	79
5.4.1	Simulações dos modos de condução CCC e CDC para SCC CA-CC	80
5.5	CONCLUSÕES PARCIAIS	83
6	PROJETO DO SCC CA-CC OPERANDO NO MODO DE CONDUÇÃO CONTÍNUA DE CORRENTE	85
6.1	METODOLOGIA E EXEMPLO DE PROJETO	85
6.1.1	Semicondutores de potência	86
6.1.2	Capacitores chaveados	87
6.1.3	Capacitância de saída	87
6.1.4	Modelagem do conjunto de LEDs em uma carga resistiva	88
6.2	VALIDAÇÃO DO PROJETO POR SIMULAÇÃO COMPUTACIONAL	91
6.2.1	Comparação por simulação computacional dos modelos equivalentes apresentados	92
6.2.1.1	Sem variação na tensão de entrada	93
6.2.1.2	Variação positiva na tensão de entrada	94
6.2.1.3	Variação negativa na tensão de entrada	96
6.2.1.4	Resumo dos resultados obtidos para os modelos equivalentes	97
6.2.2	Resultados numéricos de simulação para o modelo equivalente proposto	98
6.2.2.1	Simulação com capacitância de 470 μF	98
6.2.2.2	Simulação com capacitância de 47 μF	99
6.2.2.3	Resumo da validação do modelo equivalente proposto	100
6.3	FILTRO DE ENTRADA PARA ATUAÇÃO DO CONVERSOR COMO PFC	100
6.3.1	Equações do filtro LC	101

6.3.2	Projeto do filtro LC	102
6.3.3	Posição do filtro LC	103
6.3.4	Simulações do SCC CA-CC com filtro LC	105
6.3.5	Tensão de saída	107
6.3.6	Fator de potência e rendimento	107
6.3.7	Influência das não idealidades para projeto do filtro LC de entrada . . .	109
6.4	IMPLEMENTAÇÃO DO PROTÓTIPO EM LABORATÓRIO .	111
6.4.1	Resultados experimentais	113
6.4.2	Estimativa das perdas nos componentes por simulação computacional .	122
6.5	CONCLUSÕES PARCIAIS	125
7	CONCLUSÃO	126
7.1	TRABALHOS FUTUROS	128
7.2	PUBLICAÇÕES DURANTE O PERÍODO DO MESTRADO . .	129
	REFERÊNCIAS	130
	APÊNDICES	134
	APÊNDICE A – SCRIPT EM PYTHON	135
	APÊNDICE B – PROJETO DO INDUTOR DO FILTRO LC	150
	ANEXO	153
	ANEXO A – MODELOS SPICE DOS SEMICONDUTORES UTILIZADOS EM SIMULAÇÃO	154
A.1	MOSFET IRF540	154
A.2	DIODO MUR1620	154

1 INTRODUÇÃO

O aumento da demanda por energia elétrica da sociedade moderna esbarra no limite da geração de energia. Uma abordagem que pode ser utilizada é o melhor aproveitamento da energia elétrica disponível. Dentre as possíveis soluções encontra-se a eletrônica de potência, que pode ser definida como a tecnologia associada com a conversão eficiente, controle e processamento de potência elétrica por meio de componentes eletrônicos de uma fonte disponível na entrada para uma saída desejada. Entre os principais objetivos da eletrônica de potência estão o aumento do rendimento e da densidade de potência do circuito eletrônico. Além disso, a eletrônica de potência atua também na qualidade da energia elétrica (HART, 2010; ERICKSON; MAKSIMOVIC, 2001).

A transferência de potência elétrica de uma fonte para uma carga pode ser controlada, por exemplo, pela variação da tensão de alimentação (com o uso de um transformador variável) ou pela inserção de um circuito regulador como um reostato, um regulador linear ou um conversor chaveado. O reostato é uma resistência variável que regula o fluxo de potência do circuito por meio da dissipação de potência sobre tal. O regulador linear é um regulador de tensão baseado em um dispositivo ativo (tal como um transistor de junção bipolar, um Transistor de Efeito de Campo (*Field Effect Transistor*, FET), ou uma válvula termiônica) que opera em sua região linear (região ativa), ou dispositivos como os diodos Zener, operados em sua região de ruptura reversa (*breakdown region*). O dispositivo de regulação é utilizado para agir como uma resistência variável, ajustando continuamente uma rede divisora de tensão para manter uma tensão de saída constante (BOYLESTAD; NASHELSKY, 2004). Ambos reguladores apresentam baixa eficiência, isso ocorre, pois o controle da potência entregue à carga é realizado modificando-se a resistência série (ou paralela) do circuito, assim aumentando as perdas, dissipando a potência elétrica em forma de calor (MALVINO; BATES, 2015).

Conversor chaveado é um termo utilizado para designar circuitos de eletrônica de potência que controlam o fluxo de potência elétrica entre uma fonte de energia elétrica e uma carga, operando na mudança da magnitude da tensão elétrica e/ou da forma de onda atual da fonte de energia elétrica por meio de uma sequência de comutações de interruptores estáticos (chaves semicondutoras de potência ou chaves ativas) (MOHAN *et al.*, 1995). De outro modo, pode-se dizer que os conversores chaveados fazem um interfaceamento

entre a fonte de energia e a carga, adequando os níveis/formas de tensão ou corrente da fonte para a carga. Esses dispositivos são compostos de elementos passivos (*e.g.* resistores, capacitores e indutores) e elementos ativos (*e.g.* diodos, tiristores e transistores) (BARBI, 2006). Em contraste ao regulador linear, o conversor chaveado é baseado num dispositivo ativo forçado a agir na região de saturação (condução) ou corte (bloqueio), ou seja, como uma chave liga/desliga (por isso o termo chaveado), fazendo com que as perdas sejam significativamente reduzidas (MOHAN *et al.*, 1995).

Os conversores chaveados começaram a ser desenvolvidos na década de 1960. O objetivo era substituir os conversores regulados convencionais, do tipo linear, que são volumosos, pesados e dissipativos, por conversores chaveados, compactos e de alto rendimento. Com o avanço da microeletrônica e com a necessidade cada vez maior de se produzir equipamentos compactos e de baixo consumo, os conversores chaveados começaram a ser empregados generalizadamente (MARTINS; BARBI, 2006).

Os conversores chaveados, também chamados de conversores estáticos de potência, podem ser classificados pelas características de entrada e saída, podendo essas serem em CA (Corrente Alternada) ou em CC (Corrente Contínua), resultando em quatro combinações: CA-CA, CA-CC, CC-CA e CC-CC. Alguns circuitos podem operar de modo bidirecional, variando a direção do fluxo de potência no circuito. O processamento da energia pode ser um processo de várias etapas, envolvendo mais de um tipo de conversor. Outra maneira de classificar os conversores é em relação ao seu ganho estático, podendo ser elevadores, abaixadores ou conversores que podem operar das duas maneiras, dependendo do seu projeto (HART, 2010).

1.1 CONVERSOR ESTÁTICO CA-CC

Grande parte dos equipamentos eletrônicos e eletroeletrônicos, tanto no setor industrial quanto no setor residencial, são cargas do tipo CC. Apesar da possibilidade da utilização de fontes de energia CC (*e.g.* baterias e painéis solares), muitos desses equipamentos utilizam a rede de distribuição elétrica (CA) como fonte de alimentação. Assim, nessas aplicações é necessário um circuito eletrônico que adéque o nível e formato (CA para CC) da tensão/corrente da fonte à carga.

Um conversor estático conectado a rede elétrica pode ser dividido, basicamente, em três estágios de processamento: um circuito retificador, um circuito para Correção

do Fator de Potência (*Power Factor Correction*, PFC) e um circuito para Controle de Potência (*Power Control*, PC).

- i. **Retificador:** O objetivo do circuito retificador é transformar a tensão CA da rede elétrica em tensão CC. O retificador, de onda completa, mais comumente empregado utiliza quatro diodos em uma configuração em ponte completa.
- ii. **PFC:** O circuito PFC tem como objetivo elevar o Fator de Potência (*Power Factor*, PF). O PFC pode ser realizada de forma passiva ou ativa.

Os circuitos passivos de PFC são estruturas constituídas por indutores, capacitores e/ou resistores, que atuam como um filtro passa-baixas, filtrando o conteúdo harmônico gerado pelo chaveamento em alta frequência do conversor, assim diminuindo a Distorção Harmônica Total (*Total Harmonic Distortion*, THD) da corrente de entrada. Esse tipo de correção é muito utilizada em aplicações de alta potência devido ao baixo custo e a baixa complexidade em relação a correção ativa. Apesar de ser um circuito simples em construção e projeto, robusto, de baixo custo e não necessitar de controle, apresenta desvantagens como o volume dos componentes, possibilidade de ressonância com o sistema e a operação dependente da impedância da rede. O volume dos componentes se agrava em circuitos com frequência de corte muito baixa, como a da rede elétrica retificada (*e.g.* 120 Hz no Brasil), dependendo da potência exigida (POMILIO, 2007).

Os circuitos ativos para PFC utilizam, além dos elementos passivos, elementos ativos como chaves semicondutoras de potência e diodos. Basicamente, é um conversor chaveado que atua juntamente com um filtro passa-baixas. O conversor tem a função de colocar a tensão e corrente em fase, melhorando o Fator de Deslocamento (*Displacement Power Factor*, DPF), enquanto o filtro passa-baixas atenua o conteúdo harmônico de alta frequência melhorando a THD, resultando na elevação do PF. Comparada a solução anterior, essa é mais complexa e apresenta maior número de componentes. Entretanto, apresenta vantagens como poder alcançar um alto valor de PF, pode permitir o controle da tensão/corrente de saída e possui significativa redução no volume do componentes reativos, devido a operar em alta frequência. Por tais características tem sido amplamente empregado em aplicações de baixa e média

potência (HART, 2010; ERICKSON; MAKSIMOVIC, 2001). Assim, será utilizada a correção de fator de potência ativa nesta dissertação.

Diversas topologias de conversores chaveados podem ser utilizadas para PFC, porém as topologias mais tradicionais, devido a sua simplicidade de projeto e baixo número de componentes, são os conversores *boost* e *buck-boost* (MOO *et al.*, 2009). Além de cada topologia apresentar características diferentes, o modo de condução da corrente no conversor também afeta a forma como o conversor atua como PFC (KIRSTEN, 2011).

- iii. **PC:** O circuito de PC é um conversor chaveado que tem como objetivo adequar o nível de tensão/corrente para a carga, garantindo o bom funcionamento da carga. A topologia e o modo de condução da corrente do conversor chaveado influenciam no desempenho do PC, devendo esses serem escolhidos de acordo com a aplicação e suas condições de funcionamento.

Os estágios de PFC e PC podem funcionar de dois modos: No primeiro modo os dois estágios de processamento são associados e executados, ao mesmo tempo, pelo mesmo circuito, sendo esse modo denominado estágio único, apresentada na Figura 1 (a). No segundo modo os estágios estão separados, sendo a configuração mais comum os estágios estarem dispostos em série no circuito, sendo esse modo denominado de dois estágios, apresentada na Figura 1 (b). A operação em estágio único ou em dois estágios apresentam características distintas.

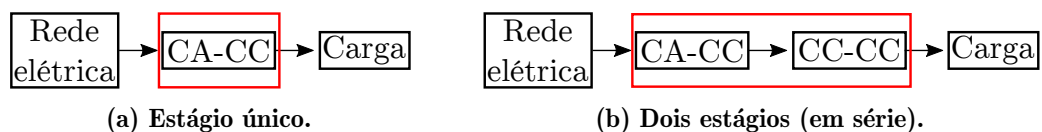


Figura 1 – Associações entre os estágios de processamento PFC e PC.

O modo estágio único integra os estágios de PFC e PC, resultando muitas vezes em apenas uma chave ativa e um circuito de controle. As vantagens desse modo são o número reduzido de componentes, assim reduzindo o custo, e a redução de volume/peso. A desvantagem desse modo é a limitação da regulação, tanto PFC quanto PC, visto que os estágios PFC e PC dividem a mesma chave ativa, dificultando a regulação do circuito quando sob variações da fonte de entrada e/ou da carga (QINGLIN *et al.*, 2006).

O modo de dois estágios resulta em dois circuitos separados, um para PFC e outro para PC, e é mais comumente utilizado. Comparado com o modo de estágio único,

esse apresenta desempenho superior em relação ao alto PF, baixas correntes harmônicas e rápida regulação de tensão/corrente na saída, visto que cada etapa pode ser regulada independentemente, assim otimizando o projeto e a operação de cada um dos estágios de processamento. A desvantagem desse circuito é o maior número de componentes, resultando assim em um circuito com maior volume/peso e custo mais elevado, se comparado ao estágio único (QINGLIN *et al.*, 2006). Além disso, pode apresentar um rendimento inferior se comparado ao modo de estágio único, pois a energia é processada por dois conversores (CAMPONOGARA *et al.*, 2015).

1.2 REQUISITOS DO CONVERSOR ESTÁTICO CA-CC

Na maioria das aplicações deseja-se que o conversor estático CA-CC tenha características como alta eficiência, alto PF, baixo conteúdo harmônico e um circuito com o menor volume possível, resultando em uma alta densidade de potência processada. Ademais, o conversor estático deve, por obrigatoriedade de normas, respeitar valores limites pré-estabelecidos de alguns fatores em relação a qualidade de energia.

O órgão brasileiro responsável em estabelecer os procedimentos relativos à qualidade de energia elétrica é a Agência Nacional de Energia Elétrica (ANEEL). Tais procedimentos encontram-se no documento denominado Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional (PRODIST), em seu Módulo 8 Qualidade da Energia Elétrica. Nesse módulo é descrito sobre fenômenos da qualidade do produto em regime permanente ou transitório, entre eles o PF e os harmônicos para tensão elétrica (ANEEL, 2018).

Entretanto, não basta atingir o PF estabelecido pelo órgão regulador, é preciso fazer uma análise do conteúdo harmônico. Um baixo valor de THD não implica que o circuito está atendendo às normas, então é preciso avaliá-lo. Os harmônicos podem ser analisados individualmente se decomposto o sinal de interesse em séries de Fourier. Para avaliação de harmônicos de corrente é utilizada a norma da Comissão Eletrotécnica Internacional (*International Electrotechnical Commission*, IEC) IEC 61000-3-2 “Limites para emissão de harmônicos de corrente (equipamentos com correntes de entrada menores ou iguais a 16 A por fase)”, que trata sobre os limites de emissão de correntes harmônicas (IEC, 2005).

Com o objetivo de obter um aumento da eficiência, do PF e da densidade de

potência do conversor estático, diversas topologias de conversores têm sido criadas e estudadas com esses objetivos. Entre elas estão os conversores a capacitor chaveado, que apresentam como principal característica não utilizar elementos indutivos em sua topologia, sendo basicamente formados por capacitores e chaves ativas (*e.g.* diodos e Transistores de Efeito de Campo Metal-Óxido-Semicondutor (*Metal Oxide Semiconductor Field Effect Transistor*, MOSFETs)). Esse trabalho se propõe a realizar um estudo sobre conversor a capacitor chaveado CC-CC e também CA-CC (atuando como PFC). Serão detalhadas suas principais características, apresentada uma metodologia de projeto, realizadas simulações para validação dos modelos e também a implementação de um protótipo de laboratório, tanto para o conversor CC-CC quanto para o conversor CA-CC.

1.3 OBJETIVOS

O objetivo principal desse trabalho é realizar o projeto e a implementação de um conversor a capacitor chaveado atuando como etapa de correção do fator de potência (CA-CC), sendo também projetado e implementado um protótipo de laboratório CC-CC.

Esse trabalho têm como objetivos específicos:

- i. Apresentar uma melhor análise da operação CC-CC do conversor a capacitor chaveado e suas características.
- ii. Desenvolver uma metodologia de projeto para o conversor a capacitor chaveado operando como conversor CC-CC.
- iii. Desenvolver um estudo sobre a regulação da potência de saída em conversor a capacitor chaveado operando como conversor CC-CC.
- iv. Apresentar uma melhor análise da operação CA-CC do conversor a capacitor chaveado e suas características.
- v. Apurar uma metodologia de projeto para conversores a capacitor chaveado operando como estágio PFC (conversor CA-CC).
- vi. Implementar dois protótipos de laboratório: um conversor CC-CC e outro CA-CC (atuando como PFC) para validação das análises e metodologias utilizadas.

1.4 ORGANIZAÇÃO DO TRABALHO

No Capítulo 1 foi apresentada uma breve contextualização aos temas de estudo, conversores a capacitor chaveado, e os objetivos dessa dissertação.

No Capítulo 2 é apresentada uma introdução ao princípio de funcionamento e um resumo do estado da arte de conversores a capacitor chaveado. O conversor que será abordado nesse trabalho, conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$, é apresentado na Seção 2.1. Sendo detalhadas as suas etapas de operação, as principais equações e formas de onda. Nesse capítulo também é explanado sobre os dois possíveis modos de condução de corrente do conversor em estudo.

O Capítulo 3 disserta sobre o conversor CC-CC operando no modo de condução contínua de corrente, apresentado seu modelo equivalente, metodologia de projeto, principais equações e considerações sobre a regulação da potência de saída. Também é apresentado um exemplo de projeto e os resultados práticos para um protótipo com potência nominal de aproximadamente $30 W$.

No Capítulo 4 é apresentado o conversor CC-CC operando no modo de condução descontínua de corrente. Suas características e questões de projeto.

O Capítulo 5 realiza um estudo das principais características do conversor operando como estágio de regulação do fator de potência e um comparativo em relação aos seus possíveis modos de operação.

O Capítulo 6 apresenta, para o conversor CA-CC operando no modo de condução contínua de corrente, um exemplo de projeto, algumas simulações computacionais e os resultados práticos para um protótipo com potência nominal de aproximadamente $43 W$.

As conclusões dessa dissertação estão elencadas no Capítulo 7, também estão elencadas as contribuições desse trabalho. Por fim, no Apêndice A, está um *script*, desenvolvido em linguagem *Python* para cálculo do capacitor crítico que permite a troca do modo de condução de corrente do conversor.

2 CONVERSOR CC-CC A CAPACITOR CHAVEADO ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2

A Figura 2 apresenta um circuito a Capacitor Chaveado (*Switched Capacitor*, SC) que, em sua topologia básica, consiste de duas chaves ativas e um capacitor, denominado capacitor chaveado. O princípio de funcionamento do circuito é, por meio do acionamento das chaves ativas S_1 e S_2 , controlar a carga e descarga do capacitor chaveado C_1 (SINGH; BANSOD, 2017).

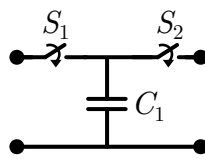


Figura 2 – Topologia básica de um circuito a capacitor chaveado.

Tipicamente, esse tipo de circuito é utilizado em microeletrônica para nível de sinal (SONG; IGNJATOVIC, 2011; SINGH; BANSOD, 2017), mas pode-se também utilizar o SC como um conversor chaveado de potência. O Conversor a Capacitor Chaveado (*Switched Capacitor Converter*, SCC) consiste de um circuito SC com a adição de um capacitor de saída C_o , conforme Figura 3. O capacitor C_o na saída atua como um filtro, permitindo obter uma tensão de saída com baixa ondulação (baixa componente alternada). O conversor, nessa topologia, possui ganho estático de tensão ideal unitário e é denominado SCC fundamental (BARBI, 2019).

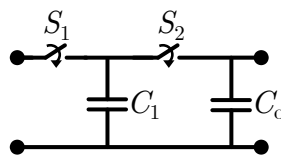


Figura 3 – Topologia do conversor a capacitor chaveado fundamental.

Os SCCs, quando comparados aos conversores estáticos chaveados tradicionais (*e.g. buck, boost e buck-boost*), apresentam a vantagem da eliminação do indutor, que o torna uma opção muito atrativa, visto que o indutor é um elemento com grande peso/volume em um conversor chaveado (varia com a potência e frequência), além de ser um emissor de Interferência Eletromagnética (*Electromagnetic Interference*, EMI) (Lee *et al.*, 2016; BOLZAN, 2017). Entre as desvantagens estão a necessidade de maior número de chaves ativas, ganho estático de tensão fixo (dependente da topologia), regulação de saída limitada e elevado pico de corrente dado pelo capacitor chaveado (Cheng, 1998).

O ganho estático de tensão do conversor é fixo, de acordo apenas com a topologia do conversor. As topologias mais básicas de SCCs apresentam ganhos estáticos ideais de 1, -1 , $1/2$ ou 2. Outras topologias foram desenvolvidas ou aprimoradas, permitindo ganhos estáticos múltiplos do valor base (*e.g.* $1/2$, $1/3$, $1/4$, no caso abaixador, *e.g.* 2, 3, 4, no caso elevador) (Yeung *et al.*, 2004; BARBI, 2019).

A regulação da potência de saída de um SCC fundamental é limitada e geralmente resulta em uma redução de eficiência. Isso deve-se ao fato da regulação ser semelhante ao princípio de funcionamento de uma fonte de tensão linear resistiva, conforme será melhor detalhado na Seção 3.5.

Uma das principais desvantagens dos SCCs são os elevados picos de corrente gerados pelo capacitor chaveado. Esses acontecem, pois o capacitor chaveado é colocado, praticamente, em curto-circuito com a tensão de entrada na primeira etapa e com a tensão de saída durante a segunda etapa de funcionamento. Uma variação abrupta de tensão sobre o capacitor chaveado exige um elevado valor de corrente, conforme Equação 1. O curto-circuito só não ocorre, pois há uma chave ativa entre o capacitor chaveado e a fonte de tensão, que com sua resistência interna (*e.g.* resistência de condução) acaba criando um circuito RC, limitando a corrente elétrica (Yeung *et al.*, 2004). Esse problema é ainda mais grave durante o transitório de partida do conversor, em que o capacitor chaveado está inicialmente descarregado.

$$i_c(t) = C \cdot \frac{d(v_c(t))}{dt} \quad (1)$$

Algumas topologias de SCCs foram apresentadas na literatura adicionando um indutor ao circuito, conhecidos por SCCs híbridos, com o objetivo de amortecer o pico de corrente e dando a possibilidade de maior regulação do conversor (Shoyama *et al.*, 2005; Setiadi; Fujita, 2018). Entretanto, isso retira a principal característica do conversor que é a ausência de indutor.

Diferentes topologias de SCCs elevadores ou abaixadores foram propostas na literatura. Barbi (2019) reúne e apresenta algumas topologias como a célula de comutação *ladder*, conversor abaixador série-paralelo, conversor abaixador série-série, conversor abaixador Fibonacci e o conversor de Dickson. Dentre esses, o SCC abaixador série-paralelo ganha destaque devido sua simplicidade e por manter o número inicial de chaves ativas, independente do valor do ganho estático de tensão desejado.

O SCC abaixador série-paralelo utiliza um circuito *valley-fill*, composto apenas por

dois capacitores e três diodos, no lugar do capacitor chaveado C_1 (MARTINS, 2013). Nessa estrutura, o circuito apresenta ganho estático de tensão de $1/2$. É possível obter ganho estático de $1/3$ ao anexar outro circuito *valley-fill* ao primeiro. Assim, o ganho total pode ser obtido por $1/(n + 1)$, no qual n é o número de circuitos *valley-fill* no conversor. Dessa forma o ganho estático de tensão é obtido alterando o número de diodos e capacitores, mas não de chaves ativas. Para ilustrar, a Figura 4 (a) apresenta o conversor abaixador série-paralelo com ganho estático de tensão n (quantidade de células adicionadas), enquanto as Figuras 4 (b), 4 (c) e 4 (d) apresentam o conversor com ganho estático de tensão de $1/2$, $1/3$ e $1/4$, respectivamente.

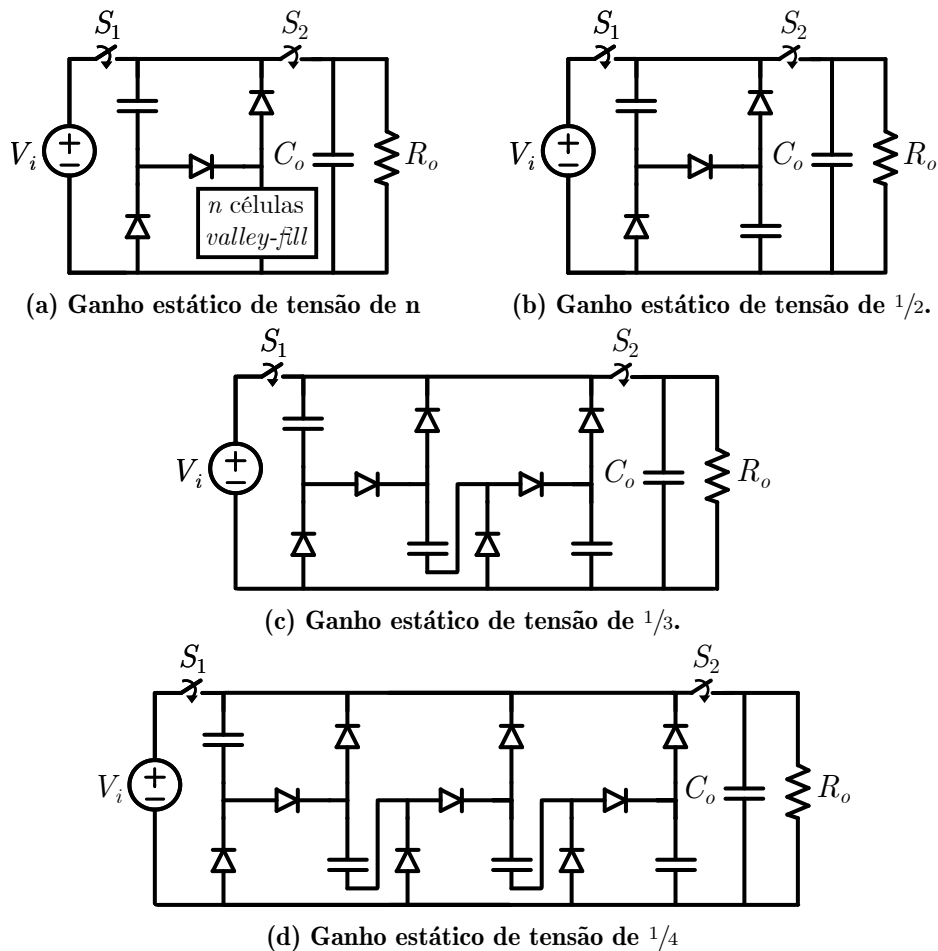


Figura 4 – Conversor a capacitor chaveado abaixador série-paralelo com diferentes valores de ganho estático de tensão (dependente da quantidade de células *valley-fill* inseridas).

2.1 TOPOLOGIA DO SCC CC-CC ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO $1/2$

A Figura 5 apresenta o SCC CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$. A fonte V_i representa a fonte de tensão CC de entrada, S_1 e S_2 as chaves ativas, R_1 e R_2 as resistências de condução das chaves (intrínsecas), C_1 e C_2 os capacitores chaveados, d_1 , d_{2a} e d_{2b} os diodos do circuito *valley-fill* e C_o o capacitor de saída. A carga, representada por R_o , será considerada puramente resistiva nessa análise.

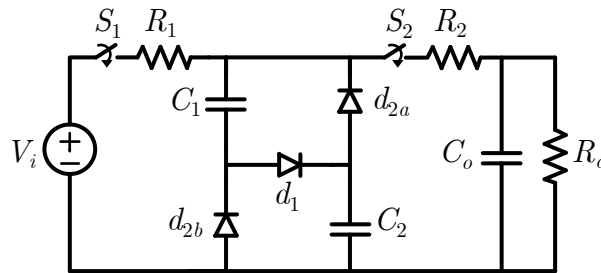


Figura 5 – Topologia do conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$.

Nessa topologia, a comutação das chaves ativas S_1 e S_2 é realizada de forma complementar. A Figura 6 apresenta os sinais de acionamento das chaves S_1 e S_2 , em que T_s é o período de chaveamento das chaves, D_1 é a razão entre o tempo ativo de S_1 e o período de chaveamento e D_2 é a razão entre o tempo ativo de S_2 e o período de chaveamento.

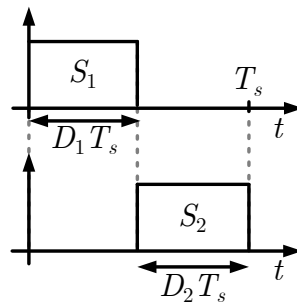


Figura 6 – Sinais de comando para acionamento das chaves ativas S_1 e S_2 .

2.2 MODOS DE OPERAÇÃO DO CONVERSOR A CAPACITOR CHAVEADO SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO $1/2$

Em Ben-Yaakov (2012) são apresentadas três possíveis formas de corrente no capacitor chaveado para a topologia de ganho unitário, a mesma topologia da Figura 3,

e essas formas de onda estão reproduzidas na Figura 7. Dependendo da relação entre o período de condução da chave (na figura representado por T_i) e a constante de tempo $R \cdot C$ (o autor considera as resistências de condução das chaves como R e o capacitor chaveado como C), a corrente de carregamento do capacitor chaveado ($i(t)$) pode assumir um dos três formatos.

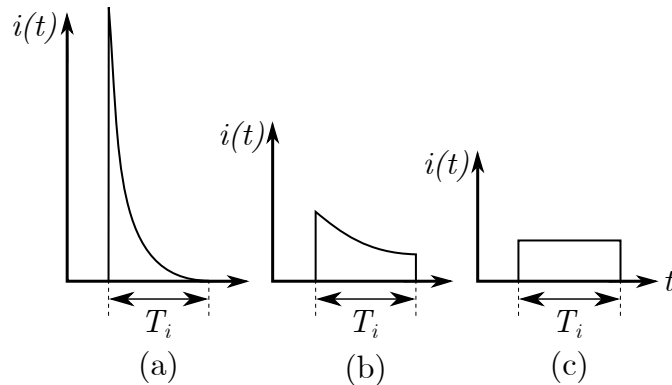


Figura 7 – Possíveis formas de onda da corrente nos capacitores chaveados. (a) Modo carga completa. (b) Modo carga parcial. (c) Modo carga nula. Fonte: Adaptado de Ben-Yaakov (2012)

Para o caso em que $T_i \gg R \cdot C$, o capacitor chaveado é completamente carregado e apresenta a corrente da Figura 7 (a), sendo esse caso denominado como “carga completa”. Para o caso em que $T_i \cong R \cdot C$, o capacitor é carregado parcialmente e apresenta a corrente da Figura 7 (b), sendo esse caso denominado como “carga parcial”. E por último, o caso em que $T_i \ll R \cdot C$, no qual o capacitor chaveado não tem um carregamento efetivo, gerando uma corrente constante, conforme Figura 7 (c), recebendo o nome de “carga nula” (BEN-YAAKOV, 2012).

Em Silva *et al.* (2018) é utilizado um conversor SCC CA-CA trifásico de estágio único, de topologia célula *ladder*. O trabalho apresenta os limites para cada formato de corrente (para a topologia em questão) em função da Resistência Equivalente Normalizada do circuito (o conceito de Resistência Equivalente será detalhado no Capítulo 3), em relação ao produto da constante de tempo e da frequência de chaveamento do conversor ($\tau \cdot f_s$). O modo “carga nula” apresenta o maior rendimento entre os três modos, porém é necessário valores altos de frequência e/ou capacitância, o que eleva o custo e aumenta o volume do conversor. O modo “carga parcial”, próximo ao limite do modo “carga nula”, apresenta vantagens de projeto, como poder reduzir consideravelmente a frequência e/ou capacitância ao custo de uma pequena redução do rendimento. O modo “carga completa” não é explicado no estudo Silva *et al.* (2018).

Com o objetivo de compreender melhor o conversor a capacitor chaveado abaixador série-paralelo e seus possíveis modos de condução, nesta dissertação é realizada uma análise do conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$ por etapas, e os formatos da corrente no capacitor chaveado tratados como modos de operação do conversor. São considerados dois modos de operação:

- i. **Modo de operação 1:** carga parcial dos capacitores, ou, Condução Contínua da Corrente (CCC) nos capacitores chaveados;
- ii. **Modo de operação 2:** carga completa dos capacitores, ou, Condução Descontínua da Corrente (CDC) nos capacitores chaveados.

O modo carga nula apresentado na literatura será considerado junto ao modo CCC. A escolha dos termos em relação a corrente nos capacitores chaveados foi feita para facilitar o entendimento quando avaliada a operação como PFC, uma vez que essa corrente tem relação com a corrente de entrada do conversor.

2.2.1 Modo de operação 1: Condução contínua da corrente nos capacitores chaveados

Nesse modo de operação o conversor, em regime permanente, apresenta duas etapas. Na primeira etapa, a chave S_1 está conduzindo e a chave S_2 bloqueada, diodo d_1 conduzindo e diodos d_{2a} e d_{2b} bloqueados. Os capacitores chaveados estão em série e são carregados por V_i , considerando $C_1 = C_2$, tem-se que $V_{C1} = V_{C2} \cong V_i/2$. Na segunda etapa, a chave S_2 está conduzindo e a chave S_1 bloqueada, diodo d_1 bloqueado e diodos d_{2a} e d_{2b} conduzindo. Os capacitores chaveados estão em paralelo e descarregando sobre a carga, resultando em uma tensão de saída $V_o \cong V_i/2$. Pela associação dos capacitores, primeira etapa em série e segunda etapa em paralelo, que o conversor recebe o nome de série-paralelo. A Figura 8 (a) apresenta a primeira etapa de operação (chave S_1 conduzindo e chave S_2 bloqueada) e a Figura 8 (b) apresenta a segunda etapa de operação do conversor (chave S_1 bloqueada e chave S_2 conduzindo).

Nesse modo os capacitores chaveados são carregados de maneira parcial, ou seja, os capacitores chaveados não são carregados ou descarregados completamente. Assim, sempre haverá variação de tensão nos capacitores chaveados e conforme a Equação 1, que

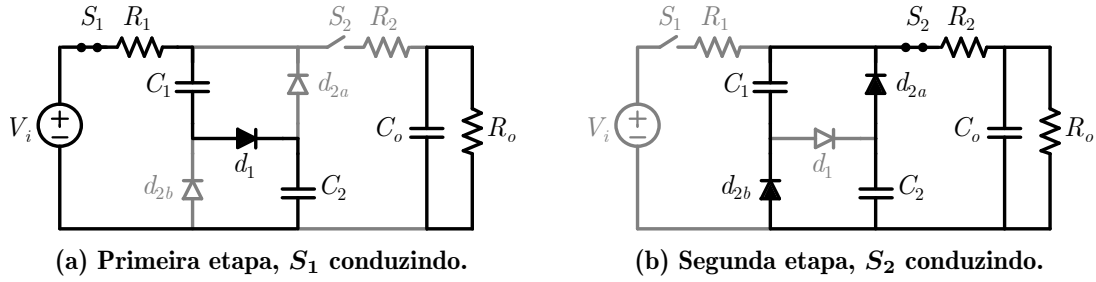


Figura 8 – Etapas de operação SCC abaixador série-paralelo, modo de operação 1 ou CCC.

rege a corrente em um capacitor, conseqüentemente sempre haverá corrente nos capacitores chaveados, por isso foi adotada a nomenclatura de “condução contínua da corrente”.

Durante a primeira etapa, Figura 8 (a), a tensão nos capacitores chaveados é sempre menor que $V_i/2$, devido a queda de tensão sobre R_1 (resistência de condução da chave S_1). Durante a segunda etapa, devido a queda de tensão sobre R_2 (resistência de condução da chave S_2), a tensão nos capacitores chaveados será sempre maior que a tensão de saída V_o .

Nesse modo de condução, a corrente dos capacitores chaveados pode assumir dois formatos: exponencial ou constante. O primeiro formato da corrente, apresentado na Figura 9 (a), junto à tensão no capacitor chaveado, Figura 9 (b), apresenta uma parcela exponencial e ocorre quando há uma maior variação de tensão no capacitor chaveado. O segundo formato da corrente, apresentado na Figura 10 (a), junto à tensão no capacitor chaveado, Figura 10 (b), apresenta uma forma de onda constante e ocorre quando a variação de tensão no capacitor chaveado é nula ou muito próximo disso. Foram suprimidos os valores dos eixos, pois as figuras estão sendo utilizadas apenas para ilustrar as formas de onda.

2.2.2 Modo de operação 2: Condução descontínua da corrente nos capacitores chaveados

Nesse modo de operação o conversor apresenta três etapas. Na primeira etapa, a chave S_1 está conduzindo e a chave S_2 bloqueada, diodo d_1 conduzindo e diodos d_{2a} e d_{2b} bloqueados, os capacitores chaveados estão em série e são carregados por V_i até $V_i/2$, considerando $C_1 = C_2$, tem-se que $V_{C_1} = V_{C_2} = V_i/2$. Quando a tensão acumulada nos capacitores chaveados atinge $V_i/2$ (antes da comutação das chaves ativas), o diodo d_1 fica no limiar de condução, e não mais existindo variação de tensão sobre os capacitores chaveados a corrente dos mesmos se torna nula. A partir desse instante até a comutação

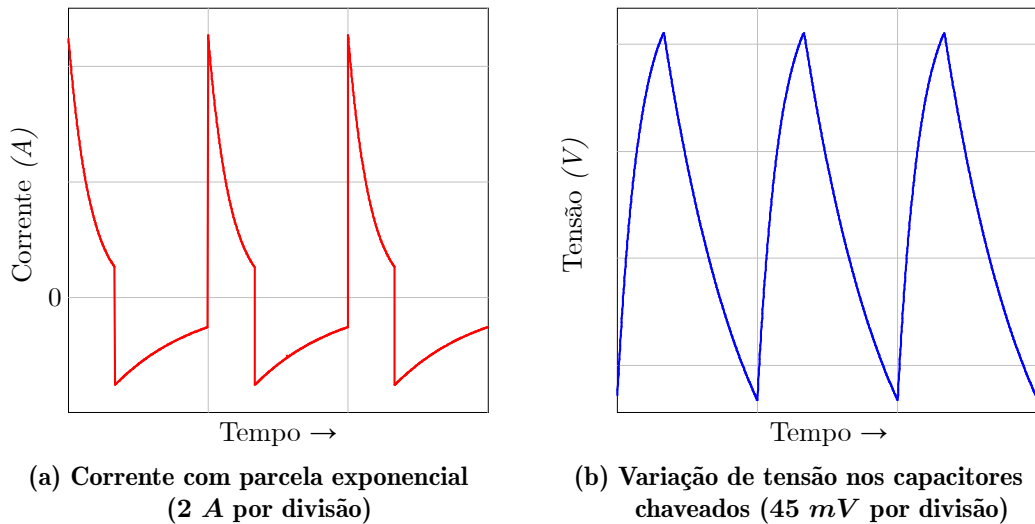


Figura 9 – Corrente e tensão nos capacitores chaveados para o modo de operação 1 ou CCC (com maior variação de tensão no capacitor chaveado).

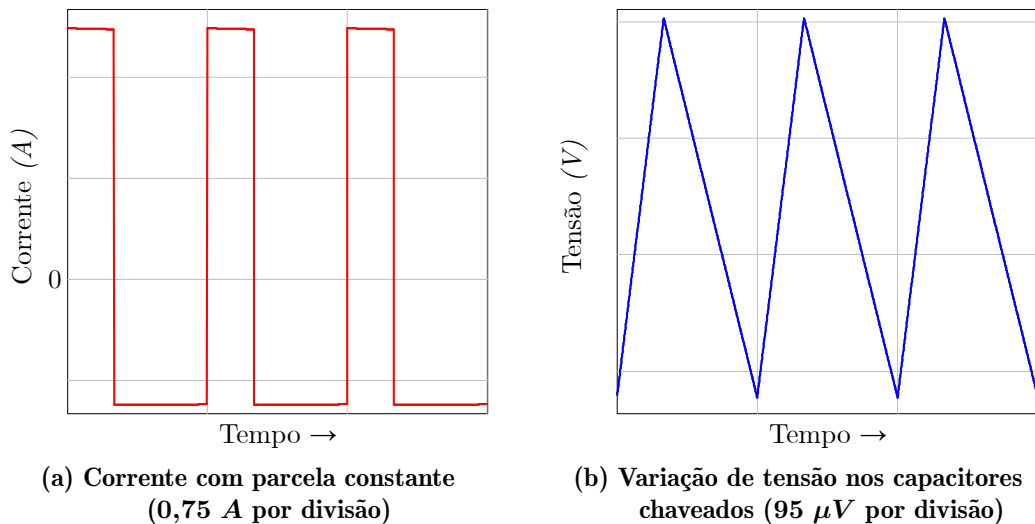


Figura 10 – Corrente e tensão nos capacitores chaveados para o modo de operação 1 ou CCC (com menor variação de tensão no capacitor chaveado).

das chaves ativas é considerada a segunda etapa de funcionamento do circuito. Na terceira etapa, a chave S_2 está conduzindo e a chave S_1 bloqueada, diodo d_1 bloqueado e diodos d_{2a} e d_{2b} conduzindo, os capacitores chaveados estão em paralelo e descarregando sobre a carga. As Figuras 11 (a), 11 (b) e 11 (c) apresentam a primeira, a segunda e a terceira etapa de operação do conversor no modo CDC, respectivamente.

Nesse modo os capacitores chaveados são carregados completamente, atingindo a tensão de $V_i/2$ (não há queda de tensão no resistor R_1 , pois a corrente vai a zero) antes do tempo $D_1 \cdot T_s$. Assim, em certo momento não haverá variação de tensão nos capacitores chaveados e conforme a Equação 1, que rege a corrente em um capacitor, conseqüentemente a corrente cessará, por isso a nomenclatura de “condução descontínua da corrente”.

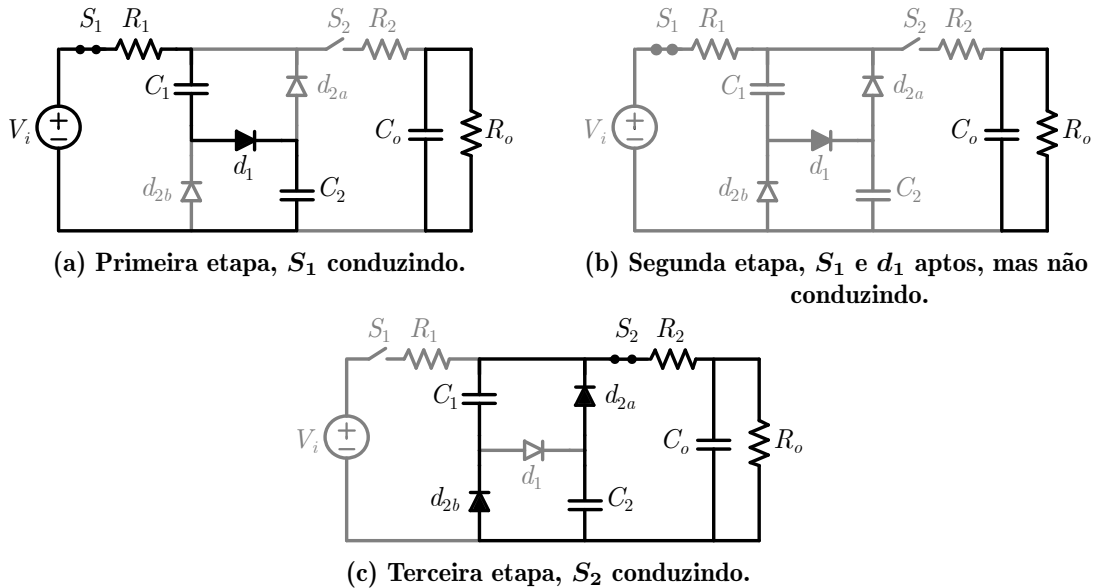


Figura 11 – Etapas de operação SCC abaixador série-paralelo, modo de operação 2 ou CDC.

Durante a primeira etapa de operação, a tensão nos capacitores chaveados atinge seu valor máximo de $V_i/2$, mantendo essa mesma tensão até a segunda etapa de operação. Durante a segunda etapa, a tensão nos capacitores se mantém $(V_i/2)$, fazendo com que não exista corrente nos capacitores chaveados durante essa etapa. Na terceira etapa, as chaves comutam e os capacitores chaveados, em paralelo, descarregam sobre a carga, sendo sempre a tensão nos capacitores chaveados maior que a tensão de saída V_o , devido a queda de tensão em R_2 . Nesse modo, no momento em que os capacitores chaveados começam a carregar há uma variação abrupta de tensão sobre eles, resultando em um aumento da corrente para carregá-los. Com isso, observa-se um aumento considerável do valor do pico de corrente para carregamento dos capacitores chaveados. A Figura 12 apresenta a corrente e a tensão nos capacitores chaveados no modo CDC. Foram suprimidos os valores dos eixos, pois a figura está sendo utilizada apenas para ilustrar as formas de onda.

2.2.3 Comparativo entre os modos de operação

A Tabela 1 apresenta um resumo das principais características dos dois modos de operação do SCC. Essas características são apresentadas detalhadamente no Capítulo 3 (para o modo CCC) e no Capítulo 4 (para o modo CDC).

O modo CCC apresenta maior rendimento, maior ganho estático de tensão (máximo de $1/2$, podendo apenas reduzir tal parâmetro ao custo do rendimento) e menores picos de corrente, porém necessita de um valor de capacitância chaveada maior do que a do modo

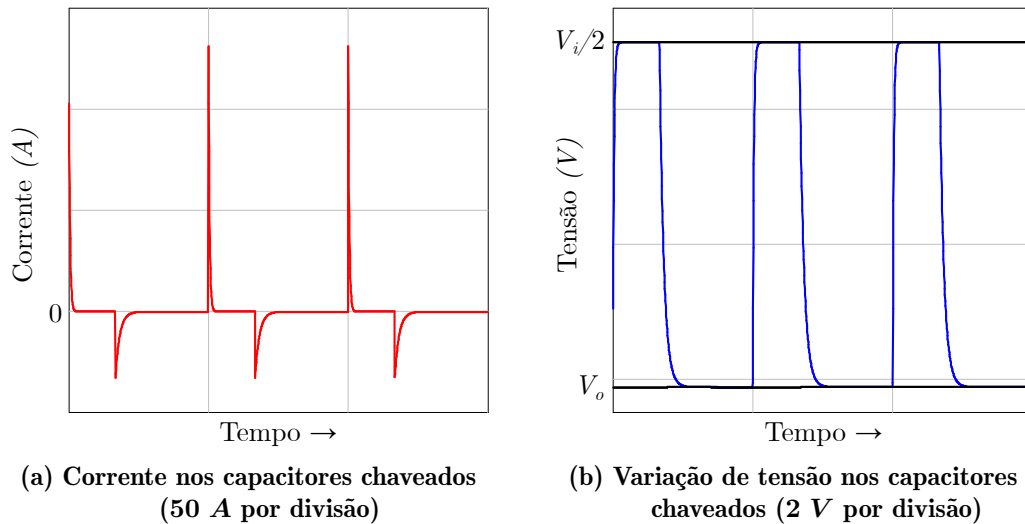


Figura 12 – Corrente e tensão nos capacitores chaveados para o modo de operação 2 ou CDC (grande variação de tensão nos capacitores chaveados).

Tabela 1 – Comparação de características do SCC operando nos modos 1 (CCC) e 2 (CDC).

Característica	Modo 1 (CCC)	Modo 2 (CDC)
Rendimento	x	
Ganho estático de tensão	x	
Picos de corrente		x
Capacitor chaveado (capacitância)	x	

CDC. A maior vantagem do modo CDC é operar com uma menor capacitância.

2.3 MODOS DE OPERAÇÃO NA LITERATURA

É importante destacar que uma das contribuições dessa dissertação é a definição dos modos de operação do SCC série-paralelo abaixador. Dentre os trabalhos encontrados na revisão bibliográfica desta dissertação apenas dois apresentavam informações sobre o formato da corrente na carga no capacitor chaveado, Ben-Yaakov (2012) e Silva *et al.* (2018), já brevemente apresentados na Seção 2.2.

Em Ben-Yaakov (2012) é apresentado um SCC fundamental (ganho unitário). A análise é realizada por modelo médio, presumindo apenas duas etapas de operação, sem em nenhum momento citar uma possível terceira etapa de operação. Em seguida apresenta os três possíveis formatos de corrente no capacitor chaveado, assim como sua equação para a Resistência Equivalente do conversor (o conceito de Resistência Equivalente será apresentado e melhor discutido na Seção 3.2 e na Seção 3.3). Em sequência, o autor apresenta um gráfico, Figura 13, do comportamento da Resistência Equivalente em função de β , em que β é igual a razão cíclica (D_1) dividida pelo produto entre o período de

chaveamento (T_s), a resistência de condução da chave (R_{DSon}) e a capacitância do capacitor chaveado (C_{sw}). Nesse mesmo gráfico são apresentados os pontos de transição entres os modos, porém não apresenta os valores numericamente, sendo necessário determinar o valor de forma visual no gráfico, e nem mesmo explica quais foram os critérios adotados para obter tais valores para os pontos de transição. Além disso, não é explicado o princípio de funcionamento do modo “carga completa” (referido como CDC nessa dissertação). Também não foram encontradas tais informações nas referências do trabalho.

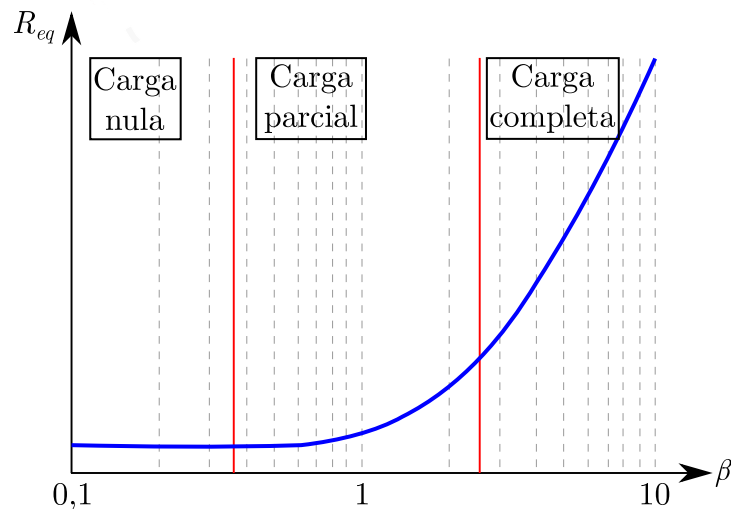


Figura 13 – Gráfico da Resistência Equivalente (em azul) em função de β .
Fonte: Adaptado de Ben-Yaakov (2012).

O trabalho de Silva *et al.* (2018) apresenta um SCC abaixador tipo *ladder* trifásico AC-AC, sendo apresentado um circuito equivalente de SCC para cada fase. Os autores também abordam os possíveis formatos de corrente nos capacitores, inclusive utilizando Ben-Yaakov (2012) como referência, e também apresenta um gráfico do comportamento da Resistência Equivalente Normalizada (em relação a Resistência Equivalente Mínima) em função do produto entre a frequência de chaveamento e a constante de tempo do conversor (considerando uma razão cíclica de 0,5), e no gráfico apresenta os pontos de transição dos modos da corrente. Em Silva *et al.* (2018) são apresentados os valores numéricos dos pontos de transição, inclusive apresentando os intervalos em que cada modo ocorre. Entretanto, assim como em Ben-Yaakov (2012), o trabalho não aborda uma possível terceira etapa de operação, não é explicado os cálculos desses pontos de transição e nem o princípio de funcionamento do modo “carga completa”, deixando sem entender o que acontece para a transição dos modos.

Enquanto os trabalhos supracitados não apresentam de forma clara os modos de

condução, ou formato das correntes, há outros trabalhos sobre SCC que nem citam isso e acabam cometendo alguns equívocos em relação aos modos.

Em Bolzan *et al.* (2016) não são abordados os modos de condução. Porém os autores associam cada um dos formatos das correntes a uma topologia de SCC, deixando a entender que o formato da corrente depende apenas da topologia do conversor.

Esse mesmo equívoco acontece em Martins (2013). Além disso, o autor apresenta um formato de corrente no capacitor chaveado (mesma corrente que passa em S_1) teórico para seu conversor de topologia abaixador série-paralelo com ganho de $1/4$, e obtém na prática um formato bem distinto, só obtendo um formato semelhante quando reduz a carga para 10% do nominal, sem apresentar nenhuma justificativa. Analisando os resultados sob a ótica dos modos de operação proposta nessa dissertação, pode-se dizer que isso ocorre porque apesar de não elevar a Resistência Equivalente, ao reduzir a resistência de carga a Resistência Equivalente do circuito se torna mais relevante.

A Figura 14 (a) apresenta a corrente teórica esperada em S_1 (mesma corrente dos capacitores chaveados durante a primeira etapa), a Figura 14 (b) apresenta a corrente obtida experimentalmente para a carga nominal, a Figura 14 (c) apresenta a corrente experimental obtida com carga reduzida para 50% de seu valor nominal e a Figura 14 (d) apresenta a corrente experimental obtida com carga reduzida para 10% de seu valor nominal, essa sim semelhante a esperada teoricamente.

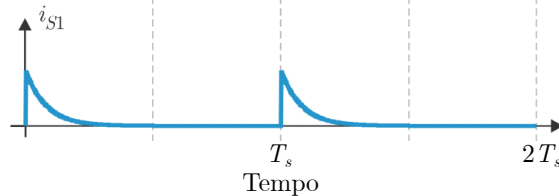
Dessa forma, essa dissertação tem como uma das suas contribuições a proposta de formalização dos modos de condução por meio das etapas de operação, sendo o modo CCC com duas etapas e o modo CDC com três etapas.

Os modos CCC e CDC serão detalhados nos Capítulos 3 e 4, respectivamente, apresentando também o princípio da obtenção do modo CDC assim como a forma de obtenção numericamente do ponto de transição entre modos de condução.

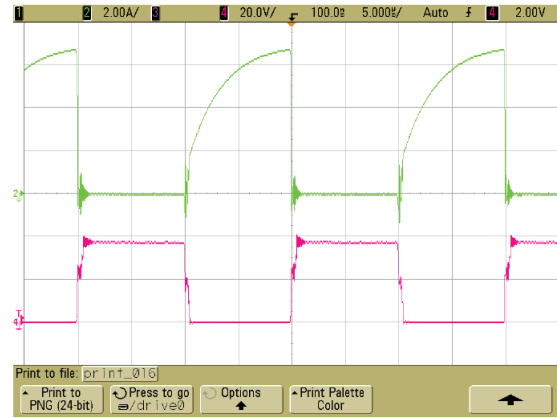
2.4 TECNOLOGIA DE CAPACITORES

O componente de maior destaque em um SCC é o capacitor chaveado, assim essa seção discute as principais tecnologias de construção de capacitores.

Os capacitores podem ser construídos com diferentes tipos de dielétricos (materiais isolantes) como óleo, papel, vidro, ar, mica, filme de diversos polímeros e óxido metálico. Cada dielétrico possui um conjunto de propriedades específicas (*e.g.* capacitância, tensão



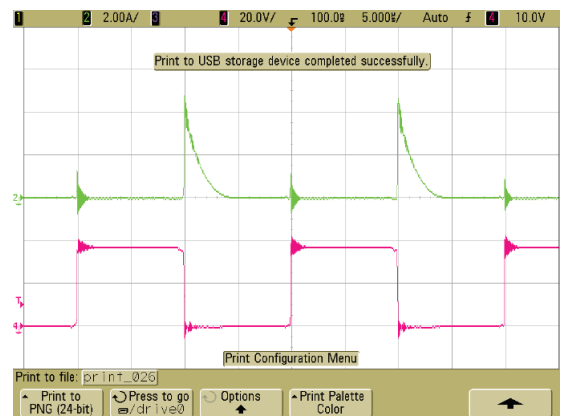
(a) Forma de onda teórica da chave S_1 (corrente nos capacitores chaveados durante a primeira etapa).



(b) Formas de onda da corrente na chave (de cima) e tensão sobre a chave (de baixo). Com 100% de carga $I_o = 10$ A.



(c) Formas de onda da corrente na chave (de cima) e tensão sobre a chave (de baixo). Com 50% de carga $I_o = 5$ A.



(d) Formas de onda da corrente na chave (de cima) e tensão sobre a chave (de baixo). Com 10% de carga $I_o = 1$ A.

Figura 14 – Formas de onda da corrente e da tensão na chave S_1 .

Fonte: Adaptado de Martins (2013).

de isolamento e construção física), o que permite a utilização de capacitores em diversas aplicações. Dentre os tipos de capacitores utilizados comumente estão os capacitores eletrolíticos (alumínio ou tântalo), cerâmicos e de filme (DESHPANDE, 2012).

- Capacitor eletrolítico: é um capacitor cuja placa positiva (ânodo) é feita de um metal que forma uma camada de óxido isolante por meio de anodização. Essa camada de óxido atua como o dielétrico do capacitor. Um eletrólito, sólido ou líquido, cobre a superfície dessa camada de óxido servindo como placa negativa (cátodo). Devido a camada de óxido dielétrico ser muito fina e a superfície da placa positiva ser larga, os capacitores eletrolíticos têm um produto de capacitância e tensão por unidade de volume muito maior que capacitores cerâmicos ou de filme, o que os permite ter grandes valores de capacitância.

Capacitores eletrolíticos de alumínio tem tal nome em função da sua construção, em que a placa positiva é feita de alumínio puro, assim cria-se uma camada isolante muito fina de óxido de alumínio na placa positiva, e tal camada atua como dielétrico do capacitor. Um eletrólito, sólido ou líquido, cobre a superfície dessa camada de óxido servindo como placa negativa. Por fim, uma segunda folha de alumínio (folha catódica) entra em contato com o eletrólito e serve como conexão elétrica ao terminal negativo do capacitor.

Capacitores eletrolíticos de tântalo possuem sua construção muito semelhante aos de alumínio, sendo sua placa positiva feita de um metal poroso de tântalo. Por sua camada dielétrica muito fina e sua permissividade elétrica relativamente alta, o capacitor eletrolítico de tântalo se destaca por apresentar alta capacitância por volume e baixo peso;

- Capacitor cerâmico: é um capacitor que possui material cerâmico atuando como dielétrico. Pode ser construído com duas (camada simples) ou mais camadas (multi camadas) alternadas de cerâmica e uma camada de metal atuando como eletrodos. A composição do material cerâmico define o comportamento elétrico do componente e, portanto, suas aplicações. Capacitores cerâmicos de camada simples geralmente são em formato de disco cerâmico, enquanto os capacitores cerâmicos multi camadas geralmente são em formato de montagem de superfície;
- Capacitor de filme: são capacitores que possuem um filme plástico isolante como dielétrico. São feitos de dois pedaços de filme plástico cobertos com eletrodos metálicos, enrolados em um enrolamento de formato cilíndrico, com terminais conectados, e posteriormente encapsulados.

A Tabela 2 apresenta um resumo das principais características dos dielétricos mais comuns utilizados na construção de capacitores. No Capítulo 3 será abordado e avaliado o uso dessas tecnologias de capacitores no SCC CC-CC.

2.5 CONCLUSÕES PARCIAIS

Esse capítulo apresentou uma introdução aos conversores a capacitor chaveado, na qual foi discutida a topologia de conversor adotada para estudo nessa dissertação: o

Tabela 2 – Principais parâmetros dos dielétricos mais comuns utilizados em capacitores.

Parâmetro	Filme	Cerâmico (camada única)	Tântalo	Eletrolítico de alumínio	Cerâmico (multi camada)
Tensão CC (V)	50-2000	16-15000	4-50	1-600	63-4000
Capacitância CC (μF)	0,001-10	10^{-6} -0,1	0,1-1500	$1-10^6$	10^{-6} -100
Volume	Grande	Pequeno	Pequeno	Médio	Pequeno
Capacitância	Média	Baixa	Alta	Alta	Baixa
Polaridade	Não	Não	Sim	Sim	Não
Estabilidade térmica	Excelente	Média	Ruim	Boa	Varia com a frequência
Máx. temp. de oper. ($^{\circ}C$)	105	125	125-150	85-120	125-150

Fonte: Adaptado de Deshpande (2012).

SCC CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$. Os dois possíveis modos de condução (CCC e CDC) foram propostos, com suas etapas de operação e as principais formas de onda apresentadas. Através de uma revisão bibliográfica observou-se que esses modos não estavam formalizados na literatura, indicando uma contribuição dessa dissertação. No próximo capítulo, Capítulo 3, o modo de condução CCC será detalhado, uma metodologia de projeto será apresentada e um protótipo de laboratório será implementado. O Capítulo 4 apresentará o modo de condução CDC.

3 PROJETO DO CONVERSOR CC-CC SCC PARA OPERAÇÃO NO MODO DE CONDUÇÃO CONTÍNUA DE CORRENTE

Neste capítulo serão apresentadas as deduções do modelo médio equivalente do SCC e da sua Resistência Equivalente. Além disso, serão apresentadas as equações de projeto, análise detalhada dos parâmetros do circuito e seus impactos na regulação de potência de saída e um projeto de um SCC CC-CC com resultados experimentais de um protótipo de laboratório.

3.1 MODELO MÉDIO EQUIVALENTE

Para simplificação da modelagem, da análise e da implementação, será utilizado o mesmo modelo de chave ativa para S_1 e S_2 . Em uma das etapas do conversor C_1 e d_{2b} estão em paralelo com C_2 e d_{2a} , assim busca-se utilizar o mesmo modelo de diodo (incluindo também d_1) e a mesma capacitância para C_1 e C_2 (evitando um desbalanço de tensão durante a etapas em que estão em paralelo). Assim, será considerado para circuitos equivalente e suas equações que $R_1 = R_2 = R_{DS(on)}$ e que $C_1 = C_2 = C_{sw}$. Outra consideração é que a ondulação de tensão na saída é tão baixa que pode ser desconsiderada, e com isso, o capacitor de saída C_o e a carga R_o são transformados em uma fonte equivalente de tensão CC denominada V_o .

O modelo equivalente é obtido pela aplicação do modelo médio sobre o capacitor C_{sw} . Como a análise é em modo CCC, o SCC possui duas etapas de chaveamento. A Figura 15 (a) apresenta a primeira etapa de chaveamento e a Figura 15 (b) apresenta o circuito resultante da primeira etapa de chaveamento. Nessa etapa, a chave S_1 conduz e S_2 está bloqueada, assim os dois capacitores chaveados (C_1 e C_2) estão associados em série, dessa maneira a mesma corrente ($i_1(t) = i_{R_{DS(on)}}(t) = i_{C_{sw}}(t)$) percorre todo o circuito, sendo que a capacitância total equivalente é dada por $C_{sw}/2$ e com uma tensão de $2 \cdot v_{C_{sw}}(t)$.

Ao fazer a análise de malhas para o circuito da Figura 15 (b), obtém-se a Equação 2d, que apresenta a corrente nos capacitores chaveados ($i_{C_{sw}}(t)$) para a primeira etapa

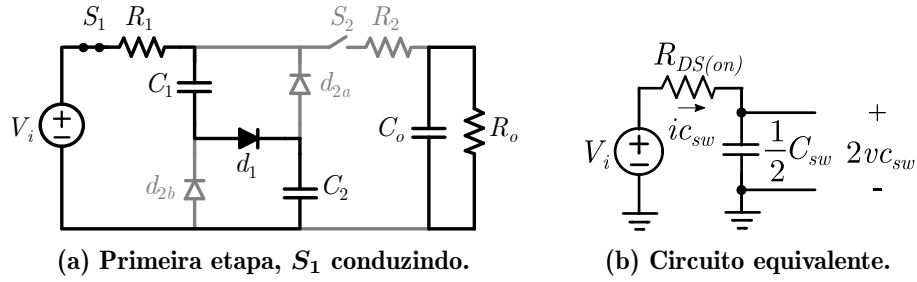


Figura 15 – Circuito equivalente da primeira etapa de chaveamento ($D_1 \cdot T_s$)

de chaveamento.

$$V_i - i_{C_{sw}}(t) \cdot R_{DS(on)} - v_{C_{sw}}(t) - v_{C_{sw}}(t) = 0 \quad (2a)$$

$$V_i - i_{C_{sw}}(t) \cdot R_{DS(on)} - 2 \cdot v_{C_{sw}}(t) = 0 \quad (2b)$$

$$i_{C_{sw}}(t) = \frac{V_i - 2 \cdot v_{C_{sw}}(t)}{R_{DS(on)}} \quad (2c)$$

$$\underbrace{C_{sw} \cdot \frac{d}{dt} v_{C_{sw}}(t)}_{i_1(t)} = \frac{V_i - 2 \cdot v_{C_{sw}}(t)}{R_{DS(on)}} \quad (2d)$$

A Figura 16 (a) apresenta a segunda etapa de chaveamento e a Figura 16 (b) apresenta o circuito resultante da segunda etapa de chaveamento. Nessa etapa, a chave S_1 está bloqueada e S_2 conduz, assim os dois capacitores chaveados (C_1 e C_2) estão associados em paralelo, terão a mesma tensão ($v_{C_{sw}}(t)$) e a capacitância total equivalente é dada por $2 \cdot C_{sw}$. A corrente que circula pelo resistor $R_{DS(on)}$ é a soma da corrente nos dois capacitores, ou seja, tem-se $i_2(t) = i_{R_{DS(on)}}(t) = 2 \cdot i_{C_{sw}}(t)$.

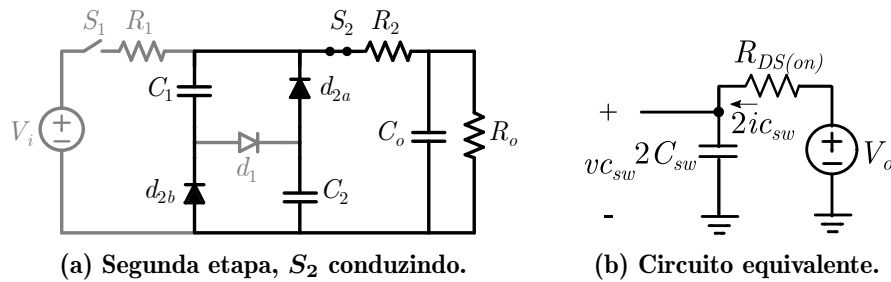


Figura 16 – Circuito equivalente da segunda etapa de chaveamento ($(1 - D_1) \cdot T_s$)

Fazendo a análise de malhas para o circuito da Figura 16 (b), obtém-se a Equação 3c, que apresenta a corrente no capacitor C_{sw} para a segunda etapa de chaveamento.

$$V_o - 2 \cdot i_{C_{sw}}(t) \cdot R_{DS(on)} - v_{C_{sw}}(t) = 0 \quad (3a)$$

$$2 \cdot i_{C_{sw}}(t) = \frac{-(v_{C_{sw}}(t) - V_o)}{R_{DS(on)}} \quad (3b)$$

$$\underbrace{2 \cdot C_{sw} \cdot \frac{d}{dt} v_{C_{sw}}(t)}_{i_2(t)} = \frac{-(v_{C_{sw}}(t) - V_o)}{R_{DS(on)}} \quad (3c)$$

Para obtenção do modelo médio, multiplicou-se a Equação 2d por D_1 , obtendo a Equação 4, representada na forma de circuito elétrico na Figura 17 (a). Multiplicou-se a Equação 3c por $(1 - D_1)$ obtendo a Equação 5, representada na forma de circuito elétrico na Figura 17 (b).

$$I_1 = \left(\frac{V_i - 2 \cdot V_{C_{sw}}}{R_{DS(on)}} \right) \cdot D_1 \quad (4)$$

$$I_2 = \left(\frac{-(V_{C_{sw}} - V_o)}{R_{DS(on)}} \right) \cdot (1 - D_1) \quad (5)$$

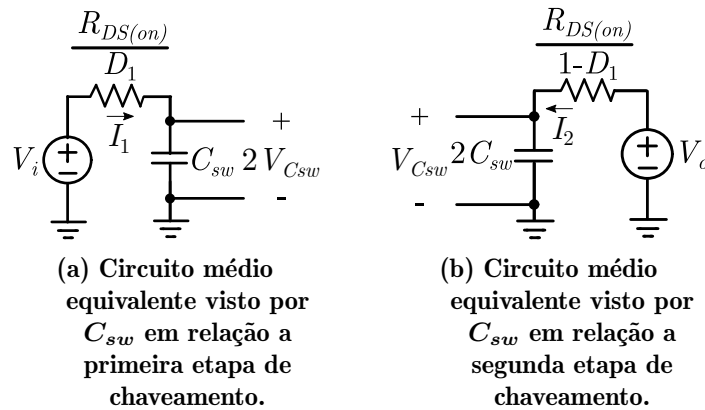


Figura 17 – Circuitos elétricos médios equivalentes vistos por C_{sw} para as etapas de chaveamento.

Como apresentado na Figura 17, as correntes no circuito equivalente da primeira etapa de chaveamento (I_1) e no circuito equivalente da segunda etapa de chaveamento (I_2) são distintas. Assim, é necessário deixar ambos circuitos em função da mesma corrente para conectá-los. Considerando valores médios, pelo princípio da conservação de energia, a potência no capacitor chaveado C_{sw} deve ser a mesma em ambos os circuitos, $P_{C_{sw}(1)}$ e $P_{C_{sw}(2)}$. Com isso, é possível encontrar uma relação entre as correntes médias I_1 e I_2 ,

conforme Equação 6c.

$$P_{C_{sw}(1)} = P_{C_{sw}(2)} \quad (6a)$$

$$2 \cdot V_{C_{sw}} \cdot I_1 = V_{C_{sw}} \cdot I_2 \quad (6b)$$

$$I_1 = \frac{I_2}{2} \quad (6c)$$

Aplicando a Equação 6c na Equação 4, pode-se realizar a análise de malhas da Figura 17 (a) obtendo a Equação 7d, na qual a equação da primeira etapa está relacionada com a corrente I_2 .

$$V_i - I_1 \cdot \frac{R_{DS(on)}}{D_1} - 2 \cdot V_{C_{sw}} = 0 \quad (7a)$$

$$V_i - \frac{I_2}{2} \cdot \frac{R_{DS(on)}}{D_1} - 2 \cdot V_{C_{sw}} = 0 \quad (7b)$$

$$I_2 = (V_i - 2 \cdot V_{C_{sw}}) \cdot \frac{2 \cdot D_1}{R_{DS(on)}} \quad (7c)$$

$$I_2 = \left(\frac{V_i}{2} - V_{C_{sw}} \right) \cdot \frac{4 \cdot D_1}{R_{DS(on)}} \quad (7d)$$

Representando a Equação 7d, da primeira etapa, e a Equação 5, da segunda etapa, na forma de circuito elétrico médio equivalente obtém-se a Figura 18 (a) para a primeira etapa e Figura 18 (b) para a segunda etapa.

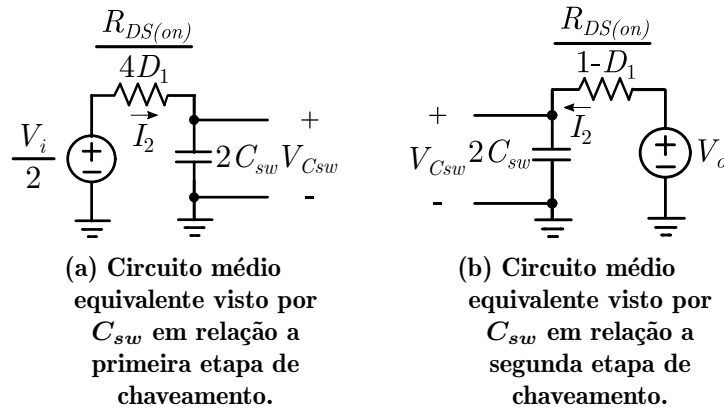


Figura 18 – Circuitos elétricos médios equivalentes vistos por C_{sw} para as etapas de chaveamento, ambos referidos a corrente $i_2(t)$.

Para obter um circuito elétrico médio equivalente, que represente as duas etapas de operação, os circuitos das Figuras 18 (a) e 18 (b) serão unidos no ponto do capacitor chaveado $2 \cdot C_{sw}$. O circuito da Figura 18 (a), da primeira etapa, apresenta uma tensão de entrada de $V_i/2$, que para representá-la será utilizado um transformador CC idealizado, e sua relação de transformação demonstra o ganho estático do conversor de $1/2$. O circuito

elétrico médio equivalente que representa o SCC abaixador série-paralelo $1/2$, nas duas etapas de operação, é apresentado na Figura 19.

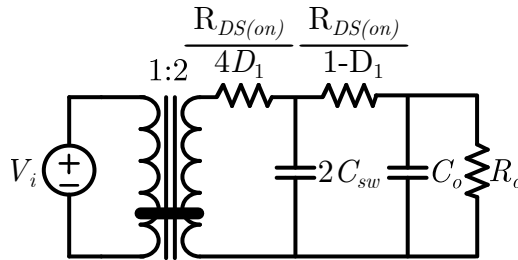


Figura 19 – Modelo médio equivalente do conversor SCC, com as resistências em função apenas da razão cíclica e da resistência de condução das chaves.

As resistências do modelo médio equivalente estão em função apenas da razão cíclica D_1 e da resistência de condução das chaves $R_{DS(on)}$. Além disso, a fonte V_o que representava o ramo de saída foi substituída pela resistência de carga (R_o) e o capacitor de saída (C_o).

3.1.1 Modelos médios na literatura

É importante destacar que foram encontrados na literatura outros modelos médios semelhantes, os quais trazem apenas a capacitância de $1 \cdot C_{sw}$ no capacitor chaveado do modelo (BARBI, 2019; MARTINS, 2013). Para operação CC-CC não há alterações na resposta dos dois modelos, mas na operação CA-CC percebeu-se que a resposta dinâmica era alterada. No Capítulo 5 a análise de operação CA-CC será aprofundada e as diferenças entre os modelos médios serão destacadas.

3.2 RESISTÊNCIA EQUIVALENTE SIMPLIFICADA

Considerando o circuito elétrico da Figura 19 operando em regime permanente, é possível afirmar que a corrente média nos capacitores é nula. Assim, é possível desprezar $2 \cdot C_{sw}$ (para valores médios) e somar os dois termos de resistências, conforme Equação 8, resultando na Resistência Equivalente Simplificada (R_{eq-s}), conforme Equação 9. Na Seção 3.3 será apresentada outra Resistência Equivalente (R_{eq}) na qual será considerado também o impacto da capacitância dos capacitores chaveados e da frequência de chaveamento. Também é possível escrever os termos da R_{eq-s} em função da própria R_{eq-s} . Dividindo cada termo da Equação 8 pela Equação 9, é possível determinar o quanto

cada termo representa da Equação 9. Assim, a R_{eq-s} também pode ser escrita conforme Equação 10, e o modelo equivalente simplificado é representado conforme Figura 20. Na Seção 3.3 será apresentado outro modelo equivalente no qual será considerado a R_{eq} .

$$R_{eq-s} = \underbrace{\frac{R_{DS(on)}}{4 \cdot D_1}}_{1^\circ \text{ termo}} + \underbrace{\frac{R_{DS(on)}}{1 - D_1}}_{2^\circ \text{ termo}} \quad (8)$$

$$R_{eq-s} = R_{DS(on)} \cdot \left(\frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \right) \quad (9)$$

$$R_{eq-s} = \underbrace{\frac{(1 - D_1)}{(1 + 3 \cdot D_1)} \cdot R_{eq-s}}_{1^\circ \text{ termo}} + \underbrace{\frac{(4 \cdot D_1)}{(1 + 3 \cdot D_1)} \cdot R_{eq-s}}_{2^\circ \text{ termo}} \quad (10)$$

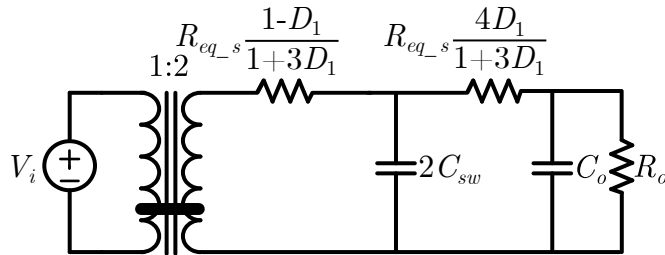


Figura 20 – Modelo equivalente simplificado.

O valor mínimo de R_{eq-s} , denominado Resistência Equivalente Mínima (R_{eq-min}), permite minimizar as perdas do conversor, visto que para valores médios (desconsiderando $2 \cdot C_{sw}$) o modelo equivalente pode ser tratado como um divisor resistivo entre a R_{eq-s} e a carga R_o . Para encontrar o valor mínimo, utiliza-se a derivada da Equação 9 em função de D_1 (considerando $R_{DS(on)}$ constante) e igualando-a a zero, conforme a Equação 11. O intuito desse procedimento é identificar o valor de D_1 , entre 0 e 1, que quando aplicado na Equação 9 minimize R_{eq-s} .

$$\frac{dR_{eq-s}}{dD_1} = \frac{d}{dD_1} \left[R_{DS(on)} \cdot \left(\frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \right) \right] = 0 \quad (11)$$

O valor encontrado para D_1 que minimiza as perdas é de $1/3$. Aplicando esse valor na Equação 9 obtém-se a R_{eq-min} , apresentada na Equação 12.

$$R_{eq-min} = \frac{9}{4} \cdot R_{DS(on)} \quad (12)$$

Como apresentado, o modelo equivalente simplificado está apenas em função da resistência de condução da chave semicondutora de potência, $R_{DS(on)}$, e da razão cíclica, D_1 , sendo válido apenas para valores de R_{eq-s} próximos do seu mínimo (considerando

valores práticos típicos da razão cíclica entre 0,1 e 0,9). Todavia, é possível equacionar uma Resistência Equivalente em função da razão cíclica, das não idealidades, da frequência de chaveamento e da capacitância dos capacitores chaveados, assim tornando o modelo equivalente do SCC mais completo e preciso.

3.3 RESISTÊNCIA EQUIVALENTE

Em Barbi (2019) é apresentado o cálculo da Resistência Equivalente para o SCC fundamental e da Resistência Equivalente Simplificada do SCC abaixador série-paralelo $1/2$. Em Martins (2013) é apresentado o equacionamento para um SCC abaixador série-paralelo com ganho estático de $1/4$. Embasado nesses trabalhos, aqui será proposto o equacionamento da Resistência Equivalente do SCC abaixador série-paralelo $1/2$, levando em consideração parâmetros como as razões cíclicas (D_1 e D_2), a frequência de chaveamento (f_s), a resistência de condução das chaves ($R_{DS(on)}$) e a capacitância dos capacitores chaveados (C_{sw}).

Para o equacionamento da Resistência Equivalente, o circuito, já em regime permanente, é analisado em duas etapas: a primeira etapa é a carga dos capacitores chaveados (de V_a até V_b) e a segunda etapa é a descarga dos capacitores chaveados (de V_b até V_a), conforme Figura 21. Na figura, V_b representa o valor máximo de tensão nos capacitores chaveados e V_a o valor mínimo de tensão.

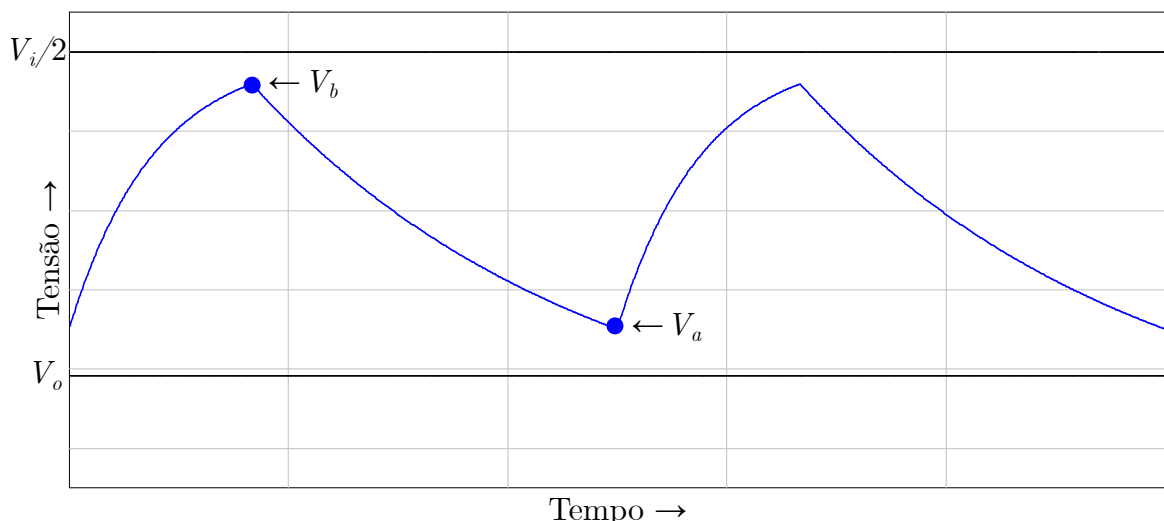


Figura 21 – Forma de onda da tensão nos capacitores chaveados.

3.3.1 Primeira etapa: Chave S_1 conduzindo e chave S_2 bloqueada (carga dos capacitores chaveados associados em série)

A Figura 22 apresenta o circuito equivalente do conversor na primeira etapa, na qual S_1 está conduzindo e S_2 está bloqueada.

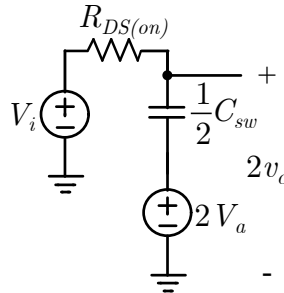


Figura 22 – Circuito equivalente para a primeira etapa de chaveamento, S_1 conduzindo.

A tensão individual de cada capacitor pode ser obtida aplicando diretamente a equação geral de tensão em um capacitor, resultando na Equação 13.

$$v_c(t) = \left(\frac{V_i}{2} - V_a \right) \cdot \left(1 - e^{-\frac{t}{\tau_1}} \right) + V_a \quad (13)$$

Em que:

- τ_1 (constante de tempo do circuito na primeira etapa) = $R_{DS(on)} \cdot \frac{C_{sw}}{2}$

Para o circuito em regime permanente:

- Condição inicial: $v_c(0) = V_a$
- Condição final: $v_c(D_1 \cdot T_s) = V_b$

3.3.2 Segunda etapa: Chave S_1 bloqueada e chave S_2 conduzindo (descarga dos capacitores chaveados associados em paralelo)

A Figura 23 apresenta o circuito equivalente do conversor para a segunda etapa de chaveamento, em que S_1 está bloqueada e S_2 está conduzindo. Os capacitores e diodos em paralelo foram simplificados, e o capacitor de saída juntamente com a carga representados por uma fonte de tensão CC (V_o) (considerando que a ondulação de tensão na saída é tão baixa que pode ser desconsiderada).

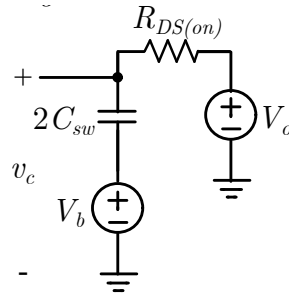


Figura 23 – Circuito equivalente para a segunda etapa de chaveamento, S_2 conduzindo.

A tensão individual de cada capacitor chaveado é dada pela Equação 14.

$$v_c(t) = (V_o - V_b) \cdot \left(1 - e^{-\frac{t}{\tau_2}} \right) + V_b \quad (14)$$

Em que:

- τ_2 (constante de tempo do circuito na segunda etapa) = $R_{DS(on)} \cdot 2 \cdot C_{sw}$

Para o circuito em regime permanente (não deslocado no tempo):

- Condição inicial: $v_c(0) = V_b$
- Condição final: $v_c(D_2 \cdot T_s) = V_a$

Aplicando as respectivas condições nas Equações 13 e 14, obtém-se as Equações 15 e 16.

$$V_b = \left(\frac{V_i}{2} - V_a \right) \cdot \left(1 - e^{-\frac{(D_1 \cdot T_s)}{\tau_1}} \right) + V_a \quad (15)$$

$$V_a = (V_o - V_b) \cdot \left(1 - e^{-\frac{(D_2 \cdot T_s)}{\tau_2}} \right) + V_b \quad (16)$$

Com isso, tem-se um sistema linear de duas variáveis e duas equações, sendo necessário isolar V_a e V_b em função de V_i e V_o . Substituindo a Equação 15 na Equação 16 tem-se a Equação 17. Substituindo a Equação 17 na Equação 15 tem-se a Equação 18.

$$V_a = \frac{\frac{V_i}{2} \cdot \left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} - 1 \right) + V_o \cdot \left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} \right) \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} - 1 \right)}{\left(e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) \cdot \frac{1}{f_s}} - 1 \right)} \quad (17)$$

$$V_b = \frac{\frac{V_i}{2} \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} \right) \cdot \left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} - 1 \right) + V_o \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} - 1 \right)}{\left(e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) \cdot \frac{1}{f_s}} - 1 \right)} \quad (18)$$

Conforme visto na Figura 21, a variação de tensão nos capacitores chaveados é dada pela Equação 19.

$$\Delta V_{C_{sw}} = V_b - V_a \quad (19)$$

Substituindo as Equações 17 e 18 na Equação 19, obtém-se a Equação 20, que representa a variação de tensão nos capacitores chaveados independente das tensões V_a e V_b .

$$\Delta V_{C_{sw}} = \frac{\left(\frac{V_i}{2} - V_o \right) \cdot \left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} - 1 \right) \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} - 1 \right)}{\left(e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) \cdot \frac{1}{f_s}} - 1 \right)} \quad (20)$$

A variação de energia nos capacitores chaveados ($\Delta Q_{C_{sw}}$) pode ser expressa pelas Equações 21 e 22.

$$\Delta Q_{C_{sw}} = I_o \cdot T_s \quad (21)$$

$$\Delta Q_{C_{sw}} = (2 \cdot C_{sw}) \cdot \Delta V_{C_{sw}} \quad (22)$$

Igualando as Equações 21 e 22, a corrente de saída (I_o) pode ser escrita conforme a Equação 23.

$$I_o = (2 \cdot C_{sw}) \cdot \Delta V_{C_{sw}} \cdot f_s \quad (23)$$

Ao final dessa modelagem será obtido um circuito médio equivalente, conforme será apresentado na Figura 26. Com base nessa figura é possível escrever a Resistência Equivalente (R_{eq}) conforme a Equação 24.

$$R_{eq} = \frac{\frac{V_i}{2} - V_o}{I_o} \quad (24)$$

Substituindo a Equação 23 (corrente de saída) na Equação 24, obtém-se a Equação 25.

$$R_{eq} = \frac{\frac{V_i}{2} - V_o}{(2 \cdot C_{sw}) \cdot \Delta V_{C_{sw}} \cdot f_s} \quad (25)$$

E, finalmente, substituindo a Equação 20 (variação de tensão nos capacitores chaveados) na Equação 25, obtém-se a Equação 26, que representa a Resistência Equivalente do conversor em função das constantes de tempo τ_1 e τ_2 , razões cíclicas D_1 e D_2 , frequência de chaveamento f_s e a capacitância C_{sw} .

$$R_{eq} = \frac{1}{2 \cdot C_{sw} \cdot f_s} \cdot \frac{\left(e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) \cdot \frac{1}{f_s}} - 1 \right)}{\left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} - 1 \right) \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} - 1 \right)} \quad (26)$$

A Figura 24 apresenta o comportamento da Resistência Equivalente R_{eq} , Equação 26, em função da frequência de chaveamento f_s (considerando todos os demais parâmetros como constantes). Observa-se que conforme a frequência de chaveamento aumenta a Resistência Equivalente diminui, até chegar em seu valor mínimo ($R_{eq_{min}}$) para elevados valores de frequência.

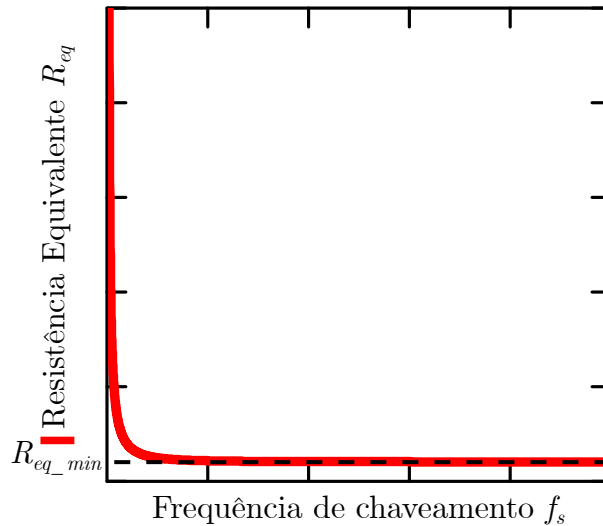


Figura 24 – Comportamento da Resistência Equivalente (em vermelho) em função da frequência de chaveamento (considerando todos os demais parâmetros como constantes).

Assim, para obtenção da $R_{eq_{min}}$, a partir da Equação 26, aplica-se o limite da frequência tendendo ao infinito na própria equação, obtendo a Equação 27.

$$R_{eq2} = \lim_{f_s \rightarrow \infty} R_{eq} = \frac{D_1 \cdot \tau_2 + D_2 \cdot \tau_1}{2 \cdot C_{sw} \cdot D_1 \cdot D_2} \quad (27)$$

A Equação 27 pode conter todas as não idealidades do conversores, nos termos τ_1 e τ_2 . Considerando apenas a resistência de condução dos MOSFETs ($R_{DS(on)}$), como foi realizada na análise do modelo equivalente, e também considerando $D_2 = (1 - D_1)$, $\tau_1 = (R_{DS(on)} \cdot C_{sw})/2$ e $\tau_2 = R_{DS(on)} \cdot 2 \cdot C_{sw}$ obtém-se a Equação 28.

$$R_{eq2} = R_{DS(on)} \cdot \frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \quad (28)$$

Observa-se que a Equação 28 é igual a Equação 9. Assim, repetindo o mesmo procedimento que para a Resistência Equivalente Simplificada encontra-se $D_1 = 1/3$, e a R_{eq_min} pode ser escrita conforme Equação 29.

$$R_{eq_min} = \frac{9}{4} \cdot R_{DS(on)} \quad (29)$$

As mesmas relações de resistências apresentadas no modelo equivalente simplificado também são válidas para a R_{eq} , podendo assim representar os termos de resistência em função de R_{eq} , conforme Figura 25. A diferença desse modelo aos demais presentes na literatura se dá na conversão CA-CC, conforme será apresentado na Seção 6.2.1.

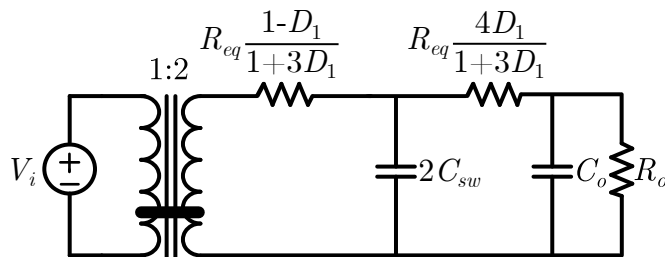


Figura 25 – Modelo equivalente proposto (com $2 \cdot C_{sw}$) para o conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$.

3.4 PRINCIPAIS EQUAÇÕES DO SCC CC-CC

Para valores médios, é possível desconsiderar o capacitor chaveado do modelo equivalente, tornando-o apenas um transformador CC idealizado e uma Resistência Equivalente, conforme Figura 26, também sendo possível desconsiderar o capacitor de saída (ondulação de tensão na saída do conversor quase nula que pode ser desconsiderada). Assim, para o equacionamento do SCC, o circuito da Figura 26 pode ser interpretado como um divisor resistivo entre R_{eq} e R_o com uma fonte de tensão CC de entrada de $V_i/2$.

A potência média de saída (P_o) na carga R_o é apresentada na Equação 30.

$$P_o = \left(\frac{V_i}{2} \right)^2 \cdot \frac{R_o}{(R_{eq} + R_o)^2} \quad (30)$$

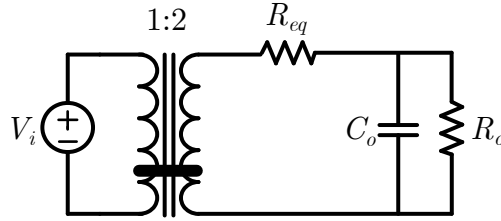


Figura 26 – Modelo equivalente para valores médios (sem C_{sw}) para o conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$.

Portanto, é possível alterar a potência de saída do conversor variando a tensão de entrada, a Resistência Equivalente do conversor e/ou a resistência de carga.

O rendimento (η) do conversor pode ser estimado em função das resistências equivalente e de carga ou em função das tensões de entrada e saída, conforme Equação 31.

$$\eta = 1 - \frac{R_{eq}}{R_{eq} + R_o} = 2 \cdot \frac{V_o}{V_i} \quad (31)$$

O ganho estático de tensão (G) do conversor é dado na Equação 32.

$$G = \frac{V_o}{V_i} = \frac{1}{2} \cdot \eta \quad (32)$$

A corrente de saída (I_o) do conversor é expressa na Equação 33. E a tensão de saída (V_o) do conversor está apresentada na Equação 34.

$$I_o = \frac{V_i}{2} \cdot \frac{1}{R_{eq} + R_o} \quad (33)$$

$$V_o = \frac{V_i}{2} - I_o \cdot R_{eq} \quad (34)$$

As capacitâncias C_{sw} e C_o são dadas pelas Equações 35 e 36, respectivamente. Nas equações, $\Delta V_{C_{sw}}$ é a ondulação de tensão em C_{sw} e ΔV_{C_o} é a ondulação de tensão em C_o .

$$C_{sw} = \frac{I_o}{2 \cdot f_s \cdot \Delta V_{C_{sw}}} \quad (35)$$

$$C_o = \frac{I_o \cdot D_1}{f_s \cdot \Delta V_{C_o}} \quad (36)$$

3.5 PROJETO E CONSIDERAÇÕES SOBRE A REGULAÇÃO DE POTÊNCIA DE SAÍDA DO CONVERTOR

Para o projeto do conversor devem ser definidos alguns parâmetros: tensão de entrada, frequência de chaveamento e resistência de condução das chaves ativas, além da carga.

A tensão de entrada depende comumente da aplicação. Esse valor influencia em alguns aspectos do conversor e isso será demonstrado posteriormente.

O valor da frequência de chaveamento tem influência na Resistência Equivalente, conforme a Equação 26. Quanto maior o valor da frequência menor será o valor da resistência, que se aproximará de seu valor mínimo. Assim, opta-se por um valor elevado de frequência, acima da faixa de ruído audível (de 20 Hz até 20 kHz) e não tão elevado que aumente as perdas por comutação, assim a escolha é semelhante aos conversores chaveados estáticos de potência tradicionais.

O valor da resistência de condução das chaves ativas varia de acordo com o modelo do componente que será utilizado. Assim, para definir a chave que será aplicada são considerados os esforços de tensão e corrente sobre a mesma, então busca-se um modelo compatível para obter seu valor de resistência de condução via *datasheet*. A Tabela 3 apresenta os esforços de tensão e corrente nos semicondutores, baseado no circuito da Figura 5 considerando $R_{DS(on)}$ inexistente, tornado o conversor ideal. A tensão que os capacitores C_{sw} e C_o estão submetidos é $V_i/2$.

Tabela 3 – Esforços de tensão e corrente, em regime permanente, nos semicondutores.

Componente	Tensão	Corrente
Chave S_1	$V_i/2$	$I_o/(2 \cdot D_1)$
Chave S_2	$V_i/2$	$I_o/(1 - D_1)$
Diodo d_1	$V_i/2$	$I_o/(2 \cdot D_1)$
Diodo d_{2a}	$V_i/2$	$I_o/(1 - D_1)$
Diodo d_{2b}	$V_i/2$	$I_o/(1 - D_1)$

As chaves ativas estão sob o mesmo valor de tensão, dependente da tensão de entrada V_i . As correntes dependem da razão cíclica D_1 e da corrente de saída I_o . O valor de D_1 foi definido anteriormente (buscando o valor mínimo de R_{eq}) em $1/3$, e quando aplicado nas equações das correntes resulta no mesmo esforço de corrente ($1,5 \cdot I_o$) para ambas as chaves ativas. Com isso e com a simplificação anterior de que ambas chaves possuem as resistências de condução iguais, é escolhido o mesmo modelo de chave ativa para S_1 e S_2 .

3.5.1 Exemplo de projeto

Para esse exemplo de projeto é definido que a tensão de entrada será de $50 V_{CC}$ (assim a tensão de saída teórica será de 25 V), a frequência de chaveamento de 20 kHz e a carga resistiva de $20\ \Omega$. Esses valores, apesar da escolha arbitrária, são valores plausíveis para

um conversor CC-CC. Fundamentado nisso, os esforços sobre as chaves são apresentados na Tabela 4.

Tabela 4 – Esforços sobre as chaves ativas.

Componente	Tensão	Corrente
Chave S_1	25 V	1,858 A
Chave S_2	25 V	1,858 A

É importante observar que esses valores foram obtidos considerando o conversor ideal, apenas para estimar os esforços de tensão e de corrente nas chaves. Ao adicionar outras não idealidades resistivas os valores de corrente serão menores. Será considerado, por disponibilidade em laboratório, a utilização de um MOSFET IRF540, com tensão dreno-fonte (*drain to source voltage*, V_{Dss}) de 100 V, corrente de dreno (*current-continuous drain*, I_D) de 20 A e resistência de condução ($R_{DS_{on}}$) típica de 77 mΩ (IR, 2003). Com o valor de $R_{DS_{on}}$ é possível calcular o valor de $R_{eq_{min}}$. Utilizando a Equação 12 obtém-se que $R_{eq_{min}} = 173,25 \text{ m}\Omega$. A Tabela 5 apresenta os parâmetros de projeto do conversor.

Tabela 5 – Parâmetros do projeto exemplo de SCC CC-CC em modo CCC.

Parâmetro	Valor
Tensão de entrada (V_i)	50 V_{CC}
Frequência de chaveamento (f_s)	20 kHz
Resistência de condução das chaves ($R_{DS_{on}}$)	77 mΩ
Resistência Equivalente Mínima ($R_{eq_{min}}$)	173,25 mΩ
Resistência de carga (R_o)	20 Ω
Razão cíclica da chave S1 (D_1)	1/3
Razão cíclica da chave S2 (D_2)	2/3

Aplicando os parâmetros da Tabela 5 na Equação 30 obtém-se que $P_o = 30,716 \text{ W}$ e, conforme Equação 31, o rendimento do conversor é de $\eta = 0,991$. Os resultados obtidos são considerando a Resistência Equivalente do conversor como $R_{eq_{min}}$, assim obtendo o melhor desempenho possível (minimizando as perdas). Entretanto, o valor real de R_{eq} é diferente, conforme Equação 26.

Então busca-se aproximar R_{eq} de seu valor mínimo a fim de obter a mesma potência e rendimento calculados anteriormente. Para o cálculo de R_{eq} o único parâmetro ainda não definido é C_{sw} . A Figura 27 apresenta R_{eq} em função da variação de C_{sw} , a partir de $C_{sw} = 1 \mu\text{F}$.

Na Figura 27 é possível observar que conforme o valor de C_{sw} aumenta o valor de R_{eq} tende à $R_{eq_{min}}$. Para os capacitores chaveados é escolhido o valor comercial de

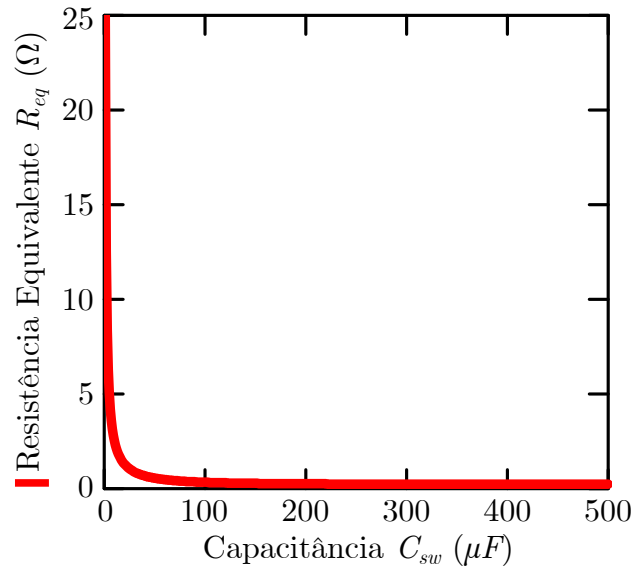


Figura 27 – Resistência Equivalente em função da capacitância dos capacitores chaveados.

470 μF , por disponibilidade em laboratório, resultando em uma R_{eq} de 179,31 $m\Omega$. É possível reduzir o valor da resistência aumentando o valor da capacitância, entretanto o valor já está próximo do seu valor mínimo, resultando em uma diferença percentual relativa à R_{eq_min} de 3,948%.

Com o valor real de R_{eq} , o conversor apresenta, teoricamente, uma potência de saída de $P_o = 30,697 W$ e com rendimento de $\eta = 0,991$, semelhante aos valores calculados anteriormente, com uma ondulação de tensão nos capacitores chaveados de 0,066 V (0,264% de $V_{C_{sw}}$), conforme Equação 35. O capacitor de saída C_o é utilizado para minimizar a ondulação de tensão na carga (R_o). Utilizando $C_o = C_{sw}$, tem-se uma ondulação de 0,044 V (0,176% de V_{C_o}) na tensão de saída, conforme Equação 36.

Conforme as características apresentadas na Tabela 2, pode-se avaliar o uso das tecnologias de capacitores em um SCC abaixador série-paralelo. Nessa topologia pode-se utilizar capacitores polarizados ou não, não sendo um critério restritivo nesse projeto.

Para a capacitância chaveada, buscou-se utilizar um valor elevado de capacitância a fim reduzir a Resistência Equivalente do conversor. Assim, restringe-se a utilização de tecnologias que apresentam baixa capacitância como filme e cerâmico (camada única ou multi camadas). Valores típicos encontrados nos projetos desenvolvidos nessa revisão bibliográfica dessa dissertação utilizam valores acima de 10 μF (variando conforme tensão de entrada, ganho estático e resistência de condução das chaves ativas).

Se for desejado um aumento na densidade de potência do conversor, limita-se o

uso de capacitores de alto volume, como o capacitor de filme. Outro fator importante é a tensão de isolamento, que depende dos valores do projeto, mas em aplicações com conexão com a rede de distribuição demandam tensões acima de 200 V, o que pode limitar o uso de capacitores de tântalo. Além disso, essas tecnologias, filme e tântalo, apresentam custo mais elevado em relação aos demais.

Dessa forma, optou-se pelo uso de capacitores eletrolítico de alumínio, por haver ampla disponibilidade em laboratório, apresentar características compatíveis com o projeto e ser a mesma tecnologia utilizada em outros trabalhos de SCC ((BOLZAN, 2017; MARTINS, 2013)).

3.6 REGULAÇÃO DE POTÊNCIA DE SAÍDA

A regulação de potência de saída no conversor se dá por meio da variação da resistência de carga, tensão de entrada e/ou Resistência Equivalente, conforme Equação 30. Esses parâmetros serão analisados separadamente visando seus efeitos e consequências.

Conforme Figura 27, ao alterar a capacitância varia-se a R_{eq} , o que em certos casos poderia levar o conversor a mudar seu modo de operação. A variação dos parâmetros para regulação da potência de saída também pode, em seus extremos, levar a uma alteração do modo de operação (CCC ou CDC). Destaca-se que, conforme será apresentado no Capítulo 4, as equações de projeto do modo CDC podem ser aproximadas pelas equações do modo CCC, fazendo as análises apresentadas nessa seção serem válidas mesmo com uma possível alteração do modo de operação.

3.6.1 Resistência de carga

A Figura 28 apresenta a potência de saída e o rendimento do conversor em função da resistência de carga R_o , a partir de $R_o = R_{eq}$.

Analisando a Figura 28 observa-se que a potência de saída e o rendimento do conversor são inversamente proporcionais para a variação de R_o , com a possibilidade de aumento ou diminuição da potência. Diminuir a resistência de carga afeta o rendimento e, conseqüentemente, o ganho estático de tensão do conversor, conforme Equação 32. Foi observado também os esforços sobre os componentes, os quais responderam de maneira direta a variação de potência no conversor.

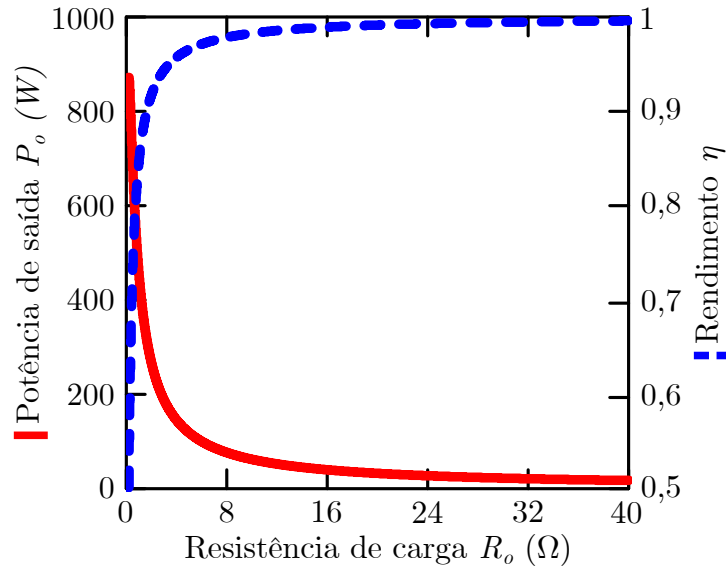


Figura 28 – Potência de saída e rendimento em função da resistência de carga.

3.6.2 Tensão de entrada

A Figura 29 apresenta a potência de saída e o rendimento do conversor em função da tensão de entrada V_i , a partir de $V_i = 1 V$.

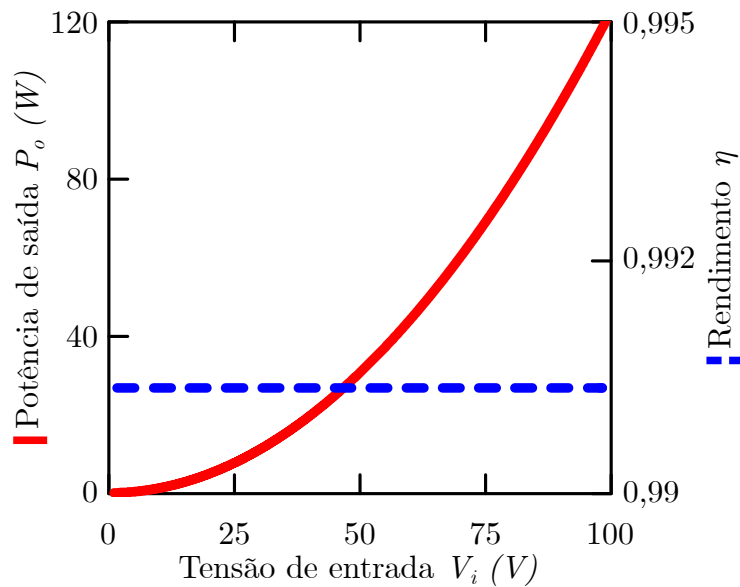


Figura 29 – Potência de saída e rendimento em relação a tensão de entrada.

Observando a Figura 29 a potência de saída pode ser regulada diretamente pela variação da tensão de entrada, enquanto o rendimento se mantém fixo. Isso ocorre porque, conforme Equação 31, o rendimento depende das resistências R_{eq} e R_o e essas não foram alteradas, assim a razão tensão de saída por tensão de entrada se mantém constante.

Também foram avaliados os esforços sobre os componentes, os quais responderam de forma direta a variação de tensão de entrada.

3.6.3 Resistência Equivalente

Como a R_{eq} obtida nesse projeto está próxima do seu valor mínimo, só é possível aumentar seu valor e assim causar uma redução na potência de saída. A Figura 30 apresenta a potência de saída e o rendimento do conversor em função da Resistência Equivalente R_{eq} , a partir da R_{eq} do projeto.

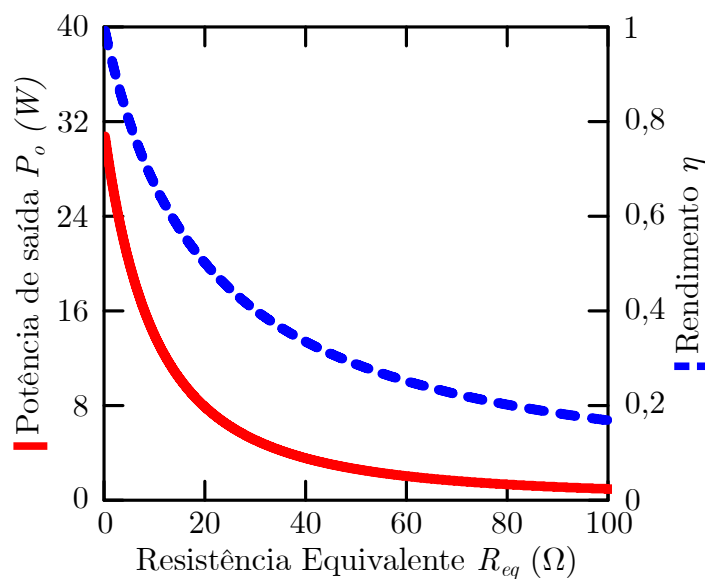


Figura 30 – Potência de saída e rendimento em relação a Resistência Equivalente.

Na Figura 30 observa-se a diminuição da potência de saída com o aumento da Resistência Equivalente do conversor, ao custo da diminuição do rendimento do circuito.

A R_{eq} do conversor, apresentada na Equação 26, dependente de quatro parâmetros: as não idealidades do conversor, contidas nas constantes de tempo τ_1 e τ_2 (nessa dissertação foram consideradas apenas as resistências de condução das chaves), a razão cíclica D_1 (substituindo D_2 por $1 - D_1$), a frequência de chaveamento f_s e os capacitores chaveados C_1 e C_2 , representados por C_{sw} . Esses parâmetros serão apresentados separadamente nas próximas seções.

Além das não idealidades resistivas, que geralmente são as únicas representadas, os componentes reais possuem capacitâncias e indutâncias intrínsecas. Ademais, os valores das não idealidades são suscetíveis a variação da temperatura e outros fatores, tornando

assim complexa a manipulação do circuito por tal meio. Assim, exclui-se essa possibilidade de variar a potência de saída.

3.6.3.1 Razão cíclica

Limitando D_1 de 0,1 até 0,9, o maior valor possível de R_{eq} é aproximadamente 4,5 vezes maior que seu valor mínimo, conforme Equação 9. Para situações nas quais a resistência de carga é muito maior que a Resistência Equivalente (como nesse caso em que R_o é aproximadamente 112 vezes maior que R_{eq}), uma variação de 4,5 vezes em R_{eq} tem baixa influência na potência de saída. A Figura 31 apresenta a potência e a Resistência Equivalente em função da razão cíclica D_1 .

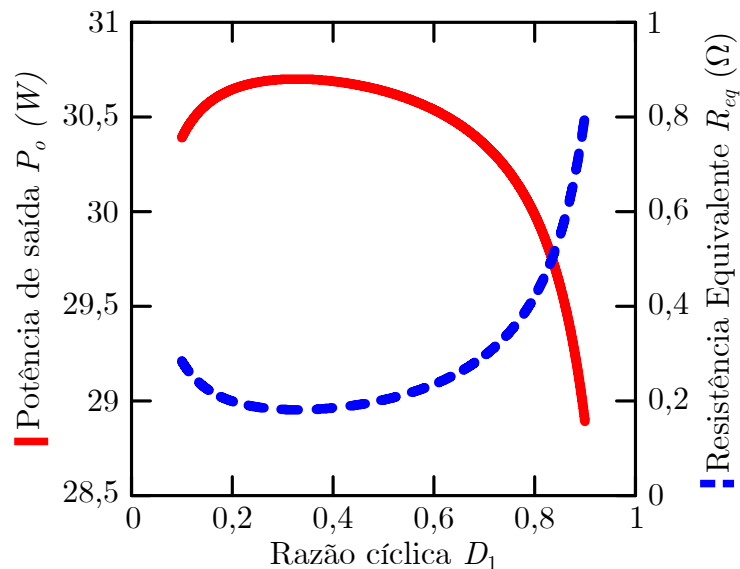


Figura 31 – Potência de saída e Resistência Equivalente em relação a razão cíclica D_1 .

Como é possível observar na Figura 31, dentro dos limites usuais para D_1 , de 0,1 até 0,9, a potência de saída varia pouco. A variação de D_1 para além dos limites acaba elevando consideravelmente o esforço de corrente nos componentes, conforme Tabela 3.

3.6.3.2 Capacitância

A Figura 32 apresenta a potência de saída e a Resistência Equivalente em função da capacitância C_{sw} , a partir de $C_{sw} = 1 \mu F$ até $C_{sw} = 500 \mu F$. Analisando a Figura 32 é possível reduzir a potência de saída reduzindo o valor da capacitância.

A variação da potência de saída por C_{sw} apresenta alguns problemas. O ponto

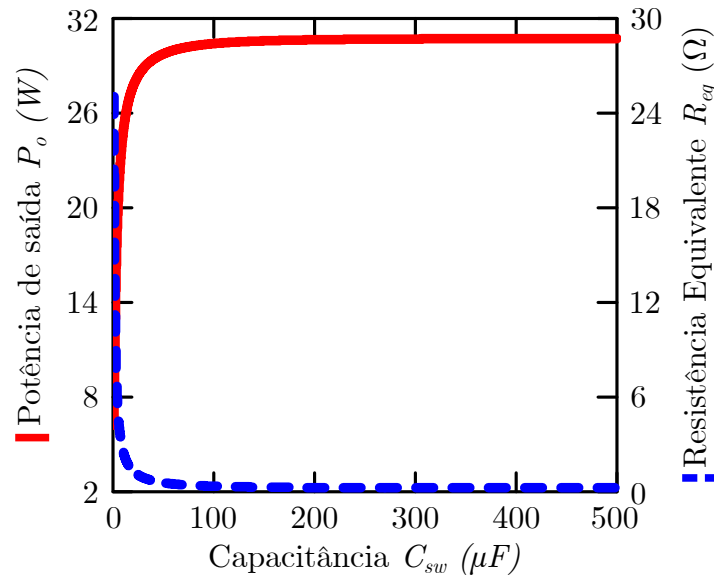


Figura 32 – Potência de saída e Resistência Equivalente em relação a capacitância C_{sw} .

de operação de C_{sw} na curva de potência está em uma região muito íngreme, assim uma pequena oscilação no valor de C_{sw} pode resultar em uma grande variação de potência na saída do conversor. Com a redução de C_{sw} a ondulação de tensão nos capacitores chaveados aumenta consideravelmente. Essa aumento da ondulação resulta em um aumento dos picos de corrente durante o chaveamento.

Foi realizada uma simulação para avaliar as correntes nas chaves ativas com a redução de C_{sw} . Foi utilizado o *software* PSIM versão 11.1.6, com passo de simulação de 10 ns, tempo de 3,84 ms até 3,99 ms (3 ciclos inteiros e em regime permanente). A Figura 33 (a) apresenta as correntes nas chaves S_1 e S_2 para $C_{sw} = 470 \mu F$, enquanto a Figura 33 (b) apresenta as correntes nas chaves S_1 e S_2 para $C_{sw} = 5 \mu F$.

Comparando as formas de onda de corrente de entrada (que é a mesma corrente da chave S_1 , curva em vermelho) observa-se o efeito negativo da redução da capacitância C_{sw} , ocasionando uma elevação nos picos da corrente, originalmente próximos de 3 A, para picos na ordem de 180 A, um aumento aproximadamente de 6000%. Quanto maior a ondulação de tensão em C_{sw} maiores serão os picos de corrente de entrada. O aumento do capacitor de saída, C_o , ajuda apenas no amortecimento da corrente da chave S_2 .

3.6.3.3 Frequência de chaveamento

A Figura 34 apresenta a potência de saída e a Resistência Equivalente em função da frequência de chaveamento f_s , a partir de $f_s = 100 Hz$.

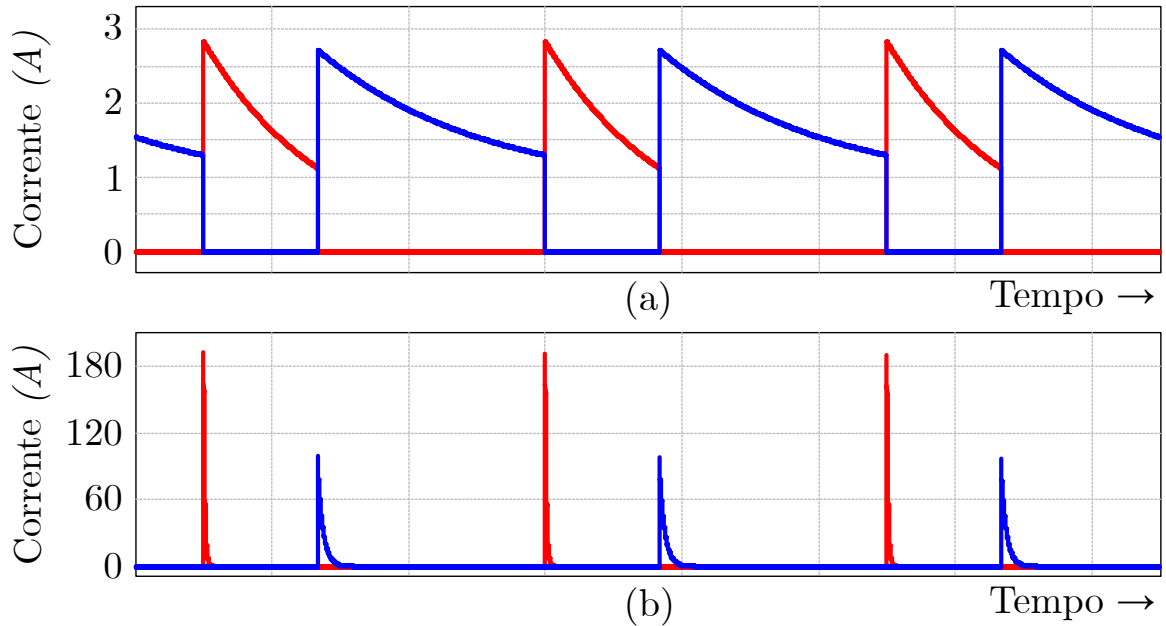


Figura 33 – Corrente nas chaves S_1 (em vermelho) e S_2 (em azul). (a) para $C_{sw} = 470 \mu F$ (b) para $C_{sw} = 5 \mu F$

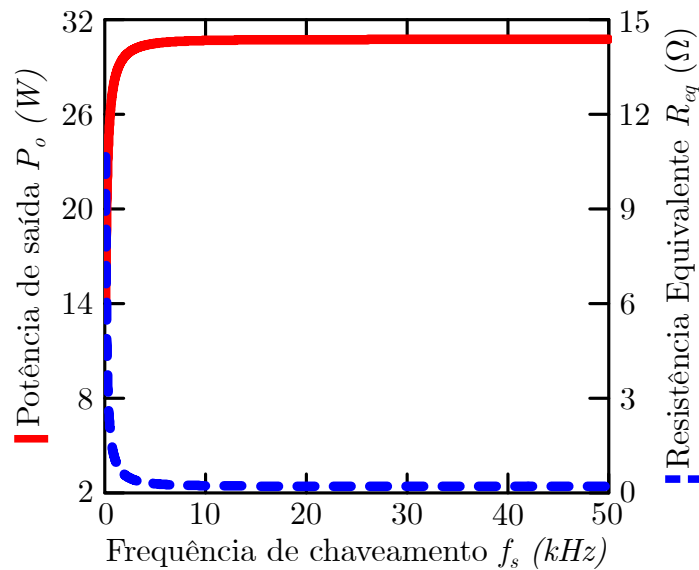


Figura 34 – Potência de saída e Resistência Equivalente em relação a frequência de chaveamento.

Observando a Figura 34 conclui-se que é possível reduzir a potência de saída do circuito com a redução da frequência de operação. Entretanto, além de operar em baixa frequência (no caso, dentro da faixa de ruído audível), a variação de frequência apresenta os mesmos problemas de variar C_{sw} , como o ponto de operação em região íngreme da curva e o aumento da ondulação de tensão nos capacitores chaveados, resultando em elevados picos de corrente.

Por tais análises, fica decidido para a implementação do SCC CC-CC serão

realizadas apenas as variações de tensão de entrada e de resistência de carga.

3.7 IMPLEMENTAÇÃO E RESULTADOS

Um protótipo do conversor a capacitor chaveado CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$, apresentado na Figura 5, foi implementado utilizando os componentes da Tabela 6, conforme disponibilidade em laboratório.

Tabela 6 – Componentes do protótipo.

Componentes		
Chaves S_1 e S_2	MOSFET IRF540N	100 V, 20 A
Diodos d_1 , d_{2a} e d_{2b}	MUR460	600 V, 4 A
Capacitores C_1 , C_2 e C_o	Eletrolítico de alumínio	470 μF , 100 V

Para o acionamento dos MOSFETs S_1 e S_2 foram utilizados dois *drivers* optocoplados baseados no Circuito Integrado (*Integrated Circuit*, IC) 6N137 e com uma topologia *push-pull*, com sinal de acionamento por Modulação de Largura de Pulso (*Pulse Width Modulation*, PWM) gerado por um microcontrolador STM32F103. A potência dos *drivers* não é inclusa na medição do rendimento. Para evitar que as chaves acionassem ao mesmo tempo foi utilizado um tempo morto de aproximadamente 1% do período de chaveamento no sinal de acionamento. A Figura 35 apresenta o circuito *driver* de topologia *push-pull* utilizando para acionamento dos MOSFETs do protótipo (um circuito para cada um dos MOSFETs).

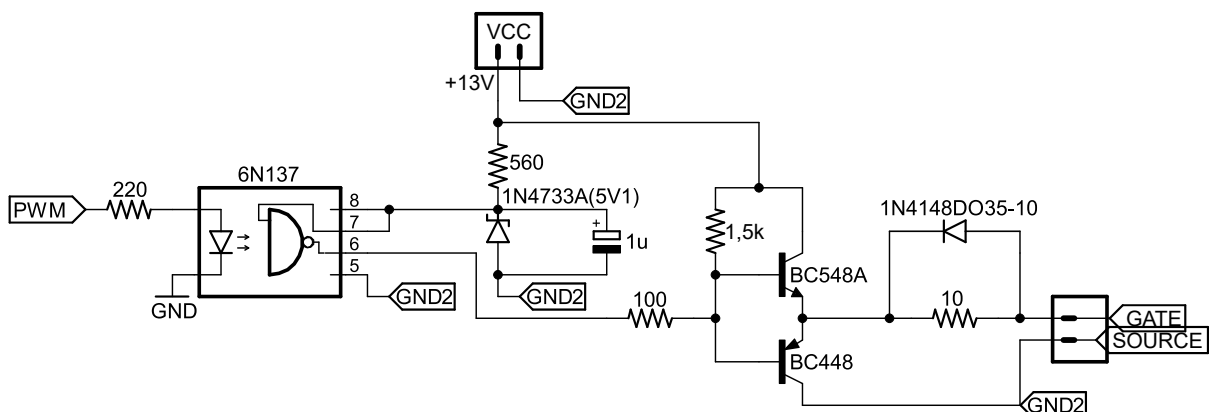


Figura 35 – Circuito *driver* de topologia *push-pull* utilizado para acionamento das chaves MOSFETs do protótipo de laboratório.

3.7.1 Resultado experimentais

A Figura 36 apresenta as tensões de entrada (U_{rms1}), de saída (U_{rms2}) e o rendimento (η_1) do protótipo de SCC implementado. Os resultados foram obtidos utilizando o Analisador de Energia Yokogawa WT1800E. O conversor apresentou ganho estático de 0,465, erro relativo de 6,25% em relação ao teórico de 0,496 e um rendimento de 87,9%, erro relativo de 11,3% em relação ao teórico de 99,1%. Tais erros estão associados ao fato de que em teoria considera-se apenas a resistência de condução das chaves ativas, enquanto na prática existem outras não idealidades e que, para essa topologia de conversor, impactam de maneira acentuada o rendimento do conversor.

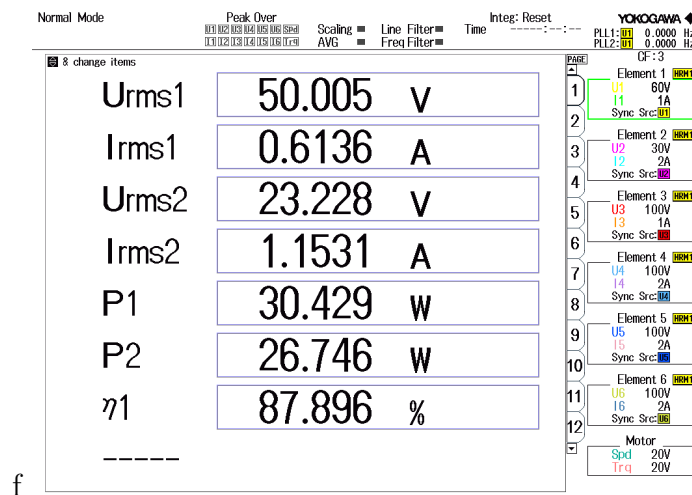


Figura 36 – Resultado do analisador de energia para valores nominais de projeto.

A Figura 37 apresenta as tensões nas chaves S_1 e S_2 . Esses resultados foram obtidos com o uso de um osciloscópio.

A Figura 38 apresenta as tensões nos diodos d_1 , d_{2a} e d_{2b} .

Nas figuras, observa-se uma ondulação nas tensões (em uma frequência maior que a frequência de chaveamento), mais acentuada nas tensões sobre a chave S_2 e sobre o diodo d_{2b} . A ondulação inicia durante o fechamento de uma das chaves e tende a atenuar, até que a outra chave feche e o processo recomeça, sendo tal ondulação causada pela ressonância entre os elementos parasitas do conversor (como capacitâncias e indutâncias parasitas). Além disso, observa-se os valores máximos de tensão sobre os semicondutores próximos da tensão $V_i/2$, conforme previsto em projeto.

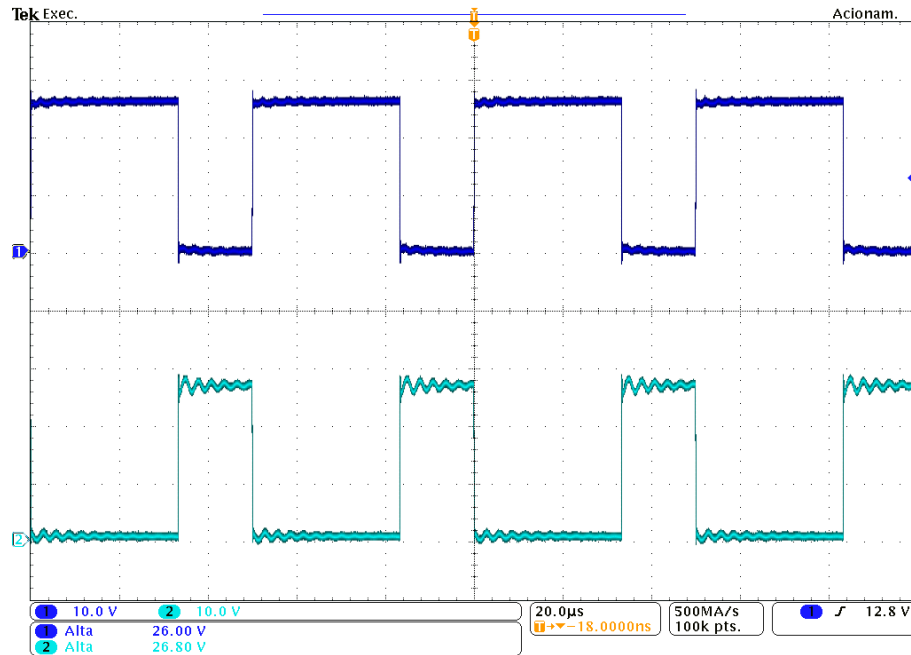


Figura 37 – Tensão da chave S_1 (Canal 1) e tensão da chave S_2 (Canal 2).

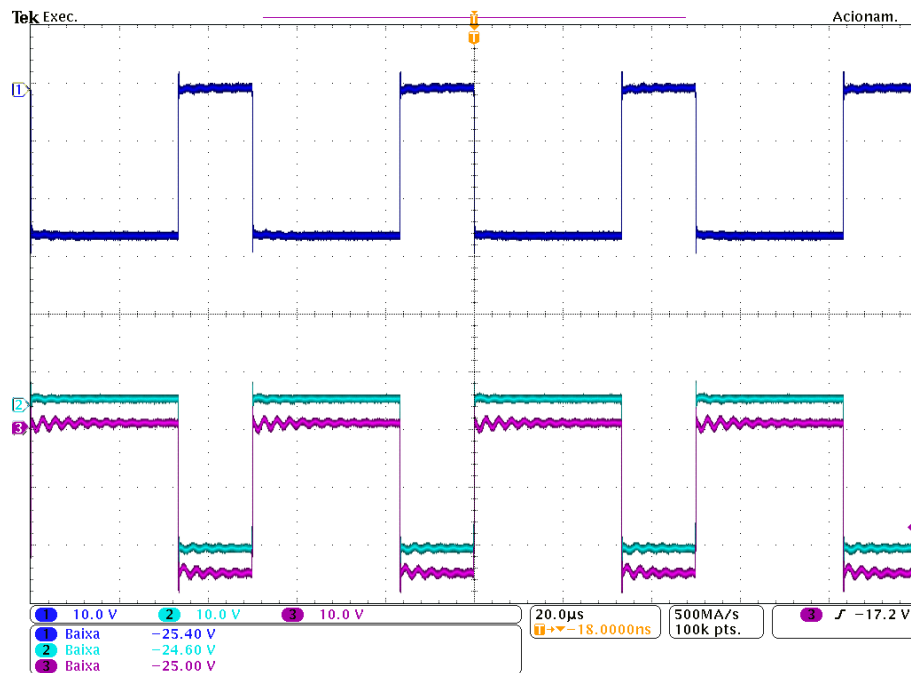


Figura 38 – Tensões do diodo d_1 (Canal 1), do diodo d_{2a} (Canal 2) e do diodo d_{2b} (Canal 3).

3.7.1.1 Regulação da potência de saída

Com o analisador de energia Yokogawa, foram realizadas duas seqüências de testes: a primeira variando a tensão de entrada e a segunda variando a carga do conversor, em ambas foram coletados os dados de potência de saída e rendimento.

As Figuras 39 e 40 apresentam a potência de saída do conversor em função da variação de tensão de entrada e da variação de resistência de carga, respectivamente.

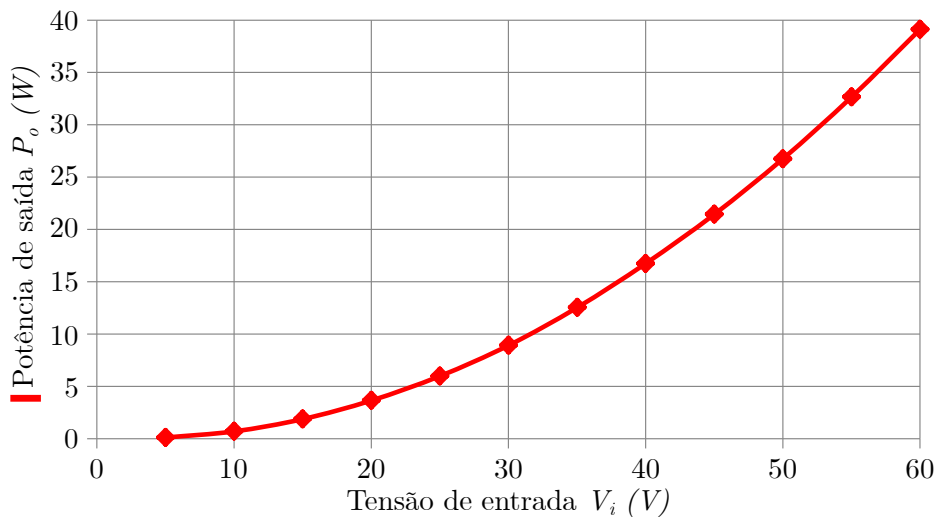


Figura 39 – Resultados práticos da potência de saída em função da tensão de entrada.

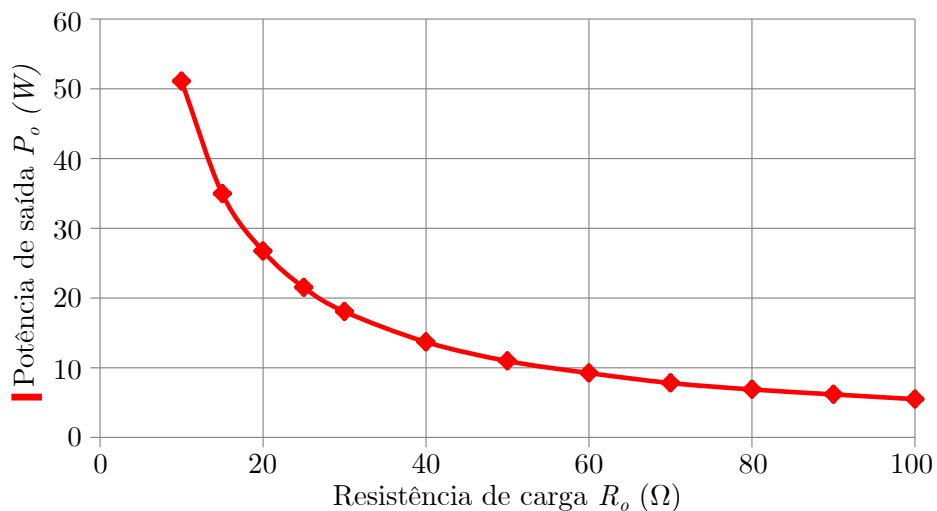


Figura 40 – Resultados práticos da potência de saída em função da resistência de carga.

Comparando os resultados práticos, Figuras 39 e 40, com as estimativas do modelo teórico, Figuras 29 e 30 respectivamente, nota-se que a potência de saída do protótipo do conversor comporta-se conforme o esperado teoricamente, em que o aumento da tensão de entrada eleva a potência de saída (Figura 39) e o aumento da resistência de carga reduz a potência de saída (Figura 40).

A Figura 41 apresenta o rendimento do conversor em função da potência de saída, para a variação de tensão de entrada (curva em vermelho) e para a variação de resistência de carga (curva em azul).

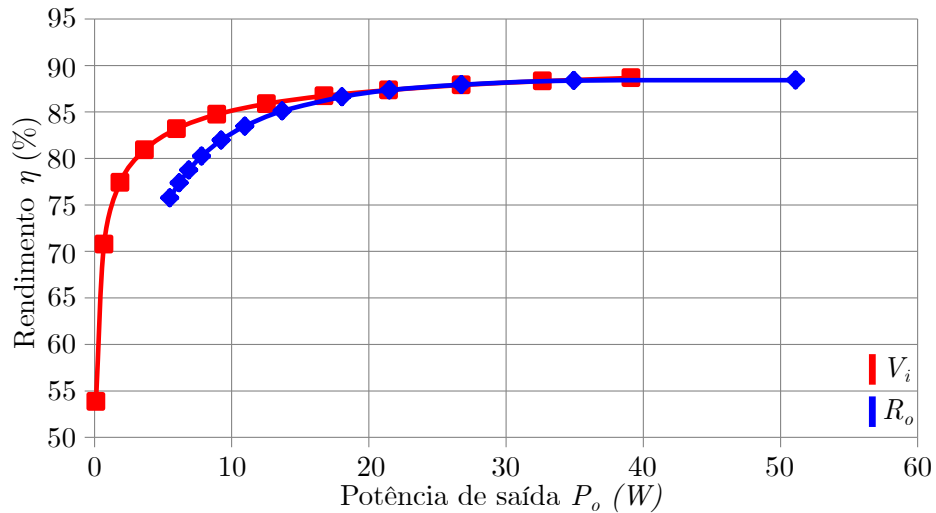
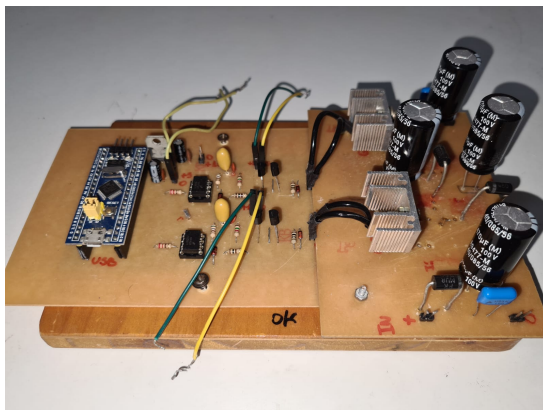


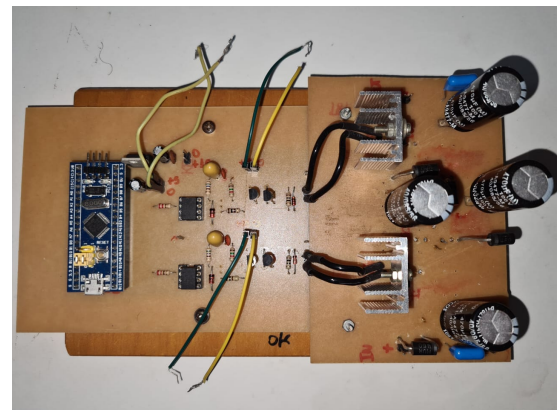
Figura 41 – Resultados práticos do rendimento em função da tensão de entrada (em vermelho) e da resistência de carga (em azul).

De acordo com a Figura 41, o conversor apresenta máximo rendimento de 88,65% para a tensão de entrada igual a 60 V e máximo rendimento de 88,42% para uma resistência de carga de 10 Ω . O protótipo do conversor apresenta maior rendimento com o aumento da potência (acima de aproximadamente 20 W), isso é atribuído ao fato de que em baixa potência as perdas por elementos parasitas se tornam mais relevantes e reduzem o rendimento. Nota-se que acima dessa faixa há pouca diferença entre os métodos de variação de potência de saída. Percebe-se que para valores mais baixos de potência (abaixo de aproximadamente 20 W) existe uma grande variação no rendimento, porém acima dos 20 W o rendimento tende a variar pouco, estabilizando-se próximo de 88%.

As Figuras 42 (a) e (b) apresentam o protótipo de laboratório do SCC CC-CC utilizado para obtenção dos resultados práticos desse capítulo.



(a) Vista lateral



(b) Vista superior

Figura 42 – Protótipo de laboratório do SCC CC-CC.

3.8 TRANSITÓRIO DE PARTIDA

Uma característica de conversores a capacitor chaveado são os picos de corrente durante transitórios. Considerando o transitório de partida, inicialmente os capacitores chaveados, que estão descarregados, são conectados em série com a fonte de tensão da entrada juntamente com a resistência de condução da chave ativa. Com essa alta variação inicial de tensão e com a baixa resistência de condução da chave, ocorre um pico de corrente muito elevado, que diminui a cada ciclo completo de chaveamento devida a variação de tensão nos capacitores se tornar cada vez menor, até chegar no valor de regime permanente. A Figura 43 apresenta a simulação do transitório de partida do SCC, com os valores nominais do conversor projetado.

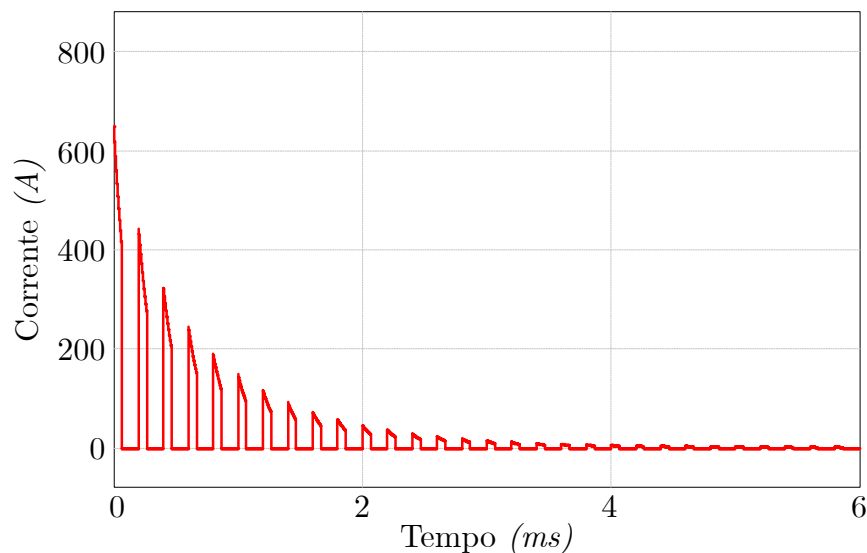


Figura 43 – Resultado da simulação da corrente de entrada do SCC durante o transitório de partida.

Enquanto em regime permanente o circuito apresenta picos de corrente próximos de 3 A, durante o primeiro ciclo de chaveamento o transitório de partida apresenta um pico de corrente de 648 A, valor aproximadamente 21.600% maior. O parâmetro com maior influência no valor de pico é a tensão de entrada, assim se faz necessário uma estratégia para aplicar a tensão de entrada. Para a implementação realizada, a tensão de entrada foi elevada gradativamente, assim mantendo sempre uma baixa diferença de tensão entre a fonte de tensão e os capacitores chaveados, resultando picos de corrente menores e suportáveis pelos componentes eletrônicos. A conexão direta do circuito à rede elétrica será discutida durante a implementação do conversor CA-CC, no Capítulo 6.

3.8.1 Questões do *driver* para as chaves ativas

Inicialmente as chaves S_1 e S_2 foram acionadas utilizando um *driver* baseado no IC IR2110, que utiliza a técnica de *bootstrap* para acionar a chave *high-side S_1 . A Figura 44 apresenta o diagrama de blocos desse IC (IR, 2007).*

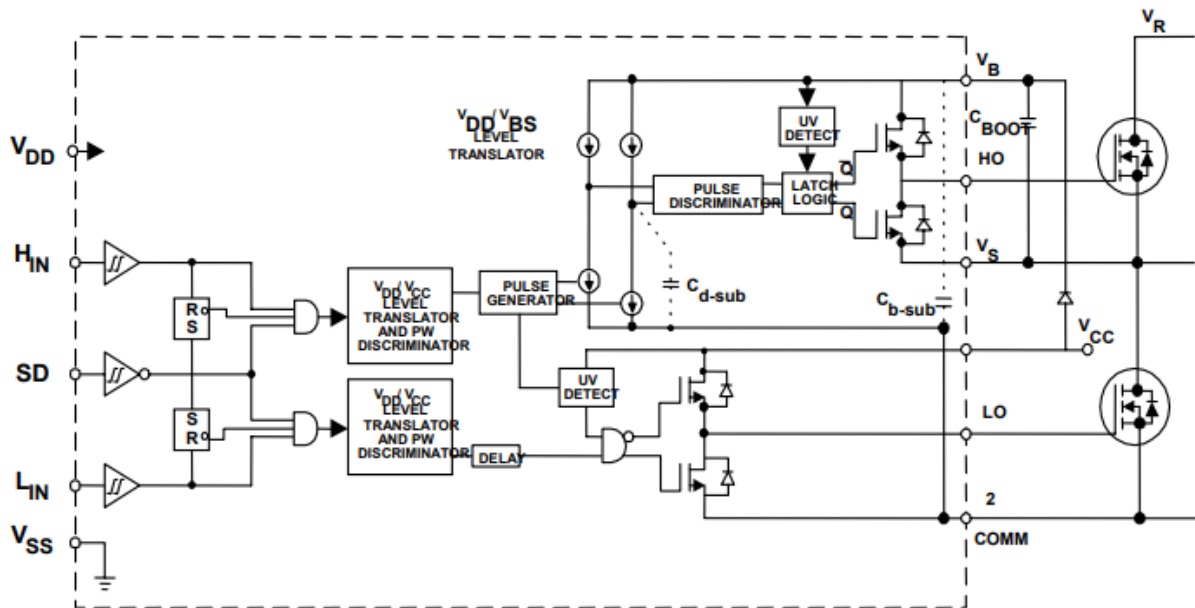


Figura 44 – Diagrama de blocos para o circuito integrado IR2110.
Fonte: IR (2007).

Esse circuito integrado foi desenvolvido e é amplamente utilizado como *driver* de circuitos como conversor *buck* e inversor *half-bridge*, que também utilizam chave *high-side*. Entretanto, nesses circuitos quando a chave acionada pelo *bootstrap* está desligada a tensão no terminal *source* é zero. No caso do conversor *buck* isso acontece pelo acionamento do diodo presente no circuito e no caso do *half-bridge* (e *buck* síncrono) pelo acionamento da chave *low-side*. Enquanto a chave *high-side* estiver desligada, o capacitor de *bootstrap* é carregado com tensão de alimentação do *driver*, V_{CC} , menos a tensão do terminal *source*, V_S , nesse caso zero volts.

Entretanto, para o SCC utilizado, quando a chave ativa S_1 é desligada a tensão no terminal *source* é V_{Csw} , ou seja, aproximadamente igual a $V_i/2$. Caso a tensão $V_i/2$ seja superior a tensão de alimentação do *driver* (V_{CC}) o diodo do *bootstrap* não irá conduzir, não carregando o capacitor de *bootstrap*.

Caso a tensão $V_i/2$ seja menor que a tensão de alimentação do *driver* (V_{CC}) o diodo irá conduzir e o capacitor de *bootstrap* será carregado com $V_i/2 - V_{CC}$. Se essa tensão

resultante for superior à tensão de *threshold* (V_{th}) do MOSFET S_1 então o circuito poderá ser acionado por esse *driver*.

Por exemplo, utilizando uma tensão de alimentação do *driver* de 12 V (valor tipicamente utilizado) e considerando uma tensão V_{th} de 4 V (valor típico para o MOSFET IRF540), o conversor pode operar com tensão de entrada V_i de até 32 V. Sendo que a tensão V_{GS} necessária para o acionamento da chave depende da corrente de dreno, I_D , quanto maior a corrente maior será a tensão necessária, conforme Figura 45.

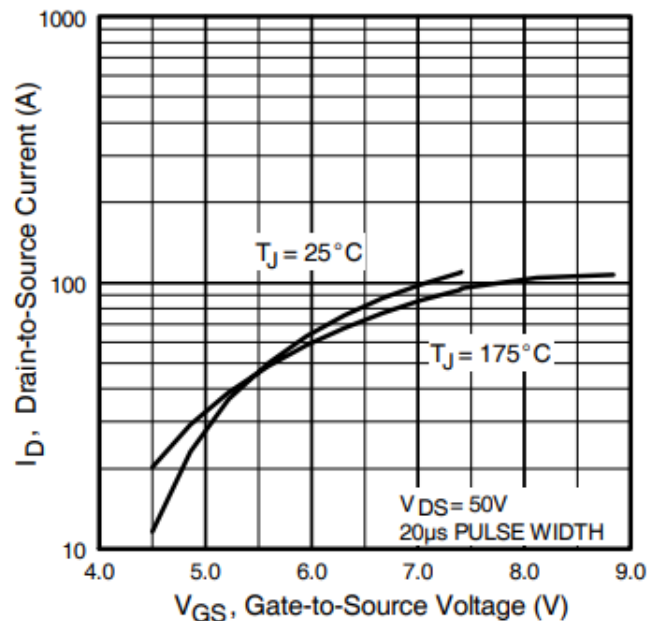


Figura 45 – Curva característica, corrente de dreno, I_D , em função da tensão de *gate-source*, V_{GS} , para o MOSFET IRF540.
Fonte: IR (2003).

Dessa forma, a utilização de um *driver* baseado no IC IR2110 não apresentou resultados satisfatórios, por limitar a tensão de entrada que poderia ser utilizada, impossibilitando a ampla utilização do SCC. Dessa forma nos protótipos desenvolvidos nessa dissertação optou-se por utilizar um *driver* opto-acoplado baseado no IC 6N137.

Não foram encontrados trabalhos na literatura que apresentassem essa análise quanto a limitação da topologia de *driver* a ser utilizada em conversores a capacitor chaveado, destacando uma contribuição dessa dissertação.

3.9 CONCLUSÕES PARCIAIS

Esse capítulo apresentou um novo modelo médio equivalente para a topologia de SCC em questão. Além disso, apresentou as principais equações para valores médios

e também uma metodologia de projeto, que seria avaliada pela implementação de um protótipo de laboratório.

O projeto evidencia a importância de reduzir o valor da Resistência Equivalente do conversor para o seu valor mínimo, minimizando as perdas. Teoricamente, quanto maior for a razão da resistência de carga por Resistência Equivalente, maior será o rendimento. Entretanto, na prática o aumento da resistência de carga diminui a potência do circuito, ocasionando com que perdas (como nos diodos, nos capacitores, perdas por chaveamento, entre outras) se tornem mais relevantes e reduzam o rendimento do circuito.

As variações de tensão de entrada e resistência de carga apresentaram desempenho satisfatório, permitindo uma variação de potência sem comprometer o funcionamento do conversor. A variação por razão cíclica se mostrou insuficiente (para o projeto aqui apresentado, na qual a resistência de carga é muito maior que a Resistência Equivalente). As regulações de potência por alteração nas capacitâncias ou na frequência de chaveamento se mostraram insatisfatórias, fazendo com que o circuito apresente picos de corrente muito maiores que o pico de quando o conversor está operando conforme projeto. Além disso, questões sobre topologias de *driver* para as chaves foram consideradas e discutidas, apresentando contribuições.

4 PROJETO DO CONVERSOR CC-CC SCC PARA OPERAÇÃO NO MODO DE CONDUÇÃO DESCONTÍNUA DE CORRENTE

Neste capítulo será apresentado em detalhe o modo CDC, sua definição e conceito. Também será apresentado um *script* para identificação do modo crítico de operação (limiar entre os dois modos de condução), além de uma discussão sobre as principais equações de projeto. Por fim, será apresentada uma simulação computacional com finalidade de validar o projeto do conversor em modo CDC.

4.1 OPERAÇÃO EM MODO CDC

Para que o SCC CC-CC opere no modo CDC, atingindo a tensão de $V_i/2$ nos capacitores chaveados antes do tempo $t = D_1 \cdot T_s$, é necessário elevar o valor da Resistência Equivalente do conversor. Conforme Equação 26, o valor da Resistência Equivalente pode ser alterado por:

- i. **Não idealidades resistivas:** Sujeitas às variações paramétricas, as não idealidades podem variar de elemento para elemento de um mesmo lote, além de apresentar variação por temperatura, tornando-as parâmetros difíceis de manipular. Por esse motivo não cogitou-se a manipulação da Resistência Equivalente por esse parâmetro.
- ii. **Razão cíclica:** Conforme apresentado na Figura 31, Capítulo 3, limitando a razão cíclica de 0,1 até 0,9 a Resistência Equivalente pode ser elevada aproximadamente 4,5 vezes de seu valor mínimo, sendo geralmente insuficiente para alterar o modo de operação.
- iii. **Frequência de chaveamento:** Como apresentado na Figura 34, Capítulo 3, para elevar a Resistência Equivalente de forma significativa é necessário reduzir a frequência para algumas centenas de *Hertz*, entrando na faixa de ruído audível, o que limitaria locais para a aplicação do conversor.
- iv. **Capacitância:** É possível alterar a Resistência Equivalente do conversor alterando a capacitância dos capacitores chaveados, bastando trocar o capacitor e respeitar os limites de tensão do componente. Apesar de existir certa variação de capacitância no componente real, é o parâmetro mais simples para alterar a Resistência Equivalente.

Dessa forma, nessa dissertação optou-se por utilizar a capacitância para alteração da Resistência Equivalente para operação do SCC CC-CC em modo CDC.

Busca-se o ponto crítico de operação, ponto esse que separa os modos de operação CCC e CDC. Esse ponto encontra-se quando $v_{C_{sw}}(D_1 \cdot T_s) = V_i/2$, assim há sempre corrente nos capacitores chaveados, porém qualquer variação positiva no valor da Resistência Equivalente criará uma descontinuidade na corrente, alterando o modo de condução. A Figura 46 apresenta as formas de onda da tensão (em azul) e da corrente (em vermelho) nos capacitores chaveados operando no ponto crítico. Observa-se que durante toda a primeira etapa ($D_1 T_s$) a tensão no capacitor é carregada até $V_i/2$, enquanto a sua corrente é descarregada até 0 A. Detalhe para $t = D_1 T_s$, em que a tensão no capacitor é $V_i/2$ e sua corrente 0 A, indicando o limiar entre os modos de condução.

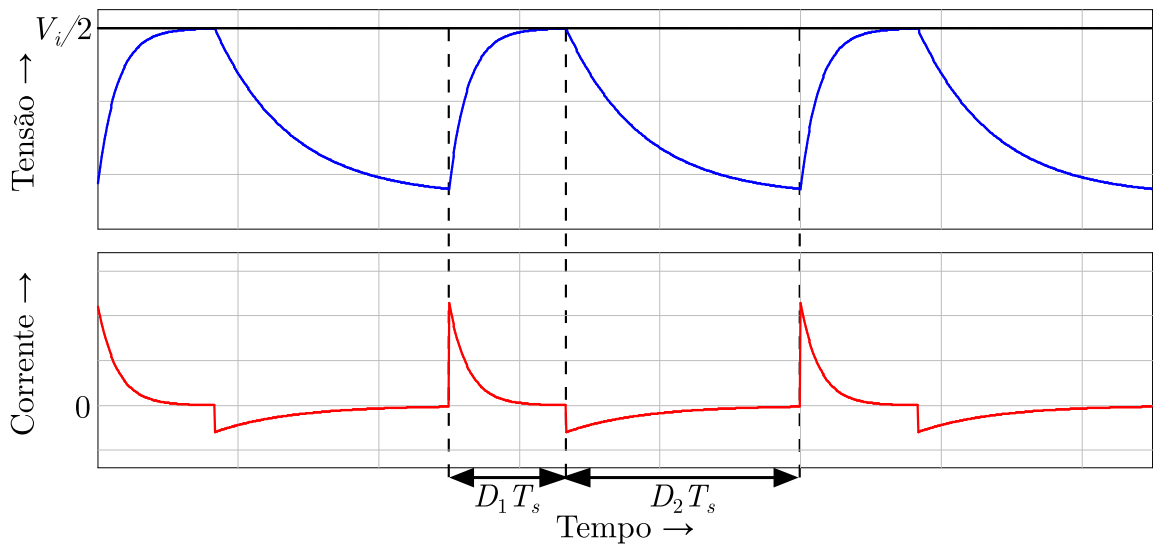


Figura 46 – Tensão (superior, em azul) e corrente (inferior, em vermelho) nos capacitores chaveados do SCC CC-CC operando como CDC. Destaque para momento em que $v_{C_{sw}}(D_1 \cdot T_s) = V_i/2$ e $i_{C_{sw}}(D_1 \cdot T_s) = 0$ A.

Para identificar o ponto crítico, criou-se um *script*, em linguagem *Python*, com o objetivo de identificar o valor de C_{sw} em que o conversor se encontra no ponto crítico de operação. A ideia do *script* é inferir um valor de C_{sw} , calcular o valor da Resistência Equivalente, calcular o valor da tensão de saída e calcular o valor da tensão máxima nos capacitores chaveados (sequência necessária para o cálculo). Esse procedimento é realizado para uma faixa de valores de C_{sw} e ao final identifica-se o valor mais elevado de C_{sw} que faz com que a tensão máxima no capacitor chaveado (V_b) seja igual a $V_i/2$ em $t = D_1 \cdot T_s$, assim obtém-se o valor de capacitância crítica C_{sw_crit} , que leva o conversor a operar no ponto crítico. Qualquer valor de capacitância menor que o calculado levará o conversor a

operar no CDC e valores de capacitância maiores levarão o conversor a operar em CCC. O *script* completo encontra-se no Apêndice A.

A Figura 47 apresenta o fluxograma do funcionamento do *script* para cálculo do valor de capacitância crítica. Na figura estão dispostos cinco blocos, em vermelho, os quais estão enumerados, representando a ordem das etapas para os cálculos.

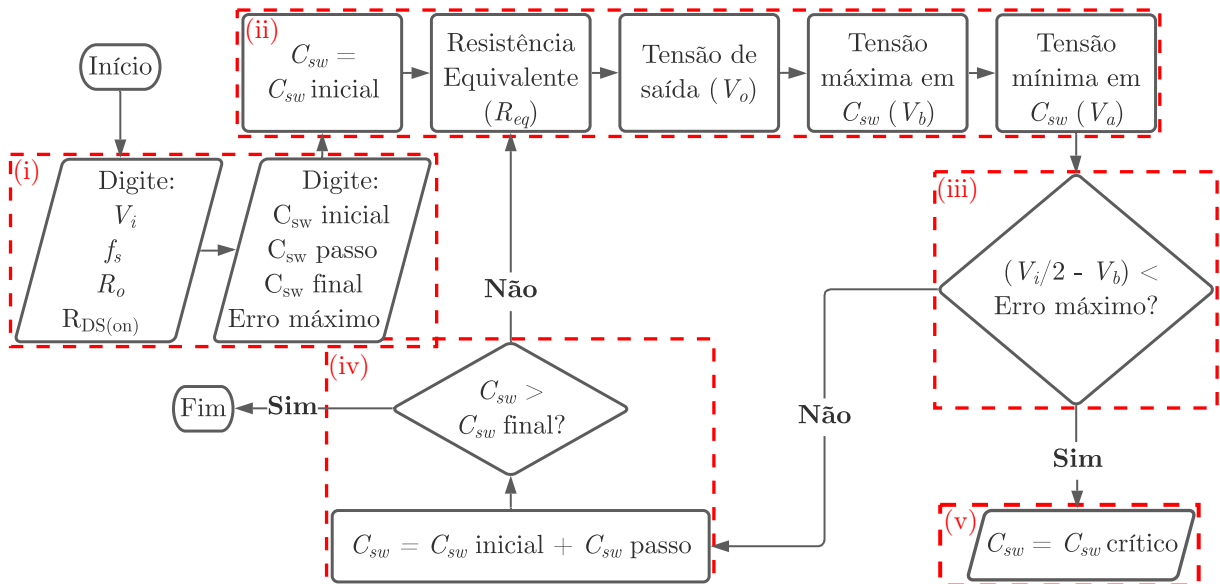


Figura 47 – Fluxograma do funcionamento do *script* para cálculo do valor de capacitância crítica.

O funcionamento de cada um dos blocos é explicado a seguir:

- i. O primeiro bloco apresenta dos dados iniciais que devem ser inseridos para início do processo. Entre tais dados estão a tensão CC de entrada, a frequência de chaveamento, a resistência de carga e a resistência de condução das chaves ativas. Além disso, deve-se inserir a faixa de valores de capacitância que o *script* deverá percorrer (avaliando se dentro de tal faixa encontra-se o valor da capacitância crítica), assim deve-se definir o valor inicial e final de capacitância, assim como o valor do passo da capacitância, ou seja, o valor do incremento da capacitância que é realizado a cada ciclo de cálculos do *script*. O último parâmetro a ser inferido é o erro máximo permitido para o cálculo;
- ii. O segundo bloco apresenta o conjunto dos principais cálculos realizados. Com o valor de capacitância (para o primeiro cálculo é o valor de capacitância inicial, inferido como dado de entrada), é calculado um valor de Resistência Equivalente, em seguida é calculado o valor da tensão de saída, na sequência são calculados os valores de

máximo e mínimo de tensão no capacitor chaveado. Esse cálculo é feito até o tempo $t = D_1 \cdot T_s$;

- iii. O terceiro bloco é um bloco de comparação. O resultado entre metade da tensão de entrada menos a tensão máxima no capacitor chaveado é comparado com o valor do erro máximo. Caso o valor resultante seja menor que o erro máximo, então o processo se encaminha pelo bloco (v), e caso o valor seja maior então o processo se encaminha pelo bloco (iv);
- iv. O quarto bloco representa a realimentação do ciclo. Quando o processo passa por esse bloco, significa que a capacitância utilizada para os cálculos não é a capacitância crítica, assim ao valor de capacitância utilizada anteriormente é incrementado o valor de capacitância de passo, gerando um novo valor de capacitância e com esse novo valor o ciclo de cálculo é refeito, passando pelos blocos (ii) e (iii). Caso o valor da capacitância seja maior que o valor da capacitância final, inserido anteriormente como dado de entrada, então o processo encerra. Assim, os cálculos são realizados para todos os valores estipulados dentro da faixa de capacitância inserida pelo usuário;
- v. O quinto bloco armazena o valor da capacitância crítica, ou seja, o valor de capacitância capaz de fazer com que a diferença do bloco (iii) seja menor que o erro máximo, ou seja, a tensão máxima no capacitor atinge $V_i/2$ em $t = D_1 \cdot T_s$. É possível que mais de um valor de capacitância resulte em uma condição positiva no bloco (iii), assim é considerada como capacitância crítica o primeiro valor a atingir tal condição. Também é possível que nenhuma capacitância dentro da faixa de capacitância inserida possa ser considerada como capacitância crítica, assim cabe ao usuário alterar os parâmetros de busca da faixa de capacitância.

Para aferir se o *script* está funcionando conforme desejado, será simulado um SCC operando com a capacitância C_{sw_crit} . A simulação será realizada com base no projeto do modo CCC, apresentado no Capítulo 3, com o *software* PSIM.

O *software* PSIM apresenta para o eixo das ordenadas o menor passo possível de $1 \cdot 10^{-6}$. Por exemplo, para o projeto em questão em que $V_i/2 = 25 V$, o *software* mensura de $24,999999 V$ para $25 V$. Devido a isso, busca-se no *script* o primeiro resultado que atenda os critérios e que possua um erro menor que $1 \cdot 10^{-6}$, para que o PSIM considere tal valor como $25 V$. Aplicando os parâmetros de projeto, Tabela 7, no *script*, encontrou-se

uma capacitância crítica de $C_{sw_crit} = 28,4 \mu F$. Em simulação computacional constatou-se que a capacitância é de aproximadamente $C_{sw_crit} = 28,5 \mu F$, valor próximo do mensurado via *script*, erro percentual relativo ao *script* de aproximadamente 0,35%.

Tabela 7 – Parâmetros utilizados no SCC CC-CC em modo CDC.

Parâmetro	Valor
Tensão de entrada (V_i)	50 V_{CC}
Frequência de chaveamento (f_s)	20 kHz
Resistência de condução das chaves ($R_{DS_{on}}$)	77 $m\Omega$
Resistência Equivalente Mínima (R_{eq_min})	173,25 $m\Omega$
Resistência de carga (R_o)	20 Ω
Razão cíclica da chave S_1 (D_1)	1/3
Razão cíclica da chave S_2 (D_2)	2/3

4.2 EQUAÇÕES DE PROJETO

Para o projeto do conversor no modo CDC podem ser utilizadas as mesmas equações de modelo médio do modo CCC. O motivo disso é que a segunda etapa do modo CDC é relativamente curta e muito semelhante com a sua terceira etapa, e que somadas se assemelham muito a segunda etapa do modo CCC, conforme Figuras 8 e 11, sendo o erro resultante dessa aproximação baixo. Para validar tal afirmação, será realizada uma simulação computacional de um SCC CC-CC operando em modo CDC para comparações com os resultados teóricos. O SCC terá como base o projeto apresentado no Capítulo 3, conforme parâmetros da Tabela 7.

Para a simulação computacional utilizou-se o *software* PSIM versão *Standard* 2021a.2.5, com passo de simulação de 10 ns (5000 pontos em relação a frequência de chaveamento) e com tempo de simulação de 0,5 s até 0,50025 s (circuito em regime permanente, medição de cinco ciclos completos da frequência de chaveamento). Em todas as simulações computacionais dessa dissertação o cálculo de potência média foi por meio da multiplicação entre tensão e corrente instantânea (para obtenção da potência instantânea) e mensurado o valor médio da resultante, que é a definição de potência ativa.

Para que o conversor opere em CDC é necessário que a capacitância dos capacitores chaveados esteja abaixo do valor de capacitância chaveada crítica encontrado pelo *script* do Apêndice A. Visando garantir que o conversor opere em modo CDC, optou-se por reduzir e utilizar a capacitância chaveada de $C_{sw} = 15 \mu F$, valor menor que a capacitância crítica de $C_{sw_crit} = 28,5 \mu F$ mensurada anteriormente.

A Figura 48 (superior, azul) apresenta, ao menos, um ciclo completo da tensão nos capacitores chaveados e a Figura 48 (inferior, vermelho) apresenta, ao menos, um ciclo completo da corrente dos capacitores chaveados. Destaque para os momentos em que $v_{C_{sw}}(500,05907 \text{ ms}) = 25 \text{ V}$ e, conseqüentemente, $i_{C_{sw}}(500,05907 \text{ ms}) = 0 \text{ A}$, assim como quando há a comutação das chaves ($D_1 \cdot T_s$), confirmando a operação do conversor em modo CDC. Também são apresentadas as três etapas de operação do conversor no modo CDC.

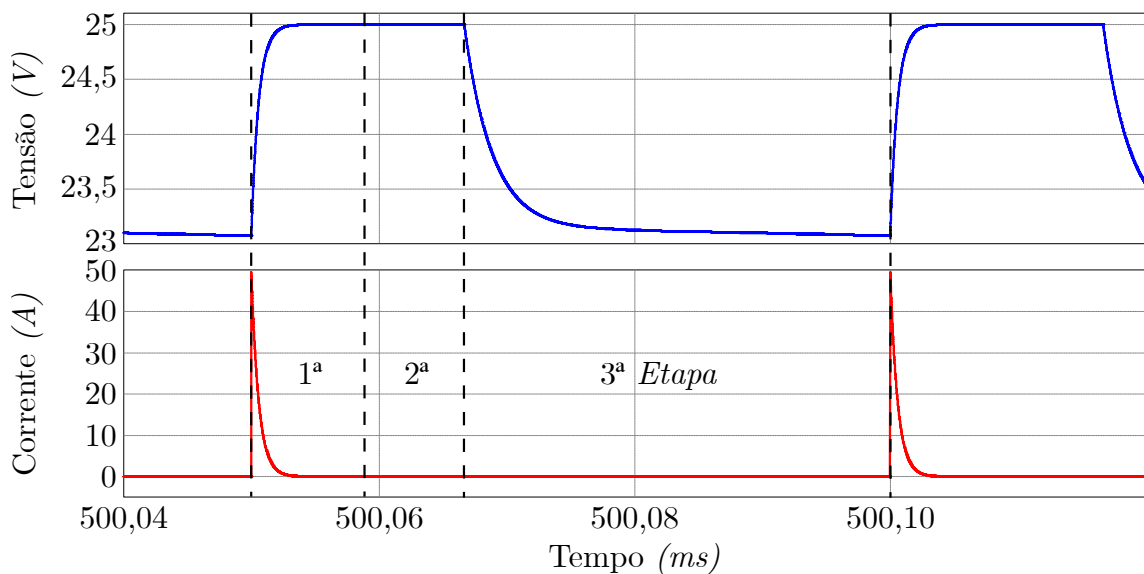


Figura 48 – Forma de onda de tensão (superior, azul) e corrente (inferior, vermelho) nos capacitores chaveados para o conversor operando em modo CDC.

A Tabela 8 apresenta a comparação dos resultados da simulação computacional com os resultados teóricos (equações apresentadas no Capítulo 3), assim como o erro percentual entre eles em relação aos valores da simulação computacional.

Tabela 8 – Resultados do conversor operando em modo CDC, com capacitores chaveados de $15 \mu F$.

Parâmetro	Teórico	Simulação	Erro (%)
Tensão de saída (V_o)	23,08 V	23,08 V	0
Corrente de saída (I_o)	1,15 A	1,15 A	0
Potência de saída (P_o)	26,63 W	26,65 W	0,0751
Potência de entrada (P_i)	28,85 W	28,62 W	0,7972
Rendimento (η)	92,31%	93,12%	0,8774

Observando que os valores dos erros percentuais obtidos da Tabela 8 são todos inferiores a 0,9%, constata-se de que é válida a utilização das equações do modo CCC para o modo CDC devido a semelhança das etapas de operação entre os modos.

4.3 CONCLUSÕES PARCIAIS

Nesse Capítulo 4 foi apresentado o SCC operando no modo CDC. Para o modo CCC foram apresentados modelo equivalente, equacionamento, projeto, considerações sobre a regulação da potência de saída, simulações computacionais e a implementação de um protótipo de laboratório. Para o modo CDC foi apresentado seu princípio de funcionamento, uma metodologia para o cálculo da capacitância crítica, permitindo o projeto do modo de operação desejado para o conversor. Além disso, foi apresentado um exemplo de projeto, que foi validado por simulação computacional. O conversor CCC em modo CDC não foi implementado devido ao seu rendimento ser muito inferior ao CCC, o que não justificaria a implementação (visto que para o conversor CC-CC o rendimento é um importante parâmetro de comparação).

Até essa etapa dessa dissertação foi apresentado o SCC operando apenas como conversor CC-CC. Nos próximos capítulos o conversor a capacitor chaveado será abordado operando como conversor CA-CC, permitindo assim sua utilização na rede de distribuição de energia elétrica.

5 CONVERTOR CA-CC A CAPACITOR CHAVEADO ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO 1/2

Até o presente momento foi apresentado, nessa dissertação, apenas o conversor a capacitor chaveado abaixador série-paralelo CC-CC. Nesse capítulo será apresentado o mesmo conversor utilizando a rede elétrica de distribuição (fonte CA de tensão) como fonte de tensão de entrada, ou seja, o conversor operando como CA-CC.

5.1 CONVERTOR A CAPACITOR CHAVEADO ATUANDO COMO PFC NA LITERATURA

Na literatura são apresentados alguns SCCs híbridos, que utilizam indutor(es), atuando como PFC, retirando umas das mais importantes características do SCC que é a ausência de indutor(es) (BOLZAN *et al.*, 2018; KISHORE; TRIPATHI, 2018).

Dentre as topologias de SCC sem indutores, em Andersen *et al.* (2012) são apresentados dois SCCs monofásicos CA-CA de topologia *ladder*, sendo um abaixador e outro elevador (estágio único). O SCC abaixador apresentou PF de 0,9687 e eficiência acima de 96%. Apesar dos bons resultados, os conversores operam como CA-CA e não enfrentam certas limitações que o CA-CC enfrenta, essas que serão discutidas posteriormente nessa dissertação. Em Silva *et al.* (2018) é apresentada uma versão trifásica desse conversor.

Em Meyvaert *et al.* (2015) é apresentado um circuito CA-CC e CC-CC (em circuito integrado), com tensão de entrada $230 V_{RMS}$ sendo o estágio CC-CC um SCC rebaixando a tensão de entrada (na faixa de 35 a 40 V) para uma saída de 3,3 V, com potência de 100 mW e eficiência de 94,7%, não sendo apresentados dados de PF e THD.

Em Bolzan *et al.* (2016) é apresentada uma análise comparativa entre três topologias de conversor a capacitor chaveado para alimentação de uma lâmpada LED tubular, sendo que a topologia escolhida para implementação foi um SCC CA-CC abaixador série-paralelo com ganho $1/5$ conectado em cascata com um SCC fundamental. Em simulação, os autores apresentam a tensão e a corrente de entrada do conversor declarando que a corrente de entrada está sob análise por não atender a norma IEC 61000-3-2, e que esse problema seria corrigido adicionando um filtro de entrada, com o objetivo de elevar o PF até 0,92 e reduzir a THD até os limites da norma. Na implementação prática, foi utilizada

uma tensão de entrada com $100 V_{RMS}$ e uma carga de resistiva de 110Ω , sem apresentar resultados como PF, THD e rendimento. Nos anos seguintes, os autores publicaram mais dois artigos sobre conversores a capacitor chaveado para alimentação de lâmpadas LED, entretanto focando apenas na topologia de SCC híbrido (BOLZAN *et al.*, 2017) (BOLZAN *et al.*, 2018).

Pelo número de trabalhos de SCC CA-CC operando como PFC encontrados na literatura, assim como a falta de detalhamento nos trabalhos existentes, optou-se por realizar um estudo sobre esse tema e sobre as diferenças entre os modos de operação CCC e CDC para operação CA-CC.

5.2 CONVERSOR SCC CA-CC ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO $1/2$

Para o conversor trabalhado nessa dissertação operar como CA-CC é necessário a utilização de um circuito retificador entre a fonte de tensão CA (rede elétrica de distribuição) e o SCC. A Figura 49 apresenta o SCC abaixador série-paralelo com ganho estático de tensão $1/2$ conectado à uma fonte de tensão CA, emulando a rede de distribuição, por meio de um retificador de onda completa (quatro diodos em ponte).

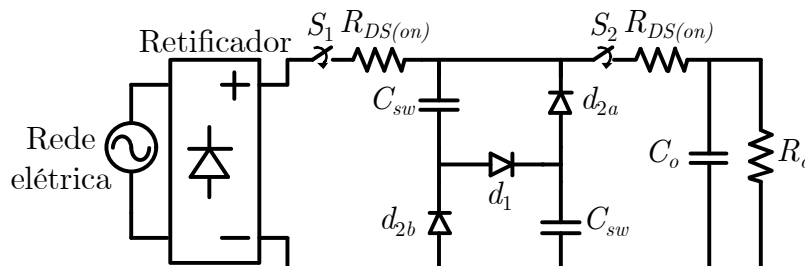


Figura 49 – Conversor SCC abaixador série-paralelo com entrada CA.

Devido a topologia do conversor, os diodos do retificador somente entram em condução quando a tensão da rede elétrica for maior que a tensão acumulada nos capacitores chaveados durante a primeira etapa de chaveamento, desconsiderando a queda de tensão sobre a chave ativa S_1 . Percebe-se isso analisando a primeira etapa de operação do conversor, quando os dois capacitores chaveados C_{sw} , estão ligados em série e conectados ao sinal retificado da rede.

Dessa maneira, o circuito apresenta dois modos de funcionamento em relação ao retificador: um modo com o sinal retificado conectado ao conversor e o outro modo

com o sinal retificado desconectado do conversor. Esses modos de funcionamento (em relação ao retificador) ocorrem devido ao bloqueio dos diodos da ponte retificadora e são independentes das etapas de chaveamento do conversor, que ocorrem devido a comutação de S_1 e S_2 . Para análise desses modos de funcionamento será considerado um SCC CA-CC operando em CCC, totalizando quatro possíveis circuitos de operação do conversor CA-CC.

5.3 CONVERSOR A CAPACITOR CHAVEADO CA-CC OPERANDO EM CCC

5.3.1 Tensão da rede elétrica retificada conectada ao conversor

Esse modo de funcionamento ocorre enquanto a tensão da rede elétrica é maior que a tensão acumulada nos capacitores chaveados. Quando a chave S_1 entra em condução (primeira etapa de chaveamento do SCC ($D_1 \cdot T_s$)) há circulação de corrente na entrada do conversor, enquanto na segunda etapa de chaveamento (S_1 bloqueada e S_2 conduzindo ($D_2 \cdot T_s$)) já não há corrente circulando na entrada do conversor. A Figura 50 (a) apresenta a primeira etapa de chaveamento e a Figura 50 (b) apresenta a segunda etapa de chaveamento, para quando a tensão da rede elétrica retificada está conectada ao conversor.

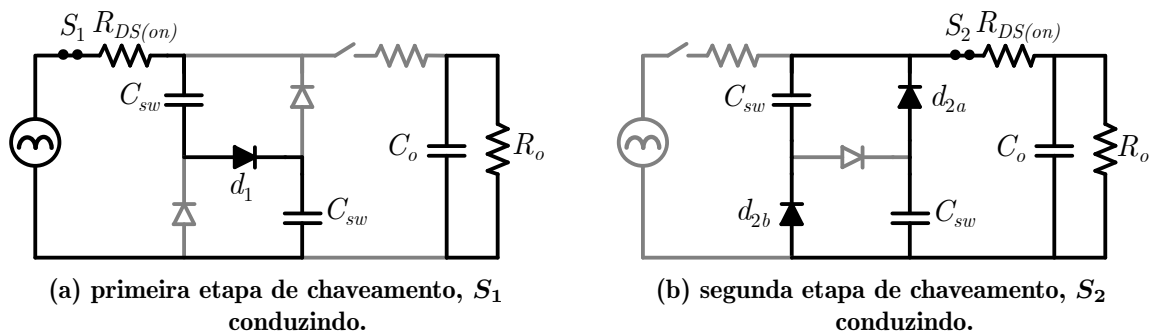


Figura 50 – SCC CA-CC rede conectada.

Na Figura 50 (a) observa-se mais claramente que para os diodos do retificador entrarem em condução é necessário que a tensão da rede elétrica seja maior que a tensão dos dois capacitores chaveados em série (além da tensão sobre a chave ativa S_1 , que em geral é um valor desprezível perto da tensão de entrada).

5.3.2 Tensão da rede elétrica retificada desconectada do conversor

Quando a tensão da rede elétrica retificada se torna menor que a tensão acumulada nos capacitores chaveados, os diodos do retificador entram em bloqueio, desconectando a

fonte de alimentação do circuito. Nesse caso, para a primeira etapa de chaveamento do SCC os capacitores chaveados ficam em um circuito aberto, enquanto o capacitor de saída descarrega sobre a carga, conforme Figura 51 (a). Para a segunda etapa de chaveamento, após a comutação das chaves os capacitores chaveados são colocados em paralelo junto com o capacitor de saída e descarregam sobre a carga, conforme Figura 51 (b).

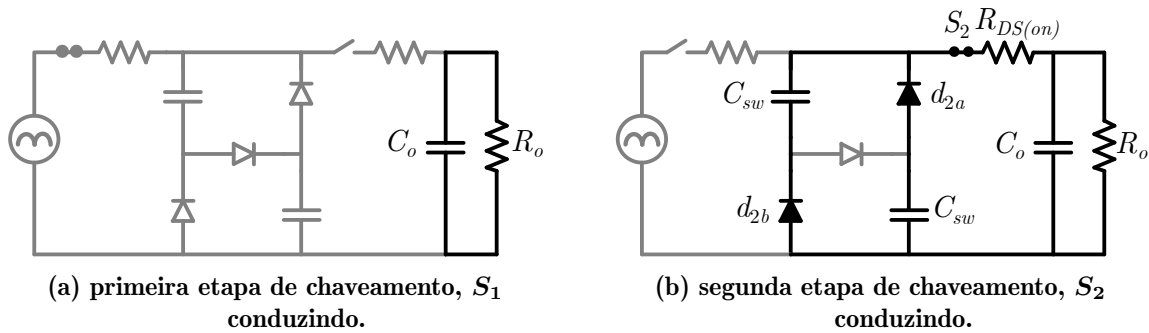


Figura 51 – SCC CA-CC rede desconectada.

Observando a Figura 51 nota-se que devido a ausência da fonte de alimentação (rede elétrica) os capacitores chaveados juntamente com o capacitor de saída apenas descarregam sobre a carga. Assim, durante essa etapa a tensão de saída apenas decai, voltando a aumentar somente quando os diodos do retificador voltarem a conduzir.

5.3.3 Formas de onda para o SCC CA-CC

Para exemplificar graficamente o funcionamento do conversor, a Figura 52 apresenta as principais formas de onda do conversor SCC CA-CC, como: tensão de entrada (rede elétrica, em vermelho), tensão acumulada nos capacitores chaveados (em azul) e corrente de entrada (em laranja). O instante de tempo em que a corrente de entrada começa a condução (corrente drenada da rede de distribuição) está representado por φ_1 , e o instante de tempo em que a corrente cessa é representado por φ_2 . Assim, toda vez que a tensão da rede elétrica for maior que a tensão acumulada nos capacitores chaveados durante a primeira etapa ($2 \cdot v_{C_{sw}}(t)$), a corrente de entrada do conversor começa a circular, sendo essa corrente de entrada chaveada (contendo harmônicas oriundas do chaveamento em alta frequência).

Como indicado na Figura 52, os ângulos de condução, φ_1 e φ_2 , da corrente de entrada do conversor estão diretamente ligados ao valor da tensão acumulada nos capacitores chaveados durante a primeira etapa de chaveamento. Assim, variando a tensão

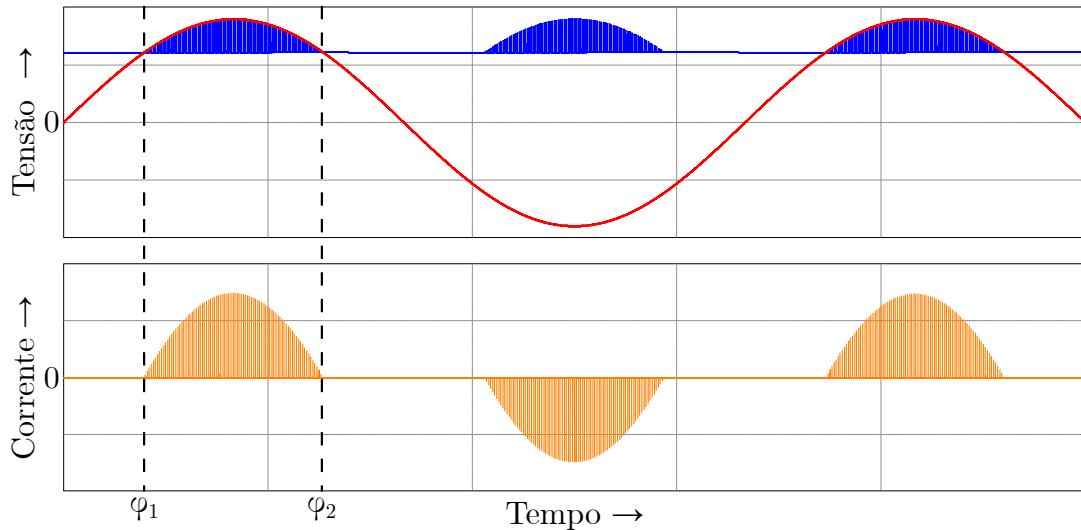


Figura 52 – Formas de onda para o conversor SCC CA-CC. (Superior, 100 V por divisão) Tensão de entrada (vermelho) e tensão nos capacitores chaveados (azul). (Inferior, 500 A por divisão) Corrente de entrada (laranja).

nos capacitores chaveados pode-se alterar o ângulo de condução da corrente de entrada. A variação de tensão acumulada nos capacitores chaveados pode ser realizada por meio da variação da Resistência Equivalente, ou seja, a Resistência Equivalente pode variar o ângulo de condução da corrente de entrada do SCC abaixador série-paralelo.

Analisando as formas de onda da Figura 52, observa-se que a defasagem entre a tensão e a corrente de entrada é nula ou quase nula. Assim, essa dissertação se propõe a avaliar a possibilidade de uso da topologia SCC abaixador série-paralelo como conversor PFC em conjunto com um filtro passivo para atenuação de harmônicos em alta frequência provenientes do chaveamento do conversor. Para o início do estudo do SCC como PFC serão analisadas as diferenças entre os modos de condução do conversor para uma tensão de entrada CA.

5.4 DIFERENÇA ENTRE OS MODOS DE CONDUÇÃO DO SCC CA-CC.

Para entender as diferenças dos modos de operação do SCC CA-CC (estágio único), foram realizadas simulações do circuito com o *software* PSIM versão 11.1.6, com passo de simulação de 10 ns (5 mil pontos em relação à frequência de chaveamento), de 10 s até 10,05 s (1 ciclo completo para imagens e 3 ciclos completos para medição, ciclos da frequência de rede elétrica de 60 Hz e em regime permanente). O circuito simulado consiste de uma fonte de tensão CA na entrada (rede elétrica) conectada a uma ponte retificadora onda completa que alimenta o SCC abaixador série-paralelo $1/2$, conforme

apresentado na Figura 49.

O objetivo da simulação é analisar as diferenças da corrente de entrada do conversor em relação aos possíveis modos de condução. Os parâmetros utilizados para a simulação estão dispostos na Tabela 9, baseados no projeto realizado no Capítulo 3. Para a simulação foram escolhidos três valores de capacitância para os capacitores chaveados com finalidade de demonstrar a mudança no modo de condução do SCC: 10 mF , $100\text{ }\mu\text{F}$ e $1\text{ }\mu\text{F}$ (sendo os dois primeiros valores para o modo CCC e o terceiro valor para o modo CDC).

Tabela 9 – Principais parâmetros utilizados para a simulação do SCC como PFC.

Parâmetro	Valor
Tensão de entrada (V_{rede})	127 V_{RMS}
Frequência da tensão de entrada (f_{rede})	60 Hz
Frequência de chaveamento (f_s)	20 kHz
Razão cíclica da chave S_1 (D_1)	$1/3$
Razão cíclica da chave S_2 (D_2)	$2/3$
Resistência de condução das chaves ($R_{DS(on)}$)	$77\text{ m}\Omega$
Resistência de carga (R_o)	$20\text{ }\Omega$
Diodos (retificador e conversor)	Ideais
Capacitância de saída (C_o)	10 mF
Capacitores chaveados (C_{sw})	10 mF , $100\text{ }\mu\text{F}$ e $1\text{ }\mu\text{F}$

5.4.1 Simulações dos modos de condução CCC e CDC para SCC CA-CC

A Figura 53 apresenta a tensão (azul) e a corrente (vermelho) da rede elétrica, relativa a conexão do conversor SCC, para as capacitâncias de 10 mF , $100\text{ }\mu\text{F}$ e $1\text{ }\mu\text{F}$ dos capacitores chaveados, respectivamente.

Observando a Figura 53, com a mudança do valor da capacitância dos capacitores chaveados altera-se a corrente de entrada. A redução da capacitância reduz a tensão acumulada nos mesmos, diminuindo o ângulo de condução e com isso há corrente na entrada do conversor por um período de tempo maior, além de elevar de maneira acentuada os picos de corrente, como no caso da capacitância chaveada de $1\text{ }\mu\text{F}$ em que o pico de corrente é superior a 300 A , conforme Figura 53 (c). A vantagem de aumentar o tempo de condução da corrente de entrada é que, em teoria, após a filtragem o sinal da corrente se torne mais parecido com o sinal senoidal da tensão e acabe elevando o PF do circuito.

A Figura 54 apresenta a tensão de saída (azul) e a potência de saída (preto) do SCC CA-CC para as capacitâncias de 10 mF , $100\text{ }\mu\text{F}$ e $1\text{ }\mu\text{F}$ dos capacitores chaveados, respectivamente.

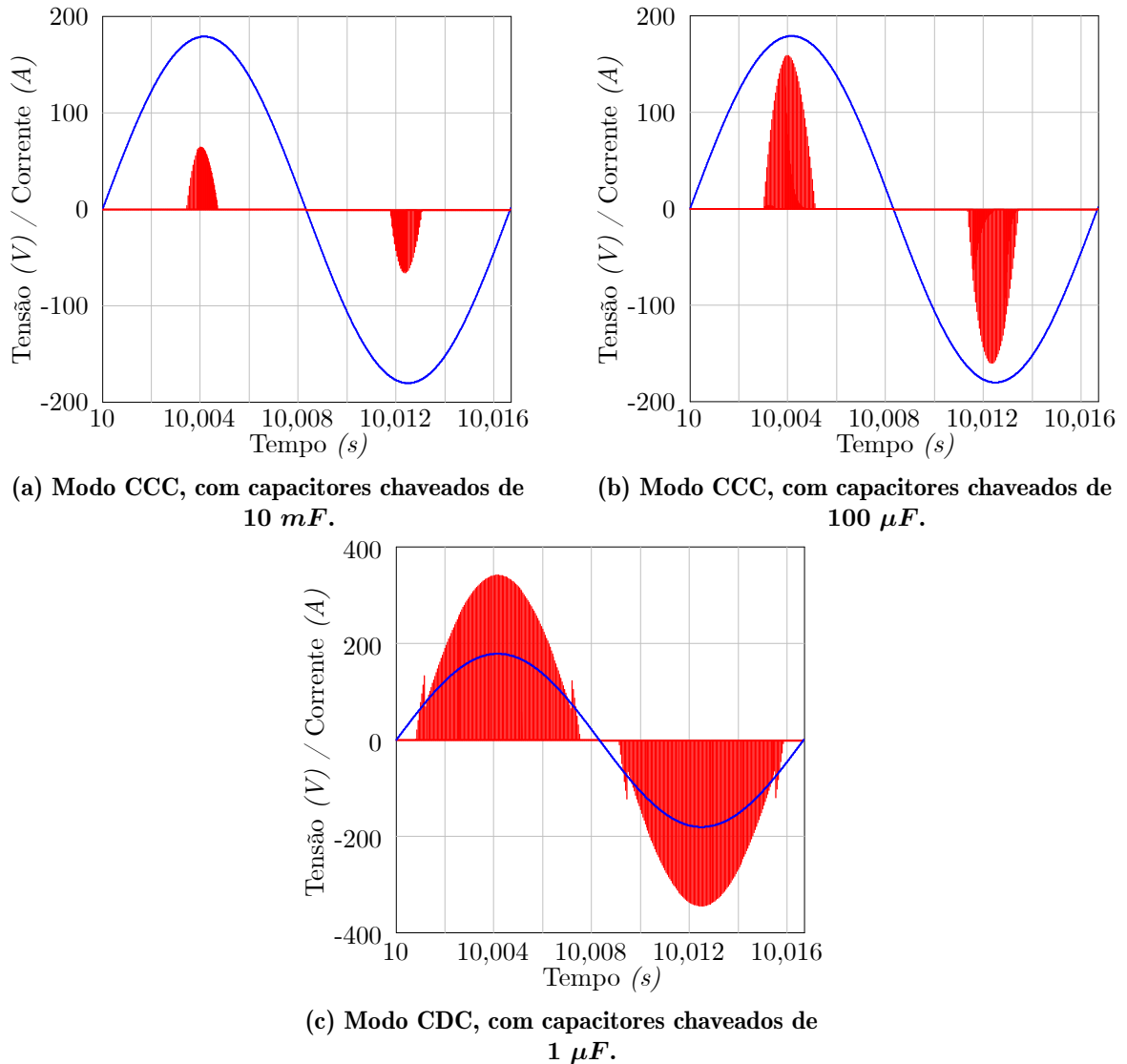


Figura 53 – Formas de onda de tensão (em azul) e corrente (em vermelho) da rede elétrica para os três valores de capacitância definidos.

Analisando a Figura 54, com a mudança no valor da capacitância altera-se a tensão e a potência de saída do conversor. Pelos modelos já apresentados, ao reduzir a capacitância dos capacitores chaveados eleva-se a Resistência Equivalente e aumenta-se as perdas, ou seja, ocasiona uma redução no rendimento do conversor. Assim, a redução da capacitância reduz a tensão de saída do conversor assim como a sua potência de saída.

Pela Figura 53 uma redução na capacitância chaveada poderia aumentar o ângulo de condução na corrente da rede elétrica, mas pela Figura 54 essa redução irá provocar uma queda no rendimento do conversor. E para o caso de elevar a capacitância chaveada, tem-se um ângulo de condução reduzido e um aumento no rendimento.

Dessas simulações, também foram mensurados alguns outros resultados numéricos para a comparação entre os modos de condução. O cálculo da THD no *software* é realizado

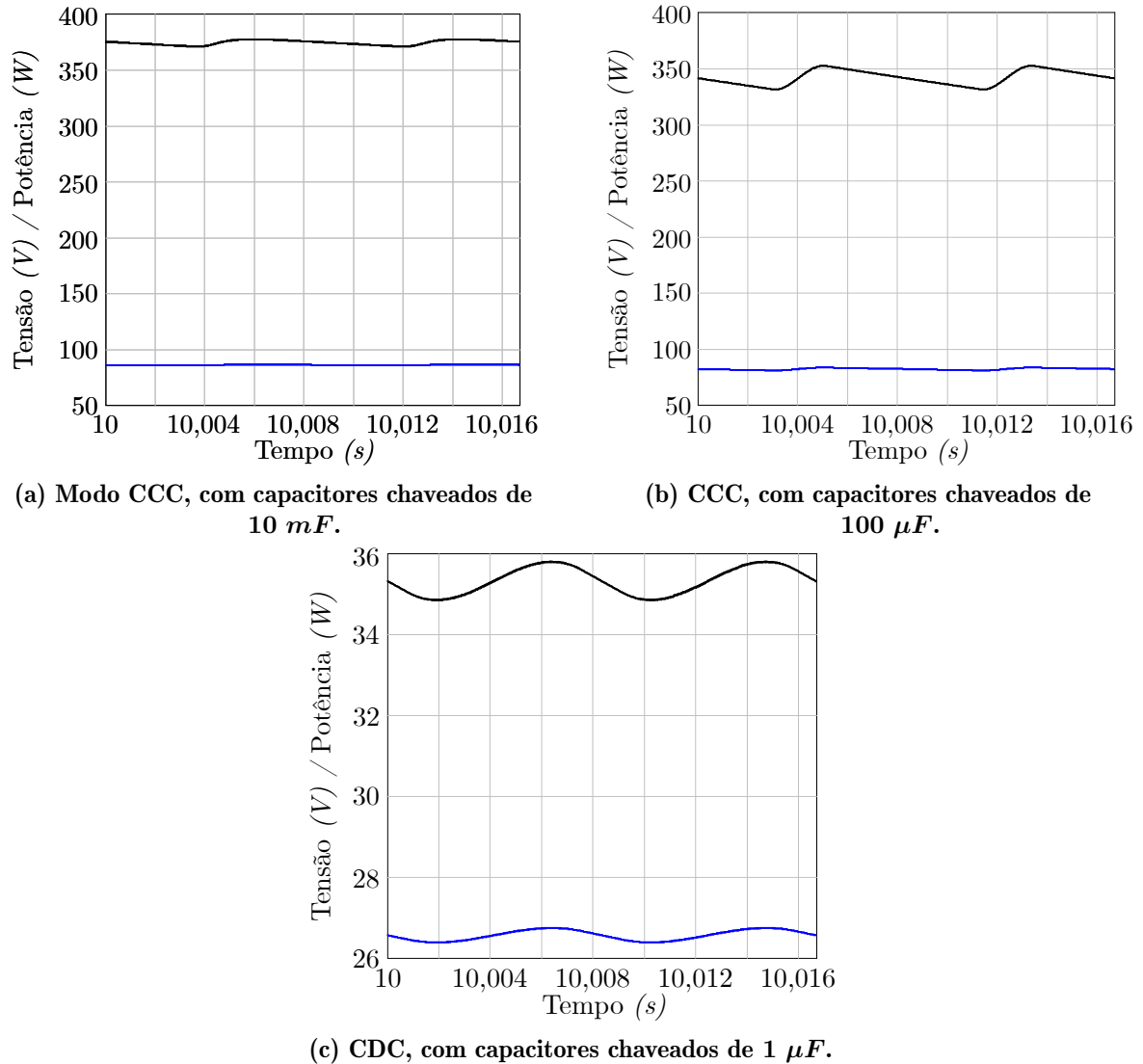


Figura 54 – Tensão (em azul) e potência de saída (em preto) do conversor para os três valores de capacitância definidos.

conforme Equação 37, sendo que o resultado não é percentual.

$$THD = \frac{I_h}{I_1} = \frac{\sqrt{I_{RMS}^2 - I_1^2}}{I_1} \quad (37)$$

Em que:

- I_1 = valor *rms* da componente fundamental do sinal;
- I_h = valor *rms* de uma componente harmônica h ;
- I_{RMS} = valor *rms* total do sinal.

A Tabela 10 apresenta um resumo dos resultados obtidos para os três valores de capacitância C_{sw} avaliados: 10 mF , 100 μF e 1 μF .

Tabela 10 – Resumo dos resultados obtidos em simulação do SCC como CA-CC.

Parâmetro	$C_{sw} = 10 \text{ mF}$	$C_{sw} = 100 \text{ } \mu\text{F}$	$C_{sw} = 1 \text{ } \mu\text{F}$
Modo de operação	CCC	CCC	CDC
Fator de potência (PF)	0,2890	0,2477	0,0517
Distorção harmônica total (THD)	3,3096	3,9050	19,3168
Tensão de saída (V_o)	86,60 V	82,74 V	26,59 V
Potência de entrada (P_i)	385,94 W	365,63 W	66,15 W
Potência de saída (P_o)	374,98 W	342,33 W	35,34 W
Rendimento (η)	0,9716	0,9363	0,5342

Analisando a Tabela 10 obtém-se algumas conclusões importantes em relação aos modos de condução do SCC CA-CC. Em relação ao PF, considerando o Fator de Potência de Deslocamento (*Displacement Power Factor*, DPF) unitário, ou seja, sem deslocamento de fase entre a tensão e corrente da rede elétrica, o PF fica dependente somente do Fator de Potência de Distorção (*Distortion Power Factor*, PFD) e esse dependente apenas da THD, conforme Equação 38. Apesar do aumento do ângulo no modo CDC (menor capacitância), que após a filtragem das harmônicas oriundas do chaveamento em alta frequência poderia resultar em PF maior, a corrente distorce muito e tem sua THD elevada, resultando em uma queda do PF.

$$PF = \underbrace{\cos(\theta_v - \theta_i)}_{DPF} \cdot \underbrace{\sqrt{\frac{1}{1 + THD^2}}}_{PFD} \quad (38)$$

Além disso, observa-se uma queda brusca no rendimento do conversor do modo CCC para o CDC. Assim, mesmo que houvesse uma melhora no PF não se justificaria a utilização do modo de condução CDC devido ao seu rendimento baixo. Com isso, nesse trabalho será considerado para estudo, projeto e implementação o SCC CA-CC operando em modo CCC para PFC.

5.5 CONCLUSÕES PARCIAIS

Nesse capítulo foi apresentado o SCC operando como conversor CA-CC. É apresentado o estado da arte de tal conversor operando como PFC, as etapas de operação em relação à conexão com a rede elétrica, e os efeitos dos modos de condução na corrente de entrada com o conversor. Sendo que no modo CCC (maior capacitância) a corrente de entrada apresenta um menor valor de pico e um baixo ângulo de condução, enquanto no modo CDC o pico de corrente aumenta assim como o ângulo de condução. Além disso, o modo CDC aumenta a Resistência Equivalente do conversor, ocasionando queda no

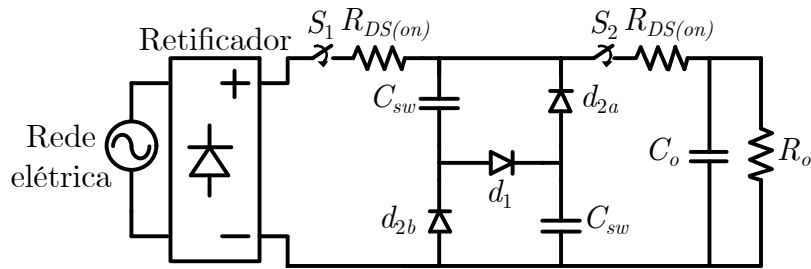
rendimento e no ganho estático do conversor.

Com isso, cria-se o interesse de aprofundar o estudo do conversor SCC CA-CC operando no modo CCC e sua aplicação como PFC. O próximo capítulo apresenta tais discussões, além de apresentar uma metodologia de projeto juntamente com a implementação de um protótipo de laboratório com filtro passivo na entrada do conversor.

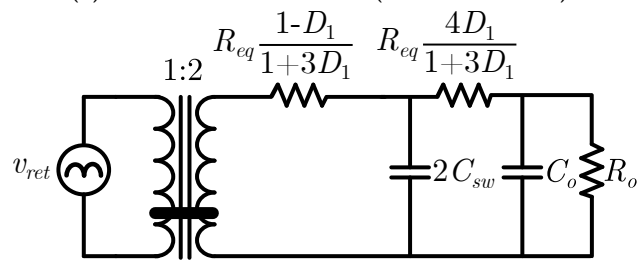
6 PROJETO DO SCC CA-CC OPERANDO NO MODO DE CONDUÇÃO CONTÍNUA DE CORRENTE

Nesse capítulo será apresentada a análise, projeto, simulação computacional e implementação de um protótipo de um conversor SCC CA-CC. Visando a aplicação do conversor como PFC, também será projetado um filtro passivo de entrada, assim como simulações computacionais para análise dos resultados.

A Figura 55 (a) apresenta o circuito do SCC CA-CC. O modelo equivalente proposto para o SCC CC-CC no Capítulo 3 também será utilizado como modelo equivalente do SCC CA-CC, conforme Figura 55 (b). Na figura $v_{ret}(t)$ representa a tensão retificada da rede elétrica (tensão de saída do circuito retificador a diodos). Será utilizada uma carga puramente resistiva (R_o), em que o seu valor será projetado de maneira a emular uma carga equivalente de um conjunto de Diodos Emissores de Luz (*Lighting Emitting Diodes*, LEDs), permitindo assim uma futura implementação de uma lâmpada LED.



(a) Circuito SCC CA-CC (com retificador).



(b) Modelo equivalente proposto.

Figura 55 – SCC abaixador série paralelo CA-CC.

6.1 METODOLOGIA E EXEMPLO DE PROJETO

Para o equacionamento do modelo equivalente proposto é necessário saber o valor da tensão de entrada. Pela topologia do conversor, tem-se capacitâncias conectadas na saída do retificador, formando um retificador com filtro capacitivo. Assim, para calcular a

tensão na entrada do conversor (saída do retificador) é necessário conhecer os ângulos de condução do sinal em análise, e para o cálculo desses ângulos é necessário saber o valor da tensão de saída do conversor (aproximação da tensão nos capacitores chaveados), e conforme apresentado nas equações do SCC CC-CC, o valor da tensão de saída depende do valor da tensão de entrada, ou seja, há uma interdependência de variáveis.

Devido a complexabilidade para obtenção dos parâmetros e das equações matemáticas, que geraria um modelo igualmente complexo, dificultando sua empregabilidade na análise, optou-se por utilizar uma abordagem de projeto em que alguns valores de parâmetros são obtidos via simulação computacional.

O projeto do SCC CA-CC, operando em CCC, parte do mesmo princípio de projeto que do SCC CC-CC em CCC: minimizar a Resistência Equivalente para elevar o rendimento. Para início do projeto é necessário definir alguns parâmetros como: tensão de entrada, frequência da tensão de entrada, frequência de chaveamento e razão cíclica (definida anteriormente para máximo rendimento em $D_1 = 1/3$). A Tabela 11 apresenta os parâmetros definidos para esse projeto, sendo esses valores típicos em relação a carga.

Tabela 11 – Parâmetros iniciais para projeto do SCC CA-CC.

Parâmetro	Valor
Tensão de entrada (V_{rede})	$127 V_{RMS}$
Frequência da tensão de entrada (f_{rede})	$60 Hz$
Frequência de chaveamento (f_s)	$20 kHz$
Razão cíclica da chave S_1 (D_1)	$1/3$
Razão cíclica da chave S_2 (D_2)	$2/3$

Com tais parâmetros definidos, agora é possível definir os parâmetros faltantes, como: semicondutores de potência, capacitores chaveados, capacitor de saída e carga.

6.1.1 Semicondutores de potência

Por ampla disponibilidade em laboratório, optou-se por utilizar novamente a chave ativa MOSFET IRF540 (100 V, 20 A). Assim, considera-se novamente o valor da resistência de condução das chaves ativas em $R_{DS(on)} = 77 m\Omega$. Como nas simulações, os diodos serão considerados ideais. Os esforços de tensão e corrente serão analisados via simulação computacional.

6.1.2 Capacitores chaveados

Observando a Equação 26, que representa a Resistência Equivalente do conversor, nota-se que essa não depende da tensão de entrada, assim pode-se utilizar essa mesma equação para o cálculo da Resistência Equivalente do SCC CA-CC. Com os mesmos parâmetros do projeto SCC CC-CC anterior (não idealidades, razão cíclica e frequência de chaveamento), optou-se por novamente utilizar os capacitores chaveados de $470 \mu F$ e $100 V$ (por ampla disponibilidade em laboratório), visando minimizar a Resistência Equivalente, resultando uma Resistência Equivalente de $R_{eq} = 179,31 m\Omega$, valor 3,948% maior que a Resistência Equivalente Mínima de $R_{eq.min} = 173,25 m\Omega$.

6.1.3 Capacitância de saída

Apesar dos modelos equivalentes considerados para os conversores CC-CC e CA-CC serem iguais, existe uma diferença na equação para o cálculo da capacitância de saída C_o , pois no caso CA-CC haverá uma ondulação de baixa frequência ($120 Hz$, proveniente da retificação da rede elétrica de distribuição de $60 Hz$) na tensão de saída do SCC CA-CC. Na equação do capacitor de saída do SCC CC-CC utiliza-se o termo $D_1 \cdot T_s$, pois esse é o tempo em que o capacitor de saída é descarregado. Entretanto, no SCC CA-CC o tempo em que o capacitor de saída é carregado depende da tensão na rede ser maior que a tensão acumulada nos capacitores chaveados, ou seja, o tempo depende da tensão acumulada nos capacitores, da frequência da rede retificada e do valor de pico da tensão de entrada. Dessa maneira não será a mesma equação para projeto de C_o nos casos CC-CC e CA-CC.

Nesse projeto, será adotado um C_o visando obter uma baixa variação na tensão na saída, minimizando assim o efeito de C_o no funcionamento do conversor por apresentar uma tensão de saída mais idealizada (baixa ondulação). Será convencionado o uso de uma capacitância de saída C_o dez vezes maior que a capacitância dos capacitores chaveados C_{sw} . Assim, o capacitor de saída é definido em $C_o = 10 \cdot 470 \mu F = 4700 \mu F$. Esse capacitor deverá suportar uma tensão igual ou superior à tensão de saída V_o .

6.1.4 Modelagem do conjunto de LEDs em uma carga resistiva

Para definir a resistência de carga será considerado um conjunto de LEDs visando a futura implementação de uma lâmpada LED. Nesse projeto será considerado o modelo *Peanut* de 3 W da empresa *Bridgelux* (BRIDGELUX, 2017). Classicamente, um LED, Figura 56 (a), pode ter seu comportamento elétrico modelado como a ligação série de um diodo ideal, uma resistência (R_{LED}) e uma fonte de tensão CC (V_{LED}), conforme apresentado na Figura 56 (b) (BOYLESTAD; NASHELSKY, 2004). Também é possível modelar o LED como uma única resistência, conforme Figura 56 (c). Para o LED escolhido, a modelagem clássica equivalente apresenta os seguintes parâmetros (valores obtidos experimentalmente em Gobbato (2017)):

- Queda de tensão direta do diodo (V_j): 2,747 V
- Resistência de condução do diodo (R_{LED}): 0,725 Ω

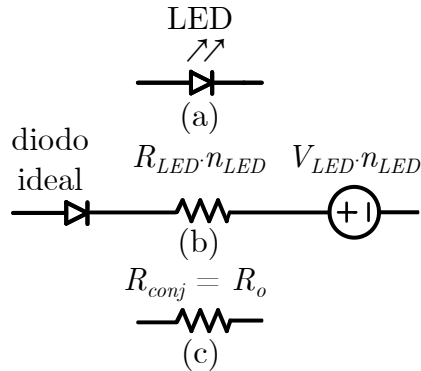


Figura 56 – Modelo equivalente para LED. (a) Diodo emissor de luz, LED. (b) Modelo clássico: resistência e fonte de tensão. (c) Resistência equivalente de todo o conjunto de LEDs.

Esse modelo de LED pode operar com uma corrente de até 1 A (I_{LED_max}). Considerando a operação desses com uma corrente I_{LED} de 0,5 A, a Equação 39b apresenta a tensão individual de cada LED.

$$V_{LED} = V_j + I_{LED} \cdot R_{LED} \quad (39a)$$

$$V_{LED} = 2,747 \text{ V} + 0,5 \text{ A} \cdot 0,725 \text{ } \Omega = 3,109 \text{ V} \quad (39b)$$

A Equação 40b apresenta a potência individual de cada LED.

$$P_{LED} = V_{LED} \cdot I_{LED} \quad (40a)$$

$$P_{LED} = 3,109 \text{ V} \cdot 0,5 \text{ A} = 1,555 \text{ W} \quad (40b)$$

Considerando um conversor ideal (sem perdas e sem ondulação de tensão na saída) então a tensão de saída é metade da tensão de pico da entrada, ou seja, $V_o = (\sqrt{2} \cdot 127)/2 = 89,8 \text{ V}$. Estimando a tensão de saída como ideal e sabendo a tensão do LED, é possível estimar o número de LEDs (n_{LED}) do conjunto, conforme Equação 41b.

$$n_{LED} = \frac{V_o}{V_{LED}} \quad (41a)$$

$$n_{LED} = \frac{89,8 \text{ V}}{3,109 \text{ V}} = 28,88 \approx 28 \quad (41b)$$

Com o número de LEDs definido e com a tensão individual de cada LED é possível calcular a tensão nominal do conjunto (V_{conj}), conforme Equação 42c.

$$V_{conj} = n_{LED} \cdot V_{LED} \quad (42a)$$

$$V_{conj} = 28 \cdot 3,109 \text{ V} \quad (42b)$$

$$V_{conj} = 87,05 \text{ V} \quad (42c)$$

O número de LEDs a ser utilizado no conjunto é um parâmetro importante. Isso porque a tensão do conjunto de LEDs (V_{conj}) deve ser sempre menor que a tensão de saída do conversor, garantindo que os diodos entrem em condução. Por meio da Equação 41b, o número de LEDs obtidos seria de 28,88, o que levou a escolha do valor aproximado para o primeiro número inteiro abaixo desse valor. Com isso, em teoria, é garantido que a tensão de saída do conversor seja maior que a tensão no conjunto de LEDs, conforme Equação 43c. Como alternativa, também pode-se reduzir o número de LEDs, porém isso causará um aumento de corrente na carga, que caso os LEDs suportem tal corrente aumentará seu brilho, ou seja, o aumento da corrente leva ao aumento do fluxo luminoso, mas também reduz sua eficácia luminosa (relação lúmen/Watt, lm/W). Caso os LEDs não suportem o aumento de corrente isso os danificará permanentemente.

$$V_o > V_{conj} = n_{LED} \cdot V_{LED} \quad (43a)$$

$$89,8 \text{ V} > 28 \cdot 3,109 \text{ V} \quad (43b)$$

$$89,8 \text{ V} > 87,05 \text{ V} \quad (43c)$$

A redução da corrente nos LEDs leva a uma redução do fluxo luminoso. Para o projeto, optou-se por definir a corrente mínima (I_{LED_min}) aceitável em 100 mA . Assim,

calcula-se a tensão mínima de cada LED (V_{LED_min}), conforme Equação 44b.

$$V_{LED_min} = V_j + I_{LED_min} \cdot R_{LED} \quad (44a)$$

$$V_{LED_min} = 2,747 \text{ V} + 0,1 \text{ A} \cdot 0,725 \Omega = 2,8195 \text{ V} \quad (44b)$$

Assim, o valor mínimo de tensão necessário na saída do conversor (V_{o_min}) é dado pela Equação 45b.

$$V_{o_min} = n_{LED} \cdot V_{LED_min} \quad (45a)$$

$$V_{o_min} = 28 \cdot 2,8195 \text{ V} = 78,946 \text{ V} \quad (45b)$$

Além do valor mínimo de tensão para o funcionamento do conjunto, é necessário avaliar o esforço máximo de corrente nos LEDs. Com a tensão máxima de saída do conversor e o número de LEDs, calcula-se a tensão máxima de cada LED (V_{LED_max}), conforme Equação 46b.

$$V_{LED_max} = \frac{V_{o_max}}{n_{LED}} \quad (46a)$$

$$V_{LED_max} = \frac{89,6 \text{ V}}{28} = 3,2 \text{ V} \quad (46b)$$

Aplicando o valor de tensão máxima de cada LED na Equação 39b, é possível calcular a corrente máxima no LED (I_{LED_max}), conforme Equação 47b.

$$I_{LED_max} = \frac{V_{LED_max} - V_j}{R_{LED}} \quad (47a)$$

$$I_{LED_max} = \frac{3,2 \text{ V} - 2,747 \text{ V}}{0,725 \Omega} = 0,625 \text{ A} \quad (47b)$$

Então, para a tensão máxima de saída do conversor a corrente máxima nos LEDs é de 0,625 A, valor menor que o máximo de 1 A suportado pelos LEDs.

Com o número de LEDs definidos e com sua potência individual é possível calcular a potência total do conjunto (P_{conj}), conforme Equação 48b.

$$P_{conj} = n_{LED} \cdot P_{LED} \quad (48a)$$

$$P_{conj} = 28 \cdot 1,555 \text{ W} = 43,54 \text{ W} \quad (48b)$$

E, finalmente, com a tensão e a corrente do conjunto de LEDs calcula-se a resistência de carga (R_{conj}), Figura 56 (c), conforme Equação 49b. A resistência R_{conj}

representa o LED como uma única resistência, diferente do modelo clássico que representa o LED como uma resistência e uma fonte de tensão CC.

$$R_{conj} = \frac{V_{conj}}{I_{LED}} \quad (49a)$$

$$R_{conj} = \frac{87,05 \text{ V}}{0,5 \text{ A}} = 174,1 \text{ } \Omega \quad (49b)$$

Assim, fica definido o valor da resistência de carga que representa o conjunto de LEDs é $R_o = R_{conj} = 174,1 \text{ } \Omega$.

A Tabela 12 apresenta um resumo dos parâmetros definidos acima para projeto do SCC CA-CC.

Tabela 12 – Parâmetros finais para projeto do SCC CA-CC.

Parâmetro	Valor
Resistência de condução das chaves ($R_{DS(on)}$)	77 m Ω
Diodos (retificador e conversor)	Ideais
Resistência de carga (R_o)	174,1 Ω
Capacitores chaveados (C_{sw})	470 μF
Capacitor de saída (C_o)	4700 μF

6.2 VALIDAÇÃO DO PROJETO POR SIMULAÇÃO COMPUTACIONAL

Com os parâmetros definidos, nas Tabelas 11 e 12, foram realizadas simulações com finalidade de validar o projeto e o modelo equivalente proposto do SCC CA-CC. A simulação utiliza o *software* PSIM versão *Standard* 2021a.2.5, com passo de simulação de 10 ns (5000 pontos em relação a frequência de chaveamento) e com tempo de simulação de 1,5 s até 1,55 s (circuito em regime permanente, medição de três ciclos completos da frequência da rede elétrica). A troca da versão do simulador de circuitos elétricos se deve que para aumentar a precisão das medições elevou-se o número de pontos e com isso a versão anterior não conseguia calcular a THD com tal passo de simulação. A Tabela 13 apresenta os principais resultados numéricos da simulação do SCC CC-CA projetado.

Dos resultados obtidos observa-se que a tensão de saída está ligeiramente acima da tensão nominal, ocasionando um valor de corrente muito próximo do valor projetado de 0,5 A. Além disso, o conversor apresenta um rendimento satisfatório de aproximadamente 99%. Também foram mensurados os esforços de tensão e corrente nas chaves ativas. A tensão de pico mensurada em ambas as chaves foi de 89 V (aproximadamente a tensão de

Tabela 13 – Resultados da simulação computacional do SCC CA-CC projetado.

Parâmetro	Valor
Tensão de saída (V_o)	88,63 V
Corrente de saída (I_o)	0,51 A
Potência de entrada (P_i)	45,58 W
Potência de saída (P_o)	45,12 W
Rendimento (η)	98,99%
Fator de potência (PF)	0,23
Distorção harmônica total (THD)	4,31

pico da rede dividida por dois) e a corrente de pico de 17,15 A (na chave S_1 , maior esforço de corrente), sendo assim, as chaves escolhidas suportam tais esforços.

6.2.1 Comparação por simulação computacional dos modelos equivalentes apresentados

Nessa seção serão realizadas simulações computacionais da topologia do SCC para serem comparadas com as do modelo equivalente proposto nessa dissertação (capacitância de $2 \cdot C_{sw}$), do modelo equivalente de Barbi (2019) (capacitância de $1 \cdot C_{sw}$) e do modelo equivalente para valores médios (no qual é desprezada a capacitância C_{sw}).

Destaca-se que em valores médios esses modelos são equivalentes, pois é possível desprezar o efeito da capacitância, assim como é feito na análise dos conversores chaveados tradicionais, considerando a corrente média nos capacitores como nula ($I_{C_{sw}} = 0$ A). Dessa forma, se for considerado 0, 1 ou $2 \cdot C_{sw}$ para operação CC-CC não há diferenças nos resultados médios. Entretanto, no desenvolvimento dessa dissertação notou-se que os modelos já apresentados na literatura não representavam adequadamente a resposta dinâmica do conversor, o que na operação CA-CC alterava os resultados obtidos em simulação, visto a dependência desse conversor com os parâmetros de entrada (tensão alternada da rede de distribuição).

Nas simulações realizadas os circuitos já encontram-se em regime permanente e com tensão da rede elétrica de 127 V_{RMS} . Para avaliar a resposta dinâmica dos modelos, analisa-se as formas de onda da corrente de entrada e da tensão de saída. A primeira simulação apresenta a corrente de entrada e tensão de saída sem nenhuma perturbação na tensão de entrada.

A segunda simulação apresenta os sinais para duas perturbações: uma variação de +10% e outra de -10% no valor da tensão de entrada. No instante de $t = 0,54$ s ocorre a perturbação na tensão da rede elétrica para 139,7 V_{RMS} (variação positiva) ou

para $114,3 V_{RMS}$ (variação negativa), e após isso é observado até os circuitos entrarem em regime permanente novamente. A simulação utiliza o *software* PSIM versão 11.1.6, com passo de simulação de $25 ns$ (2000 pontos em relação à frequência de chaveamento).

6.2.1.1 Sem variação na tensão de entrada

Foram simuladas e comparadas as correntes de entrada e tensões de saída dos circuitos, primeiramente sem perturbações na tensão da rede elétrica. A Figura 57 apresenta as correntes de entrada dos circuitos em um ciclo positivo de condução da rede elétrica, e a Figura 58 apresenta as tensões de saída dos circuito para três ciclos da frequência da rede retificada.

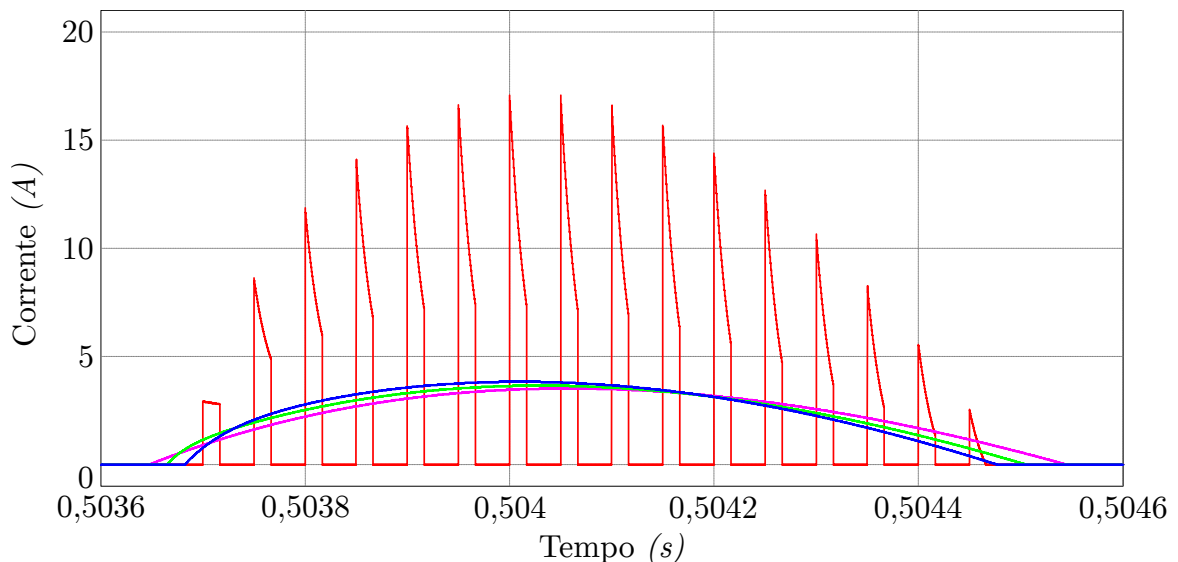


Figura 57 – Comparação das correntes de entrada dos circuitos. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

Na Figura 57 observa-se que as correntes do modelo equivalente sem capacitor chaveado (rosa) e do modelo equivalente de Barbi (2019) (verde) começam antes da corrente do SCC (vermelho) e terminam após essa, enquanto a corrente do modelo equivalente proposto (azul) inicia depois e termina muito próxima da corrente do SCC. Algo semelhante acontece na Figura 58, em que a tensão de saída do modelo equivalente proposto (azul) e do SCC (vermelho) estão sobrepostas, enquanto as demais tensões de saída possuem um deslocamento CC assim como uma inclinação diferente na etapa de descarregamento (tempos de descarga distintos).

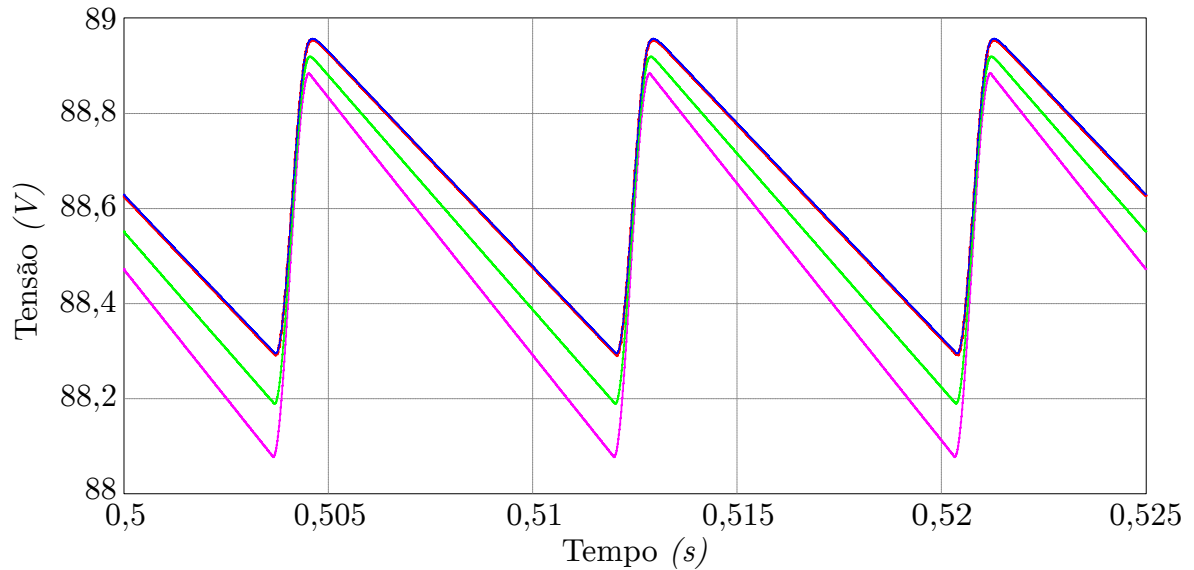


Figura 58 – Comparação das tensões de saída dos circuitos. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

6.2.1.2 Variação positiva na tensão de entrada

A Figura 59 apresenta as correntes de entrada dos circuitos após uma variação positiva de tensão na rede elétrica. A perturbação ocorre em $t = 0,54$ s, em que a rede elétrica não está conectada ao circuito, surtindo efeito apenas na próxima vez que a rede conectar ao circuito. Após isso, quando a rede é conectada, já com uma tensão maior, ocorre uma alta variação na tensão sobre os capacitores chaveados, resultando em altos picos de corrente da rede elétrica ($i_{C_{sw}}(t) = C_{sw} \cdot dv_{C_{sw}}(t)/dt$). Esses valores de pico são atenuados a cada ciclo da rede até o conversor entrar em regime permanente e manter tais valores constantes.

A Figura 59 também exibe um *zoom* nas correntes, apresentando as respostas dos modelos logo após a perturbação. A resposta do circuito elétrico do SCC (em vermelho) apresenta as componentes de alta frequência da corrente de entrada, componentes essas ocasionadas pelo chaveamento do conversor. Todos os modelos avaliados são modelos médios, não apresentando essas componentes chaveadas. Nota-se que cada modelo tem um valor diferente para a corrente de pico de entrada durante o transitório.

A Figura 60 apresenta a comparação das tensões de saída dos circuitos para a perturbação positiva na rede elétrica. Observando a figura, a perturbação ocorre enquanto a rede está desconectada (capacitor de saída descarregando) e tem seu efeito somente quando a rede é conectada novamente (capacitor de saída carregando). Após a conexão da rede, há um aumento quase instantâneo de tensão na saída, e para os próximos ciclos

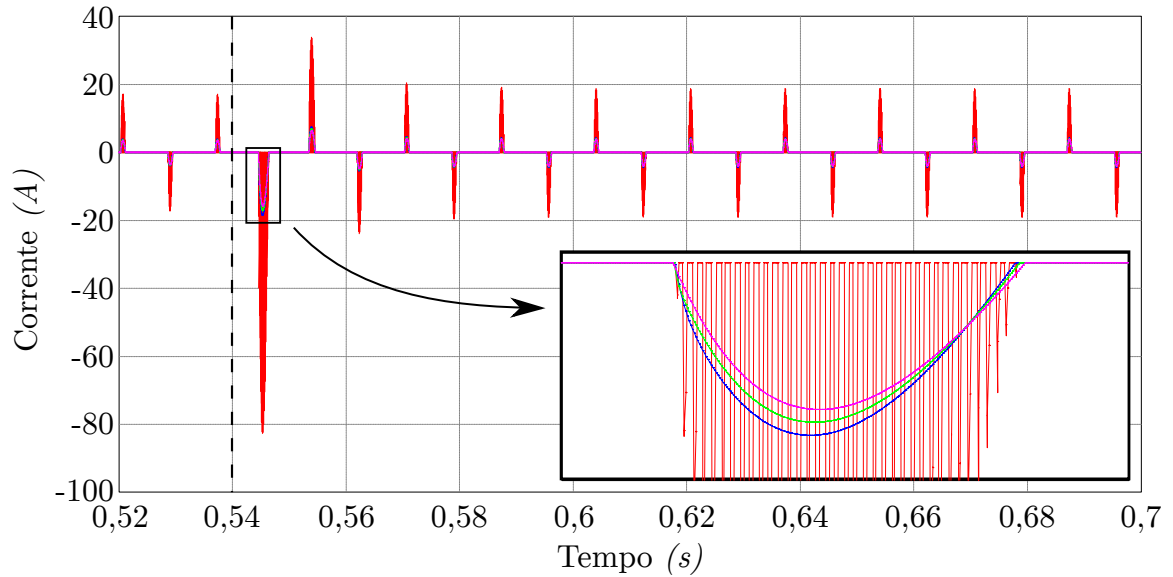


Figura 59 – Resposta das correntes de entrada para uma variação de tensão positiva na rede elétrica em $t = 0,54$ s. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

da rede a tensão de saída cresce lentamente até os circuitos atingirem o estado de regime permanente. A figura também exibe um *zoom* nas tensões, apresentando a resposta dos modelos logo após a perturbação.

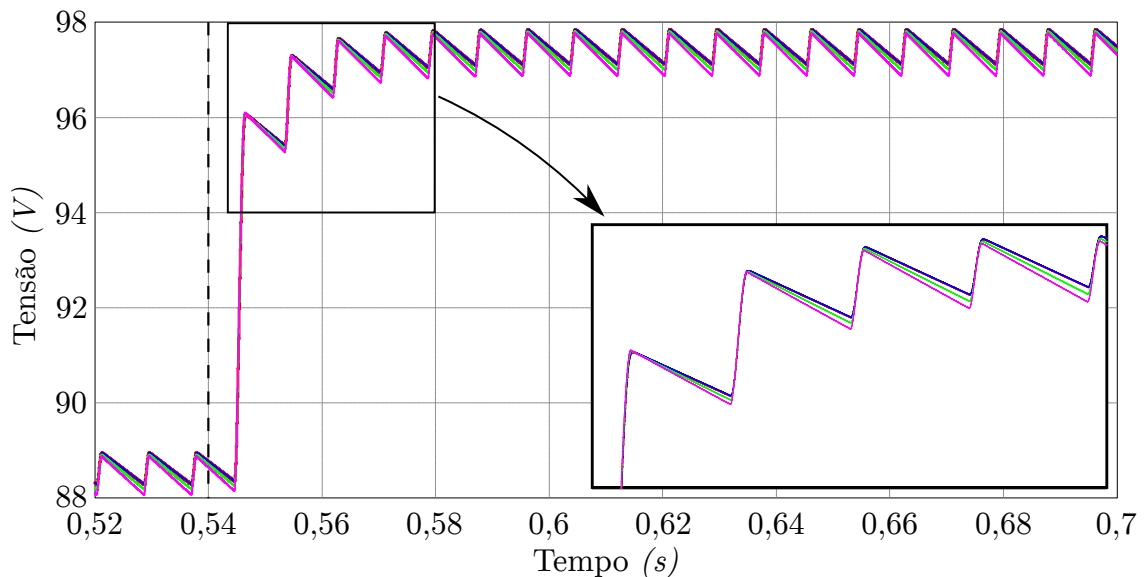


Figura 60 – Resposta das tensões de saída para uma variação de tensão positiva na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

6.2.1.3 Variação negativa na tensão de entrada

Após as simulações com um variação de tensão positiva na rede elétrica foram realizadas simulações com a variação de tensão negativa na rede elétrica. A Figura 61 apresenta as correntes de entrada dos circuitos para uma variação negativa de tensão na rede elétrica em $t = 0,54$ s. Observando a figura, após a perturbação na rede a corrente de entrada cessa. Isso ocorre porque a tensão da rede elétrica se torna menor que a tensão acumulada nos capacitores chaveados e com isso os diodos do circuito retificador bloqueiam. Assim, a corrente de entrada só volta a circular após a tensão acumulada nos capacitores chaveados descarregar sobre a carga e se tornar menor que a tensão da rede elétrica, e com isso recolocando os diodos do retificador em condução, sendo que os picos de corrente aumentam até o circuito entrar em regime permanente novamente.

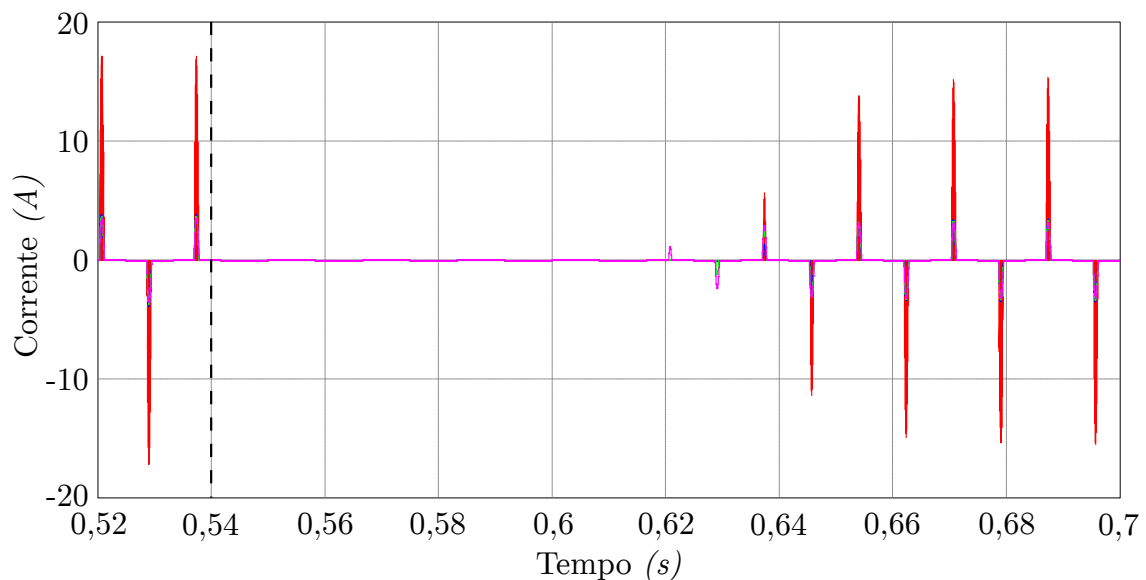


Figura 61 – Resposta das correntes de entrada para uma variação de tensão negativa na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

A Figura 62 apresenta um *zoom* nos primeiros ciclos da corrente de entrada após o retificador voltar a conduzir. Observando a figura, nota-se que os circuitos não voltam a conduzir no mesmo instante. O primeiro circuito a reconduzir é o modelo equivalente sem o capacitor chaveado (rosa), em seguida vem o modelo equivalente de Barbi (2019) (verde) e por último o circuito elétrico do conversor SCC CA-CC (vermelho) juntamente com o modelo equivalente proposto (azul) voltam a conduzir ao mesmo tempo.

A Figura 63 apresenta a tensão de saída do circuito e dos modelos para a variação de tensão negativa na rede elétrica. Após a tensão da rede elétrica abaixar e bloquear os

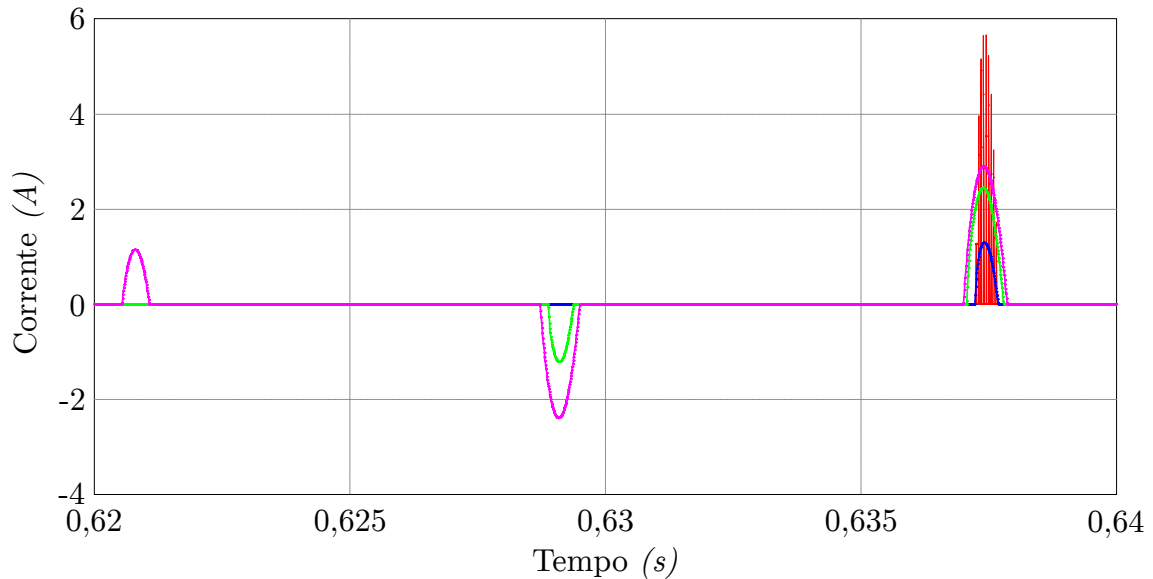


Figura 62 – Comparação das correntes de entrada dos circuitos após a retomada de condução do retificador. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

diódos do retificador, a tensão acumulada nos capacitores chaveados começam a descarregar sobre a carga e com isso ocorre uma queda na tensão de saída. Essa queda de tensão na saída ocorre até a tensão nos capacitores chaveados ser menor que a tensão da rede elétrica, assim o retificador volta a conduzir e os circuitos entram novamente em regime permanente. Comparando as tensões de saída da figura, observa-se que os modelos equivalentes sem capacitor (rosa) e de Barbi (2019) (verde) tem um decaimento de tensão mais rápido, enquanto a tensão do modelo equivalente proposto (azul) decai juntamente, sobrepostas, com a tensão de saída do circuito SCC (vermelho).

6.2.1.4 Resumo dos resultados obtidos para os modelos equivalentes

Observando os resultados das simulações apresentadas, constatou-se que o modelo equivalente proposto (com $2 \cdot C_{sw}$) é o que melhor representa a resposta dinâmica do SCC CA-CC, demonstrando que o modelo médio equivalente de grandes sinais proposto pode ser considerado uma contribuição dessa dissertação. Na próxima seção serão comparados os resultados numéricos das simulações computacionais entre a topologia do SCC CA-CC e o modelo equivalente proposto.

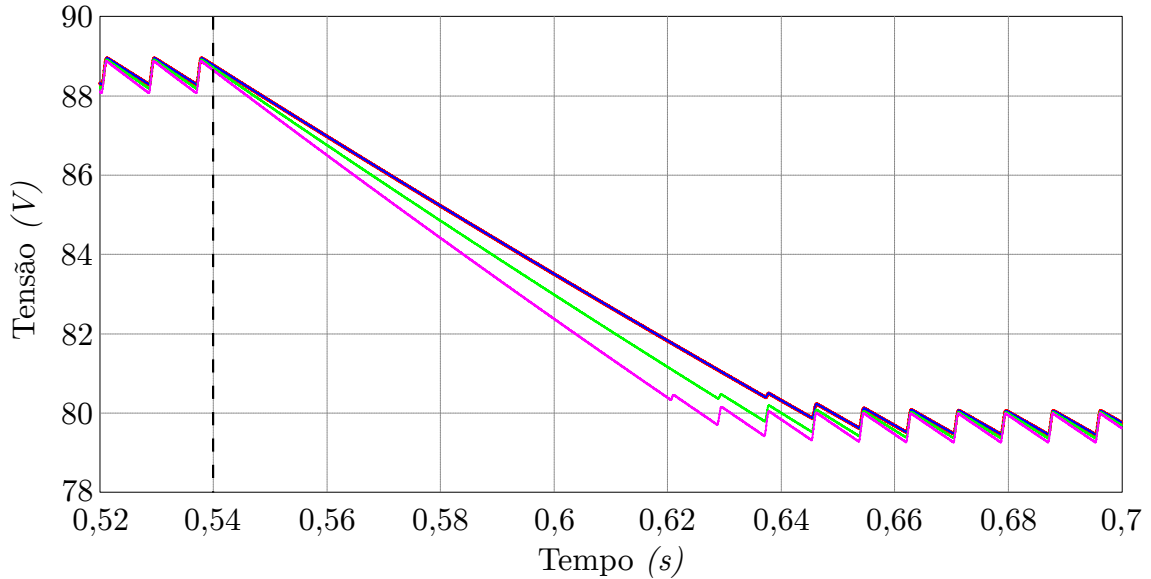


Figura 63 – Resposta das tensões de saída para uma variação de tensão negativa na rede elétrica. Resposta para circuito elétrico (vermelho), modelo com $2 \cdot C_{sw}$ (azul), modelo com $1 \cdot C_{sw}$ (verde), modelo sem C_{sw} (rosa).

6.2.2 Resultados numéricos de simulação para o modelo equivalente proposto

Para a validação numérica do modelo proposto serão comparados os resultados de simulação computacional entre a topologia do conversor SCC CA-CC e o modelo equivalente proposto (com $2 \cdot C_{sw}$), assim como o erro percentual do modelo equivalente proposto relativo ao SCC. A simulação foi realizado com o *software* PSIM versão *Standard* 2021a.2.5, com passo de simulação de 10 ns (5000 pontos em relação a frequência de chaveamento), com os circuitos em regime permanente e com tempo de simulação de 1 s até $1,05 \text{ s}$ (03 ciclos completos em relação a frequência da rede elétrica).

6.2.2.1 Simulação com capacitância de $470 \mu\text{F}$

A Tabela 14 apresenta a comparação, em valores médios, dos principais parâmetros do SCC CA-CC (simulação), do modelo equivalente proposto (simulação) e o erro percentual dos valores do modelo equivalente proposto em relação ao SCC para uma capacitância de $C_{sw} = 470 \mu\text{F}$ (valor de projeto).

Observa-se da Tabela 14 que para parâmetros como tensão de saída, corrente de saída, potência de entrada, potência de saída e rendimento foram obtidos resultados próximos (erro máximo de $0,02\%$) entre o SCC CA-CC e o modelo equivalente proposto. A aferição de PF e THD apresentou diferenças significativas (erro de aproximadamente 74%

Tabela 14 – Comparação dos resultados entre o SCC e o modelo equivalente proposto para capacitores chaveados de 470 μF .

Parâmetro	SCC	Mod. Equiv. Prop.	Erro
Tensão de saída (V_o)	88,63 V	88,63 V	0%
Corrente de saída (I_o)	0,51 A	0,51 A	0%
Potência de saída (P_o)	45,12 W	45,12 W	0%
Potência de entrada (P_i)	45,58 W	45,57 W	0,02%
Rendimento (η)	98,99%	99,01%	0,02%
Fator de potência (PF)	0,23	0,40	73,91%
Distorção harmônica total (THD)	4,31	2,27	47,33%

para o PF), isso ocorre porque o modelo equivalente proposto é um modelo médio e com isso as harmônicas do chaveamento de alta frequência são desprezadas, assim reduzindo a THD e elevando o PF, conforme esperado.

6.2.2.2 Simulação com capacitância de 47 μF

A simulação anterior utilizou capacitores chaveados de 470 μF , conforme projeto, gerando uma Resistência Equivalente de $R_{eq} = 179,31 m\Omega$, valor que está 3,948% acima do seu valor mínimo. Com isso, optou-se por realizar uma nova simulação com os capacitores chaveados de 47 μF (ainda mantendo o modo de condução contínuo) gerando uma Resistência Equivalente de $R_{eq} = 537,34 m\Omega$, que está 310,2% acima do seu valor mínimo, a fim de avaliar se o modelo equivalente proposto é válido também para valores mais distantes da Resistência Equivalente Mínima.

A Tabela 15 apresenta a comparação, em valores médios, dos principais parâmetros do SCC CA-CC (simulação), do modelo equivalente proposto (simulação) e o erro percentual dos valores do modelo equivalente proposto em relação ao SCC, agora para a capacitância dos capacitores chaveados de 47 μF .

Tabela 15 – Comparação dos resultados entre o SCC e o modelo equivalente proposto para capacitores chaveados de 47 μF .

Parâmetro	SCC	Mod. Equiv. Prop.	Erro
Tensão de saída (V_o)	87,19 V	87,19 V	0%
Corrente de saída (I_o)	0,50 A	0,50 A	0%
Potência de saída (P_o)	43,67 W	43,67 W	0%
Potência de entrada (P_i)	44,77 W	44,70 W	0,16%
Rendimento (η)	97,54%	97,70%	0,16%
Fator de potência (PF)	0,14	0,50	257,14%
Distorção harmônica total (THD)	7,25	1,72	76,28%

Conforme a Tabela 15, a maioria dos resultados obtidos para o SCC CA-CC e

o modelo equivalente proposto estão similares (erro máximo de 0,16%), o que valida a utilização do modelo equivalente proposto mesmo para valores de Resistência Equivalente mais distantes do seu mínimo. Assim como para o caso de $C_{sw} = 470 \mu F$, os resultados para PF e a THD apresentaram valores distintos (erro de aproximadamente 257% para o PF), devido ao fato do modelo equivalente proposto ser um modelo médio e não representar as componentes harmônicas de alta frequências advindas do chaveamento.

6.2.2.3 Resumo da validação do modelo equivalente proposto

Portanto, conclui-se a validação do modelo equivalente proposto, se apresentando como um modelo melhor dos que outros apresentados na literatura, tanto para respostas dinâmicas quanto para valores numéricos, em que mesmo com um valor de Resistência Equivalente distante do mínimo resulta em valores com erros próximos a zero. Destacando que por ser um modelo médio, esse tem a limitação de não representar as componentes harmônicas de alta frequências que são ocasionadas pelo chaveamento do conversor.

6.3 FILTRO DE ENTRADA PARA ATUAÇÃO DO CONVERSOR COMO PFC

Para que o SCC CA-CC atue como PFC se faz necessária a utilização de um filtro de entrada, com o objetivo de eliminar as harmônicas na corrente da rede elétrica decorrentes do chaveamento em alta frequência do conversor.

Para o estudo em questão, a topologia de filtro escolhida foi o filtro LC por ser muito utilizada em aplicações semelhantes e também por sua simplicidade e robustez. Nessa seção são apresentados o equacionamento e o projeto de um filtro LC para o conversor. Então são apresentadas simulações e resultados do SCC com filtro LC, variando os parâmetros de capacitância dos capacitores chaveados e o fator de amortecimento do filtro. Também há a apresentação da influência da posição do filtro no conversor. Em sequência é apresentada e discutida a relação entre fator de potência e rendimento do conversor.

6.3.1 Equações do filtro LC

O equacionamento do filtro LC foi embasado conforme Figura 64, em que $v_{rede}(t)$ representa a tensão da rede elétrica, $i_{rede}(t)$ a corrente da rede elétrica, L_f o indutor do filtro, C_f o capacitor do filtro e R_f representa a resistência equivalente de um conversor qualquer vista pela rede elétrica, e é representada pela Equação 50. Na equação, V_{pk} representa o pico de tensão da rede elétrica e I_{pk} o pico da corrente da rede elétrica, sendo que os valores de pico não precisam ocorrer simultaneamente.

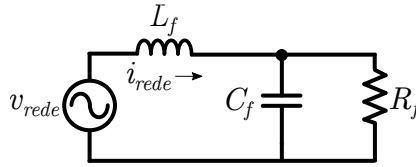


Figura 64 – Circuito de referência para projeto do filtro LC.

$$R_f = \frac{V_{pk}}{I_{pk}} \quad (50)$$

A Equação 51 apresenta a Função Transferência ($G_f(S)$) resultante do circuito apresentado na Figura 64. Já a Equação 52 apresenta a Equação Característica (domínio S) de um filtro de segunda ordem (filtro LC) em que ω_c representa a frequência angular de corte do filtro e ε representa o coeficiente de amortecimento do filtro.

$$\frac{V_o(S)}{V_{rede}(S)} = G_f(S) = \frac{1}{L_f \cdot C_f} \frac{1}{S^2 + S \cdot \frac{1}{C_f \cdot R_f} + \frac{1}{L_f \cdot C_f}} \quad (51)$$

$$G_f(S) = \frac{\omega_c^2}{S^2 + S \cdot 2 \cdot \varepsilon \cdot \omega_c + \omega_c^2} \quad (52)$$

Comparando os termos das Equações 51 e 52 obtém-se a Equação 53, que apresenta o capacitor C_f do filtro, e a Equação 54, que apresenta o indutor L_f do filtro.

$$C_f = \frac{1}{2 \cdot \varepsilon \cdot \omega_c \cdot R_f} \quad (53)$$

$$L_f = \frac{1}{\omega_c^2 \cdot C_f} \quad (54)$$

6.3.2 Projeto do filtro LC

Para o projeto do filtro LC primeiramente é necessário saber os valores de pico da tensão e da corrente do SCC, sendo que para esse projeto tais valores serão obtidos via simulação computacional.

O segundo parâmetro a ser calculado é ω_c , que também pode ser escrito como $2 \cdot \pi \cdot f_c$, em que f_c é a frequência de corte do filtro LC. Para esse parâmetro é comumente selecionada a frequência de corte como o valor de uma década (ou menos) abaixo da frequência de chaveamento (f_s). Então, para esse projeto é selecionado o valor da frequência de corte em $f_c = 1800 \text{ Hz}$, valor abaixo de uma década da frequência de chaveamento (2000 Hz) e 30 vezes o valor da frequência da rede elétrica.

O último parâmetro do projeto do filtro LC a ser definido é o fator de amortecimento (ε). Para esse parâmetro é indicado o valor de $\varepsilon \geq 0,707$ para não haver pico de ressonância na frequência de corte. Por não haver um valor específico, optou-se por analisar tal parâmetro com maior detalhamento, sempre buscando PF e rendimento satisfatórios e que atendam, se houver, as normas exigidas.

Apesar de não estar associado diretamente ao filtro LC, os capacitores chaveados também tem influência sobre o resultado da filtragem, visto que a tensão acumulada sobre eles determina o tempo de condução dos diodos do retificador, alterando o ângulo de condução da corrente da rede elétrica. Com isso, também optou-se por uma análise mais detalhada da influência dos capacitores chaveados sobre o filtro LC.

Visando apresentar a influência de tais parâmetros, foram realizadas simulações para diferentes valores de capacitância dos capacitores chaveados, sendo esses valores: $4,7 \mu F$, $47 \mu F$, $470 \mu F$ e $4700 \mu F$. E para cada um desses valores de capacitância foram simulados diferentes valores de ε , sendo esses valores: 0,707, 1, 5 e 10.

Para projeto do filtro LC, inicialmente foram mensurados os valores de tensão de pico da rede elétrica (V_{pk}) e da corrente de pico da rede elétrica (I_{pk}) para cada um dos quatro possíveis valores de C_{sw} . Em seguida, com a Equação 50, foram calculadas as resistências equivalente vistas pela rede elétrica (R_f) resultantes dos valores de pico mensurados anteriormente. A Tabela 16 apresenta os resultados obtidos.

Portanto, para cada valor de C_{sw} há um respectivo valor de R_f e quatro possíveis valores de ε , resultando em quatro conjuntos de C_f e L_f . A Tabela 17 apresenta os valores

Tabela 16 – Resistência equivalente vista pela rede elétrica para diferentes valores de C_{sw} .

C_{sw}	V_{pk}	I_{pk}	R_f
4,7 μF	179,605 V	286,79 A	0,626 Ω
47 μF	179,605 V	66,83 A	2,687 Ω
470 μF	179,605 V	17,15 A	10,473 Ω
4700 μF	179,605 V	15,89 A	11,303 Ω

de C_f e L_f resultantes da variação de ε para cada um dos quatro valores de C_{sw} definidos.

Tabela 17 – Valores de capacitância e indutância do filtro LC conforme valores de C_{sw} e ε

ε	C_f	L_f
0,707	99,85 μF	78,30 μH
1	70,59 μF	110,75 μH
5	14,12 μF	553,74 μH
10	7,06 μF	1,11 mH

(a) Capacitância C_{sw} de 4,7 μF .

ε	C_f	L_f
0,707	5,97 μF	1,31 mH
1	4,22 μF	1,85 mH
5	844,20 nF	9,26 mH
10	422,10 nF	18,52 mH

(c) Capacitância C_{sw} de 470 μF .

ε	C_f	L_f
0,707	23,27 μF	336,00 μH
1	16,45 μF	475,25 μH
5	3,29 μF	2,38 mH
10	1,65 μF	4,75 mH

(b) Capacitância C_{sw} de 47 μF .

ε	C_f	L_f
0,707	5,53 μF	1,413 mH
1	3,91 μF	1,999 mH
5	782,20 nF	9,995 mH
10	391,10 nF	19,99 mH

(d) Capacitância C_{sw} de 4700 μF .

Após os cálculos dos valores de C_f e L_f é possível iniciar as simulações computacionais do SCC CA-CC com o filtro LC.

6.3.3 Posição do filtro LC

Antes do início das simulações computacionais, há uma importante consideração a ser feita sobre a posição do filtro LC. Nas simulações computacionais iniciais foi observado um problema de ressonância na corrente da rede elétrica após a inserção do filtro LC. Analisando o filtro e seu posicionamento, constatou-se que durante o período em que os diodos do retificador não conduzem, existe uma malha em que o capacitor C_f e o indutor L_f do filtro estão conectados em série e ressonam entre si. Para solucionar esse problema, o capacitor C_f foi colocado após o retificador enquanto o indutor L_f se manteve antes do retificador. Além de solucionar o problema da ressonância, isso permite utilizar capacitores eletrolíticos (com polarização) para o filtro, visto que após o retificador a tensão é CC. Para facilitar a compreensão do problema e da solução, foram feitas ilustrações das possíveis posições do filtro LC e seus resultados.

A Figura 65 (a) apresenta a entrada do circuito SCC CA-CC sem o filtro LC e a

Figura 65 (b) apresenta a sua corrente de entrada.

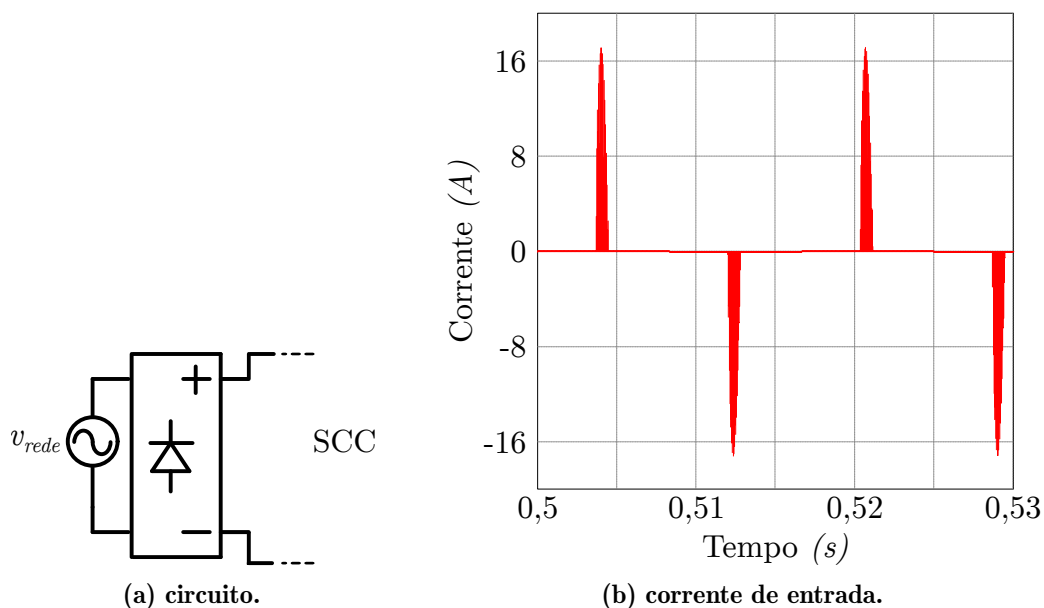


Figura 65 – Circuito sem o filtro LC

A Figura 66 (a) apresenta a posição do filtro LC em que ocorre a ressonância (antes do retificador) e a Figura 66 (b) apresenta a corrente de entrada com a ressonância.

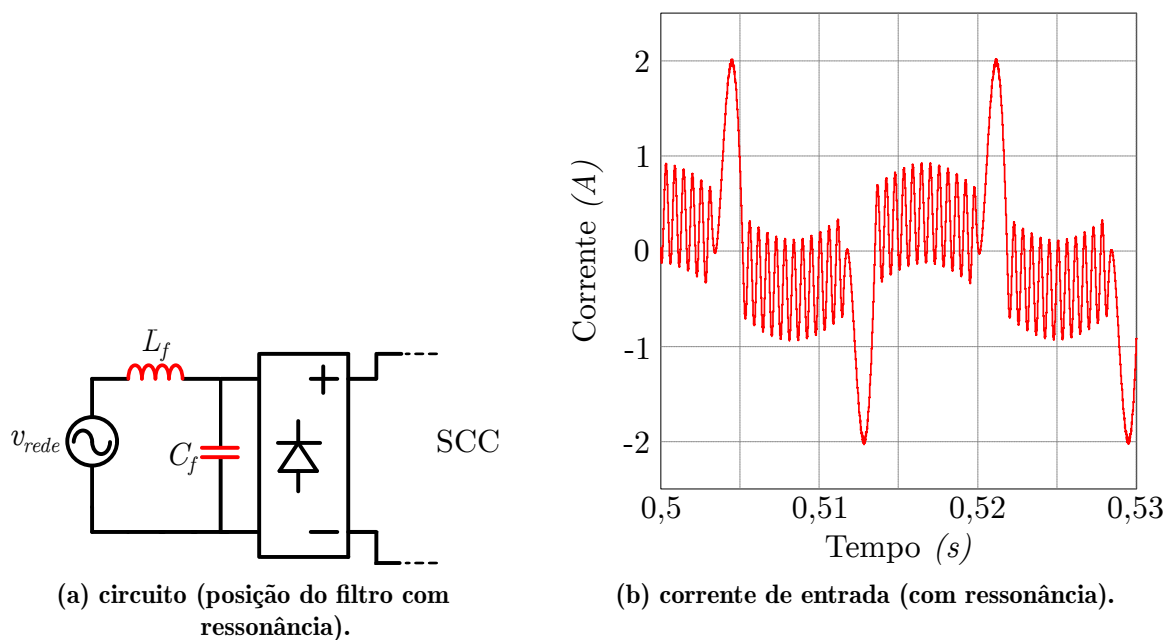


Figura 66 – Circuito com o capacitor antes do retificador, resultando em ressonância.

A Figura 67 (a) apresenta a posição do filtro em que não ocorre ressonância (após o retificador) e a Figura 67 (b) apresenta a corrente da rede elétrica.

A partir dessas figuras, nota-se que a filtragem ocorre de maneira mais eficiente com o capacitor do filtro após o retificador, assim as simulações computacionais com filtro

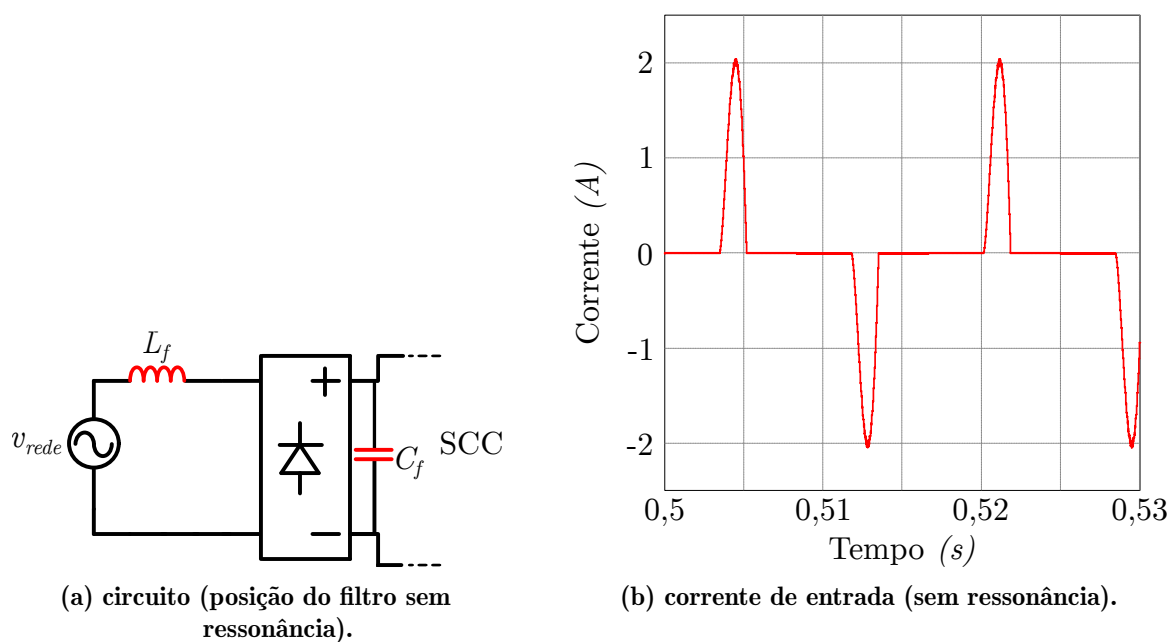


Figura 67 – Circuito com o capacitor depois do retificador

LC serão realizadas nessa topologia, com o capacitor do filtro após o retificador, conforme Figura 68.

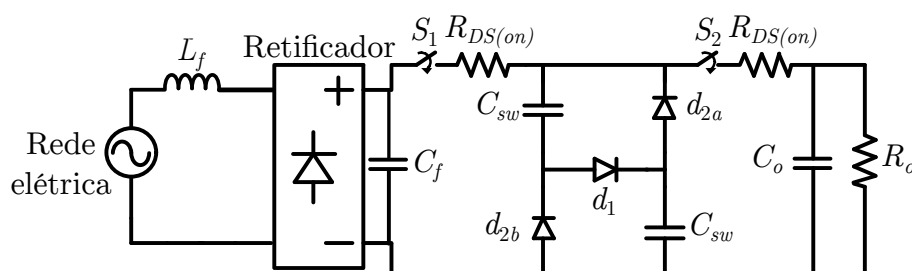


Figura 68 – Circuito SCC CA-CC com filtro LC.

6.3.4 Simulações do SCC CA-CC com filtro LC

A seguir serão dispostas as tabelas com os resultados das simulações computacionais do SCC CA-CC com filtro LC, atuando como PFC. Todas as simulações foram realizadas com o *software* PSIM versão *Standard* 2021a.2.5, com passo de simulação de 10 *ns* (5000 pontos em relação a frequência de chaveamento), com os circuitos em regime permanente e com tempo de simulação de 1 *s* até 1,05 *s* (03 ciclos completos em relação a frequência da rede elétrica).

A Tabela 18 apresenta os resultados de simulação computacional variando o fator de amortecimento para capacitores chaveados de 4,7 μF .

A Tabela 19 apresenta os resultados de simulação computacional variando o fator

Tabela 18 – Resultados de simulação para $C_{sw} = 4,7 \mu F$.

	Sem filtro	$\varepsilon = 0,707$	$\varepsilon = 1$	$\varepsilon = 5$	$\varepsilon = 10$
Potência de saída (P_o)	35,51 W	39,37 W	38,38 W	35,59 W	35,21 W
Potência de entrada (P_i)	40,16 W	41,48 W	40,86 W	39,52 W	39,36 W
Rendimento (η)	88,42%	94,91%	93,93%	90,06%	89,46%
Tensão de saída (V_o)	78,63 V	82,79 V	81,74 V	78,72 V	78,30 V
Fator de potência (PF)	0,06	0,38	0,43	0,68	0,71
Distorção harmônica total (THD)	16,3	2,36	2,02	1,07	1,00

de amortecimento para capacitores chaveados de $47 \mu F$.

Tabela 19 – Resultados de simulação para $C_{sw} = 47 \mu F$.

	Sem filtro	$\varepsilon = 0,707$	$\varepsilon = 1$	$\varepsilon = 5$	$\varepsilon = 10$
Potência de saída (P_o)	43,67 W	43,39 W	43,21 W	41,13 W	39,08 W
Potência de entrada (P_i)	44,77 W	44,57 W	44,42 W	42,87 W	41,40 W
Rendimento (η)	97,54%	97,35%	97,28%	95,94%	94,40%
Tensão de saída (V_o)	87,19 V	86,92 V	86,76 V	84,62 V	82,49 V
Fator de potência (PF)	0,14	0,51	0,53	0,60	0,64
Distorção harmônica total (THD)	7,25	1,68	1,62	1,31	1,18

A Tabela 20 apresenta os resultados de simulação computacional variando o fator de amortecimento para capacitores chaveados de $470 \mu F$.

Tabela 20 – Resultados de simulação para $C_{sw} = 470 \mu F$.

	Sem filtro	$\varepsilon = 0,707$	$\varepsilon = 1$	$\varepsilon = 5$	$\varepsilon = 10$
Potência de saída (P_o)	45,12 W	43,08 W	42,41 W	36,30 W	30,71 W
Potência de entrada (P_i)	45,58 W	44,05 W	43,56 W	39,29 W	35,15 W
Rendimento (η)	98,99%	97,80%	97,36%	92,39%	87,37%
Tensão de saída (V_o)	88,63 V	86,60 V	85,93 V	79,50 V	73,12 V
Fator de potência (PF)	0,23	0,55	0,57	0,67	0,69
Distorção harmônica total (THD)	4,31	1,51	1,42	1,07	0,98

A Tabela 21 apresenta os resultados de simulação computacional variando o fator de amortecimento para capacitores chaveados de $4700 \mu F$.

Tabela 21 – Resultados de simulação para $C_{sw} = 4700 \mu F$.

	Sem filtro	$\varepsilon = 0,707$	$\varepsilon = 1$	$\varepsilon = 5$	$\varepsilon = 10$
Potência de saída (P_o)	45,58 W	43,02 W	42,30 W	35,70 W	29,80 W
Potência de entrada (P_i)	45,89 W	43,91 W	43,41 W	39,06 W	35,39 W
Rendimento (η)	99,32%	97,97%	97,44%	91,40%	84,20%
Tensão de saída (V_o)	89,08 V	86,55 V	85,82 V	78,84 V	72,03 V
Fator de potência (PF)	0,20	0,55	0,57	0,67	0,69
Distorção harmônica total (THD)	4,80	1,49	1,41	1,07	0,96

Dos resultados obtidos, visando a implementação de um protótipo em laboratório, alguns parâmetros como tensão de saída, PF e rendimento merecem destaque e serão

discutidos de maneira detalhada. Além disso, visando a redução de EMI e melhor aproveitamento da potência elétrica ativa, serão considerados apenas os resultados contendo o filtro LC.

6.3.5 Tensão de saída

Para as simulações realizadas com $C_{sw} = 4,7 \mu F$ nenhum dos resultados de tensão de saída obtidos foi superior à nominal de projeto ($V_o = 87,05 V$). Nos casos, sem o filtro LC, de $C_{sw} = 47 \mu F$, $470 \mu F$ e $4700 \mu F$, a tensão de saída foi superior ao valor nominal. Porém, por não utilizarem filtro de entrada, essas opções apresentam alta THD, o que reduz o PF. Destaca-se que após a inserção do filtro, nesses valores de capacitância, houve uma leve queda de rendimento e de tensão de saída.

Das 16 opções com filtro LC de entrada, apenas 13 atingiram uma tensão de saída superior a tensão de saída mínima do conversor ($V_{o_min} = 78,946 V$). Entretanto, nenhuma dessas 13 opções atingiu a tensão de saída nominal de projeto.

Ao trabalhar com tensão de saída inferior à nominal de projeto, para uma lâmpada LED, isso ocasionará uma redução da sua corrente de condução e conseqüentemente a redução do fluxo luminoso. Nesse projeto, almeja-se uma futura implementação da lâmpada LED, porém os testes realizados nessa dissertação serão apenas com uma carga puramente resistiva, dessa forma a redução da tensão de saída não é tão impactante. Serão admitidas como aptas as opções com tensão de saída maior que $85 V$ e que utilizem filtro LC, assim restando seis possíveis opções, sendo essas destacadas em negrito nas tabelas.

6.3.6 Fator de potência e rendimento

Observa-se também nos resultados que das 16 opções iniciais com filtro LC nenhuma delas atinge um PF igual ou superior à 0,92, conforme exigido em norma (ANEEL, 2018). Com isso, cria-se uma restrição para o funcionamento do conversor, podendo esse apenas operar, como circuito para iluminação, com potência abaixo de $25 W$, em que não há normas regulamentadoras. Sobre THD, devido ao conversor não atingir o PF mínimo não será realizada a análise de THD.

Como não foi possível atingir o PF, o rendimento se torna o critério com maior relevância, sendo admitidas como aptas as opções com rendimento igual ou superior à

95%. Das seis opções com filtro de entrada restantes após a aplicação do critério de tensão de saída todas apresentaram rendimento superior à 95% e estão destacadas em negrito nas tabelas.

Das tabelas observou-se que existe uma relação entre o PF e o rendimento do circuito. Assim, a Figura 69 apresenta um gráfico de PF x Rendimento, contendo uma curva para cada um dos valores de capacitância, e cada ponto nas curvas representa um dos valores de fator de amortecimento (da esquerda para direita, começando com 0,7 até 10). Em vermelho está a curva para o capacitor chaveado $C_{sw} = 4,7 \mu F$, em azul $C_{sw} = 47 \mu F$, em verde $C_{sw} = 470 \mu F$ e em rosa $C_{sw} = 4700 \mu F$.

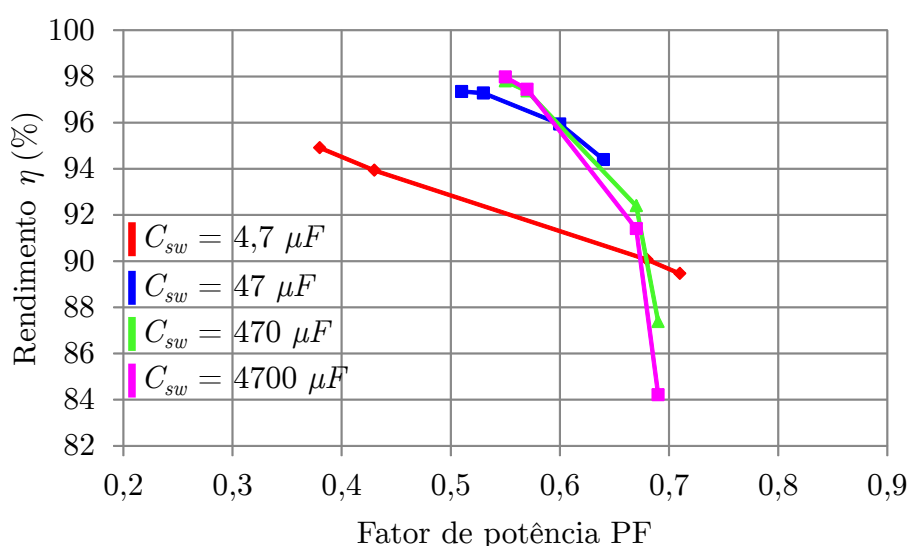


Figura 69 – Gráfico Rendimento x PF para todas as capacitâncias e fatores de amortecimento considerados. Em vermelho $C_{sw} = 4,7 \mu F$, em azul $C_{sw} = 47 \mu F$, em verde $C_{sw} = 470 \mu F$ e em rosa $C_{sw} = 4700 \mu F$.

Além disso, também observa-se uma relação inversa entre PF e rendimento, em que ao se elevar o rendimento há uma redução no PF e vice-versa. O aumento do PF se dá pelo aumento do fator de amortecimento do filtro, assim quanto mais alto o fator de amortecimento maior o PF e menor o rendimento, e essa relação se torna mais acentuada para os valores mais altos de capacitância de $C_{sw} = 470 \mu F$ e $C_{sw} = 4700 \mu F$.

Essa relação entre PF e rendimento se deve a própria topologia do conversor. Ao elevar a capacitância dos capacitores chaveados a tensão acumulada sobre eles aumenta (diminuição da Resistência Equivalente), fazendo com que o tempo em que há corrente na entrada do conversor diminua, ou seja, há uma diminuição nos ângulos de condução da corrente de entrada. Com isso, a corrente de entrada distorce (em relação ao ideal) e aumenta sua THD, e conseqüentemente diminui seu PF. Dessa forma, independente da

topologia do filtro ou de seus parâmetros, o SCC CA-CC não conseguiria atingir níveis elevados de rendimento e PF ao mesmo tempo. Isso contraria a afirmação de Bolzan *et al.* (2016), em que é afirmado que seu protótipo, sem filtro, apesar de não ter atendido as normas poderia atingir tais normas bastando apenas adicionar um filtro passa-baixas na entrada do conversor.

Aplicando os critérios definidos, para os casos com filtro LC, de tensão de saída superior à 85 V e rendimento superior a 95% restaram apenas seis opções: capacitâncias de 47 μF , 470 μF e 4700 μF para fatores de amortecimento de 0,707 e 1. Para facilitar a visualização e comparação dos resultados, a Tabela 22 apresenta todas as opções restantes após a aplicação dos critérios de seleção para a implementação.

Tabela 22 – Opções restantes após a aplicação dos critérios para implementação.

	$\varepsilon = 0,707$	$\varepsilon = 1$		$\varepsilon = 0,707$	$\varepsilon = 1$
Potência de saída (P_o)	43,39 W	43,21 W	Potência de saída (P_o)	43,08 W	42,41 W
Potência de entrada (P_i)	44,57 W	44,42 W	Potência de entrada (P_i)	44,05 W	43,56 W
Rendimento (η)	97,35%	97,28%	Rendimento (η)	97,80%	97,36%
Tensão de saída (V_o)	86,92 V	86,76 V	Tensão de saída (V_o)	86,60 V	85,93 V
Fator de potência (PF)	0,51	0,53	Fator de potência (PF)	0,55	0,57
Dist. harm. total (THD)	1,68	1,62	Dist. harm. total (THD)	1,51	1,42

(a) Capacitância $C_{sw} = 47 \mu F$.

(b) Capacitância $C_{sw} = 470 \mu F$.

	$\varepsilon = 0,707$	$\varepsilon = 1$
Potência de saída (P_o)	43,02 W	42,30 W
Potência de entrada (P_i)	43,91 W	43,41 W
Rendimento (η)	97,97%	97,44%
Tensão de saída (V_o)	86,55 V	85,82 V
Fator de potência (PF)	0,55	0,57
Dist. harm. total (THD)	1,49	1,41

(c) Capacitância $C_{sw} = 4700 \mu F$.

Observa-se da Tabela 22 que todas as opções são similares, tanto em tensão de saída, quanto rendimento e PF. Assim, optou-se por implementar o SCC CA-CC conforme projetado anteriormente para o conjunto de LEDs, ou seja, com $C_{sw} = 470 \mu F$. Para o filtro LC optou-se pelo fator de amortecimento de $\varepsilon = 0,707$, por apresentar maior tensão de saída, maior rendimento e menor indutância (para esse valor de C_{sw}).

6.3.7 Influência das não idealidades para projeto do filtro LC de entrada

No modelo teórico foram consideradas apenas as resistências de condução das chaves ativas, enquanto na prática existem outras não idealidades nos componentes (chaves,

diodos e capacitores), e essas outras não idealidades podem alterar os valores da corrente de entrada necessários para o projeto do filtro LC. Por esse motivo optou-se por realizar uma nova simulação computacional adicionando aos componentes algumas de suas não idealidades.

A simulação foi realizada com o *software* LTspice XVII (que utiliza modelos *spice* dos componentes, que são mais próximos da prática), com passo de simulação máximo de $5 \mu s$ e tempo de simulação de $0,5 s$ até $0,7 s$ (circuito em regime permanente). Para a chave ativa IRF540 foi utilizado o modelo *spice* disponível no *site* da fabricante *International Rectifier* (atual *Infineon*), para o diodo MUR1620 (por disponibilidade em laboratório, com encapsulamento TO-220AB contendo dois diodos AKA, anodo-catodo-anodo, e que foram colocados em paralelo, com tensão reversa de pico repetitivo de $V_{RRM} = 200V$ e corrente direta retificada média de $I_F = 16 A$) foi utilizado o modelo *spice* disponível no *site* do fabricante *ON semiconductor*, para os capacitores chaveados ($470 \mu F$, $100 V$) foi considerado o valor individual de RSE em $45 m\Omega$ e para o indutor foi considerado o valor de RSE de $500 m\Omega$ (ambos valores foram mensurados em laboratório com o *LCR Meter Agilent 4263B*, na frequência de chaveamento de $20 kHz$). Para o capacitor de saída não foi considerado nenhum valor de RSE. Os modelos *spice* utilizados em simulação da chave ativa IRF540 e do diodo MUR1620 encontram-se no Anexo A.

A Tabela 23 apresenta a comparação entre alguns parâmetros, relacionados ao filtro LC, antes e após a inserção das não idealidades descritas anteriormente.

Tabela 23 – Comparação dos resultados de simulação computacional para cálculo do filtro LC.

Parâmetro	PSIM	LTspice
Valor de pico da tensão da rede (V_{pk})	179,61 V	179,61 V
Valor de pico da corrente da rede (I_{pk})	17,15 A	12,25 A
Resistência equivalente vista pela rede (R_f)	10,473 Ω	14,662 Ω
Fator de amortecimento (ε)	0,707	0,707
Frequência de corte (f_c)	1,8 kHz	1,8 kHz
Capacitância do filtro (C_f)	5,97 μF	4,27 μF
Indutância do filtro (L_f)	1,31 mH	1,83 mH

A Tabela 24 apresenta uma comparação dos principais parâmetros do conversor para o simulação computacional do PSIM (apenas as resistências de condução das chaves ativas) e a simulação computacional do LTspice (considerando modelos de componentes com mais não idealidades).

Observa-se da Tabela 24 a diferença dos valores do conversor decorrentes da

Tabela 24 – Comparação dos resultados de simulação computacional.

Parâmetros	PSIM	LTspice
Potência de saída (P_o)	43,08 W	40,66 W
Potência de entrada (P_i)	44,05 W	42,97 W
Rendimento (η)	97,80%	94,62%
Tensão de saída (V_o)	86,60 V	84,14 V
Fator de potência (PF)	0,55	0,60
Dist. harm. total (THD)	1,51	1,32

inserção das não idealidades e da mudança do filtro. Algumas dessas não idealidades podem ser adicionadas ao circuito, em forma de resistências, e consideradas para obtenção do modelo equivalente, entretanto isso dificulta o projeto visto que seria necessário o valor da não idealidade de um componente antes mesmo de definir o componente.

Conforme Tabelas 23 e 24 observa-se a diferença de considerar outras não idealidades além da resistência de condução das chaves, principalmente no valor de pico da corrente da rede elétrica. Visando aproximar o valor teórico do prático, será considerada como referência de projeto a simulação computacional do LTspice, com os valores do filtro em $C_f = 4,27 \mu F$ e $L_f = 1,83 mH$.

6.4 IMPLEMENTAÇÃO DO PROTÓTIPO EM LABORATÓRIO

Nessa seção é apresentada a implementação de um protótipo de laboratório, com finalidade de validar o funcionamento do SCC CA-CC, seu projeto e simulação. No protótipo foram utilizados os parâmetros projetados nesse capítulo e resumidos na Tabela 25.

Para o acionamento das chaves ativas (MOSFETs) foram utilizados os mesmos circuitos *drivers* do protótipo de laboratório CC-CC, conforme apresentado na Figura 35 no Capítulo 3.

Para a carga R_o foram utilizadas barras de carga resistiva, totalizando para a implementação uma carga resistiva de $R_o = 171,7 \Omega$.

Para o capacitor de saída, definido anteriormente no projeto em $C_o = 4700 \mu F$, por disponibilidade em laboratório, foram utilizados três capacitores em paralelo, um de $470 \mu F$ e outros dois de $2200 \mu F$, todos de $100 V$, totalizando uma capacitância nominal de saída de $C_o = 4870 \mu F$.

Geralmente para a escolha de capacitores é considerado apenas sua capacitância

Tabela 25 – Principais parâmetros e componentes do protótipo SCC CA-CC como PFC.

Parâmetro	Valor
Tensão de entrada (v_{rede})	127 V_{RMS}
Frequência da tensão de entrada (f_{rede})	60 Hz
Frequência de chaveamento (f_s)	20 kHz
Razão cíclica da chave S_1 (D_1)	$1/3$
Razão cíclica da chave S_2 (D_2)	$2/3$
Resistência de carga (R_o)	174,1 Ω
Chaves ativas (S_1 e S_2)	MOSFET IRF540 (100 V, 20 A, 77 $m\Omega$)
Diodos do conversor (d_1 , d_{2a} e d_{2b}) e diodos do retificador	MUR1620 (200 V, 16 A)
Capacitores chaveados (C_{sw})	470 μF , 100 V
Capacitor de saída (C_o)	4700 μF , 100 V
Fator de amortecimento do filtro (ε)	0,707
Indutância do filtro (L_f)	1,83 mH
Capacitância do filtro (C_f)	4,27 μF
Potência de entrada (P_i)	42,97 W
Potência de saída (P_o)	40,66 W
Rendimento estimado (η)	94,62%
Tensão de saída estimada (V_o)	84,14 V
Fator de potência estimado (PF)	0,60

e tensão, entretanto para o capacitor do filtro LC (C_f) também deve ser considerada a sua corrente. A corrente exigida do capacitor C_f é elevada, e dependendo do modelo e dimensão do capacitor o mesmo pode não conseguir suportar a corrente necessária, além de aquecer de maneira elevada o dispositivo. Esse problema do capacitor foi encontrado durante as primeiras implementações, em que C_f era um único capacitor eletrolítico que super aquecia. Para solucionar tal problema, foram colocados dois capacitores de poliéster em paralelo (2,2 μF , 250 V), assim diminuindo a corrente total sobre cada um deles e resolvendo o problema da temperatura, além de garantir o fornecimento total necessário de corrente para o circuito.

Para projeto do indutor foi utilizada a metodologia de projeto $AeAw$ para núcleos de ferrite. Essa metodologia de projeto se baseia na área da perna central do núcleo tipo EE (Ae) e da área útil (Aw) (ou área da janela do carretel). O projeto e seu equacionamento encontram-se no Apêndice B.

Após elaborado o projeto, foi realizada a confecção do indutor e, com o auxílio do *LCR Meter Agilent 4263B*, na frequência de chaveamento de 20 kHz), mensurado um valor da indutância de $L_f = 1,86 mH$. A Tabela 26 apresenta um resumo das variáveis utilizadas para o projeto e confecção do indutor do filtro LC.

Com isso, todos os componentes para a prática estão definidos. Em sequência

Tabela 26 – Principais parâmetros e componentes do projeto do indutor para o filtro LC.

Parâmetro	Valor
Indutância teórica	1,83 <i>mH</i>
Corrente de pico no indutor ($I_{L(pk)}$)	1,745 <i>A</i>
Corrente eficaz no indutor ($I_{L(RMS)}$)	570,83 <i>mA</i>
Fator de utilização da janela Aw (K_w)	0,7
Densidade máxima de fluxo magnético no núcleo (B_{max})	0,3 <i>T</i>
Densidade máxima de corrente para os condutores (J_{max})	450 <i>A/cm²</i>
$AeAw$	0,193 <i>cm⁴</i>
Núcleo (ferrite)	E-30/14
Área Ae	1,2 <i>cm²</i>
Área Aw	0,85 <i>cm²</i>
Comprimento médio das espiras (l_t)	6,7 <i>cm</i>
Número de espiras (N_e)	89
Resistividade do cobre (σ)	$2,3 \cdot 10^{-8} \Omega \cdot m$
Permeabilidade magnética do vácuo (μ_o)	$4 \cdot \pi \cdot 10^{-7} H/m$
Permeabilidade magnética relativa do cobre (μ_r)	1
Diâmetro de penetração da corrente (δ)	1,08 <i>mm</i>
Área total da seção transversal mínima (A_{total})	0,123 <i>mm²</i>
Fio de cobre esmaltado	24 AWG
Diâmetro do fio	0,51 <i>mm</i>
Seção transversal do fio	0,20 <i>mm²</i>
Indutância prática (L_f)	1,86 <i>mH</i>
Resistência série do indutor prática (R)	0,5 Ω

foram confeccionadas duas placas de circuito impresso, sendo uma para os dois *drivers* e a outra para retificador, filtro LC e o conversor SCC. Para evitar elevados picos de corrente decorrentes da conexão direta do circuito à rede elétrica, inicialmente foi utilizado um variador de tensão CA monofásico, assim a tensão CA de entrada do circuito foi gradativamente sendo elevada, atenuando os picos de corrente. Entretanto, o variador causava distorção no sinal da rede elétrica e foi substituído por resistor de potência variável na entrada do circuito, que gradativamente era reduzido até seu valor mínimo (muito próximo de zero) e então o mesmo era retirado, restando apenas a rede elétrica diretamente conectada ao circuito.

6.4.1 Resultados experimentais

A Figura 70 apresenta os resultados, obtidos com o Analisador de Energia *Yokogawa* WT1800E, de tensão de entrada (U_{rms1}), tensão de saída (U_{dc2}), potência de entrada (P1), potência de saída (P2), THD da corrente da rede elétrica (I_{thd1}), fator de potência (λ_1) e rendimento (η_1) do protótipo de SCC. Também são apresentadas as formas de ondas de tensão e corrente da entrada do circuito (quadro superior) e da tensão

e corrente da saída do circuito (quadro inferior).

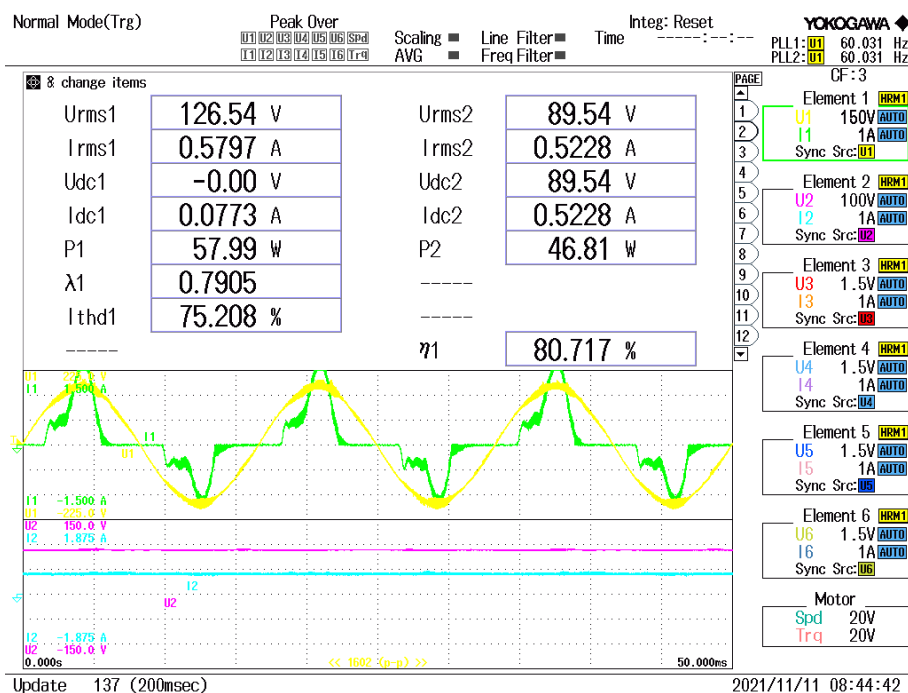


Figura 70 – Resultado obtidos no analisador de energia para o protótipo CA-CC. Tensão da rede (amarelo), corrente da rede (verde), tensão de saída (rosa) e corrente de saída (azul).

O conversor apresentou a tensão de saída CC de 89,54 V, erro relativo de 6,42% em relação ao teórico de 84,14 V, rendimento prático de 80,717%, erro relativo de 14,69% em relação ao teórico de 94,62%, e um PF de 0,79, erro relativo de 31,67% em relação ao teórico de 0,60. Os resultados numéricos práticos se apresentam um tanto distintos dos teóricos. Além das diferenças inerentes entre componentes teóricos e práticos, outro motivo importante das diferenças é a rede elétrica. Na prática, o sinal da rede elétrica apresentou-se distorcido e causou variações nos resultados. Observa-se na corrente de entrada (em verde, na Figura 70) uma ondulação no início do ciclo (que será explicada adiante) e uma assimetria entre os ciclos positivo e negativo. A assimetria está associada a distorção da rede elétrica.

A Figura 71 apresenta os resultados, obtidos com um osciloscópio *Tektronix* BPO 4102B, para a rede elétrica de tensão (Canal 1), sua Transformada Rápida de Fourier (*Fast Fourier Transform*, FFT) (Modo Matemático) e a tensão de saída (Canal 2).

Observando a Figura 71 visualiza-se a distorção na rede, e isso se prova por apresentar um valor de tensão de 124,5 V_{RMS} com pico de 192,8 V (sendo que o sinal senoidal ideal de 127 V_{RMS} deve apresentar uma tensão de pico de 179,61 V), além dos

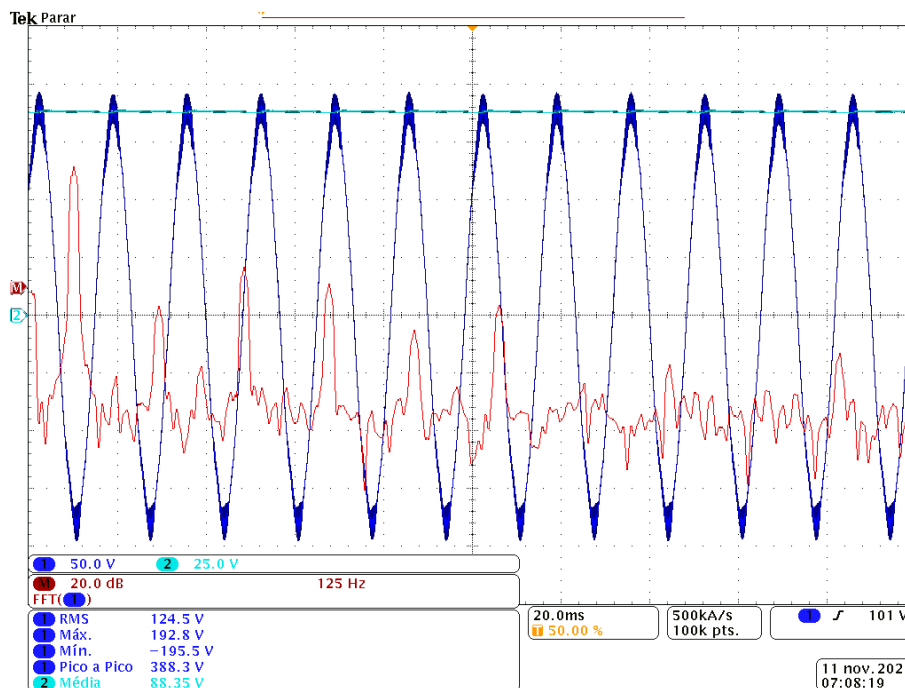


Figura 71 – Distorção na rede elétrica. Tensão da rede elétrica (Canal 1), tensão de saída (Canal 2) FFT (Modo Matemático).

valores de picos positivo e negativo serem distintos ($+192,8\text{ V}$ para pico positivo e $-195,5\text{ V}$ para pico negativo), apresentando assimetria. A figura também apresenta a FFT da rede elétrica (Modo Matemático), em que observa-se elevados valores de harmônicas, as quais distorcem o sinal senoidal esperado. Esse problema, que surge na prática, não consta na simulação, o que acaba causando diferenças consideráveis entre simulação e prática. Devido ao valor de pico da senoide na prática ser maior que o valor teórico, a tensão de saída na prática também acaba por ser maior que na teoria.

A Figura 72 apresenta a tensão (Canal 1) e corrente (Canal 4) de entrada, assim como um sinal matemático resultante do produto entre os dois sinais no tempo que representa a potência instantânea de entrada (Modo Matemático). Também apresenta a tensão de saída (Canal 2). São apresentadas as medidas do osciloscópio para 12 ciclos completos na frequência fundamental da rede elétrica (60 Hz , totalizando 20 ms), com escala de amplitude máxima individual para cada sinal. Entretanto serão considerados para comparação os resultados do analisador de energia.

A Figura 73 apresenta uma aproximação visual nos sinais de tensão (Canal 1) e corrente da entrada (Canal 4) do circuito, além do sinal de tensão de saída (Canal 2). Pelo fato de mudar as escalas, os valores mensurados são alterados e não representam o que se quer mensurar, por isso serão omitidos nas imagens com escalas alteradas.

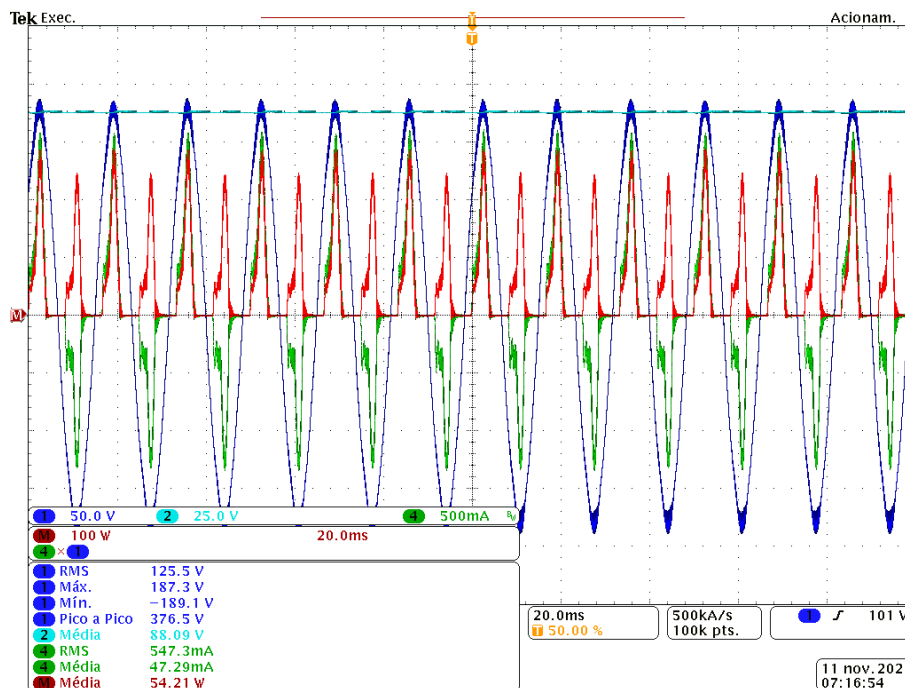


Figura 72 – Tensão (Canal 1) e corrente (Canal 4) da rede elétrica e potência instantânea (Modo Matemático) da entrada do circuito. Também é apresentada a tensão de saída (Canal 2).

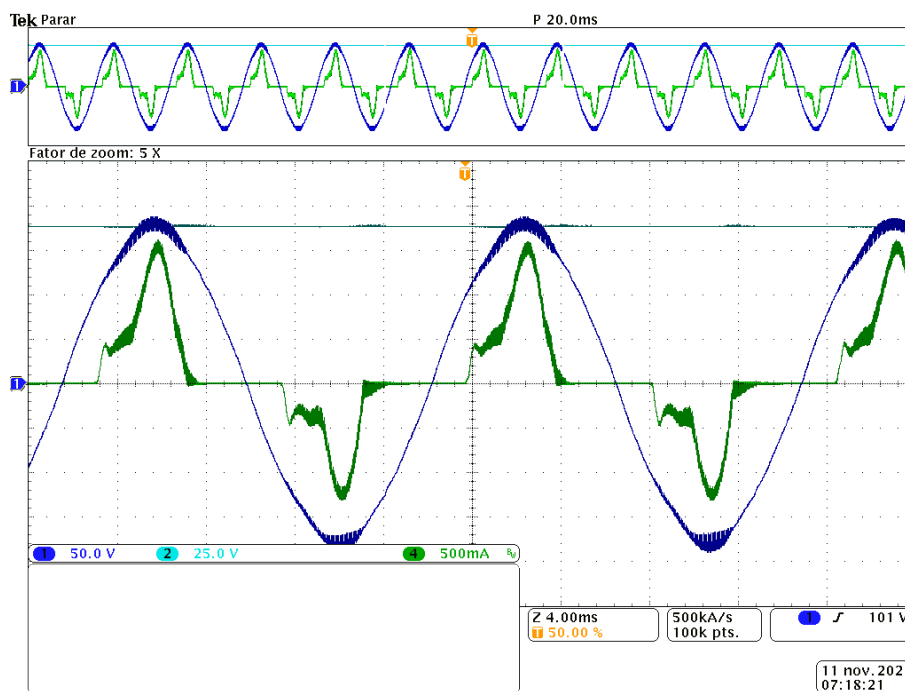


Figura 73 – Aproximação visual na tensão (Canal 1) e na corrente (Canal 4) de entrada do circuito.

A Figura 74 apresenta a tensão (Canal 1) e corrente (Canal 4) de saída do circuito, assim como um sinal matemático resultante do produto entre os dois sinais no tempo que representa a potência instantânea de saída (Modo matemático). Também apresenta a tensão de saída do circuito (Canal 2). Com o osciloscópio, o circuito apresentou um

rendimento de 80,87%. Observa-se a baixa ondulação nos sinais de saída (devido ao valor do capacitor de saída), por isso o valor de pico da tensão de entrada altera o valor da tensão de saída. Na prática, a tensão de pico de entrada está aproximadamente 8 V acima da teórica, assim como a tensão de saída prática está aproximadamente 4 V, e considerando o ganho do conversor em 2, a relação entre entrada e saída se mantém constante.

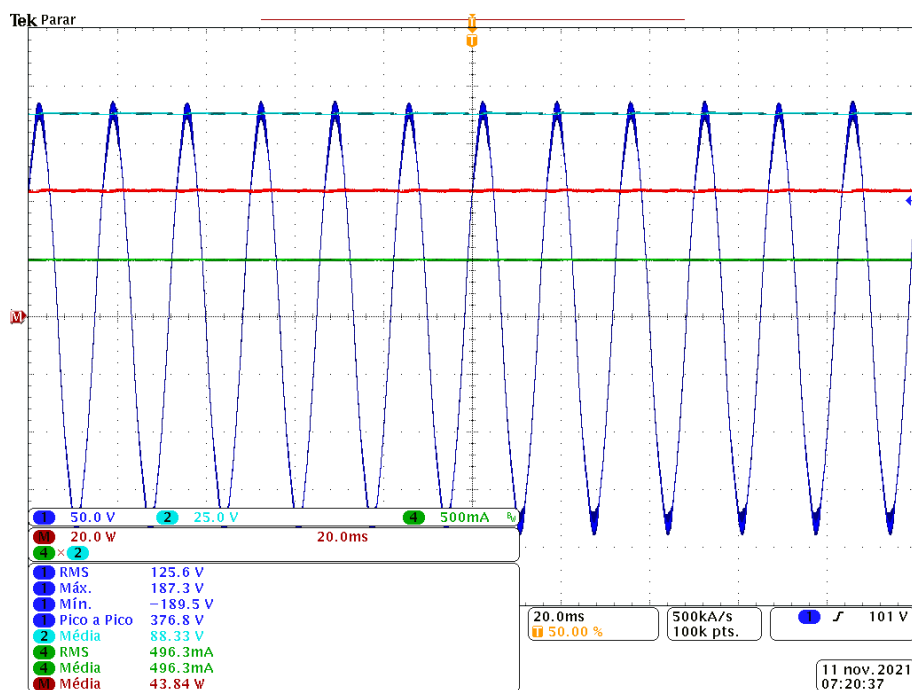


Figura 74 – Tensão (Canal 1) e corrente (Canal 4) da rede elétrica e potência instantânea (Modo Matemático) da saída do circuito. Também é apresentada a tensão de saída (Canal 2).

A Figura 75 apresenta as tensões de saída do retificador dividida por dois (Modo Matemático), tensão de um dos capacitores chaveados C_{sw} (Canal 3) e de saída do circuito (Canal 2) no período de condução do retificador. Observa-se que a tensão no capacitor sempre está entre as outras duas tensões, tendo apenas dois estágios (carga e descarga). Isso, conforme teoria, comprova o funcionamento do circuito em modo CCC, conforme projetado. Devido a limitação do osciloscópio não foi possível deixar ambos canais na mesma escala.

A Figura 76 apresenta as tensões sobre as chaves S_1 (Canal 1) e S_2 (Canal 2). Na figura observa-se o correto chaveamento do conversor, além de se observar a presença de um tempo morto de aproximadamente 5% entre os acionamentos, visando evitar que as chaves pudessem ser acionadas ao mesmo tempo e danificasse o circuito. A tensão da chave S_1 apresenta a envoltória da rede elétrica, enquanto a chave S_2 mantém sua tensão CC, conforme teoria.

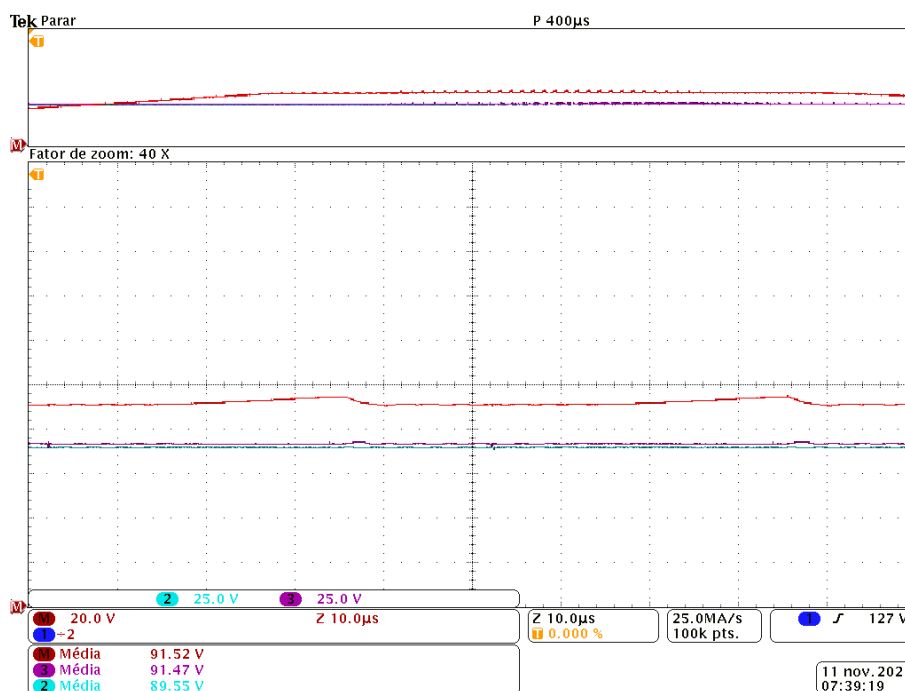


Figura 75 – Apresentação do modo de condução, modo CCC, do conversor. Tensão de saída do retificador dividida por dois (Modo Matemático), tensão no capacitor chaveado (Canal 3) e tensão de saída (Canal 2).

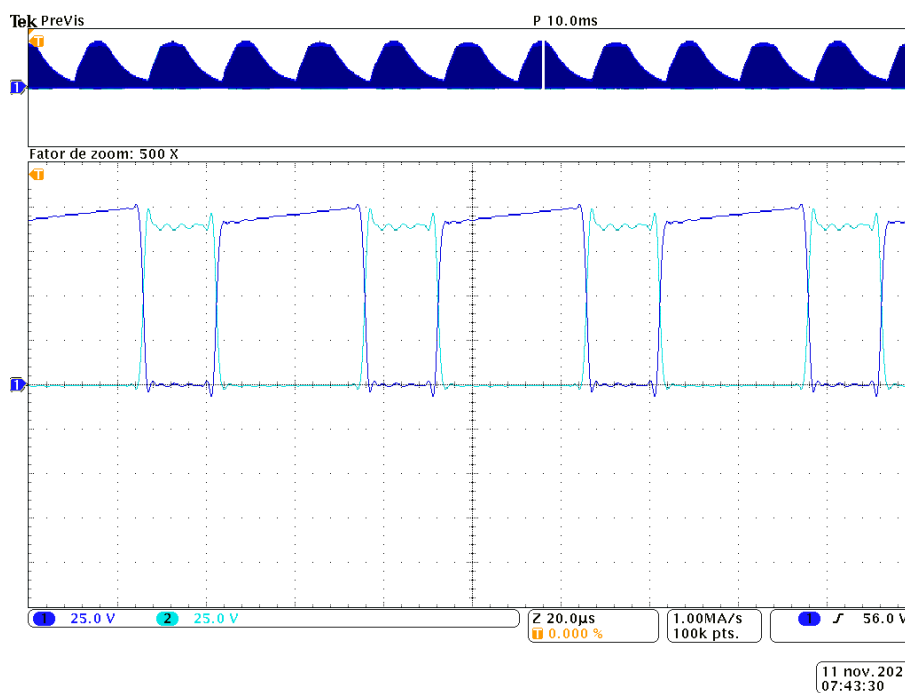


Figura 76 – Tensões na chave S_1 (Canal 1) e na chave S_2 (Canal 2).

Ainda sobre as chaves, foram analisadas as formas de onda de tensão e corrente em alta frequência. A Figura 77 apresenta a tensão (Canal 2), corrente (Canal 4) da chave S_1 e a sua potência instantânea (Modo Matemático).

Observa-se na Figura 77 que a corrente, no instante que a chave é acionada,

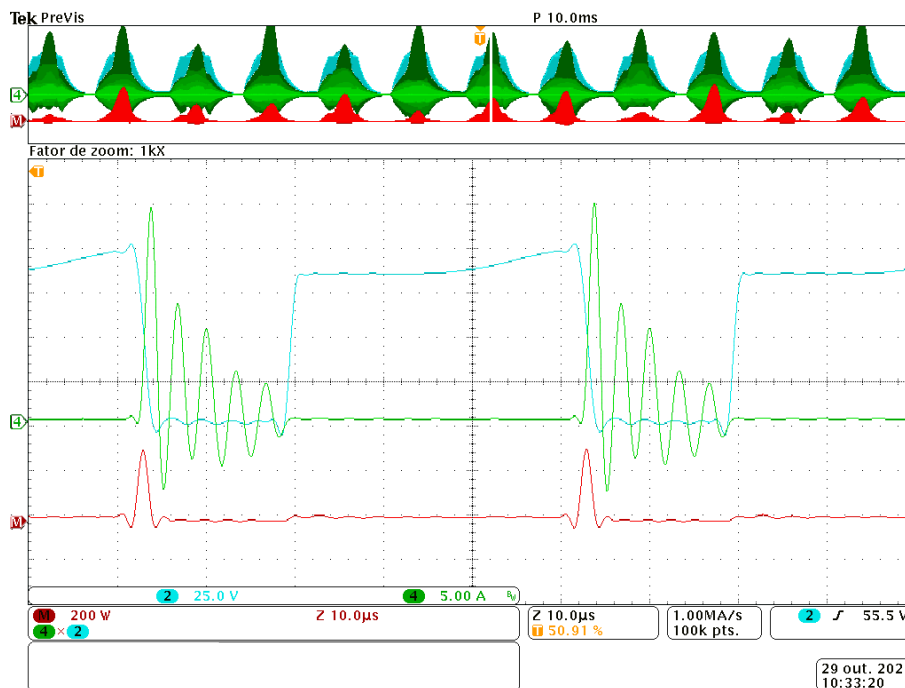


Figura 77 – Chave S_1 . Tensão (Canal 2), corrente (Canal 4) e potência instantânea (Modo Matemático).

possui um elevado pico de corrente seguido de oscilações proveniente de ressonâncias. Na forma de onda da potência, observa-se um elevado pico de potência (aproximadamente 300 W) quando a chave é acionada (*turn-on*), enquanto as potência de condução e de fechamento da chave (*turn-off*) se mantém baixas e constantes. Além disso, na parte superior é apresentada a tensão, corrente e potência instantânea em baixa frequência.

A Figura 78 apresenta a tensão (Canal 2), corrente (Canal 4) e a potência instantânea (Modo Matemático) da chave S_2 . Observa-se na figura que o formato da potência instantânea na chave S_2 é distinto de S_1 . Na chave S_2 a potência é muito oscilante, com atenuação exponencial e com fluxo nos dois sentidos, ou seja, ora a chave está consumindo potência ora está injetando potência.

A Figura 79 apresenta a tensão na rede elétrica (Canal 1), na saída do circuito retificador (Canal 2) e a corrente de entrada (Canal 4). Na figura é possível observar o funcionamento do circuito quando a tensão da rede se torna maior que a tensão de saída do retificador e a corrente entra em condução.

A Figura 80 (a) apresenta a corrente de entrada do circuito (corrente da rede elétrica). Observa-se que ela começa a conduzir, se mantém constante por um tempo (com ruídos) e depois volta a conduzir conforme o esperado para o circuito. Isso acontece porque o capacitor do filtro (C_f) é muito menor que os capacitores chaveados (C_{sw}) e com

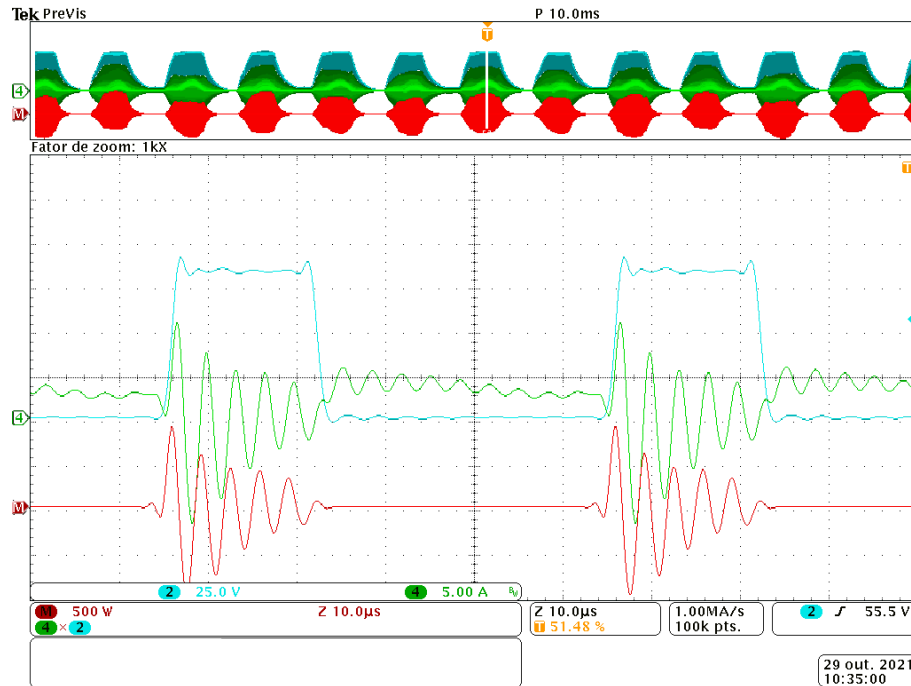


Figura 78 – Chave S_2 . Tensão (Canal 2), corrente (Canal 4) e potência instantânea (Modo Matemático).

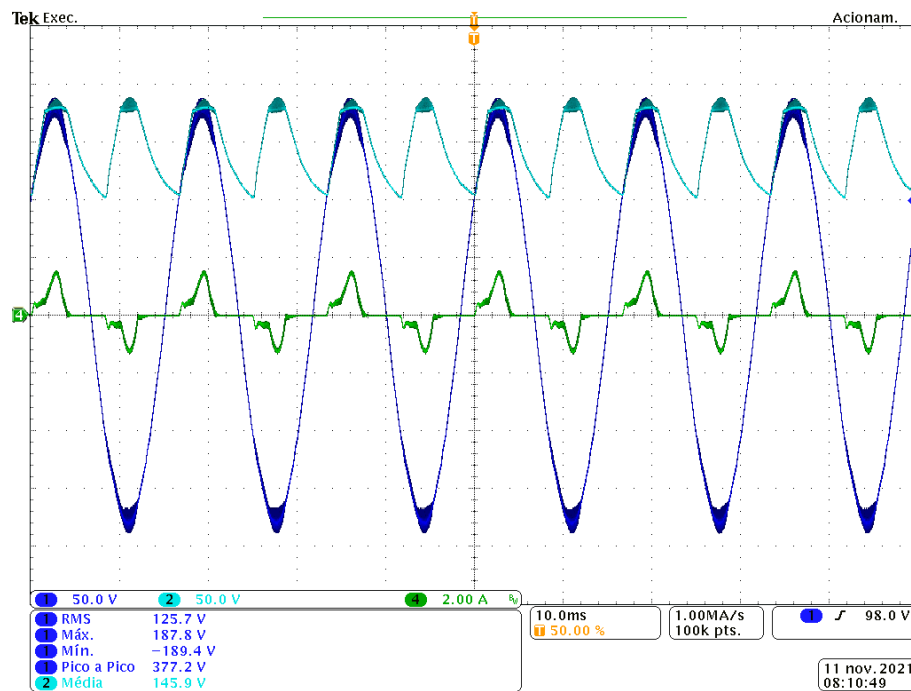
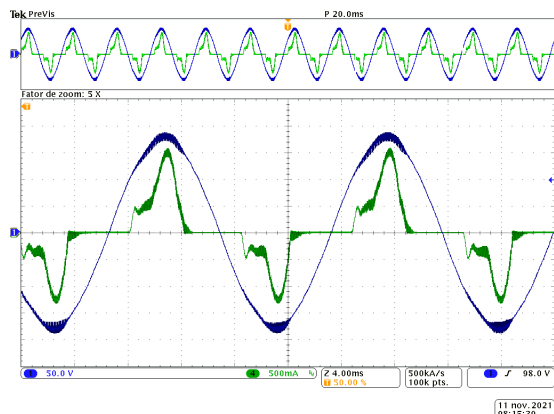


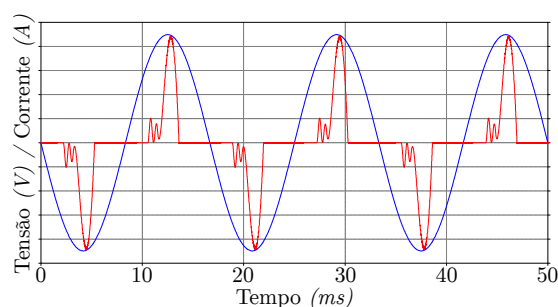
Figura 79 – Funcionamento do circuito retificador. Tensão da rede (Canal 1), tensão de saída do retificador (Canal 2) e corrente da rede (Canal 4).

sua resistência de isolamento interna (*insulation resistance*) acaba descarregando mais rapidamente, assim no próximo ciclo é necessário esperar o capacitor de filtro carregar novamente para que o circuito retificador entre em condução (por isso cria-se esse tempo em que a corrente começa a conduzir e se mantém constante, é o tempo necessário para o

carregamento do capacitor C_f). Foi possível reproduzir algo semelhante a esse efeito em simulação computacional ao adicionar uma resistência paralela interna no capacitor de filtro (C_f), conforme Figura 80 (b).



(a) prática.



(b) simulação computacional.

Figura 80 – Corrente da rede elétrica.

Visando observar o que aconteceria com a corrente de entrada caso o capacitor de filtro não descarregasse, foi posto em paralelo junto as capacitores do filtro mais um capacitor de $470 \mu F$ (igual aos capacitores chaveados). Com isso, o valor do filtro é alterado de forma desproporcional as equações, porém é possível observar mudanças interessantes. A Figura 81 (a) apresenta a corrente de entrada com uma capacitância C_f total de $4,4 \mu F$ e a Figura 81 (b) apresenta a mesma corrente agora com uma capacitância C_f total de $474,4 \mu F$. Agora em que não há descarregamento do capacitor, a corrente de entrada da rede elétrica fica com um formato muito semelhante ao esperado. Para o segundo caso, com maior valor de C_f , houve uma redução no rendimento e no PF do circuito.

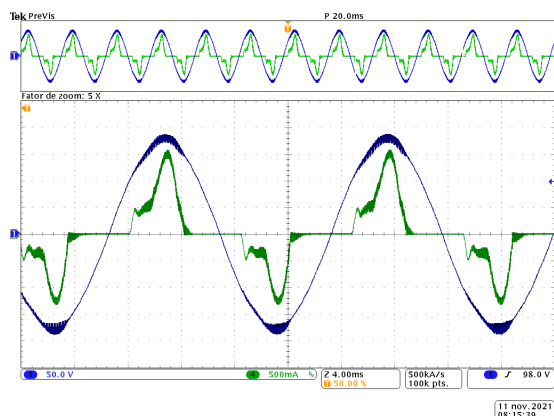
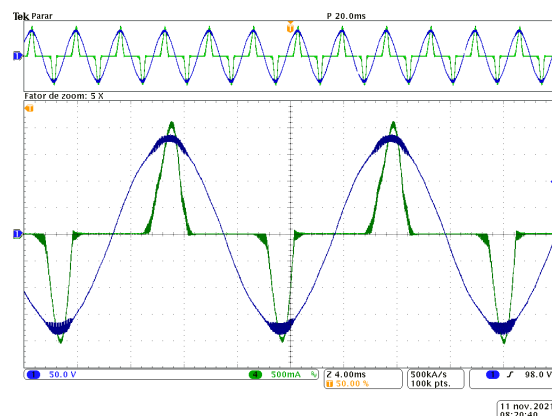
(a) capacitância total de $C_f = 4,4 \mu F$.(b) capacitância total de $C_f = 474,4 \mu F$.

Figura 81 – Corrente de entrada com variação do capacitor do filtro LC

A Tabela 27 apresenta um resumo dos resultados experimentais obtidos com o

analisador de energia e com o osciloscópio. Para a estimativa da carga foi considerada a relação de $R_o = V_o/I_o$, para a estimativa da potência aparente de entrada $S_i = V_{RMS} \cdot I_{RMS}$, e para a estimativa do fator de potência foi considerada a relação de $PF = P_i/S_i$.

Tabela 27 – Resumo dos resultados experimentais.

Parâmetros	Analisador de energia	Osciloscópio
Potência de saída (P_o)	46,81 W	43,84 W
Potência de entrada (P_i)	57,99 W	54,21 W
Rendimento (η)	80,72%	80,87%
Tensão de saída (V_o)	89,54 V	88,33 V
Corrente de saída (I_o)	0,52 A	0,5 A
Carga (R_o)	172,19 Ω	176,66 Ω
Tensão de entrada eficaz (V_{RMS})	126,54 V	125,5 V
Corrente de entrada eficaz (I_{RMS})	0,58 A	0,55 A
Potência aparente de entrada (S_i)	73,39 VA	69,03 VA
Fator de potência (PF)	0,79	0,79

6.4.2 Estimativa das perdas nos componentes por simulação computacional

O valor médio da corrente na chave S_1 é muito baixo em relação ao seu valor de pico, conforme observado na Figura 77 (em simulação seu valor médio é de 292,81 mA e seu valor de pico é na ordem de 56 A). Dessa forma, a medida em um escala pequena (e.g. 1 A) não permitiria visualizar o valor de pico, e a medida em uma escala maior (e.g. 50 A) aumentaria o erro de fundo de escala, o que dificulta o uso de uma escala de amplitude adequada para a medida. Além disso, os valores de tensão e corrente nos componentes dependem da tensão de entrada (retificada em 120 Hz) e da componente de alta frequência (chaveamento de 20 kHz), dificultando o uso de uma escala de tempo adequada para a medida. Essas dificuldades, com os equipamentos disponíveis em laboratório, inviabilizaram as medidas da potência nos componentes na prática, por isso tais potências foram estimadas em ambiente de simulação computacional.

Realizando uma nova simulação computacional optou-se por elevar o pico da tensão de entrada, para 190 V, na tentativa de aproximar o sinal de simulação com o sinal da prática (sabe-se que na prática o sinal de tensão possui harmônicas, enquanto o sinal teórico não). A simulação foi realizada com o *software* LTspice XVII, com passo de simulação máximo de 5 μs e tempo de simulação de 0,5 s até 0,7 s (circuito em regime permanente). As não idealidades das chaves, capacitores chaveados e do indutor são as mesmas consideradas na simulação do LTspice feitas anteriormente. A Tabela 28 apresenta

os principais resultados da simulação computacional.

Tabela 28 – Resultados de simulação computacional após o aumento da tensão de entrada.

Parâmetros	Valor
Potência de saída (P_o)	46,35 W
Potência de entrada (P_i)	54,04 W
Rendimento (η)	85,78%
Tensão de saída (V_o)	89,05 V
Corrente de saída (I_o)	0,52 A
Carga (R_o)	171,25 Ω
Tensão de entrada eficaz (V_{RMS})	134,35 V
Corrente de entrada eficaz (I_{RMS})	0,64 A
Potência aparente de entrada (S_i)	69,86 VA
Fator de potência (PF)	0,77

Observando a Tabela 28 e comparando-a com a Tabela 27, os resultados de simulação estão mais compatíveis com a resultados práticos do protótipo do que a primeira simulação, apresentada na Tabela 24. Assim, foi considerado adequado realizar uma estimativa da potência média nos principais elementos do SCC CA-CC por essa nova simulação, sendo tais resultados dispostos na Tabela 29.

Tabela 29 – Estimativa de potência média nos principais elementos do SCC CA-CC.

Parâmetros	Valor
Capacitor chaveado (C_1)	468,61 mW
Capacitor chaveado (C_2)	472,34 mW
Chave (S_1)	5,94 W
Chave (S_2)	179,16 mW
Diodo (d_1)	194,90 mW
Diodo (d_{2a})	155,92 mW
Diodo (d_{2b})	156,05 mW
Capacitor de saída (C_o)	45,819 mW
Retificador + Filtro LC	77,694 mW
Carga (R_o)	46,35 W
Potência total	54,04 W

Com base na Tabela 29, a Figura 82 apresenta a distribuição das potências nos componentes do circuito SCC CA-CC como PFC.

Observa-se da Tabela 29 e da Figura 82 que as perdas concentram-se em sua maioria na chave S_1 (11%) e as perdas em todos os outros elementos totalizam 3%. Em teoria, conforme modelos que utilizam apenas a resistência de condução da chave, as perdas nas chaves se dão apenas por condução e são irrisórias, porém em simulação observou-se que tais perdas em S_1 são relevantes e provenientes em sua maioria do chaveamento. Para contornar tal situação, poderia-se avaliar o uso de chaves ativas mais modernas,

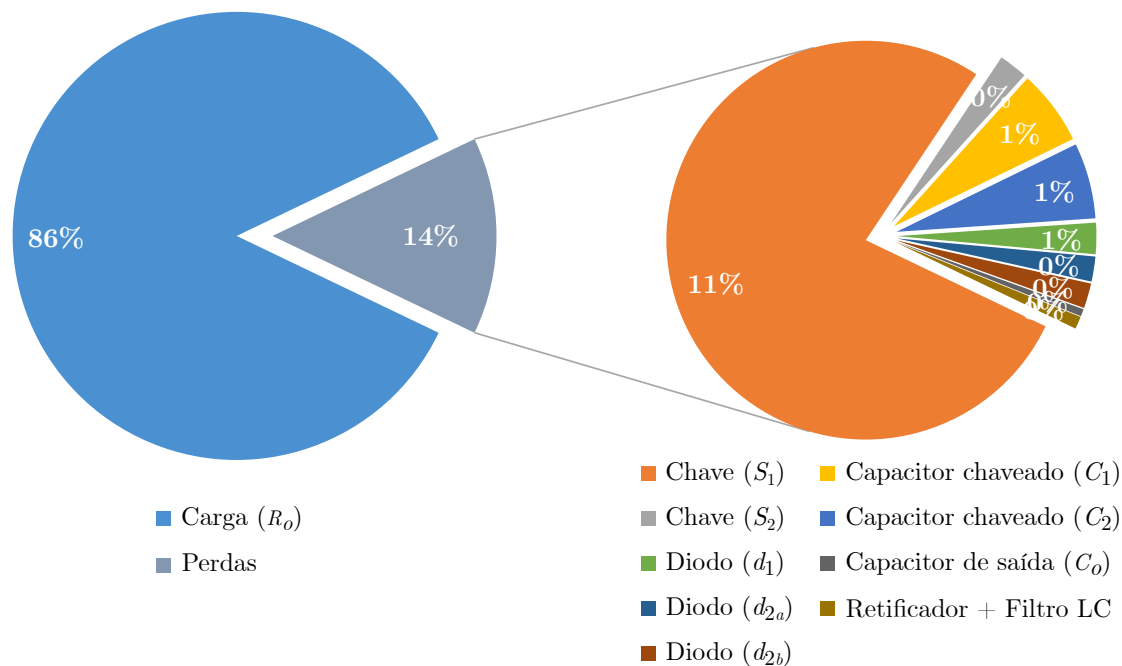


Figura 82 – Relação das potências estimadas em simulação para o SCC CA-CC como PFC.

com menores perdas de chaveamento, o estudo de uma melhor topologia do *driver* para acionamento das chaves ativas e/ou o uso de um circuito auxiliar para comutação suave das mesmas (*snubber*).

As Figuras 83 (a) e (b) apresentam o protótipo de laboratório do SCC CA-CC utilizado para obtenção dos resultados práticos desse capítulo.

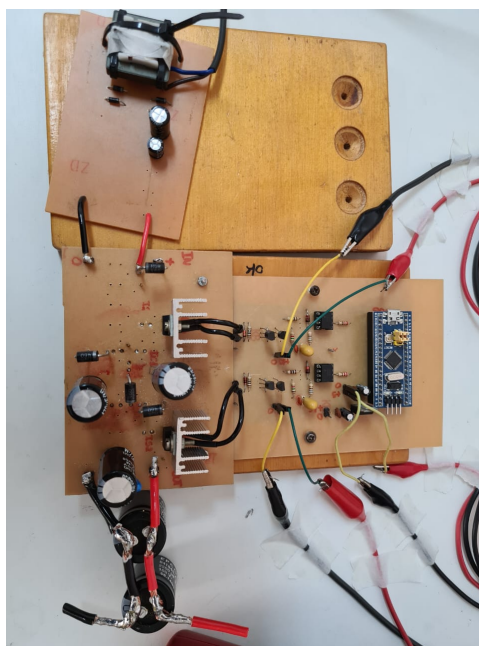


Figura 83 – Protótipo de laboratório do SCC CA-CC (no circuito ainda encontram-se os capacitores eletrolíticos do filtro LC de entrada, que posteriormente foram substituídos por capacitores de filme).

6.5 CONCLUSÕES PARCIAIS

Nesse capítulo foi apresentado o SCC CA-CC operando como PFC. São apresentadas metodologia e exemplo de projeto do SCC CA-CC para uma carga resistiva que emulam um conjunto de LEDs. É apresentada também a validação de projeto por simulação computacional, além da comparação entre os modelos equivalentes existentes e o proposto, sendo esse o que melhor representa o SCC CA-CC. Na sequência é projetado um filtro passivo LC de entrada para o SCC CA-CC, e em seguida realizadas simulações computacionais com variação dos parâmetros de capacitância do capacitor chaveado e fator de amortecimento do filtro. Na sequência é realizada uma análise da relação rendimento por fator de potência do circuito, além da influência das não idealidades não consideradas para projeto do filtro LC e seus impactos nos resultados. Por último, é apresentada a implementação de um protótipo em laboratório e seus resultados, assim como a discussão dos mesmos.

7 CONCLUSÃO

A presente dissertação aborda a utilização do conversor a capacitor chaveado abaixador série-paralelo com ganho estático de tensão de $1/2$ como circuito para correção de fator de potência. Inicialmente foi realizada uma análise do conversor a capacitor chaveado abaixador série-paralelo CC-CC, apresentando suas características e formalizando os modos de operação do conversor. Foram formalizados e apresentados os modos de operação do conversor em função da continuidade da corrente nos capacitores chaveados, fazendo com que no modo contínuo o conversor tenha duas etapas de operação e no modo descontínuo três etapas, sendo isso umas das contribuições dessa dissertação, visto que não há registros disso nos trabalhos da revisão bibliográfica.

Em seguida foi desenvolvida uma metodologia de projeto para o conversor CC-CC, Capítulo 3, juntamente com um estudo sobre a regulação de potência de saída do conversor, sendo o projeto e estudo validados por simulação computacional e por um protótipo de laboratório de aproximadamente $30 W$, que apresentou um rendimento de 87,90%. No estudo sobre a regulação de potência de saída do conversor comprovou-se algumas limitações da topologia como o ganho estático de tensão fixo, baixa liberdade de regulação (isso ainda em detrimento do rendimento) e elevação dos picos de corrente ao elevar a Resistência Equivalente.

Em sequência foi realizada uma análise da operação e características do conversor a capacitor chaveado abaixador série-paralelo CA-CC, sendo desenvolvida uma metodologia de projeto, Capítulo 6, e essa validada por simulação computacional e um protótipo de laboratório, com potência de aproximadamente $45 W$, apresentando rendimento de 80% e um fator de potência de 0,79. Do projeto e implementação do conversor a capacitor chaveado CA-CC observou-se características interessantes da topologia que não são apresentadas na literatura, como a relação entre rendimento e fator de potência, em que além de serem inversamente proporcionais, os mesmos se limitam, fazendo com que para obter um desses parâmetros com valor elevado é preciso reduzir significativamente o outro parâmetro. Além disso, houve a análise das perdas do conversor, em que estimou-se que a maior parte delas concentra-se em uma das chaves ativas, e também discutiu-se sobre a adversidade da conexão direta do conversor na rede elétrica.

Assim, cumpriu-se os objetivos iniciais dessa dissertação, além de que no decorrer

do desenvolvimento do trabalho foram apresentadas algumas contribuições como:

1. Formalização dos modos de operação conforme corrente nos capacitores chaveados, sendo propostos os modos CCC e CDC no Capítulo 2.
2. Detalhamento do modo de operação CDC e sua descontinuidade de corrente, apresentado no Capítulo 4.
3. Apresentação de um novo modelo médio equivalente para o SCC CC-CC abaixador série-paralelo operando no modo modo CCC no Capítulo 3). Que também é válido para o modo CDC, conforme apresentado no Capítulo 4. Esse modelo é particularmente útil para utilização no conversor CA-CC (Capítulo 6).
4. Análise e considerações da limitação do uso de *drivers* de tecnologia *bootstrap* em circuitos SCC, discutido no Capítulo 3.
5. Considerações sobre métodos de regulação da potência de saída para o SCC CC-CC (Capítulo 3).
6. Apresentação da relação inversa entre rendimento e fator de potência, que com as não idealidades consideradas, não seria possível atingir alto rendimento e alto fator de potência ao mesmo tempo, sendo inerente da topologia do conversor, discutido no Capítulo 6.
7. Metodologia de projeto para o conversor CA-CC proposta no Capítulo 6.

Conversores a capacitor chaveado apresentam uma característica muito interessante que é a ausência do elemento magnético indutor, reduzindo a emissão de interferência eletromagnética, além da possibilidade da redução de peso/volume do conversor. Por outro lado, essa topologia de conversor apresenta elevados picos de corrente (decorrentes da carga e descarga dos capacitores chaveados), regulação da potência de saída limitada e ganho estático de tensão fixo. Em relação a aplicação escolhida, o conversor a capacitor chaveado abaixador série-paralelo CA-CC não se apresenta como uma boa opção para um *driver* de lâmpada LED, estágio único de correção do fator de potência, devido aos problemas de controle e de projeto do conversor, além da estrutura da própria topologia (que acaba por criar dependência entre fatores importantes).

Para o controle da corrente nos LEDs, a razão cíclica se apresenta como o parâmetro mais viável, entretanto apresenta uma limitação na amplitude em que seria possível realizar o controle. Além disso, caso a Resistência Equivalente esteja perto do seu valor mínimo (maior rendimento), só seria possível realizar o controle via aumento da Resistência Equivalente, que por consequência resultaria em uma redução no rendimento do conversor.

Outro ponto negativo do conversor é a sua limitação de projeto. Devido ao ganho estático de tensão fixo e regulação de tensão e/ou corrente de saída é precária, para o projeto se faz necessário adequar a carga ao conversor e não o conversor a carga, como é projetado normalmente para outros conversores tradicionais. Isso pode ser feito alterando o modelo e/ou a quantidade de lâmpadas LED da carga. Também, para facilitar ajuste entre conversor e carga, pode-se diminuir o ganho estático do conversor adicionando mais células *Valley-fill*.

Ao utilizar a topologia abaixadora série-paralelo CA-CC atuando para correção do fator de potência (com as não idealidades especificadas), averiguou-se outra adversidade: a dependência entre rendimento e fator de potência, causando uma limitação em que não é possível atingir altos valores em ambos parâmetros. Com isso, essa topologia de conversor seria utilizada apenas para circuitos de iluminação de baixa potência (abaixo de 25 W, devido limitação de normas), buscando apenas o alto rendimento do circuito.

Em relação aos resultados práticos observou-se uma diferença com os resultados teóricos. O principal fator dessa diferença é que no modelo teórico considera-se, para perdas, apenas a resistência de condução das chaves ativas, enquanto na prática há outras não idealidades que aumentam as perdas do conversor, como as perdas de comutação das chaves. Na implementação do protótipo, constatou-se a concentração de perdas na chave ativa S_1 (cerca de 77,25% do total de perdas). Além disso, tais perdas na chave são em grande parte de chaveamento, fato que não foi encontrado nos trabalhos de revisão bibliográfica dessa dissertação.

7.1 TRABALHOS FUTUROS

Durante o desenvolvimento desse trabalho observou-se alguns tópicos que podem ser explorados em trabalhos futuros, como:

1. Existem indícios de que as perdas nas chaves são majoritariamente perdas de chave-

amento, podendo ser realizado um estudo detalhado sobre as perdas e proposta de soluções para mitigá-las (como circuitos *snubbers* ou escolha de chaves com menores perdas).

2. Uma característica que é apontada como vantajosa é a ausência de indutor, que permite a redução do volume e o aumento da densidade de potência (W/m^3). Porém nesse trabalho não foi avaliada essa densidade e esse pode ser tema de um estudo futuro.
3. Para o protótipo CA-CC utilizou-se um resistor variável na entrada do circuito, assim evitando elevados picos de corrente de partida. Em uma aplicação comercial ou outra, com a intenção de conectar o circuito diretamente na rede elétrica, esse método se torna inviável. Assim, surge a possibilidade de estudo um método que possibilite a conexão direta, seja por um circuito de pré-carga dos capacitores chaveados ou de outra maneira.

7.2 PUBLICAÇÕES DURANTE O PERÍODO DO MESTRADO

- MENEGATTI, R. B. ; VARGAS, D. R. ; LOPES, J. P. . Conversor a capacitor chaveado abaixador série-paralelo: Projeto e considerações sobre a regulação da potência de saída. In: Congresso Brasileiro de Automática, 2020, Virtual. XXIII CBA, 2020.

REFERÊNCIAS

ANDERSEN, Romero L; LAZZARIN, Telles B; BARBI, Ivo. A 1 kW step-up/step-down switched-capacitor ac–ac converter. **IEEE transactions on power electronics**, IEEE, v. 28, n. 7, p. 3329–3340, 2012.

ANEEL, Agência Nacional de Energia Elétrica. **Procedimentos de distribuição de energia elétrica no sistema elétrico nacional - PRODIST : Modulo 8 - Qualidade de energia elétrica**. Revisão: [s.n.], 2018.

BARBI, Ivo. **Eletrônica de potência: Projeto de fontes chaveadas**. Edição do autor, 1. Florianópolis, SC, Brasil: UFSC, 2001.

BARBI, Ivo. **Eletrônica de Potência**. Edição do autor, 6. Florianópolis, SC, Brasil: UFSC, 2006.

BARBI, Ivo. **Conversores a capacitor chaveado**. Edição do autor, 1. [S.l.]: UFSC, 2019.

BEN-YAAKOV, Shmuel. Behavioral average modeling and equivalent circuit simulation of switched capacitor converters. **IEEE Transactions on Power Electronics**, IEEE, v. 27, n. 2, p. 632–636, 2012.

BOLZAN, Priscila Ertmann. **Circuitos de acionamento para lâmpada LED tubular utilizando conversores a capacitor chaveado**. 2017. Dissertação (Mestrado) — Universidade Federal de Santa Maria, UFSM, Santa Maria - RS, 2017.

BOLZAN, Priscila E; BARBOZA, Igor B; PUTZKE, Josué L; ROSA, Veridiane L; PRADO, Ricardo N Do. Switched capacitor converter with variable duty cycle to feed led tubular lamp. *In*: IEEE. **2017 Brazilian Power Electronics Conference (COBEP)**. [S.l.], 2017. p. 1–5.

BOLZAN, Priscila E; LUZ, Paulo CV; BARBOZA, Igor B; PRADO, Ricardo N do. Comparative analysis among three switched capacitor converters to feed a led tubular lamp. *In*: IEEE. **2016 12th IEEE International Conference on Industry Applications (INDUSCON)**. [S.l.], 2016. p. 1–6.

BOLZAN, Priscila E; ROSA, Veridiane L; DENARDIN, Gustavo; PRADO, Ricardo N do. Switched capacitor with dimming feature to feed led tubular lamp. *In*: IEEE. **2018 IEEE International Conference on Industrial Technology (ICIT)**. [S.l.], 2018. p. 571–574.

BOYLESTAD, Robert L.; NASHELSKY, Louis. **Dispositivos eletrônicos e teoria de circuitos**. 8. ed. São Paulo, SP, Brasil: Pearson, 2004.

BRIDGELUX. **Vero SE 29 Array Series Product Data Sheet DS123**. 2017.

CAMPONOGARA, Douglas; VARGAS, Diogo Ribeiro; Dalla Costa, Marco Antonio; ALONSO, J. Marcos; GARCIA, Jorge; MARCHESAN, Tiago. Capacitance reduction with an optimized converter connection applied to LED drivers. **IEEE Transactions on Industrial Electronics, TIE**, v. 62, n. 1, p. 184–192, 2015. ISSN 0278-0046. Disponível em: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6824235>.

Cheng, K. W. E. New generation of switched capacitor converters. *In*: **PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)**. [S.l.: s.n.], 1998. v. 2, p. 1529–1535 vol.2.

DESHPANDE, R. P. **Capacitors: technology and trends**. New Delhi, India: McGraw Hill Education (India), 2012.

ERICKSON, Robert W; MAKSIMOVIC, Dragan. **Fundamentals of power electronics**. 2. ed. [S.l.]: Springer Science & Business Media, 2001.

GOBBATO, Cassio. **Estudo comparativo entre dois modos de conexão de conversores cc-cc empregados em lâmpadas de led para sistemas de iluminação pública**. 2017. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, UTFPR, Pato Branco, PR, 2017.

HART, Daniel W. **Power Electronics**. New York, NY, USA: Mc Graw Hill, 2010.

IEC, Internacional Electrotechnical Commission. **IEC 61000-3-2 Electromagnetic Compability (EMC) - Limits for harmonic current emissions**. Switzerland: [s.n.], 2005.

IR. **Datasheet IRF540NPbF HEXFET Power MOSFET**. International Rectifier, 2003.

IR. **Application Note AN978 HV Floating MOS-Gate Driver ICs**. International Rectifier, 2007.

KIRSTEN, André Luis. **Reator eletrônico para lâmpadas de descarga em alta pressão baseado no conversor bilyback inversor**. 2011. Dissertação (Mestrado) — Universidade Federal de Santa Maria, UFSM, Santa Maria - RS, 2011.

KISHORE, G Indira; TRIPATHI, Ramesh Kumar. Single-phase pfc converter using switched capacitor for high voltage dc applications. **IEEE Transactions on Industry Applications**, IEEE, v. 54, n. 3, p. 2560–2567, 2018.

Lee, E. S.; Choi, B. H.; Nguyen, D. T.; Jang, G. C.; Rim, C. T. Versatile led drivers for various electronic ballasts by variable switched capacitor. **IEEE Transactions on Power Electronics**, v. 31, n. 2, p. 1489–1502, 2016.

MALVINO, Albert; BATES, David J. **Electronic principles**. 8. ed. USA: McGraw-Hill Education, 2015.

MARTINS, Denizar Cruz; BARBI, Ivo. **Eletrônica de Potência: Conversores CC-CC básicos não isolados**. Edição do autor, 2. Florianópolis, SC, Brasil: UFSC, 2006.

MARTINS, Guilherme Brunel. **Estudos de conversores a capacitores chaveados**. 2013. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, UFSC, Florianópolis - SC, 2013.

MEYVAERT, Hans; PIQUÉ, Gerard Villar; KARADI, Ravi; BERGVELD, Henk Jan; STEYAERT, Michiel SJ. A light-load-efficient 11/1 switched-capacitor dc-dc converter with 94.7% efficiency while delivering 100 mW at 3.3 V. **IEEE Journal of Solid-State Circuits**, IEEE, v. 50, n. 12, p. 2849–2860, 2015.

MOHAN, Ned; UNDERLAND, Tore M.; ROBBINS, William P. **Power electronics: converters, applications, and design**. 2. ed. USA: John Wiley & Sons, INC., 1995.

MOO, Chin Sien; LEE, Kuo Hsing; CHENG, Hung Liang; CHEN, Wei Ming. A single-stage high-power-factor electronic ballast with zvs buck–boost conversion. **IEEE Transactions on Industrial Electronics**, v. 56, n. 4, p. 1136–1146, 2009.

POMILIO, José Antenor. **Pré-reguladores de fator de potência**. Campinas, SP: Universidade Estadual de Campinas, Unicamp, 2007.

QINGLIN, Zhao; YI, Wen; WEIYANG, Wu; ZHE, Chen. A single-stage boost-flyback pfc converter. *In: 2006 CES/IEEE 5th International Power Electronics and Motion Control Conference*. [S.l.: s.n.], 2006. v. 2, p. 1–5.

Setiadi, H.; Fujita, H. Control and performance of new asymmetrical operation for switched-capacitor-based resonant converters. *In: 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*. [S.l.: s.n.], 2018. p. 626–631.

Shoyama, M.; Deriha, F.; Ninomiya, T. Operation analysis and control of resonant boost switched capacitor converter with high efficiency. *In: 2005 IEEE 36th Power Electronics Specialists Conference. [S.l.: s.n.], 2005. p. 1966–1971.*

SILVA, Rogerio Luiz da; LAZZARIN, Telles Brunelli; BARBI, Ivo. Reduced switch count step-up/step-down switched-capacitor three-phase ac–ac converter. **IEEE Transactions on Industrial Electronics**, IEEE, v. 65, n. 11, p. 8422–8432, 2018.

SINGH, Nitin; BANSOD, PP. Switched-capacitor filter design for ecg application using 180 nm cmos technology. *In: IEEE. 2017 International Conference on Recent Innovations in Signal processing and Embedded Systems (RISE). [S.l.], 2017. p. 439–443.*

SONG, Yu; IGNJATOVIC, Zeljko. A high-performance pll with a low-power active switched-capacitor loop filter. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 58, n. 9, p. 555–559, 2011.

Yeung, Y. P. B.; Cheng, K. W. E.; Ho, S. L.; Law, K. K.; Sutanto, D. Unified analysis of switched-capacitor resonant converters. **IEEE Transactions on Industrial Electronics**, v. 51, n. 4, p. 864–873, 2004.

APÊNDICES

APÊNDICE A – SCRIPT EM PYTHON

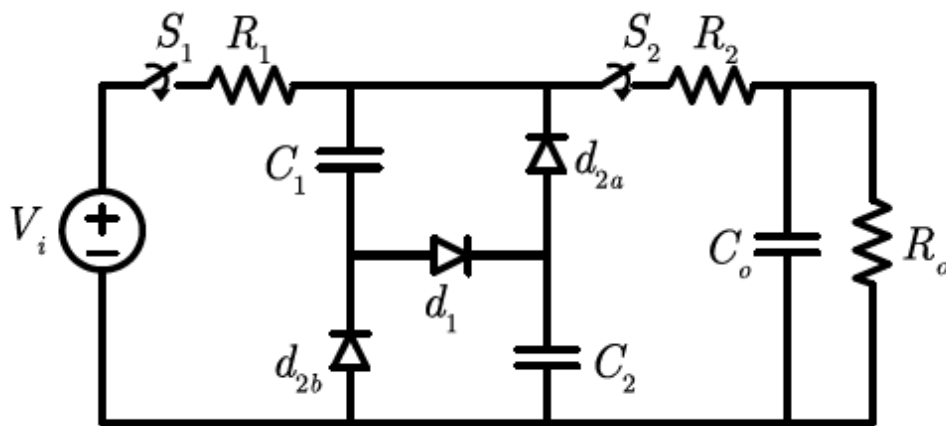
2021.RicardoBrancaleone_v3

December 2, 2021

1 Projeto Conversor a capacitor chaveado, abaixador, ganho 1/2

1.0.1 Mestrado Ricardo Brancaleone

1.0.2 2021-11



```
[1]: # Pacotes utilizados nesse notebook

# Para plotar:
# Reference: https://matplotlib.org/tutorials/introductory/pyplot.html
import matplotlib.pyplot as plt

# Numerical computing tools:
import numpy as np

# Matemático, para ter acesso ao exponencial
import math
```

```
[2]: ## Passo 1: Parâmetros de entrada

Vin=50      #Tensão de entrada
fsw=20e3    #Frequência de chaveamento
```



```

Ro=20          #Carga (resistência)
Ganho=1/2      #Ganho do conversor

# Pré-cálculos
Tsw=1/fsw     #Período de chaveamento

# Como a topologia é de ganho 1/2, temos
Vo_Ideal=Vin*Ganho
Io_Ideal=Vo_Ideal/Ro
print("A tensão de saída (se for um conversor ideal) é de",Vo_Ideal,"V")
print("A corrente de saída (se for um conversor ideal) é de",Io_Ideal,"A \n")

# Razão cíclica (duty cycle) para minizar perdas
D1 = 1/3
D2 = 1-D1
#print("Duty D1 =",D1)                                #assim vai todo o float
print("Duty D1 =", "{:.3f}".format(D1))                #assim limita em 3 casas decimais,
↳ pode trocar aquele 3 por outro número
#fonte da dica: https://www.kite.com/
↳python/answers/how-to-print-a-float-with-two-decimal-places-in-python
#print("Duty D2 =",D2)
print("Duty D2 =", "{:.3f}".format(D2))

```

A tensão de saída (se for um conversor ideal) é de 25.0 V
A corrente de saída (se for um conversor ideal) é de 1.25 A

Duty D1 = 0.333
Duty D2 = 0.667

```

[3]: ## Passo 2: Estimativa dos esforços de tensão e corrente nos componentes
# (valores médios, considerando o circuito ideal e em regime)

# Chave S1
Vmax_S1 = Vin/2
Imax_S1 = Io_Ideal/(2*D1)
print("Esforços na chave S1, tensão máxima de",Vmax_S1,"V e corrente máxima
↳ de", "{:.3f}".format(Imax_S1),"A.")

# Chave S2
Vmax_S2 = Vin/2
Imax_S2 = Io_Ideal/(1-D1)
print("Esforços na chave S2, tensão máxima de",Vmax_S2,"V e corrente máxima
↳ de", "{:.3f}".format(Imax_S2),"A.")

# Diodo d1
Vmax_d1 = Vin/2
Imax_d1 = Io_Ideal/(2*D1)

```

```

print("Esforços no diodo d1, tensão máxima de",Vmax_S1,"V e corrente máxima_
↳de",Imax_S1,"A.")

# Diodo d2a
Vmax_d2a = Vin/2
Imax_d2a = Io_Ideal/(1-D1)
print("Esforços no diodo d2a, tensão máxima de",Vmax_d2a,"V e corrente máxima_
↳de", "{:.3f}".format(Imax_d2a), "A.")

# Diodo d2b
Vmax_d2b = Vin/2
Imax_d2b = Io_Ideal/(1-D1)
print("Esforços no diodo d2b, tensão máxima de",Vmax_d2b,"V e corrente máxima_
↳de", "{:.3f}".format(Imax_d2b), "A.")

# Capacitor C1
Vmax_C1 = Vin/2
print("Esforços no capacitor chaveado C1, tensão máxima de",Vmax_C1,"V.")

# Capacitor C2
Vmax_C2 = Vin/2
print("Esforços no capacitor chaveado C2, tensão máxima de",Vmax_C2,"V.")

# Capacitor Co
Vmax_Co = Vin/2
print("Esforços no capacitor de saída Co, tensão máxima de",Vmax_Co,"V.")

```

Esforços na chave S1, tensão máxima de 25.0 V e corrente máxima de 1.875 A.
 Esforços na chave S2, tensão máxima de 25.0 V e corrente máxima de 1.875 A.
 Esforços no diodo d1, tensão máxima de 25.0 V e corrente máxima de 1.875 A.
 Esforços no diodo d2a, tensão máxima de 25.0 V e corrente máxima de 1.875 A.
 Esforços no diodo d2b, tensão máxima de 25.0 V e corrente máxima de 1.875 A.
 Esforços no capacitor chaveado C1, tensão máxima de 25.0 V.
 Esforços no capacitor chaveado C2, tensão máxima de 25.0 V.
 Esforços no capacitor de saída Co, tensão máxima de 25.0 V.

[4]: *## Passo 3: Escolha dos componentes e definição dos valores das não idealidades.
 # Assim, calcula-se o valor da resistência equivalente mínima.*

Com as estimativas de esforços nos componentes do passo anterior é possível_
↳definir as chaves, capacitores e diodos que serão usados,
e com isso definir as não idealidades dos componentes e adicionar ao circuito.
Nesse caso é utilizado somente a resistência de condução das chaves.
Após a escolha da chave, entrar com o valor da resistência de condução da_
↳mesma (obtida via datasheet).

```
# Nesse projeto a chave escolhida é: IRF540 (RDSon 77mΩ).
RDSon = 77e-3

# A resistência equivalente mínima é
Req_min = (9/4)*RDSon

print("Utilizando uma chave com RDSon de",RDSon,"Ω")
print("temos uma resistência equivalente mínima (Req_min) de",Req_min,"Ω")
```

Utilizando uma chave com RDSon de 0.077 Ω,
temos uma resistência equivalente mínima (Req_min) de 0.17325 Ω

```
[5]: ## Passo 4: Definição da capacitância (chaveada).
# A escolha da capacitância (do capacitor chaveado) impacta no valor da Req
↳ (resistência equivalente) do conversor

# No passo 5 busca-se o seu valor máximo
# No passo 6 busca-se o seu valor crítico
# No passo 7 busca-se o seu valor mínimo

# Função que relaciona Req e C
def FuncaoReq(Cx):
    return (1/(2*Cx*fsw)*(math.exp(((D1/(RDSon*Cx/2)+(D2/(2*RDSon*Cx)))*(1/
↳ fsw))-1)))/(((math.exp(D1/(RDSon*Cx*fsw/2))-1))*(math.exp(D2/
↳ (2*RDSon*Cx*fsw))-1))

# Não consigo plotar essa função, erro: "only length-1 arrays can be converted
↳ to Python scalars"
# então precisei fazer isso:
# Reference: https://intellipaat.com/community/26494/
↳ typeerror-only-size-1-arrays-can-be-converted-to-python-scalars#:~:
↳ text=You%20are%20getting%20the%20error,single%20value%2C%20not%20an%20array.
Funcao2 = np.vectorize(FuncaoReq)

# Intervalo para plotar o gráfico
C_init = 1e-6 #inicia em 1uF
C_passo = 1e-6 #de 1 e 1uF
C_final = 1000e-6 #até 1mF
VetorCap = np.arange(C_init, C_final, C_passo) #numpy.arange([start, ]stop,
↳ [step, ]dtype=None)

# Print para conferir (se está ok, poder deixar comentado)
```

```

#print(VetorCap)
#print(Funcao2(VetorCap))

# Conferindo com os valores obtidos no Mathcad, para ver se fiz cagada :D
print("Para 1uF, temos um Req de:", "{:.3f}".format(Funcao2(1e-6)), "Ω")
#print('No Mathcad dá 25 Ω \n')
print("Para 100uF, temos um Req de:", "{:.3f}".format(Funcao2(100e-6)), "Ω")
#print('No Mathcad dá 0,286 Ω \n')
print("Para 10mF, temos um Req de:", "{:.3f}".format(Funcao2(10e-3)), "Ω")
#print('No Mathcad dá 0.173 Ω \n')

# Plotando o gráfico
plt.figure()
plt.plot(VetorCap, Funcao2(VetorCap), '--bo')

#Exemplos (referência: https://stackoverflow.com/questions/8409095/set-markers-for-individual-points-on-a-line-in-matplotlib)
#plt.plot(range(10), linestyle='--', marker='o', color='b')
#plt.plot(range(10), '--bo')

plt.xlabel('Capacitância do Capacitor Chaveado, Csw [F]')
#plt.xlim(-100e-6, 0.0015)

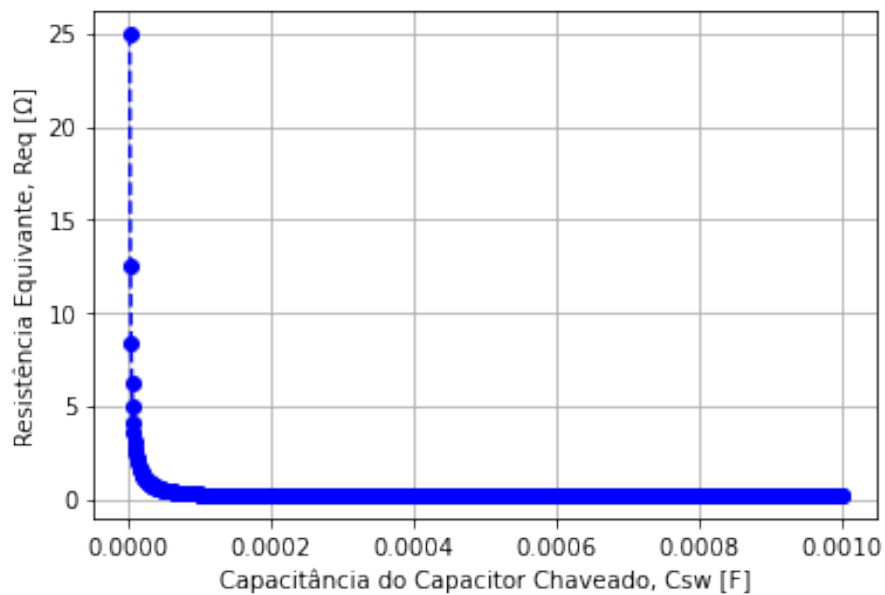
plt.ylabel('Resistência Equivalente, Req [Ω]')
#plt.ylim(0, 26)

plt.grid(True)
plt.show()

plt.close() #If you are making lots of figures, you need to be aware of one
↳ more thing: the memory required for a figure is not completely released
↳ until the figure is explicitly closed with close. Deleting all references to
↳ the figure, and/or using the window manager to kill the window in which the
↳ figure appears on the screen, is not enough, because pyplot maintains
↳ internal references until close is called.

```

Para 1uF, temos um Req de: 25.000 Ω
 Para 100uF, temos um Req de: 0.286 Ω
 Para 10mF, temos um Req de: 0.173 Ω



```
[10]: #Passo 5: Definição da capacitância (chaveada) máxima

#Analisando o gráfico anterior, temos que:
#Quanto maior C menor Req, então quando maior C maior o rendimento.
#Mas isso tem não é infinito, pois o Req tende a estabilizar para valores altos
↳ de C.
#Então podemos calcular uma capacitância C "máxima", pois acima dela o
↳ rendimento aumenta pouco.

#Buscando a capacitância em que obtemos a resistência equivalente mínima,
↳ chamaremos essa de capacitância máxima (Cmax):
#Essa capacitância é dita máxima, pois acima desse valor C já não reduz o
↳ valor da resistência equivalente
#(não aumentando mais o rendimento).

#Faremos uma varedura/busca para encontrar esse valor.
#Vamos calcular o valor Req para uma série de valores de C
#Buscando um valor satisfatório de C no qual estejamos próximos do Req_min

Cmax_init = 1e-6 #Valor inicial para fazer a busca
Cmax_passo = 1e-6 #Passo para o incremento do valor na busca
Cmax_final = 1 #Valor máximo para a busca

Numero_interacoes_Cmax = 1+(Cmax_final-Cmax_init)/Cmax_passo
```

```

print('Poderão ser realizadas até',int(Numero_interacoes_Cmax),'interações (ou
↳passos) no loop. \n')

ErroMaximo = 10.000001 #Começa em 1% e vai até 10%
#O erro utilizado é o erro percentual relativo a resistência equivalente mínima.

#Para isso usaremos um loop:
#Loop while em Python: https://www.devmedia.com.br/
↳python-estrutura-de-repeticao-while/38546
contadorB = 0

print("Buscamos o valor mínimo de Req de",Req_min*1e3,"mΩ \n")

while (contadorB < 11):
    contadorA = 0
    while (contadorA < int(Numero_interacoes_Cmax)):
        Cloop = Cmax_init+(Cmax_passo*contadorA)
        Rloop = (1/(2*Cloop*fsw)*(math.exp(((D1/(RDson*Cloop/2)+(D2/
↳(2*RDson*Cloop)))*(1/fsw))-1)))/(((math.exp(D1/(RDson*Cloop*fsw/
↳2))-1))*(math.exp(D2/(2*RDson*Cloop*fsw))-1))
        erro = 100 * abs( (Rloop - Req_min)/Req_min )
        Rendimento = 1 - (Rloop/(Rloop+Ro))
        DeltaVC = (Vin/2)*(1/(Rloop+Ro))/(2*fsw*Cloop)
        Ripple = 100*DeltaVC/(Vin/2)
        if erro <= ErroMaximo:
            print('Buscando um erro de',ErroMaximo,'%')
            print("Resultado obtido no passo n°", contadorA)
            print("Valor de C máximo =",Cloop*1e6,"µF")
            print("Valor de Req =","{:.3f}".format(Rloop*1e3),"mΩ")
            print("Erro obtido =","{:.3f}".format(erro),"%")
            print("Rendimento estimado =","{:.3f}".format(Rendimento))
            print("Variação de tensão nos capacitores chaveados =","{:.3f}".
↳format(Ripple),"%")
            Csw_maxima = Cloop
            print('')
            break
        contadorA = contadorA + 1
    else:
        print("O loop while foi encerrado sem encontrar o erro exigido \n")
        contadorB = contadorB +1
        ErroMaximo = ErroMaximo -1
else: print("O loop while foi encerrado \n \n")

print("Observação: Muito importante, erros de 10%, 5%, 1% e 0,1% dão valores de
↳C muito diferentes! O projetista deve cuidar disso.")

```

```
#Apenas para conferir os valores obtidos anteriormente no Mathcad  
#print('')  
#print("No Mathcad temos 276uF e 190.4906mΩ para um erro de 10%")  
#print("No Mathcad temos 393uF e 181.87954mΩ para um erro de 5%")  
#print("No Mathcad temos 883uF e 174.97988mΩ para um erro de 1%")
```

Poderão ser realizadas até 1000000 interações (ou passos) no loop.

Buscamos o valor mínimo de Req de 173.25 mΩ

Buscando um erro de 10.000001 %
Resultado obtido no passo n° 275
Valor de C máximo = 276.0 μF
Valor de Req = 190.491 mΩ
Erro obtido = 9.951 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.449 %

Buscando um erro de 9.000001 %
Resultado obtido no passo n° 290
Valor de C máximo = 291.0 μF
Valor de Req = 188.804 mΩ
Erro obtido = 8.978 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.426 %

Buscando um erro de 8.000001 %
Resultado obtido no passo n° 308
Valor de C máximo = 309.00000000000006 μF
Valor de Req = 187.085 mΩ
Erro obtido = 7.986 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.401 %

Buscando um erro de 7.000000999999999 %
Resultado obtido no passo n° 330
Valor de C máximo = 331.0 μF
Valor de Req = 185.343 mΩ
Erro obtido = 6.980 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.374 %

Buscando um erro de 6.000000999999999 %
Resultado obtido no passo n° 357
Valor de C máximo = 358.0 μF
Valor de Req = 183.618 mΩ

Erro obtido = 5.985 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.346 %

Buscando um erro de 5.000000999999999 %
Resultado obtido no passo n° 392
Valor de C máximo = 393.0 μF
Valor de Req = 181.880 m Ω
Erro obtido = 4.981 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.315 %

Buscando um erro de 4.000000999999999 %
Resultado obtido no passo n° 439
Valor de C máximo = 440.0 μF
Valor de Req = 180.155 m Ω
Erro obtido = 3.985 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.282 %

Buscando um erro de 3.0000009999999993 %
Resultado obtido no passo n° 507
Valor de C máximo = 508.0 μF
Valor de Req = 178.445 m Ω
Erro obtido = 2.999 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.244 %

Buscando um erro de 2.0000009999999993 %
Resultado obtido no passo n° 622
Valor de C máximo = 623.0 μF
Valor de Req = 176.715 m Ω
Erro obtido = 2.000 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.199 %

Buscando um erro de 1.0000009999999993 %
Resultado obtido no passo n° 882
Valor de C máximo = 883.0 μF
Valor de Req = 174.980 m Ω
Erro obtido = 0.998 %
Rendimento estimado = 0.991
Variação de tensão nos capacitores chaveados = 0.140 %

Buscando um erro de 9.99999992515995e-07 %
Resultado obtido no passo n° 883631
Valor de C máximo = 883632.0 μF
Valor de Req = 173.250 m Ω

Erro obtido = 0.000 %
 Rendimento estimado = 0.991
 Variação de tensão nos capacitores chaveados = 0.000 %

O loop while foi encerrado

Observação: Muito importante, erros de 10%, 5%, 1% e 0,1% dão valores de C muito diferentes! O projetista deve cuidar disso.

```
[29]: #Passo 6: Definição da capacitância (chaveada) crítica.

#Os capacitores chaveados tem um valor máximo de tensão (VB) e um valor mínimo
↳(VA).
#O valor de VB (em regime permanente) pode ser igual ou menor que Vin/2
#O valor de VA (em regime permanente) pode ser igual ou maior que Vo (note que
↳Vo depende do rendimento, não é apenas Vin/2)

#Definimos que a troca do modo de operação acontece quando VB=Vin/2:
#Pois se VB < Vin/2 sempre há corrente nos capacitores (e na entrada) durante
↳D1*Ts.
#E se VB = Vin/2 não haverá corrente nos diodos e esses vão abrir, adicionando
↳uma etapa de operação.

#O objetivo é achar esse valor de capacitância crítica (Ccrit), na qual altera
↳o número de etapas, ou seja, o modo de operação

#Novamente faremos uma varedura/busca na qual calculamos VA e VB para uma série
↳de valores de capacitores.
Ccrit_init = 1e-6      #Valor inicial para fazer a busca
Ccrit_passo = 0.1e-6   #Passo para o incremento do valor na busca
Ccrit_final = 1000e-6  #Valor máximo para a busca

#Serão 2 loops, uma para a variação de capacitores:
Numero_interacoes_Ccrit = 1+(Ccrit_final-Ccrit_init)/Ccrit_passo
print('Poderão ser realizadas até',int(Numero_interacoes_Ccrit),'interações (ou
↳passos) no loop do capacitores. \n')

# O outro loop é necessário pois VB depende de VA; e VA depende de VB.
# Então faremos algumas interações buscando "estabilizar" o valor de VA e VB,
# Ou seja, para obter seus valores em regime permanente.
Numero_interacoes_Tensao = 100
print('Poderão ser realizadas até',int(Numero_interacoes_Tensao),'interações
↳(ou passos) no loop de tensão. \n')
```

```

#Quando chegar em um erro maior ou igual a esse, vai para o loop
ErroMaximoCritico = 1e-6 #Considera o crítico quando chega nesse erro
ErroMaximoLoop = 5e-5 #Mostra resultados até esse erro

#Loop while
contadorC = 0
FlagEncontradoCcritico= 0

#cria "vetores" para armazenar os resultados da busca de Critico
#VetorCapacitores= [0]*int(Numero_interacoes_Ccrit+1)
#VetorDiferencaVa = [0]*int(Numero_interacoes_Ccrit+1)
#VetorDiferencaVb= [0]*int(Numero_interacoes_Ccrit+1)

while (contadorC < Numero_interacoes_Ccrit):
    contadorD = 0
    Cloop = Ccrit_init+(Ccrit_passo*contadorC)
    Rloop = (1/(2*Cloop*fsw)*(math.exp(((D1/(RDSon*Cloop/2)+(D2/
↪(2*RDSon*Cloop)))*(1/fsw))-1)))/(((math.exp(D1/(RDSon*Cloop*fsw/
↪2))-1))*(math.exp(D2/(2*RDSon*Cloop*fsw))-1))
    Vo_loop = (Vin/2)*(Ro/(Ro+Rloop)) #Valor de Vo depende do valor de Vin e
↪do Req
    Va_loop = 0
    Vb_loop = 0
    while (contadorD < int(Numero_interacoes_Tensao)):
        Vb_loop = (Vin/2 -Va_loop)*(1-math.exp(-D1*Tsw/(RDSon*Cloop/2)))+Va_loop
        contadorD = contadorD +1
        Va_loop = (Vo_loop -Vb_loop) *(1-math.exp(-D2*Tsw/
↪(RDSon*2*Cloop)))+Vb_loop
    # else:
        #print("O loop while foi encerrado")
        Diferenca_Va = 100*abs((Va_loop-Vo_loop)/Va_loop)
        Diferenca_Vb = 100*abs((Vb_loop-(Vin/2))/Vb_loop)
        #print("Para um capacitor de","{: .1f}".format(Cloop*1e6),"µF temos uma
↪diferença de Va de","{: .6f}".format(Diferenca_Va)," % e uma diferença tensão
↪Vb de","{: .6f}".format(Diferenca_Vb),"%.")
        if (Diferenca_Vb >= ErroMaximoCritico) and (FlagEncontradoCcritico ==0):
            print("O valor de C crítico é esse", "{: .1f}".
↪format(Cloop*1e6), "µF\n")
            #print("Segue o loop com outros resultados: \n")
            Csw_critica = Cloop
            FlagEncontradoCcritico =1
        if Diferenca_Vb >= ErroMaximoLoop:
            break
    contadorC = contadorC +1
else:

```

```
print("O loop while foi encerrado \n")
```

Poderão ser realizadas até 9991 interações (ou passos) no loop do capacitores.

Poderão ser realizadas até 100 interações (ou passos) no loop de tensão.

O valor de C crítico é esse 28.4 μF

```
[14]: #Passo 7: Definição da capacitância (chaveada) mínima.

#Buscando a capacitância em que temos um rendimento mínimo aceitável:
#(O rendimento desejado deve estar entre o rend crit e o rend max).

#Novamente faremos uma varedura/busca na qual calculamos o rendimento para uma
↳ série de valores de capacitores.
Cmin_init = 1e-6      #Valor inicial para fazer a busca
Cmin_passo = 1e-6     #Passo para o incremento do valor na busca
Cmin_final = 1000e-6  #Valor máximo para a busca

#Loop para a variação de capacitores:
Numero_interacoes_Cmin = 1+(Cmin_final-Cmin_init)/Cmin_passo
print('Poderão ser realizadas até',int(Numero_interacoes_Cmin),'interações (ou
↳ passos) no loop do capacitores. \n')

#Quando chegar em um rendimento, vai salvar o C mínimo
RendimentoObjetivo = 0.9

#Quando chegar em um rendimento, vai para o loop
RendimentoMaximoLoop = 0.98

#Loop while
contadorE = 0
FlagEncontradoCminimo = 0

while (contadorE < Numero_interacoes_Cmin):
    Cloop = Cmin_init+(Cmin_passo*contadorE)
    TermoA = D1/(fsw*RDSon*Cloop/2)
    TermoB = D2/(fsw*2*RDSon*Cloop)
    TermoC = 1/(2*Cloop*fsw)
    RendimentoLoop= 1- ((TermoC*(math.exp(TermoA+TermoB)-1)/((math.
↳ exp(TermoA)-1)*(math.exp(TermoB)-1))/(TermoC*(math.exp(TermoA+TermoB)-1)/
↳ ((math.exp(TermoA)-1)*(math.exp(TermoB)-1))+Ro )))
    print("Para um capacitor de","{: .1f}".format(Cloop*1e6),"µF temos um
↳ rendimento de ", "{: .6f}".format(RendimentoLoop), ".")
    if (RendimentoLoop >= RendimentoObjetivo) and (FlagEncontradoCminimo == 0):
```

```

        print("O valor de C mínimo é esse", "{:.1f}".format(Cloop*1e6), "µF,
↪ segue o loop: \n.")
        Csw_minima = Cloop
        FlagEncontradoCminimo =1
        if RendimentoLoop >= RendimentoMaximoLoop:
            break
        contadorE = contadorE +1
else:
    print("O loop while foi encerrado \n")

```

Poderão ser realizadas até 1000 interações (ou passos) no loop do capacitores.

```

Para um capacitor de 1.0 µF temos um rendimento de 0.444444 .
Para um capacitor de 2.0 µF temos um rendimento de 0.615385 .
Para um capacitor de 3.0 µF temos um rendimento de 0.705882 .
Para um capacitor de 4.0 µF temos um rendimento de 0.761905 .
Para um capacitor de 5.0 µF temos um rendimento de 0.800000 .
Para um capacitor de 6.0 µF temos um rendimento de 0.827586 .
Para um capacitor de 7.0 µF temos um rendimento de 0.848485 .
Para um capacitor de 8.0 µF temos um rendimento de 0.864865 .
Para um capacitor de 9.0 µF temos um rendimento de 0.878049 .
Para um capacitor de 10.0 µF temos um rendimento de 0.888889 .
Para um capacitor de 11.0 µF temos um rendimento de 0.897959 .
Para um capacitor de 12.0 µF temos um rendimento de 0.905660 .
O valor de C mínimo é esse 12.0 µF, segue o loop:
.
Para um capacitor de 13.0 µF temos um rendimento de 0.912281 .
Para um capacitor de 14.0 µF temos um rendimento de 0.918033 .
Para um capacitor de 15.0 µF temos um rendimento de 0.923077 .
Para um capacitor de 16.0 µF temos um rendimento de 0.927536 .
Para um capacitor de 17.0 µF temos um rendimento de 0.931507 .
Para um capacitor de 18.0 µF temos um rendimento de 0.935065 .
Para um capacitor de 19.0 µF temos um rendimento de 0.938271 .
Para um capacitor de 20.0 µF temos um rendimento de 0.941175 .
Para um capacitor de 21.0 µF temos um rendimento de 0.943818 .
Para um capacitor de 22.0 µF temos um rendimento de 0.946234 .
Para um capacitor de 23.0 µF temos um rendimento de 0.948450 .
Para um capacitor de 24.0 µF temos um rendimento de 0.950489 .
Para um capacitor de 25.0 µF temos um rendimento de 0.952373 .
Para um capacitor de 26.0 µF temos um rendimento de 0.954118 .
Para um capacitor de 27.0 µF temos um rendimento de 0.955738 .
Para um capacitor de 28.0 µF temos um rendimento de 0.957247 .
Para um capacitor de 29.0 µF temos um rendimento de 0.958655 .
Para um capacitor de 30.0 µF temos um rendimento de 0.959972 .
Para um capacitor de 31.0 µF temos um rendimento de 0.961206 .
Para um capacitor de 32.0 µF temos um rendimento de 0.962364 .
Para um capacitor de 33.0 µF temos um rendimento de 0.963454 .

```

Para um capacitor de 34.0 μF temos um rendimento de 0.964480 .
 Para um capacitor de 35.0 μF temos um rendimento de 0.965448 .
 Para um capacitor de 36.0 μF temos um rendimento de 0.966363 .
 Para um capacitor de 37.0 μF temos um rendimento de 0.967229 .
 Para um capacitor de 38.0 μF temos um rendimento de 0.968049 .
 Para um capacitor de 39.0 μF temos um rendimento de 0.968826 .
 Para um capacitor de 40.0 μF temos um rendimento de 0.969565 .
 Para um capacitor de 41.0 μF temos um rendimento de 0.970266 .
 Para um capacitor de 42.0 μF temos um rendimento de 0.970934 .
 Para um capacitor de 43.0 μF temos um rendimento de 0.971570 .
 Para um capacitor de 44.0 μF temos um rendimento de 0.972177 .
 Para um capacitor de 45.0 μF temos um rendimento de 0.972755 .
 Para um capacitor de 46.0 μF temos um rendimento de 0.973308 .
 Para um capacitor de 47.0 μF temos um rendimento de 0.973836 .
 Para um capacitor de 48.0 μF temos um rendimento de 0.974341 .
 Para um capacitor de 49.0 μF temos um rendimento de 0.974825 .
 Para um capacitor de 50.0 μF temos um rendimento de 0.975288 .
 Para um capacitor de 51.0 μF temos um rendimento de 0.975732 .
 Para um capacitor de 52.0 μF temos um rendimento de 0.976158 .
 Para um capacitor de 53.0 μF temos um rendimento de 0.976567 .
 Para um capacitor de 54.0 μF temos um rendimento de 0.976959 .
 Para um capacitor de 55.0 μF temos um rendimento de 0.977337 .
 Para um capacitor de 56.0 μF temos um rendimento de 0.977700 .
 Para um capacitor de 57.0 μF temos um rendimento de 0.978049 .
 Para um capacitor de 58.0 μF temos um rendimento de 0.978385 .
 Para um capacitor de 59.0 μF temos um rendimento de 0.978708 .
 Para um capacitor de 60.0 μF temos um rendimento de 0.979020 .
 Para um capacitor de 61.0 μF temos um rendimento de 0.979321 .
 Para um capacitor de 62.0 μF temos um rendimento de 0.979611 .
 Para um capacitor de 63.0 μF temos um rendimento de 0.979891 .
 Para um capacitor de 64.0 μF temos um rendimento de 0.980161 .

```
[32]: ## Resumo da: Definição da capacitância (chaveada).

# Do passo 6 temos o seu valor crítico
print("A capacitância chaveada deve ser maior que (para garantir modo de
↳operação) a capacitância crítica de:",Csw_critica*1e6," $\mu\text{F}$ ")

# Do passo 7 temoso seu valor mínimo
print("A capacitância chaveada deve ser maior que (para garantir um rendimento
↳mínimo) a capacitância mínima de:",Csw_minima*1e6," $\mu\text{F}$ ")

#Escolhendo o maior valor entre os mínimos:
if Csw_minima > Csw_critica:
```

```

Cminimo_verdadeiro = Csw_minima

if Csw_minima <= Csw_critica:
    Cminimo_verdadeiro = Csw_critica

print("Para atender aos 2 critérios precisamos utilizar um C maior que:
↳",Cminimo_verdadeiro*1e6,"µF \n")

# Do passo 5 temos o seu valor máximo
#print("A capacitância chaveada deve ser menor que capacitância máxima de:
↳",Csw_maxima*1e6,"µF \n")

#Escolhendo o ponto intermediário, temos:
#Csw_escolhido = (Csw_maxima+Cminimo_verdadeiro)/2
#print("Dessa forma podemos escolher um valor 'médio' de",Csw_escolhido*1e6,"µF
↳ \n")

```

A capacitância chaveada deve ser maior que (para garantir modo de operação) a capacitância crítica de: 28.4 µF

A capacitância chaveada deve ser maior que (para garantir um rendimento mínimo) a capacitância mínima de: 12.0 µF

Para atender aos 2 critérios precisamos utilizar um C maior que: 28.4 µF

[]:

[]:

APÊNDICE B – PROJETO DO INDUTOR DO FILTRO LC

O projeto do indutor segue a metodologia apresentada em Barbi (2001). A Equação 55 apresenta o método de cálculo do parâmetro $AeAw$.

$$AeAw = \frac{L_f \cdot I_{L(pk)} \cdot I_{L(RMS)}}{K_w \cdot B_{max} \cdot J_{max}} \quad (55)$$

Em que:

- L_f (Indutância desejada = 1,83 mH).
- $I_{L(pk)}$ (Corrente de pico no indutor L_f) = 1,745 A (mensurado em simulação computacional).
- $I_{L(RMS)}$ (Corrente eficaz no indutor L_f) = 570,83 mA (mensurado em simulação computacional).
- K_w (Fator de utilização da janela Aw) = 0,7 (valor típico de projeto).
- B_{max} (Densidade máxima de fluxo magnético no núcleo de ferrite) = 0,3 T (valor típico de projeto).
- J_{max} (Densidade máxima de corrente para os condutores) = 450 A/cm^2 (valor típico de projeto).

O valor calculado para $AeAw$ é de 0,193 cm^4 . Conforme tabela disposta por Barbi (2001), o núcleo resultante deve ser acima do E-30/7. Por disponibilidade em laboratório foi escolhido o E-30/14, com área $Ae = 1,2 cm^2$, área $Aw = 0,85 cm^2$ e comprimento médio das espiras no núcleo de $l_t = 6,7 cm$.

A Equação 56 apresenta o cálculo do número de espiras (N_e) necessárias. Calculando e arredondando para o primeiro número inteiro superior ao calculado o total de espiras é de $N_e = 89$.

$$N_e = \frac{L_f \cdot I_{L(pk)}}{A_e \cdot B_{max}} \quad (56)$$

Em seguida são realizados os cálculos para dimensionamento do fio de cobre esmaltado a ser utilizado. Para isso, são utilizados dois critérios: profundidade da penetração da corrente no fio e área total da seção transversal dos condutores.

O primeiro critério calcula a profundidade da penetração de corrente no fio, conforme Equação 57. O objetivo é desse cálculo é mensurar o diâmetro de penetração da corrente (δ) e escolher um fio com diâmetro menor, visando o máximo de aproveitamento da seção transversal do fio.

$$\delta = 2 \cdot \sqrt{\frac{\sigma}{\pi \cdot \mu_o \cdot f_s \cdot \mu_r}} \quad (57)$$

Em que:

- σ (Resistividade do cobre) = $2,3 \cdot 10^{-8} \Omega \cdot m$.
- μ_o (Permeabilidade magnética do vácuo) = $4 \cdot \pi \cdot 10^{-7} H/m$.
- μ_r (Permeabilidade magnética relativa do cobre) ≈ 1 .

O segundo critério calcula a área total da seção transversal dos condutores (A_{total}), conforme Equação 58. O objetivo desse cálculo é determinar a área total da seção transversal mínima necessária para a condução da corrente projetada. A área total pode ser composta de um ou mais fios condutores.

$$A_{total} = \frac{I_{L(RMS)}}{J_{max}} \quad (58)$$

Das Equações 57 e 58 calculou-se $\delta = 1,08 \text{ mm}$ e $A_{total} = 0,123 \text{ mm}^2$. Assim, é necessário escolher um fio de cobre esmaltado com diâmetro menor que $1,08 \text{ mm}$ e com seção transversal maior que $0,123 \text{ mm}^2$ (considerando que deseja-se utilizar apenas um fio condutor). Observa-se a Tabela 30, disposta por Barbi (2001) e adaptada aqui.

Essa tabela apresenta algumas bitolas de fio de cobre esmaltado, que pelo critério da penetração da corrente a bitola máxima a ser escolhida é AWG 18 (em destaque) e pelo critério da área de condução total o fio mínimo a ser escolhido é o AWG 26 (em destaque), considerando que optou-se pelo uso de apenas um condutor no enrolamento do indutor. Com isso, cria-se uma faixa de bitola de condutores que estão dentro dos critérios avaliados, e por disponibilidade em laboratório optou-se pelo uso do fio de cobre esmaltado 24 AWG (em destaque).

Tabela 30 – Comparação dos resultados de simulação computacional com filtro LC.

AWG	Diâmetro (<i>mm</i>)	Seção transversal (<i>mm</i> ²)	Ω/km (20 °C)
16	1,29	1,30	13,2
17	1,15	1,04	16,6
18	1,02	0,82	20,9
19	0,91	0,65	26,4
20	0,81	0,52	33,3
21	0,72	0,41	42,0
22	0,64	0,32	53,0
23	0,57	0,26	66,8
24	0,51	0,20	84,2
25	0,45	0,16	106,2
26	0,40	0,13	133,9
27	0,36	0,10	168,9
28	0,32	0,08	212,9

Fonte: Adaptado de Barbi (2001).

ANEXO

ANEXO A – MODELOS *SPICE* DOS SEMICONDUTORES UTILIZADOS EM SIMULAÇÃO

A.1 MOSFET IRF540

```
.SUBCKT irf540ninfion 1 2 3 * Model generated on Sep 5, 01 * MODEL
FORMAT: SPICE3 * Symmetry POWER MOS Model (Version 1.0) * External Node
Designations * Node 1 -> Drain * Node 2 -> Gate * Node 3 -> Source M1 9 7 8
8 MM L=100u W=100u .MODEL MM NMOS LEVEL=1 IS=1e-32 +VTO=3.58173
LAMBDA=0.00806114 KP=112.25 +CGSO=1.896e-05 CGDO=1e-11 RS 8 3 0.025918 D1
3 1 MD .MODEL MD D IS=1.565e-11 RS=0.006486 N=1.1328 BV=100 +IBV=0.00025
EG=1.2 XTI=3.32496 TT=0 +CJO=1.16e-09 VJ=3.16363 M=0.840542 FC=0.5 RDS 3 1
1e+06 RD 9 1 0.0130608 RG 2 7 6.45271 D2 4 5 MD1 * Default values used in MD1: *
RS=0 EG=1.11 XTI=3.0 TT=0 * BV=infinite IBV=1mA .MODEL MD1 D IS=1e-32
N=50 +CJO=1.30485e-09 VJ=0.899032 M=0.9 FC=1e-08 D3 0 5 MD2 * Default values
used in MD2: * EG=1.11 XTI=3.0 TT=0 CJO=0 * BV=infinite IBV=1mA .MODEL
MD2 D IS=1e-10 N=0.4 RS=3e-06 RL 5 10 1 FI2 7 9 VFI2 -1 VFI2 4 0 0 EV16 10 0 9 7 1
CAP 11 10 2.35428e-09 FI1 7 9 VFI1 -1 VFI1 11 6 0 RCAP 6 10 1 D4 0 6 MD3 * Default
values used in MD3: * EG=1.11 XTI=3.0 TT=0 CJO=0 * RS=0 BV=infinite IBV=1mA
.MODEL MD3 D IS=1e-10 N=0.4 .ENDS irf540ninfion
```

A.2 DIODO MUR1620

```
* Model generated on Jun 4, 98 * MODEL FORMAT: PSpice .MO-
DEL MUR1620CTR d +IS=3.36005e-10 RS=0.0107295 N=1.22895 EG=0.930043
+XTI=2.97484 BV=1000 IBV=0.0001 CJO=8.67169e-10 +VJ=0.4 M=0.438549 FC=0.5
TT=1e-09 +KF=0 AF=1
```