

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ  
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**GABRIEL DE OLIVEIRA ASSUNÇÃO**

**CONVERSOR CA-CC TRIFÁSICO DE ESTÁGIO ÚNICO COM  
ELEVADO FATOR DE POTÊNCIA BASEADO NO CONVERSOR  
SEPIC MCD COM INTERRUPTORES BIDIRECIONAIS**

**DISSERTAÇÃO**

**PONTA GROSSA**

**2016**

**GABRIEL DE OLIVEIRA ASSUNÇÃO**

**CONVERSOR CA-CC TRIFÁSICO DE ESTÁGIO ÚNICO COM  
ELEVADO FATOR DE POTÊNCIA BASEADO NO CONVERSOR  
SEPIC MCD COM INTERRUPTORES BIDIRECIONAIS**

Dissertação apresentada como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica, do Departamento Acadêmico de Eletrônica, da Universidade Tecnológica Federal do Paraná.

Orientador: Prof. Dr. Carlos Henrique Illa Font

**PONTA GROSSA**

**2016**

Ficha catalográfica elaborada pelo Departamento de Biblioteca  
da Universidade Tecnológica Federal do Paraná, Campus Ponta Grossa  
n.33/16

A851 Assunção, Gabriel de Oliveira

Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais / Gabriel de Oliveira Assunção. -- 2016.

127 f. : il. ; 30 cm.

Orientador: Prof. Dr. Carlos Henrique Illa Font

Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica. Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2016.

1. Engenharia elétrica. 2. Circuitos elétricos. 3. Fator de potência. I. Illa Font, Carlos Henrique. II. Universidade Tecnológica Federal do Paraná. III. Título.

CDD 621.3



**Universidade Tecnológica Federal do  
Paraná Campus de Ponta Grossa**  
Diretoria de Pesquisa e Pós-Graduação  
**PROGRAMA DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA**



## **FOLHA DE APROVAÇÃO**

Título de Dissertação Nº **16/2016**

**CONVERSOR CA-CC TRIFÁSICO DE ESTÁGIO ÚNICO COM ELEVADO FATOR  
DE POTÊNCIA BASEADO NO CONVERSOR SEPIC MCD COM INTERRUPTORES  
BIDIRECIONAIS**

por

**Gabriel de Oliveira Assunção**

Esta dissertação foi apresentada às **8 horas e 30 minutos** do dia **30 de agosto de 2016** como requisito parcial para a obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA, com área de concentração em Controle e Processamento de Energia, Programa de Pós- Graduação em Engenharia Elétrica. O candidato foi argüido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho aprovado.

**Prof. Dr. Ivo Barbi (UFSC)**

**Prof. Dr. Eloi Agostini Junior (UTFPR)**

**Prof. Dr. Carlos Henrique Illa Font (UTFPR)**  
Orientador

Visto do Coordenador:

**Prof. Dr. Claudinor Bitencourt Nascimento**  
Coordenador do PPGEE

- O Termo de Aprovação assinado encontra-se na Coordenação do Curso -

Dedico este trabalho à minha esposa, Aline,  
e aos meus pais, Rinaldo e Walquiria.

## **AGRADECIMENTOS**

Agradeço a Deus pela oportunidade, capacitação, paciência e auxílio. Graças a Ele que esse trabalho pôde ser realizado.

A minha querida esposa pela paciência que teve comigo quando tivemos que abrir mão de momentos importantes e de lazer. Você me deu forças e ânimo.

A meus pais, porque sempre investiram na minha educação, mesmo com tudo que passamos. Obrigado. As palavras me faltam para agradecer por isso.

Agradeço ao meu orientador Prof. Dr. Carlos Henrique Illa Font pelas sábias orientações, exortações e incentivo. Fico feliz em poder dizer que você é mais que um orientador, é um amigo.

Aos professores que contribuíram para com o trabalho, Prof. Dr. Eloi Agostini e Prof. Dr. Ivo Barbi. Foi uma honra ter meu trabalho avaliado por vocês.

Aos meus colegas de mestrado Paulo, Marlon, Ismael, Gabriel Broday, William, Saulo, Remei, Erickson e Marcos.

Em geral, agradeço a todos que contribuíram para que fosse possível chegar a essa etapa.

Deleite-se no Senhor, e ele atenderá aos  
desejos do seu coração.  
Entregue o seu caminho ao Senhor;  
confie nele, e ele agirá.  
(Salmos 37:4,5)

## RESUMO

ASSUNÇÃO, Gabriel de Oliveira. **Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais**. 2016. 127 f. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2016.

Este trabalho apresenta uma nova topologia de conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD, contendo interruptores bidirecionais. Este se comporta como um seguidor da tensão mesmo em malha aberta (característica dos conversores SEPIC MCD), ou seja, emula uma resistência do ponto de vista da rede elétrica. Sendo assim, o esforço de controle é reduzido a apenas uma malha de controle, sendo esta para controlar a tensão de saída, como em um conversor CC-CC. Este conversor de estágio único tem elevada confiabilidade, uma vez que emprega quatro interruptores ativos, com o mesmo sinal de comando, e seis diodos de alta frequência para a conversão de corrente alternada para corrente contínua (CA-CC) com alto fator de potência e isolamento em alta frequência. Como desvantagens, tem-se a restrição na escolha da relação de transformação, a qual implica em elevados valores de corrente no secundário para baixas tensões de saída. São apresentadas as etapas de operação, as formas de onda ideais, as equações que regem o funcionamento do conversor, os resultados de simulação numérica contrastados com os valores teóricos e resultados experimentais. As especificações aplicadas ao conversor são 127 V na tensão de entrada, 200 V na tensão de saída, 50 kHz da frequência de comutação e 1500 W de potência para a carga. O protótipo gerado a partir dessas especificações apresenta 0,9981 de fator de potência, 4,234% de taxa de distorção harmônica e um rendimento de 85,522% para condições nominais. Devido as suas características, considera-se uma boa opção para sistemas trifásicos de baixa potência, onde não se justifica um elevado custo.

**Palavras-chave:** SEPIC. MCD. Interruptores bidirecionais. Conversor de estágio único. Conversor trifásico. Elevado fator de potência.



## ABSTRACT

ASSUNÇÃO, Gabriel de Oliveira. **Three-phase high power factor single-stage AC-DC converter based on DCM SEPIC with bidirectional switches**. 2016. 127 p. Thesis (Master in Electrical Engineering) - Federal Technology University - Parana. Ponta Grossa, 2016.

This work presents a new three-phase high power factor single-stage AC-DC converter based on the DCM SEPIC topology, using bidirectional switches. This converter operates as a voltage follower even in open loop (SEPIC DCM converter characteristic), in other words, it emulates a resistance from the electric grid point of view. Therefore, the control effort is reduced to a single control loop to control the DC output voltage, like an output voltage control of a DC-DC converter. This single-stage converter has high reliability, since it employs four active switches with the same command signal and six high frequency diodes for AC-DC conversion with high power factor and high frequency isolation. A system disadvantage is related to the constraint in the choice of transformer turns, which leads to high current values in the secondary-side for lower output voltage specifications. Hereon are presented the operation modes, the ideal waveforms, the main equations of the converter, the numerical simulation results contrasting with the theoretical values and experimental results. Design specifications are 127 V input voltage, 200 V output voltage, 50 kHz switching frequency and 1500 W output power. The prototype is obtained by following the specifications and it shows 0.9981 of power factor, 4.234% of total harmonic distortion and 85.522% of efficiency for rated condition. This converter is considered a choice for low power three-phase systems with low cost realization.

**Keywords:** SEPIC. DCM. Bidirectional switches. Single-stage converter. Three-phase converter. High power factor.

## LISTA DE FIGURAS

Figura 1 - Conversor proposto: SEPIC trifásico com interruptores bidirecionais no lado CA .....	16
Figura 2 - Conversor CA-CC trifásico de dois estágios, utilizando um retificador <i>Boost</i> trifásico e um conversor CC-CC Ponte Completa .....	19
Figura 3 - Diagrama em blocos para conversores CA-CC trifásicos de dois estágios constituídos por retificadores monofásicos .....	20
Figura 4 - Retificador trifásico isolado com alto fator de potência baseado no conversor SEPIC operando em MCD.....	21
Figura 5 - Retificador trifásico de estágio único com dois interruptores para conversão CA-CC elevadora-abaixadora .....	22
Figura 6 - Conversor CA-CC trifásico utilizando módulos de retificação Cúk.....	22
Figura 7 - Conversor CA-CC monofásico de estágio único empregando o conversor SEPIC com interruptores do lado CA .....	23
Figura 8 - Retificador trifásico de três níveis de estágio único tipo NPC integrando a técnica PFC MCD simples.....	23
Figura 9 - Corrente de entrada de um conversor Boost PFC MCD .....	25
Figura 10 - Tensões de alimentação .....	26
Figura 11 - Etapas de operação de 1 a 4 .....	29
Figura 12 - Etapas de operação de 5 a 8 .....	30
Figura 13 - Circuitos elétricos equivalentes.....	31
Figura 14 - Formas de onda ideais - Tensões e correntes nos indutores .....	32
Figura 15 - Formas de onda ideais - Tensões e correntes nos capacitores.....	33
Figura 16 - Formas de onda ideais - Tensões e correntes nos semicondutores.....	34
Figura 17 - Corrente no diodo $D_1$ durante um período de comutação dentro do intervalo predefinido .....	38
Figura 18 - Ganho estático em função da razão cíclica e do parâmetro $k$ .....	40
Figura 19 - Característica externa do SEPIC trifásico com interruptores bidirecionais no lado CA.....	48
Figura 20 - Simplificação de planta - 3 fontes de corrente .....	49
Figura 21 - Simplificação de planta - 1 fonte de corrente .....	49
Figura 22 - Diagrama de blocos do controle e da modulação PWM .....	51
Figura 23 - Controlador PI com filtro .....	52
Figura 24 - Tensão de saída do conversor e tensão de saída da FT para uma variação de 5% da razão cíclica.....	55
Figura 25 - Tensão de saída do conversor e tensão de saída da FT acrescida em 4 V para uma variação de 5% da razão cíclica.....	56
Figura 26 - Visão geral do sistema.....	56
Figura 27 - Diagrama de blocos de controle .....	58
Figura 28 - Diagramas de Bode da planta, do compensador e da FTLA .....	59
Figura 29 - Representação elétrica de um transformador .....	60

Figura 30 - Topologia RCD do grampeador .....	61
Figura 31 - Análise de malha de tensão simplificada - Tensão no transistor $S_1$ .....	62
Figura 32 - Conversor com grampeador simplificado e indutâncias de dispersão ....	62
Figura 33 - Conversor com as grandezas dos secundários referidas aos respectivos primários.....	63
Figura 34 - Circuito equivalente durante a atuação do grampeador.....	63
Figura 35 - Circuito equivalente durante a atuação do grampeador - Instante $V_{ab}$ no valor de pico .....	64
Figura 36 - Transferência da corrente do grampeador 1 para a saída, através do indutor $L_{da}$ - Instante $V_{ab}$ no valor de pico .....	65
Figura 37 - Circuito equivalente durante a atuação do grampeador - Instante $V_{ca}$ no valor de pico .....	67
Figura 38 - Correntes de entrada .....	69
Figura 39 - Tensão e corrente de entrada da fase "a" .....	69
Figura 40 - Correntes nos indutores $L_4$ , $L_5$ e $L_6$ .....	70
Figura 41 - Tensão de saída .....	71
Figura 42 - Verificação da tensão de saída para capacitores de entrada, aproximadamente, três vezes maiores.....	71
Figura 43 - Tensão no capacitor $C_1$ e tensão de entrada $V_a$ .....	72
Figura 44 - Tensão no transistor $S_1$ .....	73
Figura 45 - Corrente no transistor $S_1$ .....	73
Figura 46 - Tensão no diodo $D_1$ .....	74
Figura 47 - Corrente no diodo $D_1$ .....	74
Figura 48 - Tensão e corrente nos transistores - Perdas por comutação.....	75
Figura 49 - Tensão e corrente nos diodos - Perdas por comutação.....	75
Figura 50 - Tensão de saída e correntes de entrada para degrau de 50% para 100% da carga nominal.....	77
Figura 51 - Tensão de saída e correntes de entrada para degrau de 100% para 50% da carga nominal.....	78
Figura 52 - Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais .....	79
Figura 53 - Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais - Vista superior .....	80
Figura 54 - Correntes de entrada $I_{L1}$ , $I_{L2}$ e $I_{L3}$ (5 A/div) e tensão de entrada $V_a$ (50 V/div) .....	82
Figura 55 - Correntes de entrada $I_{L1}$ , $I_{L2}$ e $I_{L3}$ (2,5 A/div) - Detalhe em $I_{L1pk}$ .....	83
Figura 56 - Correntes de entrada $I_{L1}$ , $I_{L2}$ e $I_{L3}$ (2,5 A/div) - Detalhe em $I_{L2pk}$ .....	83
Figura 57 - Correntes de entrada $I_{L1}$ , $I_{L2}$ e $I_{L3}$ (2,5 A/div) - Detalhe em $I_{L3pk}$ .....	83
Figura 58 - Análise de qualidade de energia .....	84
Figura 59 - Tensão de entrada $V_a$ sobreposta a $V_{C1}$ (50 V/div).....	85
Figura 60 - Tensão dos capacitores de entrada $V_{C1}$ , $V_{C2}$ e $V_{C3}$ (50 V/div) .....	85
Figura 61 - Corrente do capacitor $C_1$ (5 A/div) .....	86

Figura 62 - Detalhe da corrente do capacitor $C_1$ (5 A/div) .....	86
Figura 63 - Tensão (50 V/div) e corrente (4 A/div) de saída.....	87
Figura 64 - Corrente do capacitor de saída $C_o$ (10 A/div).....	87
Figura 65 - Tensão (200 V/div) e corrente (10 A/div) do transistor $S_1$ em baixa frequência.....	88
Figura 66 - Tensão (200 V/div) e corrente (10 A/div) do transistor $S_1$ em alta frequência.....	88
Figura 67 - Tensão nos transistores $S_1$ e $S_2$ (200 V/div) .....	89
Figura 68 - Tensão (50 V/div) e corrente (10 A/div) do diodo $D_1$ em baixa frequência .....	89
Figura 69 - Tensão (100 V/div) e corrente (20 A/div) do diodo $D_1$ em alta frequência .....	90
Figura 70 - Tensão nos diodos $D_1$ , $D_2$ e $D_3$ em baixa frequência (100 V/div).....	90
Figura 71 - Tensão de grampeamento (200 V/div), tensão (200 V/div) e corrente (10 A/div) do transistor $S_1$ em baixa frequência.....	91
Figura 72 - Tensão de grampeamento (200 V/div), tensão (200 V/div) e corrente (10 A/div) do transistor $S_1$ em baixa frequência.....	91
Figura 73 - Curva característica do conversor: Rendimento x Potência.....	92
Figura 74 - Curva característica do conversor: THD x Potência.....	93
Figura 75 - Curva característica do conversor: FP x Potência .....	93
Figura 76 - Resposta ao Degrau 1 - Tensão de saída (20 V/div), corrente de saída (1 A/div) e uma corrente de entrada (3 A/div).....	94
Figura 77 - Resposta ao Degrau 2 - Tensão de saída (20 V/div), corrente de saída (1 A/div) e uma corrente de entrada (3 A/div).....	94
Figura 78 - Pulso duplicado na saída de PWM da placa de controle (pino 11 do UC3525).....	95

## LISTA DE TABELAS

Tabela 1 - Especificações de projeto .....	53
Tabela 2 - Parâmetros básicos e componentes .....	53
Tabela 3 - Esforços nos semicondutores .....	54
Tabela 4 - Componentes do compensador .....	60
Tabela 5 - Comparação entre resultados teóricos e de simulação.....	76
Tabela 6 - Componentes do protótipo .....	81
Tabela 7 - Especificações para teste em malha fechada .....	93

## LISTA DE SIGLAS

CA	Corrente Alternada
CC	Corrente Contínua
CI	Circuito Integrado
FP	Fator de Potência
FT	Função Transferência
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MCC	Modo de Condução Contínuo
MCD	Modo de Condução Descontínuo
PFC	<i>Power Factor Correction</i>
PWM	<i>Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>

## LISTA DE ACRÔNIMOS

MOSFET	<i>Metal-Oxide-Semiconductor Field Effect</i>
SEPIC	<i>Single-Ended Primary Inductance Converter</i>
SiC	<i>Silicon Carbide</i>

## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	<b>14</b>
1.1 PROPOSTA DA DISSERTAÇÃO .....	16
1.2 ORGANIZAÇÃO DA DISSERTAÇÃO .....	17
<b>2 CONVERSORES CA-CC COM ELEVADO FATOR DE POTÊNCIA E ISOLAÇÃO EM ALTA FREQUÊNCIA</b> .....	<b>18</b>
2.1 CONVERSORES CA-CC TRIFÁSICOS DE DOIS ESTÁGIOS .....	18
2.2 CONVERSORES CA-CC TRIFÁSICOS DE ESTÁGIO ÚNICO .....	20
2.2.1 Conversores Isolados .....	21
2.2.2 Conversores Integrados.....	23
2.2.3 Considerações .....	24
<b>3 CONVERSOR SEPIC TRIFÁSICO COM INTERRUPTORES BIDIRECIONAIS NO LADO CA</b> .....	<b>26</b>
3.1 ETAPAS DE OPERAÇÃO.....	27
3.2 FORMAS DE ONDA IDEAIS EM REGIME PERMANENTE .....	28
3.3 GANHO ESTÁTICO.....	35
3.4 RESTRIÇÕES DE OPERAÇÃO .....	40
3.5 METODOLOGIA DE PROJETO .....	42
3.6 CARACTERÍSTICA EXTERNA.....	46
3.7 MODELAGEM DO CONVERSOR .....	48
3.8 ESTRATÉGIA DE CONTROLE E DE MODULAÇÃO .....	51
<b>4 PROJETO E SIMULAÇÃO NUMÉRICA</b> .....	<b>53</b>
4.1 PROJETO DO SISTEMA DE POTÊNCIA.....	53
4.2 SISTEMA DE CONTROLE .....	54
4.2.1 Validação do Modelo Matemático por Simulação Numérica .....	54
4.2.2 Projeto do Sistema de Controle .....	56
4.3 PROJETO DO CIRCUITO GRAMPEADOR.....	60
4.4 RESULTADOS DE SIMULAÇÃO NUMÉRICA EM MALHA ABERTA.....	68
4.5 COMPARAÇÃO ENTRE RESULTADOS TEÓRICOS E DE SIMULAÇÃO.....	76
4.6 SIMULAÇÃO NUMÉRICA EM MALHA FECHADA .....	76
<b>5 RESULTADOS EXPERIMENTAIS</b> .....	<b>79</b>
5.1 CONSIDERAÇÕES FINAIS .....	95
<b>6 CONCLUSÃO</b> .....	<b>96</b>
<b>REFERÊNCIAS</b> .....	<b>98</b>
<b>APÊNDICE A - Artigo publicado no COBEP/SPEC 2015</b> .....	<b>103</b>
<b>APÊNDICE B - Layouts dos projetos de 3 kW e 1,5 kW (As dimensões são dadas em milímetros)</b> .....	<b>110</b>
<b>APÊNDICE C - Planilha de cálculo utilizada no projeto</b> .....	<b>112</b>

## 1 INTRODUÇÃO

O crescente consumo de energia elétrica revela desafios do ponto de vista de geração e redução de desperdícios. Outro fator importante é apresentar soluções rentáveis condizentes. Sendo assim, segundo Flores-Bahamonde et al. (2011) a geração distribuída de energia para sistemas de baixa potência reduzem custos excessivos de transporte de energia e melhora a eficiência do sistema, uma vez que a geração está próxima ao consumidor.

Do enfoque do consumo da energia, é comum encontrar de equipamentos elétricos e eletrônicos alimentados em Corrente Contínua (CC), por exemplo, inversores para acionamento de motores. Estes são alimentados por um barramento CC constituído por um ou mais conversores CA-CC e/ou outras formas de geração CC, tal como apresentado no trabalho de Flores-Bahamonde et al. (2011).

Esses conversores CA-CC, ou fontes de alimentação, devem apresentar os seguintes requisitos: elevado Fator de Potência (FP), circuito de potência simples e compacto, facilidade de controle, operação segura e confiável, alta eficiência e baixo custo (VIEIRA et al., 2014; ZHANG; JOVANOVIC; LEE, 1999). Ainda, considera-se importante a isolação galvânica, desacoplando eletricamente o sistema alternado do contínuo.

Fontes de alimentação com dois estágios são, muitas vezes, constituídas por um retificador *Boost* PFC (*Power Factor Correction*) e um conversor CC-CC *step-down* isolado em alta frequência. Elas são utilizadas em aplicações de alta potência devido ao seu custo-benefício e por apresentarem alta eficiência. Em relação a questões de controle, levando em consideração um conversor CA-CC monofásico utilizando um retificador *Boost* PFC no Modo de Condução Contínuo (MCC) seguido de um conversor *Forward*, é necessário monitorar três tensões CC (tensão de entrada retificada, tensão de barramento CC e tensão de saída) e uma corrente CC (corrente de entrada retificada) para permitir o controle da tensão de saída e a correção do FP (ZHANG; JOVANOVIC; LEE, 1999).

Fontes de alimentação de estágio único têm a vantagem de reduzir a quantidade de interruptores controlados, reduzindo custos e aumentando a confiabilidade. No entanto, elas podem apresentar eficiência global reduzida e são, geralmente, limitadas para aplicações de baixa potência (WIJERATNE; MOSCHOPOULOS, 2014; SILVA et. al., 2014; GREFF et. al., 2008; YANG et al.,



2008; KOLAR; DROFENIK; ZACH, 1999; TIBOLA; BARBI, 2013; YOUNG; WU, 2002; AYYANAR; MOHAN; SUN, 2000; KAMNARN; CHUNKAG, 2009; FUERBACK et al., 2014).

Atualmente, vários trabalhos sobre fontes de alimentação de estágio único estão sendo publicados. A abordagem do estágio único é realizada pela utilização de um conversor isolado (como o *Buck*, *Boost*, SEPIC e Cúk) (CANESIN; BARBI, 1991; WIJERATNE; MOSCHOPOULOS, 2014; SILVA et al., 2014; GREFF et al., 2008; YANG et al., 2008; KOLAR; DROFENIK; ZACH, 1999; TIBOLA; BARBI, 2013; YOUNG; WU, 2002; AYYANAR; MOHAN; SUN, 2000; KAMNARN; CHUNKAG, 2009) ou por conversores integrados (POSTIGLIONE et al., 2013; FUERBACK et al., 2014).

Conversores isolados baseados nos conversores SEPIC (*Single-Ended Primary Inductance Converter*) e Cúk podem fornecer alto fator de potência e isolamento em alta frequência (TIBOLA; BARBI, 2013; YOUNG; WU, 2002; AYYANAR; MOHAN; SUN, 2000; KAMNARN; CHUNKAG, 2009). Com relação aos esforços de tensão e de corrente nos semicondutores, é bem conhecido que nesses conversores os semicondutores ficam submetidos a maiores valores de tensão e de corrente. Contudo, impulsionado pelo desenvolvimento da indústria dos semicondutores, como os MOSFETs (*Metal-Oxide-Semiconductor Field Effect*) CoolMOS™ e os diodos e MOSFETs SiC (*Silicon Carbide*), esses esforços não são traduzidos diretamente como perdas elevadas. Assim, a eficiência pode não ser severamente degradada.

Conversores integrados geralmente são compostos por um *Boost* PFC no Modo de Condução Descontínuo (MCD) com um conversor isolado, tipo *Buck*, integrado (FUERBACK et al., 2014). Desta forma, proporcionando alto fator de potência e isolamento em alta frequência. Geralmente, estes apresentam uma maior Taxa de Distorção Harmônica (*Total Harmonic Distortion* - TDH) das correntes de entrada do que os baseados nos conversores SEPIC e Cúk.

Este trabalho propõe uma fonte de alimentação trifásica de estágio único baseada em um conversor SEPIC MCD com interruptores bidirecionais no lado CA. O conversor SEPIC MCD opera como um seguidor de tensão em que as formas de onda das correntes de entrada seguem as formas de onda das tensões, sem malhas de controle de corrente. Este conversor de estágio único tem elevada confiabilidade, uma vez que emprega quatro interruptores ativos e seis diodos de alta frequência

para a conversão de corrente alternada para corrente contínua (CA-CC) com alto fator de potência e isolamento em alta frequência. Com relação ao sistema de controle, é composto por um único circuito de controle da tensão de saída CC (como um controle de tensão de saída de um conversor CC-CC).

Do ponto de vista da comutação dos interruptores em conversores isolados, é necessário o emprego de um circuito de ajuda à comutação para evitar a queima destes. Para este trabalho, tendo em vista que o objetivo principal é apresentar o funcionamento desta nova topologia, propõe-se a utilização do grampeamento passivo.

### 1.1 PROPOSTA DA DISSERTAÇÃO

O conversor proposto é apresentado na Figura 1 e é baseado no conversor SEPIC monofásico com os interruptores do lado CA, mencionado no capítulo seguinte.

Quanto à utilização de interruptores bidirecionais, haverá um número menor semicondutores em condução em cada período de comutação. Deste modo, as perdas de condução são reduzidas (MAHDAVI; FARZANEHFARD, 2011).

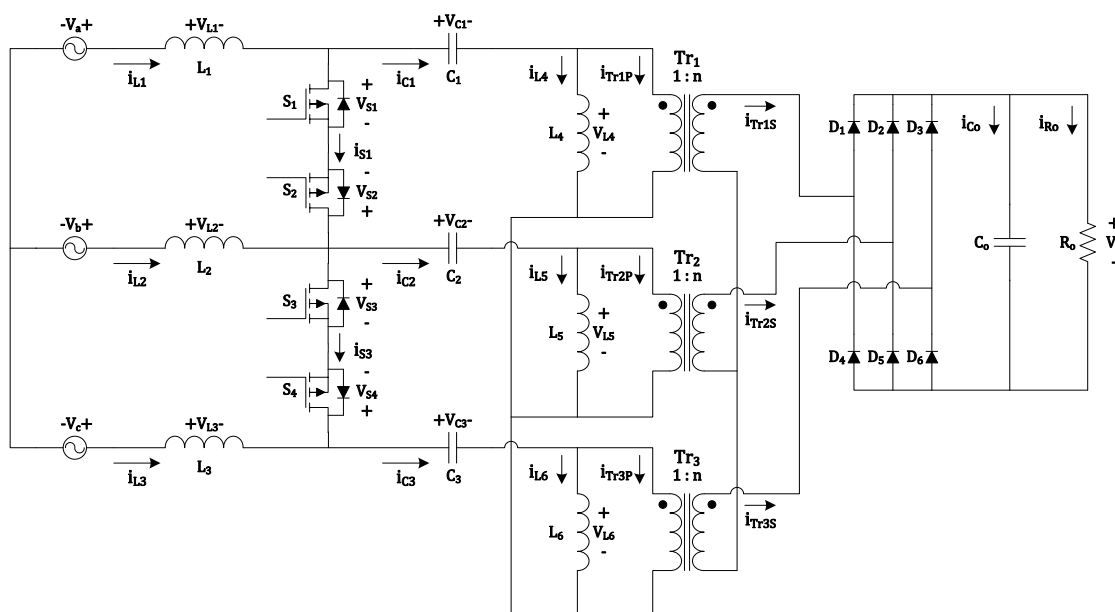


Figura 1 - Conversor proposto: SEPIC trifásico com interruptores bidirecionais no lado CA  
Fonte: Autoria própria

## 1.2 ORGANIZAÇÃO DA DISSERTAÇÃO

Conversores CA-CC com elevado fator de potência e isolação em alta frequência são mais detalhados no capítulo 2, onde se apresentam os conceitos de conversores de dois estágios e de estágio único.

No terceiro capítulo o conversor proposto é analisado. Verificam-se as etapas de operação, as formas de onda ideais e as equações que regem o funcionamento do mesmo. Ainda, uma metodologia de projeto é proposta e o estudo da modelagem matemática do conversor realizada.

As especificações e projetos dos sistemas de potência e de controle, o projeto do circuito grameador, os resultados teóricos e de simulação numérica são apresentados no quarto capítulo. Nesta seção comprovam-se as etapas de operação, as formas de onda e a validade das equações, através da comparação entre a teoria e a simulação gerada.

No quinto capítulo são apresentados os resultados experimentais. Primeiramente o protótipo gerado é exibido e, em seguida, as formas de onda experimentais são verificadas.

Por fim, apresentam-se as conclusões gerais do trabalho, ressaltando as principais características e as contribuições do estudo desenvolvido. Além de apresentar a futura continuidade do trabalho.

## 2 CONVERSORES CA-CC COM ELEVADO FATOR DE POTÊNCIA E ISOLAÇÃO EM ALTA FREQUÊNCIA

O desenvolvimento de conversores CA-CC (componentes, topologias, estratégias de controle, etc.) tem sido alvo de esforços de pesquisadores que buscam atender a fortes requisitos como alto fator de potência, baixa THD, confiabilidade, alto rendimento, peso e volume reduzidos e baixo custo (VIEIRA et al., 2014; NETO, 2002), em aplicações como aviação (VIEIRA et al., 2014), telecomunicação (NETO, 2002; BORGONOVO; DE NOVAES; BARBI, 2003), fonte de alimentação para microeletrônicos (RODRÍGUEZ et al., 2005), carregamento de bateria (RODRÍGUEZ et al., 2005), acionamento de motores CC (RODRÍGUEZ et al., 2005), entre outras.

Os conversores CA-CC modulados por largura de pulso, *pulse width modulation* (PWM), podem ser inicialmente divididos em dois grupos: conversores de dois estágios e de estágio único. No primeiro caso, existe um estágio retificador com elevado FP e, no outro estágio, regula-se a tensão de saída e isola-se magneticamente em alta frequência. Já no segundo caso, essas funções ocorrem em um único conversor.

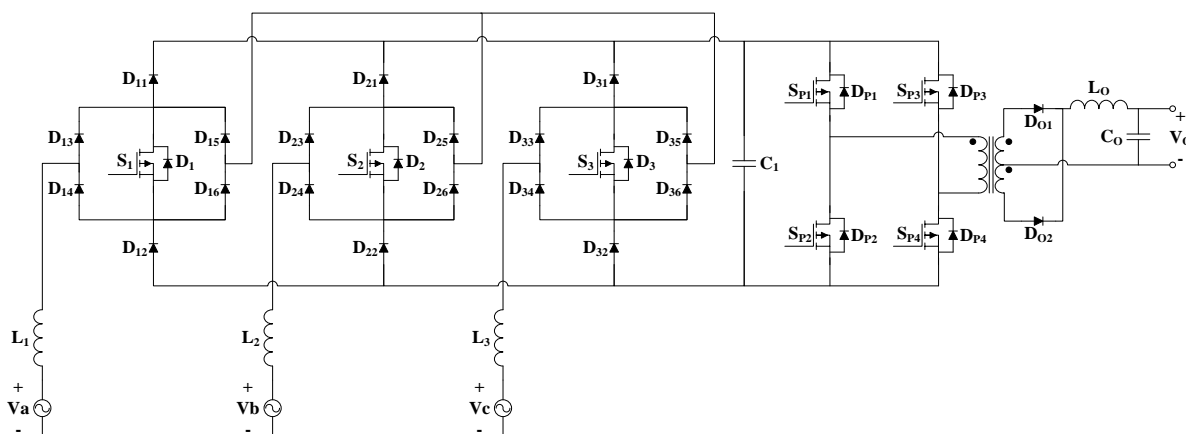
### 2.1 CONVERSORES CA-CC TRIFÁSICOS DE DOIS ESTÁGIOS

A fim de drenar uma corrente senoidal da rede elétrica e obter alto FP, é comum a utilização de um conversor *Boost* no estágio de entrada (NETO, 2002). Assim, geralmente, no estágio de saída utiliza-se um conversor isolado tipo *Buck*. Um exemplo completo desse sistema pode ser verificado na Figura 2, onde se utiliza um retificador *Boost* trifásico 2 níveis unidirecional (BORGONOVO; DE NOVAES; BARBI, 2003; BORGONOVO, 2005) como estágio de entrada e um conversor isolado Ponte Completa como estágio de saída.

Levando em consideração esse exemplo, observa-se que são utilizados quatro indutores, um transformador em alta frequência, dois capacitores, sete transistores e vinte diodos.

Verificam-se, neste conversor, duas estruturas bem definidas, independentes e que podem ser estudadas separadamente. A saída do retificador

*Boost* se torna a entrada do conversor Ponte Completa, ou seja, os conversores são acoplados através de um barramento CC, representado, neste caso, por  $C_1$ .

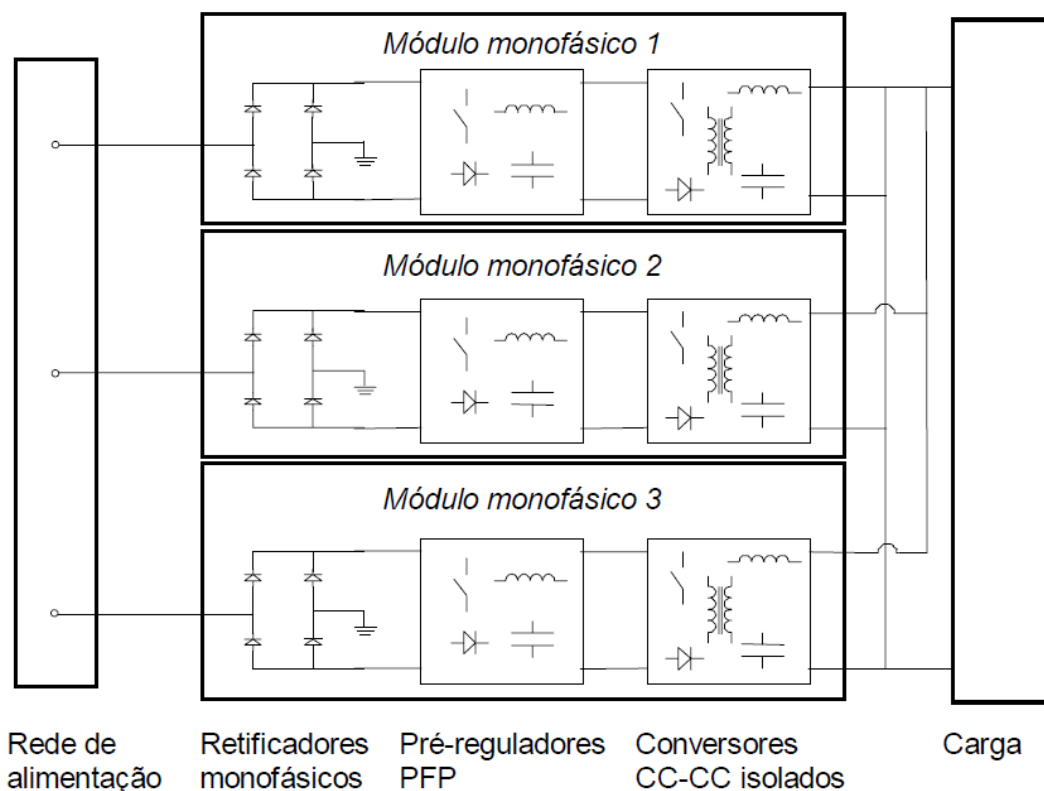


**Figura 2 - Conversor CA-CC trifásico de dois estágios, utilizando um retificador *Boost* trifásico e um conversor CC-CC Ponte Completa**  
Fonte: Autoria própria

Por se tratarem de duas estruturas de potência independentes, dois sistemas de controle são necessários, estes também são independentes entre si.

Sendo assim, encontram-se na literatura diversas possibilidades de estruturas CA-CC para o primeiro estágio (SPIAZZI; LEE, 1997; ZHANG; LEE; BOROYEVICH, 2000; NISHIDA et al., 1996) e CC-CC isolado para o segundo estágio (RAVI KISHORE et al., 2015; KRISHNA REDDY et al., 2013; DE DONCKER; DIVAN; KHERALUWALA, 1991). Outro exemplo de possibilidade de conversores de dois estágios é apresentado na Figura 3. Nota-se que este apresenta outra estratégia, sendo constituído por três conversores monofásicos de dois estágios, resultando na utilização de mais componentes, quando relacionado ao exemplo anterior. Contudo, segundo Tabisz, Jovanovic e Lee (1992), a utilização de módulos em paralelo simplifica o gerenciamento térmico, uma vez que cada módulo processa menos potência que um único conversor alimentando a mesma carga. Além de acrescer o rendimento global, uma vez que se reduzem os esforços elétrico e térmico dos componentes semicondutores.

Com relação ao rendimento global, por se tratar de um conversor de dois estágios, este é dado pela multiplicação do rendimento individual de cada conversor, uma vez que estes estão ligados em série. Ou seja, no caso da Figura 2, se cada conversor possuir um rendimento de 95%, o rendimento global desse conversor de dois estágios será de aproximadamente 90%.



**Figura 3 - Diagrama em blocos para conversores CA-CC trifásicos de dois estágios constituídos por retificadores monofásicos**

Fonte: Heldwein (1999)

## 2.2 CONVERSORES CA-CC TRIFÁSICOS DE ESTÁGIO ÚNICO

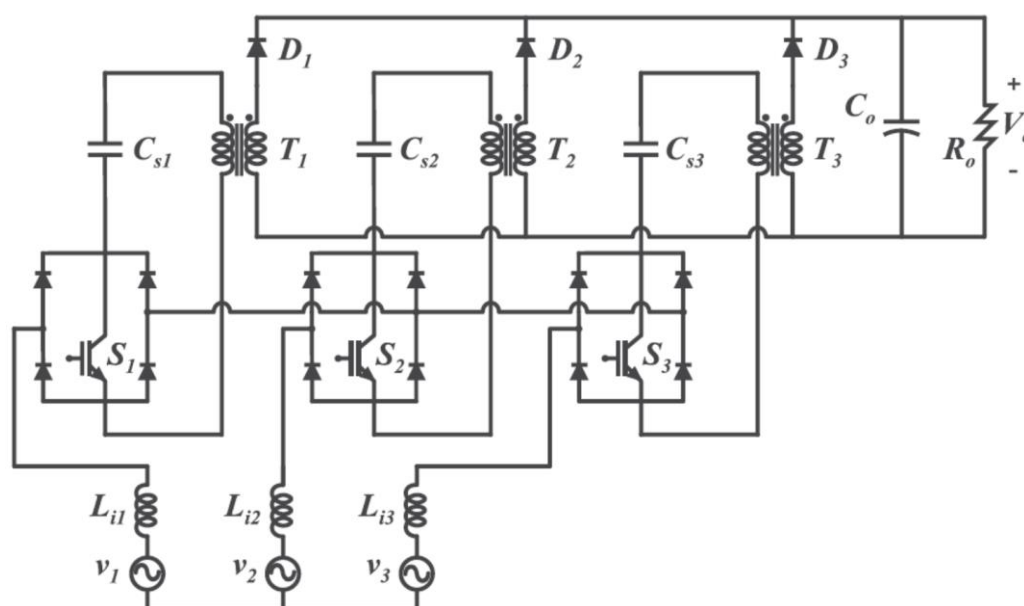
Como já mencionado, estes conversores são capazes de corrigir a corrente de entrada, isolar magneticamente em alta frequência e ajustar a tensão de saída em apenas um único estágio. Diferentemente dos conversores de dois estágios, estes podem apresentar sistemas de controle mais complexos, uma vez que o(s) mesmo(s) interruptor(es) atuará(ão) tanto na dinâmica de entrada quanto na de saída.

Em geral, como referido anteriormente, conversores de dois estágios possuem um rendimento global mais elevado do que conversores de estágio único, que, por sua vez, possuem menos componentes semicondutores e/ou componentes armazenadores de energia. Assim, justificando uma possível utilização em sistemas de baixa potência em detrimento de um rendimento elevado.

Dois subgrupos podem dividir o conceito de conversor de estágio único, os que utilizam um conversor isolado e os que utilizam conversores integrados. Estes serão explanados a seguir.

### 2.2.1 Conversores Isolados

Encontram-se nesse grupo conversores derivados do *Buck*, *Boost*, SEPIC, Cúk, etc. O conversor apresentado na Figura 4 foi desenvolvido no trabalho de Tibola e Barbi (2013) e é baseado no conversor SEPIC. Este possui vantagens relacionadas a redução de custos, simplicidade e robustez, uma vez que, em comparação com um conversor de dois estágios, não existe a necessidade de se ler a corrente de entrada, devido à característica do conversor SEPIC MCD de emular uma resistência, ou seja, a corrente naturalmente segue a tensão.



**Figura 4 - Retificador trifásico isolado com alto fator de potência baseado no conversor SEPIC operando em MCD**  
**Fonte: Tibola e Barbi (2013)**

Outros dois exemplos podem ser visualizados a seguir. Na Figura 5, o conversor apresentado por Young e Wu (2002) também é baseado no conversor SEPIC, contudo, diferentemente do exemplo anterior, este utiliza módulos monofásicos em paralelo. Já no trabalho de Kamnarn e Chunkag (2009), na Figura 6, verifica-se essa mesma estratégia de utilizar módulos monofásicos em paralelo, porém, aplicado ao conversor Cúk.

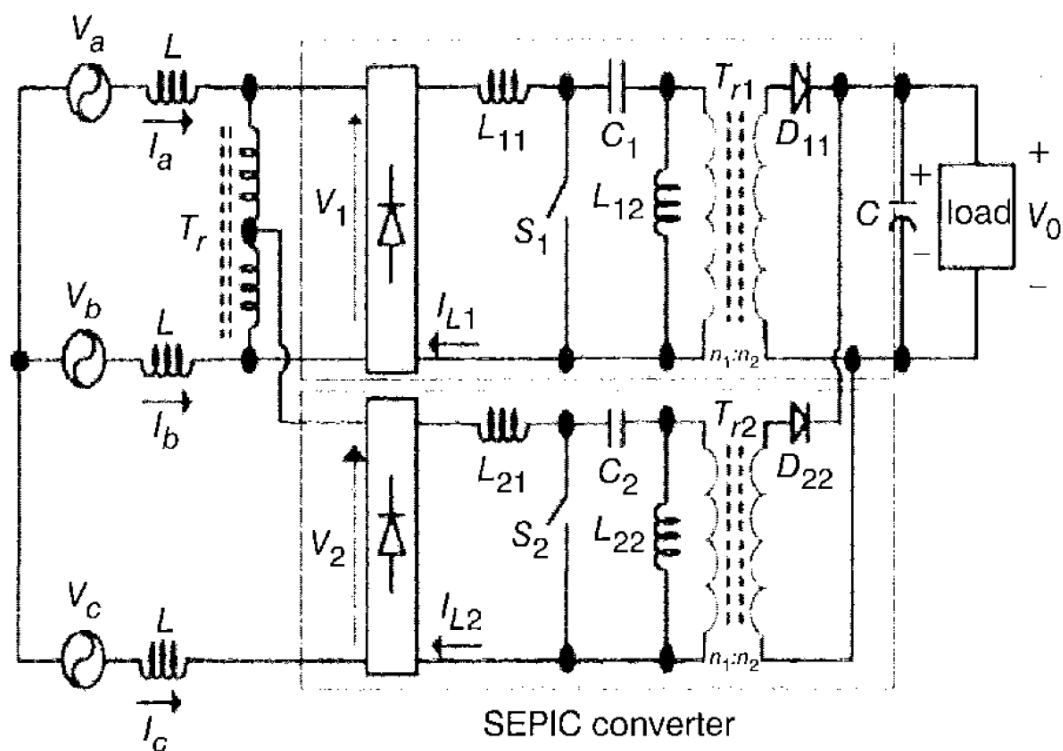


Figura 5 - Retificador trifásico de estágio único com dois interruptores para conversão CA-CC elevadora-abaixadora  
Fonte: Young e Wu (2002)

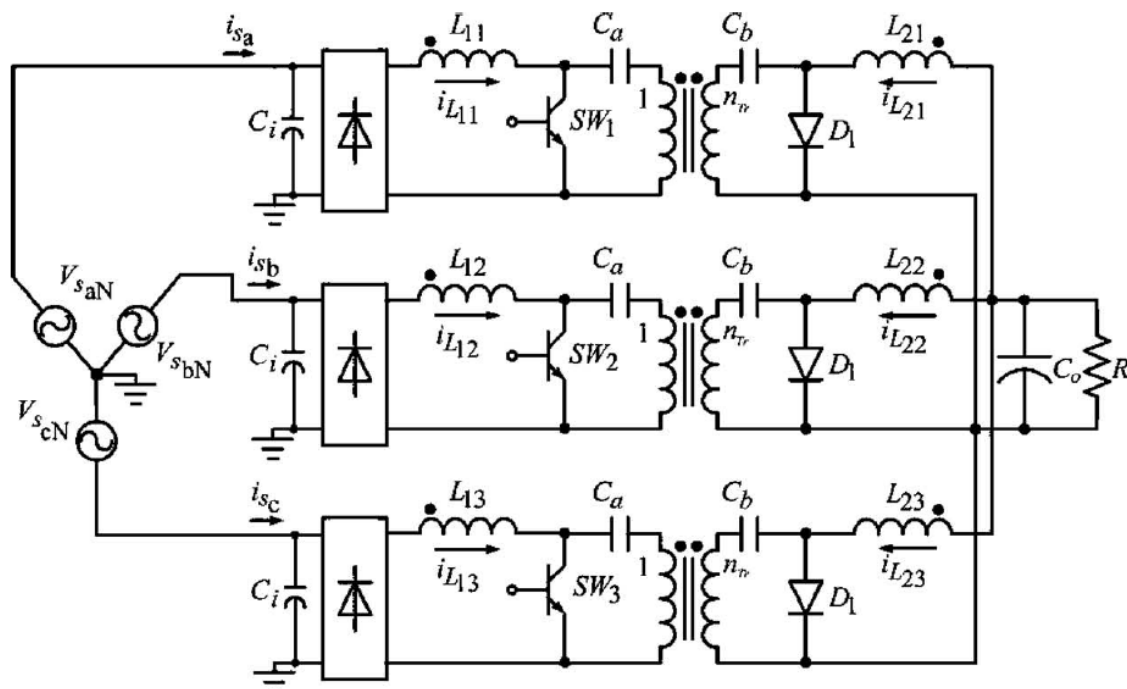
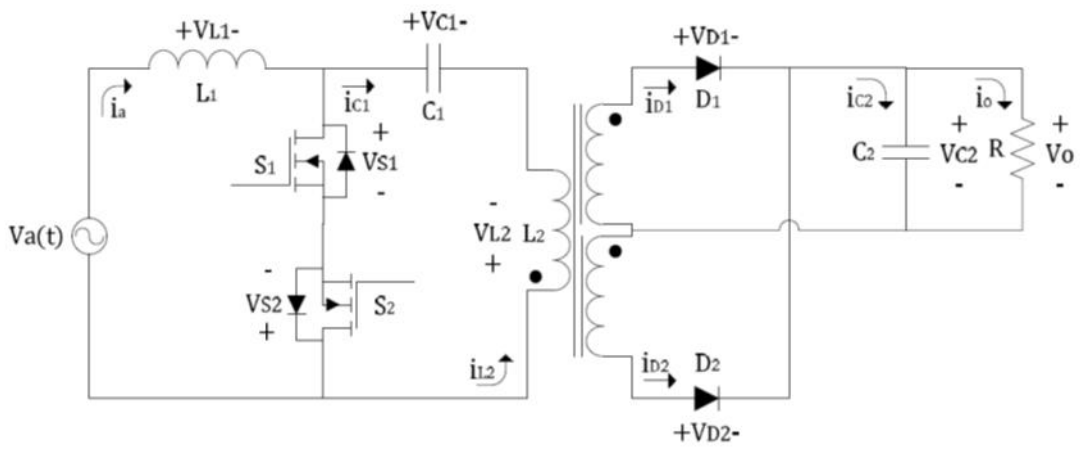


Figura 6 - Conversor CA-CC trifásico utilizando módulos de retificação Cúk  
Fonte: Kamnari e Chunkag (2009)

O conversor proposto se enquadra neste subgrupo e é baseado no conversor apresentado por Hirth (2015), para o caso monofásico. Este é apresentado na Figura 7.



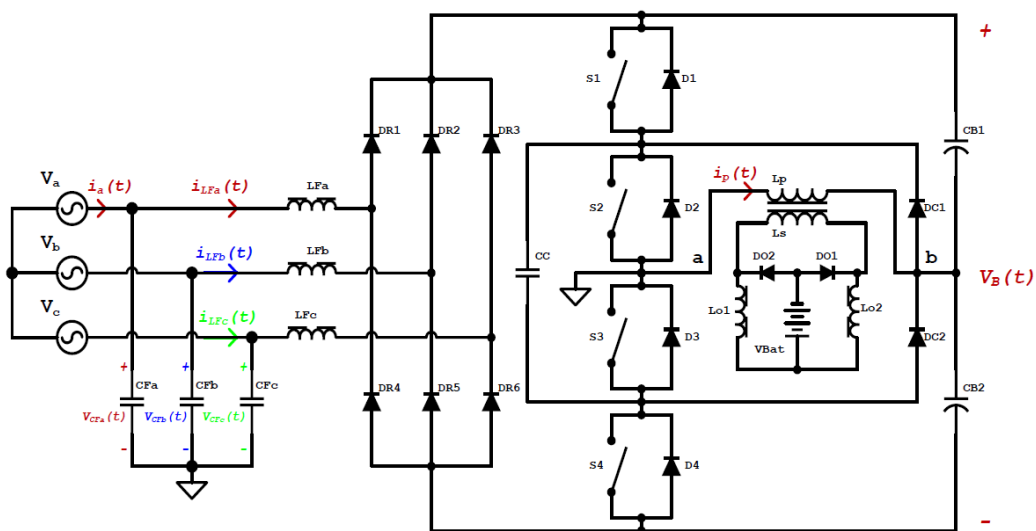


**Figura 7 - Conversor CA-CC monofásico de estágio único empregando o conversor SEPIC com interruptores do lado CA**  
 Fonte: Adaptado de Hirth (2015)

2.2.2 Conversores Integrados

Conversores integrados apresentam duas estruturas (como no caso de dois estágios) que rearranjadas compartilham componentes, assim apresentando uma estrutura única e integrada. Diferindo dos conversores de dois estágios, não são duas estruturas independentes (POSTIGLIONE et al., 2013; FUERBACK et al., 2014).

Um conversor de estágio único utilizando conversores integrados é apresentado na Figura 8.



**Figura 8 - Retificador trifásico de três níveis de estágio único tipo NPC integrando a técnica PFC MCD simples**  
 Fonte: Fuerback et al. (2014)

### 2.2.3 Considerações

Para uma análise simplificada dos conversores apresentados anteriormente, alguns aspectos construtivos são analisados no Quadro 1. Considerou-se apenas a estrutura de potência contabilizando a quantidade de Magnéticos (M), Capacitores (C), Diodos (D) e Transistores (S).

Pondera-se que os conversores apresentados nesse capítulo atendem aos critérios de conversores CA-CC trifásicos de elevado FP e isolamento galvânica.

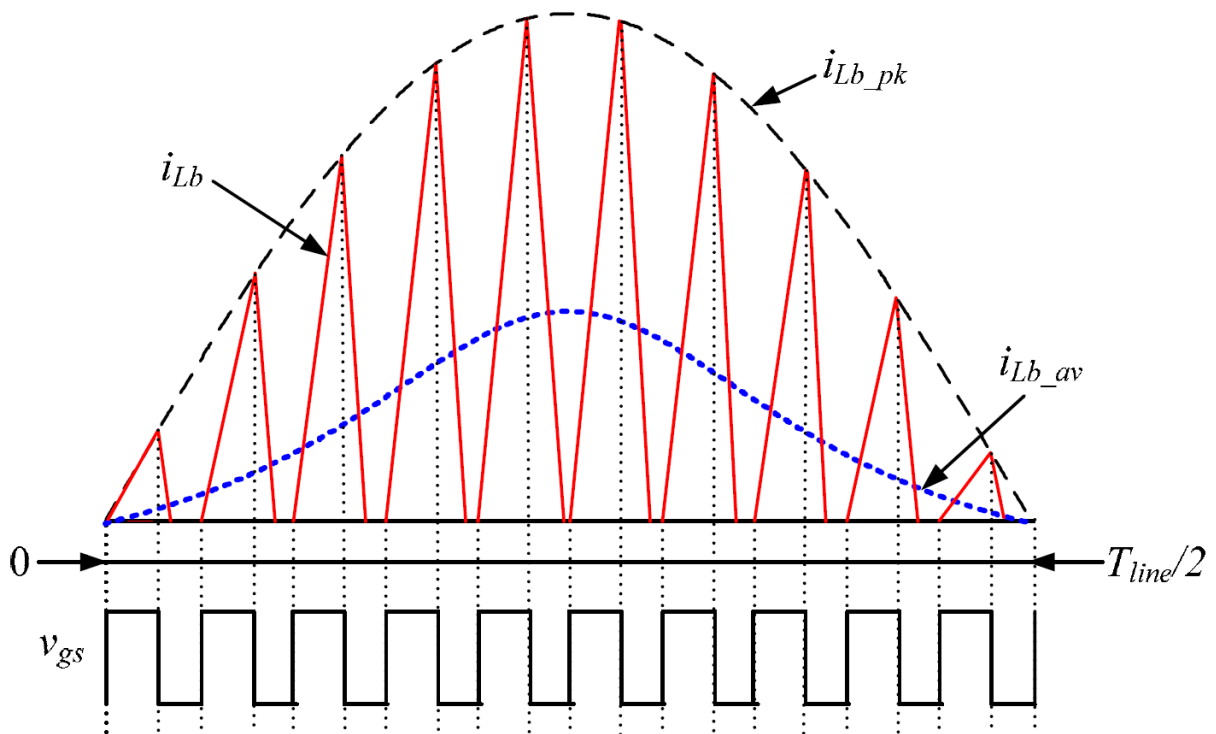
Conversor	Quantidade				
	M	C	D	S	T
Conversor CA-CC trifásico de dois estágios, utilizando um retificador Boost trifásico e um conversor CC-CC Ponte Completa	5	2	20	7	34
Conversor CA-CC trifásico de dois estágios constituídos por retificadores monofásicos (Heldwein, 1999)	12	4	21	15	52
Retificador trifásico isolado com alto fator de potência baseado no conversor SEPIC operando em MCD (Tibola e Barbi, 2013)	6	4	15	3	28
Retificador trifásico de estágio único com dois interruptores para conversão CA-CC elevadora-abaixadora (Young e Wu, 2002)	8	3	10	2	23
Conversor CA-CC trifásico utilizando módulos de retificação Cúk (Kamrarn e Chunkag, 2009)	9	10	15	3	37
Retificador trifásico de três níveis de estágio único tipo NPC integrando a técnica PFC MCD simples (Fuerback et al., 2014)	6	6	14	4	30
Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais (Conversor proposto)	6	4	6	4	20

**Quadro 1 - Comparação entre os conversores apresentados**  
**Fonte: Autoria própria**

Os dados apresentados podem ser analisados de diferentes maneiras, por classe individual ou pela soma total de componentes, porém fica evidente que o conversor proposto é competitivo do ponto de vista de robustez e, muito possivelmente, custo.

Considera-se ainda, em termos de custos, que quanto maior a potência a ser processada, maior será a importância do alto rendimento em detrimento do custo (aumento de componentes, ou melhores componentes). A lógica inversa também é uma realidade. Apenas como observação fora a essa lógica, existem casos de baixas potências onde se necessitam de elevados rendimentos.

Com relação à qualidade de energia, a corrente drenada pelo retificador Boost PFC MCD, amplamente difundido, possui uma corrente pulsada como entrada. Uma vez que este opera no MCD, quando ocorrer a etapa descontínua, ou seja, em que não há armazenamento ou transferência de energia essa corrente chega a zero. Isso é demonstrado na Figura 9, onde é possível visualizar a corrente pulsada ( $i_{Lb}$ ), o envoltório senoidal dos valores de pico dessa corrente ( $i_{Lb\_pk}$ ) e o formato da corrente média ( $i_{Lb\_av}$ ). Para se obter a corrente de entrada  $i_{Lb\_av}$  é necessário o emprego de um filtro de entrada.



**Figura 9 - Corrente de entrada de um conversor Boost PFC MCD**  
 Fonte: Yao et al. (2010)

Nos retificadores baseados nos conversores SEPIC e Cúk, a corrente de entrada será contínua, mesmo na operação MCD. Tal característica não exige o emprego de filtros de entrada.

### 3 CONVERSOR SEPIC TRIFÁSICO COM INTERRUPTORES BIDIRECIONAIS NO LADO CA

De forma geral verifica-se o funcionamento do conversor em três momentos importantes, sendo: armazenamento de energia, transferência de energia e etapa descontínua. Quando os interruptores são todos acionados inicia-se o armazenamento de energia nos indutores de entrada, enquanto os capacitores de entrada alimentam os indutores de saída e o capacitor de saída alimenta a carga. Num segundo momento, os transistores abrem e a energia armazenada passa a ser transferida à saída, com a condução dos diodos. Por fim, no terceiro momento, não há nem armazenamento, nem transferência de energia, e o capacitor de saída alimenta a carga, caracterizando a etapa descontínua.

Para realizar a análise de cada etapa teórica do conversor torna-se necessário estipular um intervalo do período da rede elétrica, uma vez que o comportamento do conversor (circuito equivalente de cada etapa) muda a cada 60 graus do período da rede elétrica. Contudo, para ser possível verificar o sentido das correntes em cada etapa optou-se por vislumbrar um período de 30 graus, sendo arbitrado o intervalo  $\pi/3 \leq \omega t \leq \pi/2$ . Logo, verificam-se as relações  $V_a \geq -V_b \geq -V_c$  e  $i_{L1} \geq -i_{L2} \geq -i_{L3}$  para todo esse intervalo, como pode ser verificado na Figura 10. Leva-se em conta que as correntes são senoidais e estão em fase com a tensão.

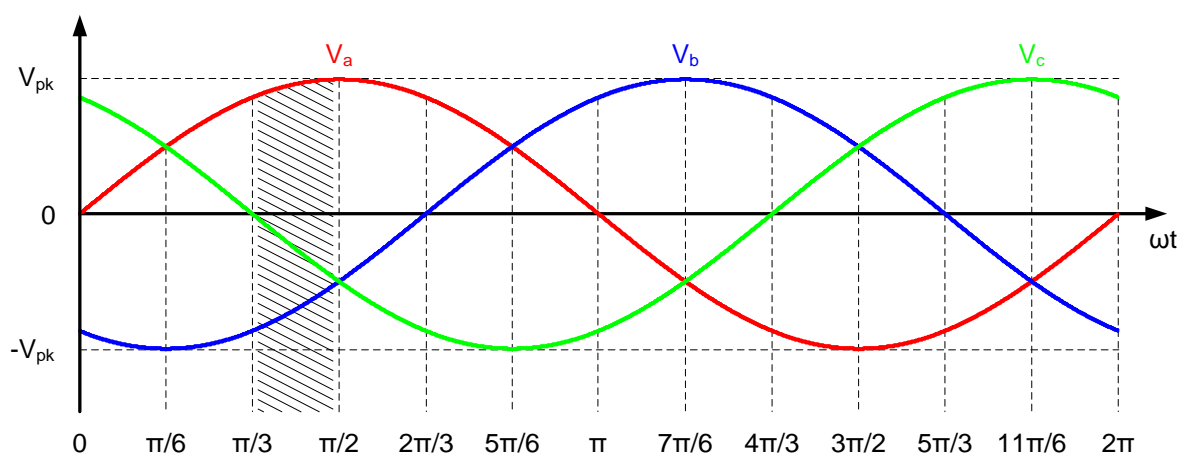


Figura 10 - Tensões de alimentação  
Fonte: Autoria própria

### 3.1 ETAPAS DE OPERAÇÃO

Como premissa, consideram-se os semicondutores ideais e as tensões de entrada  $V_a$ ,  $V_b$  e  $V_c$  constantes durante um período de comutação, uma vez que a frequência de comutação é muito maior que a frequência da rede elétrica.

Obedecendo ao intervalo pré-determinado, nas Figura 11 e Figura 12 constatam-se oito etapas de operação, levando em consideração a mudança do circuito elétrico equivalente ou a inversão de um sentido de corrente. Estas etapas são descritas a seguir.

**Etapa 1:** Os transistores  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  são acionados. As tensões nos indutores  $L_1$ ,  $L_2$  e  $L_3$  são iguais as tensões de entrada  $V_a$ ,  $V_b$  e  $V_c$ , respectivamente, como será demonstrado no tópico 3.3. Assim como  $V_{C1}$ ,  $V_{C2}$  e  $V_{C3}$  estão aplicados aos indutores  $L_4$ ,  $L_5$  e  $L_6$ , respectivamente. Portanto, as fontes de alimentação  $V_a$ ,  $V_b$  e  $V_c$  transferem energia aos indutores  $L_1$ ,  $L_2$  e  $L_3$  e os capacitores  $C_1$ ,  $C_2$  e  $C_3$  transferem energia aos indutores  $L_4$ ,  $L_5$  e  $L_6$ . O capacitor  $C_o$  supre a carga.

**Etapa 2:** Os transistores  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  ainda estão acionados e as correntes  $i_{L4}$ ,  $i_{L5}$  e  $i_{L6}$  invertem o sentido. Esse fenômeno da inversão simultânea ocorre exatamente durante no pico de  $V_a$ , logo  $V_b$  e  $V_c$  são iguais e negativos. Assim, quando se inicia a Etapa 1,  $i_{L4}$  parte de um valor constante, positivo, com uma derivada negativa. Enquanto isso,  $i_{L5}$  e  $i_{L6}$  partem de um mesmo valor constante, negativo, com uma derivada positiva. Logo, quando  $i_{L4}$  passa por zero,  $i_{L5}$  e  $i_{L6}$  passam por zero ao mesmo tempo. Mesmo que essa inversão das três correntes não aconteça ao mesmo tempo ao longo de todo o intervalo predefinido, considerou-se uma diferença muito pequena para ser estudada como o desdobramento de uma etapa.

**Etapa 3:** Os transistores  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  são desativados, iniciando a transferência de energia para a saída através de  $D_1$ ,  $D_5$  e  $D_6$ , levando em conta que a tensão  $V_{L4}$  é positiva, enquanto  $V_{L5}$  e  $V_{L6}$  são negativas. As fontes de alimentação  $V_a$ ,  $V_b$  e  $V_c$  e os indutores  $L_1$ ,  $L_2$  e  $L_3$  transferem energia aos capacitores  $C_1$ ,  $C_2$  e  $C_3$  e a saída, enquanto os indutores  $L_4$ ,  $L_5$  e  $L_6$  transferem energia a saída (capacitor  $C_o$  e carga).

**Etapa 4:** Os diodos de saída  $D_1$ ,  $D_5$  e  $D_6$  continuam conduzindo e a corrente no indutor  $L_6$  inverte seu sentido.

**Etapa 5:** A corrente  $i_{L6}$  se iguala a  $i_{L3}$ , assim o ramo “c”, relativo à fase “c”, não mais transfere energia à saída. Portanto, o diodo  $D_6$  bloqueia.

**Etapa 6:** Os diodos de saída  $D_1$  e  $D_5$  continuam conduzindo e a corrente no indutor  $L_4$  inverte seu sentido.

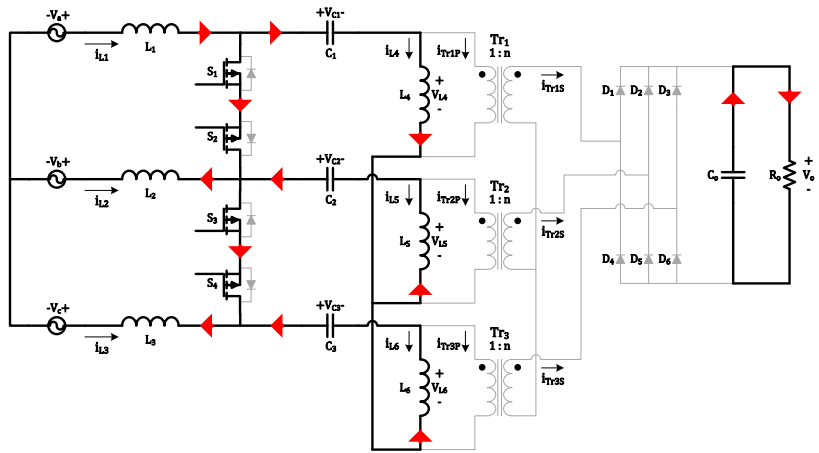
**Etapa 7:** Os diodos de saída  $D_1$  e  $D_5$  continuam conduzindo e a corrente no indutor  $L_5$  inverte seu sentido. O capacitor  $C_0$  começa a fornecer parte da corrente necessária a carga.

**Etapa 8:** As correntes  $i_{L4}$  e  $i_{L5}$  se igualam a  $i_{L1}$  e  $i_{L2}$ , respectivamente. Assim os ramos “a” e “b”, relativo às fases “a” e “b”, não mais transferem energia à saída. Portanto, os diodos  $D_1$  e  $D_5$  bloqueiam. Considera-se essa etapa o estágio descontínuo, uma vez que todos os semicondutores estão bloqueados. Durante essa etapa, o capacitor  $C_0$  supre a carga.

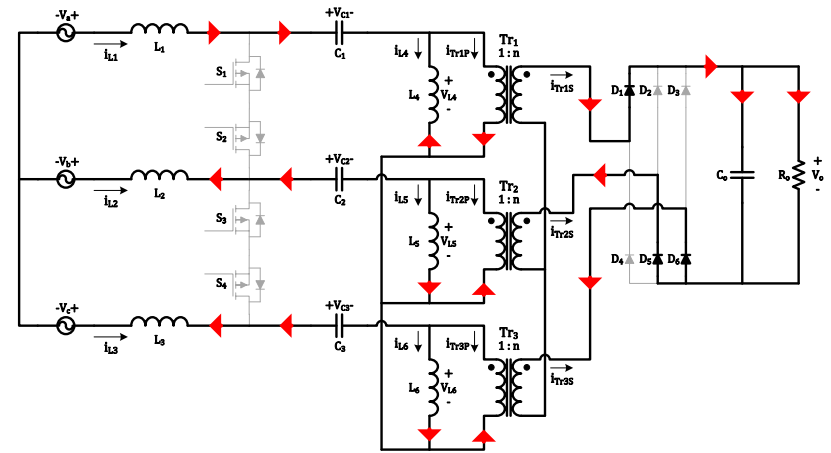
Essas etapas levam a circuitos elétricos equivalentes, apresentados na Figura 13. Nota-se que quatro estados topológicos são encontrados dentro do período arbitrado. Isso ocorre pelo fato da escolha de apresentação das etapas, assim cada circuito equivalente pode representar mais de uma etapa. Logo, uma vez que o conversor muda de comportamento a cada 60 graus e este trabalha de forma simétrica, para um período completo da rede existem 24 estados topológicos.

### 3.2 FORMAS DE ONDA IDEAIS EM REGIME PERMANENTE

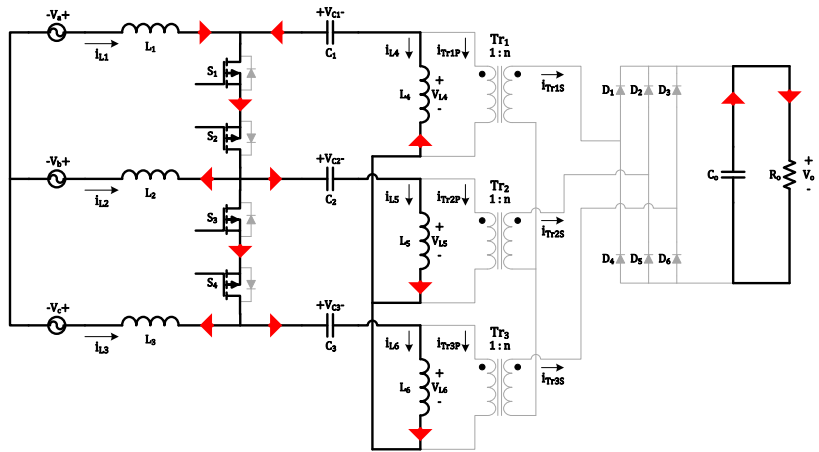
As formas de onda ideais do conversor são apresentadas nas Figura 14, Figura 15 e Figura 16, para um período de comutação. Semelhantemente ao SEPIC CC-CC, a tensão nos capacitores de entrada  $C_1$ ,  $C_2$  e  $C_3$  são um reflexo das tensões de entrada  $V_a$ ,  $V_b$  e  $V_c$ , respectivamente.



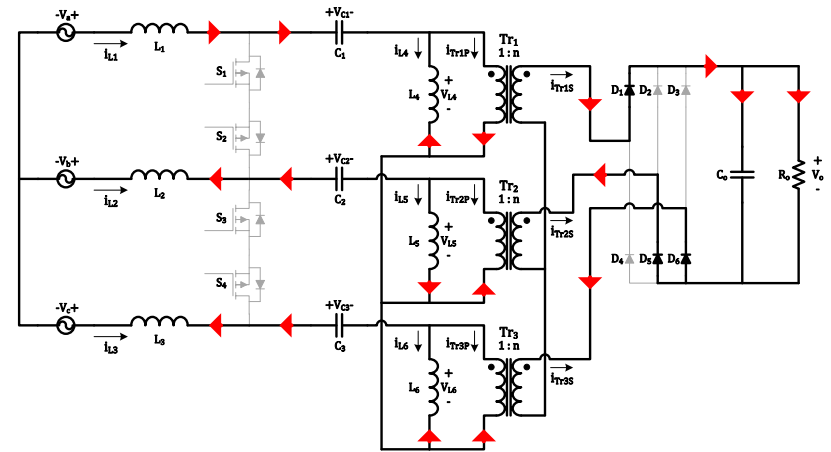
Etapa 1



Etapa 3

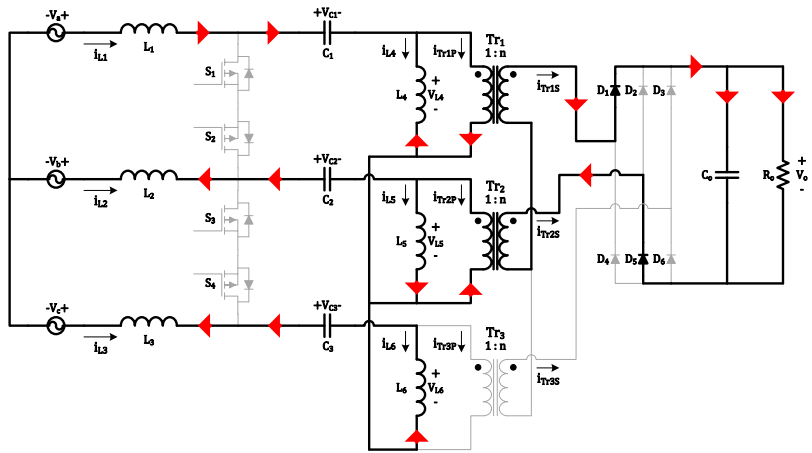


Etapa 2

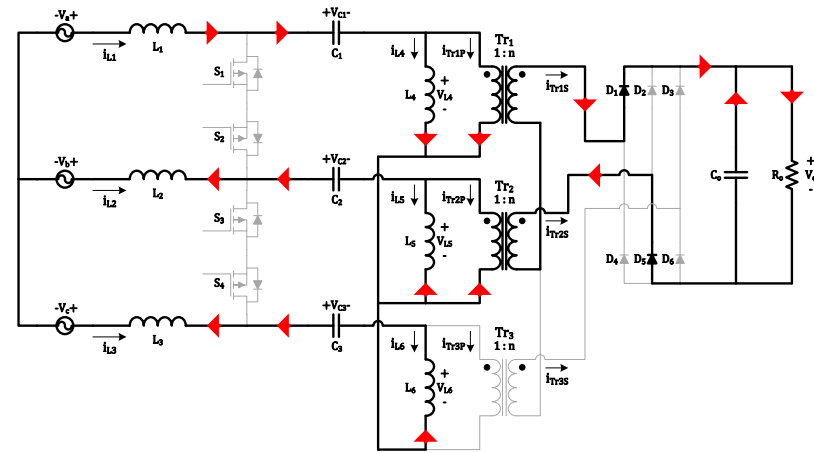


Etapa 4

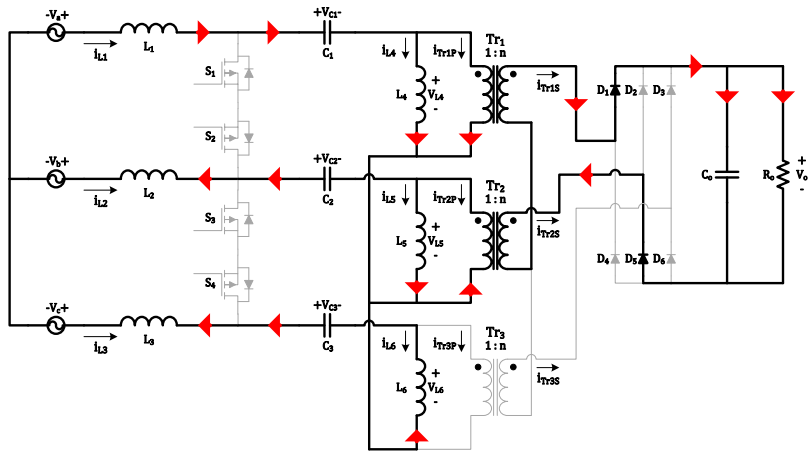
Figura 11 - Etapas de operação de 1 a 4  
Fonte: Autoria própria



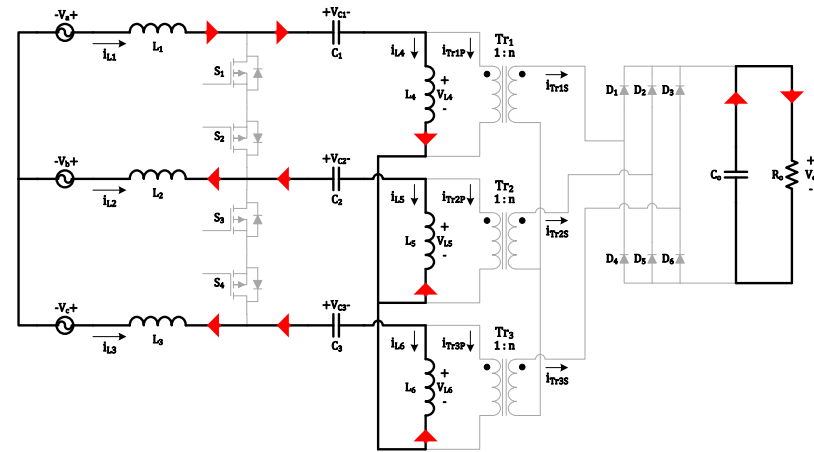
Etapa 5



Etapa 7



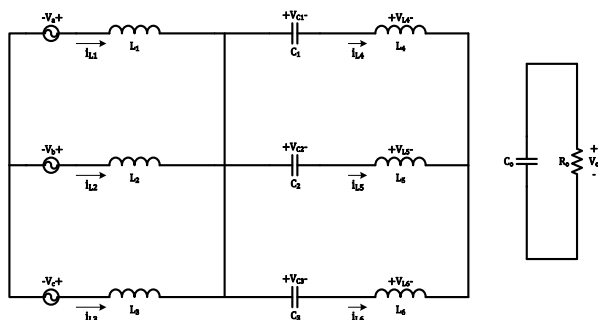
Etapa 6



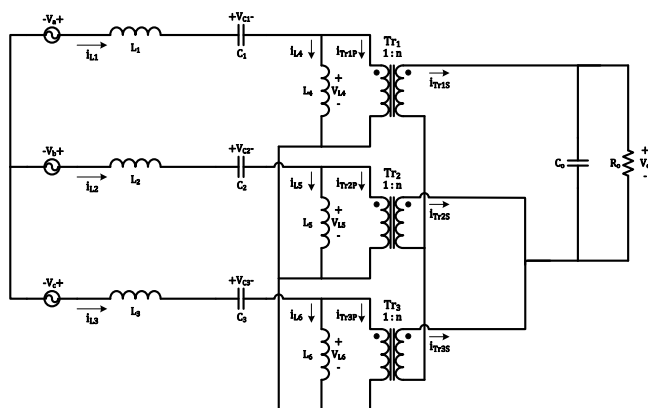
Etapa 8

Figura 12 - Etapas de operação de 5 a 8  
Fonte: Autoria própria

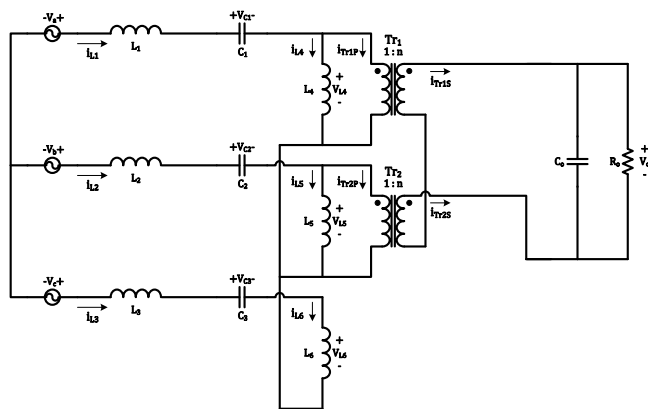




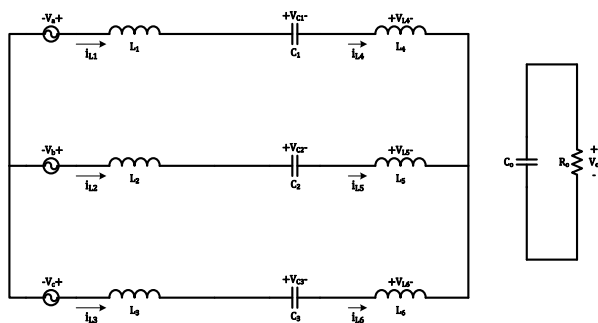
Etapa 1 e 2



Etapa 3 e 4



Etapa 5, 6 e 7



Etapa 8

Figura 13 - Circuitos elétricos equivalentes  
Fonte: Autoria própria

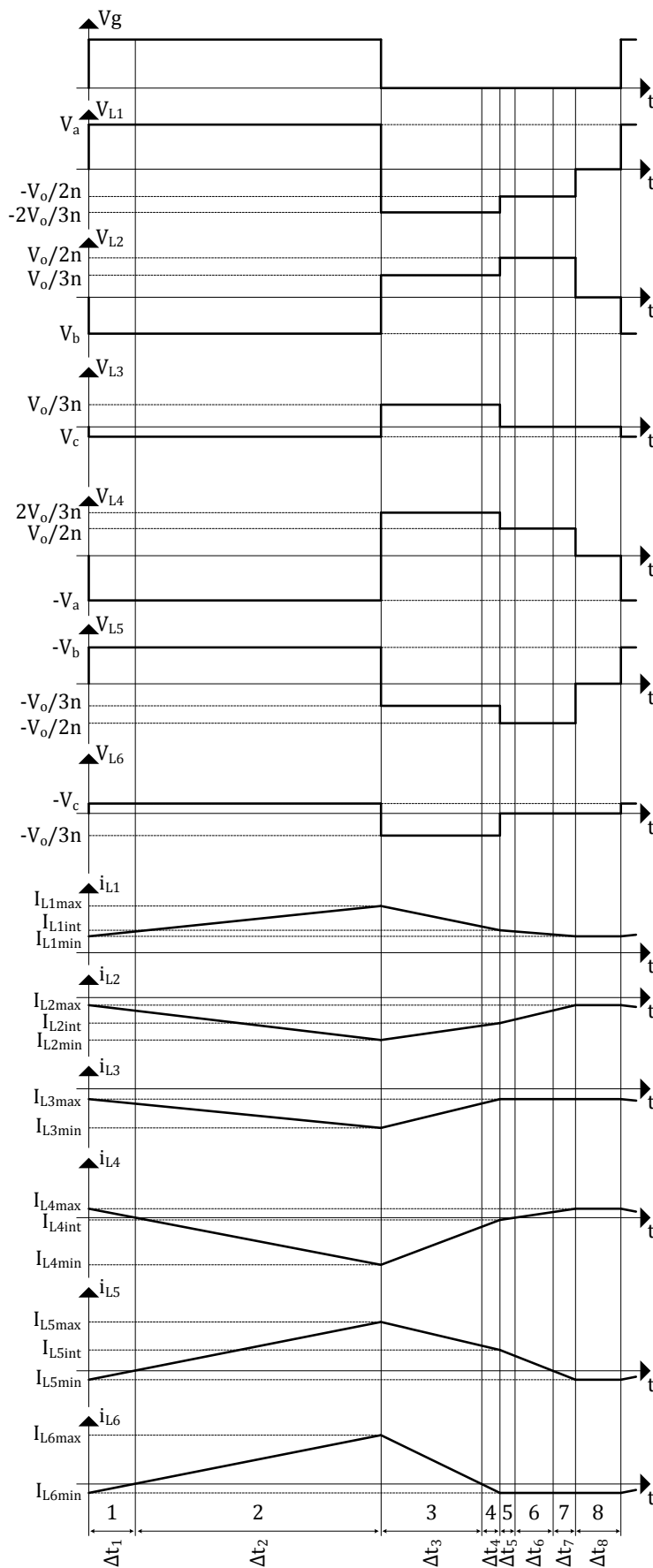


Figura 14 - Formas de onda ideais - Tensões e correntes nos indutores  
Fonte: Autoria própria

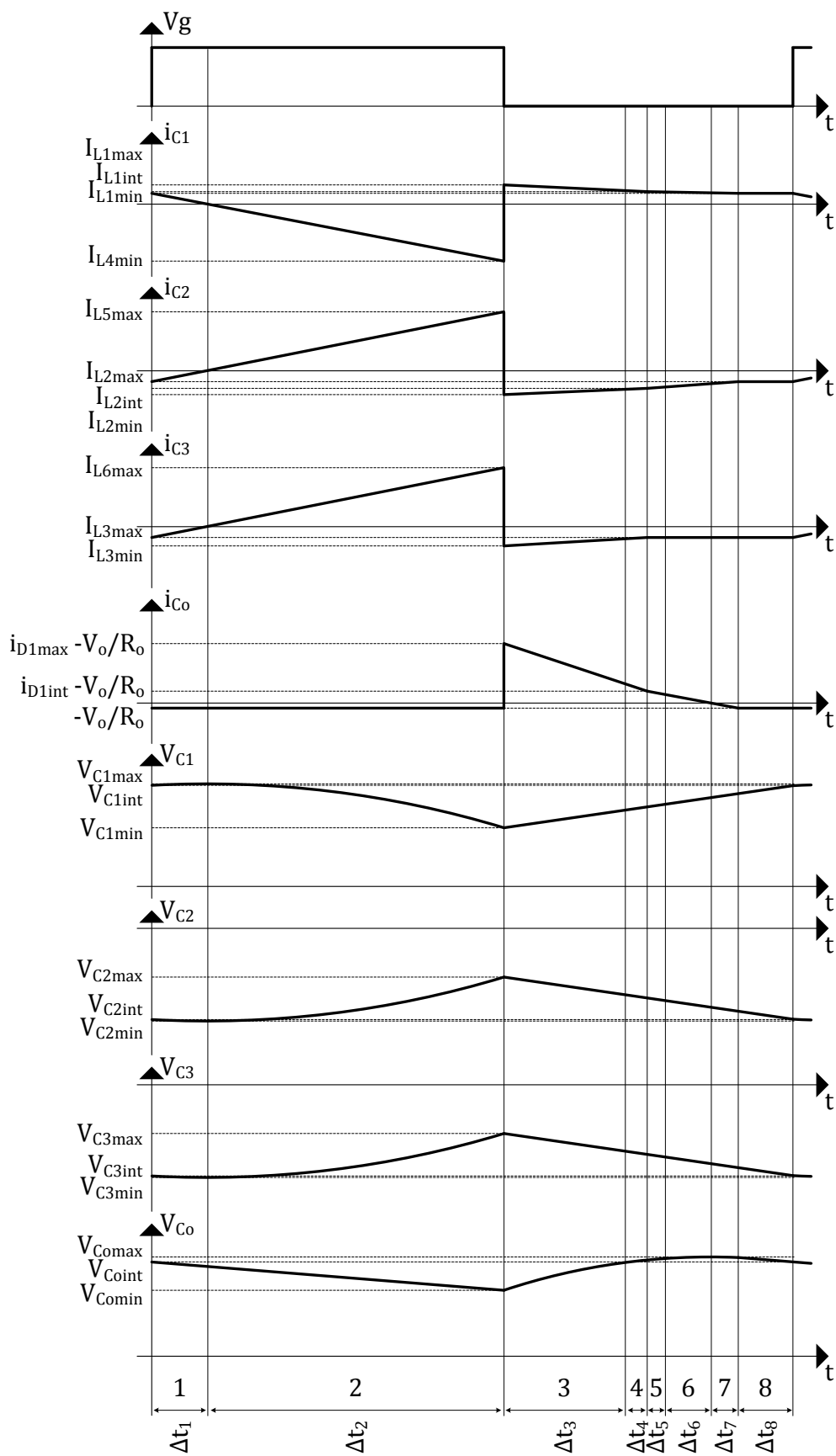


Figura 15 - Formas de onda ideais - Tensões e correntes nos capacitores  
 Fonte: Autoria própria

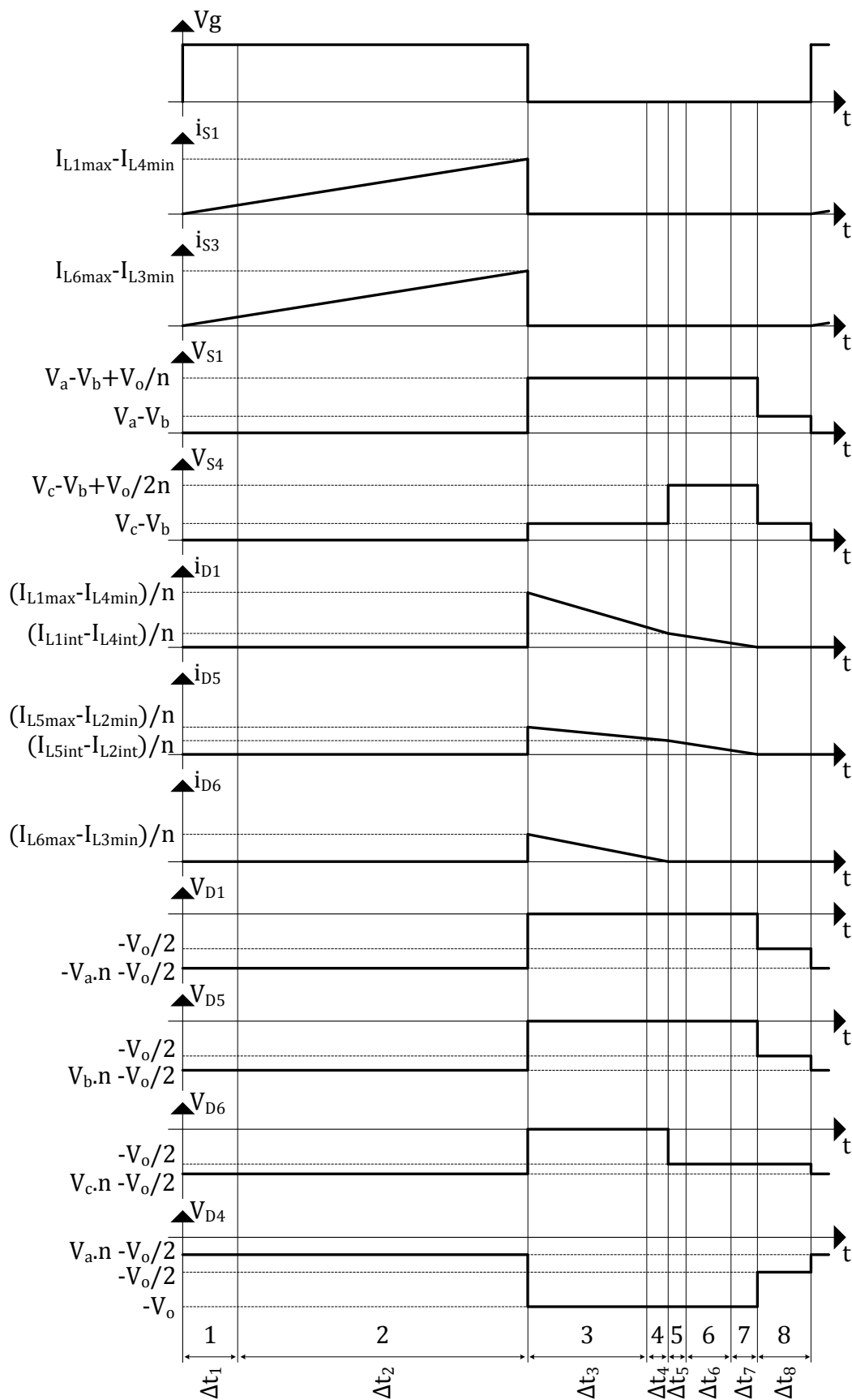


Figura 16 - Formas de onda ideais - Tensões e correntes nos semicondutores  
 Fonte: Autoria própria

A fim de não poluir a figura, utilizaram-se nomenclaturas tais como  $I_{L1max}$ ,  $I_{L1int}$  e  $I_{L1min}$ , que, neste caso, denotam os valores máximo, intermediário e mínimo da corrente em  $L_1$ . Estes valores serão transcritos em termos conhecidos no decorrer deste capítulo.

Dentre as formas de onda apresentadas verifica-se a da tensão em  $D_4$ , que não é acionado nenhuma vez durante o período de comutação, devido ao intervalo escolhido da rede elétrica. Contudo, este foi inserido para se constatar que, devido às especificações de projeto, possivelmente a maior tensão reversa sobre os diodos de saída se dê quando estes não são ativados durante o período de comutação.

### 3.3 GANHO ESTÁTICO

Com a finalidade de se encontrar o ganho estático, definem-se algumas variáveis relacionadas com os tempos de cada etapa. Sendo assim, em (3.1) verifica-se o intervalo de tempo de condução dos transistores, (3.2) o intervalo de tempo da transferência de energia total e em (3.3) o intervalo de tempo da transferência de energia relacionada à fase “c”, uma vez que, devido ao intervalo escolhido da rede elétrica, este ramo termina de transferir energia anteriormente aos demais ramos, como pode ser verificado nas formas de onda ideais (Figura 14).

$$t_{on} = \Delta t_1 + \Delta t_2 \quad (3.1)$$

$$t_o = \Delta t_3 + \Delta t_4 + \Delta t_5 + \Delta t_6 + \Delta t_7 \quad (3.2)$$

$$t_c = \Delta t_3 + \Delta t_4 \quad (3.3)$$

Também considera-se que a soma das etapas resulta na duração de um período de comutação, como pode ser visto em (3.4).

$$T_s = \Delta t_1 + \Delta t_2 + \Delta t_3 + \Delta t_4 + \Delta t_5 + \Delta t_6 + \Delta t_7 + \Delta t_8 \quad (3.4)$$

O tempo de condução dos transistores está relacionado com a razão cíclica ( $D$ ) empregada. Logo,  $t_{on}$  pode ser equacionado por (3.5).

$$t_{on} = D \cdot T_s \quad (3.5)$$

Para comprovar a aplicação das tensões de entrada sobre seus respectivos indutores de entrada, verifica-se na Figura 13 o circuito equivalente para o período de armazenamento (Etapas 1 e 2). As equações de malha da entrada são elencadas pelas Equações (3.6), (3.7) e (3.8).

$$-V_a + v_{L1} - v_{L2} + V_b = 0 \quad (3.6)$$

$$-V_a + v_{L1} - v_{L3} + V_c = 0 \quad (3.7)$$

$$-V_b + v_{L2} - v_{L3} + V_c = 0 \quad (3.8)$$

Sendo as tensões de entrada balanceadas, pode-se escrever a Equação (3.9), e por se tratar de um sistema trifásico a três fios, sabe-se que a soma das correntes de cada fase é igual a zero, como demonstrado pela Equação (3.10).

$$V_a + V_b + V_c = 0 \quad (3.9)$$

$$I_a + I_b + I_c = 0 \quad (3.10)$$

Assim, aplicando a derivada em (3.10), obtendo (3.11), é possível substituir a derivada de cada indutor obedecendo a (3.12), sabendo que os valores das indutâncias são iguais para as três fases, resultando em (3.13).

$$\frac{di_a}{dt} + \frac{di_b}{dt} + \frac{di_c}{dt} = \frac{di_{L1}}{dt} + \frac{di_{L2}}{dt} + \frac{di_{L3}}{dt} = 0 \quad (3.11)$$

$$v_L = L \cdot \frac{di_L}{dt} \quad (3.12)$$

$$v_{L1} + v_{L2} + v_{L3} = 0 \quad (3.13)$$

Isolando  $V_{L3}$  em (3.13) e  $V_c$  em (3.9) substituindo ambos em (3.7) encontra-se (3.14), assim somando esta com a Equação (3.6), a igualdade mencionada na descrição das etapas de operação é comprovada por (3.15). Observa-se que as outras igualdades, relacionando  $V_{L2}$  e  $V_{L3}$  a  $V_b$  e  $V_c$ , respectivamente, podem ser encontradas seguindo o mesmo raciocínio.

$$-2 \cdot V_a + 2 \cdot v_{L1} + v_{L2} - V_b = 0 \quad (3.14)$$

$$v_{L1} = V_a \quad (3.15)$$

De maneira semelhante, para as Etapas 1 e 2, as tensões de entrada são aplicadas aos indutores  $L_4$ ,  $L_5$  e  $L_6$ , uma vez que  $V_{C1}$ ,  $V_{C2}$  e  $V_{C3}$  são reflexos de  $V_a$ ,  $V_b$  e  $V_c$ , respectivamente.

Para as Etapas 3 e 4, como é possível verificar no circuito elétrico equivalente, na Figura 13, as tensões  $V_{L5}$  e  $V_{L6}$  são iguais e negativas. Sendo assim, de acordo com (3.12), as derivadas de corrente de  $L_5$  e  $L_6$  são iguais e, por sua vez, a derivada de corrente de  $L_4$  é o dobro dessa derivada e positiva. Logo, a tensão em  $L_4$  é o dobro, em módulo, da tensão em  $L_5$  ou  $L_6$ .  $V_{L5}$  em função de  $V_{L4}$  é demonstrado em (3.16). Portanto, sabendo que pela malha de tensão obtém-se (3.17), verifica-se (3.18).

$$V_{L5} = -\frac{V_{L4}}{2} \quad (3.16)$$

$$V_{L4} \cdot n - V_{L5} \cdot n = V_o \quad (3.17)$$

$$V_{L4} = \frac{2 \cdot V_o}{3 \cdot n} \quad (3.18)$$

Ainda realizando a análise de malha do circuito elétrico equivalente das Etapas 3 e 4, verifica-se que  $V_{L1}$ ,  $V_{L2}$  e  $V_{L3}$  são um reflexo invertido de  $V_{L4}$ ,  $V_{L5}$  e  $V_{L6}$ , respectivamente. Isso se repete por todo o intervalo.

Para as Etapas 5, 6 e 7, o ramo “c” já não está mais transferindo energia. Logo, para as mesmas análises feitas anteriormente, verificam-se (3.19), (3.20) e (3.21).

$$V_{L5} = -V_{L4} \quad (3.19)$$

$$V_{L4} \cdot n - V_{L5} \cdot n = V_o \quad (3.20)$$

$$V_{L4} = \frac{V_o}{2 \cdot n} \quad (3.21)$$

Para a última etapa, como não existe variação de corrente nos indutores, as tensões nestes são iguais a zero.

Observando a forma de onda da tensão em  $L_3$  no intervalo  $t_c$ , o balanço Volt segundo pode ser realizado e verificado em (3.22).

$$t_c = -\frac{3 \cdot n \cdot D \cdot V_c}{V_o \cdot f_s} \quad (3.22)$$

De forma análoga, o balanço Volt segundo em  $L_1$  resulta em (3.23).

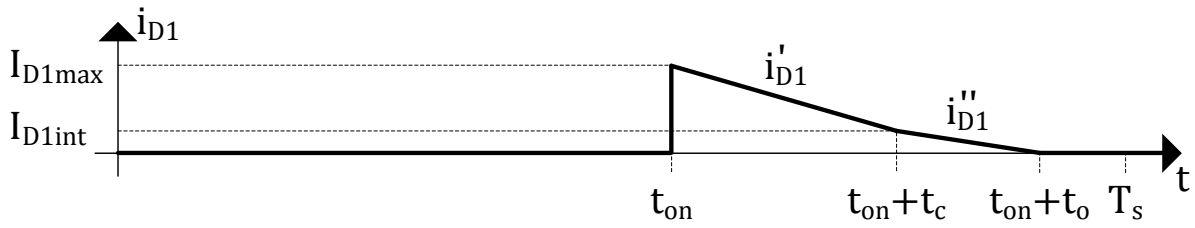
$$t_o = \frac{n \cdot D \cdot (2V_a + V_c)}{V_o \cdot f_s} \quad (3.23)$$

Semelhantemente ao SEPIC CC-CC MCD básico, não é possível encontrar o ganho estático pelo balanço Volt segundo nos indutores. Portanto, levando em consideração que a corrente média consumida pela carga obrigatoriamente é igual a do diodo  $D_1$ , observa-se a forma de onda desse diodo. Essa forma de onda, em específico, é redesenhada na Figura 17, para que seja melhor explicada.

As equações (3.24) e (3.25) apresentam as equações das retas que compõem essa forma de onda.

$$i'_{D1} = \frac{I_{D1int} - I_{D1max}}{t_c} \cdot t + I_{D1max} \quad (3.24)$$

$$i''_{D1} = -\frac{I_{D1int}}{t_o - t_c} \cdot t + I_{D1int} \quad (3.25)$$



**Figura 17 - Corrente no diodo  $D_1$  durante um período de comutação dentro do intervalo predefinido**  
**Fonte: Autoria própria**

Portanto, o valor médio da corrente do diodo  $D_1$  para um período de comutação é igual ao valor médio da corrente de saída, como mencionado anteriormente, e é apresentado em (3.26). Para representar o valor médio da corrente de saída optou-se por utilizar a notação da tensão de saída por uma resistência equivalente de carga, esta inversamente proporcional à potência consumida pela carga.

$$I_{D1medTs} = \frac{1}{T_s} \cdot \left[ \left( I_{D1int} + \frac{I_{D1max} - I_{D1int}}{2} \right) \cdot t_c + \frac{I_{D1int}}{2} \cdot (t_o - t_c) \right] = \frac{V_o}{R_o} \quad (3.26)$$

Lembrando que esses valores de máximo e intermediário da corrente em  $D_1$  podem ser expressos por (3.27) e (3.28), onde  $n$  é a relação de espiras, de acordo com (3.29).

$$I_{D1max} = \frac{I_{L1max} - I_{L4min}}{n} \quad (3.27)$$

$$I_{D1int} = \frac{I_{L1int} - I_{L4int}}{n} \quad (3.28)$$

$$n = \frac{N_S}{N_P} \quad (3.29)$$

Assim, substituindo-se (3.27) e (3.28) em (3.26), obtém-se (3.30).

$$\frac{1}{2 \cdot n \cdot T_s} \cdot [(I_{L1max} + I_{L1int} - I_{L4min} - I_{L4int}) \cdot t_c + (I_{L1int} - I_{L4int}) \cdot (t_o - t_c)] = \frac{V_o}{R_o} \quad (3.30)$$

Através das etapas de armazenamento e de transferência de energia verificam-se as variações das correntes em  $L_1$  e  $L_4$ , sendo possível deixar todos esses valores em função da corrente máxima em  $L_1$ . Isso é demonstrado a seguir.

Para cada um desses indutores aplica-se (3.12). Portanto, para as etapas de armazenamento, com duração de  $t_{on}$ , verificam-se (3.31) e (3.32).

$$V_a = L_1 \cdot \frac{(I_{L1max} - I_{L1min})}{t_{on}} \quad (3.31)$$



$$-V_a = L_4 \cdot \frac{(I_{L4min} - I_{L4max})}{t_{on}} \quad (3.32)$$

Assim, isolando  $I_{L1min}$  em (3.31), obtém-se (3.33).

$$I_{L1min} = I_{L1max} - \frac{V_a \cdot t_{on}}{L_1} \quad (3.33)$$

Considerando que  $I_{L4max}$  é igual a  $I_{L1min}$ , como demonstrado em (3.34), substitui-se (3.33) em (3.32) e  $I_{L4min}$  é isolado, gerando (3.35). Leva-se em consideração que a indutância equivalente  $L_{eq}$  que aparece nessa expressão é o equivalente da associação em paralelo das indutâncias de entrada e saída,  $L_1$  e  $L_4$ , no caso da fase “a”, isso pode ser verificado por (3.36).

$$I_{L4max} = I_{L1min} \quad (3.34)$$

$$I_{L4min} = I_{L1max} - \frac{V_a \cdot t_{on}}{L_{eq}} \quad (3.35)$$

$$L_{eq} = \frac{L_1 \cdot L_4}{L_1 + L_4} \quad (3.36)$$

Enquanto, para a etapa de transferência, considerando apenas o período de duração  $t_c$ , verificam-se (3.37) e (3.38).

$$-\frac{2 \cdot V_o}{3 \cdot n} = L_1 \cdot \frac{(I_{L1int} - I_{L1max})}{t_c} \quad (3.37)$$

$$\frac{2 \cdot V_o}{3 \cdot n} = L_4 \cdot \frac{(I_{L4int} - I_{L4min})}{t_c} \quad (3.38)$$

$I_{L1int}$  é descrito por (3.39), deduzido a partir de (3.37). Enquanto  $I_{L4int}$  é descrito por (3.40) e deduzido de a partir de (3.38) e (3.35).

$$I_{L1int} = I_{L1max} - \frac{2 \cdot V_o \cdot t_c}{3 \cdot n \cdot L_1} \quad (3.39)$$

$$I_{L4int} = I_{L1max} - \frac{V_a \cdot t_{on}}{L_{eq}} + \frac{2 \cdot V_o \cdot t_c}{3 \cdot n \cdot L_4} \quad (3.40)$$

Assim, substituindo-se (3.35), (3.39), (3.40) em (3.30) encontra-se (3.41).

$$\frac{f_s}{6 \cdot L_{eq} \cdot n^2} \cdot (3 \cdot V_a \cdot t_{on} \cdot t_c \cdot n - 2 \cdot V_o \cdot t_c \cdot t_o + 3 \cdot V_a \cdot t_{on} \cdot t_o \cdot n) = \frac{V_o}{R_o} \quad (3.41)$$

Se  $V_a$  for considerado no valor de pico ( $V_{pk}$ ), logo  $V_c$  pode ser descrito por (3.42).

$$V_c = -\frac{1}{2} \cdot V_a = -\frac{1}{2} \cdot V_{pk} \quad (3.42)$$

Portanto, substituindo (3.5), (3.22), (3.23) e (3.42) em (3.41), encontra-se o ganho estático (M), apresentado em (3.43). Onde também é expresso em função do parâmetro k, este definido em (3.44).

$$M = \frac{V_o}{V_{pk}} = \sqrt{\frac{3 \cdot R_o \cdot D^2}{4 \cdot f_s \cdot L_{eq}}} = D \sqrt{\frac{3}{2 \cdot k}} \quad (3.43)$$

$$k = \frac{2 \cdot L_{eq} \cdot f_s}{R_o} \quad (3.44)$$

A Figura 18 mostra o comportamento do ganho estático em função da razão cíclica e do parâmetro k. No MCD, demonstra-se que este ganho estático é linear. Também é possível observar na Figura 18 que, para k igual a 1, esse conversor pode operar como abaixador ou elevador de tensão.

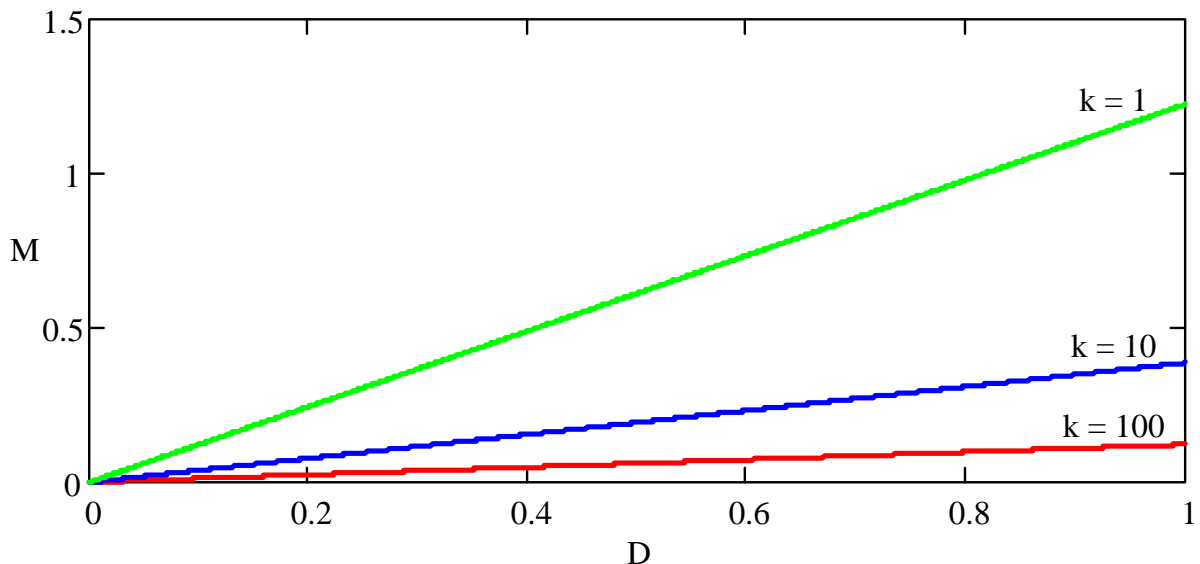


Figura 18 - Ganho estático em função da razão cíclica e do parâmetro k  
Fonte: Autoria própria

### 3.4 RESTRIÇÕES DE OPERAÇÃO

Para o correto funcionamento do conversor, os diodos entram em condução apenas quando os transistores estão bloqueados. Portanto, durante  $t_{on}$ , onde a tensão no primário do transformador  $Tr_1$ , por exemplo, é igual a  $-V_{C1}$ , ou seja, igual ao inverso da fonte de entrada, verifica-se que nenhum diodo pode ser polarizado. Assim, levando em conta o intervalo predefinido da rede elétrica, observa-se essa

restrição para  $D_2$  e  $D_4$ , que seriam polarizados caso essa restrição não fosse obedecida. Apresenta-se a restrição em (3.45).

$$V_o > V_a \cdot n - V_b \cdot n \quad (3.45)$$

Percebe-se que o maior valor que pode ser realizado entre as duas tensões de fase da entrada é dada pelo valor de pico da tensão de linha que elas geram. Ou seja, (3.45) pode ser reescrita como em (3.46).

$$V_o > \sqrt{3} \cdot V_{pk} \cdot n \quad (3.46)$$

Logo, é imposta uma restrição na escolha da relação de espiras, que dependerá do valor do ganho estático, em (3.47).

$$n < \frac{M}{\sqrt{3}} \quad (3.47)$$

Cabe salientar que essa restrição partiu das tensões aplicadas ao primário dos transformadores, que, nesse instante, são provenientes dos capacitores de entrada, e que não se leva em consideração a ondulação em alta frequência nesses capacitores. Logo, não é indicado utilizar uma relação de espiras muito próxima ao valor máximo advindo dessa restrição.

Outra restrição é constatada para que o conversor sempre opere em MCD. Segundo Erickson e Maksimovic (2001) a tendência do conversor operar no MCD pode ser verificada pelo parâmetro  $k$ , uma vez que valores elevados do mesmo levam o conversor a operar em MCC. Assim, o valor de  $k$  que leva o conversor a operar no modo crítico é chamado de  $k_{crit}$ . Levando em consideração que a oitava etapa é que caracteriza o estágio descontínuo, considerar (3.48) significa que o conversor está operando no modo crítico.

$$t_{on} + t_o = T_s \quad (3.48)$$

Substituindo (3.5), (3.23) e (3.42) em (3.48) obtém-se (3.49).

$$D = \frac{2 \cdot M}{3 \cdot n + 2 \cdot M} \quad (3.49)$$

Substituindo (3.49) em (3.43) e isolando  $k$ , verifica-se  $k_{crit}$ , apresentado em (3.50). Logo, para o MCD basta que  $k$  seja menor que  $k_{crit}$ .

$$k < k_{crit} = \frac{6}{(3 \cdot n + 2 \cdot M)^2} \quad (3.50)$$

### 3.5 METODOLOGIA DE PROJETO

As equações de projeto para o estágio de potência são descritas a seguir. Estas permitirão reproduzir o projeto apresentado neste trabalho, bem como projetar este conversor com outras especificações.

Os valores dos indutores de entrada ( $L_1$ ,  $L_2$  e  $L_3$ ) e dos indutores de saída ( $L_4$ ,  $L_5$  e  $L_6$ ) são determinados em (3.51) e (3.52), respectivamente. Os indutores de entrada são calculados pela especificação da ondulação da corrente, enquanto os indutores de saída são obtidos a partir do valor de  $L_1$ ,  $L_2$  e  $L_3$ , e da indutância equivalente  $L_{eq}$ , assegurando assim a operação no modo descontínuo.

$$L_1 = L_2 = L_3 = \frac{V_{pk} \cdot D}{\Delta i_{in} \cdot f_s} \quad (3.51)$$

$$L_4 = L_5 = L_6 = \frac{3 \cdot L_1 \cdot V_{pk}^2 \cdot D^2}{4 \cdot L_1 \cdot P_o \cdot f_s - 3 \cdot V_{pk}^2 \cdot D^2} \quad (3.52)$$

O valor dos capacitores de entrada ( $C_1$ ,  $C_2$  e  $C_3$ ) são definidos a partir de (3.53). Onde, levou-se em conta a duração da etapa 2, uma vez que a corrente parte de zero até  $I_{L4min}$ , no caso de  $C_1$ . Assim, constata-se a corrente média no capacitor  $C_1$ , durante esta etapa, por (3.54).

$$i_c = C \cdot \frac{dv_c}{dt} \quad (3.53)$$

$$I_{C1\Delta t_2} = \frac{I_{L4min}}{2} \quad (3.54)$$

Portanto, substituindo (3.54) em (3.53), considerando a etapa 2, encontra-se (3.55).

$$C_1 = \frac{I_{L4min} \cdot \Delta t_2}{2 \cdot \Delta v_{C1in}} \quad (3.55)$$

A duração da etapa 2 pode ser encontrada através da análise da variação da corrente no indutor  $L_4$ , considerando (3.12), equaciona-se (3.56).

$$-V_a = L_4 \cdot \frac{I_{L4min}}{\Delta t_2} \quad (3.56)$$

Substituindo (3.35) em (3.56) e considerando  $V_a$  no valor de pico, observa-se (3.57).

$$\Delta t_2 = -\frac{L_4}{V_{pk}} \cdot I_{L1max} + \frac{L_4}{L_{eq}} \cdot t_{on} \quad (3.57)$$

O valor máximo da corrente que circula por  $L_1$  é apresentado em (3.58). Sendo que  $I_{L1medTs}$  e  $\Delta i_{L1}$  são a corrente média em  $L_1$  e sua respectiva ondulação de corrente, durante um período de comutação. Cabe salientar que, para o valor máximo da corrente em  $L_1$  durante o período da rede elétrica,  $I_{L1medTs}$  será o valor de pico da senóide sem levar em conta a ondulação em alta frequência.

$$I_{L1max} = I_{L1medTs} + \frac{\Delta i_{L1}}{2} \quad (3.58)$$

$I_{L1medTs}$  pode ser verificado no momento de pico da tensão de entrada  $V_a$  através da relação da potência, assim, obtém-se (3.59). Enquanto  $\Delta i_{L1}$  é obtido em (3.60) através de (3.12) analisando essa variação de corrente durante  $t_{on}$ . Assim,  $I_{L1max}$  pode ser reescrito por (3.61).

$$I_{L1medTs} = \frac{2 \cdot P_o}{3 \cdot V_{pk}} \quad (3.59)$$

$$\Delta i_{L1} = \frac{V_{pk} \cdot D}{L_1 \cdot f_s} \quad (3.60)$$

$$I_{L1max} = \frac{2 \cdot P_o}{3 \cdot V_{pk}} + \frac{V_{pk} \cdot D}{2 \cdot L_1 \cdot f_s} \quad (3.61)$$

Logo, empregando (3.5), (3.61), (3.57) a (3.55) encontra-se a expressão de projeto dos capacitores de entrada, revelada em (3.62).

$$C_1 = C_2 = C_3 = \frac{1}{72} \cdot \frac{L_4 \cdot (6 \cdot L_1 \cdot D \cdot V_{pk}^2 - 4 \cdot L_1 \cdot L_{eq} \cdot P_o \cdot f_s - 3 \cdot L_{eq} \cdot D \cdot V_{pk}^2)^2}{V_{pk}^3 \cdot L_1^2 \cdot L_{eq}^2 \cdot f_s^2 \cdot \Delta v_{Cin}} \quad (3.62)$$

Já o dimensionamento do capacitor de saída, apresentado em (3.63), é projetado para suprir a carga durante as etapas 1, 2 e 8 com a ondulação desta tensão como parâmetro de escolha.

$$C_o = \frac{V_o \cdot (2 \cdot M - 3 \cdot n \cdot D)}{2 \cdot M \cdot R_o \cdot f_s \cdot \Delta v_{out}} \quad (3.63)$$

Para a escolha dos semicondutores, levantam-se as expressões que definem os esforços de tensão e corrente a que serão submetidos esses componentes.

Analisando-se uma malha do transistor  $S_1$  para o momento de bloqueio, obtém-se (3.64).

$$V_{S1} = V_{C1} + V_{L4} - V_{L5} - V_{C2} \quad (3.64)$$

Assim, considerando  $V_{C1}$  e  $V_{C2}$  reflexos de suas respectivas tensões de fase da entrada, o maior valor é dado pelo valor de pico da tensão de linha. Enquanto, o

maior valor da subtração entre  $V_{L4}$  e  $V_{L5}$  é o da tensão de saída refletida. Logo, a tensão máxima no transistor  $S_1$  pode ser visto em (3.65).

$$V_{S1max} = \sqrt{3} \cdot V_{pk} + \frac{V_o}{n} \quad (3.65)$$

Através da análise nodal, durante  $t_{on}$ , percebe-se que a corrente que circula por  $S_1$  é a diferença entre  $I_{L1}$  e  $I_{L4}$ , portanto o valor máximo da corrente em  $S_1$  é dado por (3.66), como pode ser verificado nas formas de onda ideais.

$$I_{S1max} = I_{L1max} - I_{L4min} \quad (3.66)$$

Sendo que o maior valor de  $I_{L1}$  durante o período da rede elétrica é dado no pico da senóide, obedecendo a (3.61), encontra-se (3.67).

$$I_{L1maxfr} = \frac{2 \cdot P_o}{3 \cdot V_{pk}} + \frac{1}{2} \cdot \frac{V_{pk} \cdot D}{L_1 \cdot f_s} \quad (3.67)$$

Portanto, substituindo-se (3.67) em (3.35) e ambos em (3.66), verifica-se (3.68).

$$I_{S1max} = \frac{4 \cdot P_o}{3 \cdot D \cdot V_{pk}} \quad (3.68)$$

Através da forma de onda de  $i_{S1}$  é obtida a equação da reta que descreve o comportamento dessa corrente durante  $t_{on}$ , esta é apresentada em (3.69).

$$i_{S1} = \frac{I_{L1max} - I_{L4min}}{t_{on}} \cdot t \quad (3.69)$$

Assim, levando em consideração (3.61), (3.35) e (3.69), os valores médio e eficaz para um período de comutação são constatados pelo desenvolvimento de (3.70) e (3.71), resultando em (3.72) e (3.73).

$$I_{S1medTs} = \frac{1}{T_s} \cdot \int_0^{T_s} i_{S1} \cdot dt = \frac{1}{T_s} \cdot \int_0^{t_{on}} \left( \frac{V_a}{L_{eq}} \cdot t \right) \cdot dt \quad (3.70)$$

$$I_{S1efTs} = \sqrt{\frac{1}{T_s} \cdot \int_0^{T_s} i_{S1}^2 \cdot dt} = \sqrt{\frac{1}{T_s} \cdot \int_0^{t_{on}} \left( \frac{V_a}{L_{eq}} \cdot t \right)^2 \cdot dt} \quad (3.71)$$

$$I_{S1medTs} = \frac{V_a \cdot D^2}{2 \cdot L_{eq} \cdot f_s} \quad (3.72)$$

$$I_{S1efTs} = \frac{V_a \cdot D}{L_{eq} \cdot f_s} \cdot \sqrt{\frac{D}{3}} \quad (3.73)$$

Analisando o comportamento dessa corrente durante o período da rede elétrica, sendo que esta se encontra em função da tensão de entrada, verifica-se seu comportamento senoidal, como demonstrado em (3.74) e (3.75).

$$I_{S1medTs} = \frac{D^2}{2 \cdot L_{eq} \cdot f_s} \cdot V_{pk} \cdot \text{sen}(\omega t) \quad (3.74)$$

$$I_{S1efTs} = \frac{D}{L_{eq} \cdot f_s} \cdot \sqrt{\frac{D}{3}} \cdot V_{pk} \cdot \text{sen}(\omega t) \quad (3.75)$$

Desse modo, o valor médio dessa corrente para um período da rede elétrica é zero, enquanto, o valor eficaz, calculado por (3.76), resulta em (3.77).

$$I_{S1ef} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{2\pi} \left( \frac{D}{L_{eq} \cdot f_s} \cdot \sqrt{\frac{D}{3}} \cdot V_{pk} \cdot \text{sen}(\omega t) \right)^2 \cdot d(\omega t)} \quad (3.76)$$

$$I_{S1ef} = \frac{V_{pk} \cdot D}{L_{eq} \cdot f_s} \cdot \sqrt{\frac{D}{6}} \quad (3.77)$$

Para os diodos da saída, observa-se nas formas de onda que a maior tensão reversa do diodo  $D_1$  se dá durante  $t_{on}$ , porém, para um diodo que não foi acionado durante o período de comutação,  $D_4$ , por exemplo, a maior tensão ocorre durante  $t_o$ . Sendo que esses valores dependem das especificações do projeto, a maior tensão reversa nos diodos de saída é dada por (3.78).

$$V_{D1max} = -\max \left\{ \left( V_{pk} \cdot n + \frac{V_o}{2} \right), V_o \right\} \quad (3.78)$$

A corrente máxima dos diodos de saída é igual à corrente máxima nos transistores, porém, refletida. Isso é apresentado em (3.79).

$$I_{D1max} = \frac{4 \cdot P_o}{3 \cdot n \cdot D \cdot V_{pk}} \quad (3.79)$$

Como já mencionado, a corrente média em  $D_1$  durante um período de comutação dentro do intervalo predefinido é igual à corrente fornecida à carga. Porém, como este comportamento varia durante o período da rede elétrica,  $I_{D1Ts}$  pode ser escrito em função da tensão de entrada, como visto em (3.80). E, para esse mesmo período, a corrente eficaz é calculada sobre a forma de onda apresentada na Figura 17 e descrita por (3.81).

$$I_{D1medTs} = \frac{V_o}{R_o} = \frac{V_a \cdot D}{R_o} \cdot \sqrt{\frac{3}{2 \cdot k}} \quad (3.80)$$

$$I_{D1efTs} = \sqrt{\frac{1}{T_s} \cdot \int_0^{T_s} i_{D1}^2 \cdot dt} = \sqrt{\frac{1}{T_s} \cdot \left( \int_0^{t_c} (i'_{D1})^2 \cdot dt + \int_0^{t_o-t_c} (i''_{D1})^2 \cdot dt \right)} \quad (3.81)$$

Portanto, substituindo  $i_{D1'}$  e  $i_{D1''}$ , (3.24) e (3.25), em (3.80) e aplicando (3.27), (3.28), (3.35), (3.39), (3.40) e (3.61), encontra-se (3.82).

$$I_{D1efTs} = \frac{D \cdot V_a}{2 \cdot L_{eq} \cdot f_s} \cdot \sqrt{\frac{2 \cdot D}{M \cdot n}} \quad (3.82)$$

Logo, para calcular os valores médio e eficaz durante o período da rede elétrica aplicam-se as equações (3.83) e (3.84), que resultam em (3.85) e (3.86).

$$I_{D1med} = \frac{1}{2\pi} \cdot \int_0^\pi \frac{D}{R_o} \sqrt{\frac{3}{2 \cdot k}} \cdot V_{pk} \cdot \text{sen}(\omega t) \cdot d(\omega t) \quad (3.83)$$

$$I_{D1ef} = \sqrt{\frac{1}{2\pi} \cdot \int_0^\pi \left( \frac{D}{2 \cdot L_{eq} \cdot f_s} \cdot \sqrt{\frac{2 \cdot D}{M \cdot n}} \cdot V_{pk} \cdot \text{sen}(\omega t) \right)^2 \cdot d(\omega t)} \quad (3.84)$$

$$I_{D1med} = \frac{V_{pk} \cdot D}{\pi \cdot R_o} \sqrt{\frac{3}{2 \cdot k}} \quad (3.85)$$

$$I_{D1ef} = \frac{V_{pk} \cdot D}{4 \cdot L_{eq} \cdot f_s} \cdot \sqrt{\frac{2 \cdot D}{M \cdot n}} \quad (3.86)$$

### 3.6 CARACTERÍSTICA EXTERNA

Para expor a característica externa de conversores é comum se apresentar curvas que passam de um modo de condução para o outro, exibindo a linha limite crítica. Como o presente trabalho estudou o conversor apenas no MCD, será apresentado a seguir a sequência utilizada para elaboração do gráfico da característica externa contendo a região descontínua e a limitação crítica.

A característica externa ou de carga apresenta uma relação normatizada, como mencionado por Barbi (2000). Ou seja, é uma relação adimensional. Inicialmente, retornando à equação da corrente média no diodo  $D_1$ , (3.26), substitui-se a relação entre a tensão de saída ( $V_o$ ) e a carga equivalente de saída ( $R_o$ ) pela corrente de saída ( $I_o$ ). Em seguida, acompanhando os mesmos passos da obtenção do ganho estático, observa-se o resultado em (3.87).



Sendo assim, definem-se as variáveis parametrizadas em (3.88) e (3.89). E, em (3.90), (3.87) é reescrito em função dessas variáveis.

$$\frac{V_o}{V_{pk}} = \frac{3}{4} \cdot \frac{D^2 \cdot V_{pk}}{L_{eq} \cdot f_s \cdot I_o} \quad (3.87)$$

$$\bar{V}_o = \frac{V_o}{V_{pk}} \quad (3.88)$$

$$\bar{I}_o = \frac{I_o \cdot L_{eq} \cdot f_s}{V_{pk}} \quad (3.89)$$

$$\bar{V}_o = \frac{3}{4} \cdot \frac{D^2}{\bar{I}_o} \quad (3.90)$$

O limite crítico do conversor é encontrado dependendo de algumas variáveis, dentre elas a tensão de saída e a relação de espiras. A partir desses dados, verificam-se as variáveis críticas:  $M_{crit}$ ,  $k_{crit}$ ,  $D_{crit}$ ,  $R_{crit}$  e  $I_{ocrit}$ . Sendo elas o ganho estático, o parâmetro  $k$ , a razão cíclica, a carga equivalente de saída e a corrente de saída, todos no ponto crítico da curva. Estas são dadas por (3.91), (3.50), (3.92), (3.93) e (3.94), respectivamente.

$$M_{crit} = \frac{V_o}{V_{pk}} \quad (3.91)$$

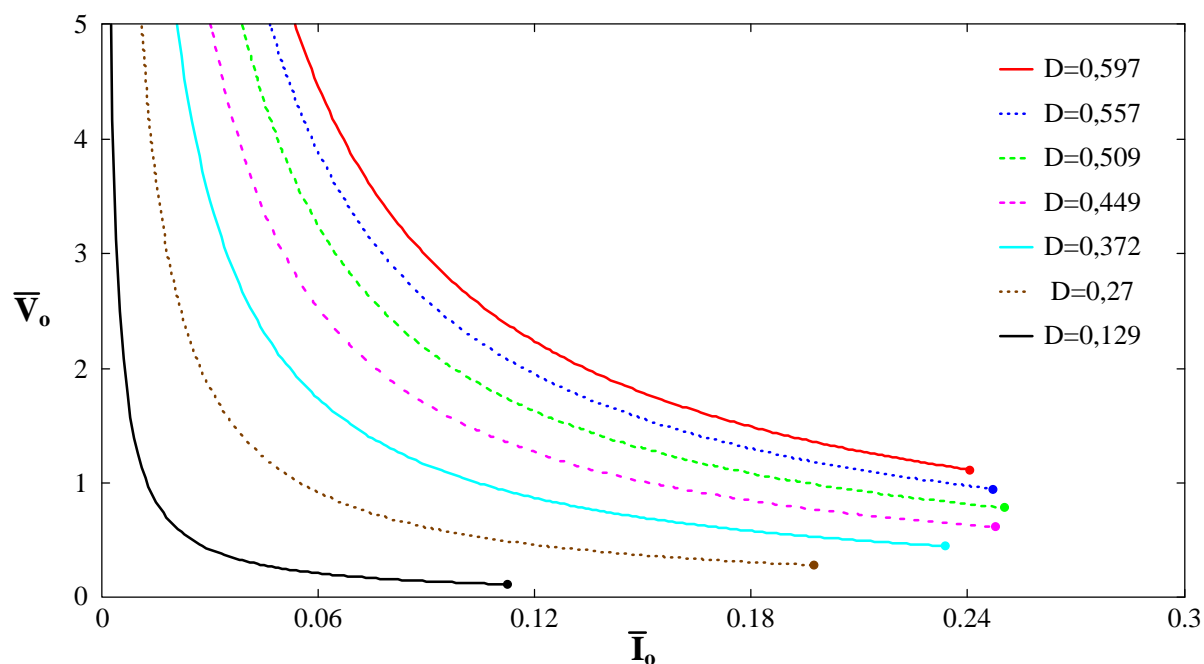
$$D_{crit} = M_{crit} \cdot \sqrt{\frac{2 \cdot k_{crit}}{3}} \quad (3.92)$$

$$R_{crit} = \frac{2 \cdot L_{eq} \cdot f_s}{k_{crit}} \quad (3.93)$$

$$I_{ocrit} = \frac{V_o}{R_{crit}} \quad (3.94)$$

Utilizando as especificações de projeto apresentadas no Capítulo 4, na Tabela 1, mantendo a relação de espiras constante em 0,5 e variando apenas a razão cíclica, obtém-se a característica de saída do conversor. Esta é apresentada na Figura 19.

Cabe ressaltar que não há necessidade de utilizar dados de projeto para visualizar as curvas da característica de carga, basta verificar a equação parametrizada (3.90), pois seu resultado é universal. Os dados de projeto foram utilizados apenas para demonstrar o limite crítico das curvas apresentadas, uma vez que o ganho estático em MCC não foi alvo de estudo neste trabalho.



**Figura 19 - Característica externa do SEPIC trifásico com interruptores bidirecionais no lado CA**  
**Fonte: Autoria própria**

### 3.7 MODELAGEM DO CONVERSOR

A modelagem do conversor SEPIC trifásico proposto neste trabalho é apresentada com o objetivo único de encontrar a Função Transferência (FT) que descreva a dinâmica do sistema do ponto de vista da razão cíclica sobre a tensão de saída. Isso se deve ao fato de que não é necessário realizar-se o controle da corrente de entrada, pois esta segue naturalmente a tensão de entrada, o que é uma característica natural desse conversor quando trabalhando no MCD.

Assim como nos trabalhos de Costa (2015) e Hirth (2015) também será utilizada a abordagem de modelagem apresentada por Tibola (2013). Ou seja, transformando os indutores de saída em fontes de corrente, demonstrado na Figura 20. Ainda é possível considerar uma simplificação desse circuito, vislumbrando apenas uma fonte de corrente alimentando o capacitor de saída e a carga, conforme Figura 21.

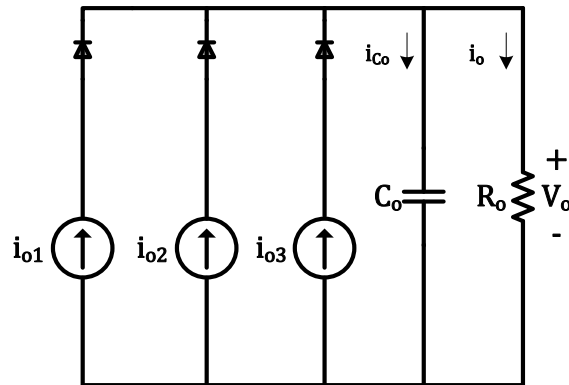


Figura 20 - Simplificação de planta - 3 fontes de corrente  
Fonte: Adaptado Tibola (2013)

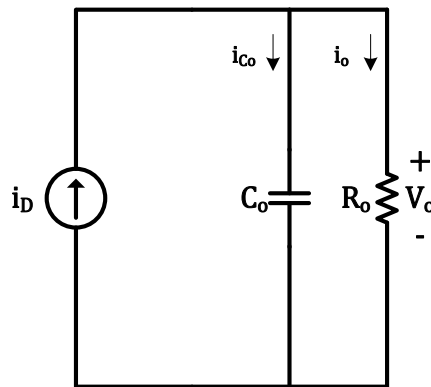


Figura 21 - Simplificação de planta - 1 fonte de corrente  
Fonte: Adaptado Tibola (2013)

Assim, analisando as correntes dessa simplificação, obtém-se (3.95).

$$i_D = i_{co} + i_o \quad (3.95)$$

É possível identificar que, em se tratando de valores médios em regime permanente, a corrente no capacitor é zero, logo  $i_D$  possui o mesmo valor médio de  $i_o$ . Sendo que este pode ser verificado através da equação do ganho estático do conversor (3.43), lembrando que a carga, representada por uma resistência, pode se ser substituída pela tensão de saída dividida pela corrente de saída. Assim, verifica-se em (3.96) o valor médio instantâneo da saída.

$$i_D(d, v_o) = i_o(d, v_o) = \frac{3}{4} \cdot \frac{V_{pk}^2 \cdot d^2}{v_o \cdot f_s \cdot L_{eq}} \quad (3.96)$$

Em se tratando de valores instantâneos, pode-se reescrever (3.95) como (3.97).

$$i_D(d, v_o) = C_o \cdot \frac{dv_o}{dt} + \frac{v_o}{R_o} \quad (3.97)$$

Tanto para a corrente instantânea quanto para a média, duas variáveis foram levadas em consideração para inserção de pequenos sinais, a fim de eliminar perturbações em torno do ponto de operação.

Seguindo a nomenclatura apresentada por Erickson e Maksimovic (2001), as grandezas do ponto de operação serão escritas com letra maiúscula, já as pequenas variações (pequenos sinais) serão escritas com letras minúsculas e notadas de “^”.

Sendo assim, aplicando os pequenos sinais a ambas as equações, a influência deste verificado pelo valor médio é dado por derivadas parciais de cada perturbação, vide (3.98) e (3.99). Verificando pelo valor instantâneo, obtém-se (3.100), fazendo a separação de elementos de grandeza do ponto de operação constata-se (3.101), ficando apenas com a atribuição dos pequenos sinais de primeira ordem em (3.102).

$$\hat{i}_D(\hat{d}, \hat{v}_o) = \frac{\partial i_D(d, v_o)}{\partial d} \cdot \hat{d} + \frac{\partial i_D(d, v_o)}{\partial v_o} \cdot \hat{v}_o \quad (3.98)$$

$$\hat{i}_D(\hat{d}, \hat{v}_o) = \frac{3}{4} \cdot \frac{V_{pk}^2 \cdot (2 \cdot D)}{V_o \cdot f_s \cdot L_{eq}} \cdot \hat{d} - \frac{3}{4} \cdot \frac{V_{pk}^2 \cdot D^2}{V_o^2 \cdot f_s \cdot L_{eq}} \cdot \hat{v}_o \quad (3.99)$$

$$(I_D + \hat{i}_D)(D + \hat{d}, V_o + \hat{v}_o) = C_o \cdot \frac{d(V_o + \hat{v}_o)}{dt} + \frac{(V_o + \hat{v}_o)}{R_o} \quad (3.100)$$

$$I_D(D, V_o) + \hat{i}_D(\hat{d}, \hat{v}_o) = C_o \cdot \frac{dV_o}{dt} + \frac{V_o}{R_o} + C_o \cdot \frac{d\hat{v}_o}{dt} + \frac{\hat{v}_o}{R_o} \quad (3.101)$$

$$\hat{i}_D(\hat{d}, \hat{v}_o) = C_o \cdot \frac{d\hat{v}_o}{dt} + \frac{\hat{v}_o}{R_o} \quad (3.102)$$

Para chegar à função transferência que modela a dinâmica do conversor em torno do ponto de operação, iguala-se (3.99) e (3.102) e aplica-se a transformada de Laplace, conforme demonstrado em .

$$\frac{3}{4} \cdot \frac{V_{pk}^2 \cdot (2 \cdot D)}{V_o \cdot f_s \cdot L_{eq}} \cdot \hat{d}(s) - \frac{3}{4} \cdot \frac{V_{pk}^2 \cdot D^2}{V_o^2 \cdot f_s \cdot L_{eq}} \cdot \hat{v}_o(s) = C_o \cdot s \cdot \hat{v}_o(s) + \frac{\hat{v}_o(s)}{R_o} \quad (3.103)$$

Logo, a função transferência em pequenos sinais é apresentada por (3.104), ou ainda, por (3.105) que inseriu k de acordo a equação (3.44).

$$\frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{6 \cdot V_o \cdot V_{pk}^2 \cdot R_o \cdot D}{4 \cdot V_o^2 \cdot f_s \cdot L_{eq} \cdot R_o \cdot C_o \cdot s + 4 \cdot V_o^2 \cdot f_s \cdot L_{eq} + 3 \cdot V_{pk}^2 \cdot D^2 \cdot R_o} \quad (3.104)$$

$$\frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{6 \cdot V_o \cdot V_{pk}^2 \cdot D}{2 \cdot V_o^2 \cdot k \cdot R_o \cdot C_o \cdot s + 2 \cdot V_o^2 \cdot k + 3 \cdot V_{pk}^2 \cdot D^2} \quad (3.105)$$

### 3.8 ESTRATÉGIA DE CONTROLE E DE MODULAÇÃO

O esquema de controle do conversor de estágio único é exibido na Figura 22. Desde que o conversor opere em MCD, ele possui uma característica de emular uma resistência. Deste modo, a corrente naturalmente segue sua respectiva fonte de tensão, sem a necessidade de sensores de corrente e da implementação de uma malha de controle de corrente. Portanto, o esquema de controle é composto apenas por uma malha de controle da tensão CC de saída.

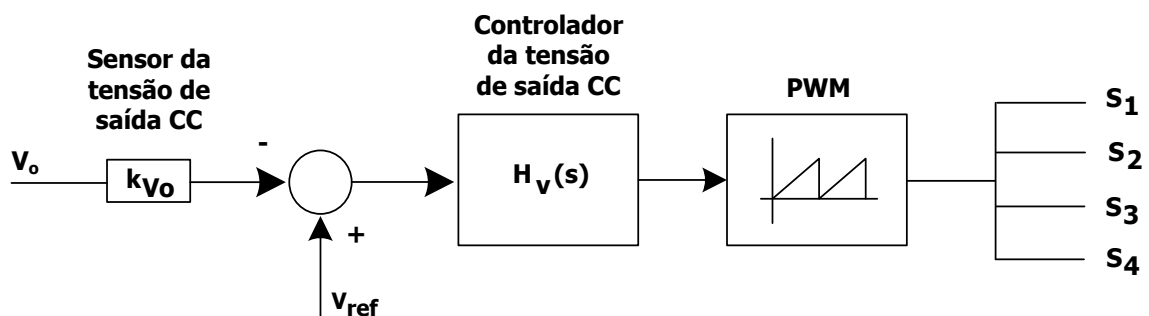


Figura 22 - Diagrama de blocos do controle e da modulação PWM  
Fonte: Autoria própria

Os quatro transistores são comandados pelo mesmo sinal de gatilho. Assim, o PWM, utiliza uma portadora dente-de-serra, realizando uma modulação *trailing edge*.

A razão cíclica possui valor constante, tanto durante o período de comutação, quanto durante o período da rede elétrica.

Observa-se que a estratégia de controle e de modulação é simples, equivalente à estratégia de controle e de modulação de um conversor CC-CC não isolado, por exemplo.

Com relação à implementação prática, esta estratégia de controle e de modulação pode ser implementada através de um circuito integrado (CI) dedicado do tipo UC3525. Esta é uma vantagem importante deste conversor.

Buscando se obter estabilidade e erro zero em regime permanente, como é comum em projetos de controladores, utiliza-se o controlador PI (proporcional integral) com filtro. Este pode ser verificado na Figura 23 e, matematicamente por (3.106).

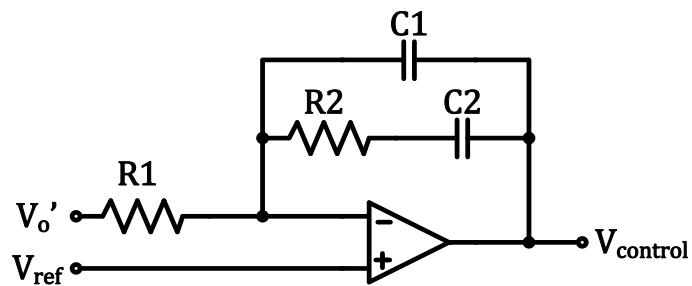


Figura 23 - Controlador PI com filtro  
Fonte: Autoria própria

$$H_V(s) = \frac{K_{HV} \cdot (s + \omega_z)}{s \cdot (s + \omega_p)} \quad (3.106)$$

Este tipo de controlador, embora simples, atua de maneira adequada para a proposta, uma vez que, segundo Ogata (2010) o controle proporcional tende a estabilizar o sistema, enquanto a ação integral busca a eliminação do erro de estado estacionário.

## 4 PROJETO E SIMULAÇÃO NUMÉRICA

Neste capítulo são apresentadas as especificações e os valores obtidos dos projetos de potência e controle, bem como o projeto do circuito de grampeamento. Além disso, exibe-se a simulação do sistema idealizado e em malha aberta, para comparação de resultados teóricos e de simulação. Ainda, a validação do modelo matemático do conversor e os resultados de simulação em malha fechada são apresentados.

### 4.1 PROJETO DO SISTEMA DE POTÊNCIA

Baseado nas especificações de projeto que constam na Tabela 1, foram calculados os valores dos componentes passivos, bem como os esforços de tensão e corrente nos semicondutores.

**Tabela 1 - Especificações de projeto**

<b>Especificações</b>	<b>Valores</b>
Tensão de entrada ( $V_{pk}$ )	180 V
Tensão de saída ( $V_o$ )	200 V
Potência de saída ( $P_o$ )	1,5 kW
Frequência da rede elétrica ( $f_r$ )	60 Hz
Frequência de comutação ( $f_s$ )	50 kHz
Ondulação da corrente no indutor $L_1$ ( $\Delta i_{in}\%$ )	17 %
Ondulação da tensão no capacitor $C_1$ ( $\Delta v_{Cin}\%$ )	15 %
Ondulação da tensão de saída ( $\Delta v_{out}\%$ )	1 %

**Fonte: Autoria própria**

Fundamentado pelas equações apresentadas no capítulo 3, tem-se a Tabela 2, que contém os valores dos parâmetros básicos e dos componentes passivos, e a Tabela 3, que contempla os esforços nos semicondutores. Com relação ao parâmetro  $k$ , arbitrou-se por utilizá-lo como 50 % de  $k_{crit}$ .

**Tabela 2 - Parâmetros básicos e componentes**

<b>Componentes</b>	<b>Valores</b>
Ganho estático ( $M$ )	1,11
Relação de espiras ( $n$ )	0,5

**(Continua)**

**Tabela 2 - Parâmetros básicos e componentes**

<b>Componentes</b>	<b>Valores</b>
Parâmetro k	0,217
Razão cíclica (D)	0,422
Carga ( $R_o$ )	26,67 $\Omega$
Indutores de entrada ( $L_1$ , $L_2$ e $L_3$ )	1,61 mH
Indutores de saída ( $L_4$ , $L_5$ e $L_6$ )	59,89 $\mu$ H
Capacitores de entrada ( $C_1$ , $C_2$ e $C_3$ )	2,54 $\mu$ F
Capacitor de saída ( $C_o$ )	53,63 $\mu$ F

**(Conclusão)****Fonte: Autoria própria****Tabela 3 - Esforços nos semicondutores**

<b>Especificações</b>	<b>Valores</b>
Tensão máxima nos transistores ( $V_{S1max}$ )	711,77 V
Corrente máxima nos transistores ( $I_{S1max}$ )	26,32 A
Corrente eficaz nos transistores ( $I_{S1ef}$ )	6,98 A
Tensão máxima nos diodos ( $V_{D1max}$ )	-200 V
Corrente máxima nos diodos ( $I_{D1max}$ )	52,64 A
Corrente média nos diodos ( $I_{D1med}$ )	2,39 A
Corrente eficaz nos diodos ( $I_{D1ef}$ )	8,11 A

**Fonte: Autoria própria**

## 4.2 SISTEMA DE CONTROLE

A validação do modelo matemático obtido no tópico 3.7 e o projeto do controlador são abordados neste tópico.

### 4.2.1 Validação do Modelo Matemático por Simulação Numérica

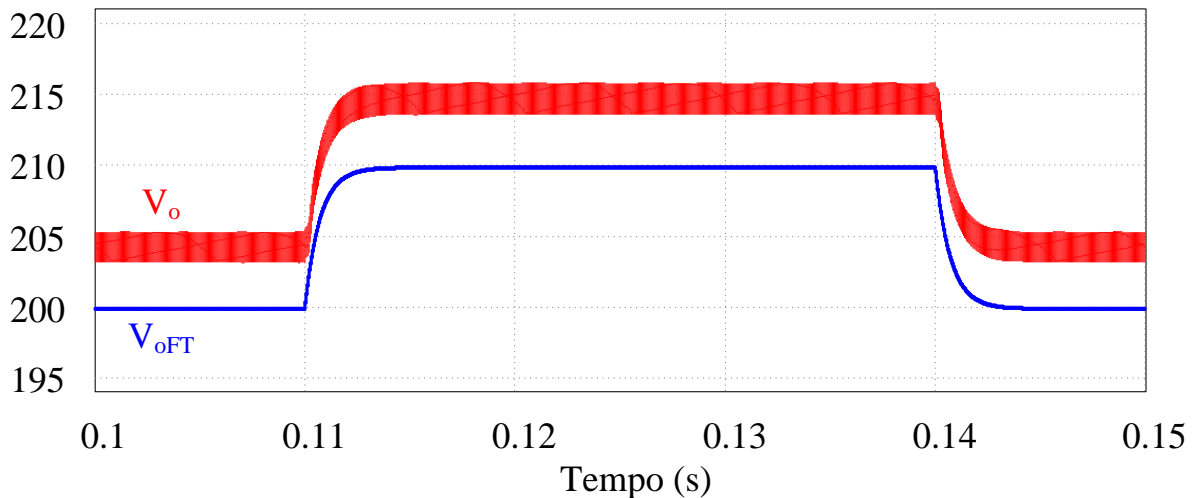
A função de transferência de um conversor descreve matematicamente seu comportamento dinâmico, assim um controlador poderá ser matematicamente projetado para atender as especificações de projeto. Se uma planta qualquer não for bem descrita, o controle projetado não levará ao resultado esperado, ou ainda, poderá levar essa planta à instabilidade.



Deste modo, com o objetivo de validar a correta representação do sistema através da função transferência, equacionada anteriormente por (3.104), substituí-se suas variáveis pelos valores especificados de projeto apresentados na Tabela 1 e pelos parâmetros básicos e componentes apresentados na Tabela 2. Resultando, portanto, em (4.1).

$$\frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{4,375 \cdot 10^8}{660,6 \cdot s + 9,235 \cdot 10^5} \quad (4.1)$$

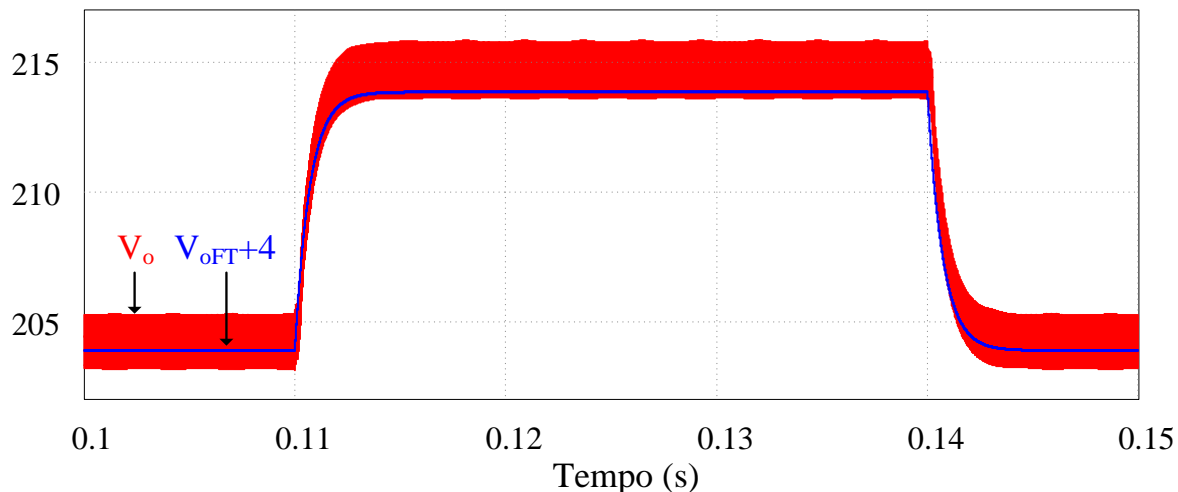
Por meio de uma simulação numérica, um mesmo sinal de acionamento, ou seja, razão cíclica, é aplicado tanto ao conversor quanto a função transferência de (4.1). Para verificar a dinâmica do sistema, uma variação de aproximadamente 5% do valor nominal da razão cíclica é aplicada. Ou seja, aplica-se inicialmente uma razão cíclica de 0,422, passando por um degrau de subida, onde esta passa a ser 0,443 em 0,11 segundos e, por fim, em 0,14 segundos retorna a 0,422. Este teste pode ser visualizado na Figura 24.



**Figura 24 - Tensão de saída do conversor e tensão de saída da FT para uma variação de 5% da razão cíclica**  
**Fonte: Autoria própria**

Conforme será verificado no tópico 4.4 de maneira mais detalhada, a tensão de saída do conversor possui um acréscimo proporcional à ondulação dos capacitores de entrada, uma vez que esta não foi levada em consideração no equacionamento do ganho estático. Portanto, com a finalidade de não alterar a planta e verificar a dinâmica das respostas, esta diferença de aproximadamente 4 V foi acrescida a tensão de saída da função transferência, como apresentado na Figura 25.

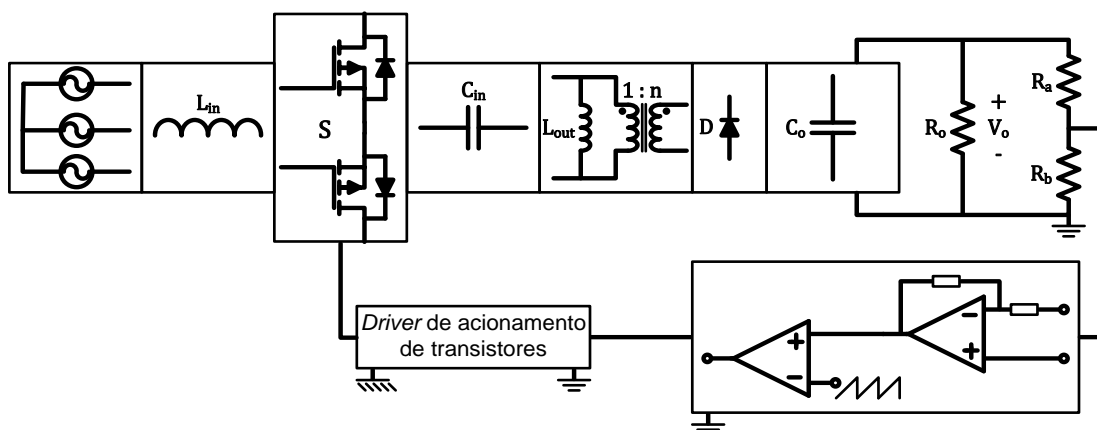
Analisando as formas de onda desta figura, conclui-se que o modelo levantado possui uma resposta dinâmica adequada para ser realizado o projeto do controlador com este por modelo matemático representando a planta do conversor.



**Figura 25 - Tensão de saída do conversor e tensão de saída da FT acrescida em 4 V para uma variação de 5% da razão cíclica**  
**Fonte: Autoria própria**

#### 4.2.2 Projeto do Sistema de Controle

Descrevendo de forma mais completa o sistema, a Figura 26 apresenta uma visão de como ocorre acionamento dos transistores e como a tensão de saída é amostrada.



**Figura 26 - Visão geral do sistema**  
**Fonte: Autoria própria**

Verificam-se informações importantes como: a tensão de saída é amostrada por um divisor resistivo; o referencial de controle está no negativo da tensão de

saída; o acionamento dos transistores é feito por *drivers* que isolam o pulso de comando; a geração de uma referência, a comparação desta com a tensão de saída amostrada, o controlador e a geração de PWM são feitas em apenas um CI (UC 3525) como já mencionado no tópico 3.8.

Inicialmente, sabendo que o pico triangular (portadora) gerada pelo CI é de aproximadamente 3,336 V, arbitrou-se 2,5 V como sendo o valor da tensão de referência. A geração dessa tensão é feita por um divisor resistivo do pino 16, que é uma saída regulada em 5,1 V.

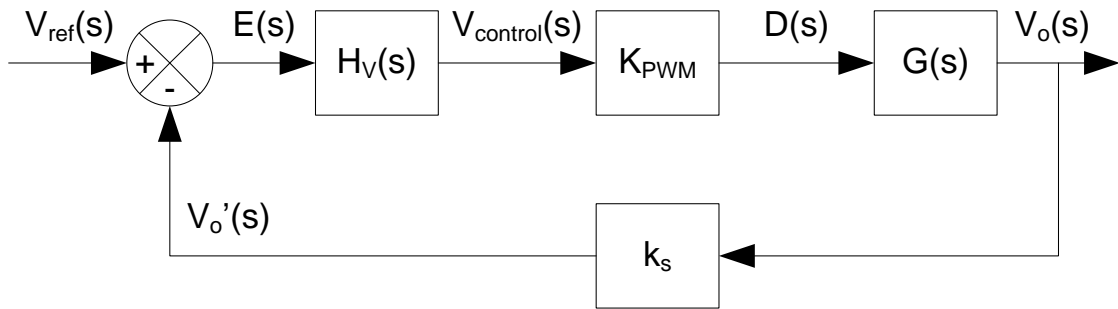
Sendo assim, considera-se o ganho do sensor da tensão de saída como sendo o valor de referência arbitrado pela tensão de saída, como apresentado em (4.2). Também verifica-se que existe um ganho do modulador PWM, que precisa ser levado em consideração, esse é dado como o inverso do pico da triangular menos o seu valor mínimo e pode ser visto em (4.3).

$$k_s = \frac{v_{ref}}{V_o} \quad (4.2)$$

$$k_{PWM} = \frac{1}{V_{tpk} - V_{tmin}} \quad (4.3)$$

Onde,  $k_s$  é o ganho do sensor,  $v_{ref}$  a tensão de referência arbitrada,  $k_{PWM}$  o ganho do modulador PWM,  $V_{tpk}$  e  $V_{tmin}$  são as tensões de pico e de valor mínimo da triangular.

Como critérios de projeto, para que o controle veja o conversor como um sistema contínuo, a frequência de cruzamento da Função Transferência de Laço Aberto (FTLA) do sistema precisa ser consideravelmente menor que a frequência de comutação dos transistores. Essa função transferência de laço aberto do sistema é constituída pelas plantas do conversor e do controlador, e pelos ganhos do sensor e do modulador PWM, como revela a Figura 27 e, matematicamente, demonstrado em (4.4).



**Figura 27 - Diagrama de blocos de controle**  
**Fonte: Autoria própria**

$$FTLA = G(s) \cdot H_V(s) \cdot k_s \cdot k_{PWM} \quad (4.4)$$

Sendo assim, adotou-se a frequência de cruzamento como cem vezes menor que a frequência de comutação. Com relação à alocação do polo e do zero, estes foram adotados como sendo dez vezes maior que a frequência de cruzamento e dez vezes menor que a frequência de cruzamento, respectivamente. Dessa maneira, baseado em (3.106), resta apenas descobrir o ganho do controlador.

Uma vez que o módulo da FTLA no gráfico de Bode é dado por (4.5), verifica-se que na frequência de cruzamento o valor do módulo encontra-se em zero dB, ou seja, valor absoluto igual a um, como demonstrado em (4.6), assim, o ganho  $K_{HV}$  pode ser verificado, como apresentado em (4.7).

$$FTLA_{dB} = 20 \cdot \log |FTLA| \quad (4.5)$$

$$|G(s)| \cdot |H_V(s)| \cdot k_s \cdot k_{PWM} = 1 = |G(s)| \cdot \left| \frac{K_{HV} \cdot (s + \omega_z)}{s \cdot (s + \omega_p)} \right| \cdot k_s \cdot k_{PWM} \quad (4.6)$$

$$K_{HV} = \frac{1}{|G(s)| \cdot \left| \frac{(s + \omega_z)}{s \cdot (s + \omega_p)} \right| \cdot k_s \cdot k_{PWM}} \quad (4.7)$$

Realizando a substituição dos valores na equação, encontra-se a FT do controlador. Esta que pode ser visualizada em (4.8).

$$H_V(s) = \frac{3,08 \cdot 10^4 \cdot (s + 314,159)}{s \cdot (s + 3,142 \cdot 10^4)} \quad (4.8)$$

Tendo o compensador sido projetado, é possível verificar através dos diagramas de Bode o comportamento da FTLA, vide Figura 28. Verifica-se uma margem de fase de 102,58 graus.

A montagem do circuito compensador se dá através da interação dos componentes passivos da Figura 23, de maneira que o resistor de entrada é

arbitrado e os outros componentes são relacionados de acordo com (4.9), (4.10) e (4.11).

$$C1 = \frac{1}{K_{HV} \cdot R1} \quad (4.9)$$

$$C2 = C1 \cdot \left( \frac{\omega_p}{\omega_z} - 1 \right) \quad (4.10)$$

$$R2 = \frac{1}{\omega_z \cdot C2} \quad (4.11)$$

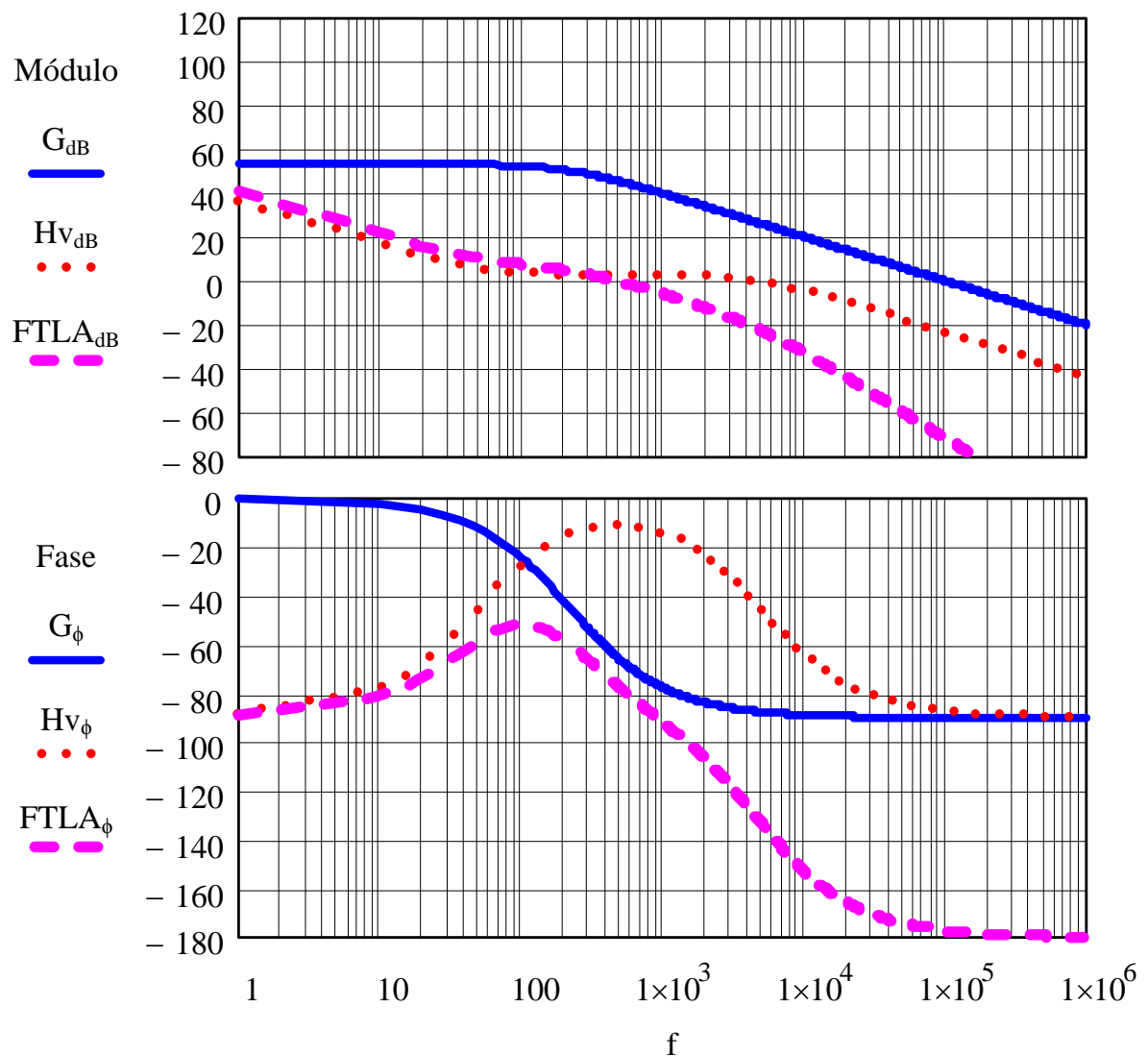


Figura 28 - Diagramas de Bode da planta, do compensador e da FTLA  
Fonte: Autoria própria

Os valores dos componentes de controle são apresentados na Tabela 4, a seguir.

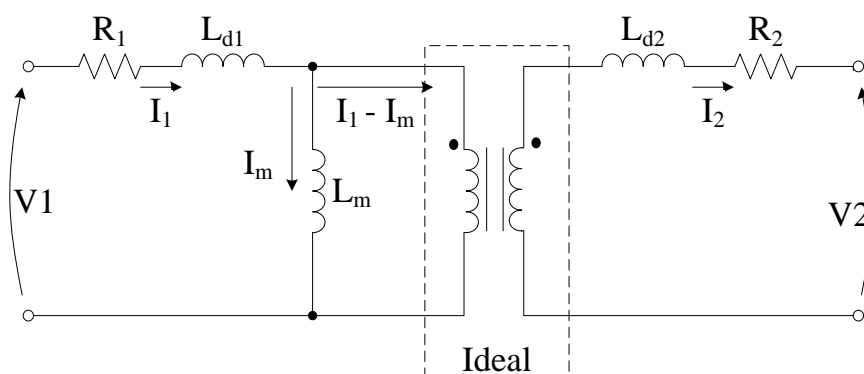
**Tabela 4 - Componentes do compensador**

Componentes	Valores
R1	8,2 k $\Omega$
C1	2,7 nF
C2	270 nF
R2	12 k $\Omega$

Fonte: Autoria própria

### 4.3 PROJETO DO CIRCUITO GRAMPEADOR

Quando se trabalha com conversores isolados em alta frequência é necessário se buscar uma maneira de sanar os problemas de sobretensão, sendo que, como consequência dos meios e métodos físicos de enrolamento, existirá uma indutância de dispersão ( $L_d$ ) e uma resistência ( $R$ ) por enrolamento. Segundo o modelo de transformador apresentado na Figura 29, percebe-se que a indutância magnetizante ( $L_m$ ) consegue se descarregar tanto no primário quando no secundário, o que não ocorre para as indutâncias de dispersão.



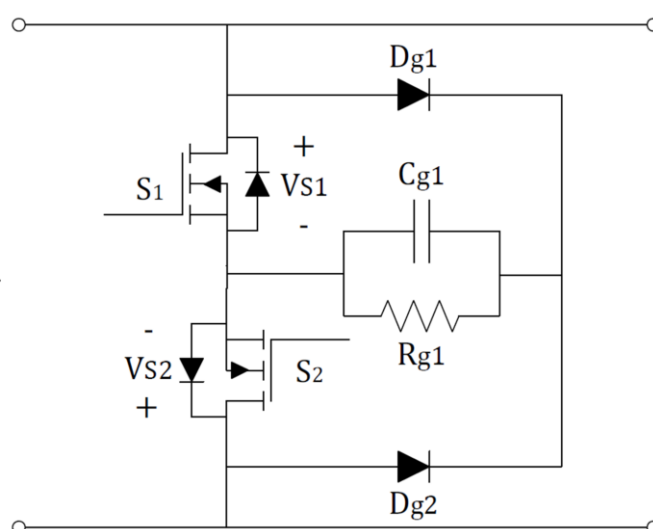
**Figura 29 - Representação elétrica de um transformador**

Fonte: Autoria própria

Quando um transistor entra em bloqueio, abrindo o circuito elétrico do primário do transformador, um valor mínimo de indutância de dispersão pode fazer com que seja aplicada uma elevada tensão sobre esse componente. Sendo que, como já demonstrado pela equação (3.12), a tensão em um indutor é proporcional a seu valor de indutância e a variação da corrente que passa por ele em função de uma variação do tempo. Logo, uma pequena variação de corrente em um tempo tendendo a zero, a tensão tenderá ao infinito.

No trabalho de Font (2003) e alguns métodos para utilizar essa energia são apresentados, fazendo distinção entre circuitos dissipativos ou não dissipativos, passivos ou ativos. Para ele, o grampeamento passivo tem as vantagens de simplicidade, baixo custo e poucos componentes empregados, sendo que o método RCD é o mais utilizado. Este método utiliza os componentes: resistor, capacitor e diodo.

Assim como na versão monofásica desse conversor, o grampeamento utilizado será o RCD, apresentado na Figura 30.



**Figura 30 - Topologia RCD do grampeador**  
Fonte: Adaptado de Hirth (2015)

O princípio de funcionamento desse grampeador se compreende em oferecer um caminho para o descarregamento do indutor de dispersão. Considerando um capacitor suficientemente grande, este pode ser visto com uma fonte de tensão contínua e o resistor como sendo a carga a consumir essa energia. Analisando a Figura 31, verifica-se a tensão imposta ao transistor  $S_1$ , para o circuito com componentes ideais e dentro do período arbitrado no capítulo 3, mais precisamente, no momento de pico da tensão de linha da entrada.

Reconfigurando o conversor para apresentar as indutâncias de dispersão e o circuito de grampeamento, desconsiderando as resistências dos enrolamentos, obtém-se a Figura 32. Considera-se nessa figura que a tensão de saída e a tensão do circuito grampeador são constantes, logo, podem ser considerados como fontes de tensão apenas.

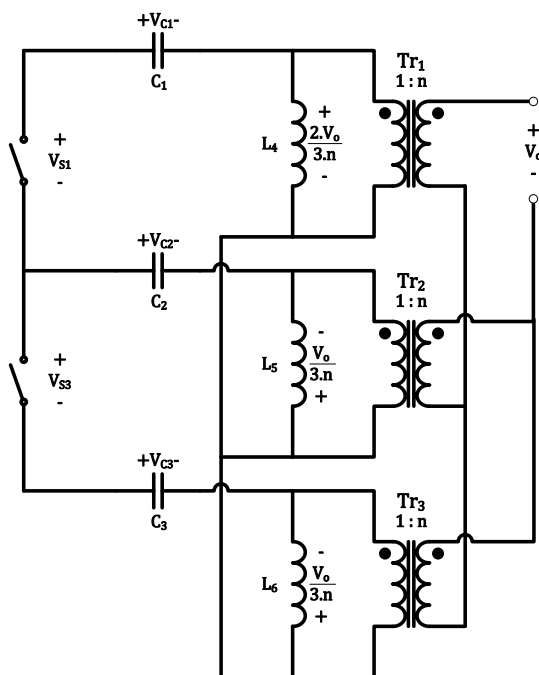


Figura 31 - Análise de malha de tensão simplificada - Tensão no transistor  $S_1$   
Fonte: Autoria própria

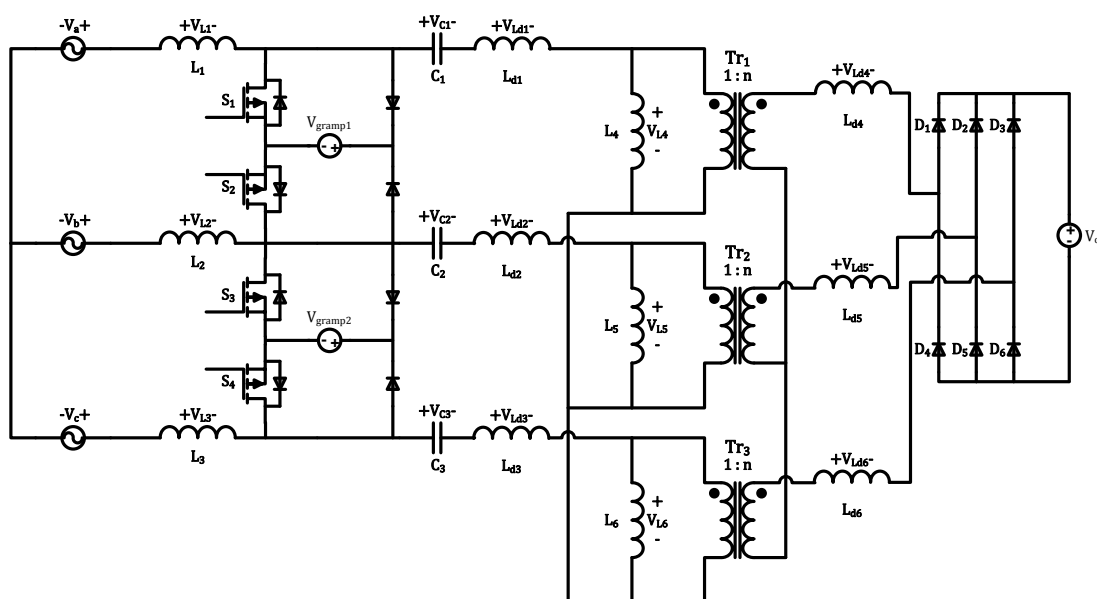


Figura 32 - Conversor com grameador simplificado e indutâncias de dispersão  
Fonte: Autoria própria

Consideram-se então os passos adotados por Barbi (2007) no projeto de um circuito grameador para o conversor Flyback. De forma análoga a esse estudo, primeiramente verificam-se as grandezas secundárias referidas aos primários dos transformadores na Figura 33.



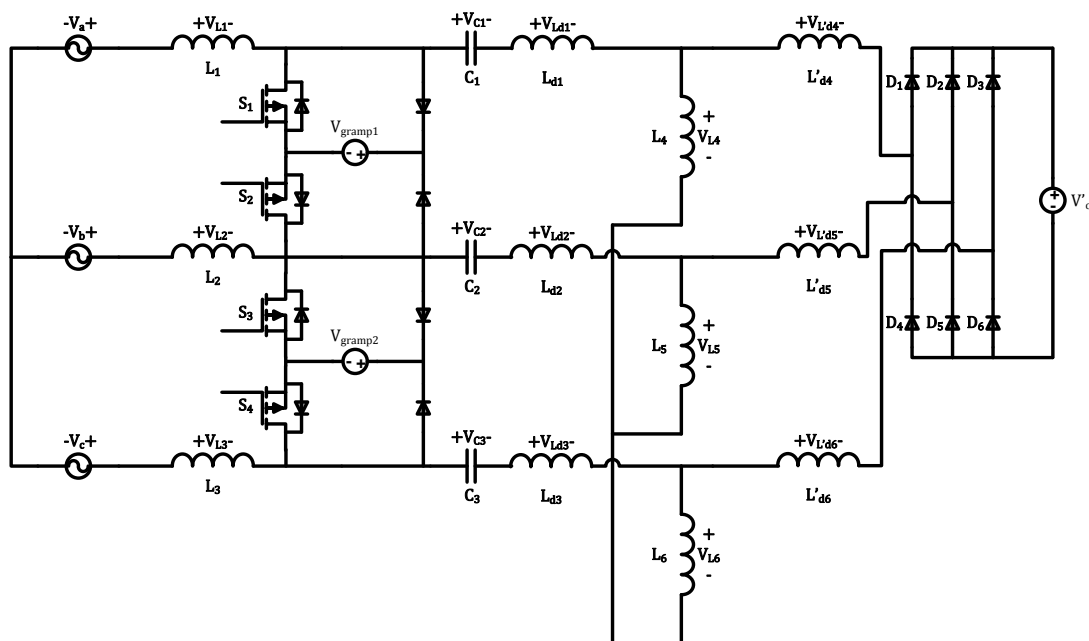


Figura 33 - Conversor com as grandezas dos secundários referidas aos respectivos primários  
Fonte: Autoria própria

Para a análise da ação do circuito grameador considera-se que o tempo de atuação deste é muito menor que o período de chaveamento. Com isso, as correntes de entrada e das indutâncias magnetizantes são consideradas constantes. Sendo assim, é apresentado um circuito equivalente na Figura 34, considerando ainda uma impedância de dispersão equivalente. Esta é dada por (4.12), referente ao ramo “a”, porém pode ser replicada para os outros ramos.

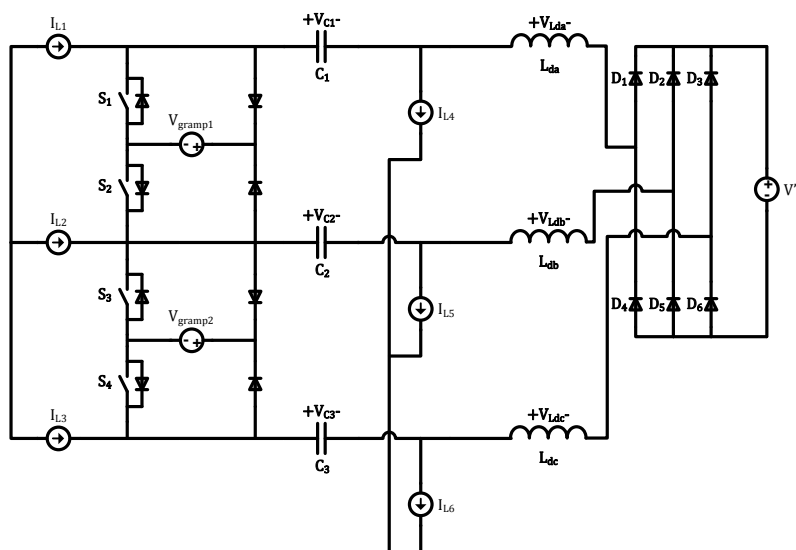


Figura 34 - Circuito equivalente durante a atuação do grameador  
Fonte: Autoria própria

$$L_{da} = L_{d1} + L'_{d4} \quad (4.12)$$

Como o circuito varia seu comportamento de acordo com a alteração das tensões de entrada, conforme já mencionado, definem-se instantes para a análise do mesmo. Estes instantes foram definidos como sendo no momento de pico das tensões de linha. Cabe ressaltar que as tensões dos capacitores de entrada são reflexos de suas respectivas tensões do ramo.

Portanto, considerando o momento de pico entre os ramos “a” e “b”, verificam-se as expressões (4.13), (4.14), (4.15), (4.16) e (4.17) que leva a (4.18). A Figura 35 representa o circuito equivalente para esse instante.

$$V_{C1} - V_{C2} = \sqrt{3}. V_{pk} \quad (4.13)$$

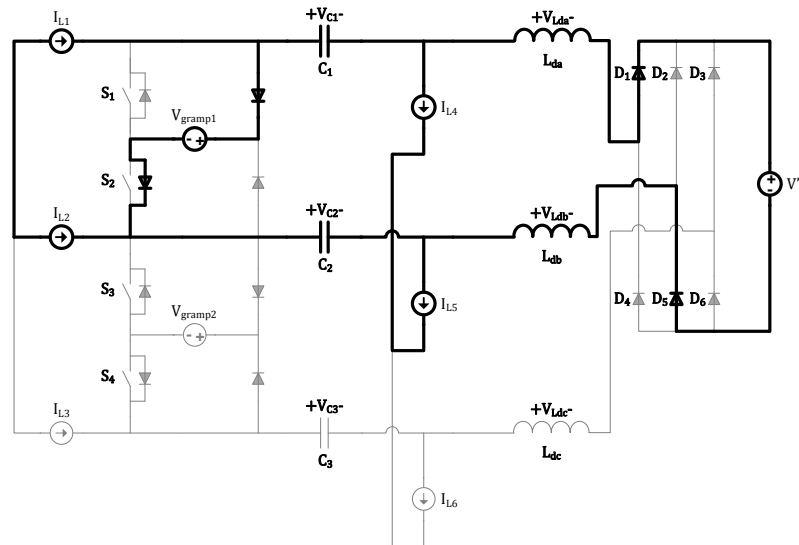
$$I_{L3} = I_{L6} = 0 \text{ A} \quad (4.14)$$

$$I_{L2} = -I_{L1} \quad (4.15)$$

$$I_{L5} = -I_{L4} \quad (4.16)$$

$$I_{Ldb} = -I_{Lda} \quad (4.17)$$

$$v_{Ldb} = -v_{Lda} \quad (4.18)$$



**Figura 35 - Circuito equivalente durante a atuação do grameador - Instante  $V_{ab}$  no valor de pico**

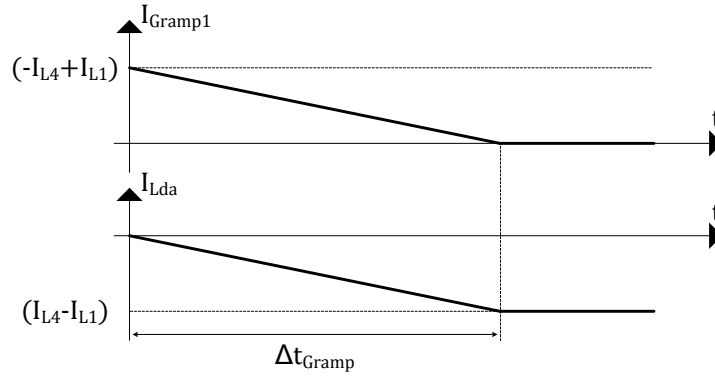
**Fonte: Autoria própria**

Verificando a tensão no indutor de dispersão  $L_{da}$ , através da malha, obtém-se (4.19). Substituindo (4.13) e (4.18) nesta equação, verifica-se (4.20).

$$v_{Lda} = (V_{C1} - V_{C2}) - V_{gramp1} + V'_o + v_{Ldb} \quad (4.19)$$

$$v_{Lda} = \frac{\sqrt{3}. V_{pk} - V_{gramp1} + V'_o}{2} \quad (4.20)$$

Considerando o exato momento de bloqueio dos transistores, toda a corrente que estava passando por eles passa a circular pelo grameador. E, aos poucos, essa corrente é transferida a saída, passando pelo indutor de dispersão. Graficamente, isso pode ser constatado na Figura 36.



**Figura 36 - Transferência da corrente do grameador 1 para a saída, através do indutor Lda - Instante  $V_{ab}$  no valor de pico  
Fonte: Autoria própria**

Embasado nos dados desse gráfico e em (4.20), de acordo com (3.12), equaciona-se (4.21). Esta pode ser reescrita como em (4.22) apresentando então o tempo de atuação do grameador durante esse instante.

$$\frac{\sqrt{3} \cdot V_{pk} - V_{gramp1} + V'_O}{2} = L_{da} \cdot \frac{(I_{L4} - I_{L1})}{\Delta t_{GrampVab}} \quad (4.21)$$

$$\Delta t_{GrampVab} = \frac{2 \cdot L_{da} \cdot (I_{L1} - I_{L4})}{V_{gramp1} - \sqrt{3} \cdot V_{pk} - V'_O} \quad (4.22)$$

Sendo que a potência média dissipada pelo grameador durante o período de comutação é representada por (4.23) e que a corrente média pode ser equacionada por (4.24), utilizando os dados da Figura 36.

$$P_{Gramp1Ts} = V_{gramp1} \cdot I_{Gramp1Ts} \quad (4.23)$$

$$I_{Gramp1Ts} = \frac{(I_{L1} - I_{L4}) \cdot \Delta t_{GrampVab} \cdot f_s}{2} \quad (4.24)$$

Substituindo, portanto, (4.24) em (4.23), e considerando (4.22), encontra-se (4.25).

$$P_{Gramp1Ts} = \frac{L_{da} \cdot V_{gramp1} \cdot f_s \cdot (I_{L1} - I_{L4})^2}{V_{gramp1} - \sqrt{3} \cdot V_{pk} - V'_O} \quad (4.25)$$

Considera-se que as correntes, tanto as de entrada quanto as das indutâncias magnetizantes, estão em fase com suas respectivas tensões de ramo.

Logo, para o instante de pico de  $V_{ab}$ , as correntes  $I_{L1}$  e  $I_{L4}$  são dadas por (4.26) e (4.27), respectivamente.

$$I_{L1} = I_{L1maxfr} \cdot \cos(30^\circ) \quad (4.26)$$

$$I_{L4} = I_{L4minfr} \cdot \cos(30^\circ) \quad (4.27)$$

Sabendo que  $I_{L1maxfr}$  é dado por (3.67) e que  $I_{L4minfr}$  por (4.28), de acordo com (3.35), a variação da corrente pode ser equacionada por (4.29). Levando isso em consideração, a potência média dissipada pelo grameador 1 durante o período de comutação, no instante de pico de  $V_{ab}$ , é apresentada em (4.30).

$$I_{L4minfr} = I_{L1maxfr} - \frac{V_{pk} \cdot D}{L_{eq} \cdot f_s} \quad (4.28)$$

$$I_{L1} - I_{L4} = \frac{V_{pk} \cdot D}{L_{eq} \cdot f_s} \cdot \cos(30^\circ) \quad (4.29)$$

$$P_{Gramp1TsVab} = \frac{L_{da} \cdot V_{gramp1} \cdot V_{pk}^2 \cdot D^2 \cdot \cos^2(30^\circ)}{L_{eq}^2 \cdot f_s \cdot (V_{gramp1} - \sqrt{3} \cdot V_{pk} - V'_O)} \quad (4.30)$$

Durante o pico de  $V_{bc}$ , o equacionamento levará aos mesmos resultados, uma vez que os componentes envolvidos na malha possuem o mesmo valor que os componentes envolvidos na malha realizada anteriormente. Ressalta-se apenas que o ramo com corrente nula, nesse caso, é o ramo “a” e que o grameador que atuará será o grameador 2.

Já para o valor de pico de  $V_{ca}$ , verifica-se que, por não existir um circuito grameador direto entre esses dois ramos, a corrente passa pelos dois grameadores. Isso pode ser visualizado na Figura 37, que apresenta o circuito equivalente nessas condições.

Para esse momento de pico de  $V_{ca}$ , verificam-se as expressões (4.31), (4.32), (4.33), (4.34), (4.35) e (4.36). E, a partir da análise da malha apresentada na Figura 37, a expressão (4.37).

$$V_{C3} - V_{C1} = \sqrt{3} \cdot V_{pk} \quad (4.31)$$

$$I_{L2} = I_{L5} = 0 \text{ A} \quad (4.32)$$

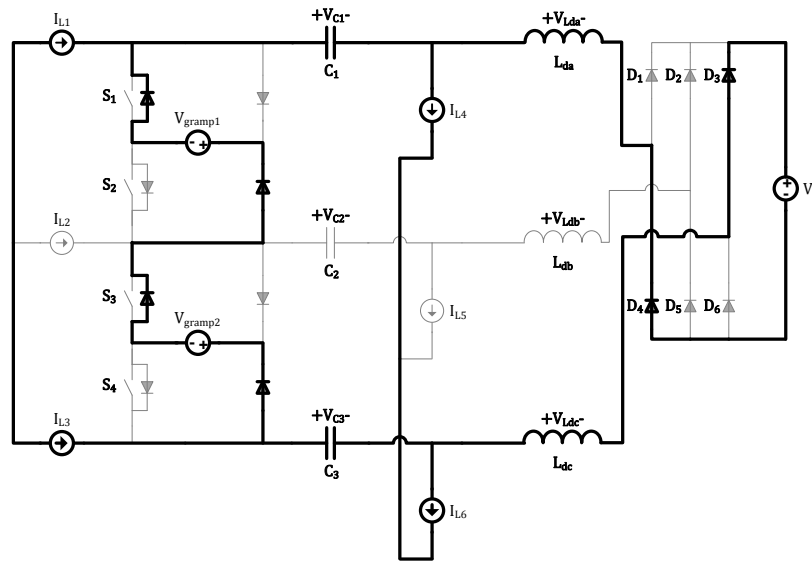
$$I_{L1} = -I_{L3} \quad (4.33)$$

$$I_{L4} = -I_{L6} \quad (4.34)$$

$$I_{Lda} = -I_{Ldc} \quad (4.35)$$

$$v_{Lda} = -v_{Ldc} \quad (4.36)$$

$$v_{Ldc} = (V_{C3} - V_{C1}) - V_{gramp1} - V_{gramp2} + V'_O + v_{Lda} \quad (4.37)$$



**Figura 37 - Circuito equivalente durante a atuação do grameador - Instante  $V_{ca}$  no valor de pico**  
**Fonte: Autoria própria**

Seguindo a mesma sequência já adotada anteriormente, obtém-se o tempo de atuação do grameador em . E a potência média dissipada pelo grameador 1 durante o período de comutação, no instante de pico de  $V_{ca}$ , é apresentada em (4.39).

$$\Delta t_{GrampVca} = \frac{2 \cdot L_{dc} \cdot (I_{L3} - I_{L6})}{V_{gramp1} + V_{gramp2} - \sqrt{3} \cdot V_{pk} - V'_O} \quad (4.38)$$

$$P_{Gramp1TsVca} = \frac{L_{dc} \cdot V_{gramp1} \cdot V_{pk}^2 \cdot D^2 \cdot \cos^2(30^\circ)}{L_{eq}^2 \cdot f_s \cdot (V_{gramp1} + V_{gramp2} - \sqrt{3} \cdot V_{pk} - V'_O)} \quad (4.39)$$

Levando em consideração que, para essas mesmas condições, a corrente que passa pelo grameador 1 passa pelo grameador 2, logo, essa expressão também corresponde à potência média do grameador 2 durante esse período de comutação.

Sendo assim, os grameadores possuem duas potências médias distintas, que dependem dos valores das tensões de entrada. Portanto, para o período da rede, verifica-se a potência média de um grameador em (4.40).

$$P_{Gramp1} = \frac{P_{Gramp1TsVab} + P_{Gramp1TsVca}}{2} \quad (4.40)$$

A partir dessas constatações verificam-se os componentes a serem empregados no circuito grameador. Esses componentes são dimensionados para um dos grameadores e replicados para o outro, pois são análogos.

Percebe-se que o tempo de carregamento desse capacitor é durante  $\Delta t_{\text{gramp}}$ , considerado um valor médio dentro do período da rede e dado por (4.41), e o tempo de descarga será o restante do período de comutação. Logo, através de (3.53) o capacitor é dimensionado como em (4.42) e resulta em (4.43).

$$\Delta t_{\text{Gramp}} = \frac{\Delta t_{\text{Gramp}Vab} + \Delta t_{\text{Gramp}Vca}}{2} \quad (4.41)$$

$$\frac{P_{\text{gramp}1}}{V_{\text{gramp}1}} = C_{\text{gramp}1} \cdot \frac{\Delta v_{\text{gramp}1}}{T_s} \quad (4.42)$$

$$C_{\text{gramp}1} = \frac{P_{\text{gramp}1}}{V_{\text{gramp}1} \cdot \Delta v_{\text{gramp}1} \cdot f_s} \quad (4.43)$$

Por fim, o resistor é dimensionado pela potência a ser dissipada e pela tensão de grameamento, conforme (4.44).

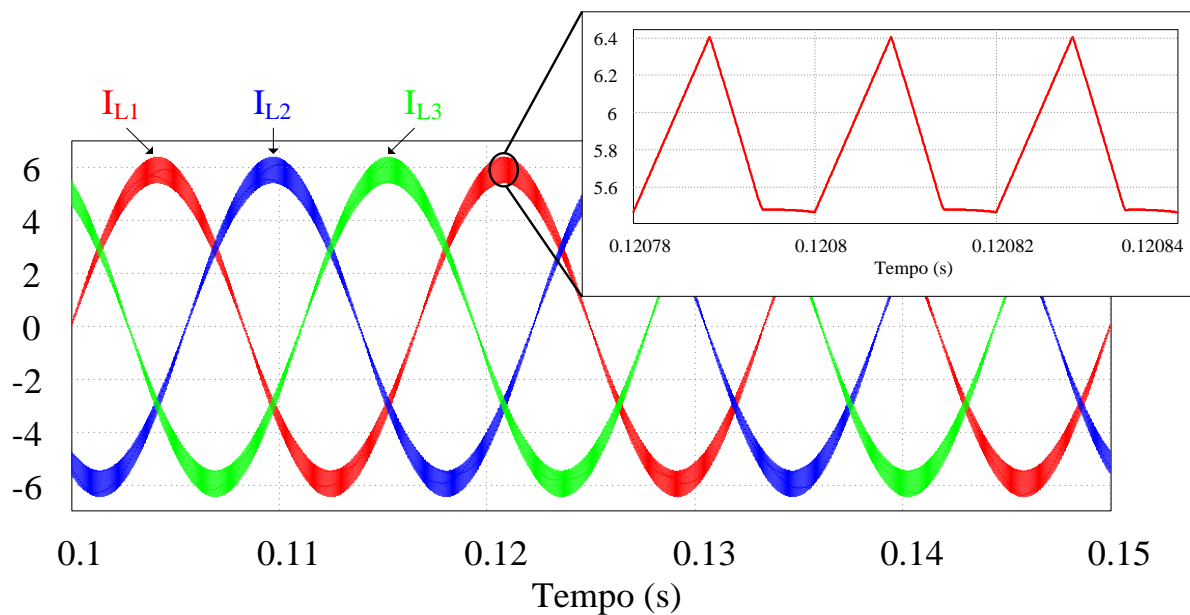
$$R_{\text{gramp}1} = \frac{V_{\text{gramp}1}^2}{P_{\text{gramp}1}} \quad (4.44)$$

#### 4.4 RESULTADOS DE SIMULAÇÃO NUMÉRICA EM MALHA ABERTA

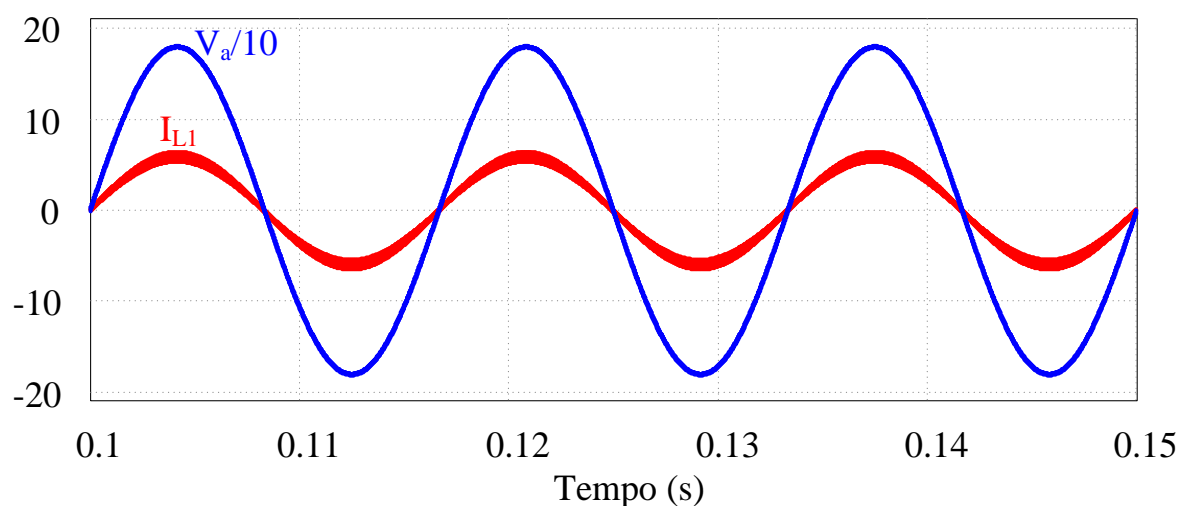
Tendo por base os valores de projeto, a fim de comprovar a veracidade das etapas de operação, formas de onda ideais e equacionamentos que regem o funcionamento do conversor, uma simulação numérica em malha aberta foi realizada no *software* de simulação PSIM.

Primeiramente verificam-se as correntes senoidais de entrada na Figura 38, com uma aproximação em detalhe, de modo que é possível verificar o MCD. Além disso, verifica-se que a ondulação no pico da corrente em  $L_1$  é de 0,94 A e que o valor de pico, sem levar em conta essa ondulação, é de aproximadamente 5,8 A. Portanto, essa ondulação é de, aproximadamente, 16,2 %.

Observa-se na Figura 39 a tensão de entrada  $V_a$  juntamente com a corrente em  $L_1$ . Para melhor visualização da relação entre tensão e corrente, utilizou-se a escala de  $V_a/10$ . Através dessa simulação constatou-se um fator de potência de 0,998.

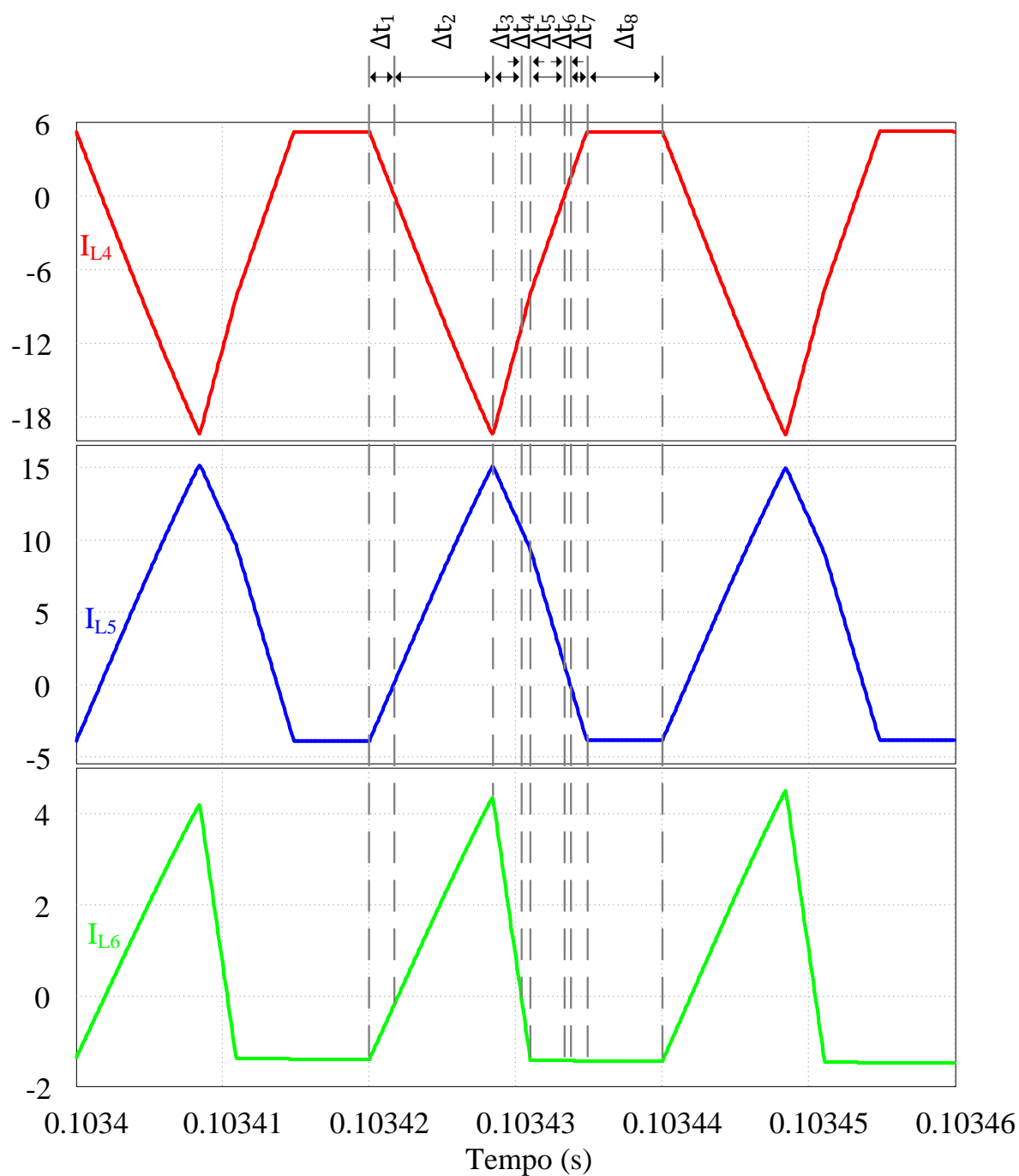


**Figura 38 - Correntes de entrada**  
**Fonte: Autoria própria**



**Figura 39 - Tensão e corrente de entrada da fase "a"**  
**Fonte: Autoria própria**

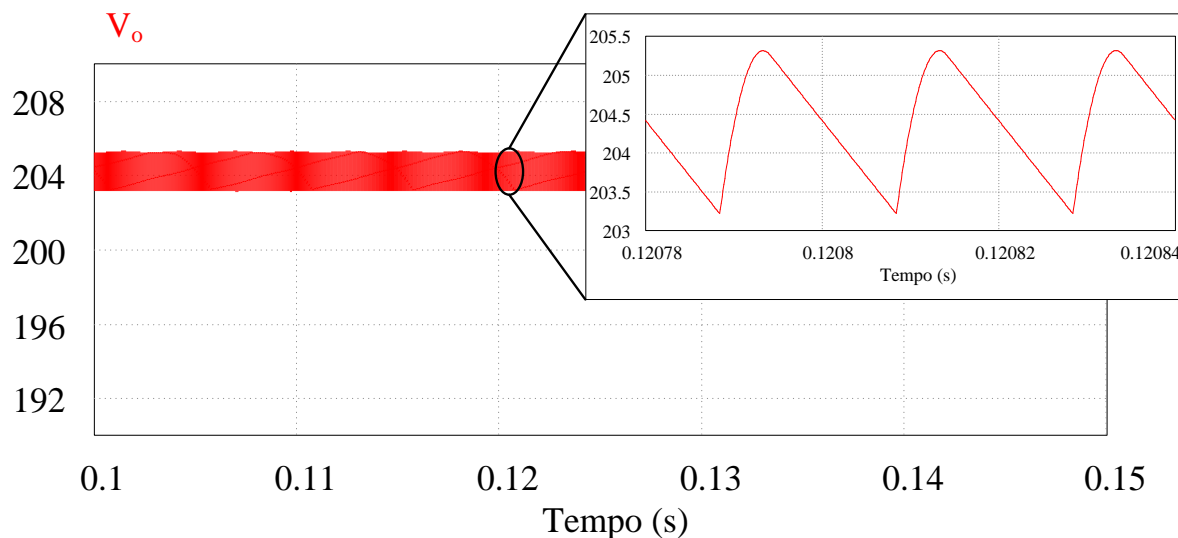
Na Figura 40 são apresentadas as correntes nos indutores  $L_4$ ,  $L_5$  e  $L_6$ . Através destas é possível verificar a existência das oito etapas que foram descritas para esse conversor.



**Figura 40 - Correntes nos indutores  $L_4$ ,  $L_5$  e  $L_6$**   
**Fonte: Autoria própria**

A tensão de saída é apresentada na Figura 41. Nota-se que seu valor médio não está exatamente em 200 V, como especificado, porém, em 204 V, aproximadamente. Isso se deve ao fato de não ter sido levado em conta a ondulação dos capacitores de entrada no equacionamento.

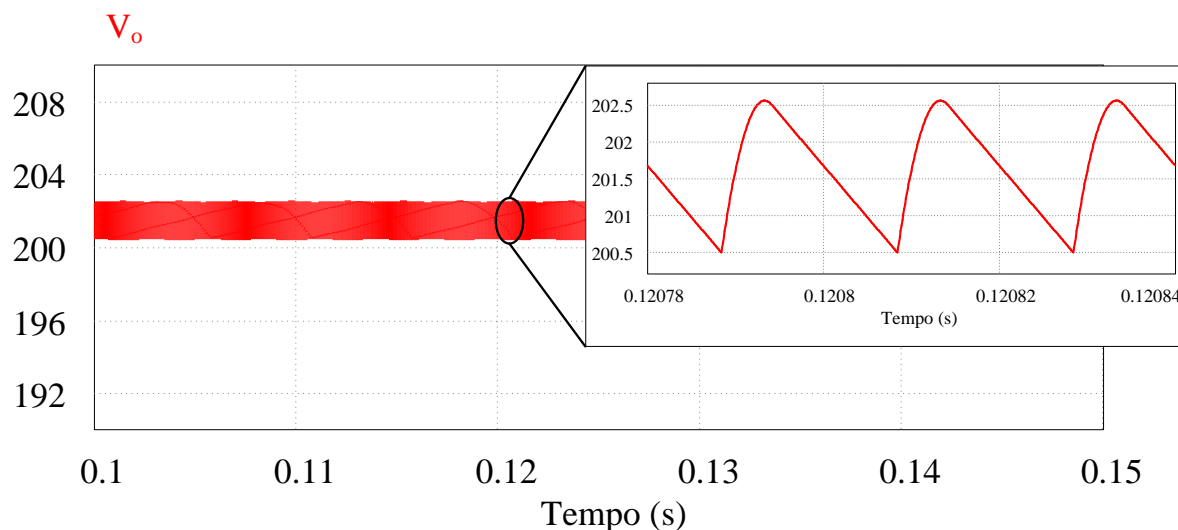




**Figura 41 - Tensão de saída**  
**Fonte: Autoria própria**

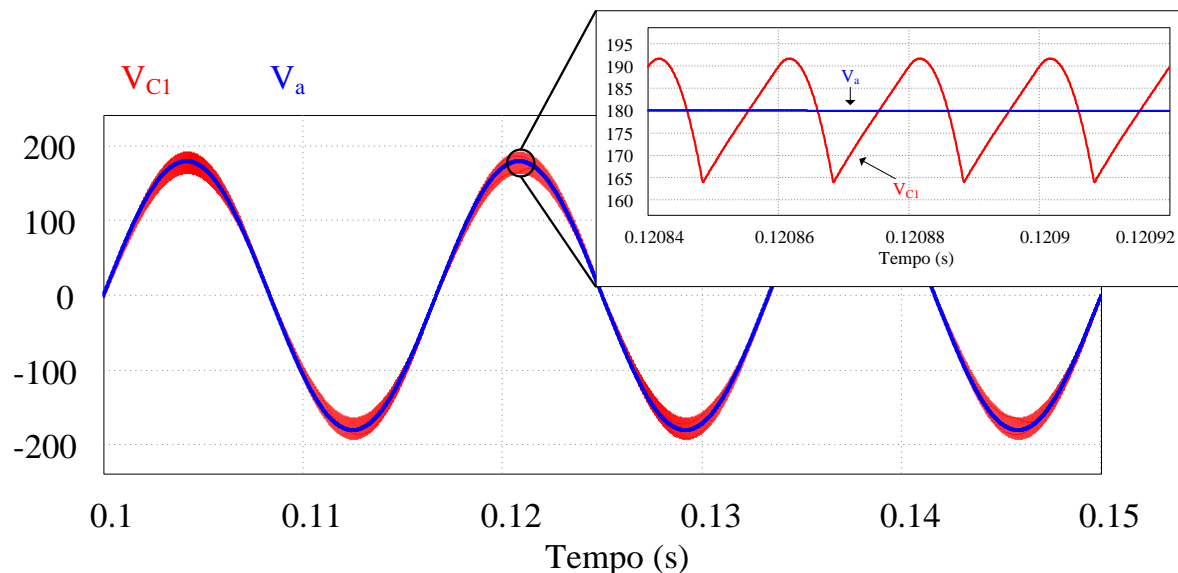
Um teste rápido comprova que ao se aumentar o valor dos capacitores de entrada reduz-se o valor médio, verifica-se dessa maneira, na Figura 42, que a tensão de saída fica mais próxima do valor desejado, ou seja, aproximadamente 202V.

Comprova-se, portanto, que, devido à ondulação nos capacitores de entrada, existe um acréscimo da potência de saída. Esta constatação da influência da ondulação dos capacitores de entrada sobre a tensão saída também pode ser visualizada no trabalho de Hirth (2015).



**Figura 42 - Verificação da tensão de saída para capacitores de entrada, aproximadamente, três vezes maiores**  
**Fonte: Autoria própria**

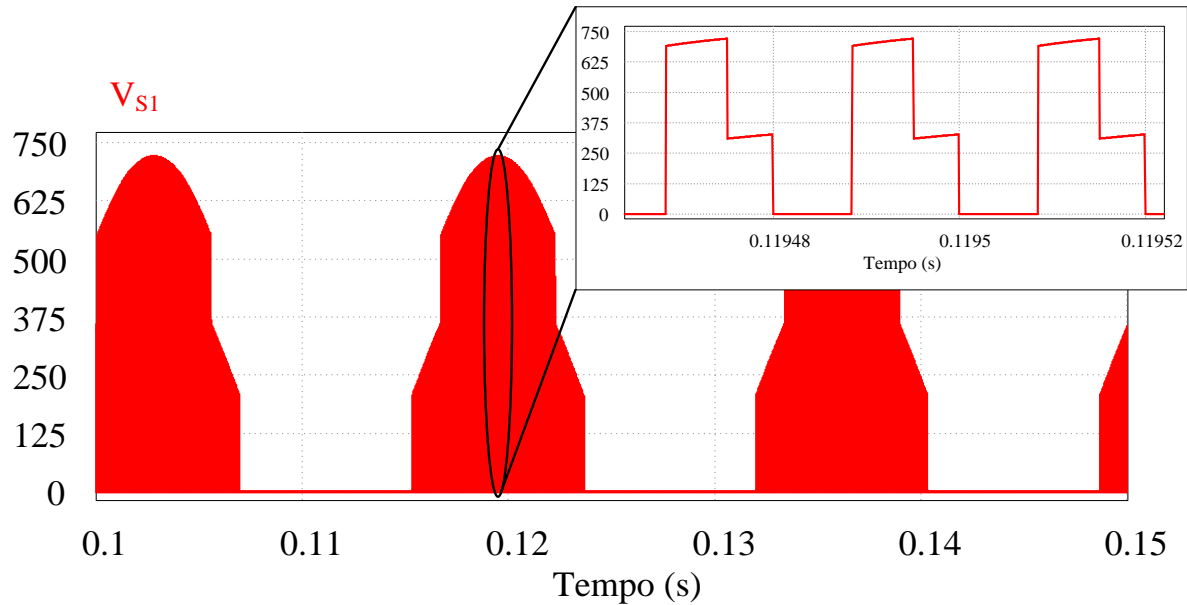
A tensão no capacitor  $C_1$  juntamente com sua respectiva fonte de alimentação,  $V_a$ , são representadas na Figura 43. No detalhe da figura verifica-se a ondulação em alta frequência de 27,64 V.



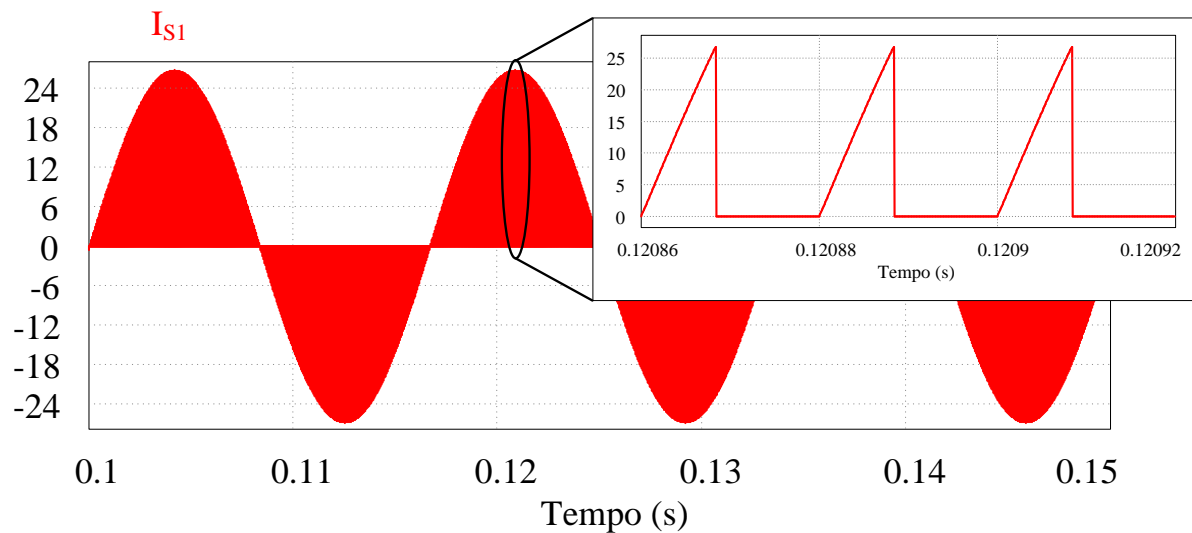
**Figura 43 - Tensão no capacitor  $C_1$  e tensão de entrada  $V_a$**   
**Fonte: Autoria própria**

Com relação aos semicondutores, na Figura 44 é apresentada a tensão no transistor  $S_1$ . Cabe salientar que, por se tratar de componentes ideais, neste momento não há a necessidade de um circuito grampeador, uma vez que não foi inserida a indutância de dispersão nos transformadores. Assim, visualiza-se que a maior tensão nos transistores é de 720 V, para esse caso. A corrente nesse transistor, por sua vez, é apresentada na Figura 45.

Percebe-se que esta corrente possui um envoltório senoidal em baixa frequência. Se forem utilizados transistores IGBT se torna necessário a inserção de diodo em antiparalelo, devido o semiciclo negativo. Já com a utilização transistores MOSFETs, além de seu diodo intrínseco, este também é capaz de conduzir corrente no sentido reverso através de seu canal, quando acionado o gatilho do mesmo. Considera-se ainda que as características do canal do MOSFET são melhores do que as do diodo intrínseco. O valor de pico apresentado é de 26,77 A.



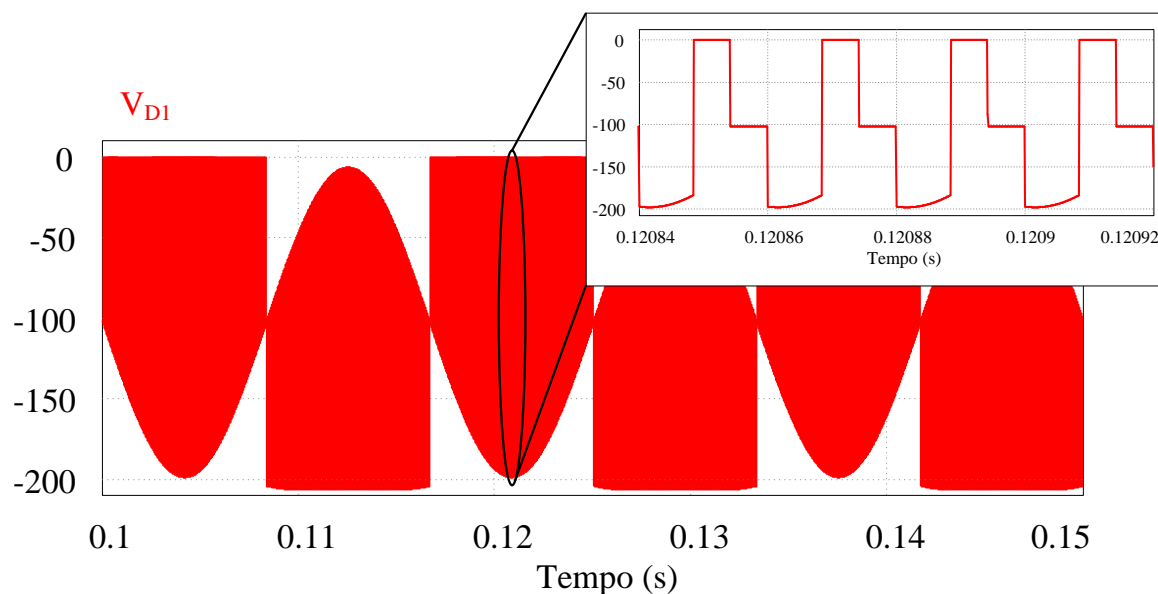
**Figura 44 - Tensão no transistor  $S_1$**   
**Fonte: Autoria própria**



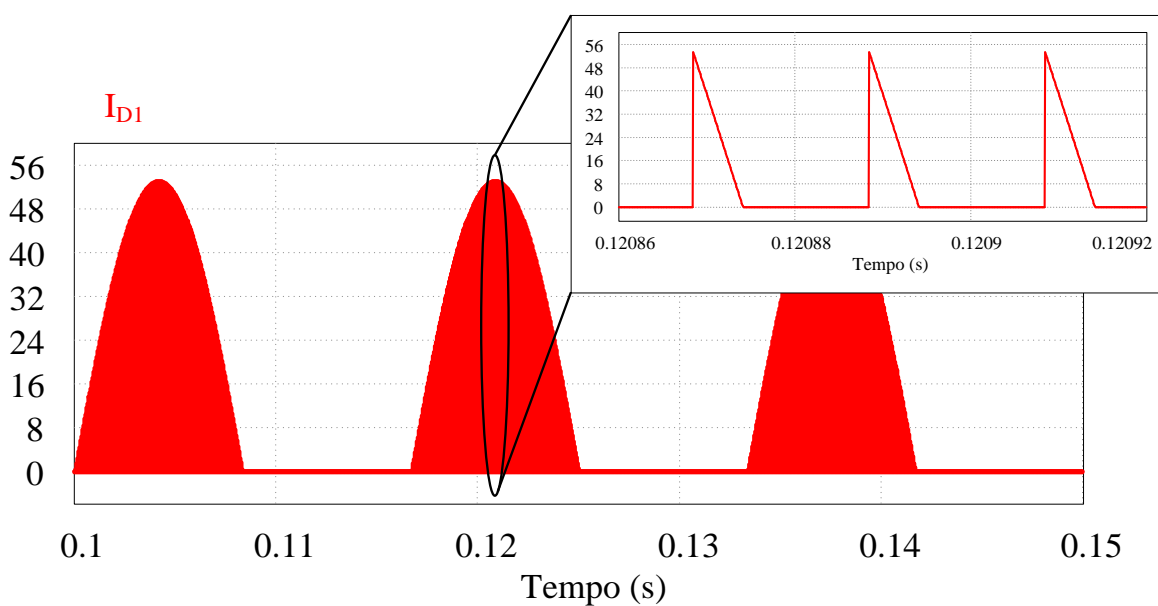
**Figura 45 - Corrente no transistor  $S_1$**   
**Fonte: Autoria própria**

Para os diodos de saída, apresenta-se, na Figura 46, a tensão no diodo  $D_1$ . Verifica-se no detalhe o valor mínimo atingido para um intervalo da rede elétrica em que este seja acionado em algum momento dentro do período de comutação, sendo este valor de -197,91 V. Contudo, observa-se que, para o intervalo da rede elétrica em que este diodo não é acionado dentro dos períodos de comutação, a mínima tensão em  $D_1$  é dada por  $-V_o$ , ou seja -205,32 V (considerando a ondulação).

Como esperado, a corrente em  $D_1$  possui um envoltório senoidal em baixa frequência, vide Figura 47.



**Figura 46 - Tensão no diodo  $D_1$**   
 Fonte: Autoria própria

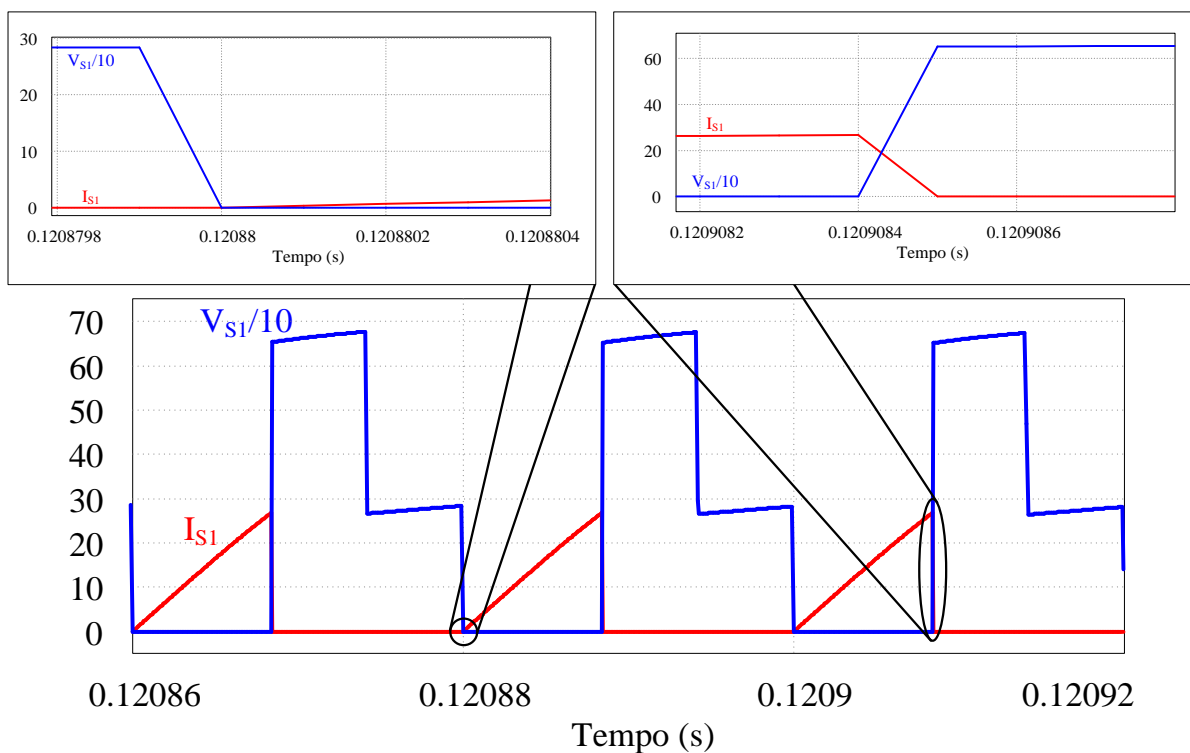


**Figura 47 - Corrente no diodo  $D_1$**   
 Fonte: Autoria própria

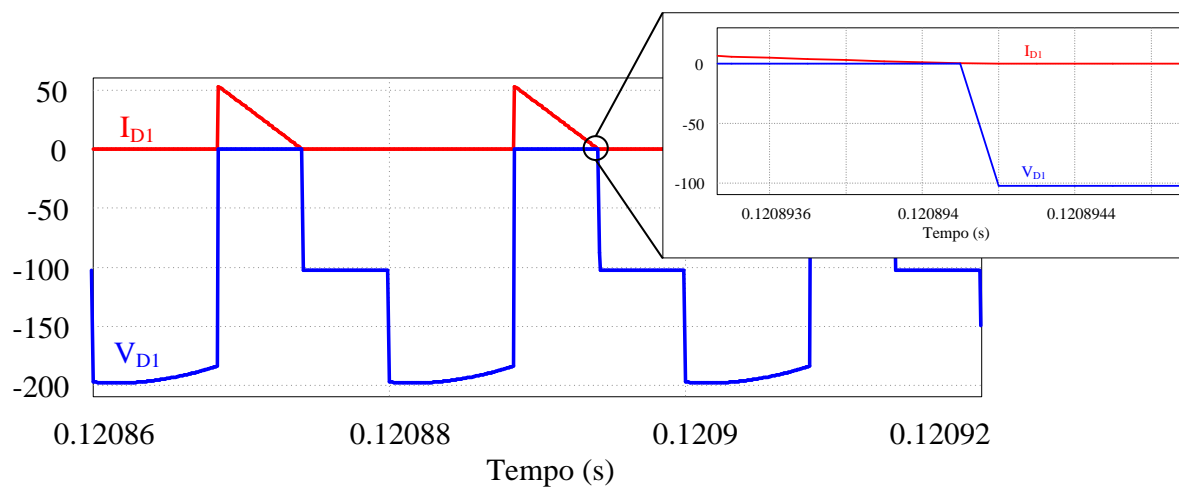
Como descrito no equacionamento do conversor, essa corrente possui a amplitude refletida da corrente no transistor. Essa declaração é confirmada, uma vez que o valor de pico dessa corrente é de 53,2 A e a relação de espiras é de 0,5, como já mencionado.

Com relação à dissipação de energia nos semicondutores, verifica-se através da Figura 48 que o conversor apresenta naturalmente a entrada em condução dos transistores sem perdas por comutação. Embora, levando em consideração os componentes reais, a energia armazenada no capacitor parasita do

MOSFET será descarregada em seu canal. Observa-se também o bloqueio suave do diodo na Figura 49. Isso ocorre devido ao conversor estar operando no MCD.



**Figura 48 - Tensão e corrente nos transistores - Perdas por comutação**  
**Fonte: Autoria própria**



**Figura 49 - Tensão e corrente nos diodos - Perdas por comutação**  
**Fonte: Autoria própria**

#### 4.5 COMPARAÇÃO ENTRE RESULTADOS TEÓRICOS E DE SIMULAÇÃO

Para visualizar de modo prático os resultados de simulação em contraste com os resultados teóricos, elaborou-se a Tabela 5. Esta apresenta os principais valores calculados e simulados, bem como o erro percentual que existe entre esses respectivos valores.

Considera-se que a maioria dos erros seria reduzida em proporção à eliminação da ondulação de tensão nos capacitores de entrada. Contudo, se a ondulação for reduzida drasticamente o conversor não operará corretamente.

**Tabela 5 - Comparação entre resultados teóricos e de simulação**

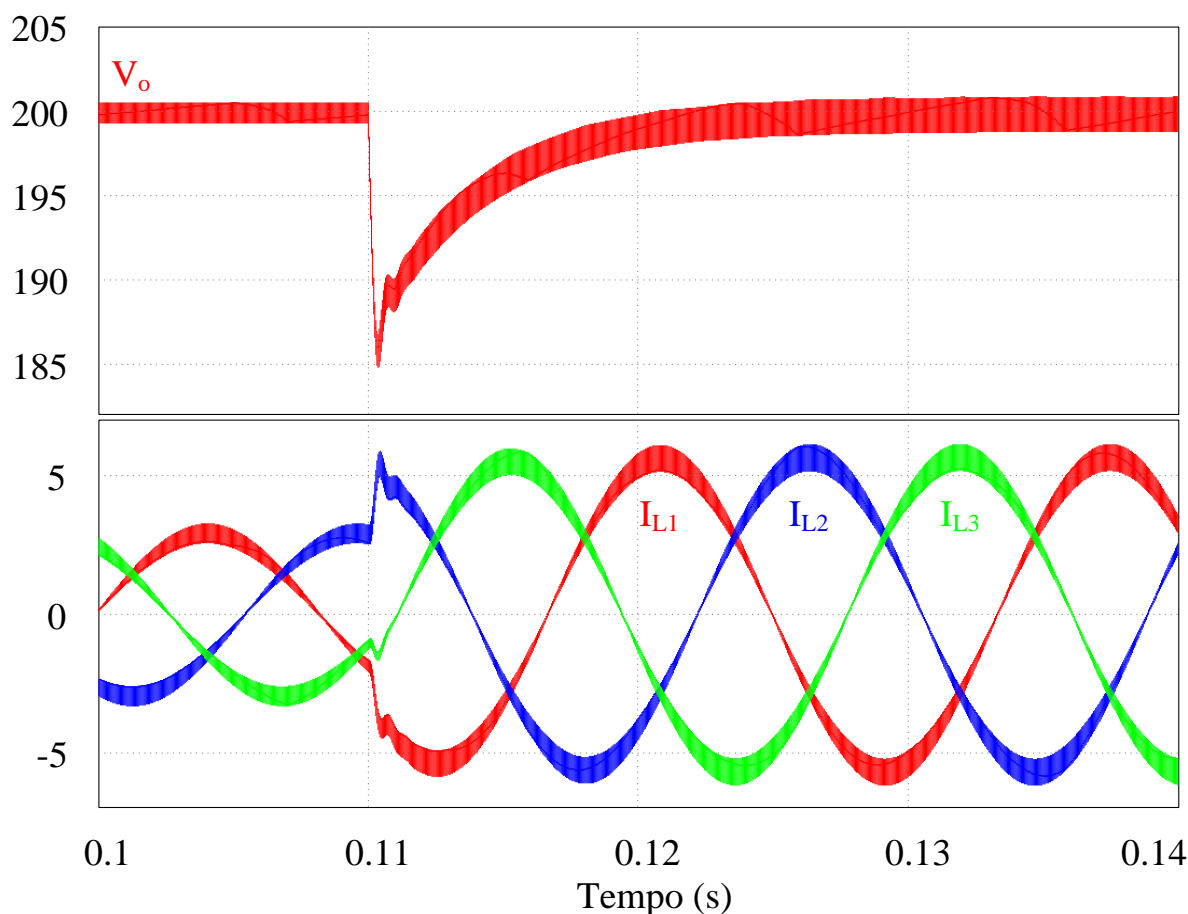
<b>Especificações</b>	<b>Valor teórico</b>	<b>Simulação</b>	<b>Erro</b>
Tensão de saída ( $V_o$ )	200 V	204,38 V	2,19%
Ondulação da corrente no indutor $L_1$ ( $\Delta i_{in}$ )	0,944 A	0,94 A	0,42%
Ondulação da tensão no capacitor $C_1$ ( $\Delta V_{Cin}$ )	27 V	27,64 V	2,37%
Ondulação da tensão de saída ( $\Delta V_{out}$ )	2 V	2,09 V	4,50%
Corrente máxima no indutor $L_1$ ( $I_{L1max}$ )	6,03 A	6,4 A	6,14%
Corrente eficaz no indutor $L_1$ ( $I_{L1ef}$ )	3,93 A	4,11 A	4,58%
Corrente mínima no indutor $L_4$ ( $I_{L4min}$ )	-20,29 A	-20,37 A	0,39%
Tensão máxima nos transistores ( $V_{S1max}$ )	711,77 V	720 V	1,16%
Corrente máxima nos transistores ( $I_{S1max}$ )	26,32 A	26,77 A	1,71%
Corrente eficaz nos transistores ( $I_{S1ef}$ )	6,98 A	7,28 A	4,30%
Tensão máxima nos diodos ativos ( $V_{D1max}$ )	-190 V	-197,91 V	4,16%
Tensão máxima nos diodos inativos ( $V_{D1max}$ )	-200 V	-205,32 V	2,66%
Corrente máxima nos diodos ( $I_{D1max}$ )	52,64 A	53,2 A	1,06%
Corrente média nos diodos ( $I_{D1med}$ )	2,39 A	2,55 A	6,69%
Corrente eficaz nos diodos ( $I_{D1ef}$ )	8,11 A	8,58 A	5,80%

**Fonte: Autoria própria**

#### 4.6 SIMULAÇÃO NUMÉRICA EM MALHA FECHADA

O correto projeto de um controlador é importante para que este mantenha o sistema estável e elimine possíveis perturbações. Portanto, para validar o projeto do controlador uma nova simulação é realizada. Como o funcionamento do conversor permanece inalterado, verifica-se apenas a resposta a perturbação de carga.

Na Figura 50 experimenta-se o controle aplicando um degrau de carga. Este consiste em um degrau de 50% da carga nominal para 100% desta. Nota-se que ocorre o controle da tensão de saída como esperado e que, mesmo antes de ser aplicado o degrau, o controle já estava atuando, eliminando o acréscimo de tensão devido à ondulação dos capacitores de entrada.



**Figura 50 - Tensão de saída e correntes de entrada para degrau de 50% para 100% da carga nominal**

**Fonte: Autoria própria**

Na mesma figura as correntes de entrada são mostradas com a finalidade de constatar que, mesmo com alteração de carga, as correntes de entrada continuam senoidais, com alto FP e sem a necessidade de uma malha de controle dessa corrente.

Também se aplica o degrau de carga nominal para 50% desta, que pode ser visualizada na Figura 51.

Para ambos os casos verifica-se uma ação de controle com tempo de acomodação concebido entre 10 e 20 ms. Para o segundo caso, nota-se um

sobressinal na tensão de saída de amplitude pouco menor de 215 volts. Ou seja, uma variação de 15 V, o que representa um sobressinal de 7,5%.

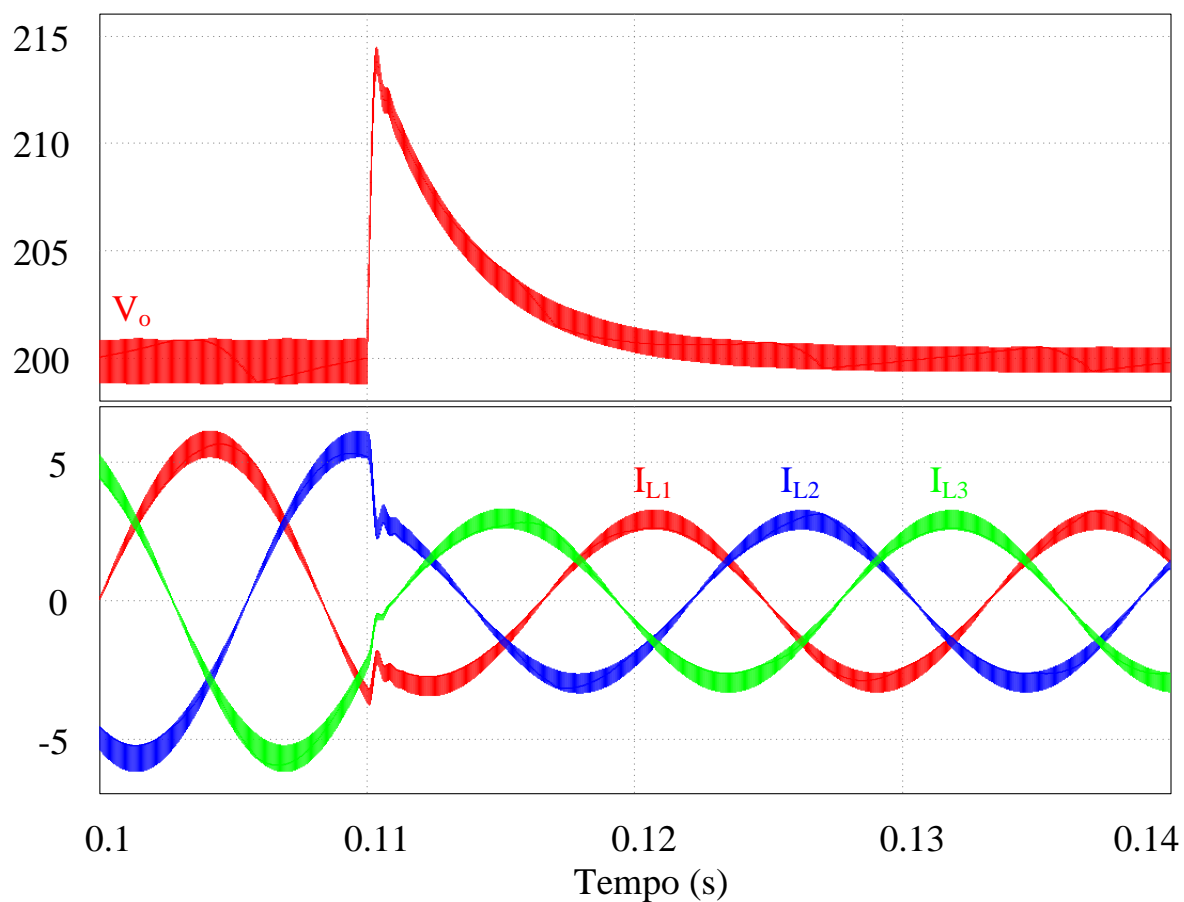


Figura 51 - Tensão de saída e correntes de entrada para degrau de 100% para 50% da carga nominal

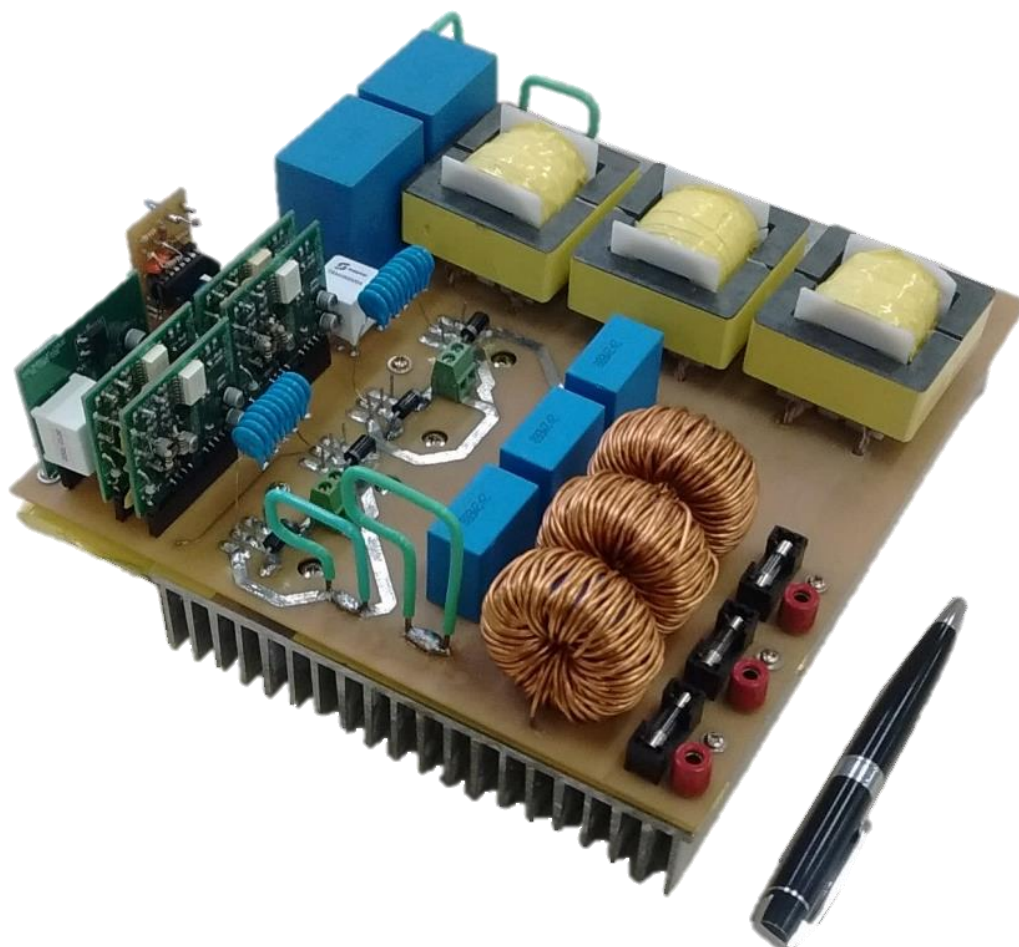
Fonte: Autoria própria



## 5 RESULTADOS EXPERIMENTAIS

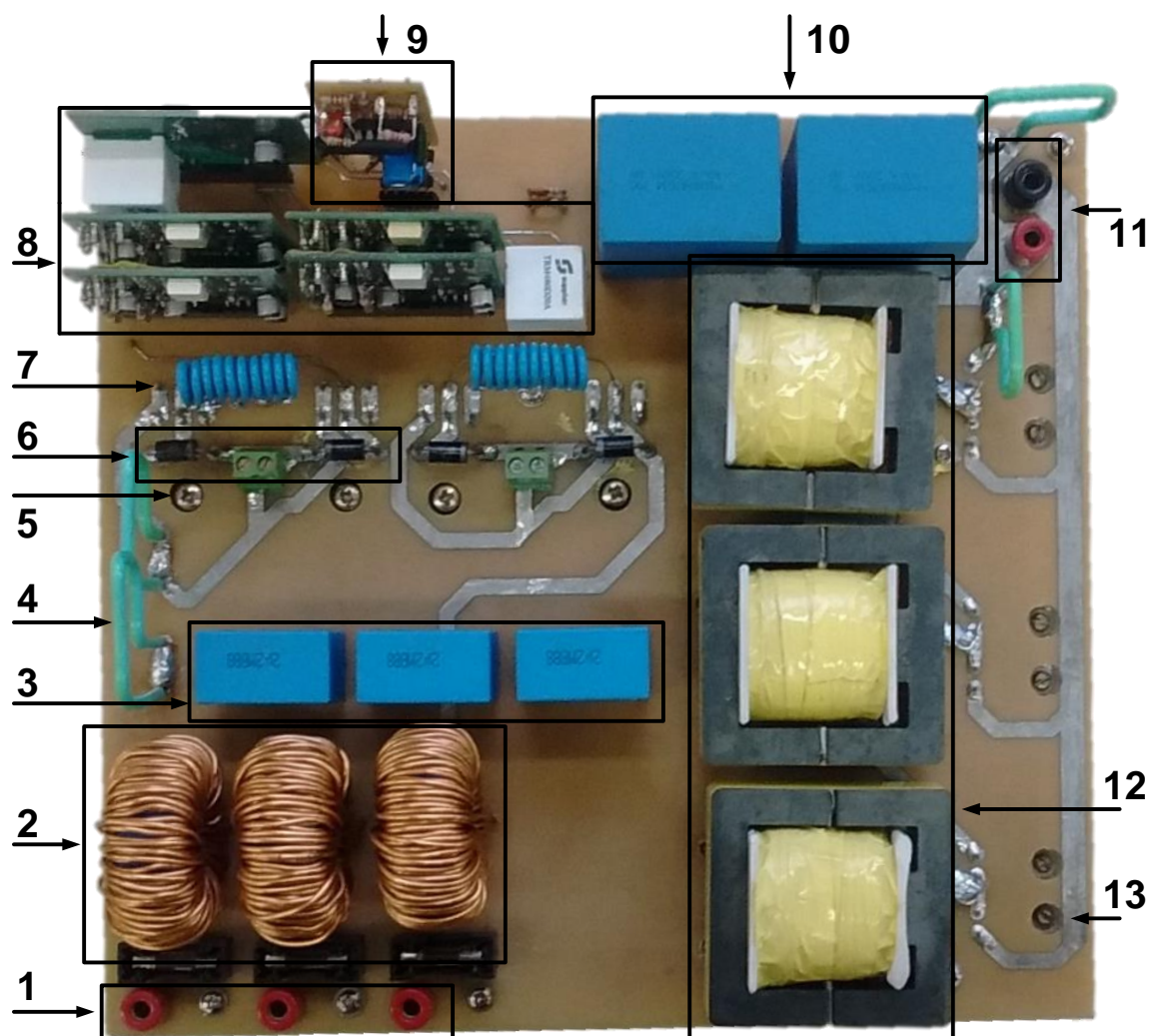
Baseado no levantamento e equacionamento teórico do conversor foram realizados protótipos, sendo o primeiro apresentado na 13ª Conferência Brasileira de Eletrônica de Potência/*1st Southern Power Electronics Conference (COBEP/SPEC)* em 2015, como pode ser consultado no Apêndice A. Este foi projetado para suprir uma carga de 3 kW, contudo, por limitações técnicas não foi possível concluir os testes.

O protótipo apresentado neste trabalho pode ser contemplado na Figura 52 e segue as especificações de projeto já verificadas. Logo, seguindo as especificações, este foi projetado para fornecer energia a uma carga de 1,5 kW. Contudo, cabe salientar que ambos os protótipos possuíam, basicamente, a mesma dimensão mecânica, informação esta que pode ser verificada no Apêndice B.



**Figura 52 - Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais**  
Fonte: Autoria própria

A vista superior do conversor, apresentada na Figura 53, demonstra em detalhes a localização de cada elemento.



**Figura 53 - Conversor CA-CC trifásico de estágio único com elevado fator de potência baseado no conversor SEPIC MCD com interruptores bidirecionais - Vista superior**  
**Fonte: Autoria própria**

De acordo com a numeração, são dados os elementos:

- 1- Entrada trifásica;
- 2- Indutores de entrada;
- 3- Capacitores de entrada;
- 4- Pontos de medição de corrente;
- 5- Transistores;
- 6- Circuito de grampeamento;
- 7- Capacitores de desacoplamento;
- 8- Fonte e drivers de acionamento de transistores;

- 9- Placa de controle;
- 10- Capacitores de saída;
- 11- Saída CC;
- 12- Transformadores da saída;
- 13- Diodos.

Considera-se que os transistores e os diodos da topologia estão fixados no dissipador abaixo da placa.

Os valores do projeto levaram a escolha dos componentes utilizados no protótipo, demonstrados na Tabela 6.

**Tabela 6 - Componentes do protótipo**

<b>Componentes</b>	<b>Especificação</b>
Indutores de entrada (L <sub>1</sub> , L <sub>2</sub> e L <sub>3</sub> )	Indutância: 1,61 mH Número de espiras: 140 Fio: 1 x 16 AWG Núcleo: 0088083A7 (AmoFlux Toroid)
Indutores de saída (L <sub>4</sub> , L <sub>5</sub> e L <sub>6</sub> )	Indutância: 59,89 µH Número de espiras do primário: 14 Número de espiras do secundário: 7 Fio utilizado no primário: 2 x Litz (32x32 AWG) Fio utilizado no secundário: 3 x Litz (32x32 AWG) Núcleo: 55/28/21 (3C90)
Capacitores de entrada (C <sub>1</sub> , C <sub>2</sub> e C <sub>3</sub> )	2.2 µF/275 V
Capacitor de saída (C <sub>o</sub> )	80 µF (2 x 40 µF/250 V)
Transistor (S <sub>1</sub> , S <sub>2</sub> , S <sub>3</sub> e S <sub>4</sub> )	C2M0040120D (1200 V/60 A/40 mΩ)
Diodo (D <sub>1</sub> , D <sub>2</sub> , D <sub>3</sub> , D <sub>4</sub> , D <sub>5</sub> e D <sub>6</sub> )	MUR860 (600V/8A)
Resistor de grampeamento (R <sub>gramp</sub> )	15 kΩ/50 W
Capacitor de grampeamento (C <sub>gramp</sub> )	1 µF/630 V
Diodo de grampeamento (D <sub>gramp</sub> )	MUR4100 (1 kV/4 A)
Driver de acionamento de transistores	4 x DRO100S25A (Supplier)
Fonte de alimentação de drivers e transformador de pulso	DS320-08A e TRM480D20A (Supplier)
Circuito de comando	UC3525

**Fonte: Autoria própria**

A planilha de cálculo do projeto consta na íntegra no Apêndice C.

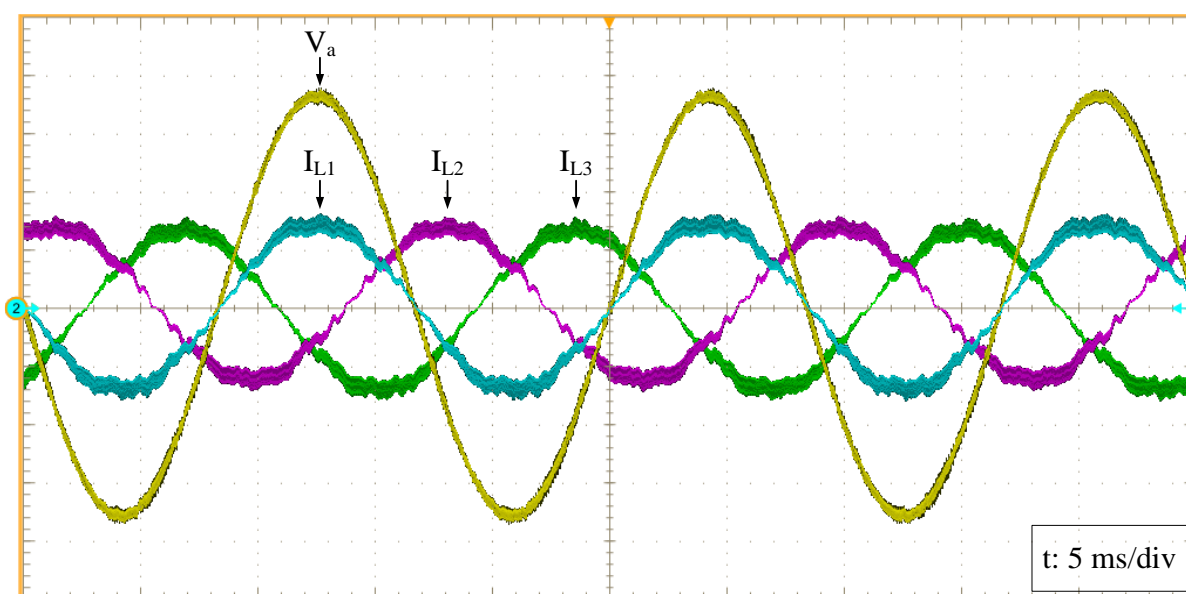
Os resultados experimentais foram obtidos através do osciloscópio Tektronix DPO 7254C e a análise de potência pelo Yokogawa WT3000.

Semelhantemente a sequência adotada no trabalho, os resultados a seguir demonstram o conversor operando em malha aberta, acionado por um gerador de

função e para carga nominal. Posteriormente a essas análises verifica-se a resposta ao degrau de carga com o conversor operando em malha fechada.

Na Figura 54 apresentam-se as correntes de entrada e uma tensão de entrada. Comprova-se através desta que as correntes estão em fase com suas respectivas tensões de alimentação, defasadas em  $120^\circ$  entre si e possuem um formato senoidal.

Os valores eficazes da tensão aplicada e da corrente drenada são, respectivamente, 127,2 V e 5 A.



**Figura 54 - Correntes de entrada  $I_{L1}$ ,  $I_{L2}$  e  $I_{L3}$  (5 A/div) e tensão de entrada  $V_a$  (50 V/div)**  
Fonte: Autoria própria

Através das Figura 55, Figura 56 e Figura 57, onde se apresentam em detalhes cada corrente no momento de pico, verificam-se os momentos de armazenagem de energia ( $t_{on}$ ), transferência ( $t_o$ ) e estágio descontinuo ( $\Delta t_s$ ). Ainda nota-se um pequeno ruído advindo do Bloqueio (B) e da Entrada em Condução (EC) do transistor, como também mencionado por Costa (2015). Essa pequena perturbação é esperada, uma vez que é natural a conversores chaveados. Contudo, fica visível o incremento desse ruído em (B), onde a comutação é dissipativa, e a atenuação desse ruído na (EC) pelo fato de ser uma comutação suave, ou seja, pelo fato de quando a corrente sair de zero a tensão sobre a chave já chegou a zero.

Uma análise de qualidade da energia foi realizada e mostrada na Figura 58. Cabe ressaltar os resultados da baixa THD (*Total Harmonic Distortion* - Taxa de Distorção Harmônica) da corrente, 4,234% e o elevado fator de potência de 0,998, ainda mais por não haver controle da corrente.

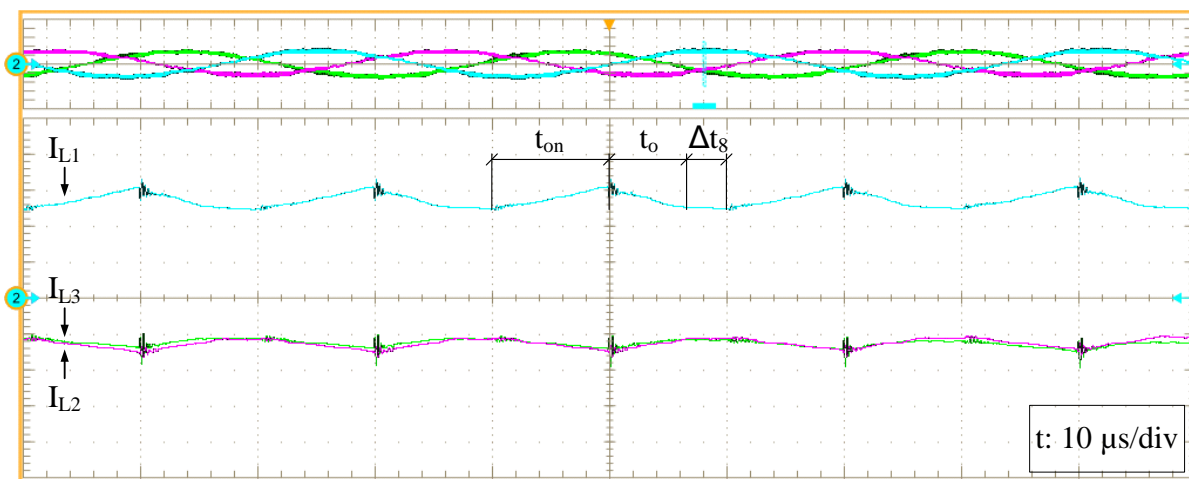


Figura 55 - Correntes de entrada  $I_{L1}$ ,  $I_{L2}$  e  $I_{L3}$  ( $2,5 \text{ A/div}$ ) - Detalhe em  $I_{L1pk}$   
 Fonte: Autoria própria

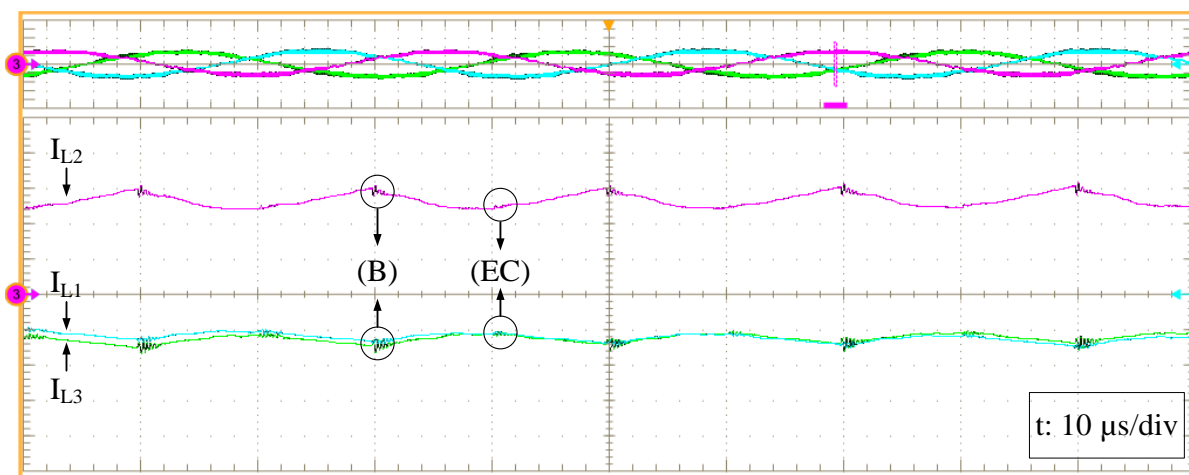


Figura 56 - Correntes de entrada  $I_{L1}$ ,  $I_{L2}$  e  $I_{L3}$  ( $2,5 \text{ A/div}$ ) - Detalhe em  $I_{L2pk}$   
 Fonte: Autoria própria

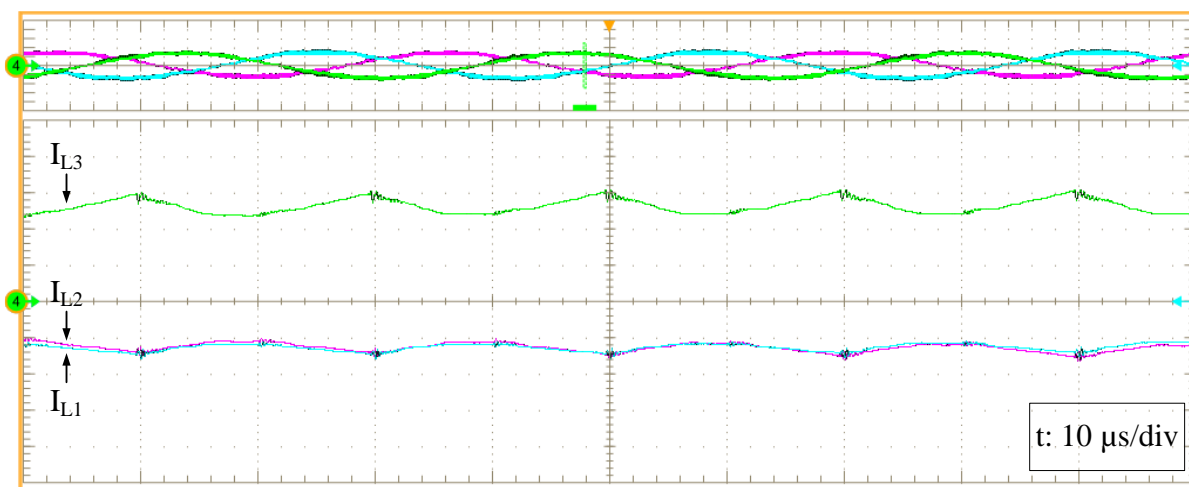
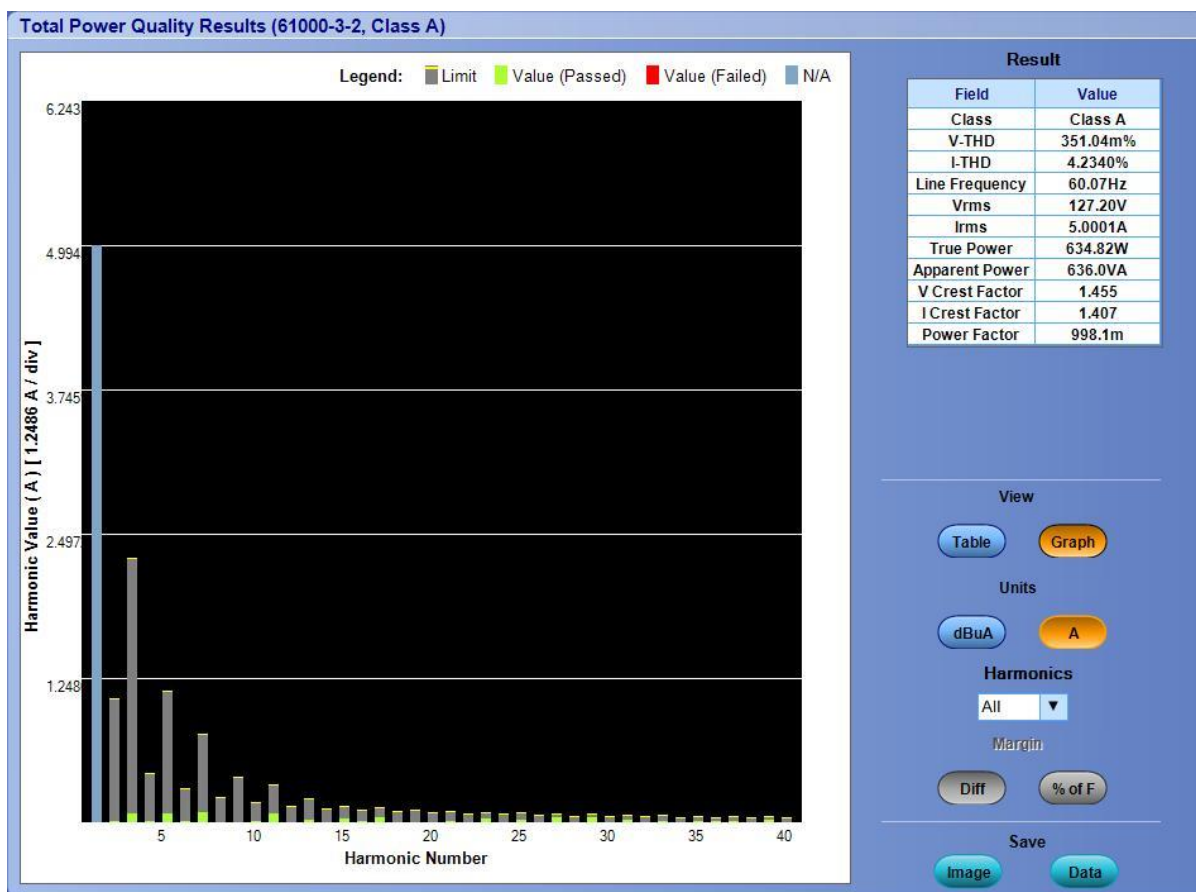


Figura 57 - Correntes de entrada  $I_{L1}$ ,  $I_{L2}$  e  $I_{L3}$  ( $2,5 \text{ A/div}$ ) - Detalhe em  $I_{L3pk}$   
 Fonte: Autoria própria





**Figura 58 - Análise de qualidade de energia**  
**Fonte: Autoria própria**

Na Figura 59 visualiza-se a tensão de entrada  $V_a$  sobreposta a  $V_{C1}$ , demonstrando assim ser reflexo de sua respectiva fonte de alimentação, porém com uma variação em alta frequência. Já na Figura 60 as tensões dos três capacitores de entrada são expostas, evidenciando ser um sistema equilibrado.

Levando em consideração que o transformador de saída foi modelado como sendo uma indutância (magnetizante) em paralelo com o primário de um transformador ideal e sendo que existe interação entre eles, percebe-se que não é possível medir esse formato de onda da magnetizante. Contudo, o capacitor de entrada está em série com o transformador como um todo, logo, para a etapa de armazenamento de energia a corrente do capacitor de entrada é a mesma que a corrente da magnetizante. Em vista disso, a corrente do capacitor  $C_1$  é exposta na Figura 61.

Esta corrente ainda por ser evidenciada no detalhe da Figura 62, onde pode-se dizer que a rampa de subida ocorre na etapa de armazenamento e não há transferência através do transformador, logo é a rampa da magnetizante. Constatou-se o valor de pico dessa corrente de 18,08 A.

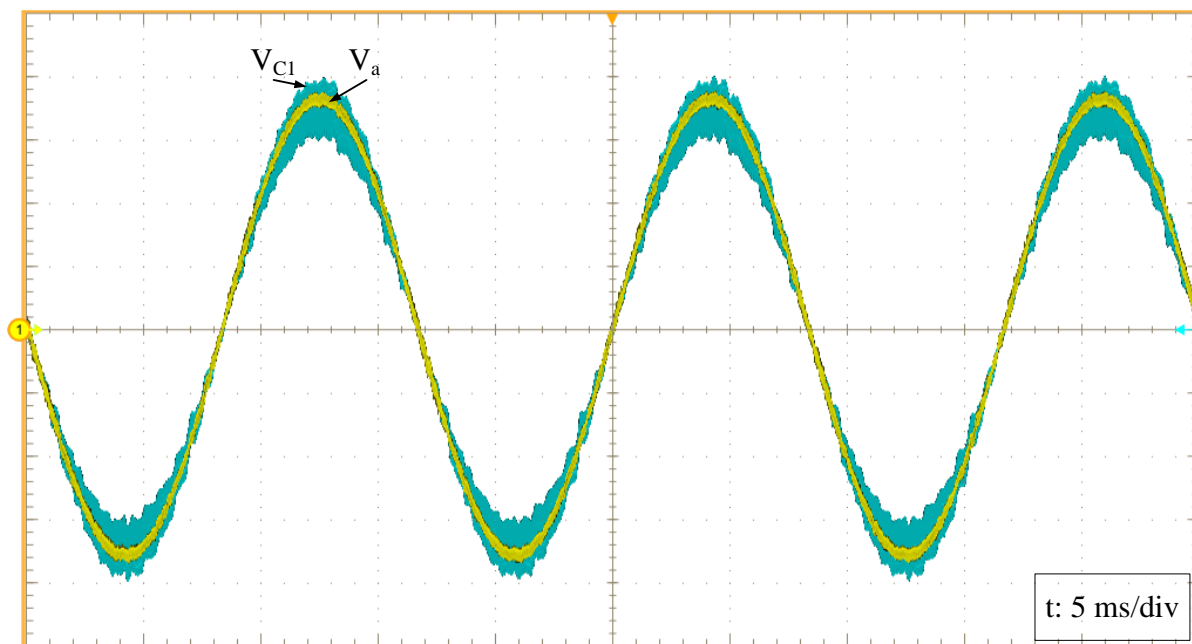


Figura 59 - Tensão de entrada  $V_a$  sobreposta a  $V_{C1}$  (50 V/div)  
Fonte: Autoria própria

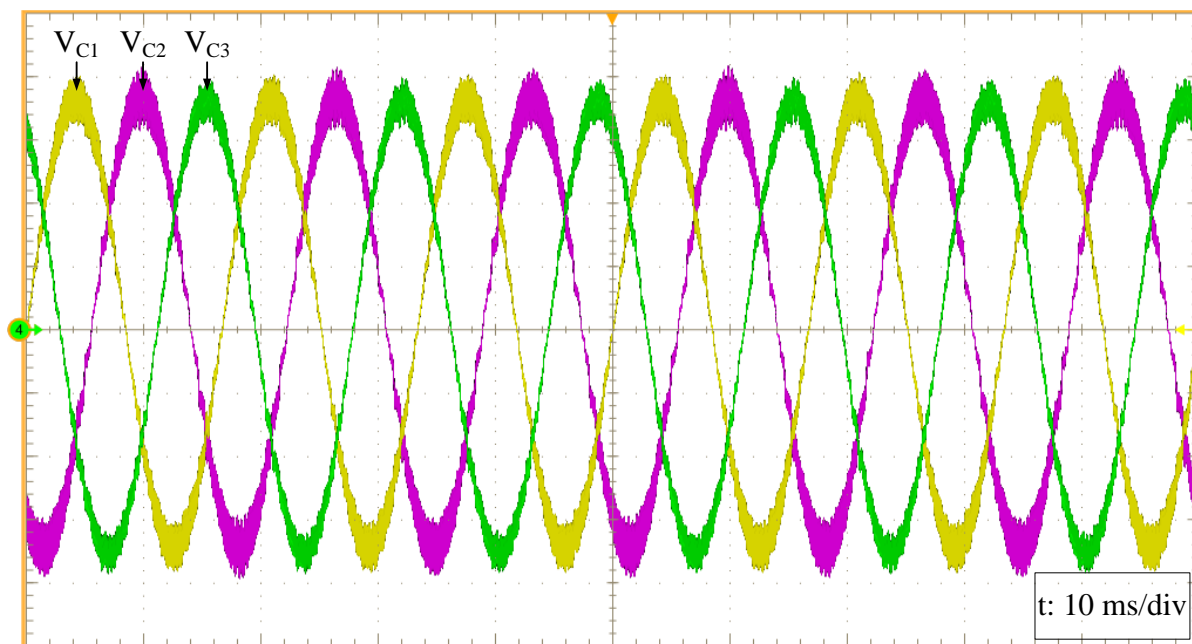
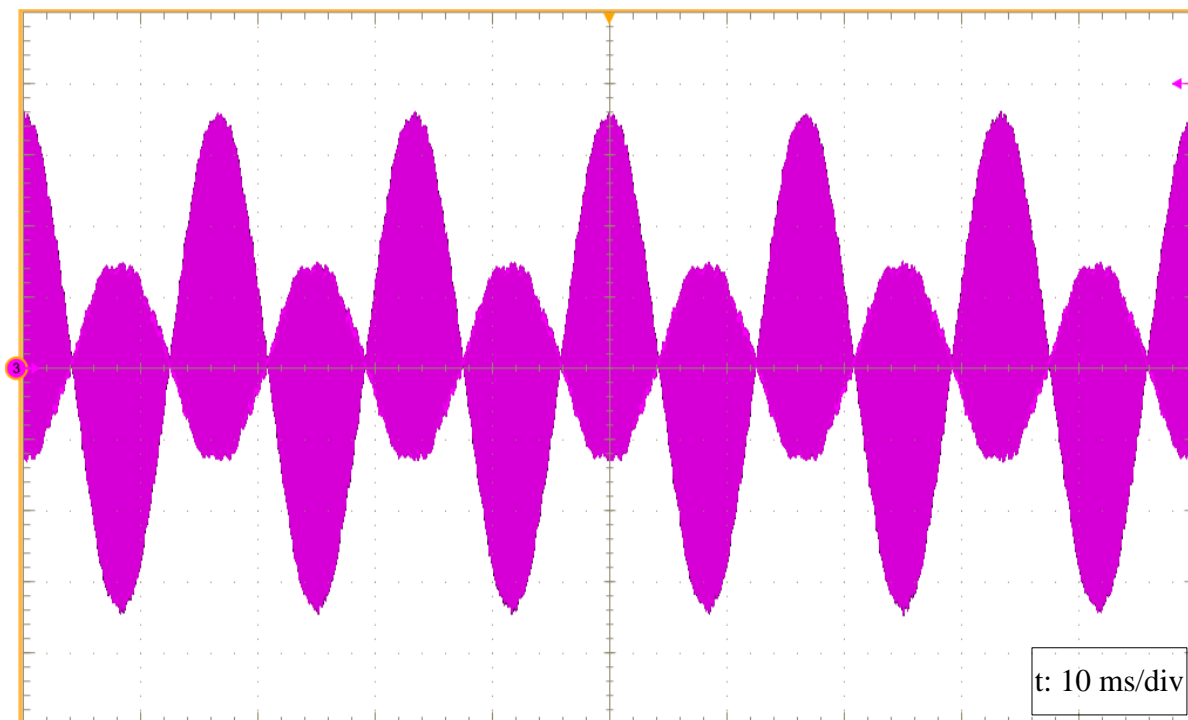
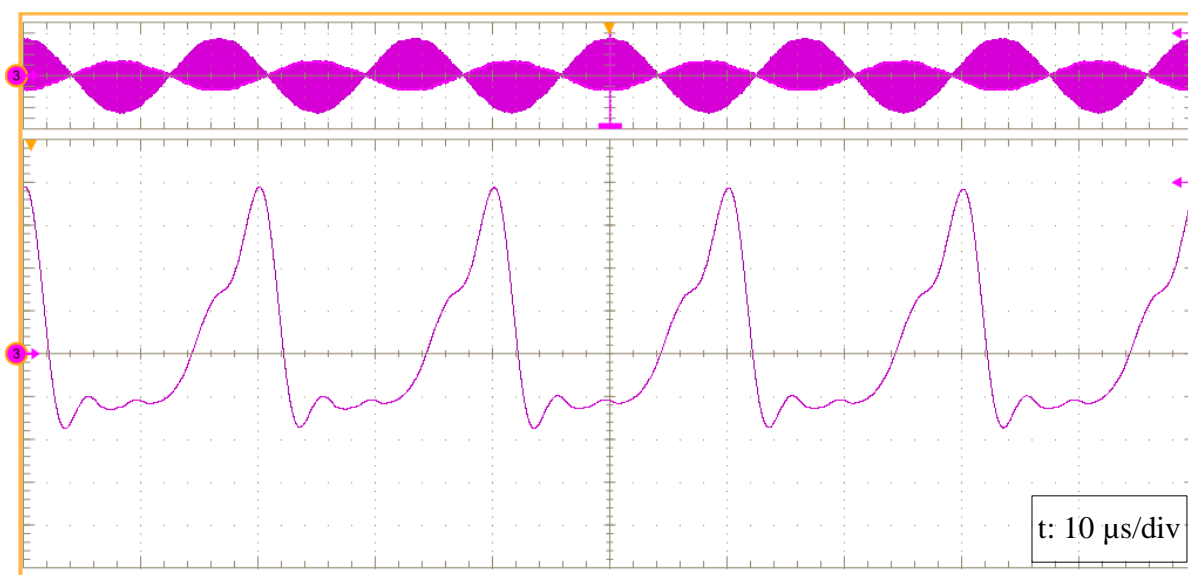


Figura 60 - Tensão dos capacitores de entrada  $V_{C1}$ ,  $V_{C2}$  e  $V_{C3}$  (50 V/div)  
Fonte: Autoria própria



**Figura 61 - Corrente do capacitor  $C_1$  (5 A/div)**  
 Fonte: Autoria própria



**Figura 62 - Detalhe da corrente do capacitor  $C_1$  (5 A/div)**  
 Fonte: Autoria própria

A tensão e a corrente de saída são apresentadas na Figura 63 e seus valores médios são de 200,6 V e 8,071 A. Percebe-se uma pequena ondulação em baixa frequência, isso ocorre devido algum desbalanço ou das tensões de entrada ou dos capacitores de entrada. O que faz com que a ondulação da tensão de saída esteja acima do 1% para a qual foi projetada. Esse desbalanço não foi



desconsiderado na modelagem do conversor, motivo pelo qual não foi prevista essa ondulação.

Comprovando o formato da onda descrita no tópico 3.2, a corrente do capacitor de saída é exibida na Figura 64. Os valores de máximo e mínimo dessa corrente são 43,09 A e -8,228 A.

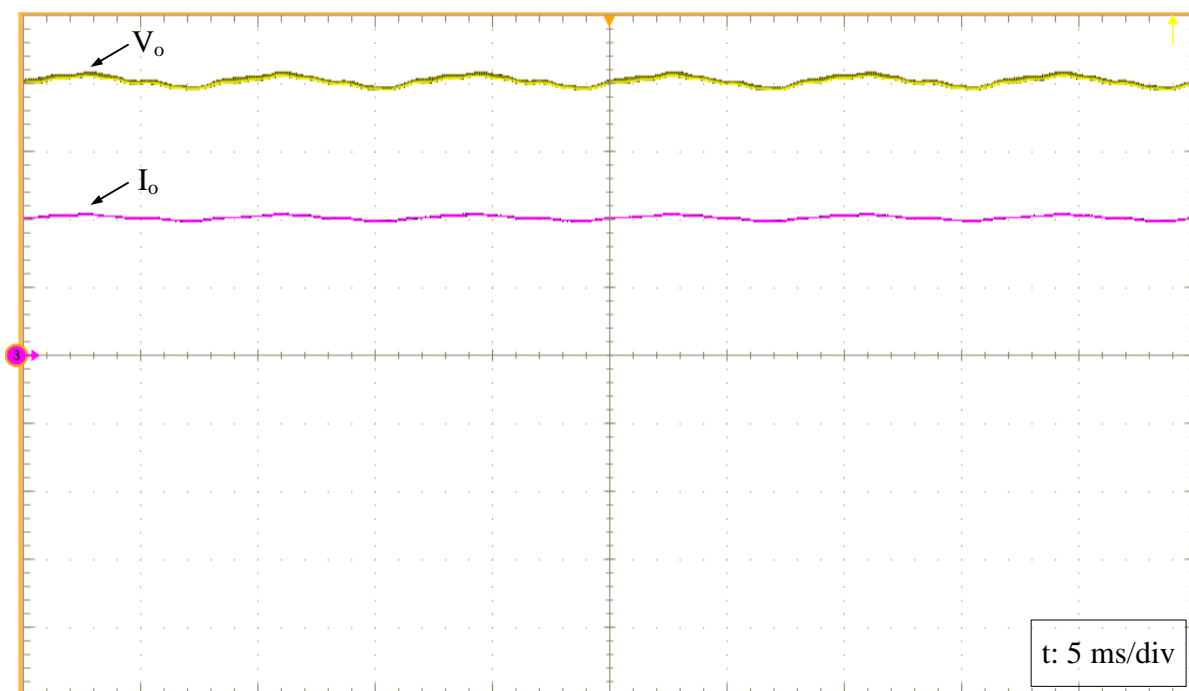


Figura 63 - Tensão (50 V/div) e corrente (4 A/div) de saída  
Fonte: Autoria própria

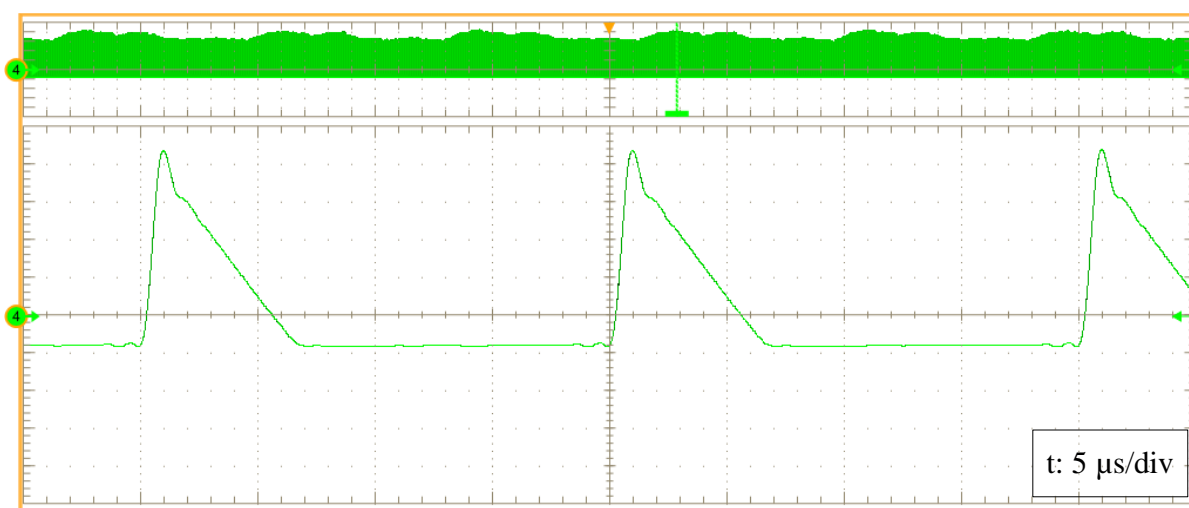


Figura 64 - Corrente do capacitor de saída  $C_o$  (10 A/div)  
Fonte: Autoria própria

Analisando os resultados do experimento para os semicondutores, a Figura 65 expressa a tensão e a corrente do transistor  $S_1$  em baixa frequência. Ao

demonstrar seu comportamento em alta frequência, conforme a Figura 66, observa-se a (EC) suave, como se esperava.

Obviamente que a tensão sobre o transistor seria mais semelhante à tensão apresentada nas formas de onda ideais na mesma proporção da eliminação da indutância de dispersão, ou seja, com a redução da dispersão, mais próximo do comportamento ideal.

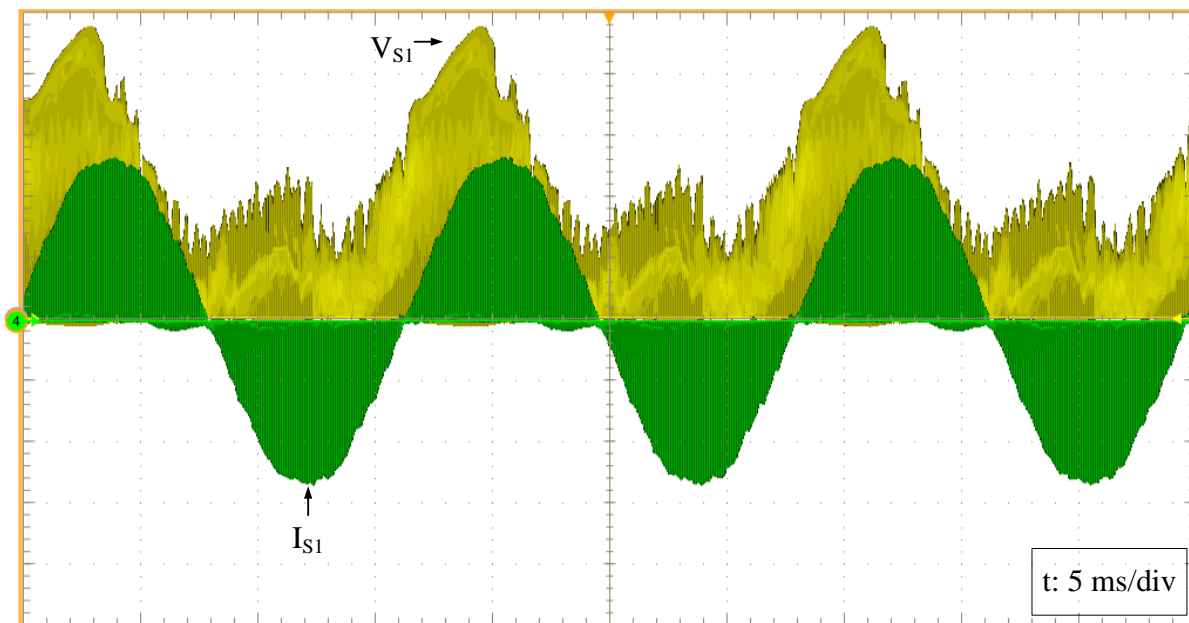


Figura 65 - Tensão (200 V/div) e corrente (10 A/div) do transistor  $S_1$  em baixa frequência  
Fonte: Autoria própria

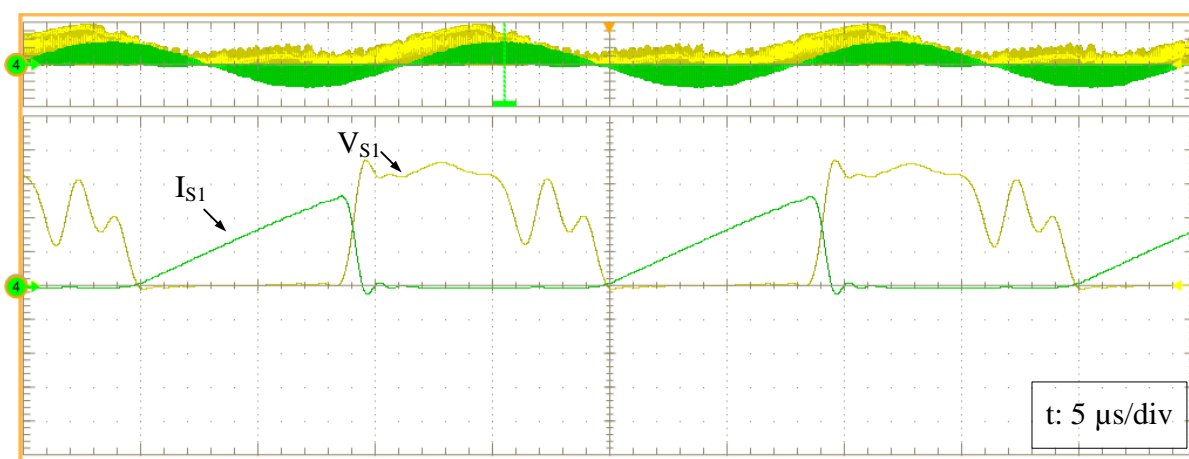


Figura 66 - Tensão (200 V/div) e corrente (10 A/div) do transistor  $S_1$  em alta frequência  
Fonte: Autoria própria

Os valores de  $V_{S1}$  e  $I_{S1}$  máximos são de 952 V e 26,66 A, enquanto a corrente eficaz é de 8,029 A.

A Figura 67 também apresenta as tensões nos transistores de um mesmo braço, ou seja,  $S_1$  e  $S_2$ .

Como mencionado no desenvolvimento dos cálculos dos esforços dos semicondutores, a maior tensão, em módulo, aplicada nos diodos de saída são quando estes estão em um semicíclo que não conduzam. Isso também é observado na Figura 68, onde a menor tensão no diodo é de aproximadamente 220 V.

Os valores de pico, médio e eficaz da corrente no diodo são de 45,91 A, 2,628 A e 8,315 A, respectivamente.

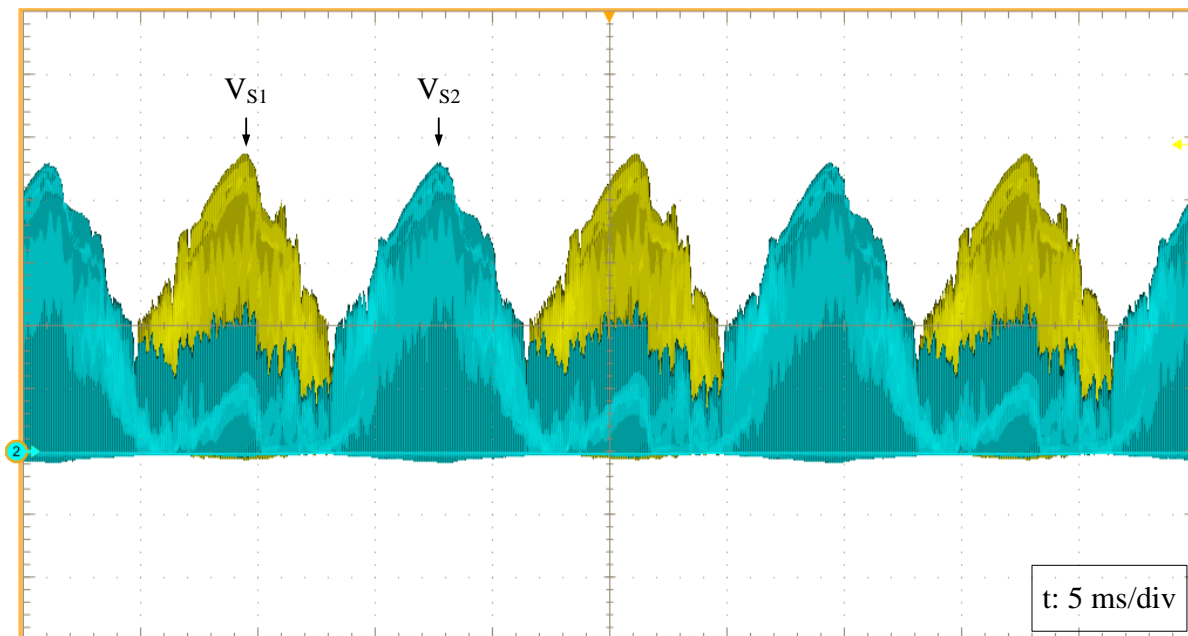


Figura 67 - Tensão nos transistores  $S_1$  e  $S_2$  (200 V/div)  
Fonte: Autoria própria

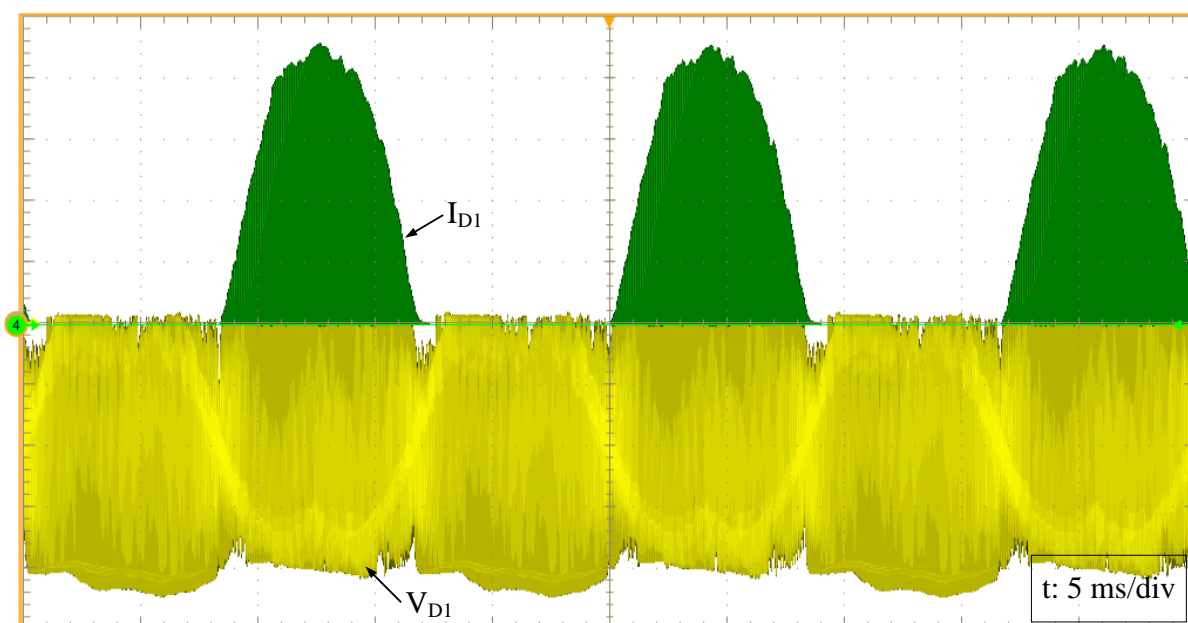
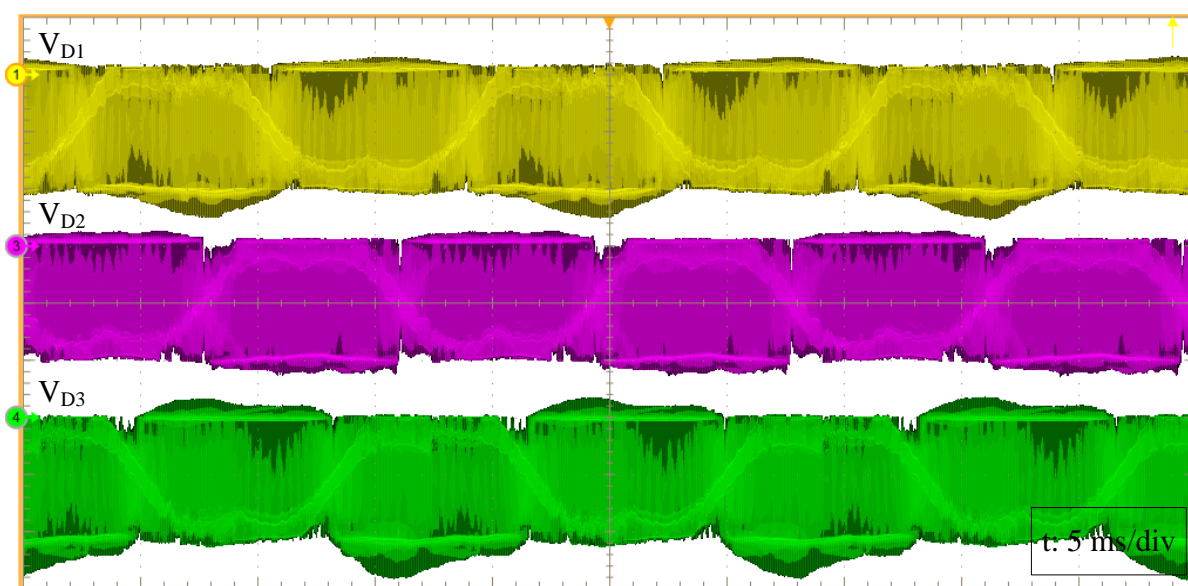
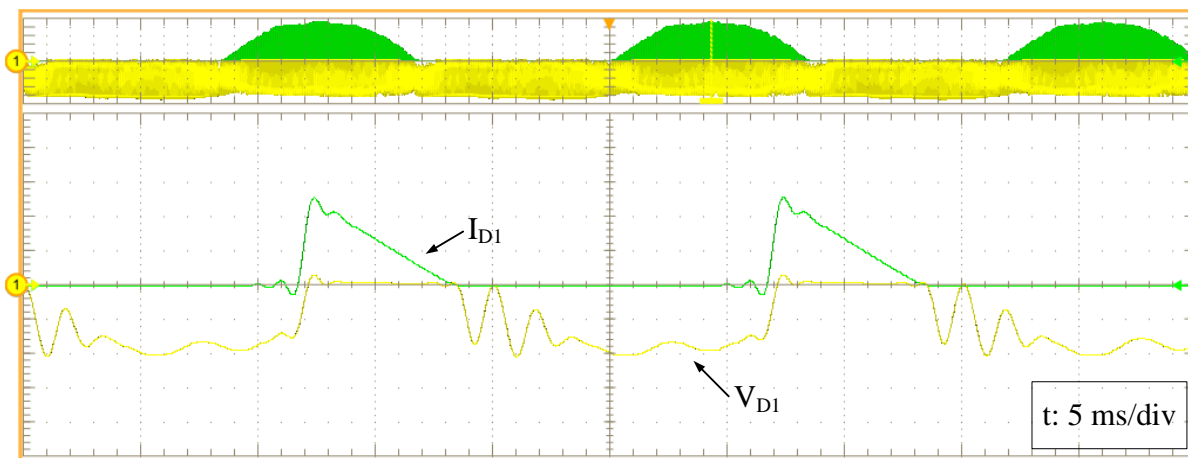


Figura 68 - Tensão (50 V/div) e corrente (10 A/div) do diodo  $D_1$  em baixa frequência  
Fonte: Autoria própria

De acordo com o que foi demonstrado na simulação, na Figura 69 verifica-se o bloqueio suave do diodo.

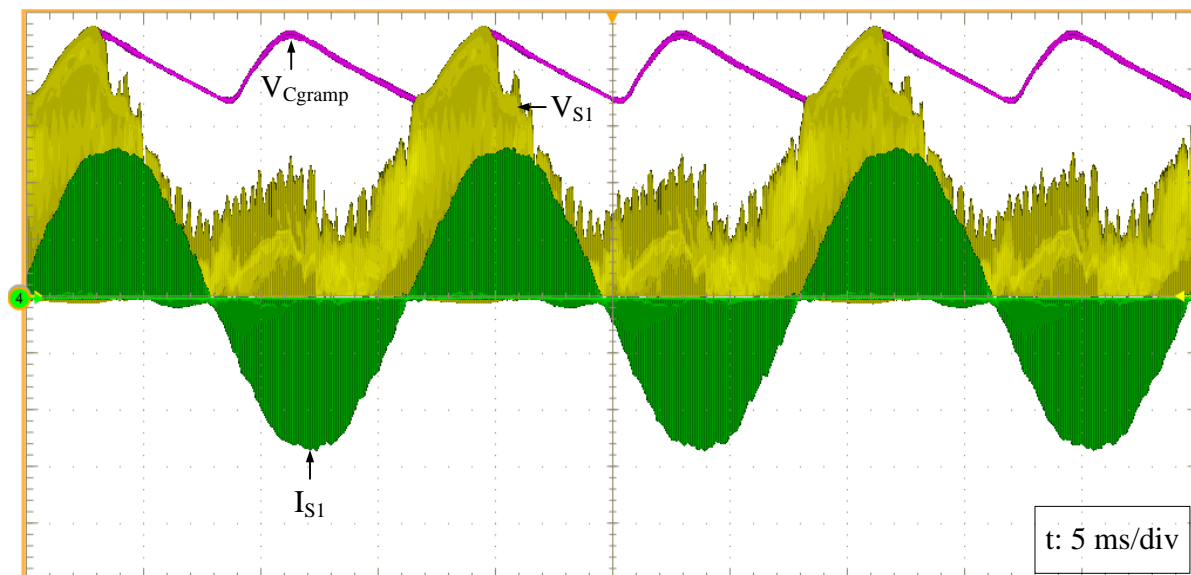
A Figura 70, a seguir, apresenta uma visão em baixa frequência da tensão aplicada nos diodos de catodo comum, ou seja,  $D_1$ ,  $D_2$  e  $D_3$ . Assim como na simulação, nesta forma de onda é possível identificar um envoltório senoidal.



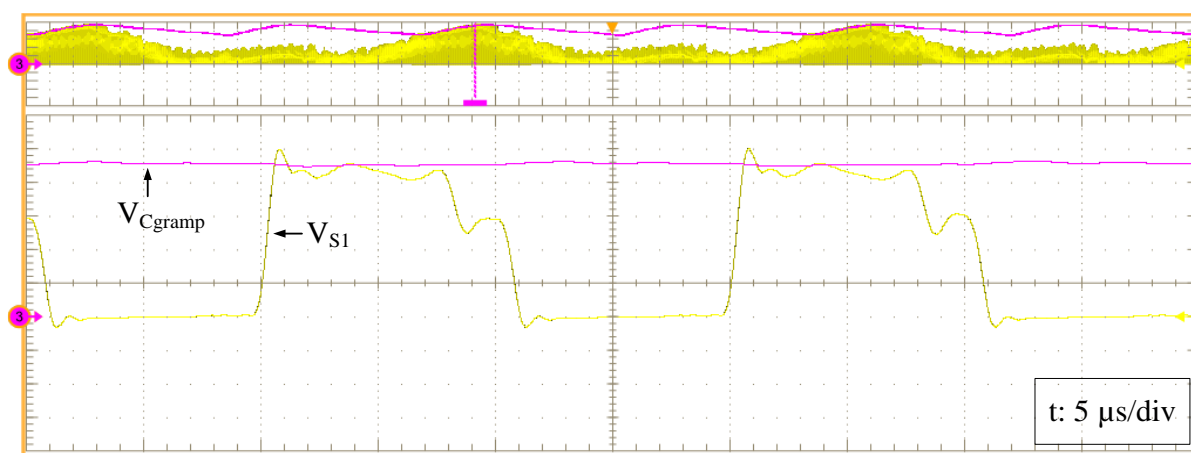
O circuito grampeador foi projetado de maneira que a máxima tensão seja 950 V e a tensão de grampeamento varie no máximo 1%, contudo isso não ocorre, como pode ser verificado na Figura 71.

Considera-se, portanto, que o projeto da limitação da máxima tensão está correto, uma vez que o valor máximo de  $V_{S1}$  é 952 V, como já mencionado. Porém a

ondulação da tensão de grameamento não atende aos requisitos preestabelecidos. Sendo assim, considera-se a necessidade de reavaliar o projeto do grameador, levando em consideração a ondulação em baixa frequência.



Na Figura 72 é possível identificar o pico que ocorre devido à indutância de dispersão. Cabe observar que a utilização de capacitores auxílio à comutação, comumente utilizado em conversores, ajuda reduzindo efeitos de indutâncias parasitas que acresceriam esse valor de pico que ultrapassa a tensão  $V_{Cgramp}$ .



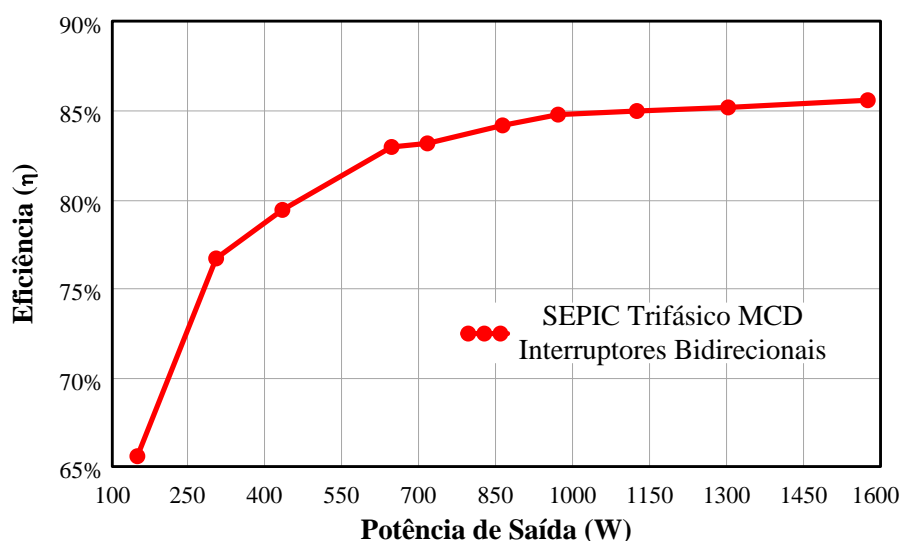
Um ensaio de rendimento e qualidade de energia foi realizado com o protótipo. Sendo que, partindo de potências mais baixas até chegar à nominal todas

as faixas obedeceram aos mesmos critérios. Observa-se que para cada potência se manteve o conversor ligado por 10 minutos, a fim de não haver erros na medição, levando em consideração que o aquecimento do conversor afeta suas características. Portanto, a Figura 73 exibe a curva de rendimento pela potência.

Constata-se um rendimento máximo de 85,522%, este é alcançado em condições nominais. Considera-se, portanto, esse conversor de estágio único com rendimento proporcional ao de um conversor de dois estágios composto por dois conversores de 92,48% de rendimento cada.

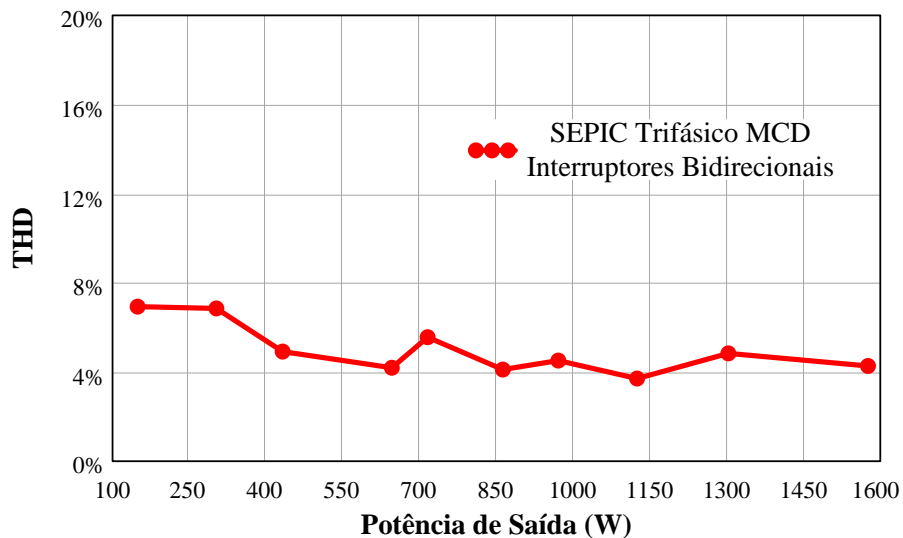
Outras características importantes, além do rendimento, são: a emissão de harmônicos e o comportamento do fator de potência em relação a diferentes cargas. Ambos os gráficos também foram levantados e são apresentados pelas Figura 74 e Figura 75.

Entende-se que, para baixas potências em relação à nominal de projeto o rendimento é fortemente degradado, porém as outras características são interessantes, baixa THD e elevado FP, o que torna esse conversor um bom potencial de pesquisa para melhora de rendimento.

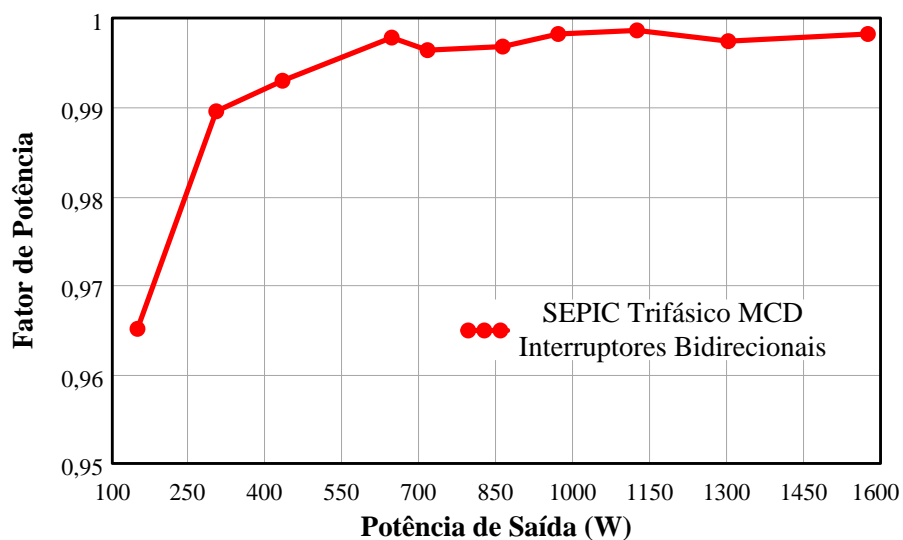


**Figura 73 - Curva característica do conversor: Rendimento x Potência**  
**Fonte: Autoria própria**

Por fim, um ensaio em malha fechada foi realizado, a fim de validar o modelo e o projeto de controle. Contudo barreiras práticas impediram de que este fosse realizado em condição nominal, o que é melhor explicado nas considerações finais. Entretanto, o conversor será testado em outras condições, realizando-se o teste de resposta ao degrau com as especificações dadas na Tabela 7.



**Figura 74 - Curva característica do conversor: THD x Potência**  
 Fonte: Autoria própria



**Figura 75 - Curva característica do conversor: FP x Potência**  
 Fonte: Autoria própria

Obedecendo as especificações, apresentam-se as respostas ao Degrau 1, Figura 76, e ao Degrau 2, Figura 77.

<b>Especificações</b>	<b>Valores</b>
Tensão de entrada ( $V_{pk}$ )	100 V
Tensão de saída ( $V_o$ )	100 V
Degrau 1	285 W para 400 W
Degrau 2	400 W para 285 W

Fonte: Autoria própria

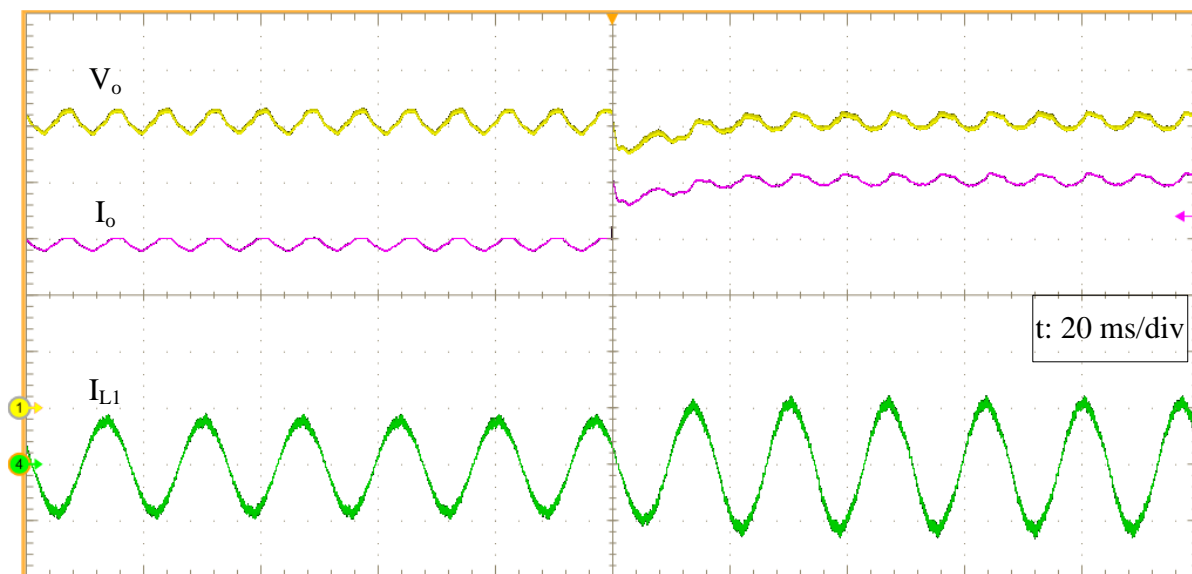


Figura 76 - Resposta ao Degrau 1 - Tensão de saída (20 V/div), corrente de saída (1 A/div) e uma corrente de entrada (3 A/div)  
Fonte: Autoria própria

Com um sobressinal de aproximadamente 10 V detectado no segundo degrau, averigua-se um *overshoot* de 10% e o tempo de acomodação de 20 ms.

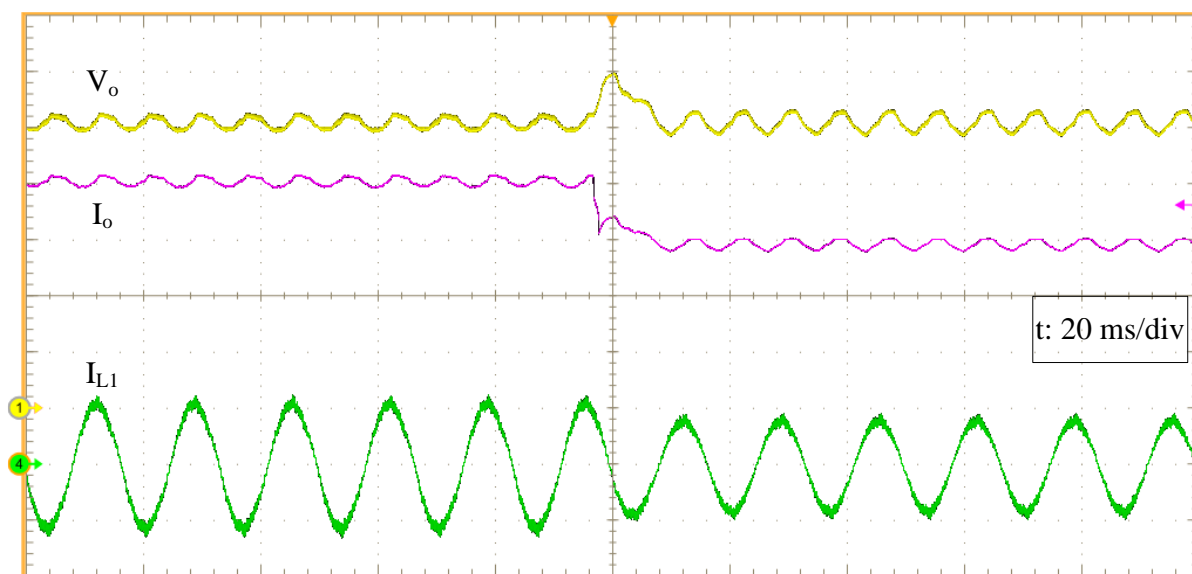


Figura 77 - Resposta ao Degrau 2 - Tensão de saída (20 V/div), corrente de saída (1 A/div) e uma corrente de entrada (3 A/div)  
Fonte: Autoria própria



## 5.1 CONSIDERAÇÕES FINAIS

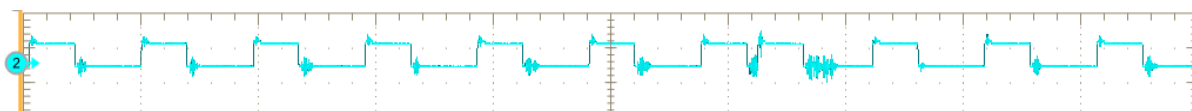
Nesse capítulo os resultados experimentais comprovam o funcionamento teórico apresentado neste trabalho. Valores de resultados práticos são apresentados.

Consideram-se bons os resultados alcançados pelo conversor, tendo em vista sua primeira aparição na literatura, seu acionamento simples, sem o emprego de uma estratégia de modelagem e controle mais aprofundada, e seu grampeamento puramente dissipativo. Elementos esses que podem melhorar em muito os resultados obtidos. Logo, considera-se uma boa contribuição.

Com o decorrer do trabalho utilizou-se tanto a placa de controle, que utiliza o UC3525, quanto o gerador de função para controlar o conversor em malha aberta. Foi detectado em um primeiro ensaio de rendimento, utilizando apenas a placa de controle como geração de pulsos, que esta, em valores mais elevados de potência, gerava um ruído prejudicial à corrente.

Estudos foram feitos e refeitos novos circuitos e placas de controle, porém o problema não foi solucionado. Detectou-se que apenas por conectar um único pino, o do sinal PWM, ruídos apareciam na placa de controle. Levando em consideração que a conexão elétrica desse sinal de PWM sai do pino 11 do UC3525 e chega até aos *drivers* de acionamento de transistores, onde esse sinal é isolado opticamente do sinal de *gate* do MOSFET, não foi descoberto como esse sinal pode trazer alguma interferência.

Constatou-se ainda que o motivo dos ruídos detectados na medição e audivelmente era a geração de pulso duplicado, conforme apresentado na Figura 78.



**Figura 78 - Pulso duplicado na saída de PWM da placa de controle (pino 11 do UC3525)**  
Fonte: Autoria própria

## 6 CONCLUSÃO

Este trabalho apresenta a análise teórica do conversor SEPIC trifásico MCD CA-CC de estágio único com alto fator de potência e interruptores bidirecionais. Demonstra suas etapas de operação, formas de onda, equacionamento, metodologia de projeto, restrições, simulação numérica e comparação entre resultados teóricos e de simulação numérica, além de resultados experimentais.

Um protótipo de 1,5 kW foi projetado, confeccionado e testado. As formas de onda e seus valores experimentais e de simulação comprovam as formas de onda ideais e equacionamento apresentados no trabalho.

O conversor operando em MCD se comporta como um seguidor de tensão, isso quer dizer que a corrente naturalmente segue a tensão, não necessitando, portanto, de uma malha de corrente. Logo, diz-se que o conversor emula uma resistência.

Esse conversor de estágio único possui alta confiabilidade, uma vez que emprega quatro transistores e seis diodos de alta frequência para a conversão CA-CC com alto fator de potência e isolamento em alta frequência.

Com relação à malha de controle, implementa-se apenas uma malha de controle da tensão de saída (como o controle da tensão de saída de um conversor CC-CC), que poderá ser realizada por um CI comercial modulador PWM como o UC3525. Esta foi testada em aplicação de degrau de carga, porém, problemas técnicos necessitam ser sanados para o acionamento em cargas de potência mais elevada.

Através dos resultados experimentais, verificam-se as correntes de entrada senoidais em fase com suas respectivas tensões de entrada, apresentando uma THD da corrente de 4,234% e um fator de potência de 0,9981. Também é mostrada a tensão de saída de aproximadamente 200 V, os esforços nos semicondutores, como uma tensão máxima nos transistores de 952 V, por exemplo, e rendimento de 85,522% para condições nominais de funcionamento com grampeamento dissipativo.

Conclui-se ser válidas pesquisas em torno da melhora de rendimento do conversor, uma vez que este possui características de THD e FP interessantes para uma ampla faixa de percentuais da potência nominal.

Considera-se uma solução rentável para ser empregado em sistemas trifásicos de baixa potência como fonte de alimentação. Uma vez que não se justifica, neste caso, a utilização de conversores com elevado número de componentes.

Como continuidade do trabalho, pretende-se produzir um artigo com resultados em malha fechada em potência nominal. Assim como estudar as características dessa topologia não isolada, a qual não fez parte do escopo desse trabalho, porém imagina-se que o fato de se retirar o transformador elevará consideravelmente o rendimento, sendo assim uma boa opção para sistemas que não necessitem de isolamento galvânica.

Ainda há amplo espaço para estudar maneiras de melhorar o rendimento desse conversor, sem perder outras características. Uma delas, por exemplo, é estudar a otimização do transformador, utilizando melhores núcleos e melhores formas de acoplar magneticamente os enrolamentos, reduzindo assim a indutância de dispersão.

Esse conversor ainda tem a possibilidade de ser estudado em MCC, melhorando assim características de rendimento em detrimento do aumento de custo e da complexidade do sistema de controle.

Almeja-se realizar o pedido de patente dos conversores isolado e não isolado pela UTFPR.

## REFERÊNCIAS

AYYANAR, R.; MOHAN, N.; SUN, J. Single-stage three-phase power-factor-correction circuit using three isolated single-phase SEPIC converters operating in CCM. In: Power Electronics Specialist Conference (PESC). 31., 2000, Galway. **Anais...** Galway: 2000. vol.1, p. 353- 358.

BARBI, Ivo. Estudo do Circuito Grampeador para os Conversores Flyback e Forward e do Circuito Equivalente do Transformador de Três Enrolamentos. Universidade Federal de Santa Catarina-Instituto de Eletrônica de Potência, 2007.

BARBI, Ivo; FONT, Carlos Henrique IIIa; ALVES, Ricardo Luiz. Projeto físico de indutores e transformadores. **Documento Interno (INEP-2002)**, 2002

BARBI, Ivo; MARTINS, Denizar Cruz. **Conversores CC-CC básicos não isolados**. Edição dos autores. Florianópolis, 2000.

BARBOSA, Peter Mantovanelli. **Three-phase power factor correction circuits for low-cost distributed power systems**. 2002. 228 f. Tese (Doutorado) - Faculty of the Virginia Polytechnic Institute and State University. Blacksburg, 2002.

BORGONOVO, Deivis. **Análise modelagem e controle de retificadores PWM trifásicos**. 2005. 255 f. Tese (Doutorado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 2005.

BORGONOVO, Deivis; DE NOVAES, Yales Rômulo; BARBI, Ivo. A three-phase three-switch two-level PWM rectifier. In: Power Electronics Specialist Conference (PESC). 34., 2003, Acapulco. **Anais...** Acapulco: 2003. p. 1075-1079.

CANESIN, Carlos Alberto; BARBI, Ivo. A unity power factor multiple isolated outputs switching mode power supply using a single switch. In: IEEE Applied Power Electronics Conference and Exposition (APEC). 6., 1991, Dallas. **Anais...** Dallas: 1991, p. 430-436.

COSTA, Paulo Junior Silva. **Retificadores SEPIC monofásicos e trifásicos aplicados no processamento da energia elétrica proveniente de aerogeradores de pequeno porte**. 2015. 168 f. Dissertação (mestrado) - Programa de Pós-

Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2015.

DE DONCKER, R. W. A. A.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high-power-density DC/DC converter for high-power applications. **IEEE Transactions on Industry Applications**, v. 27, n. 1, p. 63-73, jan/feb. 1991.

ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. 2 ed. New York: Kluwer Academic, 2001.

FLORES-BAHAMONDE, Freddy et al. Modular-based PFC for low power three-phase wind generator. In: IEEE International Conference-Workshop Compatibility and Power Electronics (CPE). 7., 2011, Tallinn. **Anais...** Tallinn: 2011, p. 125-130.

FONT, Carlos Henrique Illa. **Grampeamento ativo para estágios retificadores de saída de conversores CC-CC isolados**. 2003. 109 f. Dissertação (mestrado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 2003.

FONT, Carlos Henrique Illa. **Retificadores trifásicos híbridos bidirecionais com fator de potência unitário**. 2009. 202 f. Tese (doutorado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 2009.

FUERBACK, A. L.; POSTIGLIONE, C. S.; HELDWEIN, M. L.; PERIN, A. J. Three-/phase/-level Single-stage NPC-based Rectifier Integrating a Simple DCM PFC Technique. In: International Conference and Exhibition for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, PCIM South America. 2014, São Paulo. **Anais...** São Paulo: 2014. p. 1 - 4.

GREFF, D. S.; DA SILVA, R.; MUSSA, S. A.; PERIN, A. J.; BARBI, I. A Three-phase Buck Rectifier with High-frequency Isolation by Single-Stage. In: Power Electronics Specialist Conference (PESC). 39., 2008, Rhodes. **Anais...** Rhodes: 2008. p. 1129 - 1133.

HELDWEIN, Marcelo Lobo. **Unidade retificadora trifásica de alta potência e alto desempenho para aplicação em centrais de telecomunicações**. 1999. 162 f. Dissertação (mestrado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 1999.

HIRTH, Marcos Paulo. **Conversor CA-CC monofásico de estágio único empregando o conversor SEPIC com interruptores do lado CA**. 2015. 118 f. Dissertação (mestrado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2015.

KAMNARN, U.; CHUNKAG, V. Analysis and Design of a Modular Three-phase AC-to-DC Converter using CUK Rectifier Module with Nearly Unity Power Factor and Fast Dynamic Response. **IEEE Transactions on Power Electronics**, Boston (MA), vol. 24, n. 8, p. 2000 - 2012, ago. 2009.

KOLAR, J. W.; DROFENIK, U.; ZACH, F. C. VIENNA Rectifier II-A Novel Single-stage High-frequency Isolated Three-phase PWM Rectifier System. **IEEE Transactions on Industrial Electronics**, Águila (Ita), vol. 46, n. 4, p. 674 - 691, ago. 1999.

KRISHNA REDDY, M. S.; ELANGO VAN, D.; UTHRA; SARAVANAKUMAR, R. Analysis Design and Implementation of VSI fed High Gain Full Bridge Isolated DC-DC Converter for Renewable Energy Applications. In: IEEE Renewable Energy and Sustainable Energy (ICRESE), 2013 International Conference on. 2013, Coimbatore. **Anais...** Coimbatore: 2013. p. 45-50.

MAHDAVI, M.; FARZANEHFARD, H. Bridgeless SEPIC PFC rectifier with reduced components and conduction losses. **IEEE Transactions on Industrial Electronics**, Águila (Ita), vol. 58, n. 9, p. 4153 - 4160, set. 2011.

NISHIDA, Y.; NAKAOKA, M.; OHGOE, Y.; MAEDA, A. A Simple Three-phase Boost-Mode PFC Rectifier. In: IEEE/IAS Industry Applications Conference. 1996, San Diego. **Anais...** San Diego: 1996, p. 1056 - 1061.

NETO, Anis César Chehab. **Retificador PWM trifásico de 26kw, três níveis, unidirecional, fator de potência unitário e alto rendimento para aplicação em centrais de telecomunicação**. 2002. 187 f. Dissertação (mestrado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 2002.

OGATA, Katsuhiko. **Engenharia de controle moderno**. 5. ed. São Paulo: Pearson Prentice Hall, 2010.

POSTIGLIONE, Cícero S.; FUERBACK, André L.; NASCIMENTO, Claudinor B.; MARTINS, Denizar C.; PERIN, Arnaldo J. AC-DC serial-interleaved Boost converter

applied in a single-stage PFC. **Revista Eletrônica de Potência**, Campo Grande (MS), v.18, n. 4, p.1170-1179, nov 2013.

RAVI KISHORE, K. V.; WANG, B. F.; KUMAR, K. N.; SO, P. L. A New ZVS Full-Bridge DC-DC Converter for Battery Charging with Reduced Losses over Full-Load Range. IEEE India Conference (INDICON). 2015, New Delhi. **Anais...** New Delhi: 2015. p. 1-6.

RODRÍGUEZ, J. R.; DIXON, J. W.; ESPINOZA, J. R.; PONTT, J.; LEZANA, P. PWM regenerative rectifiers: state of the art. **IEEE Transactions on Power Electronics**, Boston (MA), v. 52, n. 1, p. 5-22, fev. 2005.

SILVA, M.; HENSGENS, N.; OLIVER, J.; ALOU, P.; GARCIA, O.; COBOS, J. A. Isolated Swiss-Forward Three-phase Rectifier for Aircraft Applications. In: IEEE Applied Power Electronics Conference and Exposition (APEC). 29., 2014, Fort Worth. **Anais...** Fort Worth: 2014, p. 951 - 958.

SPIAZZI, G.; LEE, F. C. Implementation of Single-Phase Boost Power-Factor-Correction Circuits in Three-Phase Applications. **IEEE Transactions on Industrial Electronics**, Águila (Ita), vol. 44, n. 3, p. 365 - 371, jun. 1997.

TABISZ, W. A.; JOVANOVIĆ, M. M.; LEE, F. C. Present and future of distributed power systems. In: IEEE Applied Power Electronics Conference and Exposition (APEC), Conference Proceedings. 7., 1992, Boston. **Anais...** Boston: 1992, p. 11-18.

TIBOLA, Gabriel. **Conversor CA-CC trifásico único com isolamento em alta frequência baseado no conversor CC-CC sepic operando no modo de condução descontínuo**. 2013. 239 f. Tese (doutorado) - Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Centro Tecnológico. Florianópolis, 2013.

TIBOLA, G.; BARBI, I. Isolated Three-Phase High Power Factor Rectifier Based on the SEPIC Converter Operating in Discontinuous Conduction Mode. **IEEE Transactions on Power Electronics**, Boston (MA), vol. 28, n. 11, p. 4962-4969, nov. 2013.

VIEIRA, J. L. F.; OLIVER, J. A.; ALOU, P.; COBOS, J. A. Power Converter Topologies for a High Performance Transformer Rectifier Unit in Aircraft Applications. In: IEEE/IAS International Conference on Industry Applications (INDUSCON). 11., 2014, Juiz de Fora. **Anais...** Juiz de Fora: 2014, p. 1 - 8.

WIJERATNE, D. S.; MOSCHOPOULOS, G. A Comparative Study of Two Buck-Type Three-Phase Single-Stage AC-DC Full-Bridge Converters. **IEEE Transactions on Power Electronics**, Boston (MA), vol. 29, n. 4, p. 1632 - 1645, abr. 2014.

YANG, L. S.; LIANG, T. J.; CHEN, J. F.; LIN, R. L. Analysis and Design of a Novel, Single-stage, Three-phase AC/DC Step-down Converter with Electrical Isolation. **IET Power Electronics**, Stevenage (Ing), vol. 1, n. 1, p. 154 - 163, mar. 2008.

YAO, K.; RUAN, X.; MAO, X.; YE, Z. DCM Boost PFC Converter with High Input PF. In: IEEE Applied Power Electronics Conference and Exposition (APEC). 15., 2010, Palm Springs. **Anais...** Palm Springs: 2010, p. 1405-1412.

YOUNG, C. M.; WU, C. C. Single-stage Two-switch Three-phase Rectifier for Up-down AC-DC Conversion. **Electronics Letters**, Stevenage (Ing), vol. 38, n. 22, p. 1377 - 1378, out. 2002.

ZHANG, J.; JOVANOVIC, M. M.; LEE, F. C. Comparison Between CCM Single-stage and Two-stage Boost PFC Converters. In: IEEE Applied Power Electronics Conference and Exposition (APEC). 14., 1999, Dallas. **Anais...** Dallas: 1999, p. 335 - 341.

ZHANG, R.; LEE, F. C.; BOROYEVICH, D. Four-Legged Three-phase PFC Rectifier with Fault Tolerant Capability. In: Power Electronics Specialist Conference (PESC). 31., 2000, Galway. **Anais...** Galway: 2000. p. 359-364.



**APÊNDICE A - Artigo publicado no COBEP/SPEC 2015**

## THREE-PHASE HIGH POWER FACTOR SINGLE-STAGE AC/DC DCM SEPIC CONVERTER WITH BIDIRECTIONAL SWITCHES

Gabriel de Oliveira Assunção, Carlos Henrique Illa Font

Federal University of Technology – Paraná (UTFPR), Campus Ponta Grossa, Ponta Grossa – Paraná, Brazil  
e-mail: gabriel.oassuncao@gmail.com, illafont@utfpr.edu.br

**Abstract** – This paper proposes a three-phase high power factor AC/DC converter based on SEPIC converter with bidirectional switches. The converter operates in DCM as a voltage follower where the input currents waveforms follow the voltages waveforms without current control loops. This single-stage converter has high reliability, since it employs four active switches and six high frequency diodes for AC/DC conversion with high power factor and high frequency isolation. Regarding the control system, it is composed by a single DC output voltage control loop (such as an output voltage control of a DC-DC converter). The four active switches are command with the same gate signal. Therefore, the PWM modulator is realized with a sawtooth waveform, performing a trailing edge modulation. Simulation results and the assembly of the prototype from a converter with 127 V input voltage, 200 V output voltage, 50 kHz switching frequency and 3000 W output power are also presented.

**Keywords** – Bidirectional switches, DCM, PFC, SEPIC, Single-stage converter, Three-phase converter.

### I. INTRODUCTION

Power supplies are used in several applications where strong requirements should be met, such as: high power factor, simple and compact power circuit, easy controlling, safe and reliable operation, high efficiency and low cost [1]-[2].

Two-stage power supplies are often performed by a PFC (power factor corrected) Boost rectifier and a DC-DC high frequency isolated Buck converter. They present high efficiency and are cost-effective approach in high-power applications. Regarding control issues, they need to sensor two DC voltages, one AC voltage and one DC current for providing regulated DC output voltage and power factor correction [2].

Single-stage power supplies have the advantages of reducing active switch count, reducing cost and increasing the reliability. However, they could present reduced overall efficiency and are generally limited for low-power applications [3]-[12].

Currently, several papers on single-stage power supplies have been published. The single-stage approach is performed by the utilization of isolated converters (such as Buck, Boost, SEPIC and Cúk) [3]-[11] or by the utilization of integrated converters [12].

Single-stage power supplies with isolated converters based on SEPIC or Cúk converters can provide high power factor and high frequency isolation [8]-[11]. Regarding to

current and voltage stresses in the semiconductors, it is well known that semiconductors of these converters suffer of high voltage and high current stresses. However, propelled by the recent evolution of semiconductor's industry, such as CoolMOS™ MOSFETs and SiC diodes and MOSFETs, the high voltage and high current stresses are not translated directly in high losses. Thus, the efficiency is not sharply degraded.

Single-stage power supplies based on integrated converters are generally composed by a DCM (discontinuous conduction mode) Boost PFC integrated with an isolated Buck-type converter [12]. They can also provide high power factor and high frequency isolation. Generally, they present total harmonic distortions of the input currents higher than the single-stage approaches based on SEPIC and Cúk converters.

This paper proposes a three-phase single-stage power supply based in a DCM SEPIC converter with bidirectional switches in the AC side. The SEPIC converter operates in DCM as a voltage follower where the input currents waveforms follow the voltages waveforms without current control loops. This single-stage converter has high reliability, since it employs four active switches and six high frequency diodes for AC/DC conversion with high power factor and high frequency isolation. Regarding the control system, it is composed by a single DC output voltage control loop (like an output voltage control of a DC-DC converter).

First, the proposed topology and theoretical analysis are presented in Section II. Section III of this paper presents the main design equations for the power stage. The numerical simulation results are presented in Section IV. Finally, the assembly of the prototype is presented in Section V.

### II. THE PROPOSED THREE-PHASE SINGLE-STAGE TOPOLOGY

The proposed converter presented in Figure 1 is based on SEPIC converter with switches in the AC side. Since the converter employs bidirectional switches, there will be fewer semiconductors in conduction in each switching period. Thus, the conduction losses are reduced and the overall efficiency is increased [13]. Three single-phase coupled inductors connected in star are utilized for providing the high frequency isolation.

#### A. Operation Modes

For theoretical analysis, it is considered the converter's operation in 30 degrees of the mains period. Therefore,  $\pi/3 \leq \omega t \leq \pi/2$  interval was chose, so during this interval  $V_a \geq -V_b \geq -V_c$  and  $i_{L1} \geq -i_{L2} \geq -i_{L3}$ , considering that currents are sinusoidal and in phase with the voltages.

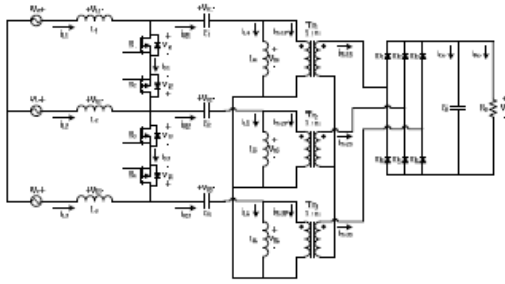


Fig. 1. The proposed three-phase single-stage converter.

As assumptions, it is considered that all the semiconductors are ideal and that input voltages  $V_a$ ,  $V_b$  and  $V_c$  are constant in a switching period, since the switching frequency is much higher than the mains frequency.

For the considered interval, the converter presents eight operation modes, shown in Figure 2 and Figure 3. These are described as follows:

**Mode 1:** The transistors  $S_1$ ,  $S_2$ ,  $S_3$  and  $S_4$  are turned on. The voltage across inductors  $L_1$ ,  $L_2$  and  $L_3$  are equal to input voltages  $V_a$ ,  $V_b$  and  $V_c$  respectively. The voltage across inductors  $L_4$ ,  $L_5$  and  $L_6$  are equal to  $V_{C1}$ ,  $V_{C2}$  and  $V_{C3}$ , respectively. Thus, the mains supplies  $V_a$ ,  $V_b$  and  $V_c$  are transferring energy to inductors  $L_1$ ,  $L_2$  and  $L_3$  and the capacitors  $C_1$ ,  $C_2$  and  $C_3$  are transferring energy to inductors  $L_4$ ,  $L_5$  and  $L_6$ . The capacitor  $C_0$  supplies the load.

**Mode 2:** The transistors  $S_1$ ,  $S_2$ ,  $S_3$  and  $S_4$  are still turned on and currents  $i_{L4}$ ,  $i_{L5}$  and  $i_{L6}$  change direction.

**Mode 3:** The transistors  $S_1$ ,  $S_2$ ,  $S_3$  and  $S_4$  are turned off, starting the energy transfer to the output through diodes  $D_1$ ,  $D_5$  and  $D_6$ , since  $V_{L4}$  is positive while  $V_{L5}$  and  $V_{L6}$  are negative. The mains supplies  $V_a$ ,  $V_b$ ,  $V_c$  and inductors  $L_1$ ,  $L_2$  and  $L_3$  are transferring energy to capacitors  $C_1$ ,  $C_2$  and  $C_3$  and to the output while inductors  $L_4$ ,  $L_5$  and  $L_6$  are transferring energy to the output (capacitor  $C_0$  and the load).

**Mode 4:** The output diodes  $D_1$ ,  $D_5$  and  $D_6$  are still in conduction and the current in  $L_6$  changes direction.

**Mode 5:** The current  $i_{L6}$  becomes equal to current  $i_{L3}$ , so branch "c", related to phase "c" stops to transfer energy to the output. Thus, diode  $D_6$  is turned-off.

**Mode 6:** The output diodes  $D_1$  and  $D_5$  are still in conduction and the current in  $L_4$  changes direction.

**Mode 7:** The output diodes  $D_1$  and  $D_5$  are still in conduction and the current in  $L_5$  changes direction. Capacitor  $C_0$  starts to supply part of the output current.

**Mode 8:** The currents  $i_{L4}$  and  $i_{L5}$  become equal to currents  $i_{L1}$  and  $i_{L2}$ , respectively. Thus branches "a" and "b", related to phases "a" and "b" stop to transfer energy to output. Thus, diodes  $D_1$  and  $D_5$  are turned off. This operation stage is considered the discontinuous stage since all the semiconductors are turned off. During this operation stage, the capacitor  $C_0$  supplies the load.

### B. Main Ideal Waveforms

The main ideal waveforms of the converter are presented in Figure 4, for a switching period. Similarly to basic DC-DC SEPIC converter, the voltage across capacitors  $C_1$ ,  $C_2$  and  $C_3$ , are reflections of the input voltages  $V_a$ ,  $V_b$  and  $V_c$ , respectively.

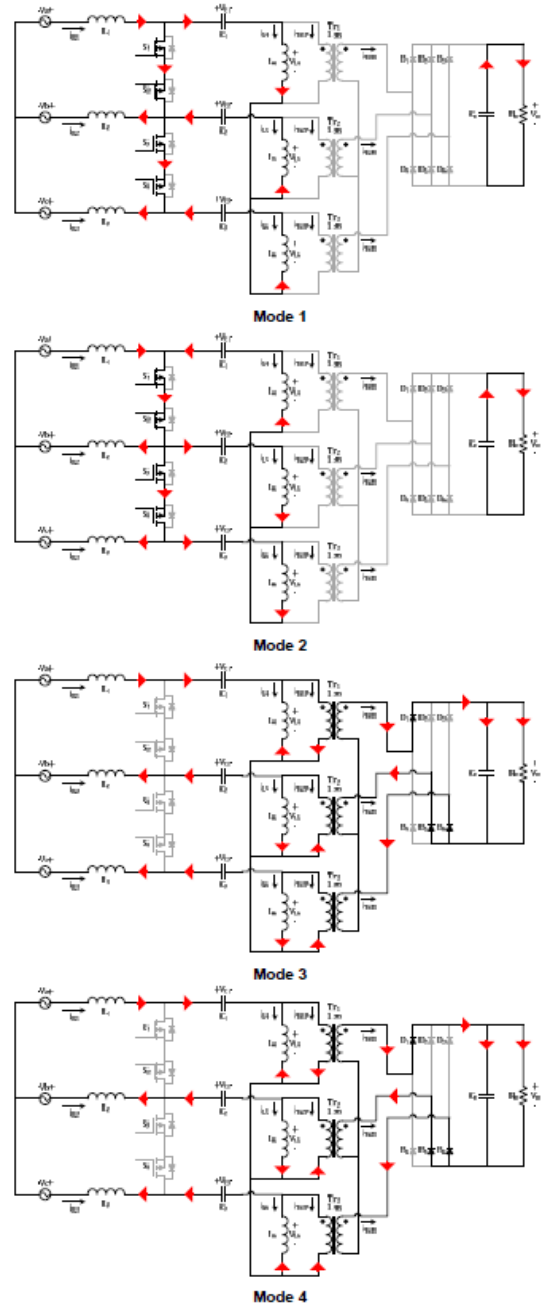


Fig. 2. Equivalent circuits for operation modes 1 to 4.

### C. Static Gain

Similarly to basic DC-DC SEPIC converter, it is not possible to found the static gain by volt second balance on the inductors. Therefore, from the average current value of diode  $D_1$ , the static gain is obtained and it is presented in (1). The parameter  $K$  is defined by (2).

$$M = \frac{V_o}{V_{pk}} = \sqrt{\frac{3 \cdot R_g \cdot D^2}{4 \cdot f_s \cdot L_{eq}}} = D \cdot \sqrt{\frac{3}{2 \cdot K}} \quad (1)$$

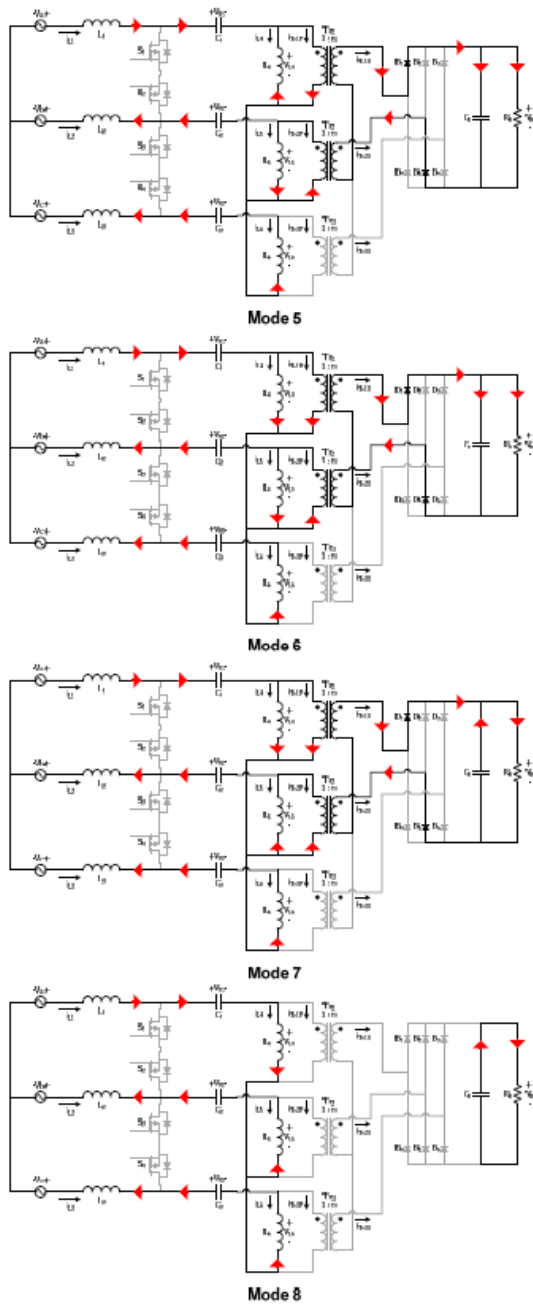


Fig. 3. Equivalent circuits for operation modes 5 to 8.

$$K = \frac{2 \cdot L_{eq} \cdot f_s}{R_o} \quad (2)$$

where:

- M - static gain;
- $V_o$  - average value of output voltage;
- $V_{pk}$  - peak value of input phase voltage;
- D - duty cycle;
- $R_o$  - equivalent load resistance;
- $f_s$  - switching frequency;

$L_{eq}$  - equivalent inductance (parallel association of inductances  $L_1$  and  $L_4$  for phase "a", for instance).

Figure 5 shows the converter's static gain as a function of duty cycle and parameter K. In DCM, it is demonstrated that the static gain is linear. It is also possible to observe in Figure 5 for parameter K equal to 1, that the converter can operate as step-down or step-up converter.

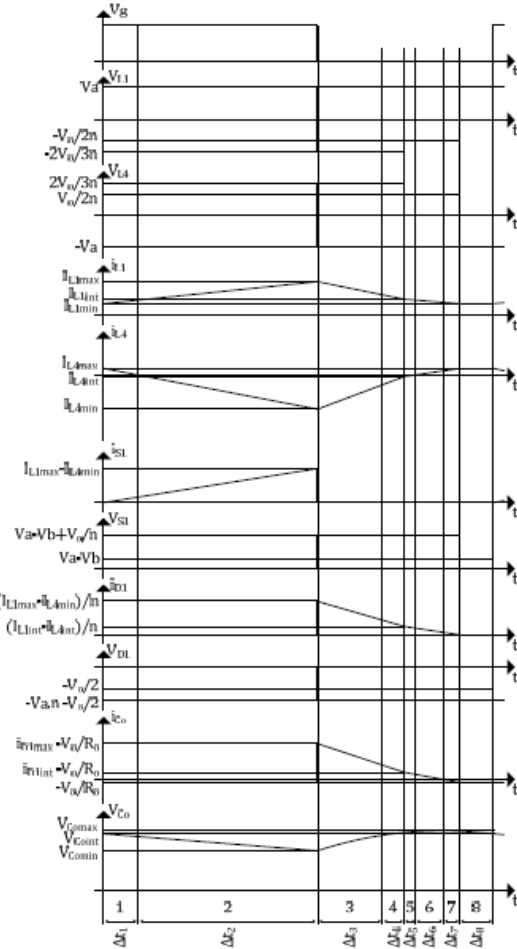


Fig. 4. Main ideal waveforms: gate signals, voltage across inductor  $L_1$ , voltage across inductor  $L_4$ , current through inductor  $L_1$ , current through inductor  $L_4$ , current through switch  $S_1$ , voltage across switch  $S_1$ , current through diode  $D_1$ , voltage across diode  $D_1$ , current through capacitor  $C_0$ , voltage across capacitor  $C_0$ .

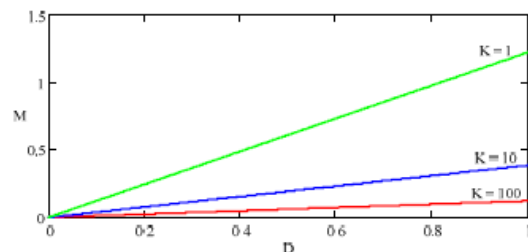


Fig. 5. Static gain as a function of duty cycle and parameter K.



#### D. Operation Restrictions

For the correct operation of the converter, the output diodes come into conduction only when the transistors are turned off. Therefore, it imposes a restriction in the choice of the transformer's turns ratio  $n$  ( $N_s/N_p$ ) as a function of the static gain value  $M$ , as presented in (3).

$$n < \frac{2}{3}M \quad (3)$$

Another restriction is verified to insure DCM operation. The tendency of the converter operate in DCM can be verified by  $K$  parameter, wherein higher values of  $K$  lead to CCM operation [14]. The value of  $K$  that leads the converter to operate in critical mode is called  $K_{crit}$  and is found by (4). So, to DCM operation,  $K$  must be smaller than  $K_{crit}$ .

$$K < K_{crit} = \frac{6}{(3n + 2M)^2} \quad (4)$$

#### E. Control and Modulation Strategies

The control scheme of the single-stage converter is shown in Figure 6. Since the converter is operating in DCM, it has the characteristic of emulating a resistor. Thus, the input currents naturally follow their respective supply voltages without current sensors and the implementation of current control loops. Therefore, the control scheme is composed by a single DC output voltage control loop.

The four active switches are command with the same gate signal. Therefore, the PWM modulator is realized with a sawtooth waveform, performing a trailing edge modulation.

The duty cycle has a constant value over a switching period and a mains period.

### III. DESIGN EQUATIONS

The main design equations for power converter are described as follows. These equations allow the reproducibility of this design as well as the design of this converter with other specifications.

The inductance values of inductors  $L_1$ ,  $L_2$  and  $L_3$ , and inductors  $L_4$ ,  $L_5$  and  $L_6$  are determined by (5) and (6), respectively. The input inductors  $L_1$ ,  $L_2$  and  $L_3$  are calculated from a ripple current specification.

The output inductors  $L_4$ ,  $L_5$  and  $L_6$  are obtained from the values of  $L_1$ ,  $L_2$  and  $L_3$ , thus it ensures that the converter will operate in discontinuous conduction mode.

$$L_1 = L_2 = L_3 = \frac{V_{pk} \cdot D}{\Delta i_{in} \cdot f_s} \quad (5)$$

$$L_4 = L_5 = L_6 = \frac{3 \cdot L_1 \cdot V_{pk}^2 \cdot D^2}{4 \cdot L_1 \cdot P_o \cdot f_s - 3 \cdot V_{pk}^2 \cdot D^2} \quad (6)$$

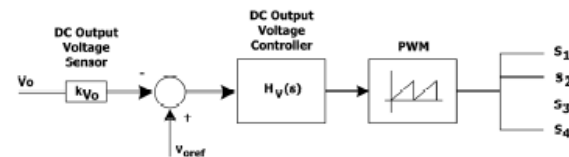


Fig. 6. Block diagram of control and PWM modulation.

where:

- $\Delta i_{in}$  - ripple current in input inductors  $L_1$ ,  $L_2$  and  $L_3$ ;
- $P_o$  - output power.

Equations (7) and (8) are used to obtain the capacitance values of capacitors  $C_1$ ,  $C_2$  and  $C_3$ , and  $C_o$ . The capacitors are designed from a ripple voltage specification.

$$C_1 = C_2 = C_3 = \frac{1}{72} \cdot \frac{L_4 \cdot (6 \cdot L_1 \cdot D \cdot V_{pk}^2 - 4 \cdot L_1 \cdot L_{eq} \cdot P_o \cdot f_s - 3 \cdot L_{eq} \cdot D \cdot V_{pk}^2)}{V_{pk}^3 \cdot L_1^2 \cdot L_{eq}^2 \cdot f_s^2 \cdot \Delta v_{Cin}} \quad (7)$$

$$C_o = \frac{V_o \cdot D}{R_o \cdot f_s \cdot \Delta v_{out}} \quad (8)$$

where:

- $\Delta v_{Cin}$  - ripple voltage in capacitors  $C_1$ ,  $C_2$  and  $C_3$ ;
- $\Delta v_{out}$  - ripple voltage in capacitor  $C_o$ .

The maximum values of voltage and current in switches are obtained by (9) and (10), respectively.

$$V_{S1\_max} = \sqrt{3} \cdot V_{pk} + \frac{V_o}{n} \quad (9)$$

$$I_{S1\_max} = \frac{4 \cdot P_o}{3 \cdot D \cdot V_{pk}} \quad (10)$$

The maximum values of voltage and current in diodes are obtained by (11) and (12), respectively.

$$V_{D1\_max} = \min \left\{ - \left( V_{pk} \cdot n + \frac{V_o}{2} \right), -V_o \right\} \quad (11)$$

$$I_{D1\_max} = \frac{4 \cdot P_o}{3 \cdot D \cdot n \cdot V_{pk}} \quad (12)$$

### IV. NUMERICAL SIMULATION RESULTS

Based on design specifications presented in Table I, an open-loop numerical simulation was realized. Table II presents the results of the converter design with the components values used in numerical simulation.

The three-phase input currents, which are  $i_{L1}$ ,  $i_{L2}$  and  $i_{L3}$ , are shown in Figure 7. The input currents have sinusoidal shape without the use of current control loops. The detailed view shows that the input currents have low current ripple even the converter is operating in discontinuous conduction mode.

TABLE I  
Design Specifications

Specification	Value
Input voltage ( $V_{pk}$ )	180 V
Output voltage ( $V_o$ )	200 V
Output power ( $P_o$ )	3 kW
Mains frequency ( $f_s$ )	60 Hz
Switching frequency ( $f_s$ )	50 kHz
Current ripple in inductor $L_1$ ( $\Delta i_{in\%}$ )	12 %
Voltage ripple in capacitor $C_1$ ( $\Delta v_{Cin\%}$ )	20 %
Output voltage ripple ( $\Delta v_{out\%}$ )	1 %

**TABLE II**  
**Converter Design Results**

Parameter	Value
Static gain ( $M$ )	1.11
Turns ratio ( $n$ )	0.50
Parameter $K$	0.30
Duty cycle ( $D$ )	0.50
Inductor 1 ( $L_1$ )	1.35 mH
Inductor 4 ( $L_4$ )	41.67 $\mu$ H
Capacitor 1 ( $C_1$ )	3.44 $\mu$ F
Output capacitor ( $C_o$ )	74.92 $\mu$ F
Maximum voltage across switch $S_1$ ( $V_{S1\_max}$ )	711.77 V
Maximum current in switch $S_1$ ( $I_{S1\_max}$ )	44.44 A
Maximum reverse voltage across diode $D_1$ ( $V_{D1\_max}$ )	-200.00 V
Maximum current in diode $D_1$ ( $I_{D1\_max}$ )	88.88 A

The output voltage and output current are exhibited in Figure 8. The average value of the output voltage is 200 V and the average value of the output current is 15 A. The detailed view shows the output voltage ripple.

Figure 9 shows the voltage across capacitors  $C_1$ ,  $C_2$  and  $C_3$ . It can observe that the voltage across capacitors  $C_1$ ,  $C_2$  and  $C_3$  follow the input voltages, which is a characteristic of SEPIC converter.

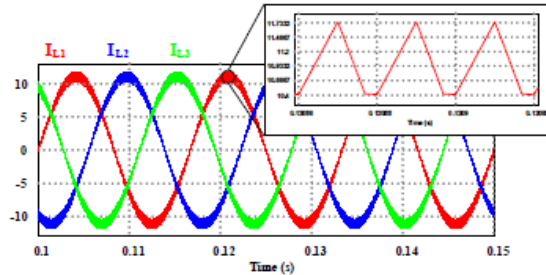


Fig. 7. Input currents waveforms.

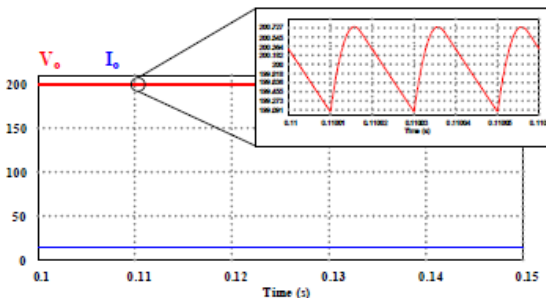


Fig. 8. Output voltage and output current waveforms.

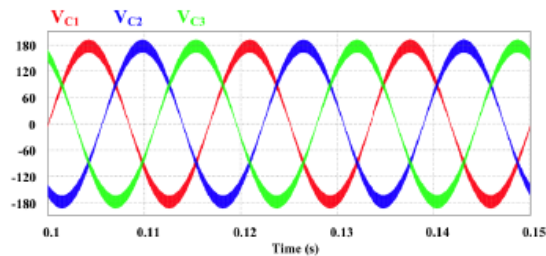


Fig. 9. Voltage waveforms across capacitors  $C_1$ ,  $C_2$  and  $C_3$ .

The voltage across switch  $S_1$  is shown in Figure 10. In this case, there are no spikes in the voltage waveform since the numerical simulation is considering ideal transformers. The maximum voltage across switch  $S_1$  is about 715 V.

Figure 11 shows the voltage across diode  $D_1$ . The maximum reverse voltage across diode  $D_1$  is equal to 200 V.

## V. PROTOTYPE ASSEMBLY

A 3 kW prototype of the proposed three-phase single-stage SEPIC converter was built. A picture of the prototype is shown in Figure 12.

The parameters of the components used in the converter are presented in Table III. The control circuit and PWM modulator was implemented using the commercial analog integrated circuit (IC) UC3525.

Currently, the prototype is under test and the experimental results will be presented in the conference.

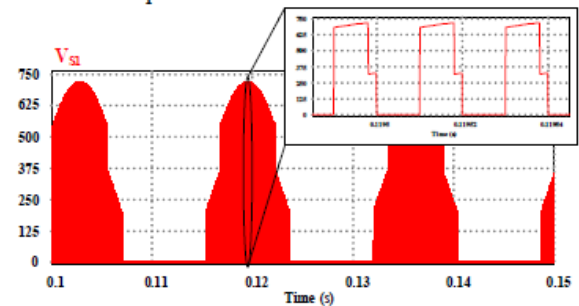


Fig. 10. Voltage waveform across switch  $S_1$ .

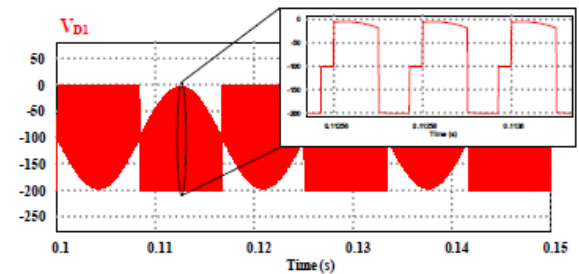


Fig. 11. Voltage waveform across diode  $D_1$ .

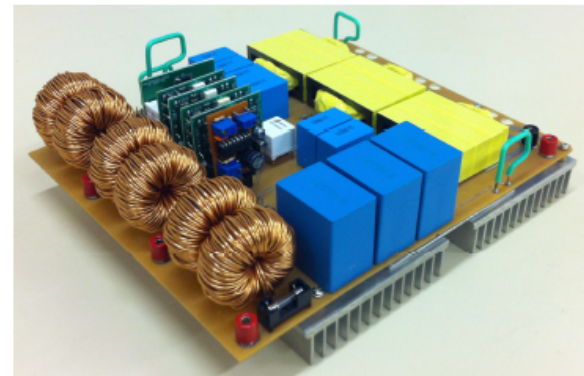


Fig. 12. Picture of the prototype.

TABLE III  
Prototype Components

Component	Specification
Inductor 1 ( $L_1$ , $L_2$ and $L_3$ )	Inductance: 1.34 mH ( $2 \times 670 \mu\text{H}$ ) Number of turns: 88 Wire: 2 x 16 AWG Core: 0088083A7 (AmoFlux Toroid)
Inductor 4 ( $L_4$ , $L_5$ and $L_6$ )	Inductance: 43.86 $\mu\text{H}$ Primary number of turns: 10 Secondary number of turns: 5 Primary wire: 10 x 22 AWG Secondary wire: 19 x 22 AWG Core: E641050 (Planar E)
Capacitor 1 ( $C_1$ , $C_2$ and $C_3$ )	4.4 $\mu\text{F}$ ( $2 \times 2.2 \mu\text{F}/275 \text{V}$ )
Output capacitor ( $C_0$ )	120 $\mu\text{F}$ ( $3 \times 40 \mu\text{F}/250 \text{V}$ )
Transistor ( $S1$ , $S2$ , $S3$ and $S4$ )	SCT2280KE (1200V/14A)
Diode ( $D1$ , $D2$ , $D3$ , $D4$ , $D5$ and $D6$ )	MUR860 (600V/8A)

## VI. CONCLUSIONS

This paper presents the theoretical analysis of a three-phase single-stage high power factor AC/DC converter based on SEPIC converter with bidirectional switches. The converter operates in DCM as a voltage follower where the input currents waveforms follow the voltages waveforms without current control loops.

This single-stage converter has high reliability, since it employs four active switches and six high frequency diodes for AC/DC conversion with high power factor and high frequency isolation.

Regarding the control system, it is composed by a single DC output voltage control loop (such as an output voltage control of a DC-DC converter), which can be realized by a commercial PWM modulator IC such as UC3525.

From the simulation results one can see that input currents are sinusoidal without a current control and the output voltage is regulated in 200 V.

A prototype was built in order to validate this proposal and the experimental results will be presented in the conference.

## ACKNOWLEDGMENTS

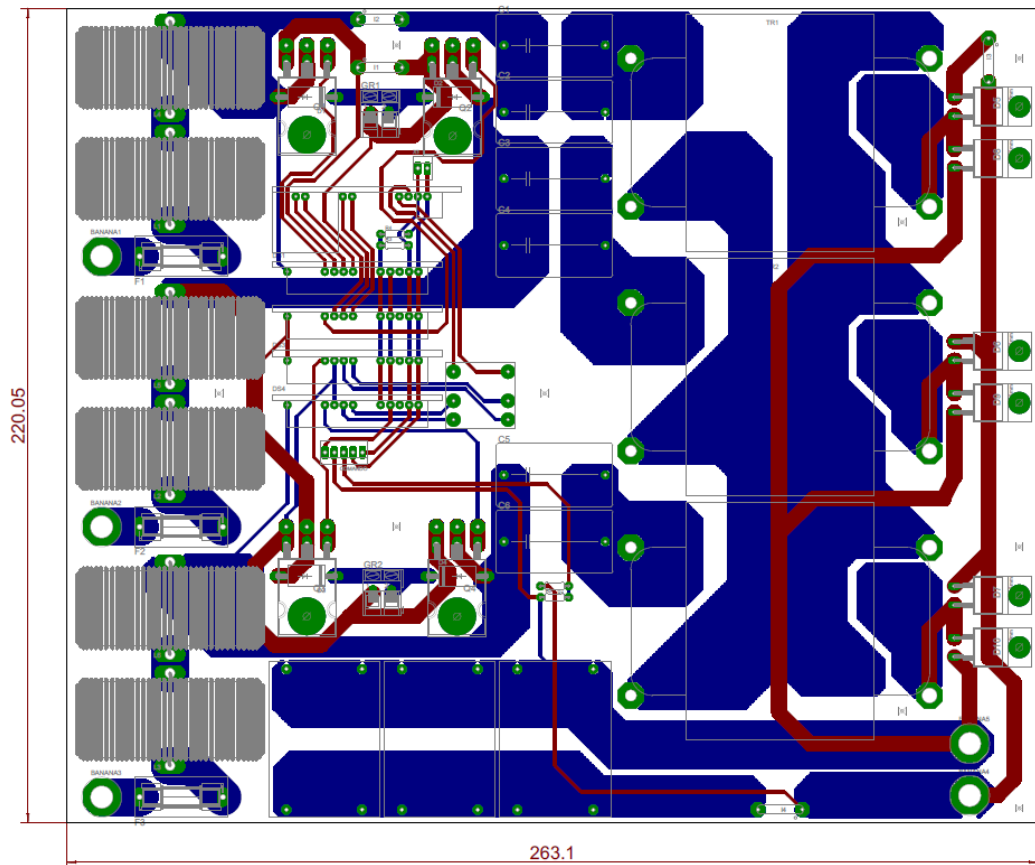
The authors would like to thank CAPES (Coordination for the Improvement of Higher Education Personnel) Foundation for their contribution to this work in the form of a grant provided to Gabriel de Oliveira Assunção.

## REFERENCES

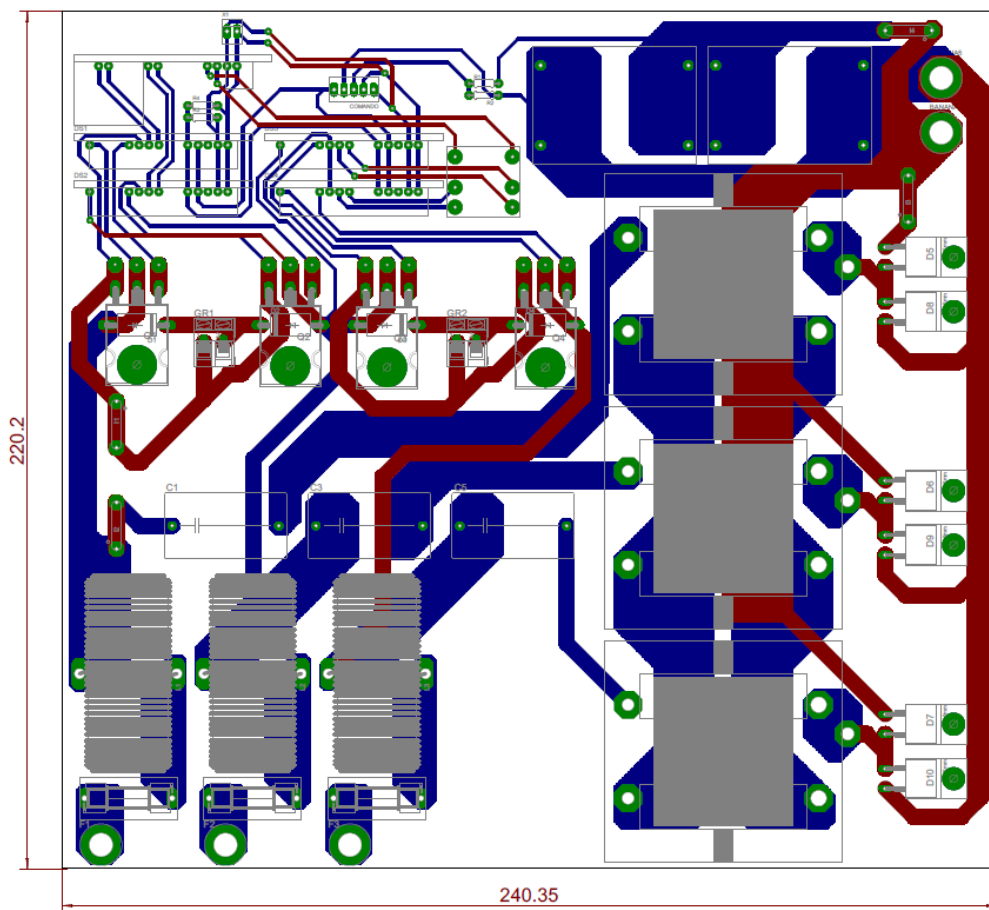
- [1] J. L. F. Vieira, J. A. Oliver, P. Alou, J. A. Cobos, "Power Converter Topologies for a High Performance Transformer Rectifier Unit in Aircraft Applications", in *Proc. of 11th IEEE/LAS International Conference on Industry Applications (INDUSCON)*, pp. 1 - 8, 2014.
- [2] J. Zhang, M. M. Jovanovic, F. C. Lee, "Comparison Between CCM Single-stage and Two-stage Boost PFC Converters", in *Proc. of Fourteenth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, vol. 1, pp. 335 - 341, 1999.
- [3] D. S. Wijeratne, G. Moschopoulos, "A Comparative Study of Two Buck-Type Three-Phase Single-Stage AC-DC Full-Bridge Converters", *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1632 - 1645, April 2014.
- [4] M. Silva, N. Hensgens, J. Oliver, P. Alou, O. Garcia, J. A. Cobos, "Isolated Swiss-Forward Three-phase Rectifier for Aircraft Applications", in *Proc. of Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 951 - 958, 2014.
- [5] D. S. Greff, R. da Silva, S. A. Mussa, A. J. Perin, I. Barbi, "A Three-phase Buck Rectifier with High-frequency Isolation by Single-Stage", in *Proc. of IEEE Power Electronics Specialists Conference (PESC)*, pp. 1129 - 1133, 2008.
- [6] L. S. Yang, T. J. Liang, J. F. Chen, R. L. Lin, "Analysis and Design of a Novel, Single-stage, Three-phase AC/DC Step-down Converter with Electrical Isolation", *IET Power Electronics*, vol. 1, no. 1, pp. 154 - 163, 2008.
- [7] J. W. Kolar, U. Drofenik, F. C. Zach, "VIENNA Rectifier II - A Novel Single-stage High-frequency Isolated Three-phase PWM Rectifier System", *IEEE Transactions on Industrial Electronics*, vol. 46, no. 4, pp. 674 - 691, August 1999.
- [8] G. Tibola, I. Barbi, "Isolated Three-Phase High Power Factor Rectifier Based on the SEPIC Converter Operating in Discontinuous Conduction Mode", *IEEE Transactions on Power Electronics*, vol. 28, no. 11, pp. 4962-4969, November 2013.
- [9] C. M. Young, C. C. Wu, "Single-stage Two-switch Three-phase Rectifier for Up-down AC-DC Conversion", *Electronics Letters*, vol. 38, no. 22, pp. 1377 - 1378, October 2002.
- [10] R. Ayyanar, N. Mohan, J. Sun, "Single-stage Three-phase Power-factor-correction Circuit Using Three Isolated Single-phase SEPIC Converters Operating in CCM", in *Proc. of IEEE 31st Annual Power Electronics Specialists Conference (PESC)*, vol. 1, pp. 353- 358, 2000.
- [11] U. Kamnarn, V. Chunkag, "Analysis and Design of a Modular Three-phase AC-to-DC Converter using CUK Rectifier Module with Nearly Unity Power Factor and Fast Dynamic Response", *IEEE Transactions on Power Electronics*, vol. 24, no. 8, pp. 2000 - 2012, August 2009.
- [12] A. L. Fuerback, C. S. Postiglione, M. L. Heldwein, A. J. Perin, "Three-/phase-/level Single-stage NPC-based Rectifier Integrating a Simple DCM PFC Technique", in *Proc. of International Conference and Exhibition for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, PCIM South America*, pp. 1 - 4, 2014.
- [13] M. Mahdavi, H. Farzanehfard, "Bridgeless SEPIC PFC rectifier with reduced components and conduction losses", *IEEE Transactions on Industry Applications*, vol. 47, no. 2, pp. 873 - 881, March/April, 2011.
- [14] R. W. Erickson, D. Maksimovic, *Fundamentals of Power Electronics*. Kluwer Academic, 2nd ed., New York, 2001.

**APÊNDICE B** - Layouts dos projetos de 3 kW e 1,5 kW  
(As dimensões são dadas em milímetros)





Protótipo de 3 kW



Protótipo de 1,5 kW

**APÊNDICE C - Planilha de cálculo utilizada no projeto**

# Conversor SEPIC trifásico com os transistores do lado CA

## 1. Especificações:

Tensão de entrada:	$V_{pk} := 180V$
Tensão de saída:	$V_o := 200V$
Potência de saída:	$P_o := 1.5kW$
Frequência de comutação:	$f_s := 50kHz$
Ondulação da corrente no indutor L1:	$\Delta i_{L1\%} := 17\%$
Ondulação da tensão no capacitor C1:	$\Delta v_{C1\%} := 15\%$
Ondulação da tensão de saída:	$\Delta v_{C_o\%} := 1\%$
Relação de espiras (Ns/Np):	$n := 0.5$
Tensão do sensor de saída:	$V_{Ref} := 2.5V$

## 2. Cálculos preliminares:

Ganho estático:	$M := \frac{V_o}{V_{pk}} = 1.111$
Carga nominal:	$R_o := \frac{V_o^2}{P_o} = 26.66\Omega$
Corrente nominal:	$I_o := \frac{P_o}{V_o} = 7.5A$
Constatação da restrição:	$n = 0.5 < \frac{M}{\sqrt{3}} = 0.642$
K crítico:	$K_{crit} := \frac{6}{(3 \cdot n + 2 \cdot M)^2} = 0.433$
Valor de K para MCD:	$K_a := 0.5 K_{crit} = 0.217$

Razão cíclica:

$$D := M \cdot \sqrt{\frac{2 \cdot K_a}{3}} = 0.422$$

Razão cíclica crítica:

$$D_{\text{crit}} := M \cdot \sqrt{\frac{2 \cdot K_{\text{crit}}}{3}} = 0.597$$

Corrente média de L1 para 1 semiciclo:

$$I_{L1 \text{ med } 1 \text{ SC}} := \frac{2 \cdot V_{\text{pk}} \cdot D^2}{\pi \cdot R_o \cdot K_a} = 3.537 \text{ A}$$

Ondulação da corrente no indutor L1:

$$\Delta i_{L1} := \frac{2}{3} \cdot \frac{P_o}{V_{\text{pk}}} \cdot \Delta i_{L1\%} = 0.944 \text{ A}$$

Ondulação da tensão no capacitor C1:

$$\Delta v_{C1} := V_{\text{pk}} \cdot \Delta v_{C1\%} = 27 \text{ V}$$

Ondulação da tensão de saída:

$$\Delta v_{C_o} := V_o \cdot \Delta v_{C_o\%} = 2 \text{ V}$$

### 3. Dimensionamento dos armazenadores de energia:

Indutor L1:

$$L1 := \frac{V_{\text{pk}} \cdot D}{f_s \cdot \Delta i_{L1}} = 1.609 \text{ mF}$$

Indutância equivalente:

$$L_{\text{eq}} := \frac{3 \cdot D^2 \cdot R_o}{4 \cdot M^2 \cdot f_s} = 57.741 \mu\text{H}$$

Indutor L4:

$$L4 := \frac{3 \cdot L1 \cdot V_{\text{pk}}^2 \cdot D^2}{4 \cdot L1 \cdot P_o \cdot f_s - 3 \cdot V_{\text{pk}}^2 \cdot D^2} = 0.06 \text{ mF}$$

Capacitor C1:

$$C1 := \frac{1}{72} \cdot \frac{L4 \left( 6 \cdot L1 \cdot D \cdot V_{\text{pk}}^2 - 4 \cdot L1 \cdot L_{\text{eq}} \cdot P_o \cdot f_s - 3 \cdot L_{\text{eq}} \cdot D \cdot V_{\text{pk}}^2 \right)^2}{V_{\text{pk}}^3 \cdot L1^2 \cdot L_{\text{eq}}^2 \cdot f_s^2 \cdot \Delta v_{C1}} = 2.537 \mu\text{F}$$

Capacitor Co:

$$C_o := \frac{V_o \cdot (2 \cdot M - 3 \cdot n \cdot D)}{2 \cdot M \cdot R_o \cdot f_s \cdot \Delta v_{C_o}} = 53.628 \mu\text{F}$$

#### 4. Outros cálculos:

Resistência crítica:  $R_{crit} := \frac{2 \cdot L_{eq} \cdot f_s}{K_{crit}} = 13.333\Omega$

Corrente máxima no indutor L1:  $I_{L1max} := \frac{2}{3} \cdot \frac{P_o}{V_{pk}} + \frac{1}{2} \cdot \frac{V_{pk} \cdot D}{L1 \cdot f_s} = 6.028A$

Corrente mínima no indutor L4:  $I_{L4min} := I_{L1max} - \frac{V_{pk} \cdot D}{L_{eq} \cdot f_s} = -20.292A$

Duração da etapa 1 (apenas para o período de chaveamento arbitrado):

$$\Delta t_1 := \frac{-1}{6} \cdot \frac{(-4 \cdot L4 \cdot L_{eq} \cdot P_o \cdot L1 \cdot f_s - 3 \cdot L4 \cdot L_{eq} \cdot V_{pk}^2 \cdot D - 6 \cdot D \cdot V_{pk}^2 \cdot L1 \cdot L_{eq} + 6 \cdot D \cdot V_{pk}^2 \cdot L1 \cdot L4)}{V_{pk}^2 \cdot L1 \cdot L_{eq} \cdot f_s} = 1.691\mu s$$

Duração da etapa 2 (apenas para o período de chaveamento arbitrado):

$$\Delta t_2 := \frac{1}{6} \cdot \frac{L4 \cdot (-4 \cdot L_{eq} \cdot P_o \cdot L1 \cdot f_s - 3 \cdot L_{eq} \cdot V_{pk}^2 \cdot D + 6 \cdot D \cdot V_{pk}^2 \cdot L1)}{f_s \cdot V_{pk}^2 \cdot L1 \cdot L_{eq}} = 6.752\mu s$$

Corrente eficaz no indutor L1:  $I_{L1ef} := \frac{\sqrt{2} \cdot P_o}{3 \cdot V_{pk}} = 3.928A$

Divisor resistivo para sensoriar a tensão de saída:  $R2 := 3.3k\Omega$

$$R1 := R2 \cdot \frac{(V_o - V_{Ref})}{V_{Ref}} = 260.7k\Omega$$

$$R1 := 270k\Omega$$

$$\frac{V_o}{R1 + R2} \cdot R2 = 2.415V$$

$$P1 := \frac{(V_o - V_{Ref})^2}{R1} = 144.468mW$$

$$P2 := \frac{V_{Ref}^2}{R2} = 1.894mW$$

### 5. Esforços nos semicondutores:

Corrente média no transistor:  
(apenas para o período de chaveamento arbitrado)

$$I_{S1medTs} := \frac{1}{2} \cdot \frac{V_{pk} \cdot D^2}{f_s \cdot L_{eq}} = 5.556A$$

Corrente eficaz no transistor:  
(apenas para o período de chaveamento arbitrado)

$$I_{S1efTs} := \frac{V_{pk} \cdot D}{f_s \cdot L_{eq}} \cdot \sqrt{\frac{D}{3}} = 9.873A$$

Corrente média no diodo:  
(apenas para o período de chaveamento arbitrado)

$$I_{D1medTs} := \frac{V_o}{R_o} = 7.5A$$

Corrente eficaz no diodo:  
(apenas para o período de chaveamento arbitrado)

$$I_{D1efTs} := \frac{\sqrt{2} \cdot V_{pk} \cdot D}{2f_s \cdot L_{eq}} \cdot \sqrt{\frac{V_{pk} \cdot D}{V_o \cdot n}} = 16.223A$$

Tensão máxima sobre o transistor S1:

$$V_{S1max} := \sqrt{3} \cdot V_{pk} + \frac{V_o}{n} = 711.769V$$

Corrente máxima no transistor S1:

$$I_{S1max} := \frac{4P_o}{3D \cdot V_{pk}} = 26.32A$$

Corrente média no transistor para 1 semiciclo:

$$I_{S1med1SC} := \frac{V_{pk} \cdot D^2}{\pi \cdot L_{eq} \cdot f_s} = 3.537A$$

Corrente eficaz no transistor:

$$I_{S1ef} := \frac{V_{pk} \cdot D}{L_{eq} \cdot f_s} \cdot \sqrt{\frac{D}{6}} = 6.981A$$

Tensão máxima sobre o diodo D1:

$$V_{D1max} := -\left(V_{pk} \cdot n + \frac{V_o}{2}\right) = -190V \quad \text{ou} \quad -V_o = -200V$$

Corrente máxima no diodo D1:

$$I_{D1max} := \frac{4P_o}{3D \cdot n \cdot V_{pk}} = 52.64A$$

Corrente média no diodo para 2 semiciclos:

$$I_{D1med} := \frac{V_{pk} \cdot D}{\pi \cdot R_o} \cdot \sqrt{\frac{3}{2 \cdot K_a}} = 2.387A$$

Corrente eficaz no diodo para 2 semiciclos:

$$I_{D1ef} := \frac{V_{pk} \cdot D}{4L_{eq} \cdot f_s} \cdot \sqrt{\frac{2 \cdot D}{M \cdot n}} = 8.112A$$

## 6. Projeto físico dos magnéticos:

Fator de utilização do primário:  $K_p := 0.5$

Fator de utilização da área do enrolamento:  $K_w := 0.55$

Máxima densidade de corrente:  $J_{\max F} := 400 \frac{\text{A}}{\text{cm}^2}$

Constante:  $cte := 15 \text{cm} \cdot \text{s}^{-0.5}$

Diâmetro máximo do fio:  $\text{Diam} := \frac{cte}{\sqrt{fs}} = 0.067 \text{cm}$

Densidade de fluxo de saturação:  $B_{\text{sat}} := 1.5 \text{T}$  Para o núcleo amorfo

Densidade de fluxo magnético:  $B_{\max} := 0.25 \text{T}$  Levando em consideração que o máximo é 0.47 T para núcleo EE da Ferroxcube

Permeabilidade do ar:  $\mu_0 := 4\pi \cdot 10^{-7} \frac{\text{H}}{\text{m}}$

Permeabilidade relativa do material do núcleo: Amorfo:  $\mu_{rA} := 60$

Ferrite:  $\mu_{rF} := 1550$

### 6.1. Projeto físico do indutor L1:

Diâmetro interno do núcleo:  $ID := 23.3 \text{mm}$

Área de seção magnética:  $A_{\text{eind}} := 107 \text{mm}^2$

Comprimento do caminho magnético médio:  $l_{\text{eind}} := 98.4 \text{mm}$

Número de espiras de L1:  $N_{L1} := \sqrt{\frac{L1 \cdot l_{\text{eind}}}{\mu_{rA} \cdot \mu_0 \cdot A_{\text{eind}}}} = 140.095$

Intensidade máxima de campo:  $H_{\max} := \frac{N_{L1} \cdot I_{L1\max}}{l_{\text{eind}}} = 8.582 \times 10^3 \frac{\text{A}}{\text{m}}$

Número máximo de espiras (para que não haja saturação de  $B_{\text{sat}}$ ):  $N_{\max B} := \frac{0.8 B_{\text{sat}} \cdot l_{\text{eind}}}{\mu_{rA} \cdot \mu_o \cdot I_{L1\max}} = 259.811$

Área do cobre no indutor:  $S_{\text{ind}} := \frac{I_{L1\text{ef}}}{J_{\max F}} = 9.821 \times 10^{-3} \cdot \text{cm}^2$

\*\*Atenção: Utilizar somente um fio com a bitola de "Sind", pois a alta frequência é verificada somente na ondulação (pouco relevante ao dimensionamento da bitola)

Pelo limite do efeito pelicular:  $\text{Diam} = 0.067 \text{cm}$

Diâmetro escolhido:  $\text{Dia}_{L1} := 0.129 \text{cm}$       AWG 16 - 0.129cm  
 $S_{\text{FioCEL1}} := 0.015207 \text{cm}^2$

Número de fios em paralelo:  $\text{nf}_{\text{ind}} := \frac{S_{\text{ind}} \cdot 4}{\pi \text{Dia}_{L1}^2} = 0.751$        ~~$\text{nf}_{\text{ind}} := 1$~~

Coefficiente de área útil interna do toride (Dissertação André Lange):  $K_u := 0.515$

Máximo número de espiras que cabem na janela:  $N_{\max J} := K_u \cdot \frac{ID^2}{S_{\text{FioCEL1}}} = 183.855$

Para ser possível:  $N_{\max J} \geq N_{L1} \cdot \text{nf}_{\text{ind}} = 1$       (1- Verdadeiro, 0- Falso)

## 6.2. Projeto físico do transformador:

Corrente eficaz no primário:  $I_{\text{pef}} := 5.87 \text{A}$

Produto das áreas:  $A_e A_w 1 := \frac{L^4 (-I_{L4\min}) \cdot I_{\text{pef}}}{B_{\max} \cdot J_{\max F} \cdot K_w} = 1.297 \text{cm}^4$



Núcleo escolhido:  
55/28/21

$$\text{Área efetiva: } A_{e1} := 354\text{mm}^2$$

$$\text{Área da janela: } A_{w1} := 250\text{mm}^2$$

$$\text{Comprimento Efetivo: } l_{e1} := 120\text{mm}$$

$$A_{e1} \cdot A_{w1} = 8.85\text{cm}^4$$

Número de espiras  
do primário:

$$N_{11} := \frac{L^4 \cdot (-I_{L4\text{min}})}{B_{\text{max}} \cdot A_{e1}} = 13.732$$

Número de espiras  
do secundário:

$$N_{21} := N_{11} \cdot n = 6.866$$

Área do cobre no primário:

$$S_{tr11} := \frac{I_{\text{pef}}}{J_{\text{maxF}}} = 0.015\text{cm}^2$$

Pelo limite do efeito pelicular:

$$\text{Diam} = 0.067\text{cm}$$

Diâmetro escolhido:

$$\text{Dia}_{tr1} := 0.02\text{cm} \quad \begin{array}{l} \text{Lit: } 32 \times 32 \\ \text{AWG } 32 - 0.02\text{cm} \end{array}$$

Número de fios em paralelo:

$$n_{f_{tr11}} := \frac{S_{tr11} \cdot 4}{\pi \text{Dia}_{tr1}^2} = 46.712 \quad \text{nf}_{tr11} := 64 \quad \frac{n_{f_{tr11}}}{32} = 2$$

Área do cobre no primário:

$$S_{tr21} := \frac{I_{\text{pef}}}{n \cdot J_{\text{maxF}}} = 0.029\text{cm}^2$$

Número de fios em paralelo:

$$n_{f_{tr21}} := \frac{S_{tr21} \cdot 4}{\pi \text{Dia}_{tr1}^2} = 93.424 \quad \text{nf}_{tr21} := 96 \quad \frac{n_{f_{tr21}}}{32} = 3$$

Entreferro (gap):

$$g_{tr1} := \frac{N_{11}^2 \cdot \mu_o \cdot A_{e1}}{L^4} = 1.401\text{mm}$$

Possibilidade de execução:

$$A_{w\text{Min}1} := \frac{N_{11} \cdot n_{f_{tr11}} \cdot \left( \frac{\pi \text{Dia}_{tr1}^2}{4} \right) + N_{21} \cdot n_{f_{tr21}} \cdot \left( \frac{\pi \text{Dia}_{tr1}^2}{4} \right)}{K_w} = 8.785 \times 10^{-5} \text{m}^2$$

$$\text{Exec}_1 := \frac{A_{w\text{Min}1}}{A_{w1}} = 0.351 \quad \text{Para ser possível, Exec} < 1$$

## 7. Projeto do grampeador:

Indutância de dispersão:  $L_{Disp} := 1.5\mu\text{H}$

Tensão de grampeamento:  $V_{Gramp} := 1100\text{V}$

Intervalo de grampeamento:

$$\Delta t_{Gramp} := 2 \frac{L_{Disp} \cdot V_{pk} \cdot D}{L_{eq} \cdot f_s} \cdot \left[ \frac{1}{\left( V_{Gramp} - \sqrt{3} \cdot V_{pk} - \frac{V_o}{n} \right)} + \frac{1}{\left( 2 \cdot V_{Gramp} - \sqrt{3} \cdot V_{pk} - \frac{V_o}{n} \right)} \right] = 0.256\mu\text{s}$$

Potência média  $V_{abpk}$ :  $P_{g11} := \frac{L_{Disp} \cdot V_{Gramp} \cdot V_{pk}^2 \cdot D^2 \cdot \cos\left(\frac{\pi}{6}\right)}{L_{eq}^2 \cdot f_s \cdot \left( V_{Gramp} - \sqrt{3} \cdot V_{pk} - \frac{V_o}{n} \right)} = 127.488\text{W}$

Potência média  $V_{capk}$ :  $P_{g12} := \frac{L_{Disp} \cdot V_{Gramp} \cdot V_{pk}^2 \cdot D^2 \cdot \cos\left(\frac{\pi}{6}\right)}{L_{eq}^2 \cdot f_s \cdot \left( 2V_{Gramp} - \sqrt{3} \cdot V_{pk} - \frac{V_o}{n} \right)} = 33.257\text{W}$

Potência média no grampeador:  $P_{Gramp} := \frac{P_{g11} + P_{g12}}{2} = 80.373\text{W}$

Varição da tensão no capacitor do grampeador:  $\Delta v_{CGramp\%} := 1\%$

$$\Delta v_{CGramp} := V_{Gramp} \cdot \Delta v_{CGramp\%} = 11\text{V}$$

Capacitor do grampeador:  $C_{Gramp} := \frac{P_{Gramp}}{V_{Gramp} \cdot \Delta v_{CGramp} \cdot f_s} = 132.847\text{nF}$

Resistor do grampeador:  $R_{Gramp} := \frac{V_{Gramp}^2}{P_{Gramp}} = 15.055\text{k}\Omega$

## 8. Perdas no cobre e no núcleo - Núcleo EE:

Comprimento médio de uma espira no primário:  $l_{EspMed1} := 255\text{mm}$

Comprimento médio de uma  
espira no secundário:

$$l_{\text{EspMed2}} := 255\text{mm}$$

Resistência do fio por cm:

$$R_{\text{Fio}} := 0.000561 \frac{\Omega}{\text{cm}}$$

Número de condutores:

$$n_{\text{tr11}} = 64 \quad n_{\text{tr21}} = 96$$

Resistência do enrolamento  
no primário:

$$R_{\text{Enro1}} := \frac{N1_1 \cdot l_{\text{EspMed1}} \cdot R_{\text{Fio}}}{4} = 0.049\Omega$$

Resistência do enrolamento  
no secundário:

$$R_{\text{Enro2}} := \frac{N2_1 \cdot l_{\text{EspMed2}} \cdot R_{\text{Fio}}}{4} = 0.025\Omega$$

Perdas no enrolamento  
do primário:

$$P_{\text{Enro1}} := R_{\text{Enro1}} \cdot I_{\text{pef}}^2 = 1.692\text{W}$$

Perdas no enrolamento  
do secundário:

$$P_{\text{Enro2}} := R_{\text{Enro2}} \cdot \left( \frac{I_{\text{pef}}}{n} \right)^2 = 3.384\text{W}$$

Coefficiente de perdas  
por histerese:

$$K_h := 4 \cdot 10^{-5}$$

Coefficiente de perdas  
por correntes parasitas:

$$K_f := 4 \cdot 10^{-10} \text{s}$$

Volume do núcleo:

$$V_{\text{Nucleo}} := 17. \text{cm}^3$$

Perdas no núcleo:

$$P_{\text{Nucleo}} := \frac{B_{\text{max}}^{2.4} \cdot (K_h \cdot f_s + K_f \cdot f_s^2) \cdot V_{\text{Nucleo}}}{10^{-6} \frac{\text{m}^3 \cdot \text{kg}^{2.4}}{\text{A}^{2.4} \cdot \text{s}^{5.8}}} \text{W} = 1.842\text{W}$$

### 9. Perdas no transistor:

Resistência entre DS em  
condução:

$$R_{\text{DSon}} := 0.04\Omega$$

Corrente máxima entre DS:

$$I_{\text{S1max}} = 26.32\text{A}$$

Tempo de descida:

$$t_f := 25\text{ns}$$

Perdas em condução:  $P_{\text{Cond}} := R_{\text{DSon}} \cdot I_{\text{S1ef}}^2 = 1.95\text{W}$

Perdas de comutação:  $P_{\text{Com}} := f_s \cdot t_f \cdot V_{\text{S1max}} \frac{I_{\text{S1max}}}{\pi} = 7.454\text{W}$

### 10. Rendimento:

Perdas totais:  $P_{\text{T}} := 2P_{\text{Gramp}} + 3(P_{\text{Enro1}} + P_{\text{Enro2}} + P_{\text{Nucleo}}) + 4(P_{\text{Cond}} + P_{\text{Com}}) = 219.114\text{W}$

Rendimento:  $\text{Rend} := 1 - \frac{P_{\text{T}}}{P_{\text{o}}} = 0.854$

### 11. Proteção dos drivers:

Máxima tensão nos transistores quando acionados:  $V_{\text{Sat}} := I_{\text{S1max}} \cdot R_{\text{DSon}} = 1.053\text{V}$

Para desarmar o driver:  $I_{\text{S1max}} = 26.32\text{A}$  deve ser maior que  $\frac{5.6\text{V}}{R_{\text{DSon}}} = 140\text{A}$

$\frac{1}{4f_s} = 5 \cdot \mu\text{s}$  CCE:= 120pF

Tempo pré-proteção:  $t_{\text{prot}} := 1.904\mu\text{s} + \left( \frac{\text{CCE}}{\text{pF}} \cdot 0.028 \right) \mu\text{s} = 5.264\mu\text{s}$

### 12. Função Transferência:

Função de Transferência da Planta:  $f := 1\text{Hz}, 10\text{Hz}.. 1 \cdot 10^6\text{Hz}$

$$s_{\lambda}(f) := j \cdot 2 \cdot \pi \cdot f$$

$$G_v(f) := \frac{6 \cdot V_o \cdot V_{pk}^2 \cdot R_o \cdot D}{4 \cdot V_o^2 \cdot f_s \cdot L_{eq} \cdot R_o \cdot \cos(f) + 4 \cdot V_o^2 \cdot f_s \cdot L_{eq} + 3V_{pk}^2 \cdot D^2 \cdot R_o} \cdot \frac{1}{V}$$

$$G_{v_{\text{mod}}}(f) := 20 \cdot \log(|G_v(f)|)$$

$$G_{v_{\text{fase}}}(f) := \frac{180}{\pi} \cdot \arg(G_v(f))$$

Parâmetros do Circuito de Controle:

$$V_{\text{Ref}} = 2.5 \text{ V}$$

Amplitude da Triangular:

$$V_{t_{\text{pk}}} := 3.336 \text{ V} \quad V_{t_{\text{min}}} := 0.975 \text{ V}$$

Ganho do Sensor de Tensão:

$$k_{s_v} := \frac{V_{\text{Ref}}}{V_o} = 0.013$$

Ganho do Modulador PWM:

$$k_{\text{PWM}} := \frac{1 \cdot V}{V_{t_{\text{pk}}} - V_{t_{\text{min}}}} \quad k_{\text{PWM}} = 0.424$$

Frequência de Cruzamento:  
(Para que o controle veja o filtro como um sistema contínuo)

$$f_c := \frac{f_s}{100} = 500 \text{ Hz}$$

Frequência do Pólo do Compensador:

$$f_p := 10 f_c = 5 \text{ kHz}$$

Frequência do Zero do Compensador:

$$f_z := \frac{f_c}{10} = 0.05 \text{ kHz}$$

Função de Transferência do Compensador sem Ganho:

$$H_{vsk}(f) := \frac{s(f) + 2 \cdot \pi \cdot f_z}{s(f) \cdot (s(f) + 2 \cdot \pi \cdot f_p)} \cdot \text{Hz}$$

Ganho do Compensador:  
Uma vez que, para a frequência de corte, o valor absoluto (do módulo) deve ser igual a 1 (em dB igual a 0)

$$k_{H_v} := \frac{1}{|G_v(f_c)| \cdot |H_{vsk}(f_c)| \cdot k_{s_v} \cdot k_{\text{PWM}}}$$

$$k_{H_v} = 3.08 \times 10^4$$

Compensador de Tensão:

$$H_v(f) := k_{H_v} \cdot \frac{s(f) + 2 \cdot \pi \cdot f_z}{s(f) \cdot (s(f) + 2 \cdot \pi \cdot f_p)} \cdot \text{Hz}$$

$$H_{v_{\text{mod}}}(f) := 20 \log(|H_v(f)|)$$

$$H_{v_{\text{fase}}}(f) := \frac{180}{\pi} \cdot \arg(H_v(f))$$

Função de Transferência de Laço Aberto:

$$F_{TLA_v}(f) := G_v(f) \cdot H_v(f) \cdot k_{s_v} \cdot k_{\text{PWM}}$$

$$F_{TLA_{v_{\text{mod}}}}(f) := 20 \log(|F_{TLA_v}(f)|)$$

$$F_{TLA_{v_{\text{fase}}}}(f) := \frac{180}{\pi} \cdot \arg(F_{TLA_v}(f))$$

Margem de Fase:

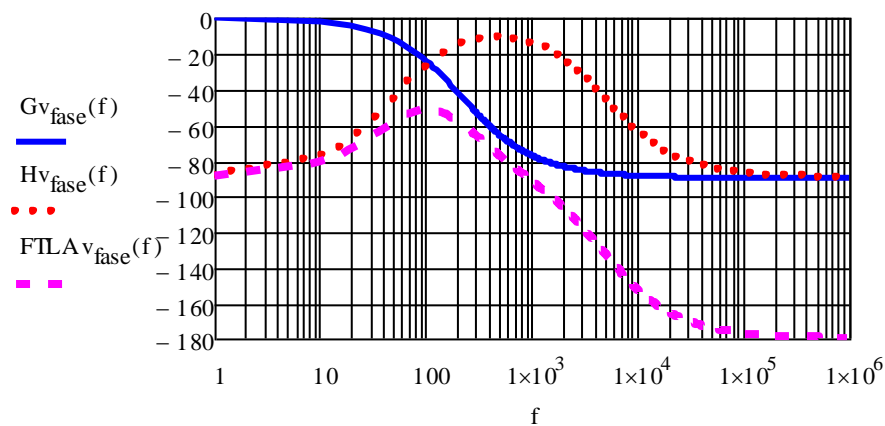
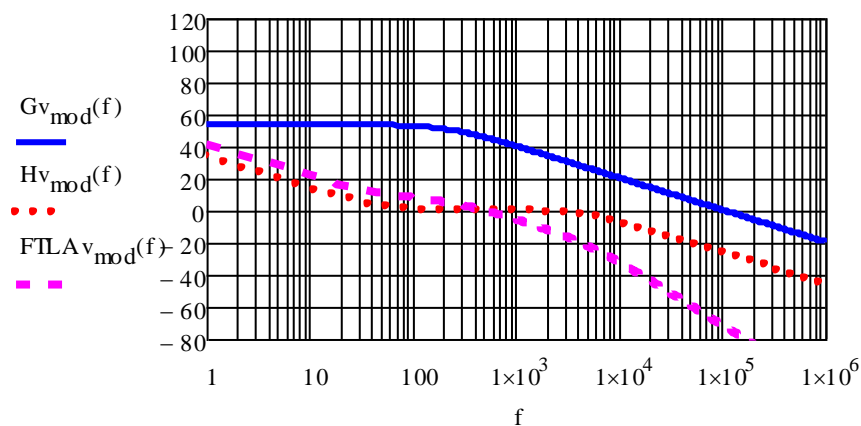
$$20 \log(|FTLA_v(f_c)|) = 0 \quad \text{dB}$$

$$\frac{180}{\pi} \cdot \arg(FTLA_v(f_c)) = -77.424 \quad \text{graus}$$

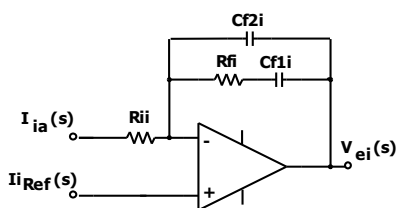
$$MF_v := 180 - \left| \frac{180}{\pi} \cdot \arg(FTLA_v(f_c)) \right|$$

$$MF_v = 102.576 \quad \text{graus}$$

Diagramas de Bode:



Componentes do Compensador de Corrente:



$$R_{ii} := 8.2 \text{ k}\Omega$$

$$Cf2i := \frac{1}{k_{HV} \cdot R_{ii}} \cdot \Omega \cdot F \quad Cf2i = 3.96 \text{ nF}$$

$$Cf1i := 2.7 \text{ nF}$$

$$C_{fi} := C_{\ell i} \left( \frac{f_p}{f_z} - 1 \right) \quad C_{fi} = 267.3nF$$

$$C_{fi} := 270nF$$

$$R_{fi} := \frac{1}{2 \cdot \pi \cdot f_z \cdot C_{fi}} \quad R_{fi} = 11.789k\Omega$$

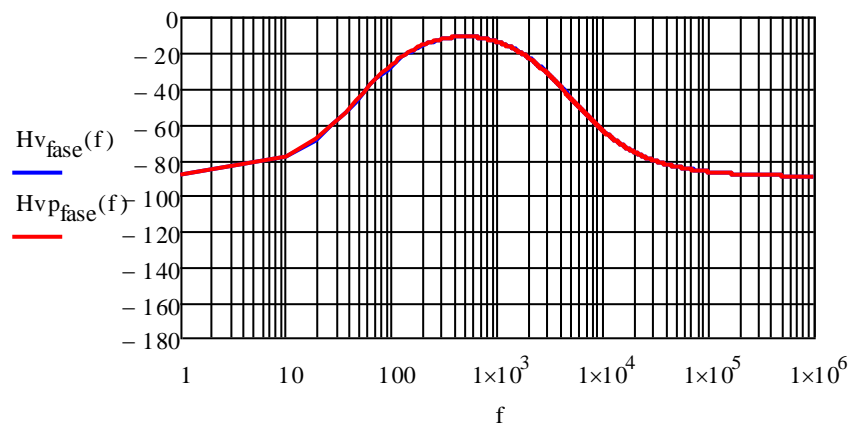
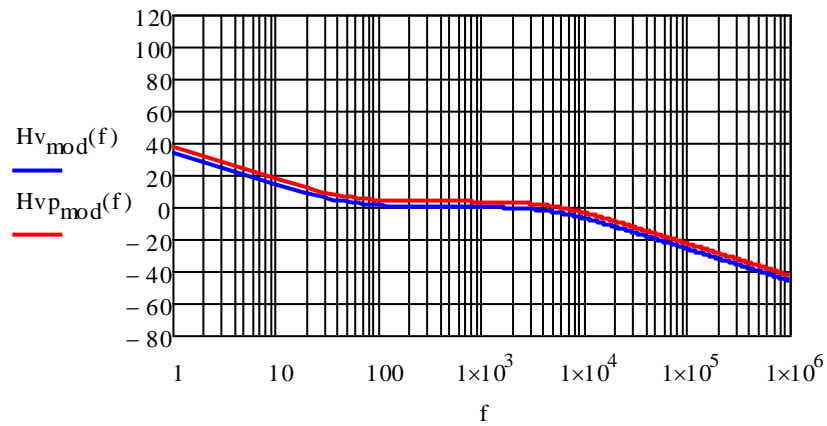
$$R_{fi} := 12k\Omega$$

Verificação do Projeto do Compensador:

$$H_{vp}(f) := \frac{1}{R_{ii} C_{\ell i}} \cdot \frac{s(f) + \frac{1}{R_{fi} \cdot C_{fi}}}{s(f) \cdot \left( s(f) + \frac{C_{fi} + C_{\ell i}}{R_{fi} \cdot C_{fi} \cdot C_{\ell i}} \right)}$$

$$H_{vp_{mod}}(f) := 20 \cdot \log(|H_{vp}(f)|)$$

$$H_{vp_{fase}}(f) := \frac{180}{\pi} \cdot \arg(H_{vp}(f))$$



### 13. Característica Externa:

Variação da tensão de saída:	$V_{\text{ovar}} := 0V, 10V.. V_0$														
Relação de espiras:	$n := 0.5$														
Tensão de entrada:	$V_{\text{pk}} = 180V$														
Ganho no ponto crítico:	$M_{\text{crit}}(V_{\text{ovar}}) := \frac{V_{\text{ovar}}}{V_{\text{pk}}}$														
k crítico:	$k_{\text{crit}}(V_{\text{ovar}}) := \frac{6}{(3 \cdot n + 2 \cdot M_{\text{crit}}(V_{\text{ovar}}))^2}$														
Razão cíclica crítica:	$D_{\text{crit}}(V_{\text{ovar}}) := M_{\text{crit}}(V_{\text{ovar}}) \cdot \sqrt{\frac{2 \cdot k_{\text{crit}}(V_{\text{ovar}})}{3}}$														
Carga crítica:	$R_{\text{crit}}(V_{\text{ovar}}) := \frac{2 \cdot L_{\text{eq}} \cdot f_s}{k_{\text{crit}}(V_{\text{ovar}})}$														
Corrente de saída crítica:	$I_{\text{ocrit}}(V_{\text{ovar}}) := \frac{V_{\text{ovar}}}{R_{\text{crit}}(V_{\text{ovar}})}$														
	$I_{\text{ovar}}(V_{\text{ovar}}) := 0.1A, 0.2A.. I_{\text{ocrit}}(V_{\text{ovar}})$														
Corrente de saída parametrizada crítica:	$I_{\text{oparcrit}}(V_{\text{ovar}}) := \frac{I_{\text{ocrit}}(V_{\text{ovar}}) \cdot L_{\text{eq}} \cdot f_s}{V_{\text{pk}}}$														
Correntes parametrizadas com limite no valor crítico respectivo:	<table> <tr> <td><math>I_{\text{oparcrit}}(200V) = 0.241</math></td> <td><math>I_{\text{opar1}} := 0.053, 0.054.. 0.241</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(170V) = 0.247</math></td> <td><math>I_{\text{opar2}} := 0.047, 0.048.. 0.247</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(140V) = 0.25</math></td> <td><math>I_{\text{opar3}} := 0.039, 0.04.. 0.25</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(110V) = 0.247</math></td> <td><math>I_{\text{opar4}} := 0.03, 0.031.. 0.247</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(80V) = 0.234</math></td> <td><math>I_{\text{opar5}} := 0.02, 0.021.. 0.234</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(50V) = 0.197</math></td> <td><math>I_{\text{opar6}} := 0.011, 0.012.. 0.197</math></td> </tr> <tr> <td><math>I_{\text{oparcrit}}(20V) = 0.112</math></td> <td><math>I_{\text{opar7}} := 0.002, 0.003.. 0.112</math></td> </tr> </table>	$I_{\text{oparcrit}}(200V) = 0.241$	$I_{\text{opar1}} := 0.053, 0.054.. 0.241$	$I_{\text{oparcrit}}(170V) = 0.247$	$I_{\text{opar2}} := 0.047, 0.048.. 0.247$	$I_{\text{oparcrit}}(140V) = 0.25$	$I_{\text{opar3}} := 0.039, 0.04.. 0.25$	$I_{\text{oparcrit}}(110V) = 0.247$	$I_{\text{opar4}} := 0.03, 0.031.. 0.247$	$I_{\text{oparcrit}}(80V) = 0.234$	$I_{\text{opar5}} := 0.02, 0.021.. 0.234$	$I_{\text{oparcrit}}(50V) = 0.197$	$I_{\text{opar6}} := 0.011, 0.012.. 0.197$	$I_{\text{oparcrit}}(20V) = 0.112$	$I_{\text{opar7}} := 0.002, 0.003.. 0.112$
$I_{\text{oparcrit}}(200V) = 0.241$	$I_{\text{opar1}} := 0.053, 0.054.. 0.241$														
$I_{\text{oparcrit}}(170V) = 0.247$	$I_{\text{opar2}} := 0.047, 0.048.. 0.247$														
$I_{\text{oparcrit}}(140V) = 0.25$	$I_{\text{opar3}} := 0.039, 0.04.. 0.25$														
$I_{\text{oparcrit}}(110V) = 0.247$	$I_{\text{opar4}} := 0.03, 0.031.. 0.247$														
$I_{\text{oparcrit}}(80V) = 0.234$	$I_{\text{opar5}} := 0.02, 0.021.. 0.234$														
$I_{\text{oparcrit}}(50V) = 0.197$	$I_{\text{opar6}} := 0.011, 0.012.. 0.197$														
$I_{\text{oparcrit}}(20V) = 0.112$	$I_{\text{opar7}} := 0.002, 0.003.. 0.112$														
Variação do ganho:	$M_{\text{var}}(V_{\text{ovar}}, I_{\text{opar1}}) := \frac{3}{4} \cdot \frac{D_{\text{crit}}(V_{\text{ovar}})^2}{I_{\text{opar1}}}$														



