

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DAELE – DEPARTAMENTO DE ELETRÔNICA
TECNOLOGIA EM AUTOMAÇÃO INDUSTRIAL**

**AURÉLIO MIGUEL OLIARSKI
JULIANO BUENO DA SILVA
RAFAEL PIEDADE CASARO**

***DRIVER* ELETRÔNICO COM SEIS SAÍDAS ISOLADAS PARA
TRANSISTORES DE POTÊNCIA DO TIPO IGBT**

TRABALHO DE CONCLUSÃO DE CURSO

PONTA GROSSA

2016

AURÉLIO MIGUEL OLIARSKI
JULIANO BUENO DA SILVA
RAFAEL PIEDADE CASARO

***DRIVER* ELETRÔNICO COM SEIS SAÍDAS ISOLADAS PARA
TRANSISTORES DE POTÊNCIA DO TIPO IGBT**

Trabalho de Conclusão de Curso apresentado como requisito parcial à obtenção do título de Tecnólogo em Automação Industrial do DAELE – Departamento de Eletrônica, da Universidade Tecnológica Federal do Paraná.

Orientador: Prof. Dr. Marcio Mendes Casaro

PONTA GROSSA

2016



TERMO DE APROVAÇÃO

**DRIVER ELETRÔNICO COM SEIS SAÍDAS ISOLADAS PARA TRANSISTORES
DE POTÊNCIA DO TIPO IGBT**

por

**AURÉLIO MIGUEL OLIARSKI
JULIANO BUENO DA SILVA
RAFAEL PIEDADE CASARO**

Este Trabalho de Conclusão de Curso foi apresentado em 14 de setembro de 2016 como requisito parcial para a obtenção do título de Tecnólogo em Tecnologia em Automação Industrial. Os candidatos foram arguidos pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho aprovado.

Marcio Mendes Casaro
Professor orientador

Edison Luiz Salgado Silva
Membro titular

Jeferson José Lima
Membro titular

- O Termo de Aprovação assinado encontra-se na Coordenação do Curso -

Dedico este trabalho à minha família,
professores e colegas, que de algum
modo nos ajudaram na superação
para chegarmos até aqui.

AGRADECIMENTOS

Primeiramente agradeço a o nosso professor orientador Marcio Mendes Casaro, que com sua sabedoria nos guiou, não medindo esforços para a execução desse projeto.

Aos nossos colegas que fizeram parte desse trabalho, que foram de imensa colaboração, animo e energia para concluí-lo com excelência.

A universidade UTFPR e seus colaboradores, que disponibilizaram o centro de pesquisa, e alguns de seus recursos para a realiza-lo.

Em especial, minha família que em nenhum momento mediram esforços para colaborar com a solução dos desafios que enfrentamos ao decorrer do curso.

Certamente ainda, estes parágrafos não irão atender a todas as pessoas que fizeram parte dessa importante fase de minha vida. Portanto, desde já peço desculpas àquelas que não estão presentes entre essas palavras, mas elas podem estar certas que fazem parte do meu pensamento e de minha gratidão.

Enfim, a todos os que por algum motivo contribuíram para a realização desta pesquisa.

RESUMO

OLIARSKI, A. M.; SILVA, J. B.; CASARO, R. P. **Driver eletrônico com seis saídas isoladas para transistores de potência do tipo IGBT**. 2016. 43 páginas. Trabalho de Conclusão de Curso (Tecnologia em Automação Industrial) - Universidade Tecnológica Federal do Paraná. Ponta Grossa, 2016.

Neste trabalho, foi desenvolvido um *driver* para acionamento de transistores de potência do tipo IGBT. Como principais características do protótipo elaborado destacam-se o isolamento galvânico entre o gerador dos pulsos de comando e o *gate* do transistor acionado, a compatibilidade com circuitos CMOS e TTL, a alimentação única em 15V e a possibilidade de acionar até seis transistores simultaneamente. O circuito foi todo desenvolvido com componentes eletrônicos de baixo custo e de fácil aquisição. A flexibilidade para se atualizar algum componente também é um ponto forte. Assim, não se terá grandes alterações na estrutura caso algum componente tenha sua disponibilidade descontinuada pela indústria eletrônica. A proposta do *driver* surgiu da carência deste tipo de dispositivo com saídas isoladas. Isso é obrigatório para algumas aplicações em Eletrônica de Potência. Inversores NPC de três níveis possuem quatro transistores conectados em série. Neste exemplo, os *drivers* necessitariam de fontes de alimentação isoladas para poderem operar em diferentes pontos de referência. Embora essa implementação seja possível, a mesma eleva os custos e o volume global do inversor. Neste trabalho, os 15V de uma única fonte de alimentação são convertidos para um sinal alternado de alta frequência e aplicados no primário de um transformador. Esse transformador contém seis secundários isolados entre si. Cada um destes secundários possui estágios de saída do tipo *push-pull*, com transistores bipolares comandados por isoladores ópticos. Testes experimentais demonstraram que os tempos de subida e de descida dos pulsos na saída do *driver*, bem como o tempo de propagação dos mesmos, concorrem com dispositivos comerciais.

Palavras-chave: *Driver*. PWM. Transistor de Potência. Isolamento Óptico.

ABSTRACT

OLIARSKI, A. M., SILVA, J. B.; CASARO, R. P. **Electronic driver with six isolated outputs for IGBT power transistors.** 2016. 43 pages. Trabalho de Conclusão de Curso Tecnologia em Automação Industrial - Federal Technology University - Paraná. Ponta Grossa, 2016.

In this work, it was developed a driver for actuation of IGBT power transistors. the main characteristics of the developed prototype stand out the galvanic isolation between the pulse generator and the gate, the compatibility with circuits CMOS and TTL, a single source of 15V and the possibility of actuate until six transistors simultaneously. The circuit was developed with electronic components of low price and easy acquiring. The flexibility to update the electronic components also is a strong point. So, won't have great changes in the structure in case of some components becomes unavailable in the electronical industry. The proposal of the driver arose of the need of this kind of device with isolated outputs. This is required to some applications in power electronics. NPC inverters of three levels have four transistors connected in series. In this example, the drivers need isolated sources to operate on different reference points. Although this implementation be possible, the same raises the costs and the global size of the inverter. In this work, the 15V of a single source are converted to an alternated signal of high frequency and applied in the primary winding of a transformer. This transformer has six isolated secondary windings each other. Each of secondary windings have push-pull output stages, with bipolar transistors commanded by optical isolators. Experimental tests have shown that the times of rise and fall of the pulses in the output of the driver as well as the propagation times can compete with the commercial devices.

Keywords: *Driver.* PWM. Power Transistor. Optical isolation.

LISTA DE ILUSTRAÇÕES

Figura 1 Inversor monofásico de três níveis do tipo NPC.	14
Figura 2 Transistores de potência indicados para uso em conversores chaveados, com destaque para as capacitâncias parasitas.	15
Figura 3 Formas de onda correspondentes ao bloqueio de um IGBT.	16
Figura 4 Push-pull no estágio de saída.	17
Figura 5 Esquemático do gerador de pulsos.	20
Figura 6 Sinal gerado pelo SG3525.	21
Figura 7 Tensão no secundário do transformador.	23
Figura 8 Sinal gerado após 6n137.	23
Figura 9 Estágio de Saída.	24
Figura 10 Propagação low-high.	25
Figura 11 Propagação high-low.	26
Figura 12 Demonstração da coleta dos tempos de subida e descida de um pulso. ...	27
Figura 13 Topologia do estágio de saída.	27
Figura 14 Etapas de funcionamento.	28
Figura 15 Tempo de subida para o capacitor de 1nF.	29
Figura 16 Tempo de descida para capacitor de 1nF.	29
Figura 17 Tempo de subida para capacitor 2,2nF.	30
Figura 18 Tempo de descida para capacitor 2,2nF.	30
Figura 19 Tempo de subida para capacitor 3,3nF.	31
Figura 20 Tempo de descida para capacitor 3,3nF.	31
Figura 21 Tempo de subida para capacitor 4,7nF.	32
Figura 22 Tempo de descida para capacitor 4,7nF.	32
Figura 23 Topologia ressonante.	33
Figura 24 Etapas de funcionamento do circuito ressonante.	34
Figura 25 Diagrama do circuito RL.	36
Figura 26 Tensões da fonte (V_p) e do resistor (V_r).	37
Figura 27 Circuito RLC série com alimentação senoidal variável.	38
Figura 28 Tempo de subida com o circuito ressonante, para capacitor de 1nF.	39
Figura 29 Tempo de descida com o circuito ressonante, para capacitor de 1nF.	39
Figura 30 Tempo de subida com o circuito ressonante, para capacitor de 2.2nF.	40
Figura 31 Tempo de descida com o circuito ressonante, para capacitor de 2.2nF. ...	40
Figura 32 Tempo de subida com o circuito ressonante, para capacitor de 3.3nF.	41
Figura 33 Tempo de descida com o circuito ressonante, para capacitor de 3.3nF. ...	41
Figura 34 Tempo de subida com o circuito ressonante, para capacitor de 4.7nF.	42
Figura 35 Tempo de descida com o circuito ressonante, para capacitor de 4.7nF. ...	42
Figura 36 Diagrama do circuito do driver proposto com uma saída.	46
Fotografia 1 Transformador.	21
Fotografia 2 Indutor.	36
Fotografia 3 Placa de circuito do protótipo da topologia 1.	45

LISTA DE TABELAS

Tabela 1 Lista de componentes do estágio de saída.	24
Tabela 2 Tempos de subida e descida.....	28
Tabela 3 Tempos de subida e de descida, com o circuito ressonante.	38
Tabela 4 Comparação dos tempos de propagação.....	44
Tabela 5 Custo do driver DR0100D25A.....	44
Tabela 6 Custo estimado do Driver proposto.	44

LISTA DE SIGLAS

$\Delta\beta$	Variação da indução magnético
Δt	Variação do tempo
μ	Micro
A	Corrente
C	Capacitor
CA	Corrente alternada
CC	Corrente continua
CGC	Corrente <i>Gate</i> Coletor
CI	Circuito Integrado
CMOS	<i>complementary metal-oxide-semiconductor</i>
CPU	Unidade Central de Processamento
CT	Capacitor transistor
D	Diodo
DSP	<i>Digital Signal Processor</i>
DV _{ce}	Variação da tensão coletor emissor
F	Faraday
FPGA	<i>Field-programmable gate array</i>
Hz	Hertz
I _c	Corrente do coletor
I _g	Corrente do <i>gate</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
K	Quilo
L	Indutor
n	Nano
NPC	<i>Neutral Point Clamped</i>
PWM	<i>Pulse Width Modulation</i> (Modulação por largura de pulso)
TTL	<i>Transistor–transistor logic</i>
V	Tensão
V _{ci}	Capacitância interna do transistor
V _{ce}	Tensão emissor coletor
V _{ge}	Tensão <i>gate</i> emissor
V _~	Tensão Alternada
R	Resistor

s	Segundos
S	Transistor
T	Tesla

SUMÁRIO



UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ	15
1 INTRODUÇÃO	13
1.1 PROBLEMA	14
1.2 OBJETIVO	17
1.3 JUSTIFICATIVA	18
1.4 METODOLOGIA	18
2 DESENVOLVIMENTO	20
2.1 GERADOR DE PULSOS ALTERNADOS DE ALTA FREQUÊNCIA	20
2.2 TRANSFORMADOR ISOLADOR.	21
2.3 ISOLADOR ÓPTICO E <i>BUFFER</i> DE ENTRADA.	23
2.4 ESTÁGIO DE SAÍDA.	24
2.4.1 Tempo de propagação	25
2.4.2 Como medir os tempos de subida e descida de um sinal variante	26
2.4.3 Topologia 1:	27
2.4.4 Topologia 2: Circuito ressonante	32
2.4.5 Comparações entre topologias	42
2.4.6 Comparativo com o <i>driver</i> DR0100D25A da Supplier	43
2.4.6.1 Tempos de propagação:	44
2.4.6.2 Custo:	44
2.4.7 Fotografia e diagrama do circuito	45
3 CONCLUSÃO	47
REFERÊNCIAS	48

1 INTRODUÇÃO

A eletrônica de potência envolve o estudo de circuitos eletrônicos destinados a controlar o fluxo de energia elétrica. Estes circuitos manipulam fluxo de potência a níveis muito superiores do que dispositivos individuais suportariam. O retificador é provavelmente o melhor exemplo de circuito para esta definição. Inversores (termo genérico para conversores CC-CA) e conversores CC-CC para fontes de alimentação também são aplicações comuns. A eletrônica de potência representa um ponto em que os sistemas de energia, os dispositivos eletrônicos e os circuitos de controle convergem e se combinam. Qualquer projeto de circuito útil para uma aplicação de energia deve abordar questões de ambos, dispositivos e controle, bem como o da própria energia. Entre os principais aspectos da eletrônica de potência estão a sua ênfase em dispositivos semicondutores dedicados, a aplicação de dispositivos magnéticos para armazenamento de energia, métodos de controle especiais que são aplicados a sistemas não-lineares, e possuem lugar fundamental como componente central de sistemas de energia e recursos alternativos. Em qualquer estudo de engenharia elétrica, eletrônica de potência deve ser colocada no mesmo nível que a digital e analógica para desenvolvimentos específicos (RASHID, 2011).

Dentro da eletrônica de potência existem dispositivos fundamentais para o processamento de energia elétrica, que são os transistores, responsáveis pelo chaveamento em conversores estáticos. Antes dos transistores, a amplificação era alcançada apenas com válvulas eletrônicas. Mesmo que atualmente hajam circuitos integrados com milhões de transistores, o controle de fluxo de energia ainda necessita de transistores individuais, especialmente na área da eletrônica de potência (RASHID, 2011).

Questões práticas envolvendo a operação de conversores transistorizados remetem a necessidade de circuitos auxiliares, como fontes lineares, condicionadores de sinais, circuitos microcontrolados e *drivers*. Sendo o *driver* (circuito de acionamento de transistores de potência) especialmente importante, por ter como principal tarefa proporcionar a energia necessária para comutar transistores de potência e estabelecer uma isolação galvânica entre os mesmos e os sinais de entrada (SEMIKROM, 2013).

Neste contexto, este trabalho se dedica ao desenvolvimento de um circuito *driver* com atrativos semelhantes aos dispositivos comerciais.

1.1 PROBLEMA

O trabalho concentra-se na área de eletrônica de potência e envolve o desenvolvimento de um *driver* eletrônico com saída isolada operando como uma interface entre transistores de potência e sinais lógicos de baixa tensão e alta frequência, gerado por microcontroladores. Este tipo de *driver* é obrigatório em algumas aplicações, como inversores multiníveis do tipo NPC.

Inversores multiníveis estão presentes em diversas aplicações na área de eletrônica de potência. São estruturas que normalmente requerem transistores com menores tensões de bloqueio e levam a resultados de melhor qualidade, quando comparados aos inversores de dois níveis. A Figura 1 mostra um típico inversor monofásico de três níveis.

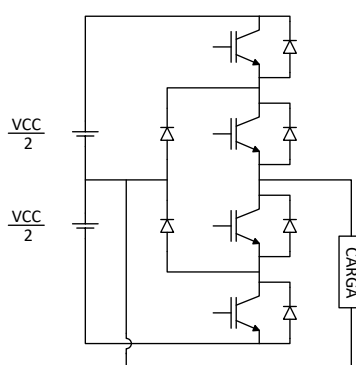


Figura 1 Inversor monofásico de três níveis do tipo NPC.

Fonte: Autoria própria.

Embora o conversor da Figura 1 tenha sido desenhado com quatro IGBTs, mosfets de potência também poderiam compor a estrutura. Esses componentes são a base para a implementação dos circuitos chaveados, ou comutados. O que esse trabalho se propõe a fazer é estudar alternativas de circuitos de comando capazes de operar como interface entre transistores de potência e os sinais lógicos de 3,3V gerados por microcontroladores. Como principal requisito, o *driver* deve propiciar isolamento óptico entre os pinos do microcontrolador e os transistores de potência comandados pelo mesmo. Além disso, as saídas do *driver* também devem ser galvanicamente isoladas entre si. Isto é necessário para disparar transistores de potência dispostos como os da Figura 1 (DULAU, PONTAROLLO, BOIMOND et al, 2006). Como se observa, nenhum transistor está na mesma referência que o outro.

Por isso, o inversor multinível está sendo usado como exemplo neste trabalho. No entanto, vale dizer que muitas outras topologias impõem este mesmo requisito ao *driver*.

Uma vez que o *driver* deve se comportar como uma interface, um circuito lógico com tecnologia CMOS ou TTL é suficiente no estágio de entrada para receber os comandos do microcontrolador. O problema maior está na configuração do estágio de saída. É oportuno que se faça uma breve análise do comportamento dos transistores de potência antes de definir como estes devem interagir com o *driver*.

De um modo geral, os principais transistores de potência usados em conversores estáticos chaveados representam cargas capacitivas, do ponto de vista do *driver*. Quando estes dispositivos exibem tensões de bloqueio de 600V ou mais, suas capacitâncias intrínsecas de entrada podem atingir 3,7nF ou mais (PÉRES-TOMÁS, JORDÀ, GODIGNON et al, 2004). A Figura 2 mostra as capacitâncias internas de três transistores de potência com tensão de bloqueio de 1.200V. Observa-se que essa é a tensão mais comum para transistores usados em conversores industriais (DULAU, PONTAROLLO, BOIMOND et al, 2006).

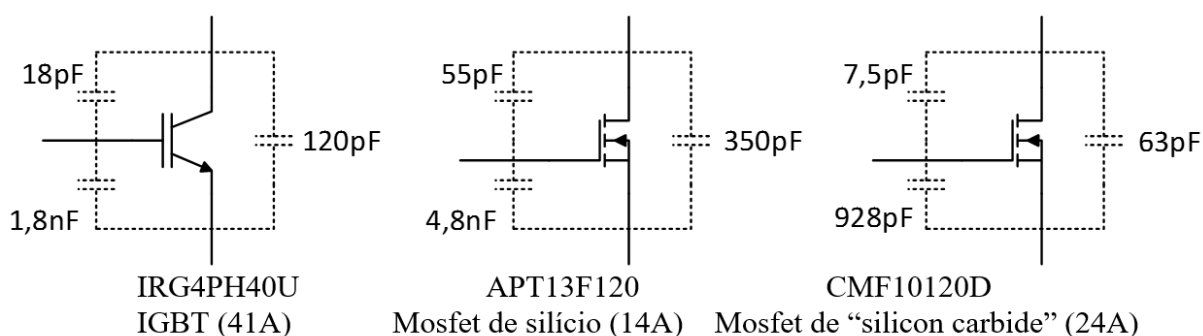


Figura 2 Transistores de potência indicados para uso em conversores chaveados, com destaque para as capacitâncias parasitas.

Fonte: Autoria própria.

A tensão aplicada na capacitância de entrada definirá o estado do componente. O valor da transição está entre 0 e 20V para qualquer transistor da Figura 2. Normalmente, emprega-se 15V para disparar e 0V para bloquear. Segundo Michel (2013), a Figura 3 apresenta as formas de onda típicas do bloqueio de um IGBT.

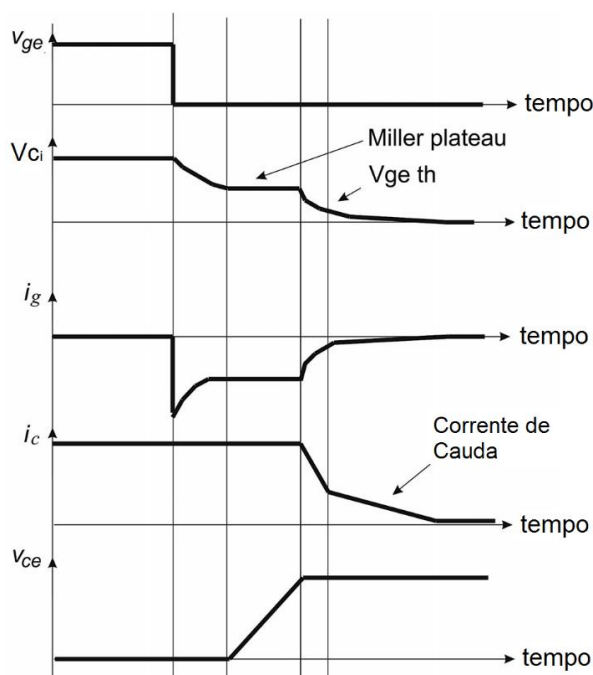


Figura 3 Formas de onda correspondentes ao bloqueio de um IGBT.

Fonte: MICHEL, 2013.

Na Figura 3, chama a atenção o trecho da curva correspondente ao “*Miller plateau*”. Verifica-se que a tensão na capacitância interna do transistor, V_{ci} , deixa de decrescer durante a variação de V_{ce} e o transistor não bloqueia. Isso ocorre devido ao fluxo de corrente pela capacitância existente entre o *gate* e o coletor, CGC (MICHEL, 2013). Esta corrente é dada por (1).

$$I_{CGC} = C_{GC} \cdot \frac{dV_{ce}}{dt} \quad (1)$$

Retomando a Figura 1, onde existem quatro transistores em série, destaca-se a possibilidade de um disparo intempestivo devido a um dV_{ce}/dt produzido pelo disparo de um transistor localizado imediatamente acima de um IGBT bloqueado. É exatamente o mesmo princípio que leva ao “*Miller plateau*”. Assim, o *driver* deve prevenir disparos intempestivos oferecendo um caminho de baixa impedância entre o *gate* e o emissor de um IGBT quando este estiver bloqueado (CHEN, LEE, AMOROSO et al, 2004).

O *driver* desenvolvido neste trabalho impede que o *gate* fique flutuando durante o bloqueio de um transistor de potência. Pois trata-se de um *driver* construído com um

buffer push-pull no estágio de saída. Foram usados transistores bipolares PNP, disparados por circuitos comparadores.

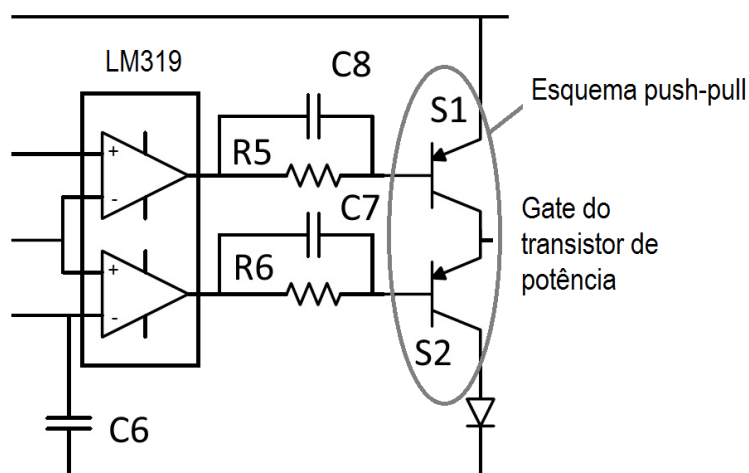


Figura 4 *Push-pull* no estágio de saída.

Fonte: Autoria própria.

Dentre as inúmeras possibilidades estudadas, adotou-se um *driver* passivo, com o sinal de comando isolado opticamente. Focou-se especialmente a redução dos tempos de subida, descida e de propagação verificados sobre capacitores ligados aos terminais de saída. O estágio de entrada recebe até seis sinais de comando diretamente de um microcontrolador. A alimentação é feita por uma única fonte CC de 15V. Todos os seis canais de saída são isolados entre si e também da fonte CC.

1.2 OBJETIVO

Pretende-se ao final do projeto ter um *driver* com seis saídas isoladas opticamente. Adotando um *buffer push-pull* no estágio de saída evitando a flutuação dos *gates* dos transistores de potência. Assim, evita-se disparos intempestivos. As topologias que são adotadas levam a tempos de subida, descida e de propagação comparáveis aos resultados de *drivers* comerciais. Ainda são realizados testes de novas topologias, com trocas ou inserções de componentes, buscando com isso a utilização maximizada do uso de energia do *driver*. Somente uma fonte de alimentação é empregada na alimentação do mesmo. As saídas são isoladas entre si e também do estágio de entrada. Por fim, os componentes utilizados para a montagem do *driver* são de uso comum e de baixo custo.

Para se atingir o objetivo geral deste projeto, os seguintes objetivos específicos foram abordados:

- Testar e analisar novas topologias;
- Desenvolver seu funcionamento para seis saídas;
- Desenvolver isolamento óptico para os pulsos de comando;
- Desenvolver isolamento galvânico para alimentação de cada uma das saídas;
- Alimentar com uma única fonte de alimentação;
- Alcançar os tempos de subida, descida e de propagação comparáveis aos resultantes de *drivers* comerciais;
- Desenvolver um circuito com a menor perda de energia possível.

1.3 JUSTIFICATIVA

Criar um circuito de baixo custo, acessível para qualquer pessoa, pesquisador ou instituição educacional que tenha interesse em trabalhar com processamento de energia e necessite de um dispositivo para comando de transistores.

Com relevância tecnológica e econômica o projeto poderá ser útil para pesquisas laboratoriais, contribuindo com o avanço científico.

1.4 METODOLOGIA

Trata-se de uma pesquisa de caráter experimental, cujo objetivo de estudo é uma tecnologia alternativa de baixo custo para processamento de energia. É também uma pesquisa bibliográfica, pois se baseou em livros e artigos, principalmente no campo de eletrônica de potência.

Durante o desenvolvimento, analisou-se vários tipos de projetos relacionados à pesquisa proposta. Optou-se por iniciar pelo gerador de pulsos PWM SG3525. Este componente foi projetado a fim de obter a máxima frequência de operação e gerar uma tensão alternada a ser aplicada no primário de um transformador isolador. Para o isolamento galvânico, foi usado um transformador com o núcleo NEE 30/15/7 da Thornton.

Para o isolamento dos pulsos de comando gerados pelo microcontrolador, escolheu-se o optoacoplador 6n137. Esses pulsos de comando são recebidos por um circuito *buffer* composto pelo CD4049.

Diversos transistores foram testados para a montagem do estágio push-pull de saída. Em função do melhor desempenho quanto à velocidade de comutação, os transistores 2n3906 foram selecionados. Da mesma forma, diferentes estratégias foram testadas para comandar esses transistores. O comparador LM319 resultou na melhor solução disponível. Algumas pequenas modificações na saída do *driver* ainda são discutidas no desenvolvimento.

2 DESENVOLVIMENTO

A partir desta seção serão elucidadas as etapas desenvolvidas neste projeto.

2.1 GERADOR DE PULSOS ALTERNADOS DE ALTA FREQUÊNCIA.

Para gerar os pulsos de alta frequência para o transformador foi utilizado como principal componente o CI SG3525. Para gerar os pulsos, o circuito utiliza dois resistores, um de carga (R_T) e outro de descarga (R_D), além de um capacitor de carga (C_T). Também são utilizados dois capacitores de desacoplamento (C_1 e C_2).

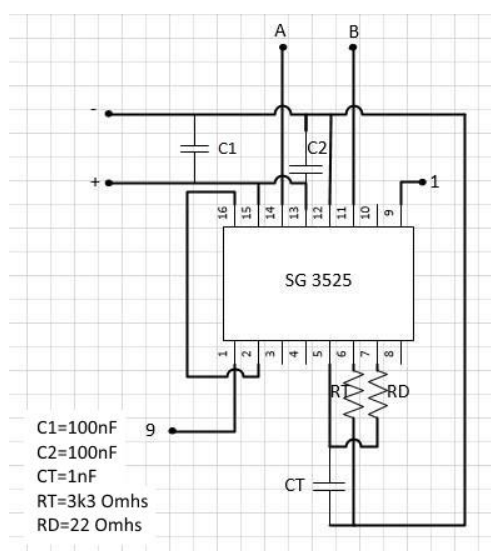


Figura 5 Esquemático do gerador de pulsos

Fonte: Autoria própria.

Este circuito alimentado com 15V CC gera uma frequência de 160kHz, que alimenta o primário do transformador com 30V pico a pico, como mostra a Figura 5.

Obs.: o SG3525 necessitou de um dissipador de calor acoplado ao mesmo.

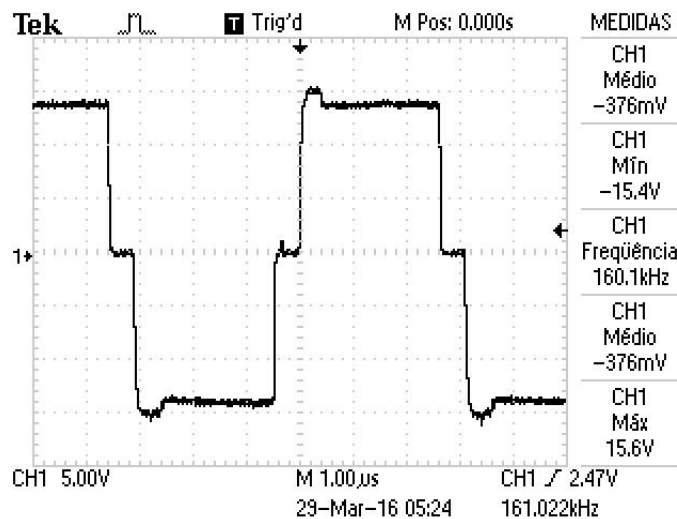
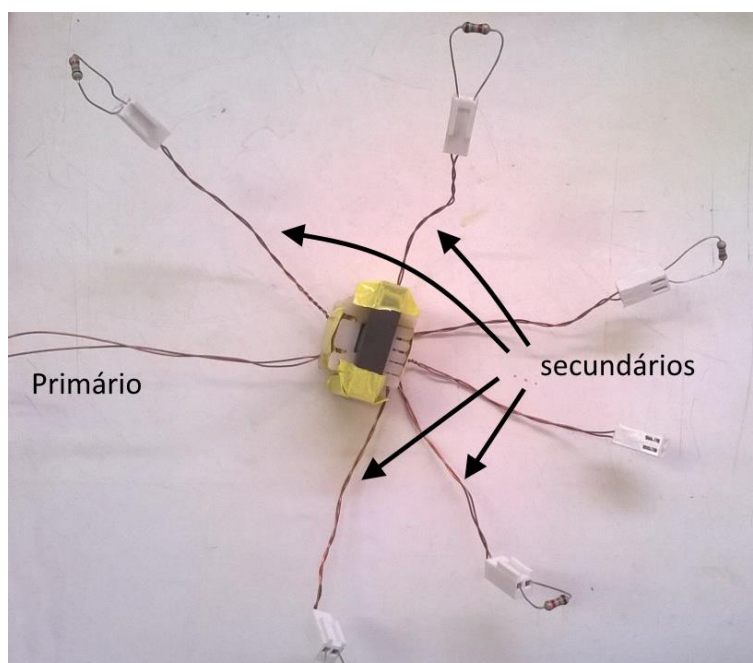


Figura 6 Sinal gerado pelo SG3525

Fonte: Autoria própria.

2.2 TRANSFORMADOR ISOLADOR.

Partindo do núcleo da Thornton NEE-30/15/7, que era o menor disponível, optou-se por otimizá-lo a fim de aproveitar ao máximo a área de janela disponível para as bobinas.



Fotografia 1 Transformador

Fonte: Autoria própria.

A partir da lei de Faraday, calculou-se a indução magnética para um primário com 75 espiras:

$$V = N \times \frac{d\phi}{dt} \rightarrow V = N \times Ae \times \frac{\Delta B}{\Delta t} \rightarrow \Delta B = \frac{V \times \Delta t}{N \times Ae} \quad (2)$$

Onde:

V = Tensão do primário.

N = Número de espiras do primário.

Ae = Área da seção transversal do núcleo.

Substituindo os valores: $\Delta B = \frac{30 \times 2,9 \times 10^{-6}}{75 \times 60 \times 10^{-6}} \rightarrow \Delta B = 0,02T$

Devido à baixa indução magnética, conseguiu-se evitar o aquecimento do núcleo pela redução das perdas por histerese, além de se reduzir as perdas por efeito Joule nos condutores.

Para obter a relação de espiras foi utilizada a fórmula:

$$\frac{N1}{N2} = \frac{30}{10} \rightarrow N2 = \frac{10 \times N1}{30} \rightarrow N2 = \frac{10 \times 75}{30} \rightarrow N2 = 25 \quad (3)$$

Onde:

N1 = número de espiras do primário.

N2 = número de espiras do secundário.

O sinal de tensão gerado pelo SG3525, como mostra a Figura 5, é abaixado para aproximadamente 20V pico a pico no secundário do transformador, conforme pode-se observar na Figura 6.

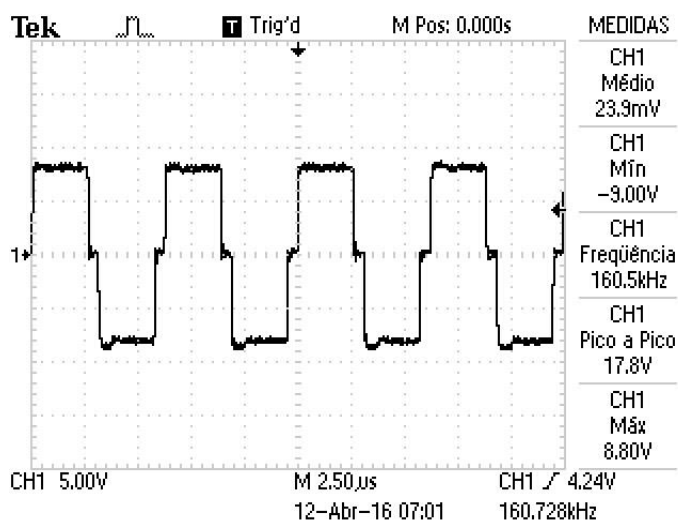


Figura 7 Tensão no secundário do transformador.

Fonte: Autoria própria.

2.3 ISOLADOR ÓPTICO E *BUFFER* DE ENTRADA.

Este circuito possui como componentes principais os CIs CD4049 e o 6n137. O CD4049 é utilizado como *buffer* para os pulsos de comando. O 6n137 recebe os pulsos de comando vindos do CD4049. Utiliza-se um resistor (R1) para limitar a corrente que circula entre os dois CIs. Na Figura 7, pode-se observar o sinal que sai do 6n137. Utilizou-se um gerador de frequência para simular um microcontrolador, com 10kHz.

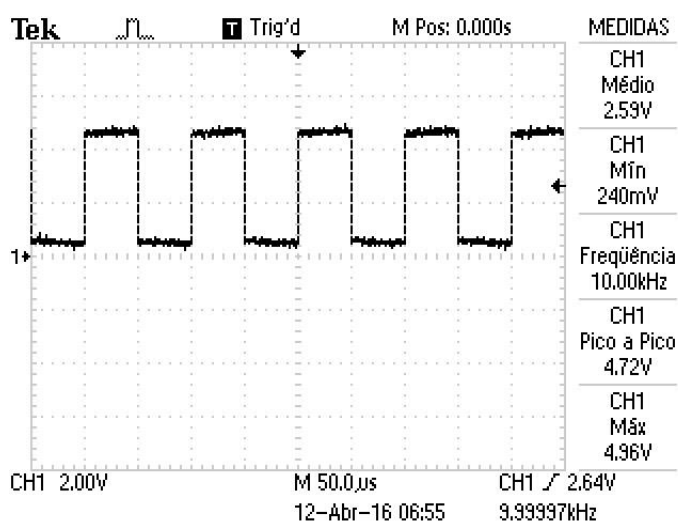


Figura 8 Sinal gerado após 6n137

Fonte: Autoria própria

Obs.: O CD4049 é alimentado pelo SG3525.

2.4 ESTÁGIO DE SAÍDA.

O estágio de saída é alimentado pelo secundário do transformador conforme a figura 8. Este possui um retificador/dobrador de tensão composto por dois diodos (D1 e D2) e dois capacitores (C3 e C4). Nesta parte do circuito, o pulso recebido pelo 6n137 é enviado ao comparador LM319. O 6n137 é alimentado pelo regulador de tensão LM78L05. O LM319 possui dois comparadores, que irão comparar a tensão recebida do 6n137 com a tensão imposta pelo divisor de tensão R3 e R4. O sinal gerado pelos comparadores do LM319 vai disparar então dois transistores PNP, onde os capacitores C7 e C8 através de testes realizados, surtiram um a melhora significativa no sinal de saída do *driver*. Os componentes mencionados estão especificados na tabela 1. Foram testadas diferentes topologias para o estágio de saída, especificamente a parte do circuito entre os transistores PNP em configuração *push-pull* e o *gate* do transistor de potência. Esta figura 8 trata da primeira proposta de topologia que é abordada em seção própria a seguir.

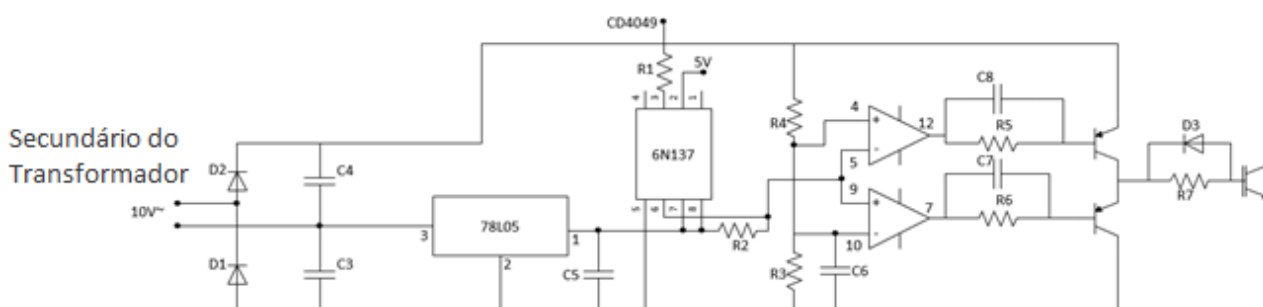


Figura 9 Estágio de Saída.

Fonte: Autoria própria

Tabela 1 Lista de componentes do estágio de saída.

Componente	Valor	Componente	Valor	Componente	Valor
D1 e D2	1N4148	R1	820Ω	R5	15kΩ
C3 e C4	680nF	R2	4k7Ω	R6	1kΩ
C5 e C6	100nF	R3	3k3Ω	R7	22Ω
C7 e C8	10nf	R4	27kΩ	D3	1N4148

Fonte: Autoria própria.

2.4.1 Tempo de propagação

É a medida do tempo que demora para o sinal que sai do primeiro ponto medido, até a chegada ao próximo ponto de medição sendo somados todos os atrasos causados por componentes ou circuitos em que se faz a análise, é uma medida de tempo, medida em segundos.

Na topologia apresentada foi feita a análise na parte do circuito que compreende o início do sinal do microcontrolador até a saída do *driver*.

Na figura 9 a seguir, é possível ver o tempo *low-high*, que teve 157ns de propagação.

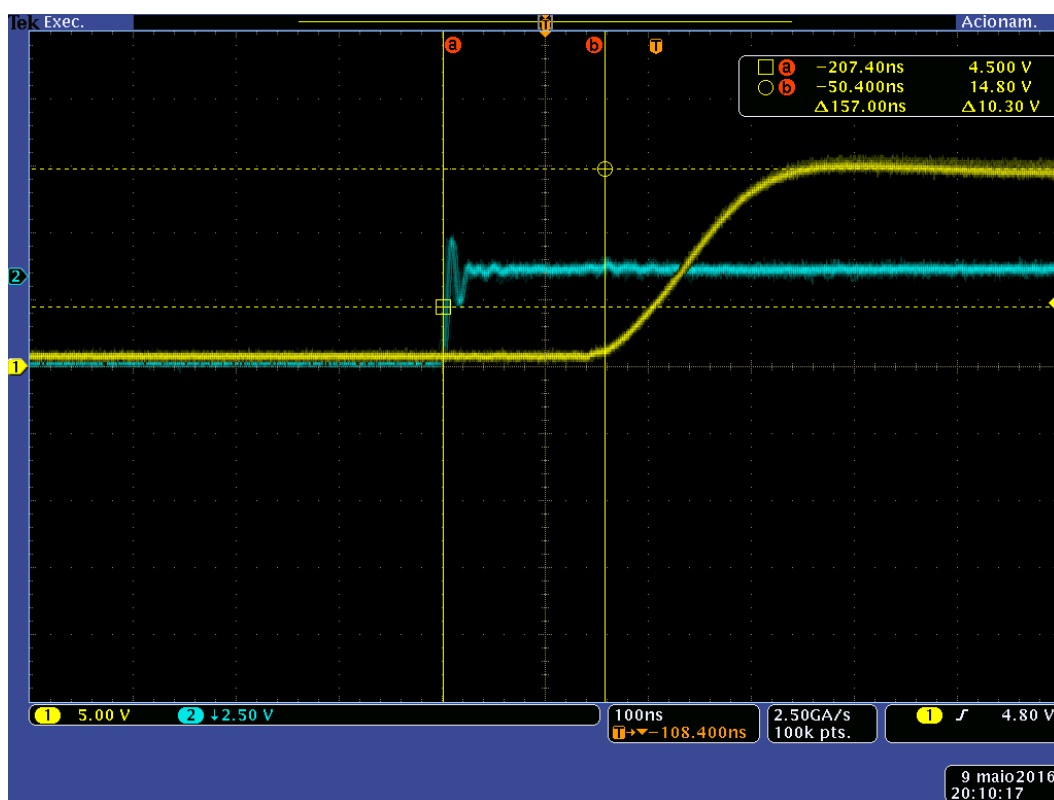


Figura 10 Propagação *low-high*.
Fonte: Autoria própria.

Na figura 10 a seguir, é possível ver o tempo *high-low*, que teve 155ns de propagação.

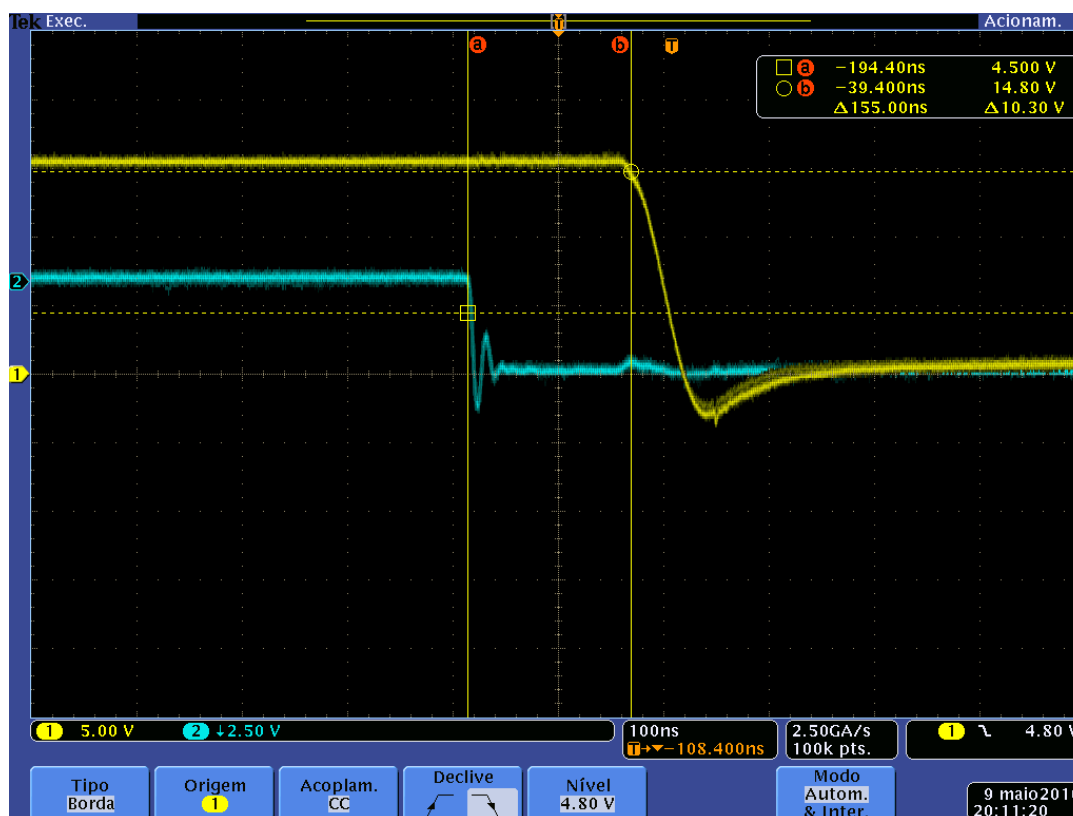


Figura 11 Propagação *high-low*.
Fonte: Autoria própria.

2.4.2 Como medir os tempos de subida e descida de um sinal variante

O tempo necessário para um pulso passar do nível BAIXO para o nível ALTO é denominado tempo de subida (t_r – *rise time*) e o tempo necessário para a transição do nível ALTO para o nível BAIXO é denominado tempo de descida (t_f – *fall time*). Na prática, é comum medir o tempo de subida a partir de 10% da amplitude do pulso (altura a partir da linha de base) até 90% da amplitude do pulso e para medir o tempo de descida considera-se o tempo de 90% a 10% da amplitude do pulso (FLOYD, 2007), conforme indicado na Figura 9. Os 10% da parte inferior e os 10% da parte superior não são incluídos nos tempos de subida e descida devido a não-linearidade da forma de onda nessas áreas. A largura de pulso (t_w – *pulse width*) é a medida da duração do pulso e é frequentemente definida como o intervalo de tempo entre os pontos de 50% das bordas de subida e descida (FLOYD, 2007), conforme indicado na Figura 11.



Figura 12 Demonstração da coleta dos tempos de subida e descida de um pulso.

Fonte: FLOYD, 2007.

2.4.3 Topologia 1:

Nessa primeira topologia foi utilizado um resistor em paralelo com um diodo 1N4148 na saída, como mostra a Figura 12 seguir:

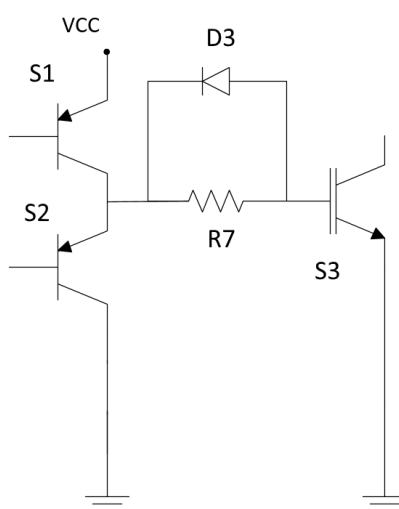


Figura 13 Topologia do estágio de saída.

Fonte: Autoria própria.

Essa topologia funciona em duas etapas: na etapa 1, a corrente vem da fonte e quando o transistor S1 é acionado, por um dos comparadores do LM319, a corrente passa por ele e depois passa pelo resistor R7 e dispara o transistor de potência S3 carregando seu capacitor interno, e segue para o terra do circuito do *driver*.

Na etapa 2 o transistor bipolar S2 é acionado, onde a corrente passa a vir do transistor de potência S3, passa pelo diodo D1 e segue pelo transistor bipolar S2, e

segue para o terra do circuito do *driver*. Assim, o capacitor interno do transistor de potência é descarregado.

Pode-se observar essas etapas na demonstração da Figura 13.

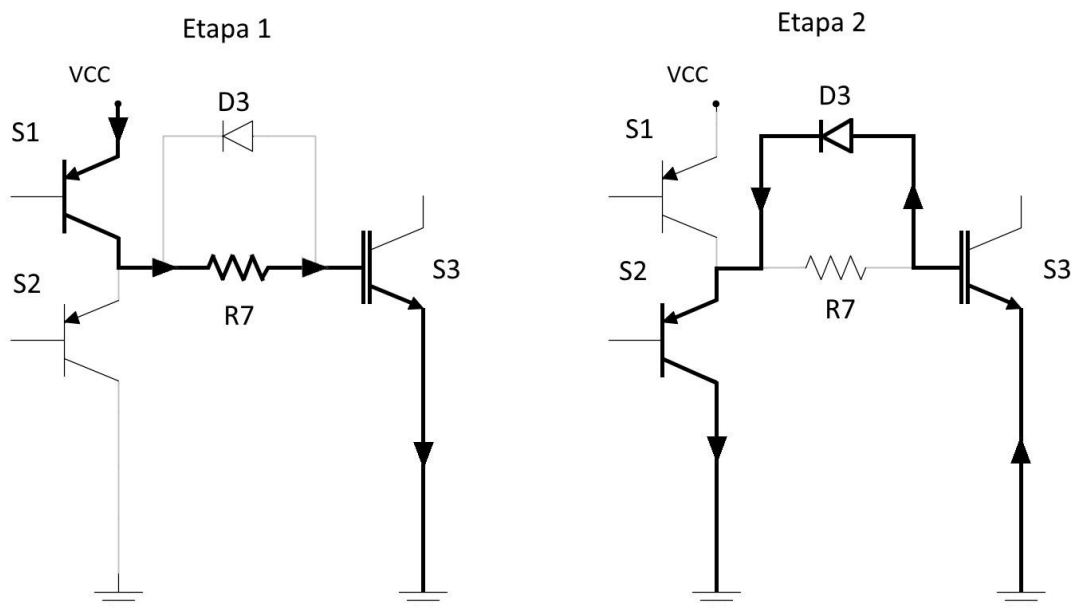


Figura 14 Etapas de funcionamento.

Fonte: Autoria própria.

Esta topologia obteve os resultados apresentados na Tabela 2. Foram testados capacitores de 1nF, 2,2nF, 3,3nF, e 4,7nF. Para simular o microcontrolador foi usado um gerador de sinais.

Tabela 2 Tempos de subida e descida.

CAPACITOR	1nF	2,2nF	3,3nF	4,7nF
SUBIDA	120ns	168ns	220ns	320ns
DESCIDA	28ns	44ns	58ns	92ns

Fonte: Autoria própria.

Os tempos podem ser observados nas figuras a seguir:

Na Figura 15, pode-se observar o formato e o tempo de subida que é igual à 120ns, quando aplicada uma frequência de 10kHz, para o capacitor de 1nF.

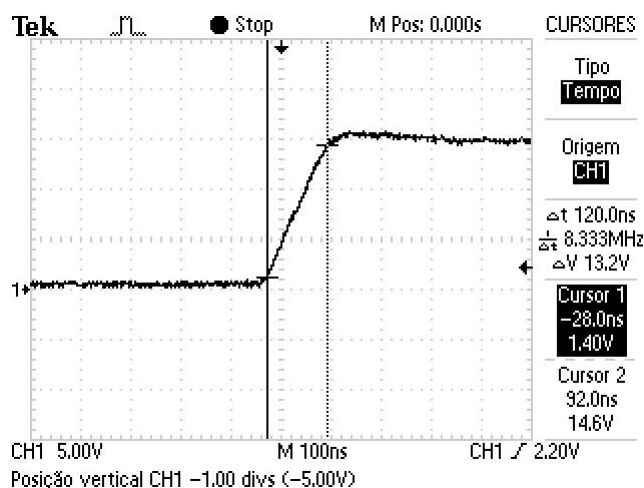


Figura 15 Tempo de subida para o capacitor de 1nF

Fonte: Autoria própria.

Na Figura 16, pode-se observar o formato e o tempo de descida que é igual à 28ns, quando aplicada uma frequência de 10kHz, para o capacitor de 1nF.

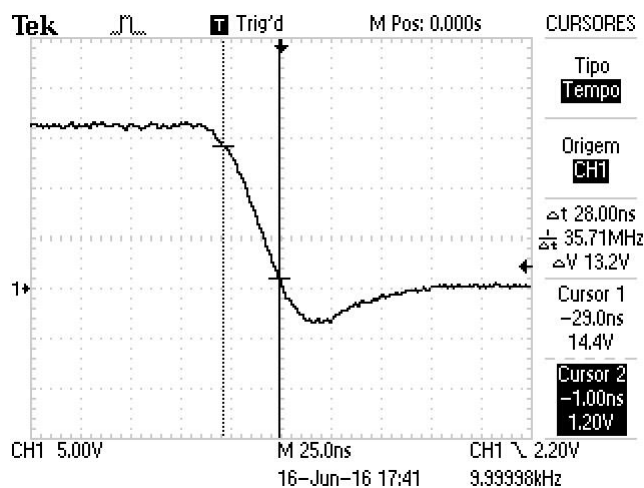


Figura 16 Tempo de descida para capacitor de 1nF

Fonte: Autoria própria.

Na Figura 17, pode-se observar o formato e o tempo de subida que é igual à 168ns, quando aplicada uma frequência de 10kHz, para o capacitor de 2,2nF.

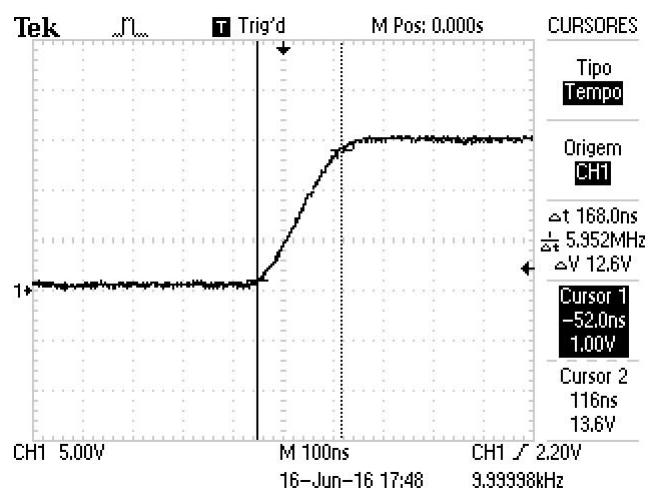


Figura 17 Tempo de subida para capacitor 2,2nF

Fonte: Autoria própria.

Na Figura 18, pode-se observar o formato e o tempo de descida que é igual à 44ns, quando aplicada uma frequência de 10kHz, para o capacitor de 2,2nF.

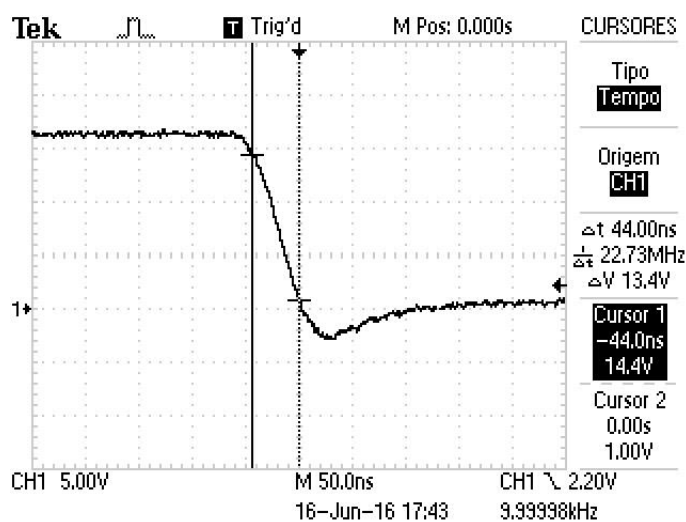


Figura 18 Tempo de descida para capacitor 2,2nF

Fonte: Autoria própria

Na Figura 19, pode-se observar o formato e o tempo de subida que é igual à 220ns, quando aplicada uma frequência de 10kHz, para o capacitor de 3,3nF.

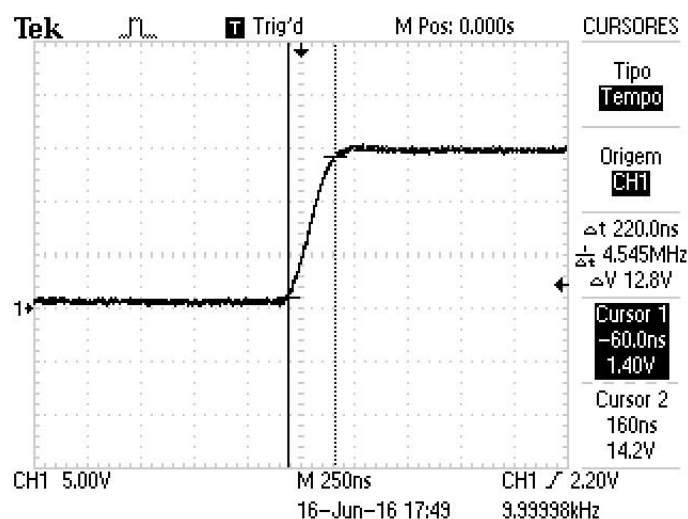


Figura 19 Tempo de subida para capacitor 3,3nF

Fonte: Autoria própria.

Na Figura 20, pode-se observar o formato e o tempo de descida que é igual à 58ns, quando aplicada uma frequência de 10kHz, para o capacitor de 3,3nF.

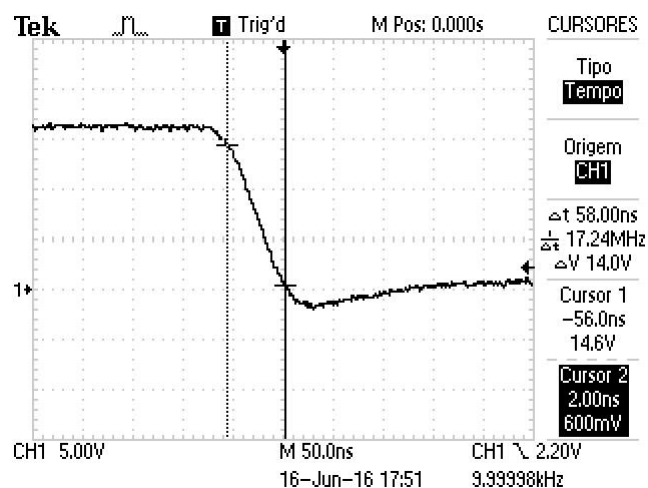


Figura 20 Tempo de descida para capacitor 3,3nF

Fonte: Autoria própria.

Na Figura 21, pode-se observar o formato e o tempo de subida que é igual à 320ns, quando aplicada uma frequência de 10kHz, para o capacitor de 4,7nF.

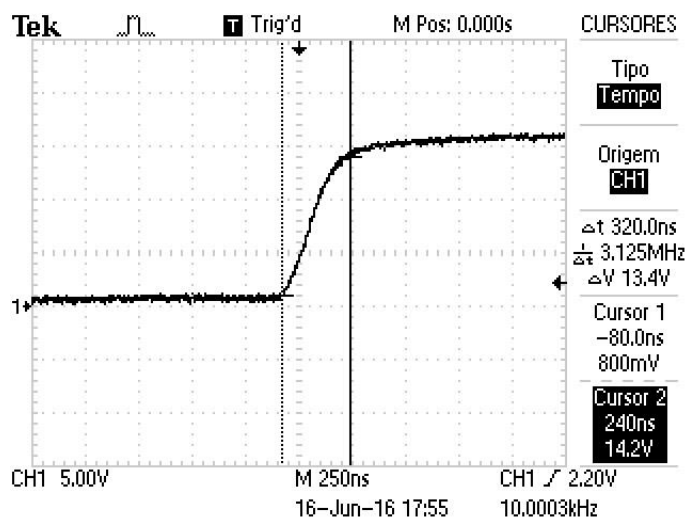


Figura 21 Tempo de subida para capacitor 4,7nF
Fonte: Autoria própria.

Na Figura 22, pode-se observar o formato e o tempo de descida que é igual à 92ns, quando aplicada uma frequência de 10kHz, para o capacitor de 4,7nF.

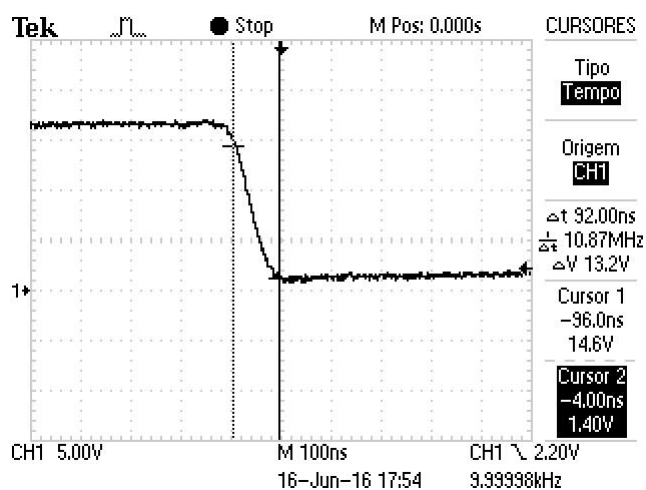


Figura 22 Tempo de descida para capacitor 4,7nF
Fonte: Autoria própria.

2.4.4 Topologia 2: Circuito ressonante

Estudos sobre *drivers* ressonantes mostram melhores desempenhos nos tempos de subida e descida para aplicações em fontes chaveadas para transistores de potência, ainda que não seja necessário para todos os tipos de circuitos

chaveados. O objetivo deste circuito foi de analisar a viabilidade dos *drivers* ressonantes para a aplicação em conversores PWM de alta frequência, particularmente para dispositivos eletrônicos modernos como CPUs, FPGAs, DSPs, etc. (CHEN, LEE, AMOROSO et al, 2004).

A topologia utilizada para estes testes foi a mostrada na Figura 22, a seguir:

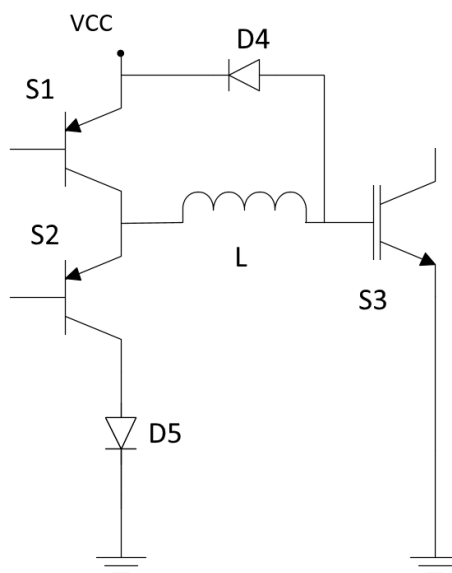


Figura 23 Topologia ressonante.
Fonte: Autoria própria.

As etapas de operação do circuito ressonante são demonstradas a seguir:

Etapa 1: a corrente vem da fonte passa pelo transistor bipolar S1, segue para o indutor L1 e carrega o capacitor interno do transistor de potência. Esse capacitor está demonstrado na Figura 2.

Etapa 2: Descarga do indutor pelo diodo.

Etapa 3: o capacitor interno do transistor de potência S3 se descarrega pelo indutor L1, transistor bipolar S2 e diodo D5. Esse capacitor intrínseco do S3 está demonstrado na Figura 2.

Pode-se observar o funcionamento dessas etapas na Figura 23, que se segue:

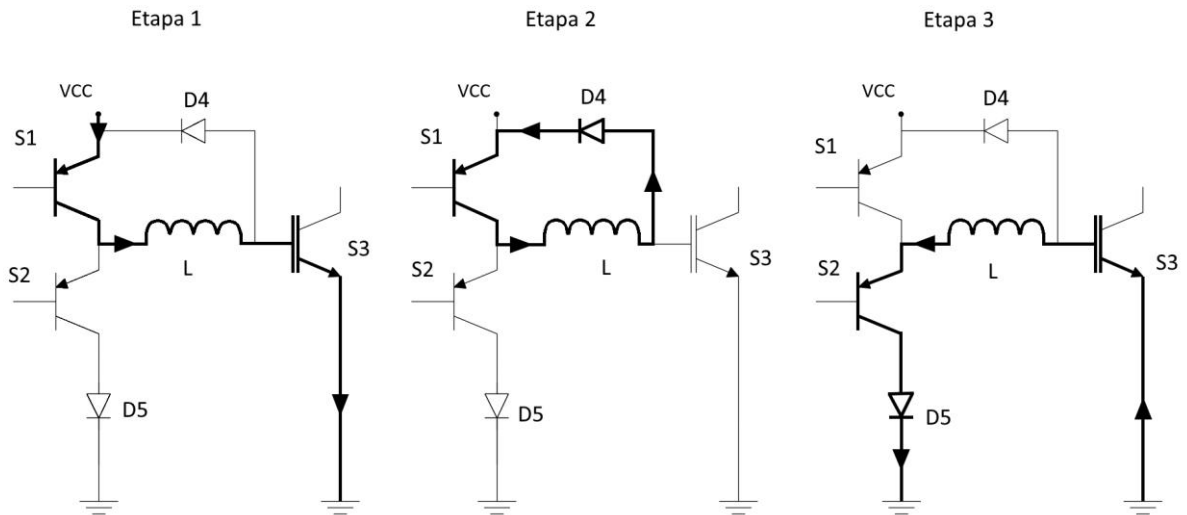


Figura 24 Etapas de funcionamento do circuito ressonante.
Fonte: Autoria própria.

Para este experimento, foi utilizado um indutor de aproximadamente 400nH. Estudos dizem que uma baixa indutância proporciona uma velocidade de chaveamento maior ao custo de baixas perdas, mas ainda se tem menos perdas que em circuitos convencionais, como no circuito da topologia 1, (CHEN, LEE, AMOROSO et al, 2004). No caso do indutor de 400nH, espera-se tempos de subida e descida da ordem de 60ns para capacitores internos do transistor de potência inferiores à 4,7nF. Esses tempos são estimados com base na frequência de ressonância entre L e CGC.

Com este valor para o indutor, calculam-se as espiras necessárias, a partir da lei de Faraday.

$$V = N \times \frac{d\phi}{dt} = L \times \frac{dI}{dt} > V = N \times \frac{d\phi}{dt} = L \times \frac{dI}{dt} \quad (4)$$

Onde:

- V = Tensão no indutor;
- N = Número de espiras;
- L = Indutância de *gate*.

Logo,

$$L = N \times \frac{d\phi}{dI} \quad (5)$$

$$L = N \times Ae \times \frac{d\beta}{dI} \quad (6)$$

Onde:

Ae = área da seção transversal do núcleo de ar.

Substituindo,

$$\beta = \frac{N \times I \times \mu_0}{l} \quad (7)$$

Onde:

β = indução magnética.

Assim,

$$L = N \times Ae \times \frac{d(N \times I \times \mu_0 / L)}{dl} \quad (8)$$

Onde:

μ_0 = permeabilidade magnética do vácuo.

Logo,

$$L = \frac{N^2 \times Ae \times \mu_0}{l} \quad (9)$$

Onde:

l = comprimento do caminho magnético.

Para o cálculo do número de espiras (N):

$$N = \sqrt{\frac{L \times l}{Ae \times \mu_0}} \quad (10)$$

Para o fio 18 AWG, chegou-se a 9mm para 8 espiras.

Assim, 9mm está para 8, como l está para N .

Logo,

$$l = 1,125 \times 10^{-3} \times N \quad (11)$$

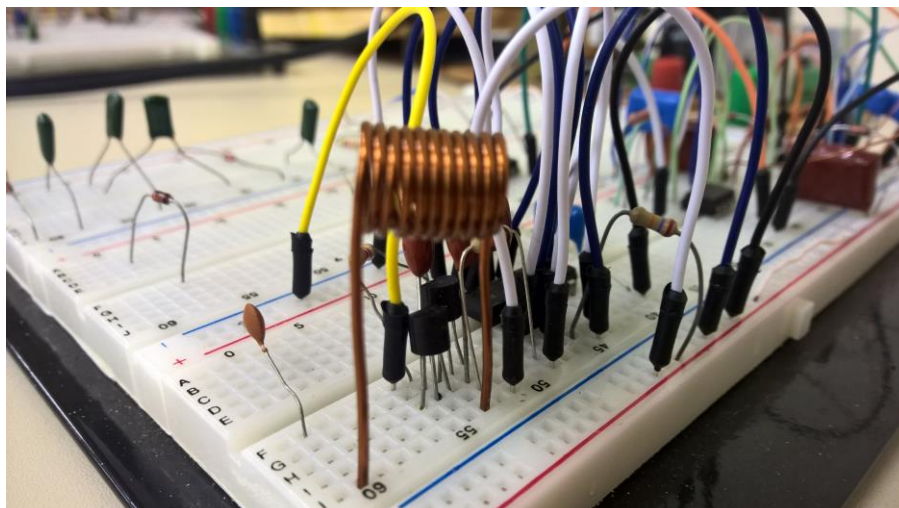
Substituindo na equação 9,

$$L = \frac{N^2 \times Ae \times \mu_0}{1,125 \times 10^{-3} \times N} \quad (12)$$

Logo,

$$N = \frac{1,125 \times 10^{-3} \times L}{Ae \times \mu_0} \quad (13)$$

Para um diâmetro de 7mm obteve-se 11 espiras.



Fotografia 2 Indutor.
Fonte: Autoria própria.

Buscou-se medir o valor do indutor confeccionado através de uma ponte RLC, no entanto a mesma não mediu o valor do indutor em função do valor deste ser inferior àqueles que poderiam ser medidos na menor escala do aparelho. Então, a fim de medir o real valor do indutor foi utilizada a topologia mostrada na Figura 24.

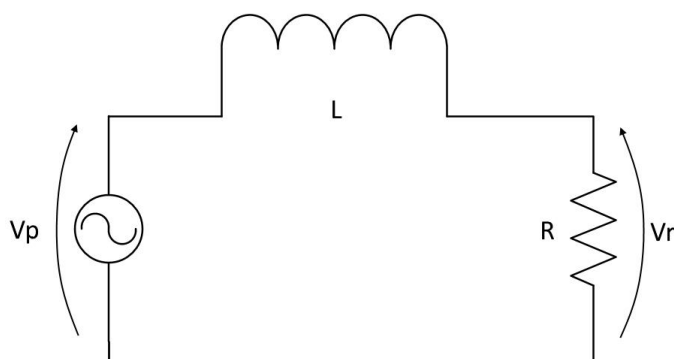


Figura 25 Diagrama do circuito RL.
Fonte: Autoria própria.

Com a topologia mostrada na figura 24, obteve-se o resultado mostrado na figura 25.

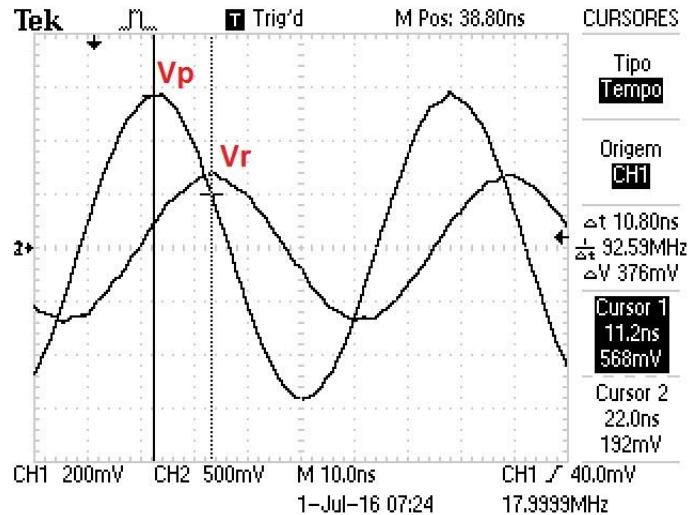


Figura 26 Tensões da fonte (V_p) e do resistor (V_r).
Fonte: Autoria própria.

Partiu-se então para o cálculo da impedância:

$$Z = R + j\omega l \quad \rightarrow \quad Z = \sqrt{R^2 + Xl^2} \times \tan^{-1} \angle Xl/R \quad (14)$$

Onde:

Z = impedância complexa correspondente à associação RL.

Xl = reatância indutiva.

A partir da Lei de OHM:

$$I = \frac{V}{|Z|} \quad (15)$$

Logo,

$$R \times I = Vr \quad \text{e} \quad Xl \times I = Vl \quad (16)$$

Portanto,

$$I = \frac{Vp}{Z} = \frac{Vp}{|Z|} \times \tan^{-1} \times \frac{Xl}{R} \quad (17)$$

Onde:

V_p = tensão de pico da tensão senoidal aplicada sobre RL.

Para a frequência de 18MHz, a defasagem entre V_p e V_r ficou em 10,8ns, como mostrado na Figura 25.

Então para o cálculo de θ , obteve-se o período de 55,55ns, logo 55,55ns está para 360°, assim como 10,8ns está para 70°. Portanto $\theta = 70^\circ$.

Assim,

$$\frac{Xl}{R} = \tan \theta = 2,75 \quad (18)$$

Logo,

$$Xl = 2\pi \times f \times l = 41,2 \Omega \quad (19)$$

Chegando à um valor de 364,2nH para o indutor.

A critério de curiosidade, buscou-se medir também através de um circuito RLC série com alimentação senoidal variável.

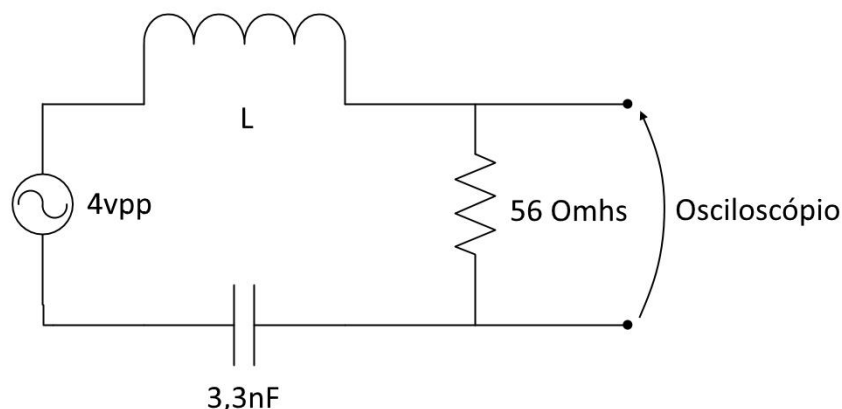


Figura 27 Circuito RLC série com alimentação senoidal variável.

Fonte: Autoria própria.

Com um osciloscópio, mediu-se a maior tensão sobre o resistor na frequência de 4,35Mhz, onde se concluiu que:

$$L = \frac{1}{(2\pi \times f_{ress})^2 \times C} \quad (20)$$

Logo,

$$L = 406nH$$

Os resultados obtidos com esta topologia encontram-se na Tabela 3, quando testados com capacitores de 1nF, 2,2nF, 3,3nF, e 4,7nF, simulando os transistores de potência de diferentes capacitâncias na saída do *driver*. Um gerador de frequência foi utilizado para gerar o sinal de saída, simulando o microcontrolador.

Tabela 3 Tempos de subida e de descida, com o circuito ressonante.

CAPACITOR	1nF	2,2nF	3,3nF	4,7nF
SUBIDA	80ns	96ns	120ns	170ns
DESCIDA	40ns	50ns	68ns	92ns

Fonte: Autoria própria.

Os tempos podem ser observados nas figuras a seguir.

Na Figura 28, pode-se observar o formato e o tempo de subida que é igual à 80ns, quando aplicada uma frequência de 10kHz, para o capacitor de 1nF.

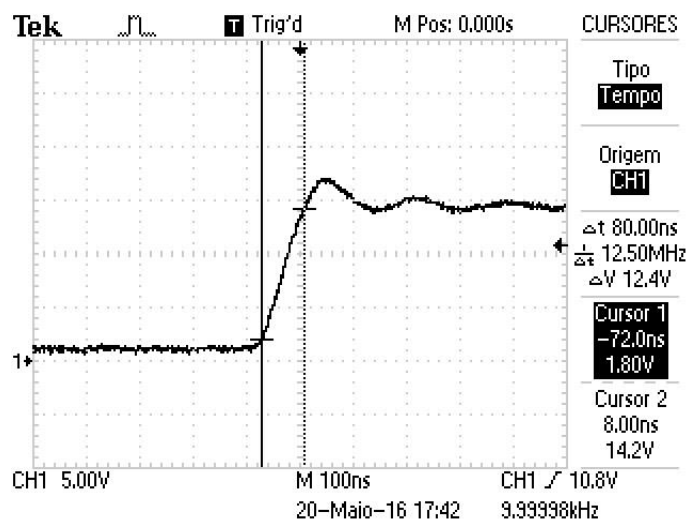


Figura 28 Tempo de subida com o circuito ressonante, para capacitor de 1nF .

Fonte: Autoria Própria.

Na Figura 29, pode-se observar o formato e o tempo de descida que é igual à 40ns, quando aplicada uma frequência de 10kHz, para o capacitor de 1nF.

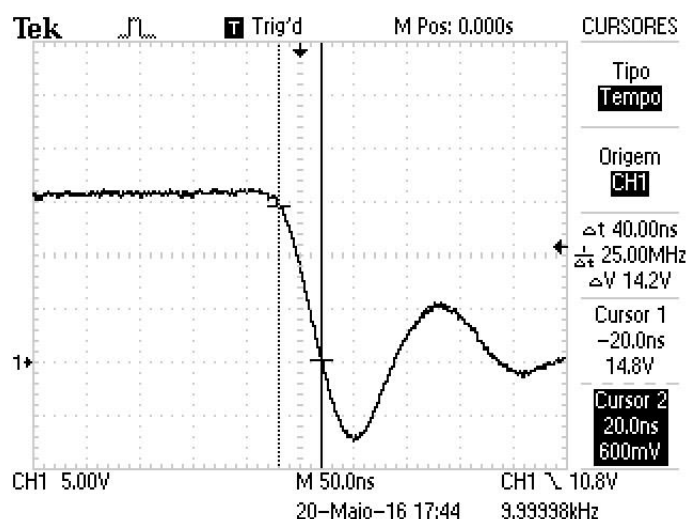


Figura 29 Tempo de descida com o circuito ressonante, para capacitor de 1nF

Fonte: Autoria própria.

Na Figura 30, pode-se observar o formato e o tempo de subida que é igual à 96ns, quando aplicada uma frequência de 10kHz, para o capacitor de 2.2nF.

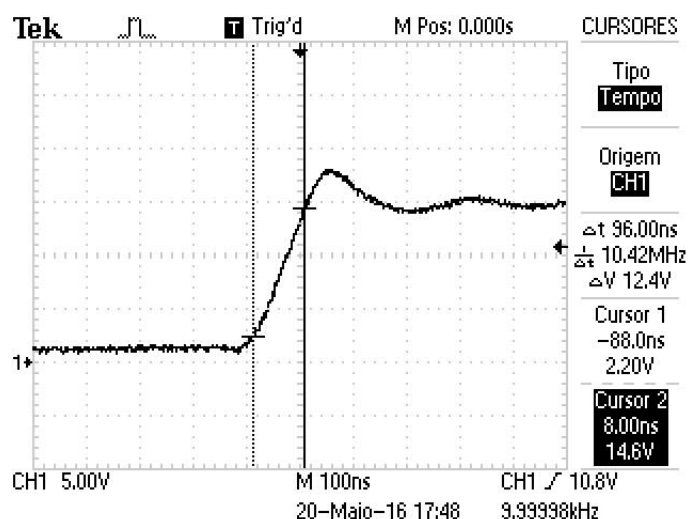


Figura 30 Tempo de subida com o circuito ressonante, para capacitor de 2.2nF.
Fonte: Autoria própria.

Na Figura 31, pode-se observar o formato e o tempo de descida que é igual à 50ns, quando aplicada uma frequência de 10kHz, para o capacitor de 2.2nF.

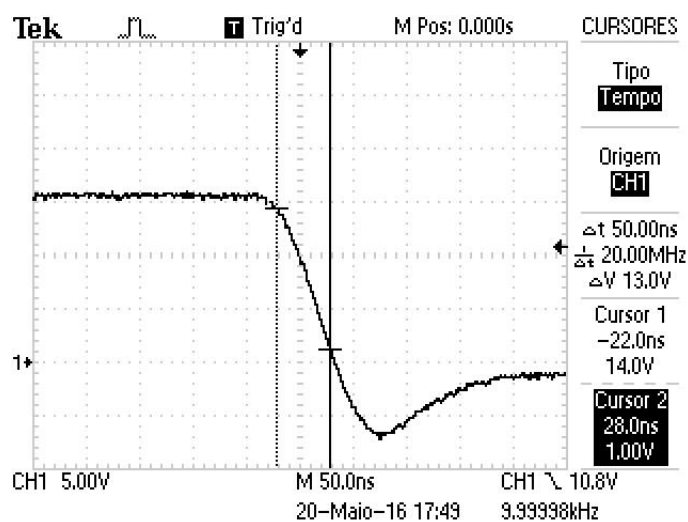


Figura 31 Tempo de descida com o circuito ressonante, para capacitor de 2.2nF.
Fonte: Autoria própria.

Na Figura 32, pode-se observar o formato e o tempo de subida que é igual à 120ns, quando aplicada uma frequência de 10kHz, para o capacitor de 3.3nF.

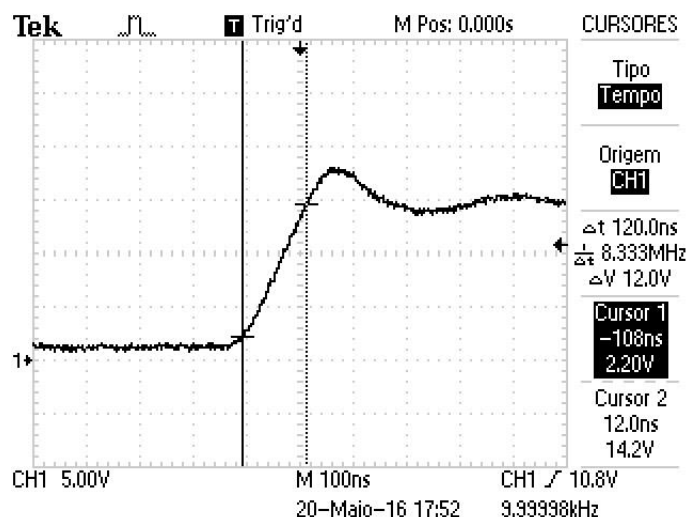


Figura 32 Tempo de subida com o circuito ressonante, para capacitor de 3.3nF.
Fonte: Autoria própria.

Na Figura 33, pode-se observar o formato e o tempo de descida que é igual à 68ns, quando aplicada uma frequência de 10kHz, para o capacitor de 3.3nF.

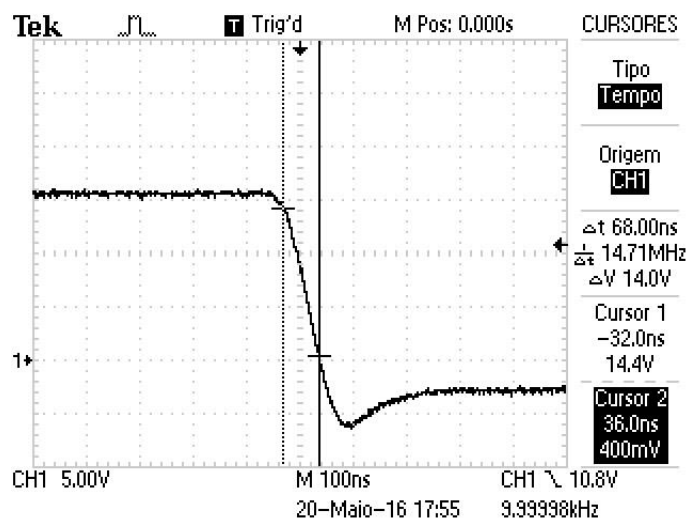


Figura 33 Tempo de descida com o circuito ressonante, para capacitor de 3.3nF.
Fonte: Autoria própria.

Na Figura 34, pode-se observar o formato e o tempo de subida que é igual à 170ns, quando aplicada uma frequência de 10kHz, para o capacitor de 4.7nF.

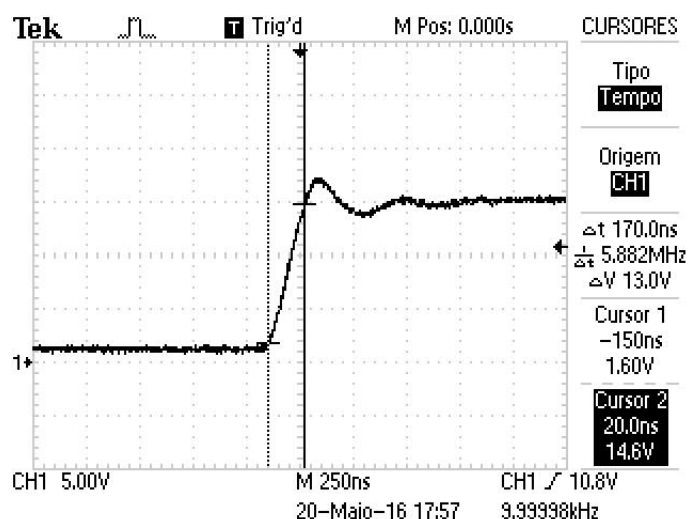


Figura 34 Tempo de subida com o circuito ressonante, para capacitor de 4.7nF.
Fonte: Autoria própria.

Na Figura 35, pode-se observar o formato e o tempo de descida que é igual à 92ns, quando aplicada uma frequência de 10kHz, para o capacitor de 4.7nF.

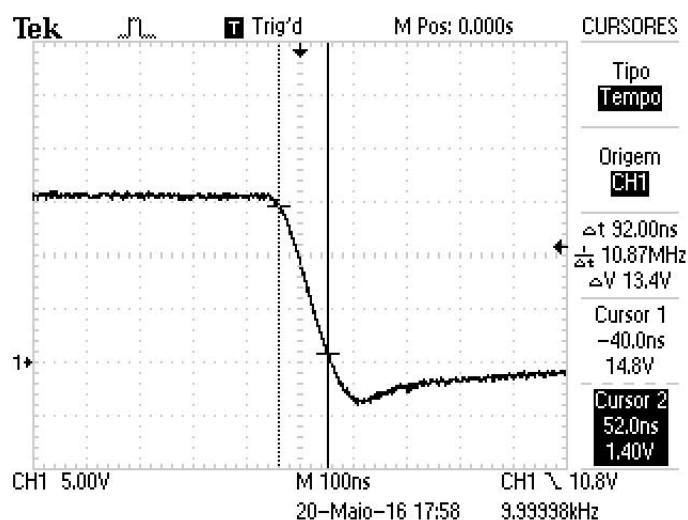
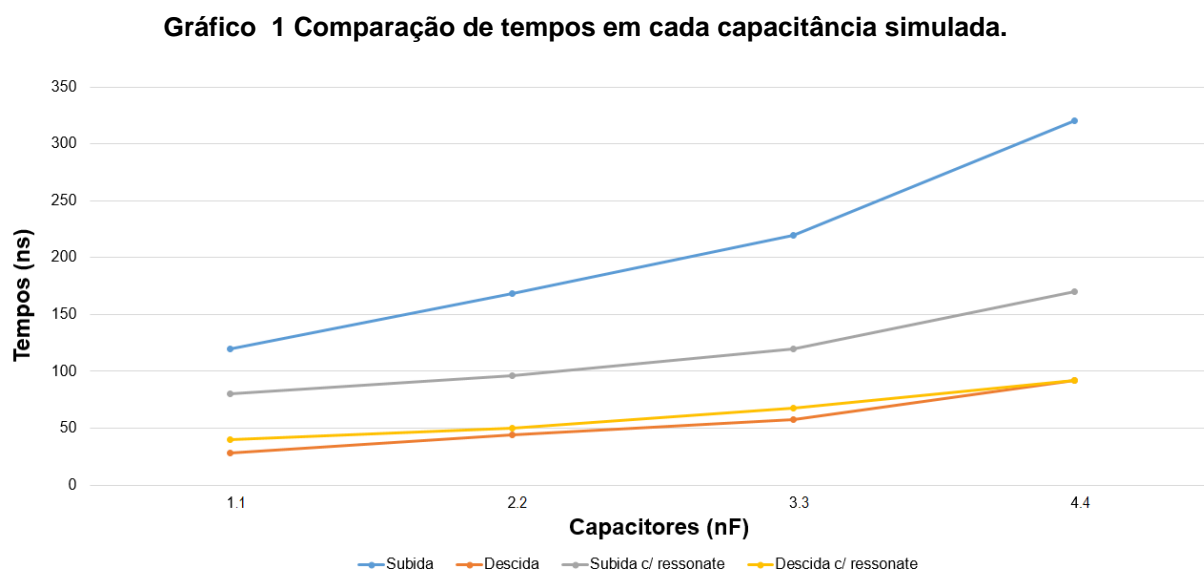


Figura 35 Tempo de descida com o circuito ressonante, para capacitor de 4.7nF.
Fonte: Autoria própria.

2.4.5 Comparações entre topologias

Para fazer uma comparação dos trabalhos realizados, topologia 1 que usa um resistor em seu estágio de saída e a topologia 2 onde é realizado a troca do circuito de saída.

A comparação se deu em analisar os tempos de cada topologia, alocados no Gráfico 1, para facilitar a visualização. Na linha vertical, encontram-se as variações dos tempos de subida e descida. Na horizontal, são apresentadas as capacitâncias que simulavam os transistores de potência.



Fonte: Autoria própria.

Comparando os tempos de subida dos circuitos sendo a linha azul, valores da topologia 1, e a linha cinza representando os valores da topologia 2 do circuito ressonante. Chega-se à conclusão com a observação dos tempos de subida obtidos, que a topologia 2 com pequenas modificações e inserção do indutor, teve uma significativa melhora quando comparado com a topologia 1.

Agora, comparando os valores de descida, a topologia 1 (valores vermelhos), se saiu um pouco melhor se comparar as velocidades em relação a topologia 2 (valores amarelos), mas comparando os espaços entre o tempo de subida e de descida da topologia 1 e da topologia 2, o circuito ressonante teve uma distância menor entre esses tempos.

2.4.6 Comparativo com o *driver* DR0100D25A da Supplier.

Tempos de subida e de descida a Supplier não disponibiliza.

2.4.6.1 Tempos de propagação:

Tabela 4 Comparação dos tempos de propagação.

	DR0100D25A	Driver proposto
Turn-On	550ns *	155ns
Turn-Off	700ns *	157ns

Fonte: Autoria Própria.

- * Valores fornecidos pela Supplier.

2.4.6.2 Custo:

Tabela 5 Custo do driver DR0100D25A

DR0100D25A	Custo duas saídas	Custo seis saídas
Driver	R\$ 490,00	R\$ 1.470,00
Fonte	R\$ 100,00	R\$ 300,00

Fonte: Autoria Própria.

Valores fornecidos pela Supplier.

Tabela 6 Custo estimado do Driver proposto.

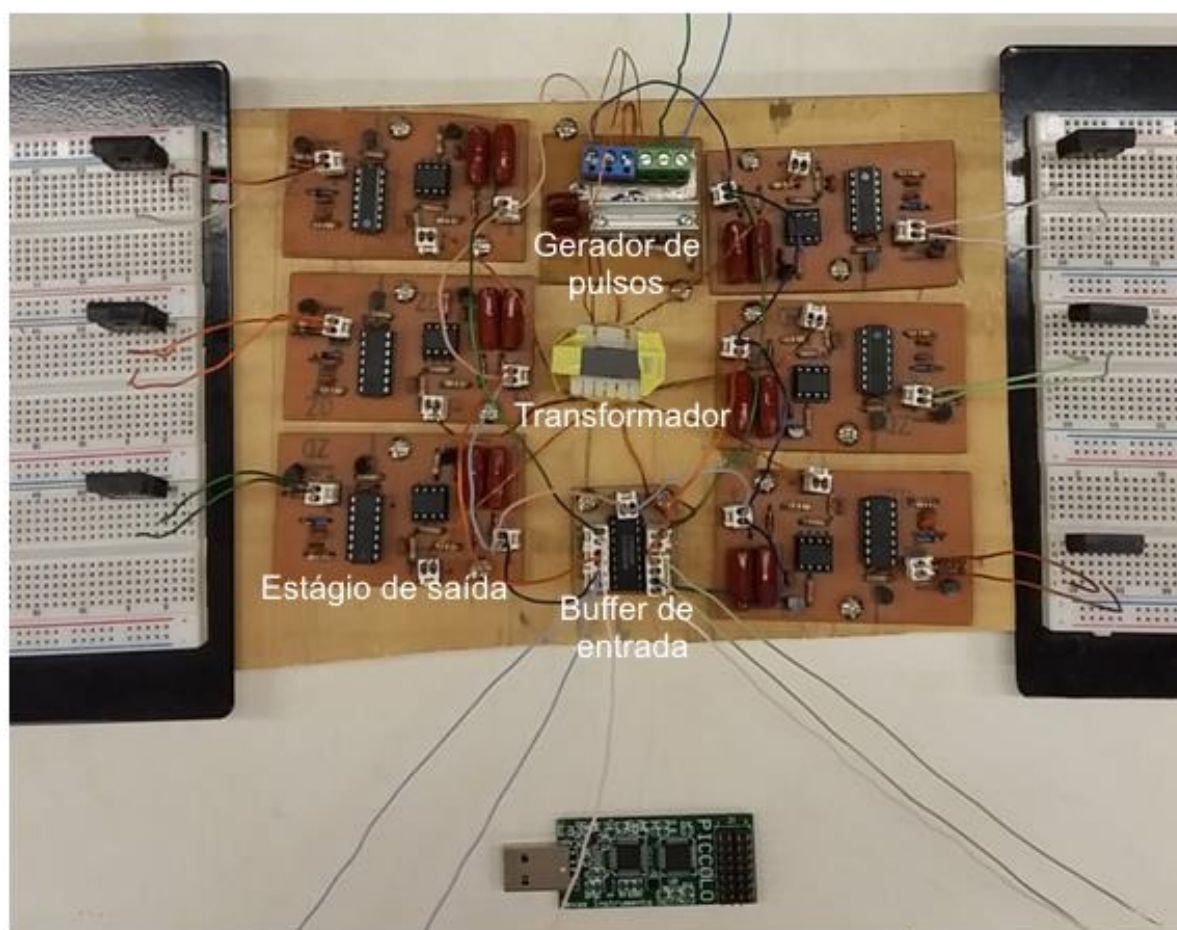
Componentes	Custo Unitário	Custo p/ duas Saídas	Custo p/ seis saídas
Diodos *	R\$ 0,05	R\$ 0,50	R\$ 1,50
SG3525 *	R\$ 2,70	R\$ 2,70	R\$ 2,70
CD4049 *	R\$ 2,10	R\$ 2,10	R\$ 2,10
LM319 **	R\$ 6,50	R\$ 13,00	R\$ 39,00
6n137 **	R\$ 2,70	R\$ 5,40	R\$ 16,20
Resistores *	R\$ 0,10	R\$ 1,40	R\$ 3,80
Capacitores *	R\$ 0,50	R\$ 7,50	R\$ 19,50
Núcleo **	R\$ 5,00	R\$ 5,00	R\$ 5,00
78L05 **	R\$ 0,50	R\$ 1,00	R\$ 3,00
2N3906 *	R\$ 0,20	R\$ 0,80	R\$ 2,40
Indutor **	R\$ 1,00	R\$ 2,00	R\$ 6,00
Fios de Cobre **	R\$ 3,00	R\$ 3,00	R\$ 3,00
Total:	R\$ 24,35	R\$ 44,40	R\$ 104,20

Fonte: Autoria Própria.

- * Valores retirado do site paresteck eletrônica.
- ** Valores estimados conforme o site Mercado Livre.

2.4.7 Fotografia e diagrama do circuito

Na Fotografia 3, observa-se o circuito da topologia 1, composto por um gerador de pulsos como circuito de alimentação, um transformador isolador que distribui a alimentação para as seis saídas, um *Buffer* de entrada para sinais de comando que disparam os transistores de potência, os seis estágios de saída e os transistores de potência no *protoboard*. Abaixo ainda, pode-se observar o *DSP*, sugerido para gerar os pulsos de comando.



Fotografia 3 Placa de circuito do protótipo da topologia 1.

Fonte: Autoria própria.

Na imagem 35, pode-se observar o diagrama do circuito do *driver*, com uma saída.

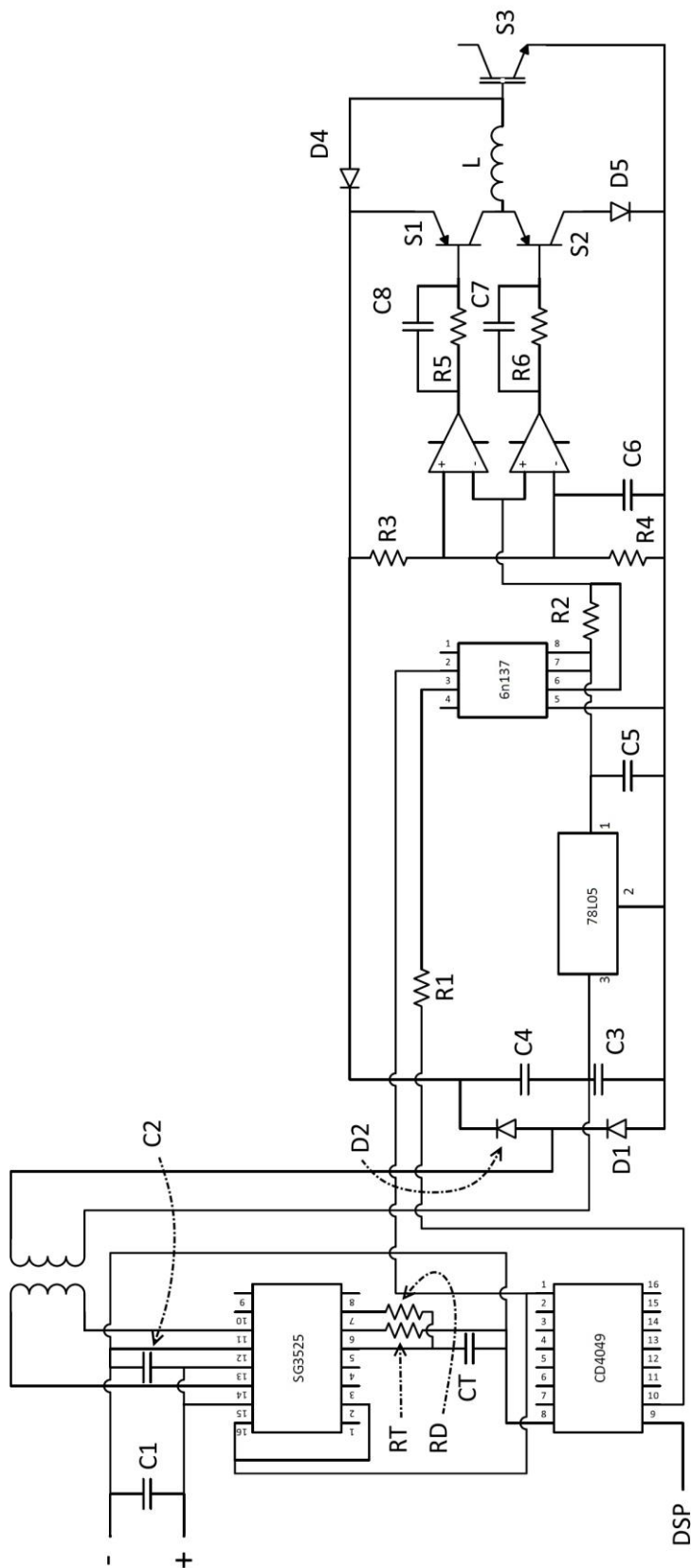


Figura 36 Diagrama do circuito do *driver* proposto com uma saída.
 Autoria: Autoria própria.

3 CONCLUSÃO

Considerando os objetivos colhidos no começo para a confecção desse trabalho e todo o conhecimento adquirido, avalia-se que foi de grande crescimento e agregação para a formação de um tecnólogo de automação industrial, pois houve a possibilidade de trabalhar com inúmeras disciplinas do curso, sendo a mais utilizada e de maior relevância a de Eletrônica de Potência.

Nesse projeto foi testado e confeccionado topologias com diversos componentes sendo um dos objetivos para se alcançar os resultados foi de montar um *driver* com seis saídas isoladas opticamente. Adotando um *buffer push-pull* no estágio de saída evitando a flutuação dos *gates* dos transistores de potência. Assim evitando disparos intempestivos.

Para maximizar o uso de energia, realizou-se testes de uma nova topologia, com a inserção de um indutor na saída do *driver*, que levou para resultados ainda melhores do que já tinham sido alcançados com a primeira topologia.

Sendo necessário somente uma fonte de alimentação para alimentar as etapas do circuito, situação que diverge de *drivers* comerciais que a cada novo estágio de saída necessita de mais uma fonte, é uma situação que só vem a agregar no projeto. Onde com isso possibilita o uso do optoacoplador em cada uma das seis saídas que isolam os sinais de saída gerado pelo microcontrolador, entre si, e o transformador isola galvanicamente a alimentação no estágio de entrada.

As topologias que foram adotadas levaram a ótimos tempos de subida, descida e tempos de propagação melhores se comparados aos resultados de *drivers* comerciais.

E por fim os componentes utilizados para a montagem do *driver* foram de uso comum, fácil aquisição e de baixo custo.

REFERÊNCIAS

- CHEN, R.; PENG, F.Z. A High-Performance Resonant Gate-Drive Circuit for MOSFETs and IGBTs. *IEEE Transactions on Power Electronics*, v. 29, p. 4366-4373, 2014.
- CHEN, Y.; LEE, F.C.; AMOROSO, L.; WU, H.-P. A resonant MOSFET gate *driver* with efficient energy recovery. *IEEE Transactions on Power Electronics*, v. 19, p. 470-477, 2004.
- COLMENARES, J.; PEFTITSIS, D.; RABKOWSKI, J.; SADIK, D.-P.; NEE, H.-P. Dual-Function Gate *Driver* for a Power Module With SiC Junction Field-Effect Transistors. *IEEE Transactions on Power Electronics*, v. 29, p. 2367-2379, 2014.
- FLOYD, Thomas L. *Sistemas digitais: fundamentos e aplicações*. 9. ed. Porto Alegre: Bookman, 2007. 888 p.
- DULAU, L.; PONTAROLLO, S.; BOIMOND, A.; GARNIER, J.-F.; GIRAUDO, N.; TERRASSE, O. A new gate *driver* integrated circuit for IGBT devices with advanced protections. *IEEE Transactions on Power Electronics*, vol. 21, no. 1, p. 38-44, 2006.
- LOBSIGER, Y.; KOLAR, J.W. Closed-Loop di/dt and dv/dt IGBT Gate *Driver*. *IEEE Transactions on Power Electronics*, v. 30, p. 3402-3417, 2015.
- MICHEL, L.; BOUCHER, X.; CHERITI, A.; SICARD, P.; SIROIS, F. FPGA Implementation of an Optimal IGBT Gate *Driver* Based on Posicast Control, *IEEE Transactions on Power Electronics*, v. 28, p. 2569-2575, 2012.
- MUHAMMAD, K.S.; LU, D.D.-C. Magnetically Isolated Gate *Driver* With Leakage Inductance Immunity. *IEEE Transactions on Power Electronics*, v. 29, p. 1567-1572, 2014.
- PÉREZ-TOMÁS, A.; JORDÀ, X.; GODIGNON, P.; GÁLVEZ, J.L.; VELLVEHÍ, M.; MILLÁN, J. IGBT gate *driver* IC with full-bridge output stage using a modified standard CMOS process, *Microelectronics Journal*, v. 35, p. 659-666, 2004.
- RIAZMONTAZER, H.; MAZUMDER, S.K. Optically Switched-Drive-Based Unified Independent dv/dt and di/dt Control for Turn-Off Transition of Power MOSFETs. *IEEE Transactions on Power Electronics*, v. 30, p. 2338-2349, 2015.
- WANG, Z.; SHI, X.; TOLBERT, L.M.; WANG, F.; BLALOCK, B.J. A di/dt Feedback-Based Active Gate *Driver* for Smart Switching and Fast Overcurrent Protection of IGBT Modules. *IEEE Transactions on Power Electronics*, v. 29, p. 3720-3732, 2014.