

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELÉTRICA
CURSO DE ENGENHARIA ELÉTRICA

GIUSEPPE FELIPE LUNELLI

**PROJETO E IMPLEMENTAÇÃO DE CONVERSORES CFP COM
CONTROLE DE CORRENTE APLICADO A LÂMPADAS LED DE
ILUMINAÇÃO PÚBLICA**

TRABALHO DE CONCLUSÃO DE CURSO

PATO BRANCO

2016

GIUSEPPE FELIPE LUNELLI

**PROJETO E IMPLEMENTAÇÃO DE CONVERSORES CFP COM
CONTROLE DE CORRENTE APLICADO A LÂMPADAS LED DE
ILUMINAÇÃO PÚBLICA**

Trabalho de Conclusão de Curso de graduação, apresentado na Disciplina de Trabalho de Conclusão 2, do curso de Engenharia Elétrica do Departamento Acadêmico de Engenharia Elétrica – DAELE da Universidade Tecnológica Federal do Paraná – UTFPR, Câmpus Pato Branco, como requisito parcial para obtenção do título de Engenheiro Eletricista.

Orientador: Everton Luiz de Aguiar

PATO BRANCO

2016

TERMO DE APROVAÇÃO

O trabalho de Conclusão de Curso intitulado “**PROJETO E IMPLEMENTAÇÃO DE CONVERSORES CFP COM CONTROLE DE CORRENTE APLICADO A LÂMPADAS LED DE ILUMINAÇÃO PÚBLICA**”, do aluno “**GIUSEPPE FELIPE LUNELLI**” foi considerado **APROVADO** de acordo com a ata da banca examinadora N°98 em 07 de junho de 2016.

Fizeram parte da banca os professores:

Prof. Me. Everton Luiz de Aguiar

Prof. Me. Marcelo Guepfrih

Prof. Dr. Juliano Pelegrini Lopes

Prof. Dr. César Claire Torrico

A Folha de Aprovação assinada encontra-se no Departamento Acadêmico de Engenharia Elétrica

DEDICATÓRIA

Dedico o TCC a minha família pelo suporte que se fez presente em todos os momentos da minha vida dentro e fora da faculdade, sem esse pilar provavelmente não teria chegado até aqui.

AGRADECIMENTOS

Ao Prof. Me Everton Luiz de Aguiar, pela aceitação de orientação, confiança e paciência durante o trabalho. Ao Prof. Diogo Vargas pela ideia inicial do e pelas ajudas ao longo do trajeto. A todos os professores da graduação que compartilharam seu conhecimento de forma honesta e ética durante o trajeto, em especial ao Prof. Dr César C. Torrico, que sempre se mostra disposto ao esclarecimento e exerce com sabedoria a profissão de professor.

A minha namorada Meira Maria que sempre me ergueu a cabeça nos momentos mais difíceis. A todos os colegas da graduação que de alguma forma contribuíram com ideias não apenas no TCC, mas durante a faculdade. Em especial, os amigos Daniel Prado de Campos, Diego Dias Pinheiro, Rafael Luiz Guarez e Célio Degaraes que perderam um pouco de seu tempo, para ajudar, meu muito obrigado.

EPÍGRAFE

“O primeiro pecado da humanidade foi à fé; a primeira virtude foi à dúvida” (*Carl Sagan*).

RESUMO

LUNELLI, Giuseppe Felipe. Projeto e Implementação De Conversores CFP Com Controle De Corrente Aplicados a Lâmpadas Led De Iluminação Pública. 2016. 98f. Trabalho de Conclusão de Curso – Curso de Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Pato Branco, 2016.

Este trabalho apresenta as principais topologias de conversores não isolados para aplicação de correção de fator de potência (CFP) na alimentação de uma carga LED de iluminação pública. São apresentados os projetos e simulação das topologias CFP através do *software* PSIM, para análise da topologia mais adequada para a implementação. A necessidade do controle de corrente no LED é apresentada, e propõe-se um conversor de Duplo Estágio que atue para o seu controle, mantendo sua característica de CFP. É realizada uma modelagem dinâmica para o segundo conversor do Duplo estágio, o controlador de potência (CP), a fim de se analisar a resposta dinâmica de sua corrente de saída e projetar seu controlador. A simulação no *software* PSIM para o duplo estágio é também feita, assim como a implementação de um protótipo para avaliar o funcionamento e os resultados práticos. A implementação obteve um alto fator de potência (FP), e uma baixa taxa de distorção harmônica (TDH) em sua corrente de entrada.

Palavras-chave: Conversores CFP, LED de Iluminação Pública, Modelagem do Conversor CC-CC, Conversor de duplo estágio.

ABSTRACT

LUNELLI, Giuseppe Felipe. Design and Implementation of Converters PFC with Current Control Applied in Lamps Public Lighting LED. 2016. 98 f. Course Assignment / Monograph - Federal Technological University of Paraná. Pato Branco, 2016.

This work presents the most used non-isolated converter topologies applied for power factor correction (PFC) in LED streets illumination systems. The design and the simulation of the PFC topologies are presented, and the most appropriate topology is implemented. The output current control is presented, and it is used a double stage converter for that. The double stage converter acts for the current control, keeping unchanged the characteristics of the PFC stage. A dynamic modeling for the second double stage converter is performed, in order to analyze the dynamic response of the output current and to design the current controller. Computational simulations in PSIM for the dual-stage is also made, as well as the implementation of a prototype to evaluate the operation and the experimental results. The experimental results obtained achieved a high power factor (PF), and a low total harmonic distortion (THD) in the input current.

Keywords: PFC Converters, LED Street Lighting, Modeling DC-DC converter, Converter of double stage.

LISTAS DE SIGLAS E ABREVIATURAS

LED	<i>Light Emitter Diode</i> – Diodo Emissor de luz
FP	Fator de Potência
TDH	Taxa de Distorção Harmônica
CA	Corrente Alternada
CC	Corrente Contínua
IEC	<i>International Electrotechnical Commission</i>
CCM	<i>Continuous Conduction Mode</i> – Modo de Condução Contínua
DCM	<i>Discontinuous Conduction Mode</i> – Modo de Condução Descontínua
CRM	<i>Critical Conduction Mode</i> – Modo de Condução Crítica
CFP	Correção do Fator de Potência
CP	Controle de Potência
D	<i>Duty-Cycle</i> – razão cíclica
D1	Fração do Tempo na Segunda etapa
D2	Fração do Tempo da Terceira etapa
T1	Produto D1Ts
T2	Produto D2Ts
Ts	Período de Chaveamento
fs	Frequência de Chaveamento

LISTA DE FIGURAS

Figura 1. Representação Eletroluminescência no LED	19
Figura 2. Polarização no LED: (a) Direta; (b)Reversa.....	20
Figura 3. Lâmpada Led de Iluminação Pública	21
Figura 4. Carga de LEDs utilizada nesse trabalho. (a) Figura do LED. (b) Modelo elétrico equivalente.	27
Figura 5. Ligação da carga de LEDs.	28
Figura 6. Curva Tensão versus Corrente LED.	28
Figura 7. Curva corrente versus fluxo luminoso LED.	29
Figura 8. Tipos de Drivers para LEDS.....	30
Figura 9. Topologias Passivas CA com arranjo de LEDs.....	30
Figura 10. Topologias Passivas CC: a) <i>valley-fill</i> ; b) <i>valley-fill</i> modificado;	31
Figura 11. Conversor CC-CC Básico.	32
Figura 12. Modos de Alimentação LED (a) Estágio Único (b)Estágio duplo	34
Figura 13. Fluxo luminoso com aumento de temperatura LED.	36
Figura 14. Esquemático CP <i>Buck</i>	38
Figura 15. Circuito Equivalente Conversores CFP	41
Figura 16. Topologia do conversor <i>Buck-Boost</i> CFP	42
Figura 17. Primeira etapa conversor <i>Buck-Boost</i> CFP	42
Figura 18. Forma de onda corrente de entrada <i>Buck-Boost</i>	43
Figura 19. Segunda etapa conversor <i>Buck-Boost</i> CFP.....	44
Figura 20. Terceira etapa conversor <i>Buck-Boost</i> CFP	44
Figura 21. Conversor <i>Sepic</i> CFP.....	45
Figura 22. Primeira etapa conversor <i>Sepic</i> CFP	45
Figura 23. Corrente nos indutores <i>Sepic</i>	46
Figura 24. Segunda etapa conversor <i>Sepic</i> CFP.	46
Figura 25. Terceira etapa conversor <i>Sepic</i> CFP.	47
Figura 26. Conversor <i>Cúk</i> CFP.	49
Figura 27. Primeira etapa conversor <i>Cúk</i> CFP.....	50
Figura 28. Segunda etapa conversor <i>Cúk</i> CFP.....	50
Figura 29. Terceira etapa conversor <i>Cúk</i> CFP.....	51
Figura 30. Conversor <i>Zeta</i> CFP.	51
Figura 31. Primeira etapa conversor <i>Zeta</i> CFP.	51
Figura 32. Corrente em L1 e L2 Zeta.	52
Figura 33. Segunda etapa conversor <i>Zeta</i> CFP.....	52
Figura 34. Segunda etapa conversor <i>Zeta</i> CFP.....	53
Figura 35. Conversor <i>Buck</i> CFP.....	54
Figura 36. Primeira etapa conversor <i>Buck</i> CFP.	54
Figura 37. Segunda etapa conversor <i>Buck</i> CFP.	55
Figura 38. Terceira etapa conversor <i>Buck</i> CFP.	56
Figura 39. Ângulo de condução <i>Buck</i>	56
Figura 40. Filtro de Entrada.....	57

Figura 41. Representação para os LEDs ligados em série. (a) Circuito equivalente (b) Resistência equivalente.	59
Figura 42. Conversor <i>Buck-Boost</i> CFP.	61
Figura 43. Tensão de saída <i>Buck-Boost</i>	61
Figura 44. Corrente de saída <i>Buck-Boost</i>	62
Figura 45. Corrente no indutor <i>Buck-Boost</i>	62
Figura 46. Tensão e Corrente de entrada <i>Buck-Boost</i>	63
Figura 47. Comparação valor máximo tolerado IEC61000-3-2 e valor medido <i>Buck-Boost</i>	63
Figura 48. Conversor <i>Sepic</i> CFP.	65
Figura 49. Tensão de saída <i>Sepic</i>	65
Figura 50. Corrente de saída <i>Sepic</i>	65
Figura 51. Corrente no Diodo do <i>Sepic</i>	66
Figura 52. Tensão e Corrente de Entrada <i>Sepic</i>	66
Figura 53. Comparação valor máximo tolerado IEC61000-3-2 e valor medido <i>Sepic</i>	67
Figura 54. Conversor <i>Cúk</i> CFP.	68
Figura 55. Tensão de saída <i>Cúk</i>	68
Figura 56. Corrente de saída <i>Cúk</i>	69
Figura 57. Corrente no Diodo do <i>Cúk</i>	69
Figura 58. Tensão e Corrente de entrada <i>Cúk</i>	70
Figura 59. Comparação valor máximo tolerado IEC61000-3-2 e valor medido <i>Cúk</i>	70
Figura 60. Conversor <i>Zeta</i> CFP.	71
Figura 61. Tensão de saída <i>Zeta</i>	72
Figura 62. Corrente de saída <i>Zeta</i>	72
Figura 63. Corrente no Diodo do <i>Zeta</i>	72
Figura 64. Tensão e Corrente de entrada <i>Zeta</i>	73
Figura 65. Comparação valor máximo tolerado IEC61000-3-2 e valor medido <i>Zeta</i>	73
Figura 66. Conversor <i>Buck</i> CFP.	74
Figura 67. Tensão de saída <i>Buck</i>	75
Figura 68. Corrente de saída <i>Buck</i>	75
Figura 69. Corrente no indutor <i>Buck</i>	75
Figura 70. Tensão e Corrente de entrada <i>Buck</i>	76
Figura 71. Comparação valor máximo tolerado IEC61000-3-2 e valor medido <i>Buck</i>	76
Figura 72. Esquemático Duplo Estágio.	79
Figura 73. Snubber RCD.	81
Figura 74. Diagrama de Blocos Sistema a Malha Fechada.	82
Figura 75. Tensão de barramento e saída Duplo Estágio.	83
Figura 76. Corrente de saída Duplo estágio.	84
Figura 77. <i>Zoom</i> da corrente de saída.	84
Figura 78. <i>Driver</i> para acionamento da chave semicondutora.	85
Figura 79. Circuito instrumentação do sinal de corrente.	85
Figura 80. Protótipo do Duplo Estágio.	86

Figura 81. Pico de tensão no retificador.....	87
Figura 82. Tensão na saída do retificador.....	87
Figura 83. Tensão no mosfet CFP(laranja) e capacitor snubber(azul).	88
Figura 84. Tensão no mosfet CP.....	88
Figura 85. Tensão de barramento Vbus.....	89
Figura 86. Tensão de saída Vo.	89
Figura 87. Amostra deTensão de Entrada(azul) Corrente de entrada(laranja).....	90
Figura 88. Tensão e Corrente de entrada (médiamovel).....	90
Figura 89. Medição FP Duplo Estágio.....	91
Figura 90. Tensão média de saída em MF.....	91
Figura 91. Tensão de Barramento em MF.....	92
Figura 92. Corrente do sistema em MA e MF.....	92

LISTA DE TABELAS

Tabela 1. Consumo de energia elétrica por classe no Brasil 2007 e 2014.....	18
Tabela 2. Limite de harmônicos para norma IEC IEC61000-3-2 classe C.	24
Tabela 3. Parâmetros de projeto para a carga.	60
Tabela 4. Resultados de Simulação.	77
Tabela 5. Esforços nos Semicondutores.	78
Tabela 6. Especificações de projeto Duplo Estágio.	79
Tabela 7. Componentes do Protótipo	80

LISTA DE QUADROS

Quadro 1. Código <i>block C</i> controle CP.	83
---	----

SUMÁRIO

1. INTRODUÇÃO.....	18
1.1 DIODOS EMISSORES DE LUZ	19
1.2 ILUMINAÇÃO PÚBLICA E NORMATIZAÇÃO.....	22
2. ORGANIZAÇÃO DO TRABALHO	25
2.1 OBJETIVOS	25
2.1.2 Objetivos específicos.....	25
3. Fundamentação Teórica.....	27
3.1 MODELO DA CARGA LED	27
3.2 TOPOLOGIAS ATIVAS E PASSIVAS	29
3.2.1 Topologias Passivas	30
3.2.2 Topologias Ativas	32
3.3 CONTROLE DE CORRENTE NO LED	35
3.4 FILTRO CAPACITIVO DE BAIXA FREQUÊNCIA	37
3.5 MODELAGEM CONVERSOR BUCK CP	38
3.5.1 Primeira Etapa.....	39
3.5.2 Segunda Etapa.....	39
3.5.3 Média das Variáveis de estado	40
4. CONVERSORES CFP.....	41
4.1 CONVERSOR <i>BUCK-BOOST</i>	42
4.1.1 Primeira Etapa.....	42
4.1.2 Segunda Etapa.....	43
4.1.3 Terceira Etapa	44
4.2 CONVERSOR <i>SEPIC</i>	45
4.2.1 Primeira Etapa.....	45
4.2.2 Segunda Etapa.....	46
4.2.3 Terceira Etapa	47

4.3	CONVERSOR <i>CÚK</i>	49
4.3.1	Primeira Etapa.....	49
4.3.2	Segunda Etapa.....	50
4.3.3	Terceira Etapa.....	50
4.4	CONVERSOR <i>ZETA</i>	51
4.4.1	Primeira Etapa.....	51
4.4.2	Segunda Etapa.....	52
4.4.3	Terceira Etapa.....	53
4.5	CONVERSOR <i>BUCK</i>	54
4.5.1	Primeira Etapa.....	54
4.5.2	Segunda Etapa.....	55
4.5.3	Terceira Etapa.....	55
4.6	PROJETOS FILTRO DE ENTRADA CONVERSORES <i>BUCK</i> , <i>BUCK-BOOST</i> E <i>ZETA</i>	57
5.	PROJETO E SIMULAÇÃO CFP.....	59
5.1	PROJETO E SIMULAÇÃO <i>BUCK-BOOST</i>	60
5.2	PROJETO E SIMULAÇÃO SEPIC.....	63
5.3	PROJETO E SIMULAÇÃO <i>CÚK</i>	67
5.4	PROJETO E SIMULAÇÃO <i>ZETA</i>	70
5.5	PROJETO E SIMULAÇÃO <i>BUCK</i>	74
5.6.	Resultados de SIMULAÇÃO.....	77
6.	Duplo estágio.....	79
6.1	PROJETO E SIMULAÇÃO.....	79
6.1.1	Projeto Snubber.....	80
6.1.2	Projeto Controlador.....	81
6.1.3	Simulação.....	82
6.2	IMPLEMENTAÇÃO.....	84

7. CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS.....	94
REFERÊNCIAS.....	96

1. INTRODUÇÃO

Com o aumento do consumo de energia elétrica no Brasil ao longo dos últimos anos, existe uma tendência em se reduzir o desperdício da energia elétrica. Conforme é mostrado na Tabela 1, entre o ano de 2007 a 2014 o aumento no consumo de energia elétrica foi de aproximadamente 60,8% (EPE, 2012, EPE, 2014), Algumas ações no sentido de diminuir o consumo de energia elétrica foram aplicadas pelo governo. Dentre essas ações, pode-se citar a determinação da eliminação da comercialização das lâmpadas incandescentes com potência superior a 40 Watts (W) até o ano de 2016 (Energia, 2014). Essa medida foi tomada pelo Ministério de Minas e Energia, devido ao grande desperdício de energia na forma de calor pelas lâmpadas incandescentes, as quais possuem um baixo rendimento luminoso.

Tabela 1. Consumo de energia elétrica por classe no Brasil 2007 e 2014.

Ano	2007	Part.(%)	2014	Part.(%)
Total(GWh)	289,210	Total	475,432	Total
Residencial	94,746	35,9	132,399	27,8
Industrial	80,439	21,4	179,618	37,8
Comercial	60,063	22,8	89,840	18,9
Rural	17,939	6,9	25,671	5,4
Iluminação pública	11,429	3,5	14,043	3,0
Outros	24,593	9,1	33,861	7,1

Fonte: (Adaptado de EPE,2013 e 2014.)

A iluminação pública permite uma maior segurança à noite e proporciona às pessoas a possibilidade de realizar atividades de entretenimento e lazer quando a luz natural não está mais presente. Entre as estratégias para aumentar a eficiência na iluminação pública, destaca-se a utilização de luminárias LED (LEDS MAGAZINE, LUMILEDS, 2008, OSRAM, 2010b). Desta forma, este trabalho apresenta as principais topologias de circuitos para iluminação LED, de maneira a ele possuir um maior rendimento luminoso, vida útil e menores gastos com energia em comparação a outras fontes de energia. Serão apresentados modelos numéricos computacionais, resultados de simulações e resultados experimentais.

1.1 DIODOS EMISSORES DE LUZ

O LED, ou Diodo Emissor de Luz (do inglês *Light Emitter Diode*), é um dispositivo eletrônico semicondutor que emite luz quando polarizado diretamente. Quando há polarização direta, tem-se a recombinação de lacunas e elétrons dentro do LED. Essa recombinação acaba liberando a energia armazenada nos elétrons em forma de luz ou calor, devido à passagem de corrente pela junção PN do semicondutor. O fenômeno de liberação de fótons pela passagem de corrente elétrica no LED é denominado eletroluminescência e é ilustrado na Figura 1 (PINTO,2012).

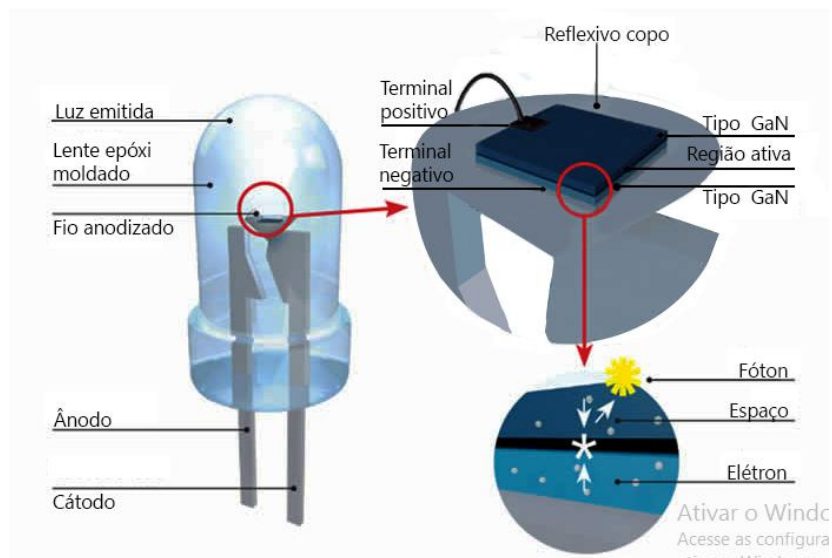


Figura 1. Representação Eletroluminescência no LED
Fonte: (Adaptado de www.superled.com.br)

A junção PN do LED é formada por dois materiais distintos na dopagem do semicondutor. O lado P contém como portadores majoritários as lacunas que apresentam falta de elétrons, enquanto que o lado N contém cargas em excesso apresentando elétrons livres como portadores majoritários (SÁ JUNIOR,2010). O LED só emite luz quando ele se encontra polarizado diretamente. Quando ele é polarizado reversamente não ocorre a sua condução, como se ilustra na Figura 2. A relação entre a corrente e a tensão direta do LED pode ser representada pela equação,

$$I_D = I_s (e^{\frac{qV_f}{nkT}} - 1), \quad (1)$$

(SEDRA;SMITH,1995; SÁ JUNIOR,2010), na qual,

- q – Carga do elétron $1,60 \times 10^{-19} \text{C}$;
 V_f – Tensão Direta no Diodo(V);
 n – Fator de idealidade;
 k – Constante de Boltzman $1,30 \times 10^{-23} \frac{\text{Joules}}{\text{Kelvin}}$;
 T – Temperatura em Kelvin(K);
 I_d – Corrente direto no Diodo(A);
 I_s – Corrente de Saturação reversa do Diodo(A).

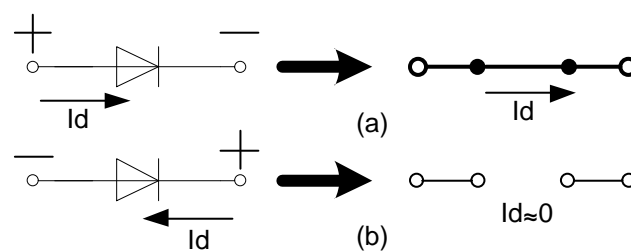


Figura 2. Polarização no LED: (a) Direta; (b) Reversa.
Fonte: (Adaptado de Boyslethead, 1999.)

As tonalidades de cores emitidas pelo LED são dependentes dos materiais utilizados em sua composição. Os compostos mais conhecidos são o AlGaInP (*Alluminum Gallium Indium Phosphide*) responsável pelas cores vermelha, amarela e laranja, e o InGaN (*Indium Gallium Nitride*), responsável pelas cores verde e azul. A emissão da luz branca através do LED não se dá naturalmente, mas pode ser obtida obtendo-se a recombinação das cores azul, vermelho e verde (RGB), ou através de um método mais simples, no qual é colocada uma camada fina de fósforo sobre o LED de cor azul (NOVICKI & MARTINEZ, 2008) (PINTO, 2008).

Dependendo-se da temperatura de cor emitida pela fonte de luz, muda-se a aplicação na qual a fonte é utilizada. Assim, como o LED possui diversos modelos com diferentes temperaturas de cor, tem-se a vantagem de ser empregado em diversas aplicações distintas de iluminação (PINTO, 2008).

O LED sempre teve seu uso associado à sinalização de dispositivos elétricos e eletrônicos. Porém, com o aumento de seu fluxo luminoso e ângulo de abertura do feixe de luz, permitiu-se uma maior potência e eficiência luminosa no dispositivo. Aliando-se a descoberta de emissão de luz branca, o LED conseguiu ser empregado na iluminação de ambientes (NOVICKI & MARTINEZ, 2008; PINTO, 2012).

Dentre as vantagens do LED na iluminação de ambientes frente a outras formas de iluminação, se destacam o maior rendimento luminoso e maior vida útil. Estes fatores, assim como as características fotométricas do LED, são fortemente afetados se a dissipação do calor nas lâmpadas LED não for um fator importante no projeto da lâmpada (BRAÑAS et al., 2013; PINTO,2012).

Um exemplo de Lâmpada LED de iluminação pública pode ser visto na Figura 3. Como pode-se observar, a lâmpada LED é dividida em:

- a) Carcaça – Destinada a fazer as conexões mecânicas com o poste e amortecer esforços mecânicos;
- b) Dissipação – Necessária para realizar uma melhor transferência térmica da lâmpada para o ambiente;
- c) *Driver* – O LED não pode ser alimentado diretamente da rede elétrica, sendo necessária a utilização de um circuito que mantenha a energia em padrões aceitáveis para a carga e a rede;
- d) LEDs – Conjuntos de LEDs de Potência responsáveis pela eletroluminescência da lâmpada.

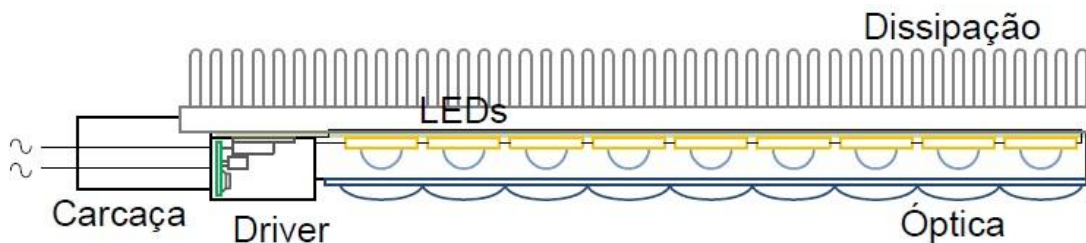


Figura 3. Lâmpada Led de Iluminação Pública
Fonte: (Adaptado de Almeida,2013.)

1.2 ILUMINAÇÃO PÚBLICA E NORMATIZAÇÃO

A luz é essencial para o desenvolvimento e evolução do ser humano, seja como sua fonte natural (o sol) ou com a iluminação artificial provida através da eletricidade. A iluminação pública além de melhorar a qualidade de vida através do lazer nos centros urbanos previne a criminalidade e orienta os percursos permitindo o tráfego de pessoas e veículos (DAMBISKI,2007).

As principais lâmpadas empregadas na iluminação pública atualmente são as lâmpadas de descarga. Porém a substituição de lâmpadas de descarga por lâmpadas LED na iluminação pública mostrou-se vantajosa (LUMILEDS, 2008). As vantagens apontadas são a redução nos gastos com energia elétrica e o baixo custo de manutenção em comparação ao sistema tradicional. (OSRAM, 2010b).

A alimentação das lâmpadas cria um Fator de Potência (FP) para a rede. O FP permite determinar o acréscimo de potência requerida pela lâmpada da rede devido à defasagem entre a tensão alternada (CA) e corrente alternada (CA), e Taxa de Distorção Harmônica (TDH) na corrente de entrada. Quando a lâmpada possui um alto FP não é necessário um grande acréscimo de potência da rede, já lâmpadas com baixo FP necessitam uma potência que pode chegar a ser algumas vezes a potência útil da lâmpada.

O modo de alimentação das lâmpadas LED se dá por meio de circuitos eletrônicos denominados *drivers*. Os *drivers* são necessários para deixar a energia em padrões aceitáveis para alimentação do LED (CAMPOGONARA,2012). Dependendo-se do *driver* utilizado na rede pública pode acarretar-se um problema de qualidade de energia para a rede devido a não linearidade na carga revelada na equação (1). Nota-se nesta equação que a relação entre corrente e tensão é exponencial. A não linearidade do LED pode acarretar um baixo FP para a rede devido a sua alta (TDH) na corrente de entrada.

Um circuito com baixo FP necessita de uma corrente maior para fornecer a mesma potência luminosa, quando comparado com um circuito de iluminação com a mesma potência e com alto FP. Além disso, o baixo fator de potência tem como consequências a possibilidade de distorção da forma de onda da tensão CA, um maior aquecimento dos componentes, além da sobrecarga das subestações e redes de distribuição (PINTO, 2012).

Quando alimentam-se cargas lineares diretamente da rede elétrica, têm-se corrente e tensão senoidais. Onde então o FP é $\cos(\theta)$ e a TDH nula. Já em circuitos chaveados utilizados na alimentação de cargas não lineares, apresenta-se alta TDH, devido à interrupção de corrente na entrada do circuito (KIRSTEN, 2011), neste caso o FP pode ser definido pela equação,

$$FP = \frac{\cos(\theta)}{\sqrt{1+TDH^2}}, \quad (2)$$

sendo o termo θ a defasagem angular entre a componente fundamental da tensão e corrente, e a TDH da corrente de entrada, é definida por,

$$TDH = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1}. \quad (3)$$

com o numerador representando a soma da raiz quadrática de suas componentes harmônicas, e o denominador sua componente fundamental.

A fim de se obter um melhor FP para as lâmpadas LED de iluminação pública, este trabalho visa atender a norma IEC61000-3-2 da *International Electrotechnical Commission (IEC)*. A norma limita a amplitude dos harmônicos de frequência fundamental da rede, para correntes absorvidas na rede pública de distribuição e se refere a equipamentos elétricos e eletrônicos que possuam até 16A por fase, conectados a baixa tensão alternada da rede pública, de 50 ou 60Hz, com tensão fase-neutro de 220 a 240V. Para tensões inferiores os limites ainda não foram estabelecidos (POMILIO, 2007).

Equipamentos de iluminação com potência ativa superior a 25W se enquadram na classe C da norma IEC61000-3-2, onde os mesmos devem atender as especificações conforme a Tabela 2 (POMILIO, 2007).

Tabela 2. Limite de harmônicos para norma IEC IEC61000-3-2 classe C.

<i>Ordem do Harmônico (n)</i>	<i>Máximo valor do harmônico em porcentagem da fundamental</i>
2	2%
3	30% x Fator de Potência
5	10%
7	7%
9	5%
$11 \leq n < 39$	3%

Fonte: Adaptado de POMÍLIO,2007.

2. ORGANIZAÇÃO DO TRABALHO

No capítulo 3 é apresentada a fundamentação teórica do trabalho, contendo o modelo da carga LED a necessidade do controle de corrente, revisão bibliográfica das topologias, e modelagem dinâmica do conversor para o controle.

No capítulo 4 são apresentados os conversores para correção do fator de potência (CFP), seu princípio de funcionamento e as principais equações para cálculo dos elementos reativos.

No capítulo 5 são apresentados os projetos e simulações dos conversores CFP, mostrando as formas de onda dos conversores analisados no Capítulo 4, mostram-se os resultados e determina-se o conversor para integrar um Duplo estágio de implementação.

No capítulo 6 é apresentado um conversor duplo estágio com finalidade de CFP e controle de potência (CP) na carga, consta sua simulação, projeto de controle e resultados de implementação.

No capítulo 7 estão presentes as conclusões de simulação e implementação, assim como uma recomendação de trabalho futuro.

2.1 OBJETIVOS

O objetivo geral deste trabalho é projetar e simular topologias de conversores para aplicação em LEDs de iluminação pública, com a finalidade de comparar e eleger o conversor mais adequado ao estágio CFP, baseando-se na densidade de potência e esforço nos semicondutores. Para assim realizar uma implementação com o fechamento da malha, para um controle da corrente no LED.

2.1.2 Objetivos específicos

- a) Realizar o projeto e simulação das topologias CFP para o *Buck*, *Buck-Boost*, *Boost*, *Cúk*, *Sepic* e *Zeta*.
- b) Realizar uma implementação de conversor CFP, com controle a malha

fechada na corrente do LED, afim de manter seu valor mais constante.

3. FUNDAMENTAÇÃO TEÓRICA

3.1 MODELO DA CARGA LED

A carga utilizada no trabalho pode ser vista na Figura 4 (a). Um modelo elétrico equivalente para a carga LED pode ser visualizado na Figura 4 (b). A Figura 4 (b) representa-se um diodo semiconductor por meio de uma resistência (R), uma fonte de tensão direta (V_j) e um diodo ideal (D), conectados em série. Neste modelo (D) tem a função de manter o fluxo para a passagem de corrente em apenas um sentido, (V_j) representa a barreira de potencial a ser ultrapassada para condução e (R) representa a variação de tensão devido a variações de corrente no dispositivo. A tensão sobre o LED pode ser representada por (PINTO,2012),

$$V_{LED} = V_j + RI_{LED} \cdot \quad (4)$$

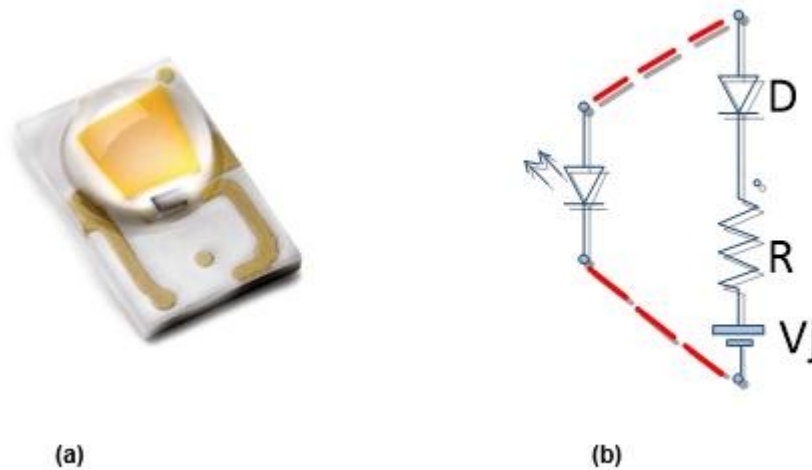


Figura 4. Carga de LEDs utilizada nesse trabalho. (a) Figura do LED. (b) Modelo elétrico equivalente.
Fonte. (a) PHILIPS, 2011 (b) Autoria própria.

Os parâmetros do modelo elétrico LED podem ser obtidos na folha de dados do LED pela curva tensão *versus* corrente, a qual é fornecida pelo fabricante. Para obterem-se os parâmetros é necessário escolher um ponto de operação e efetuar uma regressão linear com uma reta tangente ao ponto (PINTO,2012 ; SÁ JUNIOR,2010). Para realização do estudo será assumida uma carga contendo 40

LEDs de potência ligados em conexão série como representado na

Figura 5. O modelo utilizado será LUXEON Rebel LXML-PWN1-0100 da fabricante PHILIPS. Sua curva tensão *versus* corrente, assim como a reta tangente para um ponto de operação de 0,6A podem ser vistas na Figura 6, onde se obteve um coeficiente angular de $0,5166\Omega$ e um coeficiente linear de aproximadamente 2,85V(CAMPONARA, 2012).

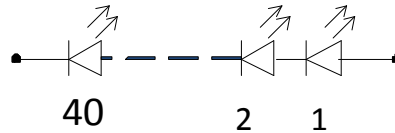


Figura 5. Ligação da carga de LEDs.
Fonte: Autoria Própria

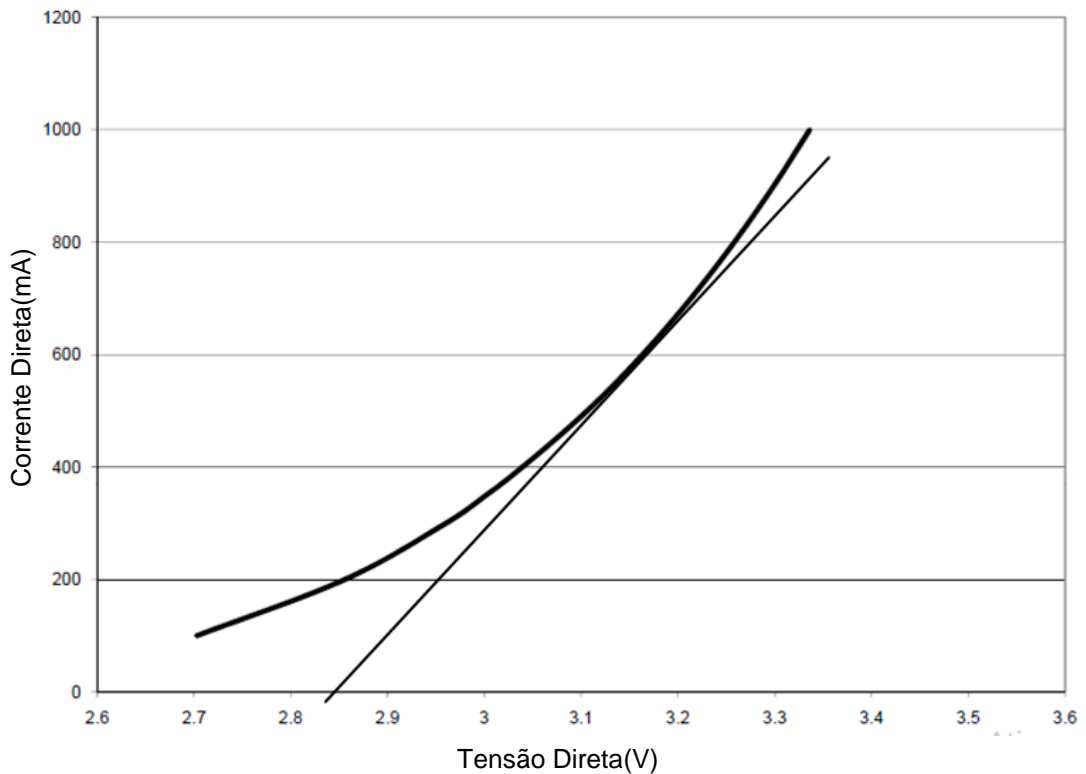


Figura 6. Curva Tensão versus Corrente LED.
Fonte: (Adaptado de PHILIPS,2011).

O fluxo luminoso emitido pelo LED é em função da corrente que circula em sua junção, como se ilustra na Figura 7, a resposta do fluxo luminoso para o LED em estudo com uma temperatura constante de 25°C.

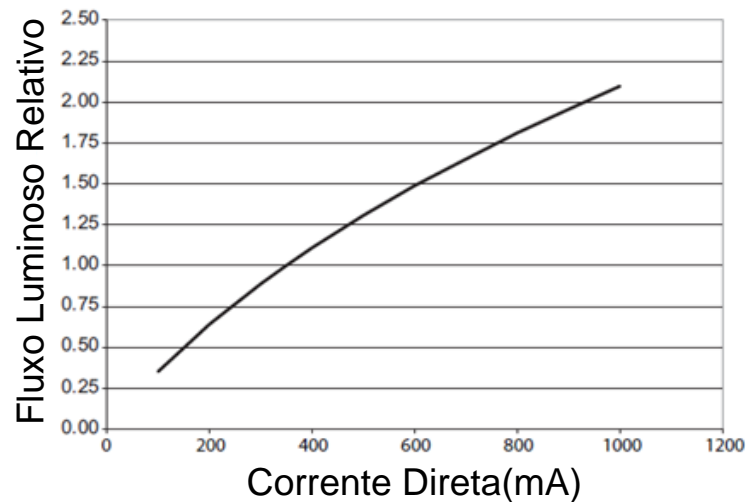


Figura 7. Curva corrente versus fluxo luminoso LED.
 Fonte: (Adaptado de PHLIPS,2011).

3.2 TOPOLOGIAS ATIVAS E PASSIVAS

Diversos métodos são sugeridos para a correção do fator de potência, podendo ser subdivididos em topologias passivas e ativas (KIRSTEN, 2011).

As topologias passivas baseiam-se na adição de elementos reativos antes do estágio de retificação, responsável pela transformação de corrente alternada (CA) em corrente contínua (CC). Estes elementos atuam como filtros das componentes harmônicas. Há várias características diferenciadas nos filtros passivos frente aos métodos ativos. As aplicações passivas apresentam filtros volumosos e pesados decorrentes da operação em baixa frequência (60 Hz e 120 Hz); são relativamente simples, robustos e de baixo custo; não necessitam de malha de controle, apresentam elevado *ripple* na tensão contínua de barramento e, a sua principal vantagem, é a não-presença de elementos ativos (KIRSTEN, 2011; POMÍLIO, 2007). Porém, também existem desvantagens, tais como, alguns circuitos não podem operar numa larga faixa da tensão de entrada (90 a 240V), não possibilitam regulação da tensão, afetam as formas de onda na frequência fundamental, o correto dimensionamento não é simples e comparados com as soluções ativas, são pesados e volumosos (POMÍLIO, 2007).

Os *drivers* utilizados para alimentação das lâmpadas LED, podem ser classificados quanto a sua topologia, as mesmas são classificadas em ativas e passivas,

conforme ilustra a Figura 8. São considerados drivers passivos os que não possuem um interruptor atuando de maneira ativa no circuito, já os drivers ativos são caracterizados pelo interruptor e também possibilidade de controle de corrente(CAMPONOGARA,2012).

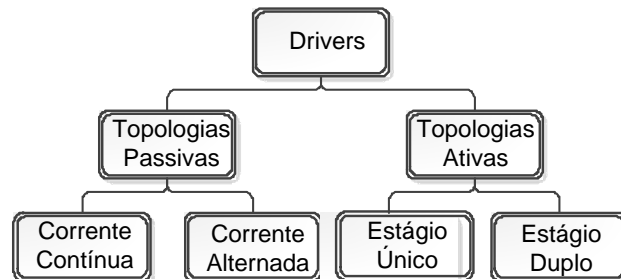


Figura 8. Tipos de Drivers para LEDs.
Fonte: Adaptado de Camponogara,2012.

3.2.1 Topologias Passivas

As topologias passivas tipo CA, segundo Baddela e Zinger(2004 apud CAMPONOGARA, 2012, p.26), usam o princípio de retificação para polarização dos LEDs, juntamente há resistores e capacitores como forma de limitação de corrente em arranjos de LEDs, como podemos observar na Figura 9.

Apesar de ser um método barato e simples, a topologia CA, tende a fazer um mau uso das características do LED, devido a que o valor máximo da componente de baixa frequência de corrente do LED, sua componente CC, não pode ser maior que o valor estipulado pelo *datasheet* do fabricante(CAMPONOGARA,2012).

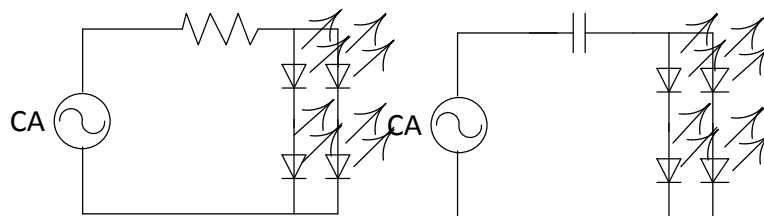


Figura 9. Topologias Passivas CA com arranjo de LEDs.
Fonte: (Adaptado de CAMPONOGARA, 2012).

Já as topologias tipo CC são compostas de uma retificação da rede, juntamente a um filtro de tensão e corrente ligados em série. O filtro de tensão pode ser composto apenas por capacitor ou pelo circuito *valley-fill*, que quando utilizado pode apresentar um bom desempenho e eficiência acima de 90%. O intuito de se

utilizar o *valley-fill* é de que o mesmo ajuda na redução do *ripple* na tensão de saída se comparado ao uso apenas do capacitor, o que possibilita a redução no tamanho do indutor de saída que é o responsável pela parcela do filtro de corrente do *drive*, pode-se ilustrar 4 topologias tipo CC na Figura 10 (CHEN, LI e HUI 2010).

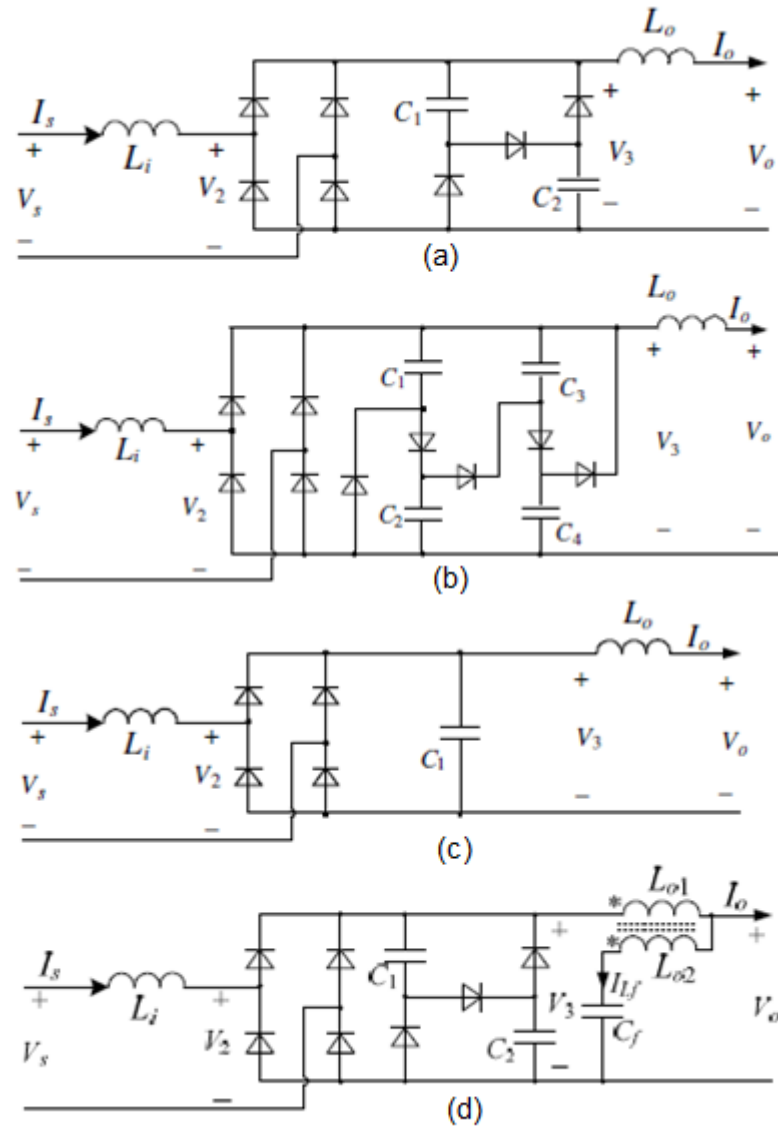


Figura 10. Topologias Passivas CC: a) *valley-fill*; b) *valley-fill* modificado; c) Filtro Capacitivo; d) *valley-fill* com cancelamento na ondulação da corrente de saída.

Fonte: CHEN, LI e HUI, 2010.

3.2.2 Topologias Ativas

As topologias ativas são compostas por conversores CC-CC. Estes conversores são formados por semicondutores de potência operando como interruptores em alta frequência, e por indutores e capacitores que controlam o fluxo de energia entre a entrada e saída do conversor (PETRY,2001).

Na Figura 11, ilustra-se um conversor CC-CC básico, no qual há tensão de entrada (E_g), e uma tensão de saída (V_o). Observa-se que o valor médio de (V_o), é dependente da entrada (E_g) e também de (T_{on}), que representa o tempo em que a chave (S) entra em condução, esta parcela de tempo em que a chave permanece conduzindo pode ser definido como sua razão cíclica ou *duty cycle*(D), e pode ser definida pela equação

$$D = \frac{T_{on}}{T_s} . \quad (5)$$

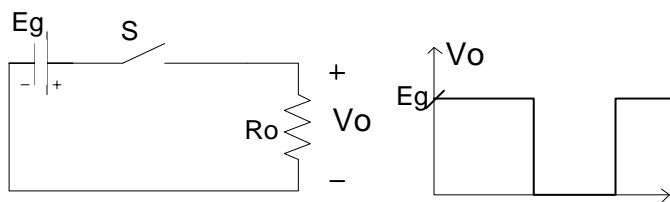


Figura 11. Conversor CC-CC Básico.
Fonte: (Adaptado de PETRY,2011).

O período (T_s) é o inverso da frequência de chaveamento (f_s) e pode ser definido por

$$T_s = \frac{1}{f_s} . \quad (6)$$

A frequência de chaveamento tende a ser o maior possível, visando assim diminuir o tamanho dos indutores e capacitores(PETRY,2001).

Os conversores CC-CC podem operar em três formas diferentes: CCM (*continuous conduction mode*), DCM (*descontinuous conduction mode*), ou CRM (*critical conduciton mode*).

As topologias básicas de conversores CC-CC não isolados são *Buck,Buck-Boost,Boost,Sepic,Cuk* e *Zeta*, cada topologia possui características próprias em seu funcionamento, possibilidades diferentes de elevação e rebaixamento na conversão CC-CC, como também inversão ou não na polaridade de saída (POMILIO,2007).

Para determinar o modo de operação nos conversores *Buck, Boost e Buck-Boost*, deve-se analisar a corrente no indutor, quando a corrente possui um valor diferente de zero antes de ocorrer a próxima comutação da chave se diz que ele opera em CCM, quando o valor desta corrente é nulo já a um período de tempo antes da comutação opera-se em DCM e quando este valor é nulo instantaneamente antes da comutação se diz que opera-se em CRM (POMILIO,2007).

Para o SEPIC, Cúk e Zeta o que determina o modo de operação não é a corrente no indutor e sim a corrente no diodo, normalmente estes conversores apresentam baixo *ripple* na corrente de entrada o que tira a necessidade da utilização de filtros de entrada mesmo em modo de condução descontinuo (POMILIO,2007).

Os conversores em estágio correção de fator de potência (CFP), diferentemente dos conversores CC-CC tradicionais, possuem em sua entrada um sistema de retificação CA-CC para então se ter uma polaridade contínua na entrada do conversor. Estes conversores realizam sua comutação de forma a que a corrente de entrada siga a envoltória da tensão aplicada na entrada, sem defasagem angular. Conversores CFP podem operar de três modos, possuindo suas características e peculiaridades, podemos citá-las como (KIRSTEN,2011):

- a) CCM – Possui pequenas ondulações na corrente de entrada, o que evita a necessidade de filtros de entrada, possui menor taxa de variação de corrente o que diminui interferências eletromagnéticas, mas necessita de um controle dedicado para correção do FP, normalmente complexo.
- b) DCM – Trabalha com razão cíclica e frequência fixa, o que resulta em sua impedância de entrada possuir a característica de uma resistência, e assim não a necessidade de nenhum tipo de controle, apresenta um alto FP mesmo em malha aberta, mas necessita geralmente de um filtro de entrada para garantir um bom FP.
- c) CRM – Possui a necessidade de um controle dedicado, possui complexidade no projeto dos elementos reativos, devido a não operação em uma frequência fixa, normalmente necessita de filtro de entrada para garantir um bom FP.

Conversores CFP quando alimentam cargas não lineares, drenam energia em formas de ondas distorcidas de corrente, o ideal é que o conversor CFP emule uma carga linear para com a rede. O FP é uma condição apenas para a baixa frequência da rede se comparado à frequência de chaveamento do semiconductor que

pode ser corrigido através de filtros auxiliares. Para o conversor emular uma resistência linear devem-se diminuir as respostas dinâmicas em seus indutores e capacitores. Se os elementos reativos não armazenam energia em um período de chaveamento do semicondutor, tais elementos são desprovidos de dinâmica em baixa frequência o que pode ser considerado um emulador de resistência vista palavras, a rede não “enxerga” a carga por todo o período de tempo (TSE,2005). Em outras palavras o modo descontinuo possui a capacidade de ser um emulador de resistência, ele possui habilidade natural para CFP. Isso não ocorre no modo contínuo, no qual necessita-se de uma estratégia de controle para que a corrente de entrada siga a tensão da rede elétrica. O modo descontinuo possui maiores picos de corrente na entrada e maiores esforços nos semicondutores em relação ao modo contínuo o que o torna uma desvantagem para alimentação de cargas de alta potência, como a carga dos LEDs possui uma potência relativamente pequena o modo descontinuo foi o escolhido para realização do estudo, pela sua menor simplicidade no controle e habilidade natural para CFP.

A alimentação da carga LED pode ser classificada como sendo de estágio único ou estágio duplo conforme ilustra a Figura 12. Em apenas um estágio de conversão apresenta-se a vantagem do menor numero de componentes, e maior densidade de potência em comparação ao duplo estágio. Porém no duplo estágio pode-se reduzir a capacitância de saída denominada capacitância de barramento (PEREIRA *et al.*,2014), e também controlar a corrente no LED sem distorcer a corrente de entrada o que compromete o FP.

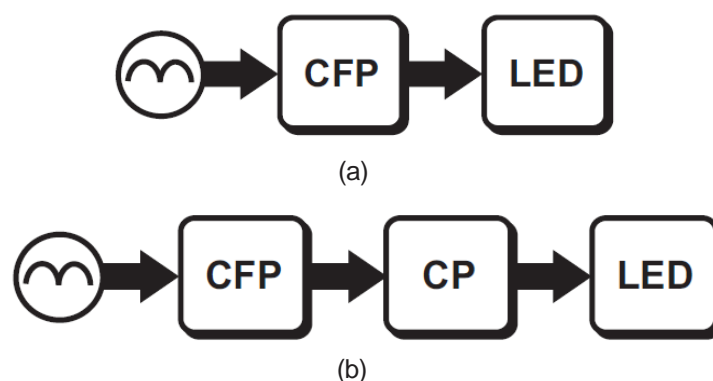


Figura 12. Modos de Alimentação LED (a) Estágio Único (b) Estágio duplo
 Fonte: Adaptado de CAMPONARA,2012.

O estágio único é caracterizado por um único processamento de energia e é considerada a solução mais eficiente na questão do rendimento para *drivers* de LED.

Apesar de que é necessária uma grande capacitância de saída para manter a corrente nos LEDs com pequena ondulação de baixa frequência, o que leva a utilização de capacitores eletrolíticos, o qual é indesejável em aplicações com LEDs, devido a que sob algumas condições a vida útil do LED é até 10 vezes maior que a do capacitor. Este processamento de estágio único é chamado de conversor CFP, pois o mesmo é utilizado para atender os níveis de TDH dentro da norma (CAMPONOOGARA,2012) (BRAÑAS *et al.*, 2013).

No estágio duplo ocorre o processamento de energia duas vezes através de um segundo conversor em série ao conversor CFP, chamado de conversor controlador de potência (CP), o conversor CP possui uma liberdade de atuação do controle de potência na carga, visto que sua operação não distorce a corrente de entrada. O CP também é responsável pela diminuição do valor do capacitor de saída. O duplo estágio diminui o rendimento total do *driver* em comparação ao estágio único, devido à necessidade de um duplo processamento na energia, porém quando é feito o controle de potência através de dimerização, aponta-se mais inteligente o duplo estágio, devido há que a largura de banda para controle do CFP é na ordem de 10 a 20Hz, enquanto que a banda para o controle do CP é acima de 100Hz para assim se evitar o *flicker* visível, assim um estágio único para dimerização digital não é uma opção. (CAMPONOOGARA,2012 ; WEIR *et al.*,2008).

3.3 CONTROLE DE CORRENTE NO LED

Projetar um *drive* para alimentação de LEDs a fim de manter sua corrente constante possui dois propósitos. Há de não se ultrapassar a corrente máxima nominal da carga LED, o que comprometeria a integridade física do componente. O controle de corrente é realizado também para ter uma previsível e coincidente intensidade luminosa e espectro cromático em cada LED (MAXIMINTRGRATED,2004).

Se a corrente no LED é regulada, mantida constante, o aumento em sua temperatura irá gerar um decréscimo em seu fluxo luminoso. Isto ocorre devido a um nível mais elevado de recombinação não irradiado dentro da estrutura de cristal (BRAÑAS *et al.*, 2013). Pode-se observar o fluxo luminoso do LED em estudo em

função da variação de sua temperatura, na Figura 13, aonde nota-se que a potência luminosa decresce com aumento do aquecimento.

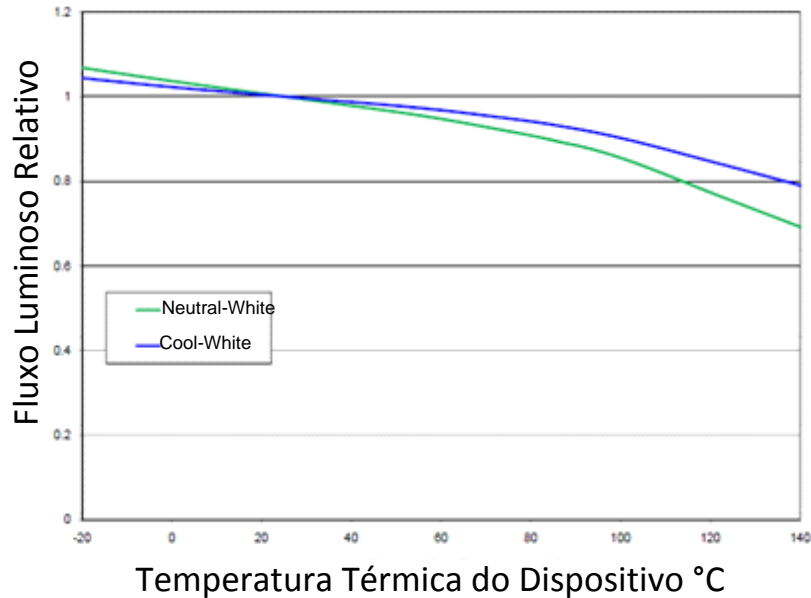


Figura 13. Fluxo luminoso com aumento de temperatura LED.
 Fonte: (Adaptado de PHILIPS,2011).

O controle de corrente no LED, com objetivo de manter um fluxo luminoso fixo, está entrelaçado com um correto dimensionamento térmico para a luminária LED, além de que o aquecimento afeta a vida útil do dispositivo. Além de diminuir o fluxo luminoso, o aumento de temperatura altera a tonalidade de cor emitida e afeta fortemente as suas características elétricas (PINTO, 2012; BRAÑAS *et al.*, 2013).

A queda de tensão sobre o LED (V_{LED}) decresce com o aumento de sua temperatura, o que é irreal para o modelo simplificado de sua tensão direta. Na equação (1) o aumento da temperatura na junção resulta em um aumento da tensão direta. Geralmente a resistência intrínseca do LED sofre pouca variação com o aumento de temperatura. O que representa a parcela significativa na queda de tensão no LED com o aumento de temperatura, é a energia do gap do semiconductor. Essa energia não está representada no modelo simplificado em (1) (SÁ JUNIOR, 2010).

O decréscimo na tensão direta provoca um aumento na corrente direta, para uma potência constante. Isso, por sua vez, provoca um acréscimo na temperatura novamente, tornando necessário o controle da sua corrente a fim de limitar esse ciclo. Por isso, o *driver* projetado tem que ser feito de uma maneira que

mantenha a corrente no LED constante (PINTO, 2012; CAMPONOGARA, 2012; BRAÑAS *et al.*, 2013).

3.4 FILTRO CAPACITIVO DE BAIXA FREQUÊNCIA

O capacitor de saída do circuito PFC deve considerar a variação da tensão de saída, e deve filtrar a baixa frequência da rede. O valor do capacitor pode ser encontrado a partir da equação

$$C = \frac{\Delta Q}{\Delta V}, \quad (7)$$

onde:

- ΔQ representa a variação de carga do capacitor;
- ΔV representa a variação de tensão no capacitor.

Sabendo-se que a variação de carga no capacitor é a sua própria capacidade em armazenar energia, e que sua energia possui relação direta com a potência de entrada e frequência da rede podemos representar a variação de carga do capacitor como sendo a parcela de energia entregue em determinada potência durante o período de tempo da rede pela equação

$$\Delta Q = W_C = \frac{P_{in}}{f_{rede}}. \quad (8)$$

Substituindo-se a equação (8) na equação (7), pode-se chegar a equação

$$C = \frac{P_{in}}{f_{rede} (V_{o_{máx}}^2 - V_{o_{mín}}^2)}, \quad (9)$$

aonde representa-se o valor de capacitância necessária para um *ripple* especificado na tensão de saída do conversor.

3.5 MODELAGEM CONVERSOR BUCK CP

Para o projeto do conversor CP segundo (FACHINELLO,2014), os conversores *Buck* e *Buck-Boost*, são as topologias com os menores componentes projetados, e a topologia *Buck* a que apresenta os menores esforços nos semicondutores, optou-se assim por um protótipo da topologia *Buck* para o estágio CP. Portanto a modelagem do conversor para obtenção da resposta dinâmica de sua corrente de saída é necessária para o projeto de seu controlador.

A modelagem é feita em espaço de estados conforme o modelo representado pelas equações:

$$\dot{x}(t) = \mathbf{A}(t)x(t) + \mathbf{B}(t)u(t) \quad (10)$$

$$y(t) = \mathbf{C}(t)x(t) + \mathbf{F}(t)u(t) \quad (11)$$

(OGATA,2013), aonde

$x(t)$ → Vetor de variáveis de estado;

$y(t)$ → Vetor de saídas;

$u(t)$ → Vetor de entradas;

$\mathbf{A}(t)$ → Matriz de estado;

$\mathbf{B}(t)$ → Matriz de entrada;

$\mathbf{C}(t)$ → Matriz de saída;

$\mathbf{F}(t)$ → Matriz de transmissão direta.

A modelagem em espaço de estados para o conversor *Buck* possui dois estados para operação em CCM. Cada estado corresponde a cada uma das etapas de operação do conversor representado no esquemático na Figura 14. Sua primeira etapa é caracterizada pela condução da chave ativa(Sb) e a segunda pela sua abertura.

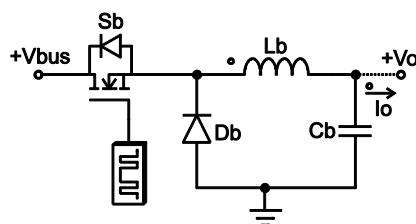


Figura 14. Esquemático CP *Buck*
Fonte: Autoria Própria.

Conforme o circuito equivalente, o conversor *Buck* possui como variáveis de estado a corrente no indutor e a tensão no capacitor, podendo ser representado através da relação

$$x(t) = \begin{bmatrix} i_{lb} \\ v_{cb} \end{bmatrix}. \quad (12)$$

O interesse da modelagem é na sua corrente de saída. Pode-se assim definir seus respectivos vetores de saída e de entrada, como

$$y(t) = [i_o], \quad (13)$$

$$u(t) = [V_{bus}]. \quad (14)$$

3.5.1 Primeira Etapa

Na primeira etapa de funcionamento do conversor Buck CP, a chave Sb encontra-se conduzindo e o diodo Db encontra-se bloqueado. Pode-se definir suas matrizes em espaço de estados como sendo (BARBÍ,2015):

$$A_1 = \begin{bmatrix} 0 & -\frac{1}{L_b} \\ \frac{1}{C_b} & -\frac{1}{R_o C_b} \end{bmatrix} \quad (15)$$

$$B_1 = \begin{bmatrix} \frac{1}{L_b} \\ 0 \end{bmatrix} \quad (16)$$

$$C_1 = \begin{bmatrix} 0 & \frac{1}{R_o} \end{bmatrix} \quad (17)$$

$$F_1 = [0]. \quad (18)$$

3.5.2 Segunda Etapa

Na segunda etapa a chave Sb encontra-se aberta e quem entra em condução é o diodo Db. Pode-se definir suas matrizes em espaço de estados como (BARBÍ,2015):

$$A_2 = A_1 \quad (19)$$

$$C_2 = C_1 \quad (20)$$

$$B_2 = F_2 = [0]. \quad (21)$$

3.5.3 Média das Variáveis de estado

Com a modelagem em espaço de estados é possível encontrar seu modelo médio através de (BARBÍ,2015):

$$A = A_1(D) + A_2(1-D) \quad (22)$$

$$B = B_1(D) + B_2(1-D) \quad (23)$$

$$C = C_1(D) + C_2(1-D) \quad (24)$$

$$D = D_1(D) + D_2(1-D) \quad (25)$$

Com o modelo médio é então possível obter sua função de transferência que correlaciona a saída para pequenas variações no ponto de operação do *duty cycle* (\tilde{d}), através de (BARBÍ,2015):

$$\frac{\tilde{y}}{\tilde{d}} = \left\{ C(sI - A)^{-1} \left[-(A_1 - A_2)A^{-1}B + (B_1 - B_2) \right] + (F_1 - F_2) - (C_1 - C_2)A^{-1}B \right\} \bar{U} \quad (26)$$

4. CONVERSORES CFP

Diferentemente dos Conversores CC-CC os conversores CFP não possuem uma fonte de tensão contínua em sua entrada. Sua fonte contínua é substituída pela fonte alternada da rede seguido de um estágio de retificação. Todos os conversores CFP trabalhando em modo de operação descontínua possuem um circuito equivalente representado conforme Figura 15 (LOPES,2015).

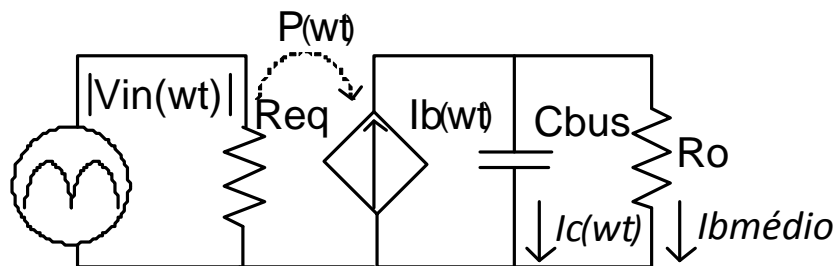


Figura 15. Circuito Equivalente Conversores CFP
Fonte: Adaptado de Lopes,2015.

Onde:

- 1) $|V_{in}(wt)|$ - Tensão retificada da rede(V);
- 2) R_{eq} – Resistência equivalente vista pela rede(Ω);
- 3) $P(wt)$ – Potência instantânea de entrada(W);
- 4) $I_b(wt)$ – Fonte de corrente dependente da potência absorvida por R_{eq} (A);
- 5) C_{bus} – Capacitor de barramento(F);
- 6) R_o – Resistência equivalente da carga(Ω).

Para análise dos conversores CFP pode-se fazer uma analogia ao seu circuito equivalente conforme cada topologia que possui um funcionamento característico. Também é considerado na análise que:

- a) O circuito opera regime permanente;
- b) Frequência de comutação é muito maior que a da rede elétrica;
- c) Em um período de comutação em alta frequência a tensão da rede elétrica é considerada constante.

4.1 CONVERSOR *BUCK-BOOST*

Neste conversor a tensão de saída (V_o) pode ser maior, menor ou igual à tensão de entrada (E_G) (AHMED,2000), e V_o possui polaridade oposta a E_G . Seu esquemático pode ser visto na Figura 16. O *duty cycle* máximo para condução de modo descontínuo pode ser definido por (POMILIO,2007),

$$D \leq \frac{V_o}{V_{SPICO} + V_o}, \quad (27)$$

onde:

- 1) $V_{SPICO} \rightarrow$ Tensão de pico de entrada(V).

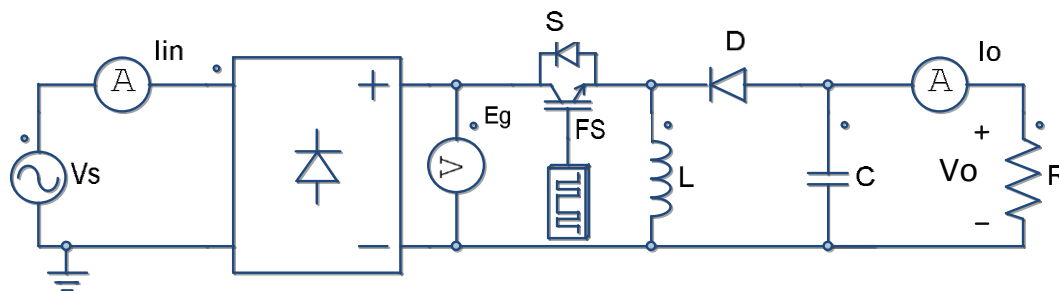


Figura 16. Topologia do conversor *Buck-Boost* CFP
Fonte: (Adaptado de WU,1998).

4.1.1 Primeira Etapa

Nesta etapa transfere-se energia da fonte para o indutor (L), o diodo (D) fica inversamente polarizado, enquanto o capacitor (C) alimenta a carga (R) conforme representado na Figura 17 (POMILIO, 2007).

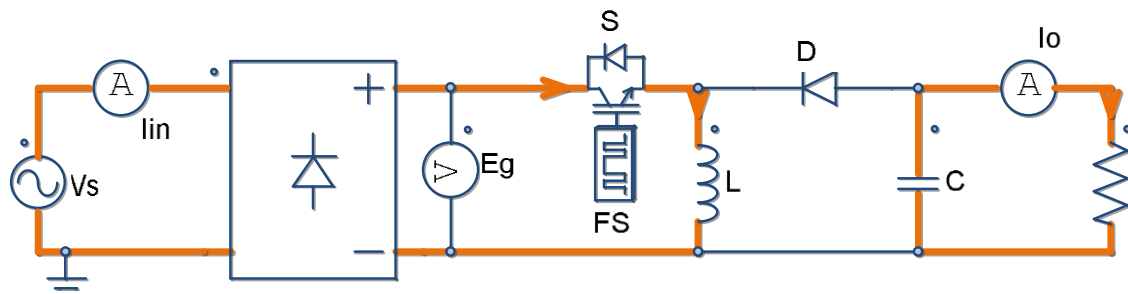


Figura 17. Primeira etapa conversor *Buck-Boost* CFP
Fonte: Autoria Própria.

A tensão em L é igual a tensão de entrada (E_G), e a corrente em L aumentará linearmente no tempo (AHMED, 2000). Nesta etapa a corrente em L é igual

a corrente de entrada representada na Figura 18, e pode ter seu valor de pico calculado pela equação (WU,1998),

$$I_{INPICO}(t) = \frac{V_{SPICO} \sin(\omega_r t) 2\pi D}{L\omega_s}. \quad (28)$$

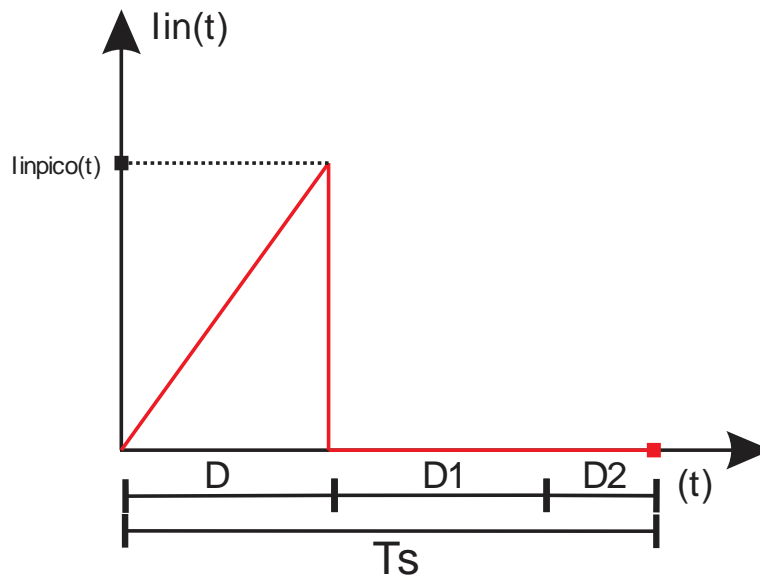


Figura 18. Forma de onda corrente de entrada *Buck-Boost*.
Fonte: Autoria Própria.

Assumindo-se uma eficiência de 100% no conversor e fator de potência unitário, a potência média de entrada (P_{in}), pode ser expressa pela equação (WU,1998),

$$P_{in} = \frac{V_{SPICO}^2 D^2 \int_0^{T_r} \sin(\omega_r t)^2}{2Lf_s T_r}. \quad (29)$$

Resolvendo-se a equação (29), e isolando L pode-se então definir sua indutância como

$$L = \frac{V_{SPICO}^2 D^2}{4P_o f_s}. \quad (30)$$

4.1.2 Segunda Etapa

Durante o período de tempo $D1T_s$, a tensão E_G se desconectará do circuito, e a corrente no indutor não irá variar de imediato assim polarizando o diodo (D) diretamente e criando um caminho para a corrente que irá alimentar a carga e o capacitor instantaneamente, conforme se representa na Figura 19.

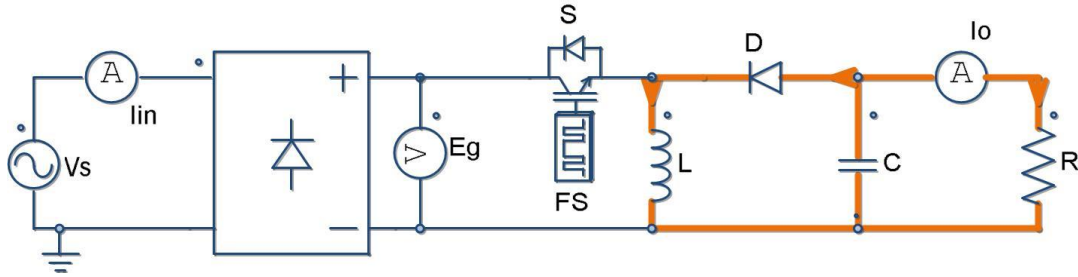


Figura 19. Segunda etapa conversor Buck-Boost CFP.
Fonte: (Adaptado de WU,1998).

4.1.3 Terceira Etapa

No instante $D2t_s$, a corrente no indutor atinge valor nulo, e apenas o capacitor (C), mantém a carga (R) alimentada conforme se ilustra na Figura 20.

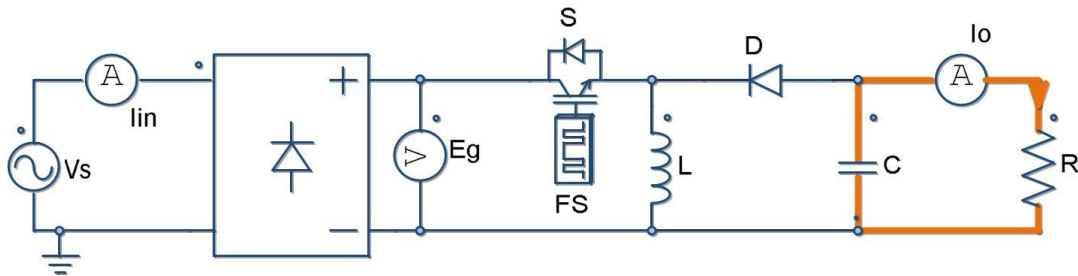


Figura 20. Terceira etapa conversor Buck-Boost CFP
Fonte: (Adaptado de WU,1998).

. Analisando-se seu circuito equivalente na Figura 15 pode-se chegar a sua corrente instantânea de saída que pode ser obtida através de,

$$i_b(\omega t) = \frac{P(\omega t)}{V_{bus}} = \frac{|V_{SPICO}^2 \sin^2(\omega t)| D^2 T}{2LV_{bus}}. \quad (31)$$

Integrando-se (31), pode-se ter a corrente média de saída representada por,

$$I_{bmédio} = \frac{1}{2\pi} \int_0^{2\pi} I_b(\omega t) d\omega t = \frac{V_{SPICO} D^2 T}{4LV_{bus}}. \quad (32)$$

Sabendo que o período de ondulação na tensão de saída é 180° , e o capacitor se carrega por um período de 90° da rede, pode-se ter a variação de carga no capacitor representada por,

$$\Delta Q = I_c(\omega t) = \int_0^{\frac{\pi}{2}} |I_b(\omega t) - I_{bmédio}| d\omega t = \frac{V_{SPICO} D^2 T}{4LV_{bus}}. \quad (33)$$

Com a variação de carga do capacitor, pode-se então encontrar o valor da capacitância necessária através de,

$$C_{bus} = \frac{\Delta Q}{\Delta V_{bus} \omega_{rede}} = \frac{V_{SPICO}^2 D^2 T}{4LV_{bus} \Delta V_{bus} \omega_{rede}}. \quad (34)$$

As formas de onda do conversor *Buck-Boost*, assim como dos outros conversores analisados estão presentes no capítulo 5, referente ao projeto e simulação das topologias.

4.2 CONVERSOR SEPIC

Neste conversor a tensão de saída (V_0), pode ser maior ou menor que tensão de entrada (E_G), e também não há inversão de polaridade na saída (POMILIO,2007), seu esquemático é representado na Figura 21.

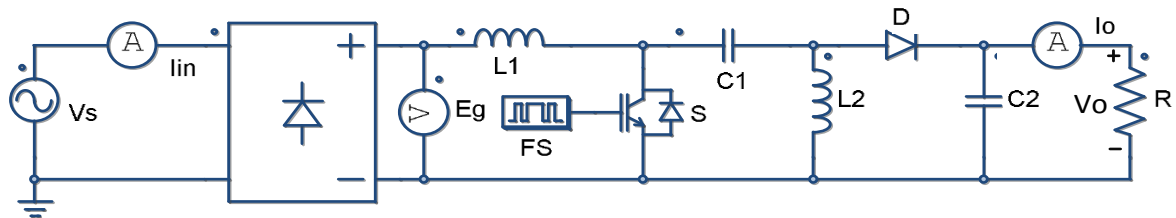


Figura 21. Conversor Sepic CFP
Fonte: (Adaptado de SIMONETTI et al.,1997.)

4.2.1 Primeira Etapa

No período DTs a chave S mantém-se polarizada e ocorrendo a transferência de energia da fonte (V_s) e (C_1), para (L_1) e (L_2) respectivamente, conforme ilustra a Figura 22.

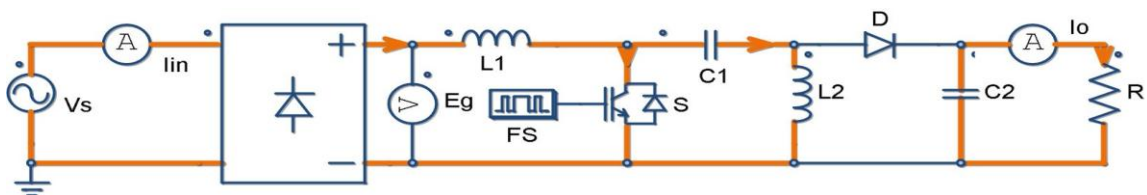


Figura 22. Primeira etapa conversor Sepic CFP
Fonte: (Adaptado de SIMONETTI et al.,1997.)

Ocorre um aumento linear na corrente dos indutores, pode-se representar a corrente nos indutores pelas equações por (SIMONETTI et al.,1997),

$$i_{l1} = i_{rl} + \frac{v_s(t)DT_s}{L1} \quad (35)$$

$$i_{l2} = -i_{rl} + \frac{v_s(t)DT_s}{L2} \quad (36)$$

onde:

1. i_{rl} → Corrente de roda livre.

Pode se observar as formas de onda de i_{l1} e i_{l2} na Figura 23, sendo sua amplitude proporcional ao valor instantâneo de $v_s(t)$.

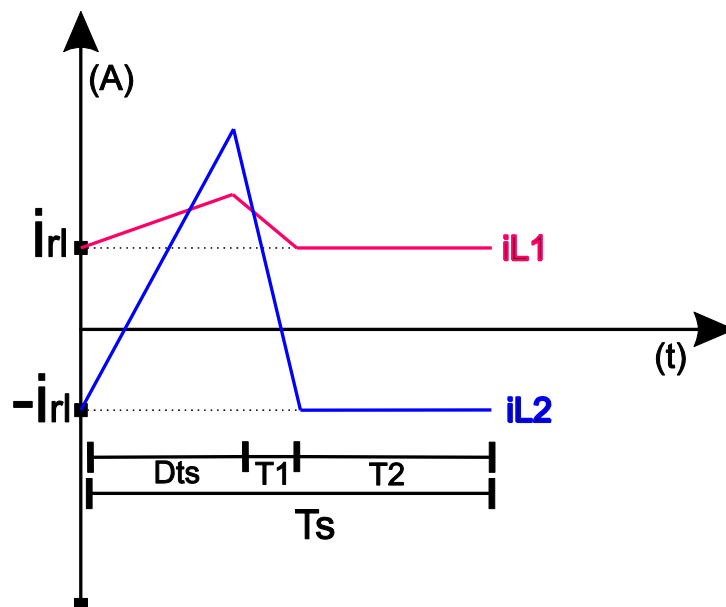


Figura 23. Corrente nos indutores *Sepic*.
Fonte: (Adaptado de SIMONETTI et al.,1997)

4.2.2 Segunda Etapa

Esta etapa de operação corresponde ao tempo $T1$, é nesta etapa que ocorre a condução do diodo (D) e bloqueio da chave (S), conforme ilustrado na Figura 24.

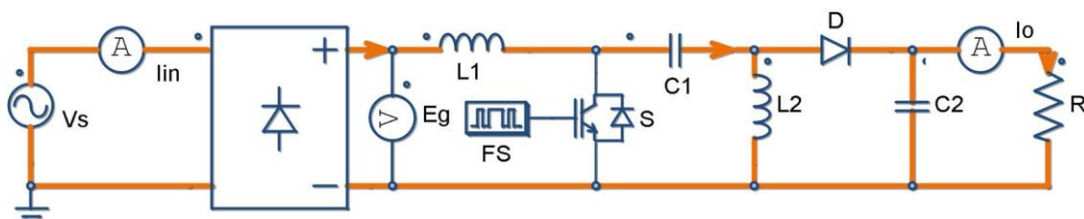


Figura 24. Segunda etapa conversor *Sepic* CFP.

Fonte: (Adaptado de SIMONETTI et al.,1997)

Durante a condução do diodo a corrente i_{l2} decresce transferindo energia juntamente a i_{l1} para a carga (R) e (C2). Enquanto i_{l2} for menor em módulo que i_{l1} o diodo conduz, não ocorre mais a condução quando temos $i_{l1} = i_{l2}$, em módulo, e então atinge valor nulo á corrente no diodo (POMILIO,2007).

Pode-se definir o tempo T1, através do ganho estático do conversor para condução descontínua, e pode-se representa-lo pela equação (SIMONETTI et al.,1997),

$$T1 = \frac{DT_s \sin(\omega_r t)}{M} \quad (37)$$

Onde:

- $M = \frac{V_o}{V_s}$, Ganho de tensão do conversor (38)

Para o conversor *Sepic* e *Cúk* a corrente média de saída é a corrente média no diodo, pois é apenas na segunda etapa de operação que ocorre transferência de energia da fonte para a carga. Através de manipulações na corrente de pico do diodo pode-se chegar ter a corrente média de saída através de, (SIMONETTI et al.,1997)

$$I_o = \frac{V_{SPICO}^2 D^2 T_s}{4L_{EQ} V_o} \quad (39)$$

4.2.3 Terceira Etapa

Esta etapa de operação ocorre no tempo T2, e é caracterizada pela não condução de (D) e (S), conforme se ilustra na Figura 25.

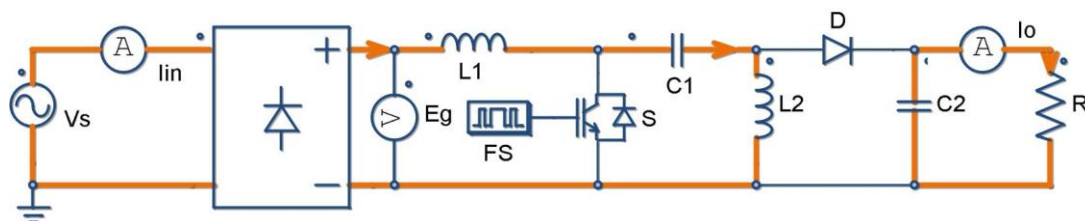


Figura 25. Terceira etapa conversor *Sepic* CFP.
Fonte: (Adaptado de SIMONETTI et al.,1997)

Para o conversor operar no modo descontínuo a soma dos tempos nas duas primeiras etapas tem que ser menor que o período de chaveamento, como representado pela equação, (SIMONETTI et al.,1997):

$$DT_s + T_1 < T_s. \quad (40)$$

Substituindo a equação (37) na equação (40) e tendo como pior situação para o modo de condução descontínuo o pico de tensão da rede, ou seja, quando $\omega t = 90^\circ$, pode-se chegar na equação (SIMONETTI et al.,1997),

$$D < \frac{M}{M+n}. \quad (41)$$

A corrente média de saída (I_o) também pode ser expressa por,

$$I_o = \frac{V_o}{R_o}. \quad (42)$$

Igualando-se a equação (39) com a equação (42), pode-se ter o valor do *duty cycle* pela equação (SIMONETTI et al.,1997),

$$D = \sqrt{2M} \sqrt{Ka}, \quad (43)$$

que pode ser obtido através da constante de condução do *Sepic* (Ka), representada pela equação (SIMONETTI et al.,1997),

$$Ka = \frac{2L_{EQ}}{R_o T_s}. \quad (44)$$

Igualando-se a equação (41) e (43), encontra-se o valor crítico para (K_a), que representa sua operação em CRM, através de,

$$Ka_{critico} = \frac{1}{2(M+1)^2}. \quad (45)$$

Para projetar as indutâncias L1 e L2, é utilizado como parâmetro de projeto o valor do *ripple* da corrente de entrada. Assim seus valores podem ser calculados através de (SIMONETTI et al.,1997),

$$L1 = \frac{V_{SPICO} DT_s}{\Delta I_{INRIPPLE}}, \quad (46)$$

$$L2 = \frac{L1 L_{EQ}}{L1 - L_{EQ}}. \quad (47)$$

Para o conversor *Sepic* o capacitor C1 deve apresentar baixo *ripple* de tensão na frequência de chaveamento, seu valor deve ser pequeno para acompanhar a variação da tensão de entrada sendo que ele tem influência direta sobre i_{l1} . A

frequência de ressonância entre $C1$, $L1$ e $L2$ deve ser em uma frequência maior que a da rede e menor que a de chaveamento ($\omega_{rede} < \omega_{ressonancia} < \omega_s$), afim de evitar oscilações na corrente de entrada I_{in} e manter seu funcionamento como CFP respectivamente, o valor de $C1$ pode ser encontrado através da equação (SIMONETTI et al.,1997),

$$C1 = \frac{1}{\omega_{ressonancia}^2 (L1 + L2)}. \quad (48)$$

4.3 CONVERSOR CÚK

Neste conversor pode-se ter uma tensão de saída (V_o) maior ou menor que a tensão de entrada (E_G), e diferentemente do *Sepic* ocorre inversão na polaridade de saída (POMILIO,2007). Este conversor tem um funcionamento semelhante ao *Sepic* e suas equações são idênticas às equações do conversor *Sepic* (SIMONETTI et al.,1997), portanto os dois possuem o mesmo desenvolvimento teórico e podem ser usadas as mesmas equações para ambos os projetos. A topologia do *Cúk* pode ser visualizada na Figura 26.

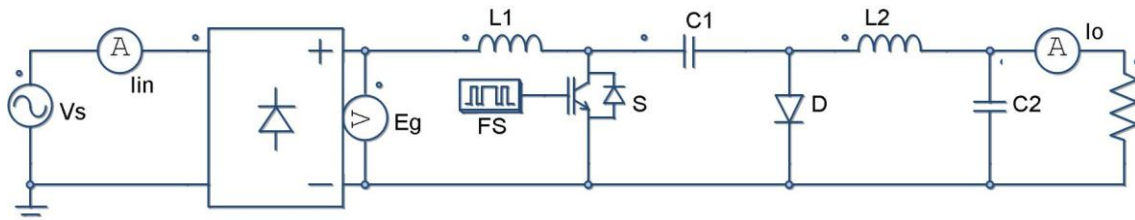


Figura 26. Conversor Cúk CFP.
Fonte: (Adaptado de SIMONETTI et al.,1997)

4.3.1 Primeira Etapa

Em sua primeira etapa a chave (S) encontra-se conduzindo e o diodo(D) permanece bloqueado conforme ilustra a Figura 27.

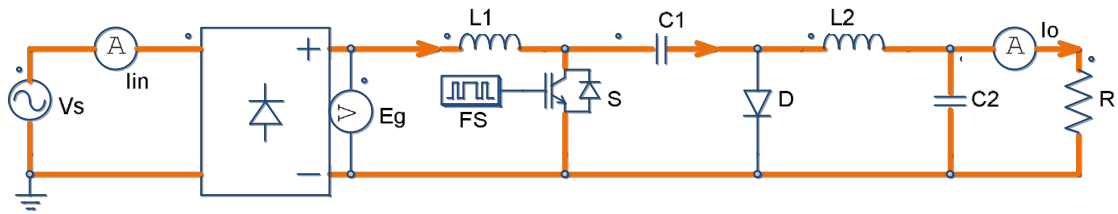


Figura 27. Primeira etapa conversor Cúk CFP.
 Fonte: (Adaptado de SIMONETTI et al.,1997)

4.3.2 Segunda Etapa

Em sua segunda etapa a chave (S) abre, permitindo a então condução do diodo (D), conforme se ilustra na Figura 28.

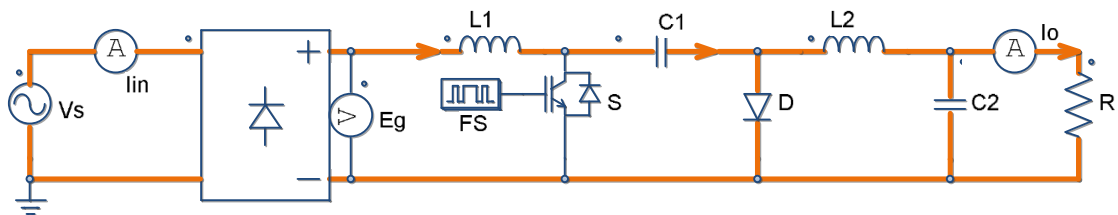


Figura 28. Segunda etapa conversor Cúk CFP.
 Fonte: (Adaptado de SIMONETTI et al.,1997)

4.3.3 Terceira Etapa

Esta etapa é caracterizada pela não condução da chave (S) e diodo (D), conforme ilustra a Figura 29.

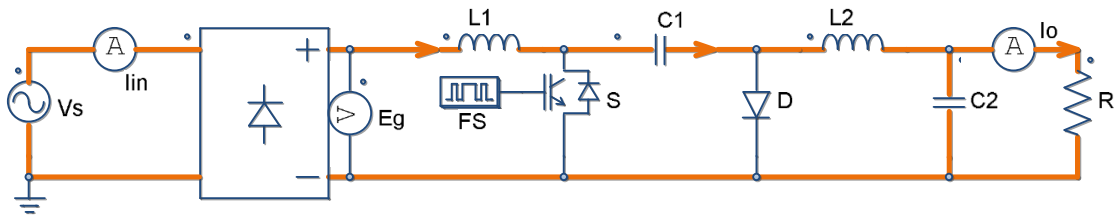


Figura 29. Terceira etapa conversor *Cúk* CFP.
Fonte: (Adaptado de SIMONETTI et al.,1997)

4.4 CONVERSOR ZETA

Neste conversor a tensão de saída (V_0), pode ser maior ou menor que tensão de entrada (E_G), e não há inversão de polaridade na saída. Sua topologia pode ser vista na Figura 30.

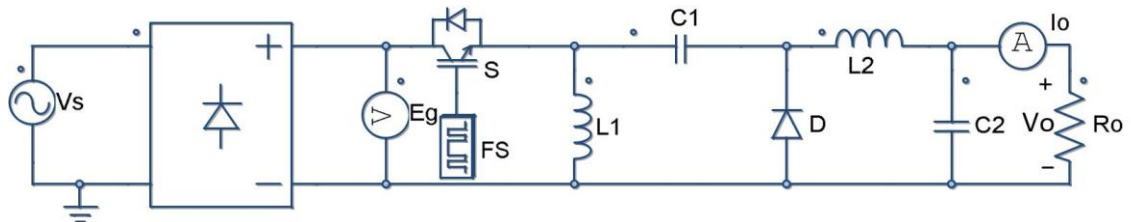


Figura 30. Conversor *Zeta* CFP.
Fonte: (Adaptado de PÉRES,1993)

4.4.1 Primeira Etapa

Na primeira etapa ocorre a condução da chave (S) e bloqueio do diodo (D), conforme ilustrado na Figura 31.

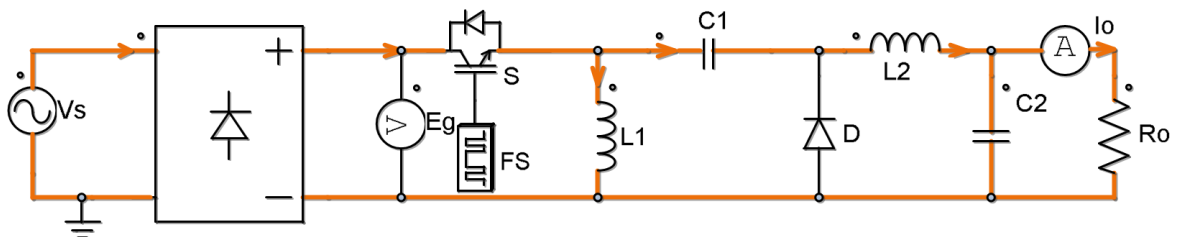


Figura 31. Primeira etapa conversor *Zeta* CFP.
Fonte: (Adaptado de PÉRES,1993)

Neste período as correntes i_{l1} e i_{l2} crescem linearmente conforme representado na Figura 32. Armazena-se energia em $L1$ e $L2$, energia esta suprida pelos respectivos V_s e $C1$. A corrente na entrada do conversor ($i_s(t)$) pode ser definida como sendo a soma de i_{l1} e i_{l2} através de (PÉRES,1993),

$$i_s(t) = \frac{V_{SPICO} \sin(\omega_r t) DT_s}{L_{EQ}}. \quad (49)$$

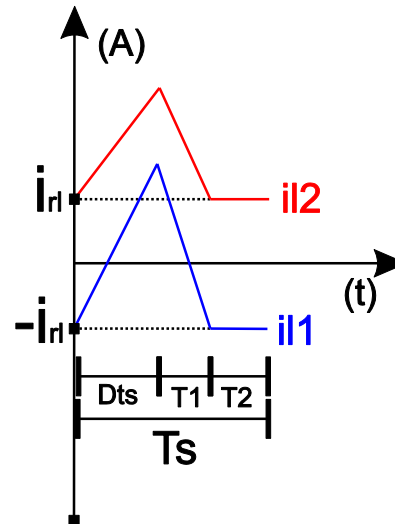


Figura 32. Corrente em $L1$ e $L2$ Zeta.
Fonte: (Adaptado de PÉRES,1993)

4.4.2 Segunda Etapa

Nesta etapa ocorre a parada de condução de S e o diodo entra em condução ocorrendo a transferência de energia de $L1$ e $L2$ para $C1$ e $C2$ respectivamente, conforme a Figura 33.

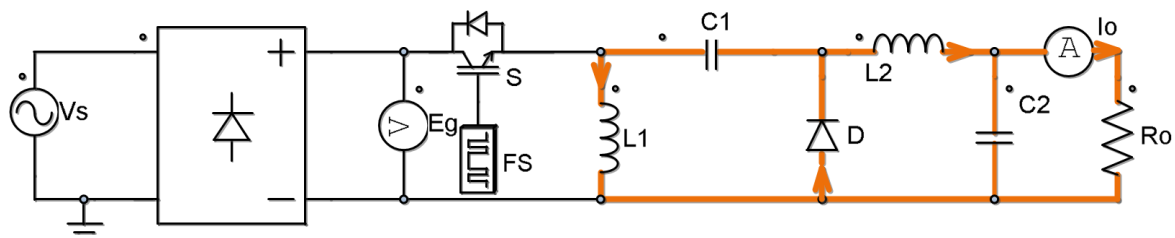


Figura 33. Segunda etapa conversor Zeta CFP.
Fonte: (Adaptado de PÉRES,1993)

Quando as correntes nos indutores se tornam iguais em módulo ocorre à parada de condução do diodo. A corrente no diodo pode ser expressa como a soma das correntes nos indutores conforme a equação,

$$i_D(t) = \left[\frac{(V_{SPICO} \sin \omega_r t) DT_s}{L_{EQ}} \right] + \left[\frac{V_o t}{L_{EQ}} \right]. \quad (50)$$

É nesta etapa de operação que ocorre a transferência de energia para a carga através do diodo, a corrente média no diodo é igual à corrente média na carga e seu valor pode ser calculado através de, (PÉRES,1993)

$$I_o = \frac{\alpha V_{SPICO} D^2}{4 L_{EQ} f_s}. \quad (51)$$

Onde:

- $\alpha = \frac{V_{SPICO}}{V_o}$, constante entre tensão de entrada e saída. (52)

4.4.3 Terceira Etapa

Nesta etapa não ocorre condução na chave (S) e diodo (D) conforme se ilustra em Figura 34, este é o período de tempo em que se caracteriza a condução descontinua.

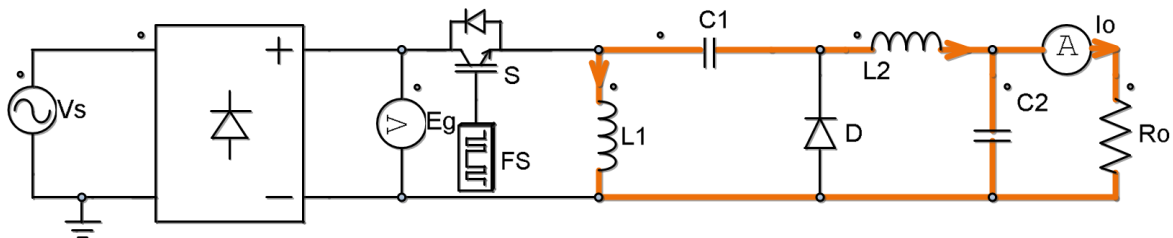


Figura 34. Terceira etapa conversor Zeta CFP.
Fonte: (Adaptado de PÉRES,1993)

Pode-se definir o D_c (*duty-cycle crítico*) através da equação,

$$D_c = \frac{1}{1 + \alpha} \quad (53)$$

aonde que equação (50) a corrente no diodo possui valor nulo (PÉRES,1993).

Para calcular o valor de C_1 , define-se a frequência de ressonância entre C_1 , L_1 e L_2 , onde a mesma deve ser maior que a frequência da rede e menor que a de chaveamento ($\omega_{rede} < \omega_{ressonancia} < \omega_s$), o valor de C_1 , pode ser calculado como já se foi definido na equação (48) (SINGH, et al.,2006).

4.5 CONVERSOR *BUCK*

A topologia do *Buck* CFP é representada na Figura 35. Sua tensão de saída (V_o), é menor ou igual a tensão de entrada (E_G), e não há inversão de polaridade na saída (HART,2012). Sua operação acontece apenas quando a tensão instantânea de entrada for maior que a tensão de saída, o valor máximo de seu *duty cycle* para operação descontinua pode ser representado pela equação, (KIRSTEN,2011)

$$D \leq \frac{V_o}{V_{SPICO}}. \quad (54)$$

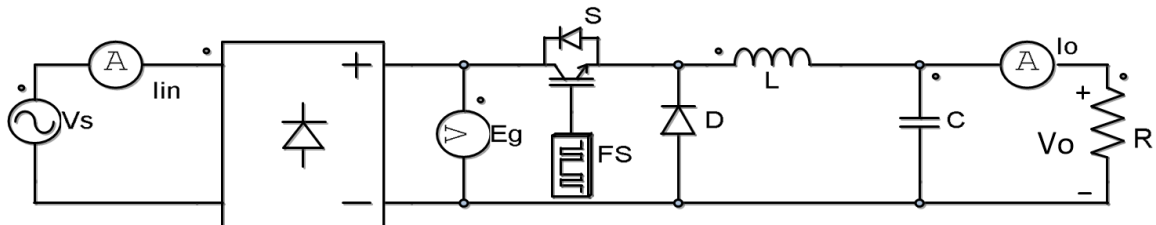


Figura 35. Conversor *Buck* CFP.
Fonte: (Adaptado de KIRSTEN,2011)

4.5.1 Primeira Etapa

Na primeira etapa a chave (S) encontra-se conduzindo e o diodo (D) bloqueado, conforme representação da Figura 36.

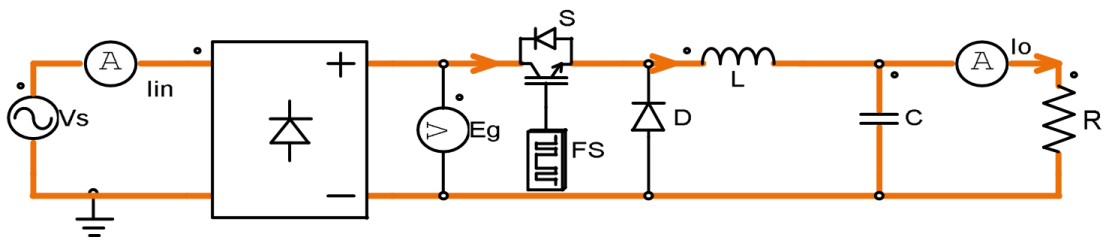


Figura 36. Primeira etapa conversor *Buck* CFP.
Fonte: (Adaptado de KIRSTEN,2011).

A corrente de entrada aumenta linearmente armazenando energia no indutor, transfere-se energia da entrada também para o capacitor e a carga (AHMED,1999). A variação da corrente no indutor pode ser representada pela equação (HART,2012),

$$\Delta i_{l1} = \frac{(V_s - V_o)DT_s}{L}. \quad (55)$$

4.5.2 Segunda Etapa

Ocorre a parada de condução da chave e ocorre a condução no diodo, fornecendo um caminho do indutor para a carga (AHMED,1999), conforme representado na Figura 37.

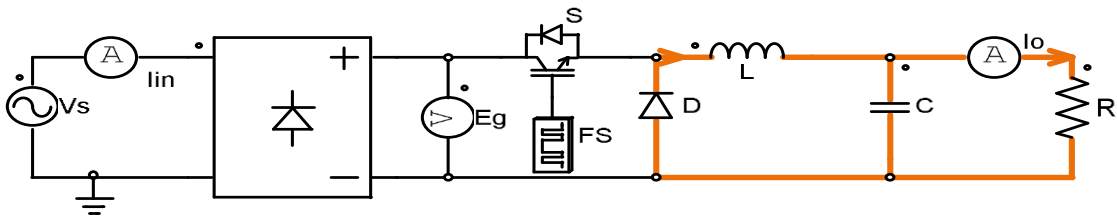


Figura 37. Segunda etapa conversor **Buck CFP**.

Fonte: (Adaptado de KIRSTEN,2011).

A variação da corrente no indutor pode ser representada pela equação,

$$\Delta i_{l2} = -\frac{V_o}{L} D_1 T_s. \quad (56)$$

Sabe-se também que a variação de corrente líquida no indutor é nula, assim a soma de (55) e (56) é igual à zero, assim chega-se ao ganho estático pela equação,

$$\frac{V_o}{V_s} = \frac{D}{D + D_1}. \quad (57)$$

4.5.3 Terceira Etapa

A terceira etapa é característica do modo descontinuo onde a chave ainda não entrou em condução e a corrente no indutor já possui valor nulo, conforme ilustra a Figura 38.

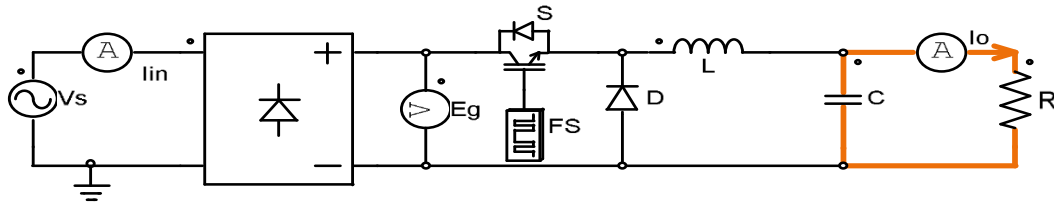


Figura 38. Terceira etapa conversor *Buck* CFP.
Fonte: (Adaptado de KIRSTEN,2011).

Nesta etapa a alimentação na carga é feita apenas pelo capacitor e a corrente de saída é igual a corrente no capacitor, como representado por,

$$I_C = \frac{V_o}{R}. \quad (58)$$

Como pode ser observado na Figura 39, só irá ocorrer a circulação de corrente na entrada e transferência de energia para a carga entre os ângulos de condução φ_1 e φ_2 , aonde então a tensão na entrada é maior que a tensão de saída do conversor. Os respectivos ângulos podem então ser encontrados através de (KIRSTEN, 2011),

$$\varphi_1 = \arcsin\left(\frac{V_o}{V_{SPICO}}\right), \quad (59)$$

$$\varphi_2 = \pi - \varphi_1. \quad (60)$$

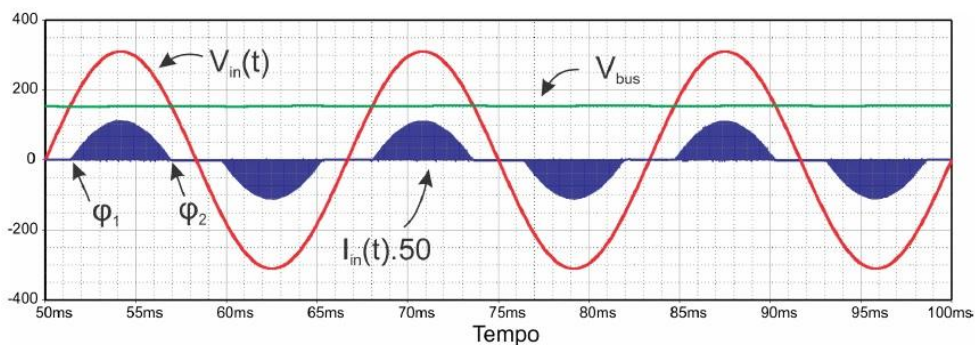


Figura 39. Ângulo de condução *Buck*.
Fonte: (KIRSTEN,2011).

A indutância do conversor *Buck* pode também ser calculada através de sua potência de entrada, através de,

$$L_{buck} = \frac{1}{\pi} \int_{\varphi_1}^{\varphi_2} \frac{V_s(\omega_{rede}t)(V_s(\omega_{rede}t) - V_o)D^2T_s}{2P_{in}} d\omega_{rede}t. \quad (61)$$

4.6 PROJETOS FILTRO DE ENTRADA CONVERSORES *BUCK*, *BUCK-BOOST* E *ZETA*.

Visando melhorar o FP dos conversores *Buck*, *Buck-Boost* e *Zeta* para que atendam a norma IEC61000-3-2, estas topologias necessitam de um filtro de entrada que elimine o ruído de alta frequência induzido pelo chaveamento, para assim serem considerados conversores CFP.

Um filtro LC passa baixa de segunda ordem é então necessário, tendo sua visualização conforme a Figura 40. Sua função de transferência é representada por,

$$G_{\text{filtro}}(s) = \frac{1}{s^2 + s \frac{1}{C_f R_f} + \frac{1}{L_f C_f}}. \quad (62)$$

Segundo Bisogno(2001 apud KIRSTEN,2011,p.92) a frequência de corte(f_c) é normalmente projetada uma década abaixo da frequência de comutação, conforme,

$$f_c = \frac{f_s}{10}. \quad (63)$$

E a localização deste filtro deve ser entre a fonte de entrada e o conversor CFP (KIRSTEN,2011).

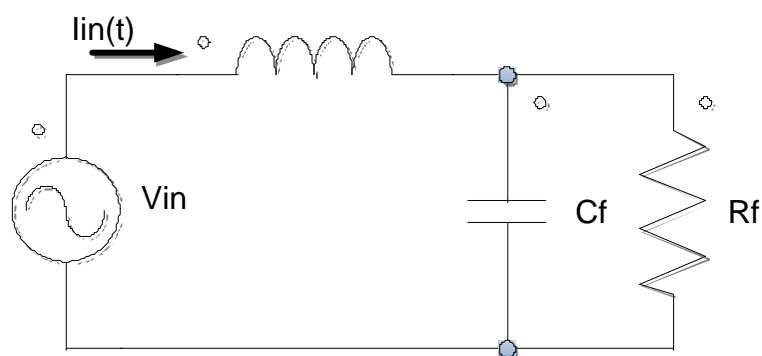


Figura 40. Filtro de Entrada
Fonte: KIRSTEN,2011.

A resistência R_f representa a resistência emulada pelo conversor para a rede elétrica, e seu valor é calculado para o pior caso onde $\omega_{redet} t = 90^\circ$, ou seja, os picos de tensão e corrente de entrada. O valor da resistência R_f para os conversores

Buck e *Buck-Boost* pode então ser calculada pelas respectivas equações (KIRSTEN,2011),

$$R_{fbuck} = \frac{L_{buck} f_s V_{SPICO}}{D_{buck} (V_{SPICO} - V_o)}, \quad (64)$$

$$R_{fbuck-boost} = \frac{L_{buck-boost} f_s}{D_{buck-boost}}. \quad (65)$$

A resistência emulada pelo conversor *Zeta* também pode ser calculada em seus valores de pico através de (PÉRES,1993),

$$R_{fzeta} = \frac{L_{EQ,zeta} f_s}{D_{zeta}}. \quad (66)$$

A equação característica de um filtro de segunda ordem pode ser representada pela equação,

$$G(s) = \frac{\omega_c^2}{s^2 + 2\xi\omega_c s + \omega_c^2}. \quad (67)$$

Onde (ω_c) é a frequência angular de corte e o termo (ξ) representa o coeficiente de amortecimento. O valor de (ξ) deve ser maior ou igual a 0,707 afim de não haver pico de ressonância na frequência de corte (OGATA,2013) (KIRSTEN,2011).

Comparando-se então as equações (62) e (67), pode-se chegar nos valores para o capacitor como,

$$C_f = \frac{1}{2\xi\omega_c R_f} \quad (68)$$

e indutor,

$$L_f = \frac{1}{\omega_c^2 C_f}. \quad (69)$$

5. PROJETO E SIMULAÇÃO CFP

A carga consiste de 40 LEDs ligados em série. Como especificado este LED possui como parâmetros, tensão direta de ($V_j = 2,85V$) e resistência de ($R_{LED} = 0,5166\Omega$). A corrente média de alimentação do LED é de 0,6A o circuito equivalente de todos os LEDs ligados em série pode ser visualizado na Figura 41 (a).

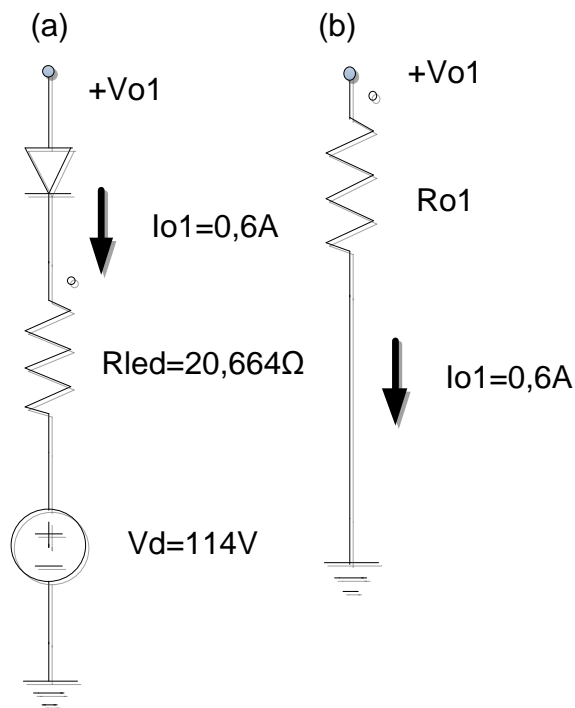


Figura 41. Representação para os LEDs ligados em série. (a) Circuito equivalente (b) Resistência equivalente.
Fonte: Autoria própria.

Através da Figura 41 (a), pode-se encontrar o valor de V_{o1} , e de (b) o valor de R_{o1} ,

$$V_{o1} = 114V + (0,6A)(20,664\Omega) = 126,3984V, \quad (70)$$

$$R_{o1} = \frac{V_{o1}}{I_{o1}} = 210,664\Omega. \quad (71)$$

Pode-se encontrar também o valor da potência de saída na carga para os 40 LEDs,

$$P_o = \frac{V_{o1}^2}{R_{o1}} = 75,84W \quad (72)$$

O valor para frequência de chaveamento dos conversores escolhido foi o de 45KHz, e os parâmetros da rede são 220V de tensão eficaz e frequência de 60Hz. Assim, com os parâmetros de projeto mostrados na Tabela 3, podemos calcular os valores dos elementos reativos dos conversores.

Tabela 3. Parâmetros de projeto para a carga.

Tensão de entrada (V_s)	$220V_{rms}$
Frequência da rede (f_{rede})	$60Hz$
Potência de saída (P_o)	$75,84W$
Frequência de chaveamento (f_s)	$45KHz$
Tensão de saída (V_{o1})	$126,3984V$
Ondulação máx. da corrente de entrada (ΔI_{ripple})	20%
Ondulação máx. da tensão de saída (ΔV_{o1})	5%
Rendimento suposto ideal	100%

Fonte: Autoria própria.

5.1 PROJETO E SIMULAÇÃO BUCK-BOOST

Através da equação (27), obteve-se um duty cycle máximo em DCM de 0,289, assim escolheu-se:

$$D_{bb1} = 0,2$$

Substituindo-se os valores na equação (30) pode-se encontrar então o valor da indutância do *Buck-Boost* como sendo

$$L_{bb1} = 283,638\mu H$$

O capacitor de saída do conversor Buck-Boost pode-se também ser encontrado através da equação (34) obtendo-se assim o valor de:

$$C_{bb1} = 251,827\mu F$$

A topologia Buck-Boost necessita de um filtro de entrada para corrigir o fator de potência. Sua resistência equivalente para o filtro pode ser encontrada através da equação (65), juntamente ao indutor e capacitor do filtro através de (69) e (68).

$$R_{fbuck-boost} = 63,819\Omega$$

$$L_{fbuck-boost} = 3,192mH$$

$$C_{fbuck-boost} = 391,932nF$$

O projeto do circuito *Buck-Boost* simulado pode ser visto na Figura 42, a tensão e corrente de saída deste circuito podem ser visualizadas nas Figura 43 e Figura 44, com valores médios medidos 126,639V e 0,611A. O *ripple* na tensão ficou abaixo de 5% com o valor de 4,93% e o valor da potência ativa absorvida na carga foi de 77,69W. A corrente no indutor garantindo o modo descontinuo também pode ser visualizada na Figura 45, onde a mesma atinge valor nulo em $\omega_{redet}t = 90^{\circ}$.

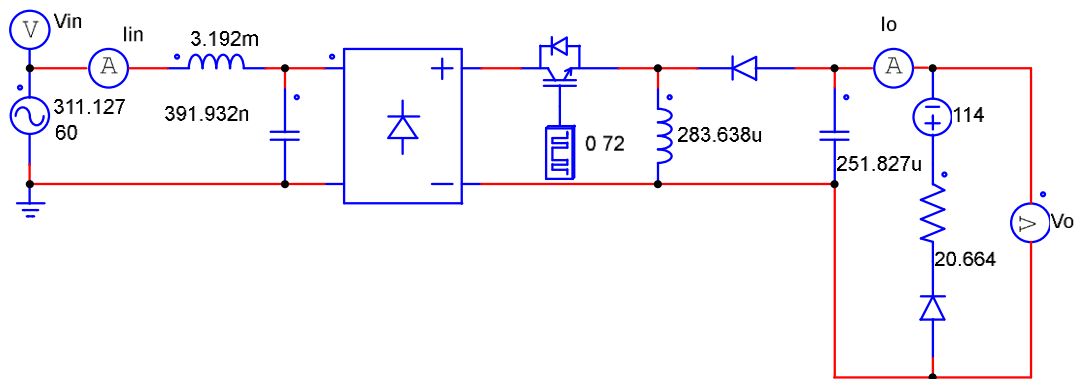


Figura 42. Conversor *Buck-Boost* CFP.
Fonte: Autoria Própria.

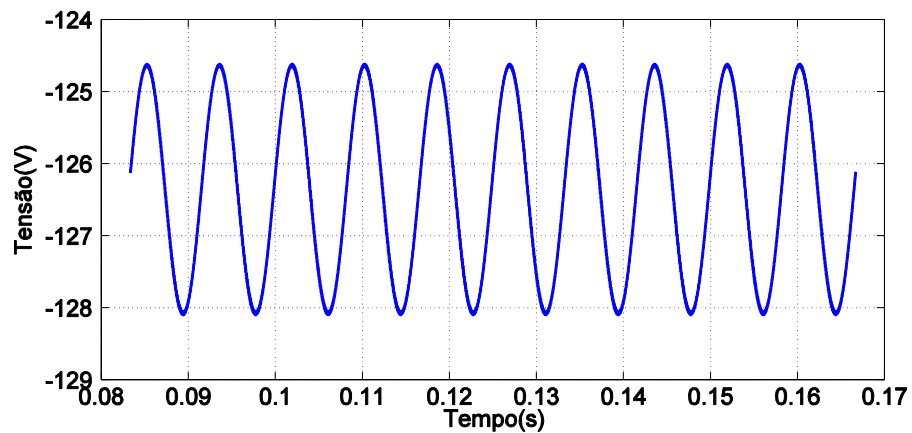


Figura 43. Tensão de saída *Buck-Boost*.
Fonte: Autoria Própria.

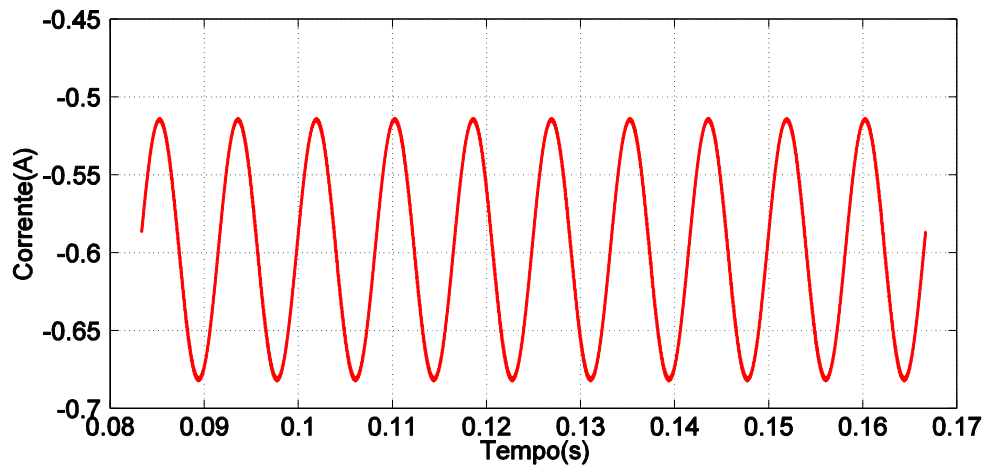


Figura 44. Corrente de saída *Buck-Boost*.
Fonte: Autoria Própria.

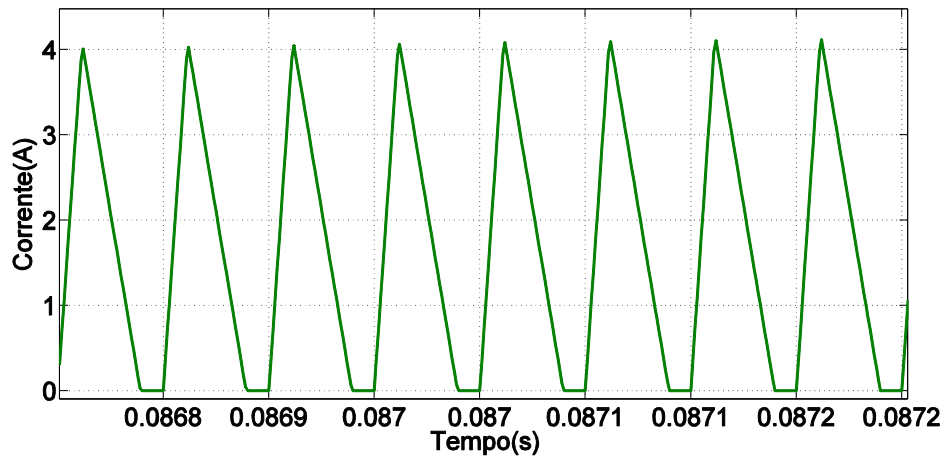


Figura 45. Corrente no indutor *Buck-Boost*.
Fonte: Autoria Própria.

A corrente e tensão de entrada podem ser vistas na Figura 46, com uma potência aparente medida de $78,07VA$, e FP de 0,996. A corrente de entrada teve em simulação uma TDH de aproximadamente 1,40%, pode-se observar na Figura 47 o máximo valor tolerado em porcentagem da sua componente fundamental, conforme a normativa IEC61000-3-2 em vermelho, juntamente as componentes harmônicas medidas no conversor percebendo-se assim o atendimento da normativa devido aos valores medidos serem menores que os tolerados.

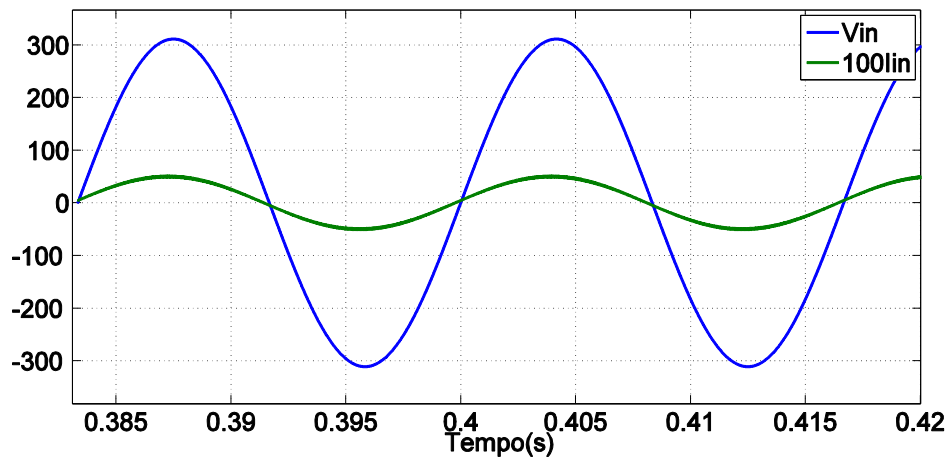


Figura 46. Tensão e Corrente de entrada *Buck-Boost*.
Fonte: Autoria Própria

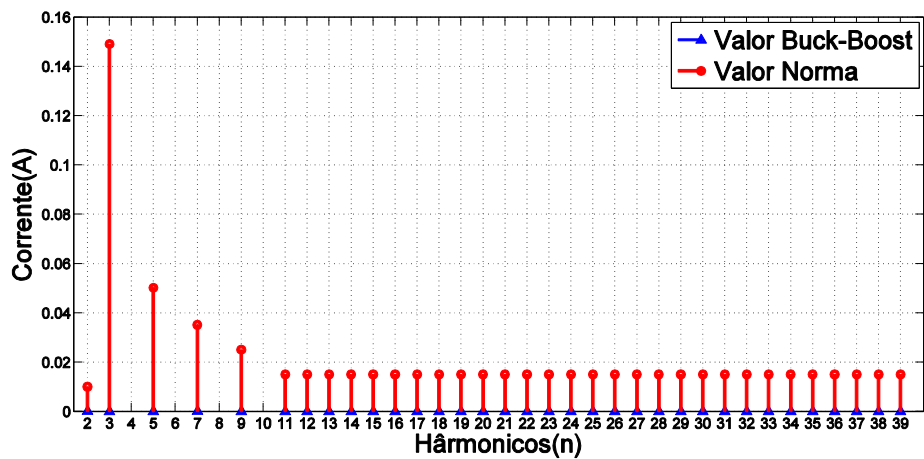


Figura 47. Comparação valor máximo tolerado IEC61000-3-2 e valor medido *Buck-Boost*.
Fonte: Autoria Própria.

5.2 PROJETO E SIMULAÇÃO SEPIC

Através da equação (38) pode-se encontrar o ganho do conversor *Sepic*, o qual é obtido no valor de M_{sepic} .

$$M_{sepic} = 0,406$$

Assim através da equação (45), é possível encontrar o valor da constante de condução do *Sepic*, a fim de garantir o modo crítico, como sendo $K_{crit-sepic}$.

$$K_{crit-sepic} = 0,253$$

Com o valor de condução crítica do *Sepic* é possível encontrar o valor do *duty cycle* crítico através da equação (43), assim escolheu-se um D_{sepic} .

$$D_{criticosepic} = 0,289$$

$$D_{sepic} = 0,025$$

Assim calculando o novo parâmetro de condução para o D_{sepic} através da equação (44), acha-se o valor de K_{1sepic} .

$$K_{1sepic} = 0,002$$

Tendo o valor do parâmetro de condução podemos encontrar através das equações (44), (46), e (47), os valores respectivos de $L_{eq}, L_{1sepic}, L_{2sepic}$.

$$L_{eqsepic} = 4,432\mu H$$

$$L_{1sepic} = 1,773mH$$

$$L_{2sepic} = 4,443\mu H$$

Definindo-se também a frequência de ressonância como sendo 10% da frequência de chaveamento, pode-se calcular o valor de (C_1) através da equação (48)

$$C_{1sepic} = 703,856nF$$

O capacitor de saída é também calculado através da (9) com o valor de (C_{2sepic}) .

$$C_{2sepic} = 397,57\mu F$$

O projeto do circuito *Sepic* pode ser visualizado na Figura 48, a tensão e corrente de saída deste circuito podem ser visualizadas nas Figura 49 e Figura 50, com valores médios medidos de 0,603 A e 126.460V. O *ripple* da tensão de saída ficou abaixo de 5% com o valor de 3,16% e o valor da potência ativa medido na carga foi de 76,35W. A corrente no diodo garantindo o modo descontinuo também pode ser visualizada na Figura 51, onde a mesma atinge valor nulo em $\omega_{redet}t = 90^0$.

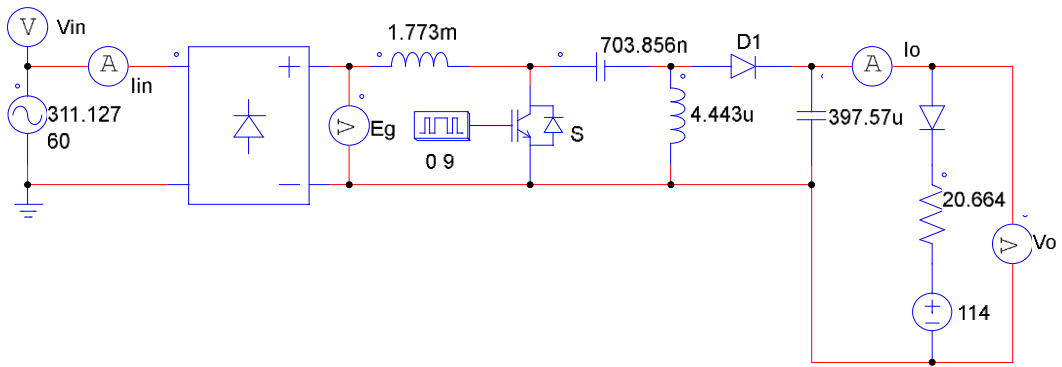


Figura 48. Conversor Sepic CFP.
Fonte: Autoria Própria.

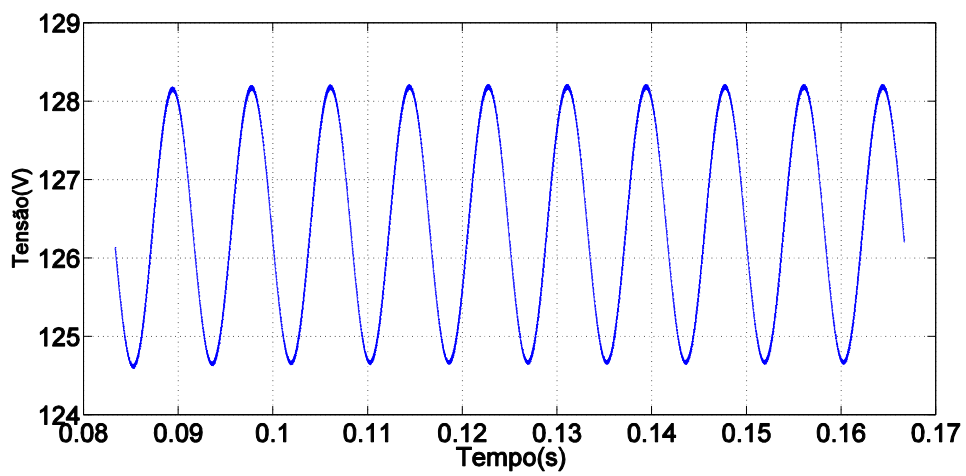


Figura 49. Tensão de saída Sepic.
Fonte: Autoria Própria.

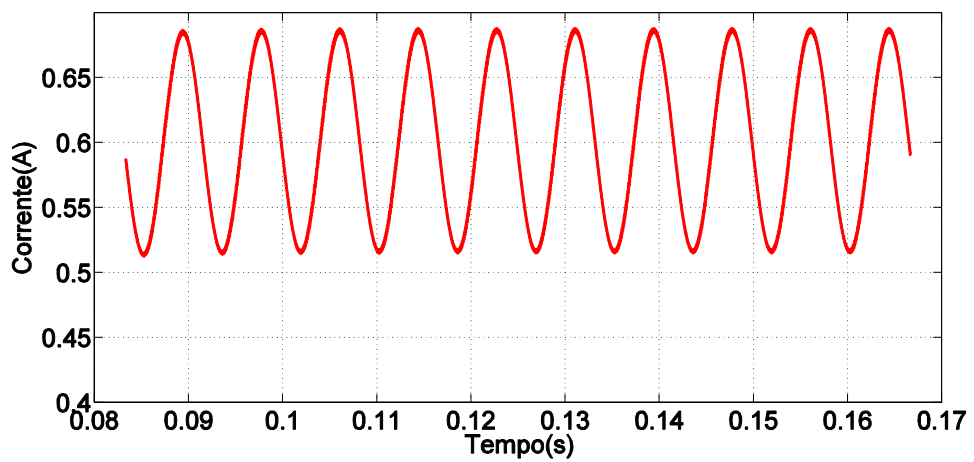


Figura 50. Corrente de saída Sepic.
Fonte: Autoria Própria

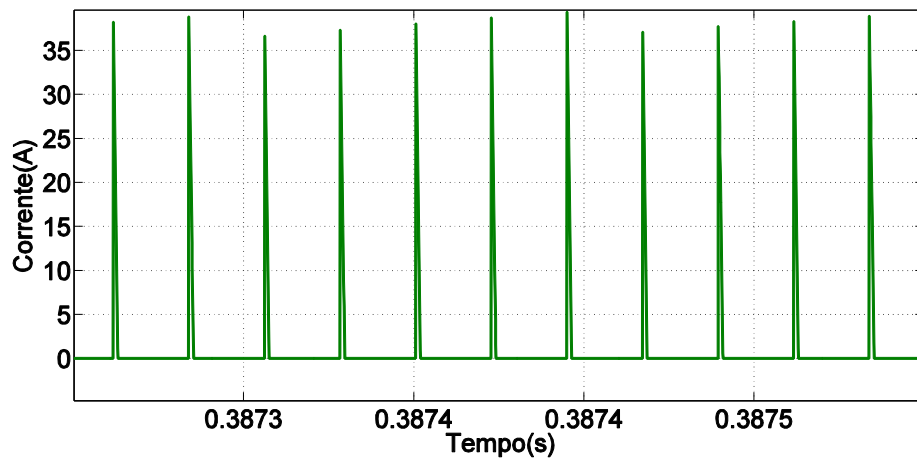


Figura 51. Corrente no Diodo do *Sepic*.
 Fonte: Autoria Própria.

A corrente e a tensão de entrada podem ser vistas na Figura 52, com uma potência aparente medida de $80,09VA$, e FP de 0,987. A corrente de entrada teve em simulação uma TDH de 6,79%. Na Figura 53 observa-se o valor máximo tolerado para atendimento da norma IEC61000-3-2 para o conversor *Sepic*, em vermelho, juntamente as componentes harmônicas medidas no conversor em azul, percebendo-se assim o atendimento da normativa devido aos valores medidos serem menores que os tolerados.

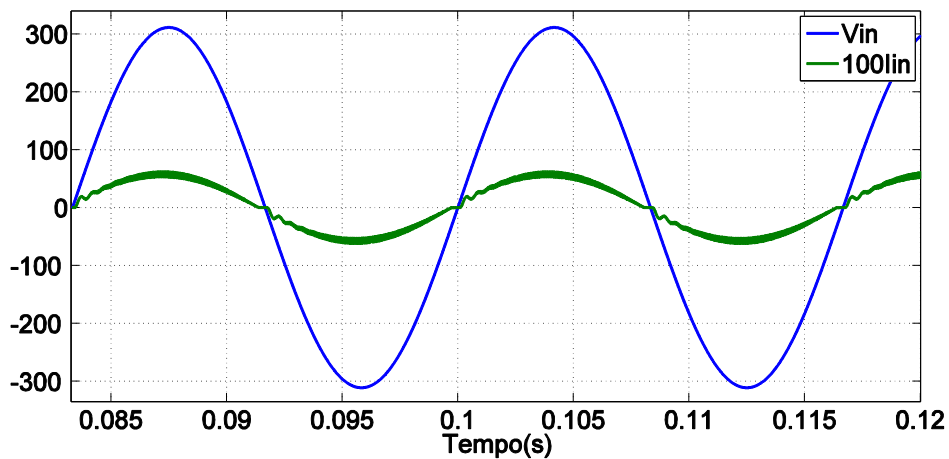


Figura 52. Tensão e Corrente de Entrada *Sepic*.
 Fonte: Autoria Própria:

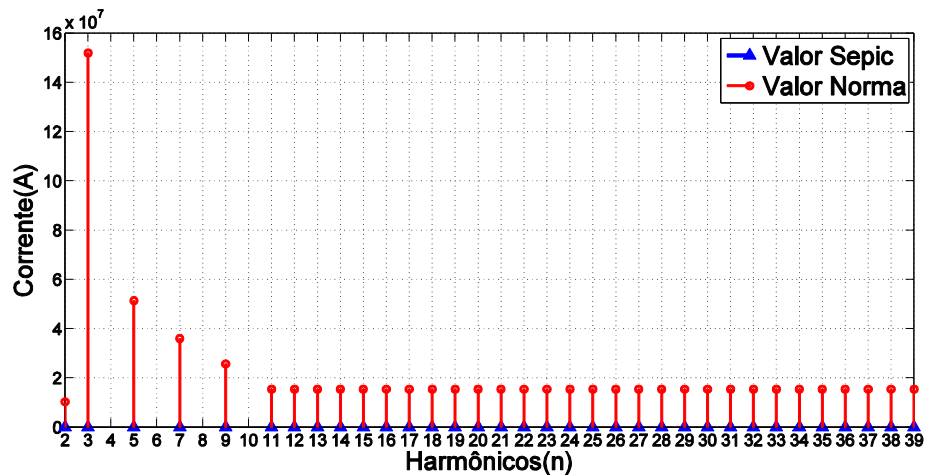


Figura 53. Comparação valor máximo tolerado IEC61000-3-2 e valor medido *Sepic*.

Fonte: Autoria Própria.

5.3 PROJETO E SIMULAÇÃO *CÚK*

Através da equação (38) pode-se encontrar o ganho do conversor *Cúk*, o qual é obtido no valor de M_{cuk} .

$$M_{cuk} = 0,406$$

Assim através da equação(45), é possível encontrar o valor o valor da constante de condução do *Cúk*, a fim de garantir o modo crítico, como sendo $K_{crit-cuk}$.

$$K_{crit-cuk} = 0,253$$

Com o valor de condução crítica do *Cúk* é possível encontrar o valor do *duty cycle* crítico através da equação (43), assim escolheu-se um D_{cuk} .

$$D_{critocuk} = 0,289$$

$$D_{cuk} = 0,025$$

Assim calculando o novo parâmetro de condução para o D_{cuk} através da equação (44), acha-se o valor de K_{1cuk} .

$$K_{1cuk} = 0,001893$$

Tendo o valor do parâmetro de condução pode-se encontrar através das equações (44), (46), e (47), os valores respectivos de $L_{eq}, L_{1cuk}, L_{2cuk}$.

$$L_{eq} = 4,432\mu H$$

$$L_{1cuk} = 1,773mH$$

$$L_{2cuk} = 4,443\mu H$$

Definindo-se também a frequência de ressonância como sendo 10% da frequência de chaveamento, pode-se calcular o valor de (C_1) através da equação (48)

$$C_{1cuk} = 703,856nF$$

O capacitor de saída é também calculado através da equação (9) com o valor de (C_{2cuk}).

$$C_{2cuk} = 395,57\mu F$$

O projeto do *Cúk* CFP pode ser visualizado na Figura 54, a tensão e corrente de saída deste circuito podem ser visualizadas nas Figura 55 e Figura 56, com valores médios medidos de 0,603 A e 126,471 V. O *ripple* na tensão de saída ficou abaixo de 5% com o valor de 3,21%, e o valor da potência ativa medida na carga foi de 76,43W.

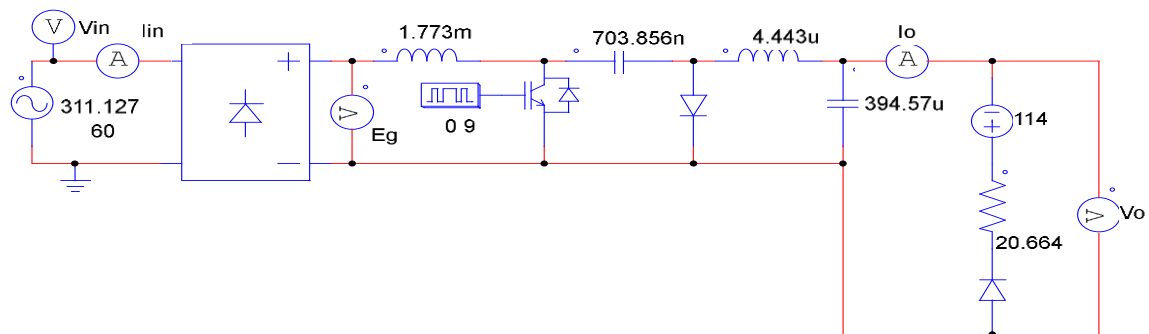


Figura 54. Conversor *Cúk* CFP.
Fonte: Autoria Própria.

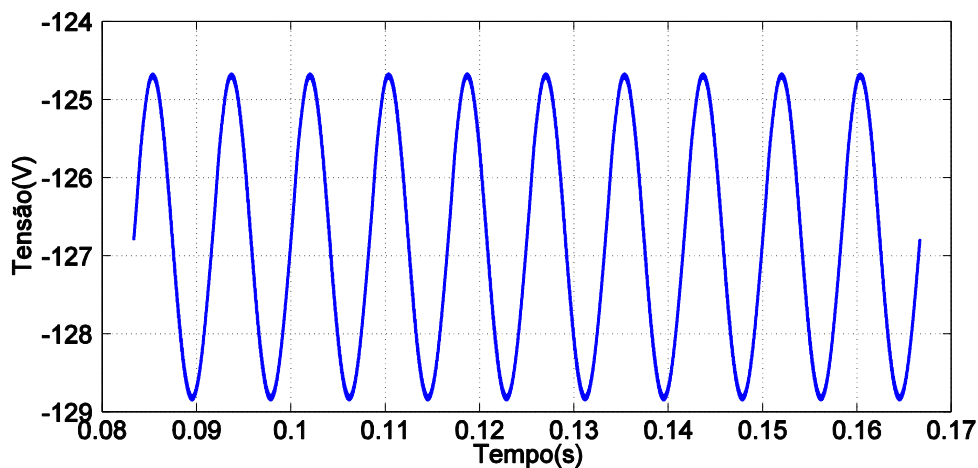


Figura 55. Tensão de saída *Cúk*.
Fonte: Autoria Própria

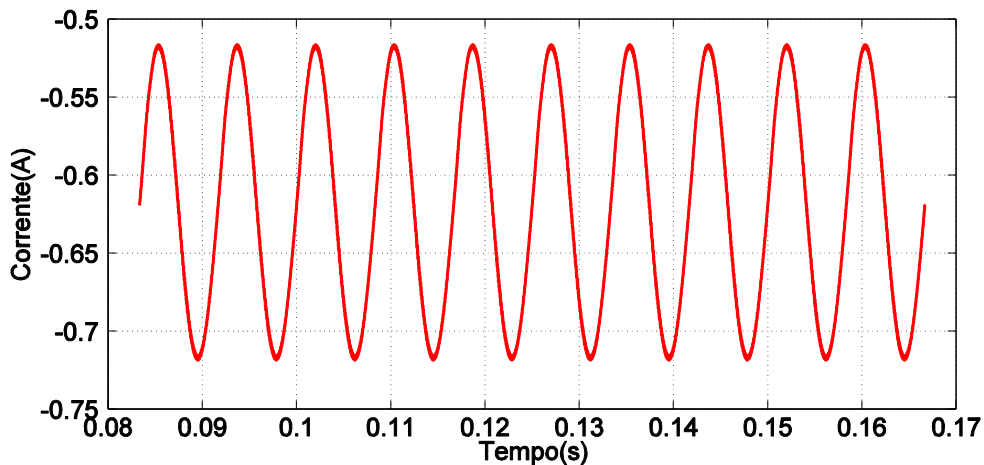


Figura 56. Corrente de saída *Cúk*.
Fonte: Autoria Própria.

A corrente no diodo garantindo o modo descontínuo também pode ser visualizada na Figura 57, onde a mesma atinge valor nulo em $\omega_{redet}t = 90^\circ$.

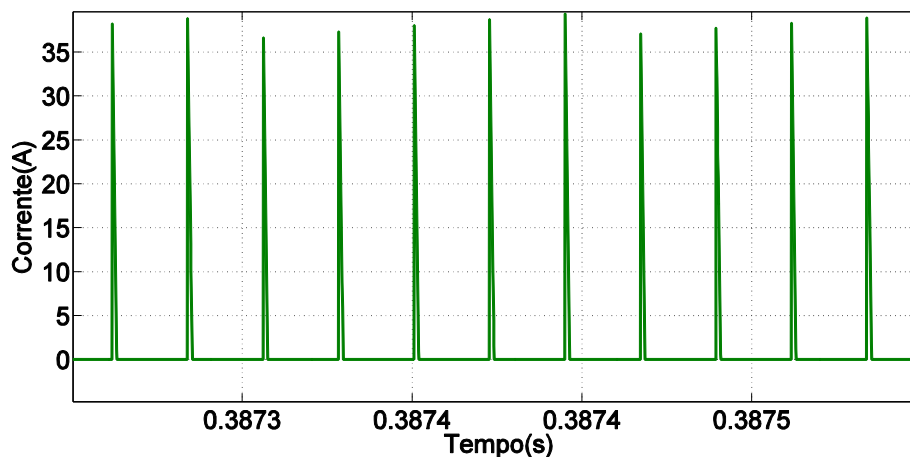


Figura 57. Corrente no Diodo do *Cúk*.
Fonte: Autoria Própria.

A corrente e a tensão de entrada podem ser vistas na Figura 58, com potência aparente medida de 80,17VA, e FP de 0,987. A corrente de entrada teve em simulação uma TDH de 6,78%, seu espectro harmônico em simulação pode ser visto na Figura 59 em azul, juntamente aos valores máximos tolerados de conteúdo harmônico para atendimento da norma IEC61000-3-2 em vermelho. Assim em comparação ocorre o atendimento da norma, pois o conversor obteve valores menores de conteúdo harmônico aos qual a normativa delimita.

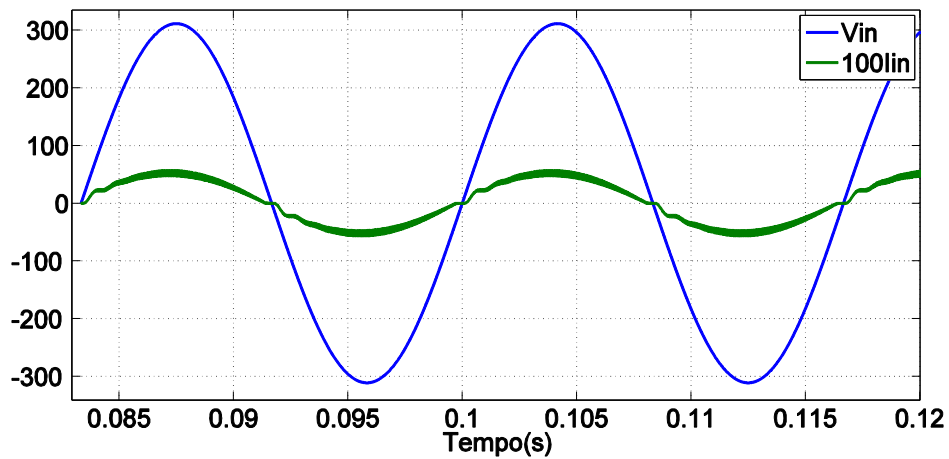


Figura 58. Tensão e Corrente de entrada Cúk.
Fonte: Autoria Própria.

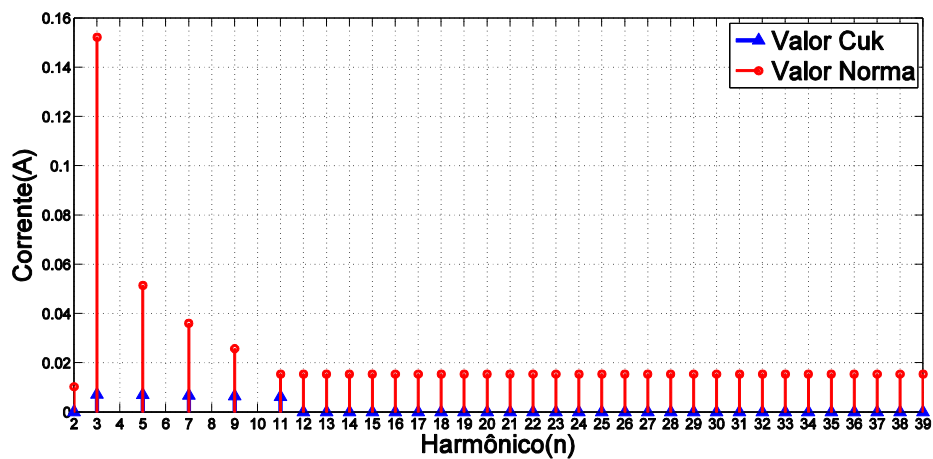


Figura 59. Comparação valor máximo tolerado IEC61000-3-2 e valor medido Cúk.
Fonte: Autoria Própria.

5.4 PROJETO E SIMULAÇÃO ZETA

Através da equação (52), pode-se encontrar o valor entre a relação de tensões para o conversor *Zeta*, o qual é obtido no valor de α_{zeta} .

$$\alpha_{zeta} = 2,461$$

Com o valor de α_{zeta} pode-se calcular o valor do *duty cycle* crítico para o conversor *Zeta* através da equação (53), assim escolheu-se um D_{zeta} .

$$D_{zeta\text{critico}} = 0,289$$

$$D_{zeta1} = 0,05$$

Assim através da equação (51) encontra-se o valor de sua indutância equivalente (L_{eq}). Fazendo que cada indutância equivale então ao dobro de sua equivalente, tem-se L_{1zeta} e L_{2zeta} .

$$L_{eq} = 17,727\mu H$$

$$L_{1zeta} = 35,455\mu H$$

$$L_{2zeta} = 35,455\mu H$$

Definindo-se também a frequência de ressonância como sendo 10% da frequência de chaveamento, calcula-se o valor de (C_1) através da equação (48).

$$C_{1zeta} = 17,64\mu F$$

O capacitor de saída é também calculado através da equação (9) com o valor de (C_{2zeta}).

$$C_{2zeta} = 395,57\mu F$$

O projeto do circuito *Zeta* CFP pode ser visualizado na Figura 60. A tensão e corrente de saída deste circuito podem ser visualizadas nas Figura 61 e Figura 62, com os valores médios medidos de 126,441V e 0,602A. O *ripple* na tensão de saída ficou abaixo de 5% com o valor de 3,04%, e o valor da potência ativa medida na carga foi de 76,21W. A corrente no diodo garantindo o modo descontinuo também pode ser visualizada na Figura 63, onde a mesma atinge valor nulo em $\omega_{redet}t = 90^\circ$.

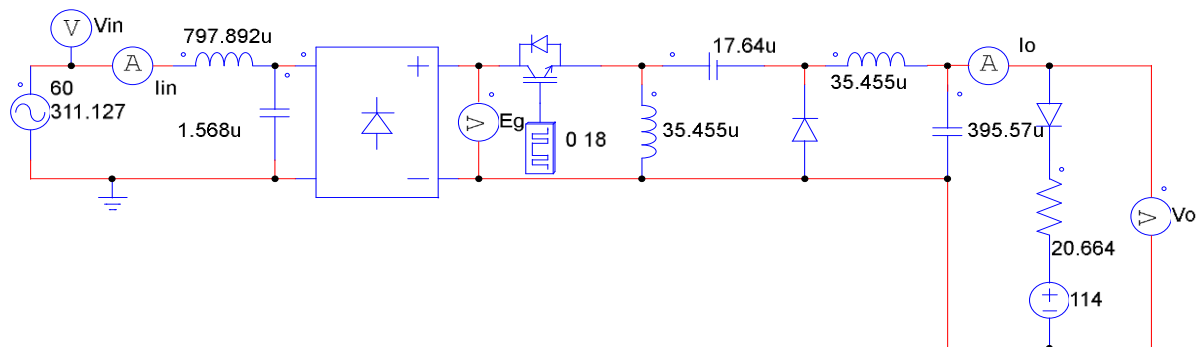


Figura 60. Conversor Zeta CFP.
Fonte: Autoria Própria.

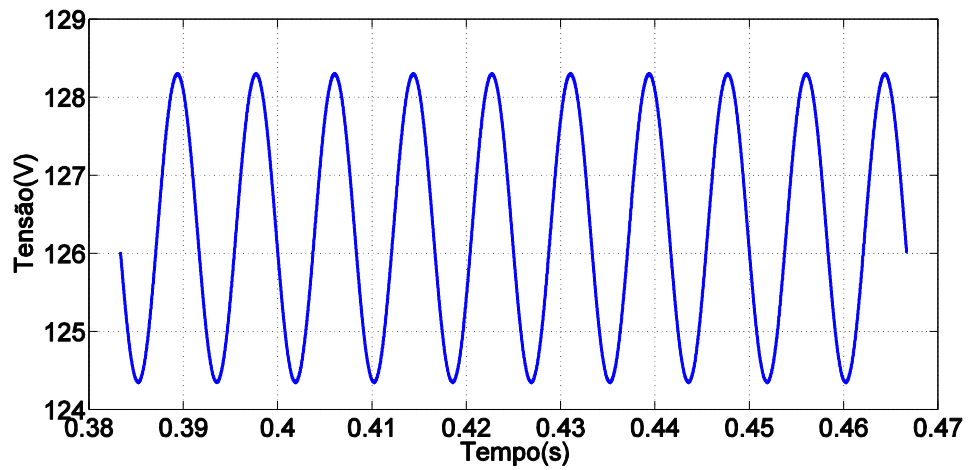


Figura 61. Tensão de saída Zeta.
Fonte: Autoria Própria.

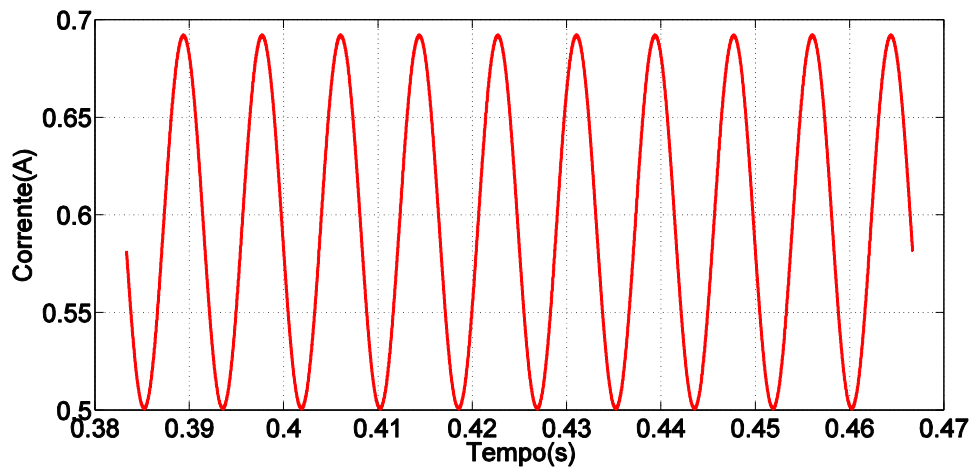


Figura 62. Corrente de saída Zeta.
Fonte: Autoria Própria.

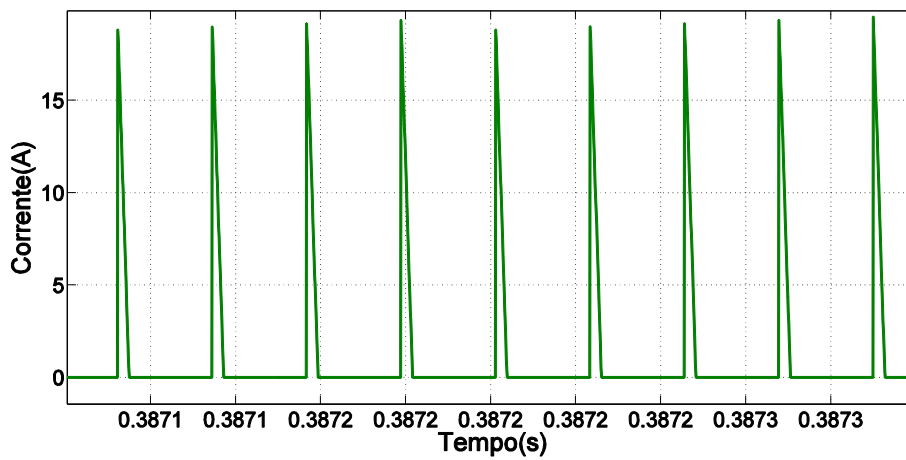


Figura 63. Corrente no Diodo do Zeta.
Fonte: Autoria Própria.

A corrente e a tensão de entrada podem ser vistas na Figura 64, com potência aparente medida de $82,01VA$, e FP de 0,937. A corrente de entrada teve em simulação uma TDH de 1,41%, e seu espectro harmônico pode ser visto na Figura 65 em azul, juntamente aos valores máximos tolerados de conteúdo harmônico para atendimento da norma IEC61000-3-2 em vermelho, assim em comparação ocorre o atendimento da norma, pois o conversor obteve valores menores de conteúdo harmônico aos qual a normativa delimita.

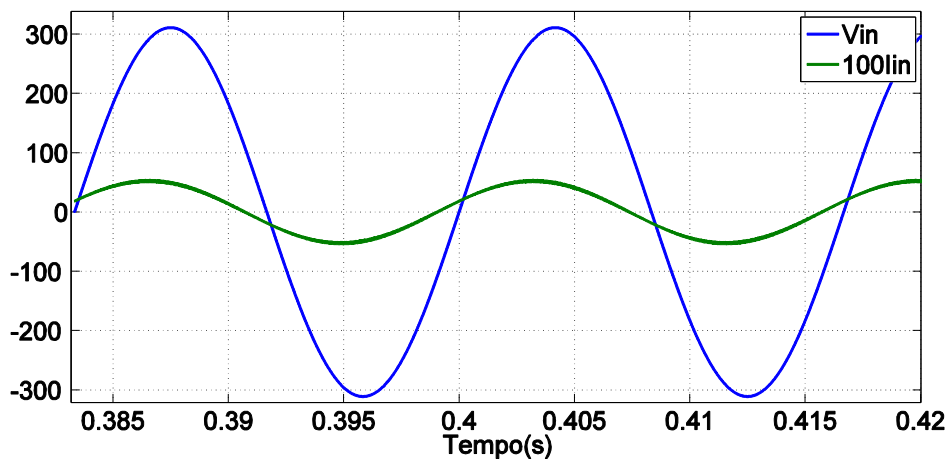


Figura 64. Tensão e Corrente de entrada Zeta.
Fonte: Autoria Própria.

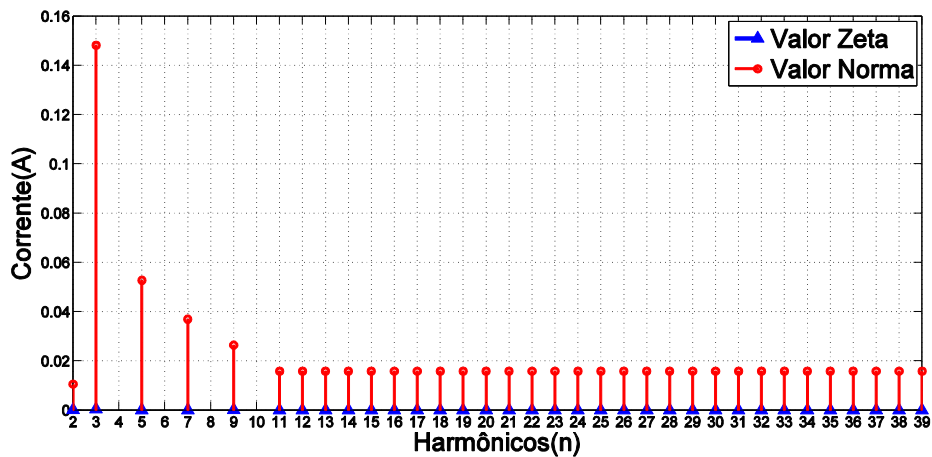


Figura 65. Comparação valor máximo tolerado IEC61000-3-2 e valor medido Zeta.
Fonte: Autoria Própria.

5.5 PROJETO E SIMULAÇÃO *BUCK*

Através da equação (54), obteve-se um *duty cycle* máximo em DCM, e assim escolheu-se um D_{buck} :

$$D_{buckcritico} = 0,406$$

$$D_{buck} = 0,15$$

Encontrando o ângulo em que o *Buck* entra em condução através das equações (59) e (60) pode-se então integrar a equação (61) e encontrar então o valor da indutância como sendo:

$$L_{b1} = 79,348\mu H$$

O capacitor de saída pode ser encontrado através da equação (9) com o valor de (C_{bb1}).

$$C_{bb1} = 342,573\mu F$$

O projeto do circuito *Buck* simulado pode ser visto na Figura 66. A tensão e corrente de saída deste circuito podem ser visualizadas nas respectivas Figura 67 e Figura 68, com valores médios medidos de 0,609A e 126,594V. O *ripple* na tensão ficou abaixo do projetado no valor de 4,75%. O valor da potência ativa medida na carga foi de 77,36W. A corrente no indutor garantindo o modo descontinuo também pode ser visualizada na Figura 69, onde a mesma atinge valor nulo em $\omega_{redet}t = 90^\circ$.

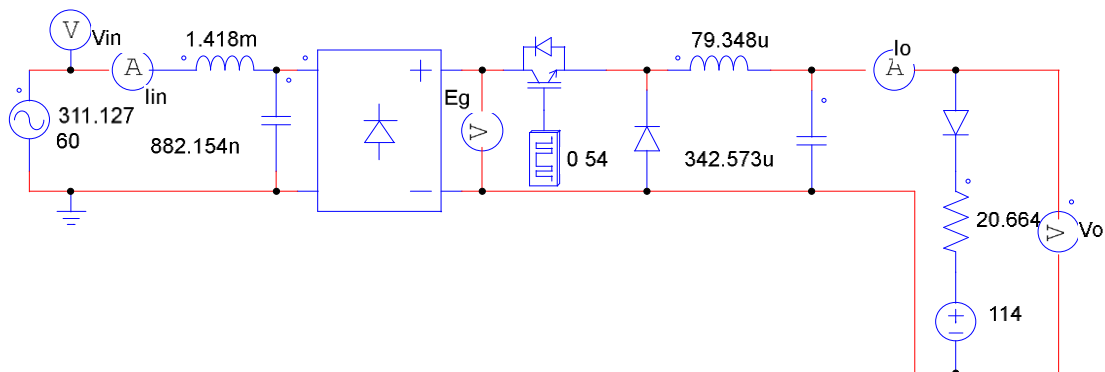


Figura 66. Conversor *Buck* CFP.
Fonte: Autoria Própria.

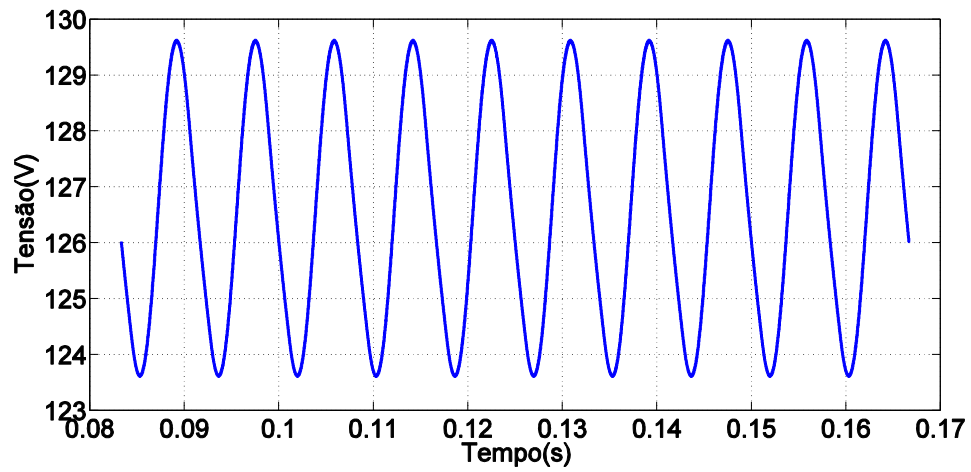


Figura 67. Tensão de saída *Buck*.
Fonte: Autoria Própria.

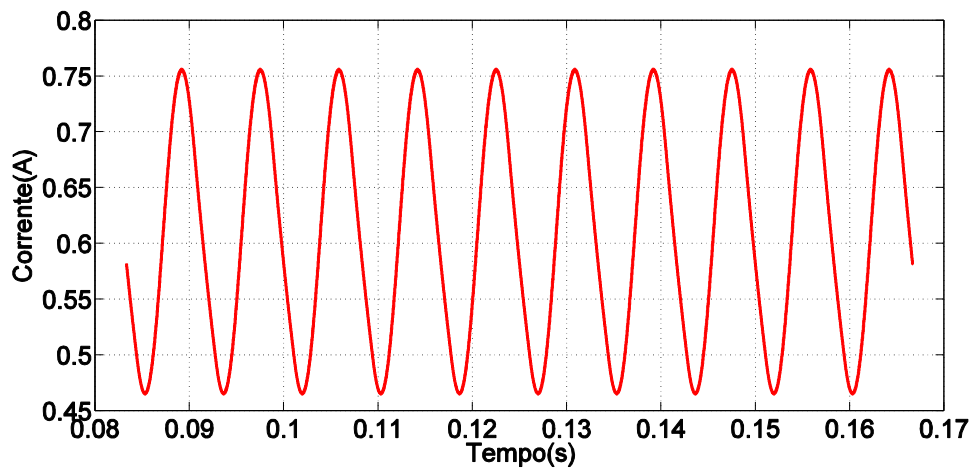


Figura 68. Corrente de saída *Buck*.
Fonte: Autoria Própria.

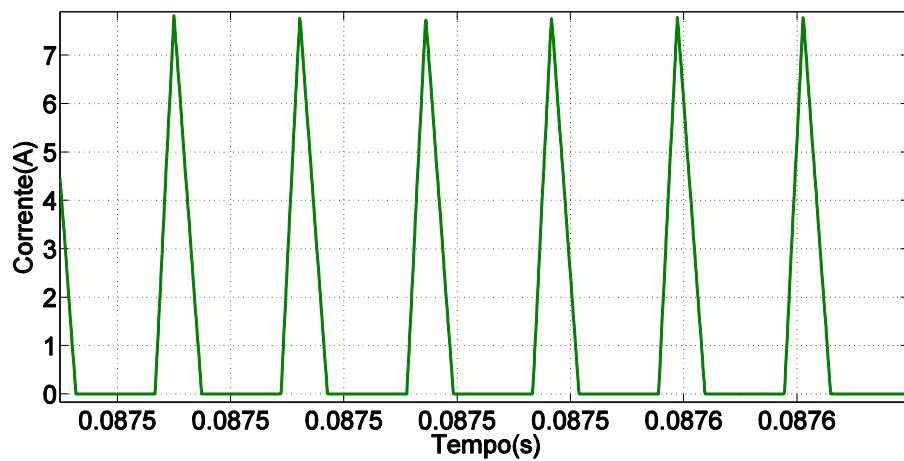


Figura 69. Corrente no indutor *Buck*.
Fonte: Autoria Própria.

A corrente e a tensão de entrada podem ser vistas na Figura 70, com potência aparente medida de $82,186VA$, e FP de 0,942. A corrente de entrada obteve uma TDH de 27,48%, os valores máximos tolerados de harmônicos para atendimento da norma IEC61000-3-2, assim como os harmônicos medidos para o conversor *Buck* podem ser observados na Figura 71, ocorrendo assim o atendimento da norma.

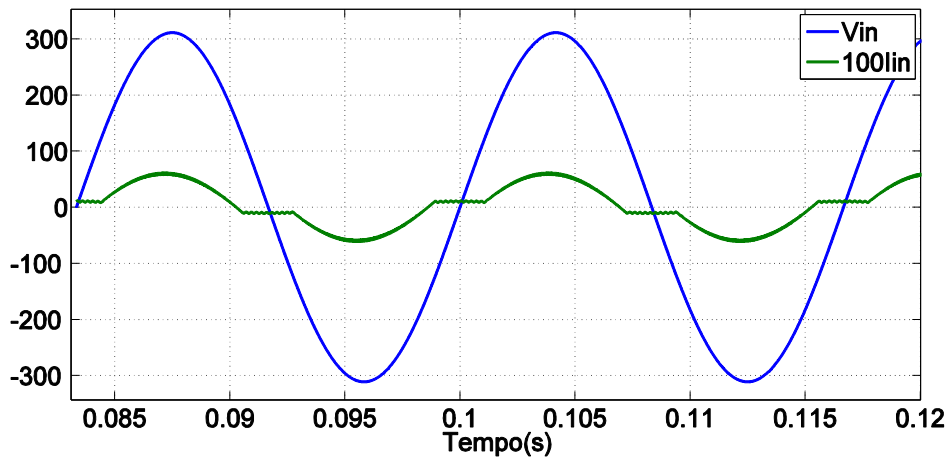


Figura 70. Tensão e Corrente de entrada *Buck*.
Fonte: Autoria Própria.

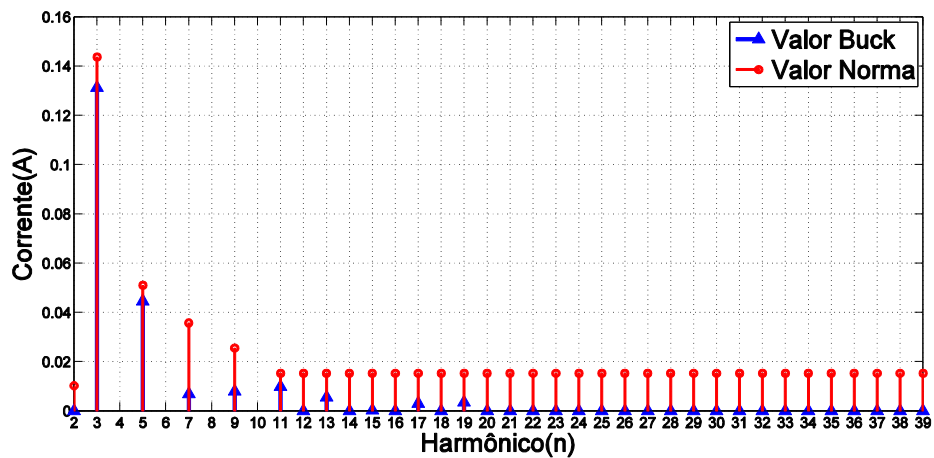


Figura 71. Comparação valor máximo tolerado IEC61000-3-2 e valor medido *Buck*.
Fonte: Autoria Própria.

5.6. RESULTADOS DE SIMULAÇÃO.

Os resultados de simulação para as topologias de conversores podem ser visualizados na Tabela 4. Todos os conversores apresentaram um pequeno aumento na tensão de projeto, este aumento resultou em uma maior corrente de saída e conseqüentemente aumento na potência ativa de saída. O aumento na corrente de saída é tolerado desde que seu valor médio mais o *ripple* não ultrapasse o valor máximo de corrente de condução especificado pelo fabricante como sendo 1A. Todas as topologias projetadas no modo de condução descontínuo provaram ter a capacidade de emular uma carga resistiva para a rede, e assim ter a capacidade intrínseca de corrigir o fator de potência em seu funcionamento a malha aberta, tendo como única necessidade a inserção de um filtro de entrada nos conversores *Buck-Boost*, *Buck* e *Zeta*. O filtro de entrada é necessário, pois a corrente de entrada é pulsada em alta frequência, o que acaba gerando componentes harmônicas na frequência de chaveamento, resultando em um circuito com alta TDH e baixo FP. A inserção do filtro resulta em um pequeno aumento na tensão média de saída, o que para modelos reais e práticos não apresenta grande problema, devido às quedas de tensão ao longo do circuito, que leva a um reajuste no *duty cycle*. Enfim conforme se mostram os resultados, todos os conversores provam-se capazes de corrigir o fator de potência atendendo a normativa IEC61000-3-2, suprimindo a carga de maneira adequada.

Tabela 4. Resultados de Simulação.

Projeto	126,3984	5	0,345	0,6	75,84	1	0
Conversor	$V_{omédio}(V)$	$\Delta V_o(\%)$	$I_{in}(A_{rms})$	$I_o(A)$	$P_o(W)$	FP	TDH(%)
<i>Sepic</i>	126,460	3,16	0,364	0,603	76,35	0,987	6,79
<i>Cuk</i>	126,471	3,21	0,364	0,603	76,43	0,987	6,79
<i>Buck-Boost</i>	126,639	4,93	0,355	0,611	77,69	0,996	1,40
<i>Buck</i>	126,594	4,75	0,373	0,609	77,36	0,942	27,48
<i>Zeta</i>	126,441	3,04	0,373	0,602	76,21	0,937	3,04

Fonte: Autoria Própria.

Os maiores esforços aos quais foram submetidos em simulação os semicondutores podem ser visualizados na Tabela 5. Os esforços de tensão foram medidos no período em que não há condução das chaves. Já o esforço de corrente foi medido no período em que as chaves encontravam-se conduzindo. O esforço de tensão nas chaves foi muito parecido em todas as topologias com exceção do *Buck*.

Já a condução, foi muito maior no *Sepic*, *Cúk* e *Zeta*, isto ocorreu devido ao *duty cycle* pequeno escolhido, o que foi necessário para alcançar dos parâmetros de projeto.

Como o conversor *Buck-Boost* apresentou menores valores de condução atendendo a carga de maneira adequada, este conversor foi escolhido para compor a implementação e corrigir o fator de potência em uma implementação de duplo estágio. O segundo estágio para o controle de potência será composto de um conversor *Buck* trabalhando em modo CCM como já analisado por (FACHINELLO,2014).

Tabela 5. Esforços nos Semicondutores.

CHAVE	ATIVA		PASSIVA		
	ESFORÇO	Condução(A)	Esforço(V)	Condução(A)	Esforço(V)
<i>Sepic</i>		39,23	431,37	39,32	445,94
<i>Cuk</i>		39,23	431,27	39,32	445,80
<i>Buck-Boost</i>		4,92	440,48	4,93	449,44
<i>Buck</i>		7,79	307,69	7,81	317,28
<i>Zeta</i>		19,37	435,67	19,56	441,102

Fonte: Autoria Própria.

6. DUPLO ESTÁGIO

O estágio duplo de processamento de energia permite o controle da corrente no LED, sem a distorção na corrente de entrada o que comprometeria o FP para o estágio único. O estágio CFP será composto pelo conversor *Buck-Boost* operando em modo descontinuo, e o CP pelo conversor *Buck* operando em modo contínuo. Diferentemente do estágio único onde a tensão de saída alimenta a carga, no estágio duplo o conversor CFP gera uma tensão de barramento que alimenta a entrada do conversor CP, o qual posteriormente alimenta a carga.

6.1 PROJETO E SIMULAÇÃO

No estudo feito por (FACHINELLO,2014) foi utilizada uma tensão de barramento de (300V) e frequência de chaveamento de (45KHz) para o CP. A fim de reduzir o tamanho dos reativos para a implementação à frequência de chaveamento foi alterada para (100KHz) no CP. Para facilitar a implementação no encontro de semicondutores com as características elétricas necessárias a tensão alternada de entrada do CFP foi alterada para (127V_{RMS}) e a de barramento para (230 V), o *duty – cycle* do CFP também foi alterado para 0,34. As especificações de projeto para o Duplo estágio podem ser vistos na Tabela 6.

O esquemático do protótipo pode ser visto na Figura 72, sendo os componentes utilizados descritos na Tabela 7.

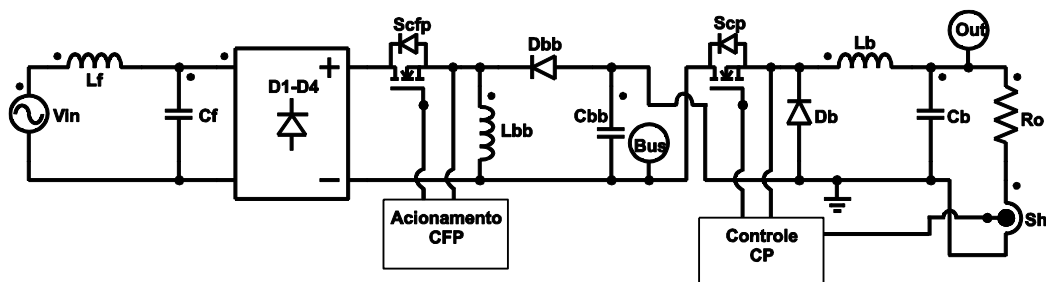


Figura 72. Esquemático Duplo Estágio.

Fonte: Autoria Própia Tabela 6. Especificações de projeto Duplo Estágio.

Tensão de entrada ($V_{in} = 127V_{RMS}$)

Frequência da rede ($f_r = 60\text{Hz}$)

Potência de saída ($P_o = 75\text{W}$)

Corrente nos LEDs ($I_{LED} = 0,6\text{A}$)

Número de LEDs ($N_{LED} = 40$)

Resistência equivalente grupo de LEDs ($R_{LED} = 210,6\Omega$)

Tensão de saída ($V_o = 126,3\text{V}$)

Tensão de barramento ($V_{bus} = 230\text{V}$)

Frequência de Chaveamento CFP ($f_{cfp} = 45\text{KHz}$)

Frequência de Chaveamento CP ($f_{cp} = 100\text{KHz}$)

Fonte: Autoria Própria.

Tabela 7. Componentes do Protótipo

Símbolo	Parâmetro	Valor
L_f	Indutor Filtro FP	2,557mH
C_f	Capacitor Filtro FP	489nF
$D_1 - D_4$	Diodos de Retificação	UF4007
S_{cfp}	Mosfet CFP	2SK2847
L_{bb}	Indutor CFP	273,165 μ H
D_{bb}	Diodo CFP	UF5408
C_{bb}	Capacitor CFP	76 μ F
S_{cp}	Mosfet CP	IRFP460A
D_b	Diodo CP	UF4007
L_b	Indutor CP	3,796mH
C_b	Capacitor CP	1,875 μ F
S_h	Sensor de Efeito Hall	ACS712

Fonte: Autoria Própria.

6.1.1 Projeto Snubber

Afim de se reduzir a *stress* o qual é submetido a chave ativa do CFP, foi inserido um *snubber* RCD conforme se ilustra na Figura 73 . O snubber tem o objetivo de amortecer a taxa de variação de tensão e corrente na chave. Os valores do

capacitor e resistor podem ser encontrados através das respectivas fórmulas (RECH,2016):

$$C_{snubber} = I_{LMAX} \left(\frac{dvc}{dt} \right)^{-1} \quad (73)$$

$$R_{snubber} \leq \frac{T_{on\ min}}{3C_{snubber}} \quad (74)$$

Os valores encontrados para o protótipo do snubber foram:

- Capacitor Snubber ($C_{snubber} = 940\text{ pF}$);
- Resistor Snubber ($R_{snubber} = 2,2\text{ k}\Omega$).

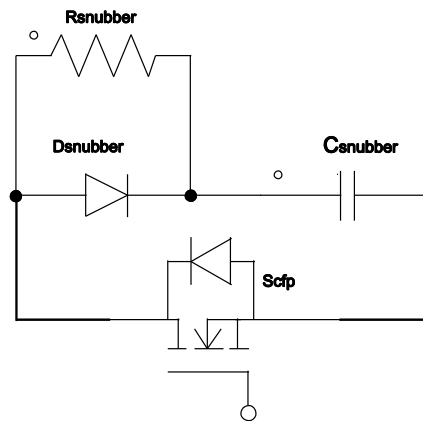


Figura 73. Snubber RCD.
Fonte: Autoria Própria.

6.1.2 Projeto Controlador

O projeto do controlador pode ser feito através da modelagem da planta do CP *Buck*. A função de transferência do conversor *Buck* pode ser obtida através da substituição das variáveis na equação (26), resultando em

$$\frac{i_o}{d} = G1s = \frac{3,491 \cdot 10^7}{s^2 + 945.6s + 1,094 \cdot 10^8}. \quad (75)$$

O diagrama de blocos do sistema controlado a malha fechada pode ser visto na Figura 74, onde o bloco do sistema pode ser representado através de

$$G1smf = \frac{(PI)(G1s)}{1 + (PI)(G1s)}. \quad (76)$$

O erro mostra-se como a diferença entre a corrente de referência e a corrente medida na saída do conversor. O principal objetivo da malha de controle é manter a corrente nos LEDs mais constante, eliminando a ondulação de baixa frequência da rede. Assim para eliminação do erro de estado estacionário optou-se pela utilização de um controlador PI, o qual possui a função de transferência representada por (CTMS,2016),

$$PI = K_p + \frac{K_I}{s}, \quad (77)$$

Onde:

$K_p \rightarrow$ Constante Proporcional

$K_I \rightarrow$ Constante de integração

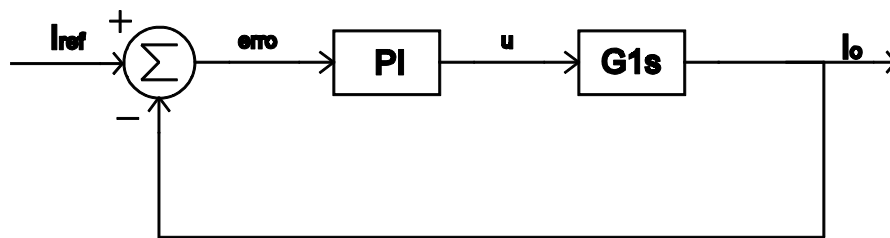


Figura 74. Diagrama de Blocos Sistema a Malha Fechada.
Fonte: Autoria própria.

O projeto do controlador PI foi feito através do segundo método de sintonia Zieger Nichols(OGATA,2003), com ajuste de sintonia feito através da ferramenta pidtool do Matlab. Considerando-se o método de discretização *forward*, com frequência de amostragem de 100KHz, os ganhos discretos obtidos são $K_{pd} = 350$ e $K_{Id} = 0,75$.

6.1.3 Simulação

A simulação do duplo estágio com esquemático representado na Figura 72, foi feita com auxílio no *software* PSIM. A operação é em malha aberta para o CFP, portanto com *duty cycle* fixo. O CP opera em malha fechada através de controle digital implementado através do *C block*. O *feedback* é feito através da medição de corrente na carga através do *current sensor*. O código utilizado no *C block* pode ser observado no Quadro 1. A primeira entrada in[0] é o sinal provido do sensor de corrente (*Current*

sensor) através do *zero order hold* para amostragem do sinal. Já a segunda $in[1]$ é o sinal portador dente de serra do PWM (*Sawtooth*) com pico de amplitude 1. A terceira entrada $in[2]$ é a segunda saída definida no código por $out[1] = somaerro$.

```
float somaerroant,l,tri,e,somaerro;
double u;
float Kp=350, Ki=0.75, ts=0.00001;
float Iref=0.17;
int PWM;
l = in[0];
tri = in[1];
somaerroant = in[2];
e = Iref - l;
somaerro = e + somaerroant;
u = Kp*e + Ki*somaerro*ts;
if(u>1){u=1; }
if(u<0){ u=0; }
if(u>tri){
PWM = 1;}
else{
PWM=0;}
out[0] = PWM;
out[1] = somaerro
```

Quadro 1. Código *block C* controle CP.

Fonte: Autoria própria.

A tensão de barramento e de saída podem ser observadas na Figura 75. Seus respectivos valores médios medidos foram de 203,8V e 79,94V. Pode-se observar um pequeno aumento na tensão de barramento devido ao fechamento de malha, enquanto que a tensão de saída mantém-se constante com baixo *ripple* para o controle da corrente.

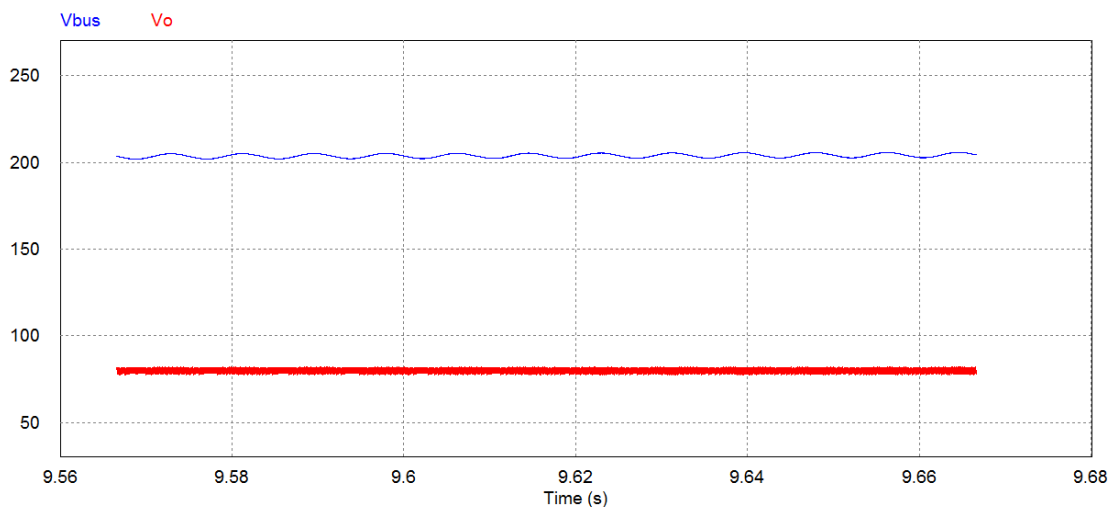


Figura 75. Tensão de barramento e saída Duplo Estágio.

Fonte: Autoria própria.

A corrente de saída pode ser observada na Figura 76, com uma corrente média de 0,17A, percebe-se a diminuição na ondulação de baixa frequência da rede conforme se ilustra um *zoom* da corrente de saída na Figura 77.

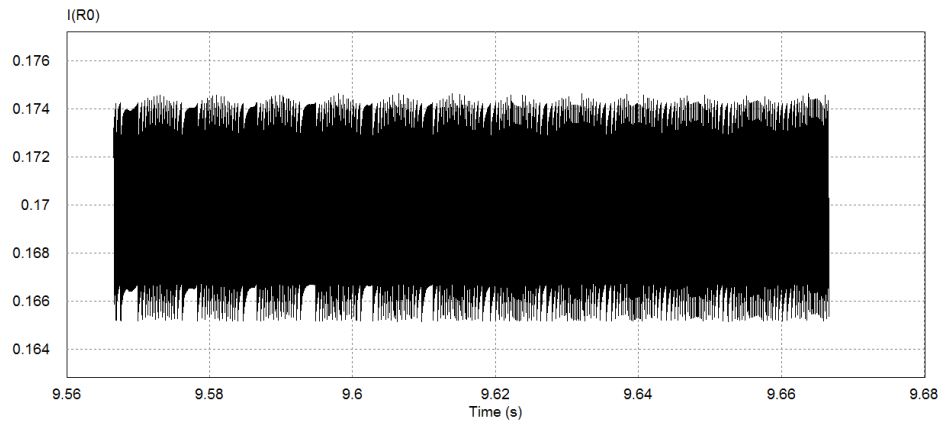


Figura 76. Corrente de saída Duplo estágio
Fonte: Autoria própria.

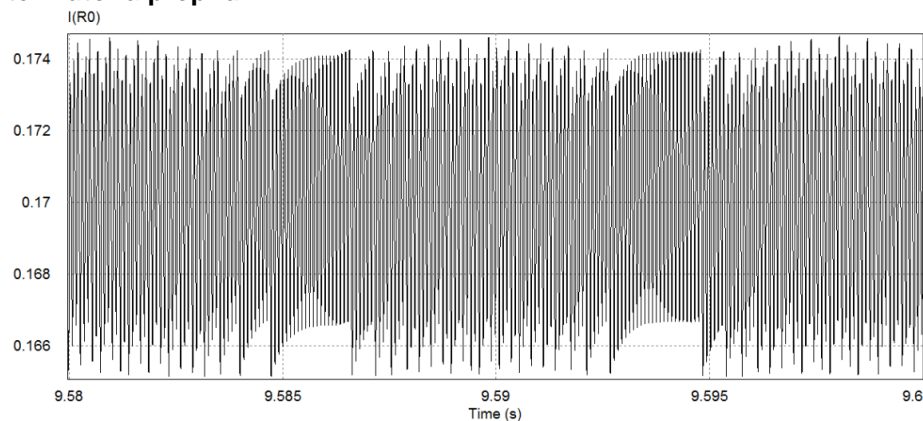


Figura 77. Zoom da corrente de saída.
Fonte: Autoria própria.

6.2 IMPLEMENTAÇÃO

Para gerar o sinal PWM de ambos os conversores CFP e CP, foi utilizado o microcontrolador DSP TMS320F2809 da Texas Instruments. O sinal digital gerado pelo PWM não possui amplitude e potência suficiente para o acionamento das chaves ativas, sendo necessário assim um *driver* para o acionamento, conforme se ilustra no esquemático da Figura 78, utilizado no acionamento. O drive utilizado possui um optoacoplador para isolamento seguido da configuração conhecida como Tottem-Pole com função de carregar e descarregar o Gate da chave.

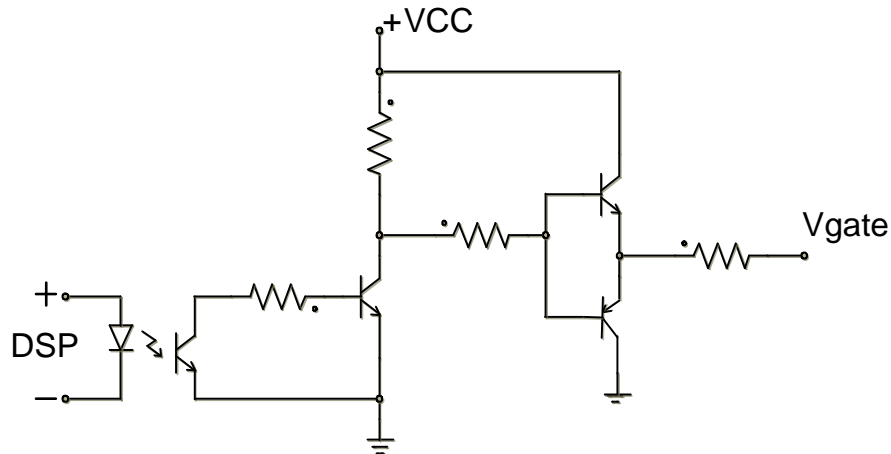


Figura 78. Driver para acionamento da chave semicondutora.
Fonte: Autoria Própria.

Cada drive de chave foi alimentado com uma fonte CC de 15 e 5 volts, sendo o 5 necessário apenas para funcionamento do optoaclopador. O sinal PWM foi gerado através de código em C e contagem de dois registradores, um para cada frequência.

Para o fechamento de malha e possível controle na corrente de saída foi utilizado o sensor de efeito *hall* ACS12 para a medição da corrente. O sensor possui um *offset* em sua saída com valor correspondente à metade de sua alimentação, e variação de 0,185V para cada 1A medido. A faixa de operação do conversor analógico digital(AD) presente no DSP é de 0 a 3,3V. Devido ao baixo ponto de operação na corrente de saída medida na implementação e ruídos presentes na saída do sensor é necessário um circuito de instrumentação do sinal, sendo este representado na Figura 79. O circuito é composto de um somador para eliminação do *offset*, seguido de um amplificador inversor para o ganho no sinal, e filtro passa baixa para eliminação do ruído.

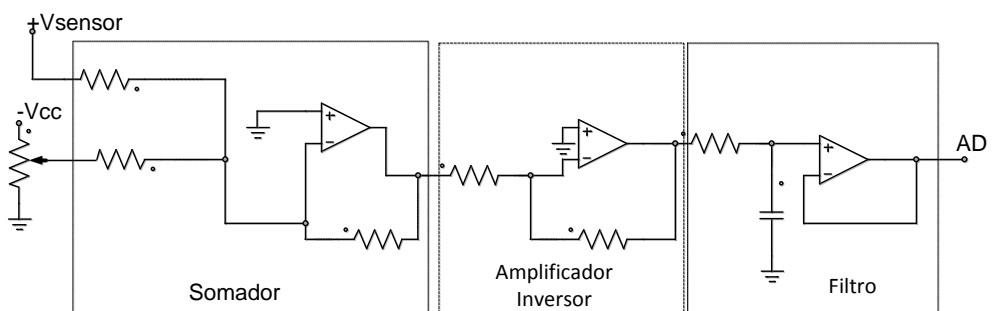


Figura 79. Circuito instrumentação do sinal de corrente.
Fonte: Autoria Própria.

Na alimentação de entrada do conversor CFP, não se fez a conexão direta com a rede e utilizou-se um varivolt entre a rede e o CFP. O varivolt foi utilizado para variar a tensão de entrada em até se atingir os ($127V_{RMS}$), para assim perceber-se o correto funcionamento do protótipo e evitar queimas desnecessárias em chave fusível e mosfet. O protótipo do duplo estágio pode ser visto na Figura 80.

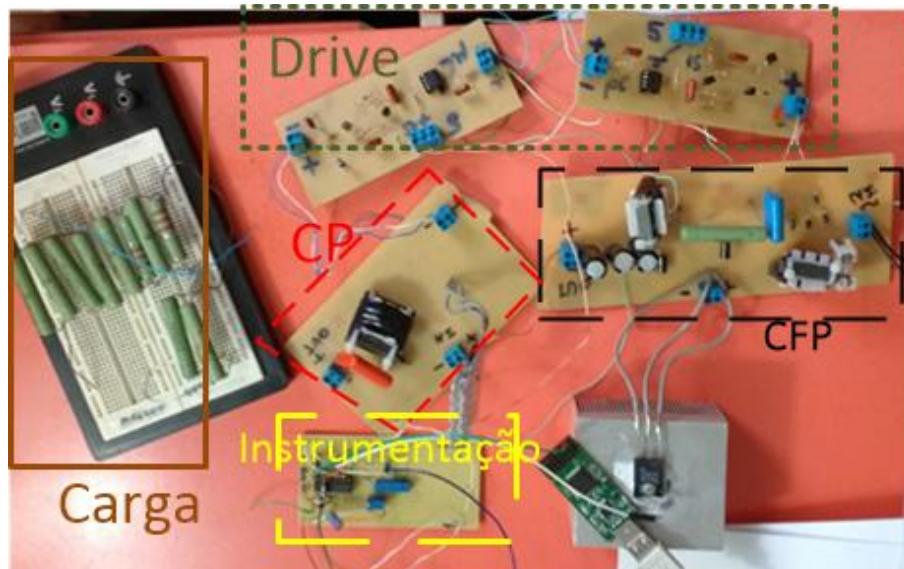


Figura 80. Protótipo do Duplo Estágio.
Fonte: Autoria Própria.

O aumento na tensão de entrada foi permitido até um valor aproximado de ($80V_{RMS}$), ocorrendo assim o problema ilustrado na Figura 81, aonde o pico de tensão na entrada da retificação não permitiu um maior aumento na tensão de entrada. Foi tentado corrigir o problema realizando-se a troca do mosfet, retificador e filtro de entrada juntamente ao um novo *layout* de placa. Porém o problema persistiu, conseguindo-se apenas sua resolução com a alteração do parâmetro de projeto do *duty-cycle* do CFP para 0,2 ao invés dos 0,34. Assim com a mudança reduziu-se a tensão de barramento e de saída do Duplo estágio, reduzindo-se a potência de saída e ponto de operação em sua corrente de saída.

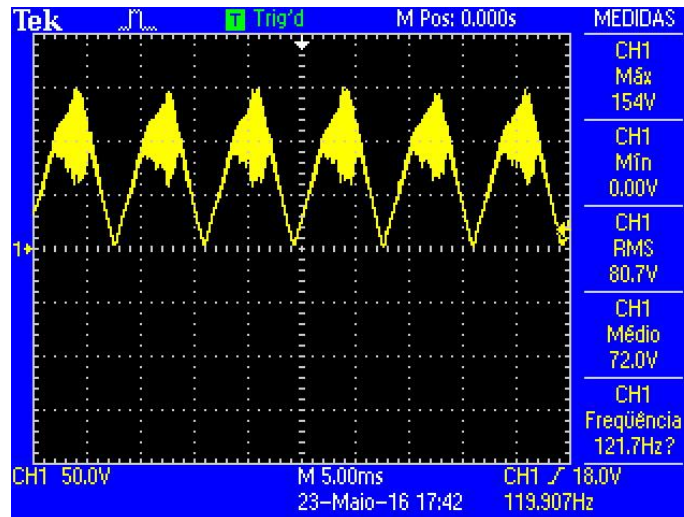


Figura 81. Pico de tensão no retificador.
 Fonte: Autoria própria.

A mudança permitiu a alimentação do conversor com a tensão alternada da rede pública, conforme ilustra-se a tensão de saída do retificador representada na Figura 82.

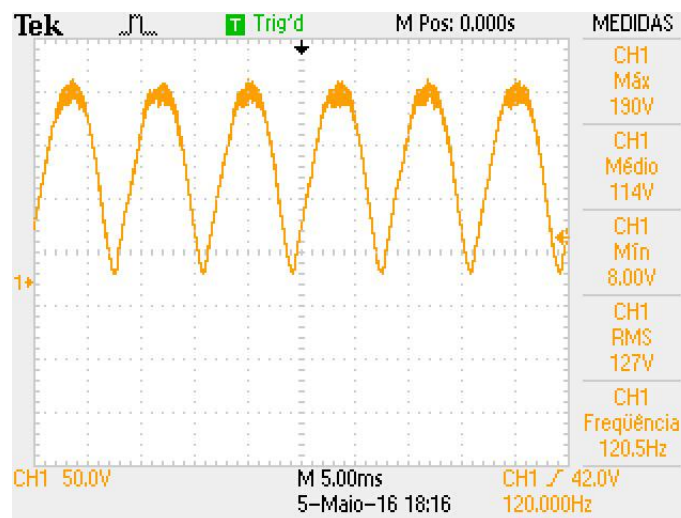
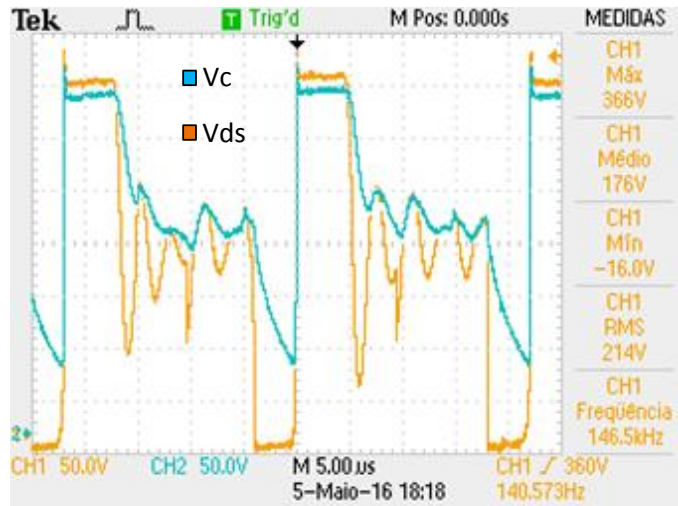


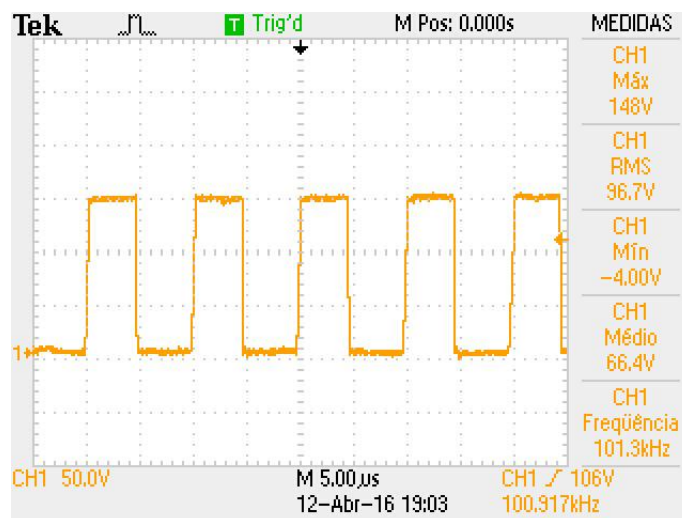
Figura 82. Tensão na saída do retificador.
 Fonte: Autoria própria.

A queda de tensão no mosfet do circuito CFP juntamente a tensão sobre o capacitor do *snubber* podem ser visualizadas na Figura 83, pode-se observar que a queda de tensão na chave possui a característica de operação em DCM possuindo três etapas. Na segunda etapa de operação do *Buck-Boost* existe a soma da tensão de entrada e de barramento sobre o dreno-source do mosfet e na terceira etapa apenas a tensão de entrada.



**Figura 83. Tensão no mosfet CFP(laranja) e capacitor snubber(azul).
Fonte: Autoria própria.**

A queda de tensão dreno-source no mosfet do CP é representada na Figura 84, a queda de tensão mostra o correto funcionamento da chave em CCM, com abertura e bloqueio na frequência de chaveamento.



**Figura 84. Tensão no mosfet CP.
Fonte: Autoria própria.**

A tensão de barramento e de saída do sistema em malha aberta (MA) podem ser visualizadas nas respectivas Figura 85 e Figura 86, apresentando um valor médio igual ao seu RMS, conforme é o nível CC. A ondulação de baixa frequência presentes nas tensões de barramento e saída foram calculadas nos valores de 5,33% e 5%. A corrente média de saída também foi medida com auxílio do multímetro apresentando o valor de 0,17A.

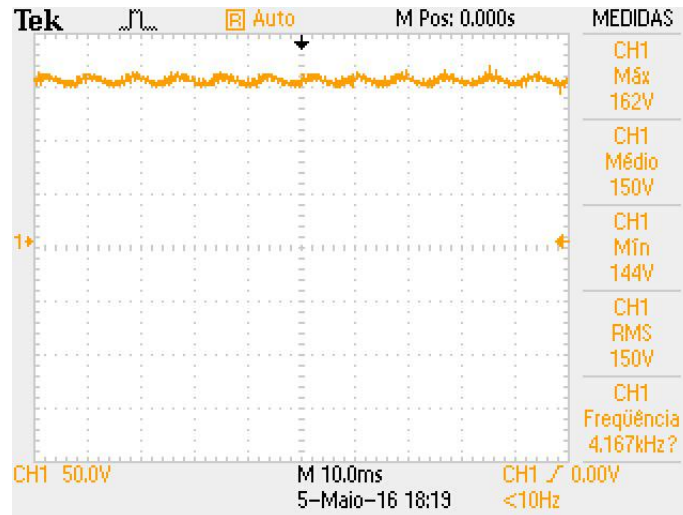


Figura 85. Tensão de barramento Vbus.
Fonte: Autoria própria.

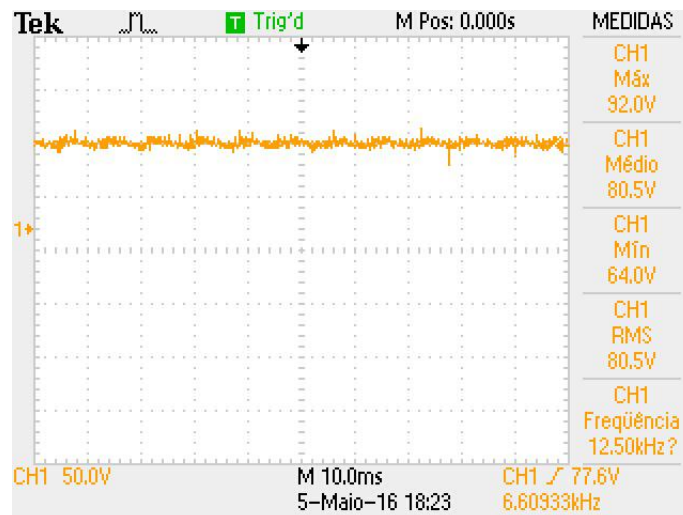
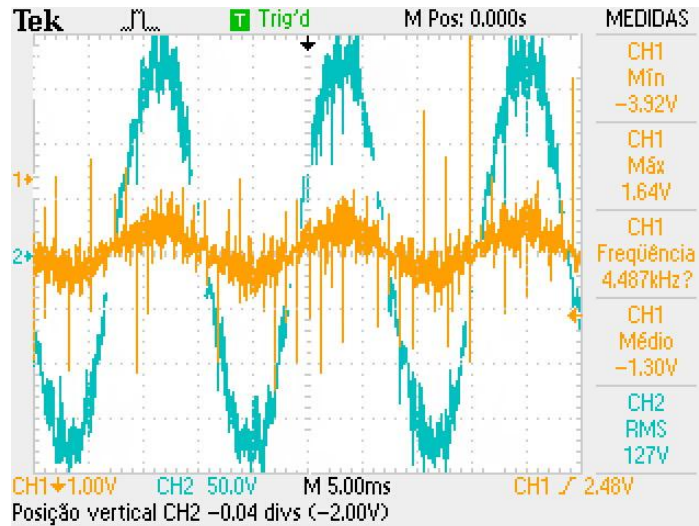
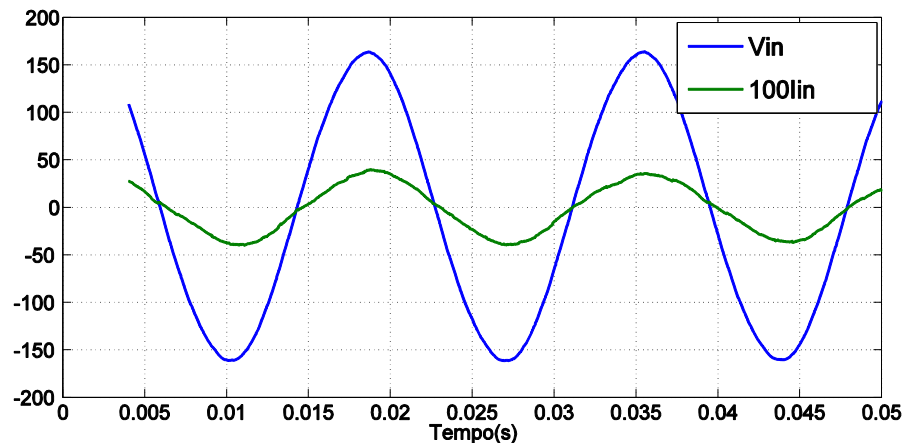


Figura 86. Tensão de saída Vo.
Fonte: Autoria própria.

A tensão e corrente de entrada podem ser observadas em sua amostra no osciloscópio na Figura 87. A corrente de entrada foi medida através do mesmo sensor e instrumentação presentes para a corrente de saída. Os valores da tensão e corrente de entrada foram salvos e exportados para o *software* Matlab, aonde através de um filtro média movel pode se observar o sinal na Figura 88, foi calculado o FP e a TDH da corrente de entrada do sinal filtrado no *software* os quais obtiveram os valores de 0,982 e 7,34%.



**Figura 87. Amostra de Tensão de Entrada (azul) Corrente de entrada (laranja).
Fonte: Autoria Própria.**



**Figura 88. Tensão e Corrente de entrada (médiamovel)
Fonte: Autoria Própria.**

O FP também foi medido através do analisador de qualidade de energia FLUKE 435, seu FP pode ser visualizado na Figura 89, com uma TDH de 3,6% em sua frequência fundamental. As medidas do FP e TDH mostraram-se diferentes para o cálculo numérico e analisador de rede FLUKE 435, o que ocorre devido as diferentes taxas de amostragem do sinal e baixa resolução para alta frequência do chaveamento envolvida. Uma maior precisão para o cálculo numérico poderia ser feita também através da medição da corrente através de uma ponteira de corrente, o que poderia eliminar o ruído no baixo valor da medição de tensão do sensor de corrente e aumentar a precisão da medição.

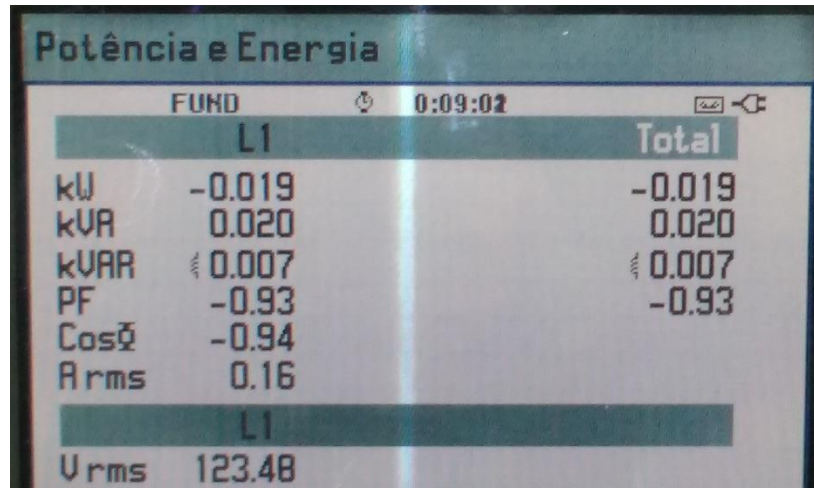


Figura 89. Medição FP Duplo Estágio.
Fonte: Autoria Própria.

Os ganhos do controlador do sistema a malha fechada foram reajustados na prática para o funcionamento, e foram sintonizados nos valores de $K_{pd} = 2$ e $K_{id} = 0,025$. A tensão média de saída do sistema operando em malha fechada (MF) pode ser observada na Figura 90, aonde a mesma resulta em uma corrente controlada em MF no valor de 0,17A. A tensão de barramento obteve um aumento também no sistema em (MF), devido ao balanço de potência no circuito, como pode-se observar na Figura 91.



Figura 90. Tensão média de saída em MF.
Fonte: Autoria Própria.



Figura 91. Tensão de Barramento em MF.
Fonte: Autoria Própria.

O transitório da corrente para o sistema operando em MA e MF podem ser vistos na Figura 92, aonde observar-se que o sistema também segue a referência em MF.

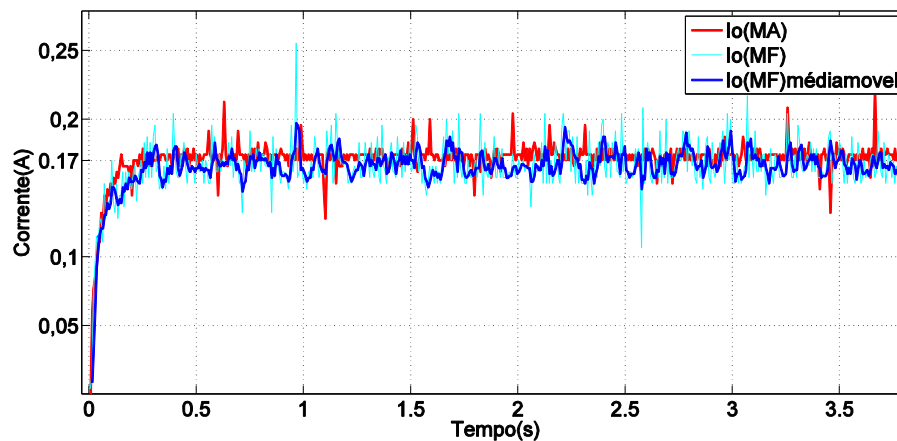


Figura 92. Corrente do sistema em MA e MF.
Fonte: Autoria Própria.

Mostra-se assim que ocorre a conversão da tensão ao longo do circuito do Duplo estágio. Sendo a tensão de entrada CA convertida em nível CC pulsante através da etapa de retificação. Seguido de sua elevação para a tensão de barramento CC para posteriormente o rebaixamento em sua saída CC. O FP medido na entrada do circuito provou a capacidade do conversor CFP operando em DCM, de emular uma resistência para a rede, corrigindo o FP intrinsicamente, sem a necessidade de controle para que sua corrente de entrada siga a envoltória da tensão CA. A corrente

de saída provou-se capaz de seguir a referência em MF através de seu *feedback* seguido da operação matemática do controlador PI através de seu erro.

7. CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

A tecnologia crescente sobre o LED já permite a sua utilização em iluminação com demandas de potência como a iluminação pública. Sua utilização apenas na sinalização de equipamentos já pode ser considerada um passado recente, devido a já existência das lâmpadas LED no mercado. O *drive* da lâmpada LED deve ser projetado para fazer bom uso das características presentes no LED, porém o bom desempenho da lâmpada também está entrelaçado a sua questão térmica e ótica.

A utilização de *drivers* com correção de fator de potência para alimentação adequada da carga LED mostrou-se eficiente em todas as topologias analisadas. Mostram-se mais vantajosas as topologias que apresentam menor número de componentes e menor valor dos reativos o que remete a uma maior densidade de potência. Os esforços nos semicondutores também podem ser considerados uma questão importante na escolha da topologia, visto que no modo DCM existem picos maiores de tensão e corrente, e pode ser dificultoso encontrar a chave necessária para a implementação. A utilização de um estágio único para correção do fator de potência e *feedback* para o controle na corrente de saída não se mostrou eficaz em simulação, devido à distorção causada pela ação de controle na corrente de entrada, sendo necessário assim a utilização de mais um conversor para o devido controle. A utilização de um duplo estágio mostra-se eficiente em corrigir o FP e controlar a corrente de saída, devido há que cada conversor opera de maneira independente e funções distintas.

A implementação do duplo estágio demonstrou os problemas existentes da prática, aonde questões como enrolamento de indutores, escolha de componentes, e Layout de placa podem ser um ponto crucial para o funcionamento do correto ponto de operação para o protótipo. Não se mostrou eficaz na implementação a entrega da potência desejada e ponto de operação da corrente de saída de projeto, devido ao problema na saída do retificador, sendo assim necessário um menor ponto de operação para a corrente de saída que teve seu valor reduzido para 0,17A e uma redução de 75W para 20W na potência do sistema. O controle na corrente de saída mostrou-se mais fácil em simulação do que na prática, sendo necessário na prática reajustes diferentes da simulação, necessitando mais tempo para o funcionamento correto do controle com seguimento da referencia.

Os objetivos do trabalho foram cumpridos, com a exceção de redução na potência de saída para a implementação. As simulações para CFP e o duplo estágio comprovam o funcionamento dos projetos. Os resultados da implementação aparentam estar coerentes com a teoria e simulação. A resistência da carga apresentou uma resistência próxima ao valor calculado para a carga LED. A medição da corrente na entrada, saída e indutor poderiam ser mais fáceis com a utilização de uma ponteira de corrente, aonde que a utilização do sensor e resistor *shunt* mostrou-se com excessivo ruído.

Sugere-se aos trabalhos futuros, a realização da implementação do *driver* com a devida carga LED, tendo assim dissipação de energia não apenas em forma de calor, mas sim em potência luminosa. A utilização de LEDs também remete ao projeto físico da lâmpada o qual deve ser realizado levando-se em consideração suas questões térmicas e óticas.

REFERÊNCIAS

ALMEIDA, S. P. **Requisitos de Acionamento e Projeto de Drivers para LEDs Integrados a Luminárias Destinados a Iluminação Pública**. 2013. Núcleo de Iluminação Moderna (NIMO). UFJF, ILUME EXPO 2013, 2013.

ANEEL. **Resolução ANEEL n.456**. 29 de novembro de 2000.[s.n.], 29 de novembro de 2000..

BARBI, Ivo. **MODELAGEM DE CONVERSORES CC-CC EMPREGANDO O MODELO MÉDIO EM ESPAÇO DE ESTADOS**. Florianópolis: Edição do Autor, 2015..

CAMPONOGARA, Douglas. **Análise e projeto de uma topologia de dois estágios otimizada aplicada a iluminação pública com LEDs**. 2012. 90p. Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica. Santa Maria, 2012..

PHILIPS. **Case Study Street Lighting. (2008)**. Acesso em 2015, disponível em www.philipslumileds.com/uploads/57/CS11-pdf

CHEN, W., LI, S., & HUI, S. (2010). **A Comparative Study on the Circuit Topologies for Offline Passive Lighting-Emitting Diode (LED) Drivers with a Long Lifetime & High Efficiency**. *IEEE*, pp. 724-730.

COSTA, R. E. (2009). **Sistematização do projeto de reatores eletrônicos para alimentação de lâmpadas de vapor de sódio em alta pressão para iluminação pública**. *Dissertação de mestrado*. Santa Maria, RS, Brasil: UFSM - PPGEE.

CTMS. (2016). **Introduction: PID Controller Design**. Michigan, EUA. Acesso em 5 de maio de 2016, disponível em <http://ctms.engin.umich.edu/CTMS/index.php?example=Introduction§ion=ControlPID>

DAMBISKI, L. P. (2007). **Aplicação do Programa Nacional de Iluminação Pública Eficiente (PROCEL-RELUZ)**. 87f. Curitiba: UFPR.

ENERGIA, M. d. (28 de 01 de 2014). **Lâmpadas Incandescentes devem ser retiradas do mercado até 2016**. **Portal Brasil**, 28 jan. 2014. Disponível em: <http://www.brasil.gov.br/ciencia-e-tecnologia/2011/01/lampadas-incandescentes-devem-ser-retiradas-do-mercado-ate-2016>

EPE. (Setembro de 2013). **Anuário Estatístico de Energia Elétrica**. Rio de Janeiro, Brasil.

EPE. (Setembro de 2015). **Anuário Estatístico de Energia Elétrica 2014**. Rio de Janeiro, Brasil.

FACHINELLO, Lucas. **ESTUDO DE DRIVER PARA ACIONAMENTO DE LÂMPADA LED APLICADO EM ILUMINAÇÃO PÚBLICA**. 2014. 118p. Trabalho de Conclusão de Curso. Departamento Acadêmico de Elétrica -UTFPR. Pato Branco, 2014.

KIRSTEN, André L. **Reator eletrônico para lâmpadas de descarga em alta pressão baseado no conversor bitflyback inversor**. 2011. Mestrado em Engenharia Elétrica - UFSM - PPGEE. Santa Maria, 2011.

LEDS MAGAZINE. (s.d.). *Nova Scotia Mandates All Street Lights*. Acesso em 2015, disponível em <http://www.ledsmagazine.com/articles/2012/nova-scotia-mandates-all-led-street-lights.html>

LOPES, P. J. (2015). **Topicos Especiais Sobre Processamento de Energia**. Pato Branco: PPGEE.

MAXIMINTEGRATED. (s.d.). *Why Drive White LEDs with constant current*. Acesso em 4 de abril de 2016, disponível em <https://www.maxiintegrated.com/en/app-notes/index.mvp/id/3256>

NOVICKI, M. J., & MARTINEZ, R. (2008). **LEDS PARA ILUMINAÇÃO PÚBLICA**. *Universidade Federal do Paraná*, pp. 1-9.

OGATA, K. (2003). **ENGENHARIA DE CONTROLE MODERNO**. São Paulo: Prentice Hall.

OSRAM. (2010). Case Study Lasing city street lights.

PEREIRA, G. G., & DALLA COSTA, A. M. (2014). **UMA ANÁLISE DE TÉCNICAS PARA AUMENTAR A VIDA ÚTIL DE DRIVERS PARA LEDS**. Alegrete, RS: XXVI Congresso Regional de Iniciação científica e tecnológica de Engenharia .

PÉRES, A. (1993). **FONTE CHAVEADA COM ALTO FATOR DE POTÊNCIA UTILIZANDO O CONVERSOR ZETA EM CONDUÇÃO DESCONTINUA**. Florianópolis: Dissertação (Mestrado em Engenharia Elétrica) Programa de Pós-graduação em Engenharia Elétrica, UFSC.

PETRY, A. C., & BARBI, I. (2001). **Introdução aos Conversores CC-CC**. Instituto de Eletrônica de Potência,UFSC.

PINTO, R. A. (2012). **Sistemas Eletrônicos para iluminação de exteriores empregando diodos emissores de luz(LEDs) alimentados pela rede elétrica e por baterias** . *Tese de Doutorado*. Santa Maria: UFSM - PPGEE.

POMÍLIO, J. A. (Janeiro de 2007). **Pré-reguladores de fator de potência**. Publicação FEE 03/95.

RECH, C. (s.d.). *Eletrônica de Potência*2 Capitulo 9. Acesso em 18 de abril de 2016, disponível em <http://www.joinville.udesc.br/porta/professores/yales/materiais/snubber.pdf>

SÁ JUNIOR, M. E. (2010). **ESTUDO DE ESTRUTURAS DE REATORES ELETRÔNICOS PARA LEDs DE ILUMINAÇÃO**. 199p. Florianópolis: (Doutorado em Engenharia Elétrica) - Programa de Pós Graduação em Engenharia Elétrica, UFSC.

Sedra, S. (1995). *Microeletrônica Volume 2*. Makrom Books.

SIMONETTI, L. S., & SEBASTIAN, J. (oct de 1997). **The discontinuous conduction Mode Sepic and Cúk Power Factor Preregulators: Analysis and Design**. *IEEE transactions on industrial electronics*.

SINGH, B., SINGH, B., & DWIVEDI, S. (2006). **AC-DC Zeta Converter for Power Quality Improvement in Direct Torque Controlled PMSM Drive**. *IEEE*, pp. 146-162.

TSE, K. C. (2005). **Circuit Teory and Desing of Power Factor Correction Power Supplies**. *IEEE Distingshed Lecture*, pp. 1-51.

WEIR, B., & CATHELL, F. (Fevereiro de 2008). **Led Streetlight Demands Smart Power Supply**. *ON Semiconductor, Power Eletronics*.

WU, T.-F., & YU, T.-H. (jun de 1998). **Analysis and Design of a high power factor, single-stage eletronic dimming ballast**. *IEEE transactions on industrial aplications*.