

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM SISTEMAS DE ENERGIA

MICHEL ANDREY FREITAS DE SOUZA KOHLER

**RETIFICADOR *BOOST* MONOFÁSICO PWM DE CINCO NÍVEIS
COM CORREÇÃO DO FATOR DE POTÊNCIA**

DISSERTAÇÃO DE MESTRADO

CURITIBA

2020

MICHEL ANDREY FREITAS DE SOUZA KOHLER

**RETIFICADOR *BOOST* MONOFÁSICO PWM DE CINCO NÍVEIS
COM CORREÇÃO DO FATOR DE POTÊNCIA**

Dissertação apresentada ao Programa de Pós-graduação em Sistemas de Energia da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do título de “Mestre em Engenharia Elétrica” – Área de Concentração: Automação e Sistemas de Energia.

Orientador: Prof. Daniel Flores Cortez, Dr. Eng.

CURITIBA

2020

Dados Internacionais de Catalogação na Publicação

Kohler, Michel Andrey Freitas de Souza

Retificador *boost* monofásico PWM de cinco níveis com correção do fator de potência [recurso eletrônico] / Michel Andrey Freitas de Souza Kohler. -- 2020.

1 arquivo eletrônico (114 f.): PDF; 4,43 MB.

Modo de acesso: World Wide Web,

Texto em português com resumo em inglês.

Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Sistemas de Energia. Área de Concentração: Automação e Sistemas de Energia, Curitiba, 2020.

Bibliografia: f. 111-113.

1. Sistemas de energia elétrica - Dissertações. 2. Retificadores de corrente elétrica. 3. Modulação de duração de pulso. 4. Conversores de corrente elétrica. 5. Conversores CC-CC. 6. Fator de potência. 7. Fontes de alimentação elétrica para aparelhos. 8. Prototipagem de software. 9. Análise matemática. 10. Métodos de simulação. I. Cortez, Daniel Flores, orient. II. Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Sistemas de Energia. III. Título.

CDD: Ed. 23 -- 621.31

Biblioteca Central do Câmpus Curitiba - UTFPR
Bibliotecária: Luiza Aquemi Matsumoto CRB-9/794



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Diretoria de Pesquisa e Pós-Graduação

TERMO DE APROVAÇÃO DE DISSERTAÇÃO

A Dissertação de Mestrado intitulada “Retificador Boost Monofásico PWM de Cinco Níveis com Correção do Fator de Potência”, defendida em sessão pública pelo candidato Michel Andrey Freitas de Souza Kohler, no dia 28 de agosto de 2020, foi julgada para a obtenção do título de Mestre em Engenharia Elétrica, área de concentração: Automação e Sistemas de Energia, e aprovada em sua forma final, pelo Programa de Pós-Graduação em Sistemas de Energia.

BANCA EXAMINADORA:

Prof. Dr. Daniel Flores Cortez – Presidente – UTFPR

Prof. Dr. Alceu Andre Badin – UTFPR

Prof. Dr. Telles Brunelli Lazzarin – UFSC

A via original deste documento encontra-se arquivada na Secretaria do Programa, contendo a assinatura da Coordenação após a entrega da versão corrigida do trabalho.

Curitiba, 28 de agosto de 2020.

Carimbo e Assinatura do(a) Coordenador(a) do Programa

A Deus

À minha família

A todos que participaram desta jornada

AGRADECIMENTOS

À minha família, em especial a minha amada esposa Maria Kohler, por todo o incentivo, suporte durante todo o mestrado, motivação, por se privar de tantos momentos juntos e por compreender em entender a importância e relevância desta conquista. Por me incentivar quando eu me sentia desmotivado e por sempre estar ao meu lado.

Ao meu orientador, Prof. Daniel Flores Cortez, por toda a sua paciência, compreensão, experiência e dedicação. Por sempre nos momentos mais críticos deste trabalho estar junto, solícito e atuando junto para a realização deste trabalho. Por seu companheirismo, e por mostrar-me a o seu entusiasmo pela engenharia. Sem sua contribuição, este trabalho não teria se realizado.

Aos professores que participaram desta jornada.

Aos meus amigos e colegas do mestrado, em especial ao Victor Gati que durante todo o mestrado sempre se mostrou presente compartilhando seu conhecimento e motivação pela engenharia.

Aos amigos Katia Nacamura e ao Prof Luiz Nacamura que foram responsáveis pelo incentivo inicial para o meu ingresso do mestrado.

À Universidade Tecnológica Federal do Paraná (UTFPR) por propiciar a oportunidade de cursar o mestrado.

Obrigado a todos que consciente ou inconscientemente ajudaram na construção deste trabalho.

*“What we know is a drop,
what we don't know is an ocean.”*

— Isaac Newton

RESUMO

KOHLER, Michel A. F S. **Retificador Boost Monofásico PWM de Cinco Níveis com Correção do Fator de Potência**. 2020. 114 f. Dissertação – Programa de Pós-graduação em Sistemas de Energia, Universidade Tecnológica Federal do Paraná. Curitiba, 2020.

Este trabalho apresentará uma nova topologia para um retificador multinível PWM monofásico CA-CC elevador (*Boost*) de cinco níveis com correção do fator de potência (PFC). O conversor se caracteriza por ser unidirecional, apresentar baixo volume de indutores, alto fator de potência, baixa THD, baixos esforços de tensão e com número de componentes reduzidos. Serão analisados os princípios de operação, análise matemática, simulação e resultados experimentais. Para este último foi construído e testado um protótipo de 1 kW, no qual os resultados obtidos atestam a viabilidade da estrutura proposta.

Palavra-chave: Conversor Multinível, Retificador PWM Monofásico, Elevador, Conversor AC-DC, PFC, *Boost*.

ABSTRACT

KOHLER, Michel A. F S. **Five Levels Single Phase Boost PWM Rectifier with Power Factor Correction.** 114 f. Thesis – Graduate Program in Energy Systems, Federal University of Technology – Paraná, Curitiba, 2020.

The scope of this work is focused on a new topology for a multi-level single phase PWM rectifier AC-DC boost with power factor correction (PFC). The converter is characterized as unidirectional, low volume of inductors, high power factor, low THD, low voltage stresses, and number of components reduced. Will be analyzed the operating principles of this topology, mathematical analysis simulation and experimental results. For the latter, a 1 kW prototype will be built and tested, where the attained results will certify the feasibility of the proposed structure.

Keywords: Multilevel Converter, single phase PWM rectifier, booster type, AC-DC Converter, PFC, Boost.

LISTA DE ILUSTRAÇÃO

Figura 2.1 - Representação do circuito equivalente de retificadores PWM.	28
Figura 2.2 - Representação da tensão de entrada do conversor de cinco níveis, v_{an}	28
Figura 2.3 - (a) representação da tensão de entrada v_{an} de um conversor de dois níveis; (b) exemplo de uma topologia de dois níveis.....	29
Figura 2.4 - (a) representação da tensão de entrada v_{an} de um conversor de três níveis; (b) exemplo de uma topologia de três níveis (<i>Neutral Point Clamped-NPC</i>). 29	
Figura 2.5 - (a) representação da tensão de entrada de v_{an} de um conversor de cinco níveis; (b) exemplo de uma topologia de cinco níveis (<i>Flying Capacitor-FC</i>).....	30
Figura 2.6 - (a) representação da tensão de entrada de v_{an} de um conversor de sete níveis; (b) representação da tensão de entrada de v_{an} de um conversor de nove níveis.	31
Figura 2.7 - Retificador <i>boost</i> convencional.	32
Figura 2.8 - Conversor de dois níveis.....	33
Figura 2.9 - (a) Conversor PFC Viena; (b) Conversor PFC <i>Bidirecional Neutral Point Clamp-BNPC</i>	34
Figura 2.10 - Conversor PFC 3N <i>Double Boost</i>	34
Figura 2.11 - Conversor PFC NPC.....	35
Figura 2.12 - Conversor PFC 3N FC.....	35
Figura 2.13 - Conversor PFC 5N <i>Double Boost</i>	37
Figura 2.14 - Conversor PFC 5N BNPC.	38
Figura 2.15 - Conversor PFC 5N ANPC.	38
Figura 2.16 - Conversor <i>bridgeless</i>	39
Figura 2.17 - Conversor Multinível cascata Ponte H.	40
Figura 2.18 - Representação da tensão comutada de entrada v_{an} de um conversor de 3- níveis.	41
Figura 2.19 - Representação da tensão comutada de entrada v_{an} de um conversor de 5- níveis.	43
Figura 3.1 - Retificador PWM Monofásico de cinco níveis com Correção do Fator de Potência (PFC) proposto.	46
Figura 3.2 - Etapas de operação no semiciclo positivo. (a) Estado das chaves: $S_1=S_2=S_3=$ "ON"; (b) Estado das chaves: $S_1=$ "OFF", $S_2=S_3=$ "ON"; (c)	

Estado das chaves: $S_1="ON"$, $S_2=S_3="OFF"$; (d) Estado das chaves: $S_1=S_2=S_3="OFF"$;.....	48
Figura 3.3 - Etapas de operação no semiciclo negativo. (a) Estado das chaves: $S_1=S_2=S_3="ON"$; (b) Estado das chaves: $S_1=S_2="ON"$, $S_3="OFF"$; (c) Estado das chaves: $S_1=S_2="OFF"$, $S_3="ON"$; (d) Estado das chaves: $S_1=S_2=S_3="OFF"$;.....	50
Figura 3.4 - Padrão de modulação PWM, padrão de comutação dos interruptores e tensão entre os nós a e n , v_{an} , para os dois semiciclos da corrente de entrada i_L . O interruptor S_1 deve operar para $i_L > 0$ enquanto S_3 permanece desligado. Para $i_L < 0$, o interruptor S_3 deve operar enquanto o S_1 permanece desligado. ...	51
Figura 3.5 - Comportamento da razão cíclica d em função de ωt para vários índices de modulação.	55
Figura 3.6 - Formas de ondas ideais para o retificador operando com alto fator de potência, valido para $M > 1/2$	56
Figura 3.7 - Normalização dos esforços de corrente médios em função do índice de modulação $M : IS = ISl_{gp}$, $k \in \{1, 3\}$, $l \in \{3, 4\}$, $i \in \{1, 2\}$, $j \in \{5, \dots, 8\}$. 65	65
Figura 3.8 - Normalização dos esforços de corrente eficaz em função do índice de modulação $M : I_{efS} = ISl_{gp}$, $k \in \{1, 3\}$, $l \in \{3, 4\}$, $i \in \{1, 2\}$, $j \in \{5, \dots, 8\}$, $m \in \{1, 2\}$ e $n \in \{3, 4\}$	67
Figura 4.1 - Estrutura básica de controle do circuito proposto.....	73
Figura 4.2 - Estratégia de controle da tensão de saída e da corrente de entrada na operação com PFC.	74
Figura 4.3 - Circuito equivalente para a implementação da estratégia de controle.....	75
Figura 4.4 - Diagrama de bloco representando a modelagem de controle da corrente de entrada.	76
Figura 4.5 - Diagrama de Blocos do controle da corrente por valores médios.	76
Figura 4.6 - Representação do conversor como uma resistência visto pela entrada.	77
Figura 4.7 – Diagrama de blocos do controle por valores médios com característica de entrada	79
Figura 4.8 - Circuito equivalente para modelagem da planta de tensão.....	79
Figura 4.9 - Malha adicionais para garantir o balanceamento da tensão nos capacitores do barramento CC, C_3 e C_4	83
Figura 4.10 - Malha adicional para garantir o balanceamento da tensão nos capacitores flutuantes C_1 e C_2	83

Figura 4.11 - Diagrama de blocos referente à estratégia empregada para controle.....	84
Figura 5.1 - Modelo do diodo para o cálculo das perdas.....	89
Figura 5.2 - Resultado das simulações: tensão da rede v_g , tensão comutada do conversor v_{an} , corrente sobre o indutor de entrada i_L e tensão de saída.....	93
Figura 5.3 - Resultado das simulações: tensão da rede v_g , tensão comutada do conversor v_{an} e corrente sobre o indutor de entrada i_L	93
Figura 5.4 - Resultado das simulações: tensão da sobre os capacitores C_1 e C_2 , e dos capacitores de saída C_3 e C_4	94
Figura 5.5 - Resultado das simulações: tensão da sobre os interruptores S_1 , S_2 e S_3	94
Figura 5.6 - Resultado das simulações: detalhe da atuação da tensão da sobre os interruptores S_1 e S_2	95
Figura 5.7 - Simulação do conversor e modelo para um degrau de 5% na referência de tensão, resposta na corrente de entrada i_L	98
Figura 5.8 - Comportamento da tensão de saída v_o simulado e do modelo matemático, diante de um degrau de referência na tensão de saída, v_o	98
Figura 5.9 - Esquemático utilizado no emprego do protótipo experimental.	99
Figura 5.10 - Fotografia do protótipo construído e usado para ensaios experimentais.	100
Figura 5.11 - Resultado experimental: tensão de rede v_g Canal 1 (100 V/div); corrente sobre o indutor de entrada i_L Canal 4 (10 A/div); tensão v_{an} , Canal channel 2 (100 V/div); tensão de saída v_o , Canal 3 (50 V/div).....	101
Figura 5.12 - Resultado experimental: tensão da sobre os capacitores flutuante C_1 e C_2 (canal 2 e 4, respectivamente, com 20 V/div), e dos capacitores de saída C_3 , canal 1 (25 V/div) e C_4 , canal 3 (25 V/div).....	102
Figura 5.13 - Resultado experimental: tensão da sobre os interruptores S_1 , S_2 e S_3	102
Figura 5.14 - Resultado experimental: detalhe da atuação da tensão da sobre os interruptores S_1 e S_2	103
Figura 5.15 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão de saída, v_o , canal 1 (50 V/div); corrente de entrada i_L , canal 2 (10 A/div); tensão da rede, v_g , canal 3 (100 V/div); e tensão v_{an} , canal 4 (100 V/div).	104
Figura 5.16 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão da sobre os capacitores flutuante C_1 e C_2 (canal 2 e 4, respectivamente, com 20 V/div), e dos capacitores de saída C_3 , canal 1 (50 V/div) e C_4 , canal 3 (50 V/div).	105

Figura 5.17 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão de saída, v_o , canal 1 (50 V/div); corrente de entrada i_L , canal 2 (10 A/div); tensão da rede, v_g , canal 3 (100 V/div); e tensão v_{an} , canal 4 (100 V/div).	105
Figura 5.18 - Espectro harmônico da corrente de entrada para a operação nominal....	106
Figura 5.19 - Rendimento medido em relação a variação da potência de saída.	107

LISTA DE TABELAS

Tabela 2.1 - Quadro resumo das principais topologias de 3-níveis, circuito, interruptores ativos, diodos e capacitores.	42
Tabela 2.2 - Quadro resumo das principais topologias de 5-níveis, circuito, interruptores ativos, diodos e capacitores.	44
Tabela 3.1 - Resumo do equacionamento dos esforços de corrente médio dos componentes e sua respectiva referência normalizada.	65
Tabela 3.2 - Resumo do equacionamento dos esforços de corrente eficaz dos componentes e sua respectiva referência normalizada.	66
Tabela 5.1 - Especificação dos parâmetros do projeto do conversor	87
Tabela 5.2 - Especificação dos componentes utilizados.....	87
Tabela 5.3 - Tabela com os parâmetros utilizado para a comparação entre modelo teórico e simulação, do degrau.	96
Tabela 5.4 - Comparativo entre os esforços de corrente teóricos e simulados para a operação nominal do conversor	97

LISTA DE ABREVIATURAS, ACRÔNIMOS E SIGLAS

ANPC	<i>Active Neutral Point Clamped</i>
ADC	<i>Analogic to Digital Converter</i>
BNPC	<i>Bidirecional Neutral Point Clamped</i>
CA	Corrente Alternada
CAPES	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
CC	Corrente Contínua
CCM	<i>Continuous Conduction Mode</i>
CHB	<i>Cacaded H-Bridge</i>
DCLP	<i>Diode Clamped</i>
DSP	<i>Digital Signals Processor</i> (Processador Digital de Sinais)
EMI	<i>Electromagnetic Interference</i> (Interferência Eletromagnética)
FPGA	<i>Field-Programmable Gate Array</i>
FC	<i>Flying Capacitor</i> (Capacitor Flutuante)
HNPC	<i>Hybrid Neutral Point Clamped</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
MMC	<i>Multilevel Modular Converter</i>
N	Níveis
NPC	<i>Neutral Point Clamped</i>
PFC	<i>Power Factor Correction</i>
PF	<i>Power Factor</i> (Fator de Potência)
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i>
SM	Sub Módulo
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
UPS	<i>Uninterruptible Power Supply</i> (Fontes Ininterruptas de Energia)
UTFPR	Universidade Tecnológica Federal do Paraná

LISTA DE SÍMBOLOS

Símbolo	Descrição	Unidade
C_n	Capacitor, $n \in \{1, \dots, n\}$	F
$C_{i(s)}$	Controlador genérico de corrente	-
$C_{v(s)}$	Controlador genérico de tensão	-
C_o	Capacitor de saída	F
D	Razão cíclica no ponto de operação	-
D_n	Diodo, $n \in \{1, \dots, n\}$	-
d	Razão cíclica variável no tempo	-
f_s	Frequência de comutação	Hz
f_g	Frequência da rede	Hz
$G_i(s)$	Planta de controle de corrente	-
$G_v(s)$	Planta de controle de tensão	-
g_{in}	Condutância emulada na entrada	S
G_{nom}	Condutância nominal	S
I	Corrente media	A
I_{ef}	Corrente eficaz	A
I_{efc}	Corrente eficaz no capacitor	A
I_{efD_n}	Corrente eficaz no diodo n	A
I_{efS_n}	Corrente eficaz no interruptor n	A
$i_{g,ref}$	Corrente de referência da entrada	A
I_{gp}	Corrente de pico da entrada	A
i_L	Corrente no indutor <i>boost</i>	A
i_{err}	Variação de corrente	A
$\langle i_{ef} \rangle$	Corrente eficaz quase instantânea eficaz	A
$\langle i_{efC_n} \rangle$	Corrente quase instantânea média no capacitor n	A
$\langle \overline{i_{T_s D_n}} \rangle$	Corrente quase instantânea média no diodo n	A
$\langle \overline{i_{T_s S_n}} \rangle$	Corrente quase instantânea média no interruptor n	A
$\langle \overline{i_{T_s}} \rangle$	Corrente quase instantânea média	A
\bar{I}_{efC_m}	Corrente eficaz normalizada no(s) capacitor(es) $m \in \{1, 2\}$	p.u
\bar{I}_{efC_n}	Corrente eficaz normalizada no(s) capacitor(es) $n \in \{3, 4\}$	p.u

\bar{I}_{efD_i}	Corrente eficaz normalizada no(s) diodo(s) $i \in \{1, 2\}$	p.u
\bar{I}_{D_i}	Corrente media normalizada no(s) diodo(s) $i \in \{1, 2\}$	p.u
\bar{I}_{efD_j}	Corrente eficaz normalizada no(s) diodo(s) $j \in \{5, \dots, 8\}$	p.u
\bar{I}_{D_j}	Corrente media normalizada no(s) diodo(s) $j \in \{5, \dots, 8\}$	p.u
$\bar{I}_{ef\{S_k, D_l\}}$	Corrente eficaz normalizada no(s) interruptor(es) e diodo(s) $k \in \{1, 3\}$ e $l \in \{3, 4\}$	p.u
$\bar{I}_{S_k D_l}$	Corrente média normalizada no(s) interruptor(es) e diodo(s) $k \in \{1, 3\}$ e $l \in \{3, 4\}$	p.u
\bar{I}_{efS}	Corrente normalizada no(s) interruptor(es) n	p.u
Δi_L	Ondulação de corrente pico-a-pico no indutor <i>boost</i>	A
$\bar{\Delta} i_L$	Ondulação de corrente normalizada	p.u
k_{ref}	Fator de referência do controlador	-
L	Indutor de entrada	H
M	Índice de modulação	-
m	Índice de modulação variável no tempo	-
P	Potência do sistema	W
P_i	Potência de entrada	W
P_{nom}	Potência nominal	W
\bar{p}_{in}	Potência instantânea normalizada	pu
p_{in}	Potência do instantânea do sistema	W
P_o	Potência de saída	W
R	Resistência	Ω
r_{in}	Resistência emulada na entrada	Ω
T_s	Período de comutação	s
V_{gp}	Tensão de pico da rede	V
v_{an}	Tensão na entrada do conversor	V
VDC	Tensão contínua	V
v_g	Tensão alternada da rede	V
Δv_L	Varição de tensão no indutor	V
V_o	Tensão de saída	V
V_p	Tensão de pico da rede	V
ω	Frequência angular da rede, em	rad/s;
θ_1 e θ_2	Ângulos de transição de v_{an}	rad

SUMÁRIO

1.	INTRODUÇÃO.....	19
1.1.	TEMA.....	20
1.1.1.	Delimitação do Tema.....	20
1.2.	PROBLEMA.....	21
1.2.1.	Premissas ou Hipóteses.....	21
1.3.	OBJETIVOS.....	22
1.3.1.	Objetivo Geral.....	22
1.3.2.	Objetivos Específicos.....	22
1.4.	JUSTIFICATIVAS.....	23
1.5.	PROCEDIMENTOS METODOLÓGICOS.....	23
1.6.	ESTRUTURA DO TRABALHO.....	24
1.7.	PUBLICAÇÕES.....	25
2.	REVISÃO BIBLIOGRÁFICA.....	26
2.1.	CONVERSORES PFC PWM MULTINÍVEIS MONOFÁSICOS.....	26
2.2.	CLASSIFICAÇÃO EM RELAÇÃO AO NÚMERO DE NÚMERO DE NÍVEIS-n.....	27
2.3.	VANTAGENS E DESVANTAGENS DOS MULTINÍVEIS.....	31
2.4.	TOPOLOGIAS MAIS COMUNS DE ACORDO COM OS NÍVEIS DE TENSÃO.....	32
2.4.1.	Conversor PFC de 2-Níveis.....	32
2.5.	CONVERSORES PFC DE 3-NÍVEIS.....	33
2.5.1.	Conversores PFC de 3-Níveis Viena e <i>Bidirecional Neutral Point Clamped</i> -BNPC.....	33
2.5.2.	Conversor PFC de 3-Níveis <i>Double Boost</i>	34
2.5.3.	Conversor PFC de 3-Níveis <i>Neutral Point Clamp</i> -NPC.....	34
2.5.4.	Conversor PFC de 3-Níveis <i>Flying Capacitor</i> - FC.....	35
2.6.	CONVERSORES PFC COM MAIS DE 3-NÍVEIS (MULTINÍVEIS)....	36
2.7.	CONVERSORES PFC DE 5-NÍVEIS.....	36
2.7.1.	Conversor PFC de 5-Níveis <i>Double-Boost</i> e BNPC.....	36
2.7.2.	Conversor PFC de 5-Níveis Híbrido Grampeado - ANPC.....	38
2.7.1.	O conversor <i>bridgeless</i>	39
2.7.2.	Conversor Multinível cascata de ponte H – Cascaded <i>H-Bridge</i> - CHB39	
2.8.	RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO.....	40
3.	RETIFICADOR CINCO NÍVEIS PROPOSTO.....	46

3.1. ETAPAS DE OPERAÇÃO DO RETIFICADOR.....	47
3.1.1. Análise para o semiciclo positivo	47
3.1.2. Análise para o semiciclo negativo	48
3.1.3. Esquema de modulação proposto	50
3.2. ESFORÇOS TEÓRICOS DE CORRENTE SOBRE OS COMPONENTES	51
3.2.1. Ondulação de corrente sobre o indutor <i>boost</i>	55
3.2.2. Ondulação de corrente parametrizada da corrente de entrada	57
3.2.3. Equacionamento das correntes médias dos interruptores S_1 , S_3 e diodos D_3 e D_4	58
3.2.4. Equacionamento das correntes eficazes dos interruptores S_1 , S_3 e diodos D_3 e D_4	59
3.2.5. Equacionamento da corrente média do interruptor S_2	59
3.2.6. Equacionamento da corrente eficaz do interruptor S_2	60
3.2.7. Equacionamento da corrente média e eficaz dos diodos D_1 e D_2	60
3.2.8. Equacionamento da corrente média dos diodos D_5 , D_6 , D_7 e D_8	60
3.2.9. Equacionamento da corrente eficaz dos diodos D_5 , D_6 , D_7 e D_8	61
3.2.10. Equacionamento da corrente eficaz dos capacitores do barramento de saída C_1 e C_2	62
3.2.11. Equacionamento da corrente eficaz dos capacitores do barramento de saída C_3 e C_4	63
3.3. ESFORÇOS DE CORRENTE NORMALIZADOS	64
3.4. ONDULAÇÃO DE TENSÃO NOS CAPACITORES DE SAÍDA.....	67
3.5. RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO	70
4. MODELAGEM DO CONTROLE DO RETIFICADOR MONOFÁSICO PROPOSTO	72
4.1. ESTRATÉGIA DE CONTROLE.....	72
4.2. MODELAGEM DO CIRCUITO EQUIVALENTE POR VALORES MÉDIOS DA CORRENTE DE ENTRADA.....	74
4.3. CONTROLE DA CORRENTE DA ENTRADA	76
4.4. CONTROLE DA TENSÃO DE SAÍDA.....	79
4.5. CONTROLE DA TENSÃO DOS CAPACITORES.....	82
4.6. DIAGRAMA DO MODELO DE CONTROLE PARA O RETIFICADOR PROPOSTO.....	84
4.7. RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO	84
5. PROJETO, PERDAS, SIMULAÇÃO, COMPARAÇÃO E RESULTADOS EXPERIMENTAIS.....	86
5.1. DEFINIÇÃO DO PROJETO.....	86
5.1.1. Escolha dos Parâmetros	86

5.1.2. Ondulação de Corrente do Indutor.....	88
5.1.3. Ondulação de Tensão de Saída	88
5.2. ESTIMATIVA DAS PERDAS	88
5.2.1. Metodologia.....	88
5.2.2. Perdas de condução nos Interruptores	89
5.2.3. Perdas de condução nos Diodos	90
5.2.4. Perdas de condução no indutor de entrada	91
5.2.5. Total de perdas e Rendimento teórico	92
5.3. RESULTADOS DE SIMULAÇÕES	92
5.4. COMPARAÇÃO ENTRE MODELO TEÓRICO E SIMULADO	95
5.4.1. Parâmetros para a comparação entre modelo teórico e simulado.....	95
5.4.2. Comparativo entre esforços de correntes teóricos e simulados	96
5.4.3. Comparação da resposta a um degrau de tensão para o modelo teórico e simulado.....	98
5.5. RESULTADOS EXPERIMENTAIS	99
5.5.1. THD	106
5.5.2. Rendimento em relação a variação da potência de saída.....	106
5.6. RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO	107
6. CONCLUSÃO	109
REFERÊNCIAS	111

1 INTRODUÇÃO

Conversores multiníveis são amplamente aplicados em sistemas ininterruptos de fornecimento de energia (*Uninterruptible Power Supply*– UPS), como os sistemas utilizados em Telecomunicação, Servidores, transmissão de energia elétrica, sistemas de geração de energia renovável, Geradores Eólicos (WU et al, 2016), carregadores de bateria para veículos elétricos/híbridos (WEN, 2011), aeroespacial, tração de trens elétricos (SALAET, 2006) dentre outras aplicações. Nestas aplicações a redução do tamanho, peso (YAN, 2014), eficiência, baixa Distorção Harmônica Total (*Total Harmonic Distortion* – THD), Interferência Eletromagnética (*Electromagnetic Interference* – EMI), e alto fator de correção de potência (*Power Factor Correction* – PFC, tolerar maiores tensões, mais baixa tensão, stress de corrente (dv/dt , di/dt), controle de rápido e preciso do fluxo de potência (SOUSA, 2014), são importantes.

Nas últimas duas décadas, vários retificadores *Pulse Width Modulation* – PWM foram propostos. Eles têm grande capacidade de fornecimento de energia e grande eficiência (FLORICAU et al, 2015). Estes sistemas de conversão de energia são um dos elementos chaves em sistemas que vão desde equipamentos de telecomunicação, transporte, informática até a aplicação aeroespacial.

Comumente é desejável reduzir o tamanho e peso de conversores de energia, e ao mesmo tempo atender ao custo e performances requeridos a cada aplicação (FLORICAU et al., 2015). Por exemplo, telecomunicações e informática a eficiência deve ser maximizada, para transporte (trens, carros, elétricos/híbridos) a capacidade de fornecimento de energia é mais relevante (CUZNER e VANDERMEER, 2004), já para aeronaves peso e tamanho é o que mais importa (FLORICAU et al., 2015).

1.1 TEMA

DESENVOLVIMENTO DE UM RETIFICADOR BOOST PWM MONOFÁSICO DE CINCO NÍVEIS COM CORREÇÃO DO FATOR DE POTÊNCIA.

Retificadores monofásicos tem um grande número aplicações e os conversores multiníveis apresenta muitas vantagens em relação as topologias de dois níveis, como menor distorção harmônica, menor volume dos filtros (indutores e capacitores), menores esforços de tensão sobre os semicondutores e menor interferência eletromagnética.

Este trabalho irá estudar sobre uma nova topologia de Retificadores Monofásico Multinível com Modulação por Largura de Pulso (*Pulse Width Modulation* – PWM), com Correção de Fator de Potência (*Power Factor Correction* – PFC).

A topologia apresentada se baseia na topologia de capacitor flutuante (Flying Capacitor-FC) e tem por principal diferença em relação as topologias de cinco níveis pesquisadas um menor número de interruptores controlados, um total de três interruptores controlados. Assim oferecendo uma redução no custo com *gate-drivers* e uma possível menor complexidade. Outra vantagem é que os semicondutores ficam submetidos a um menor esforços de tensão, 82% dos semicondutores tem um limite máximo de tensão igual a um quarto da tensão de saída. Isto permite um uso de semicondutores de tensão baixa.

1.1.1 DELIMITAÇÃO DO TEMA

A delimitação da pesquisa está sendo direcionada, principalmente, para a na base de dados do *Institute of Electrical and Electronics Engineers* – IEEE, Periódicos da CAPES, Repositório UTFPR, Repositório UFSC, dissertações e artigos que contenham o material mais atualizado que vem sendo feita para retificadores multinível, de dois, três, cinco, sete e nove níveis. Buscando assertivamente garantir que o projeto do circuito a ser estudado não tenha sido ainda pesquisado e assim buscar publicar do projeto em revista de maior conceito, congressos e na própria IEEE. Além da pesquisa, será feito a

simulação computacional do circuito proposto, análise matemática do circuito proposto, a aplicação prática e ensaio do mesmo em laboratório.

1.2 PROBLEMA

Os conversores multiníveis apresentam muitas vantagens em relação as topologias de 2 níveis, como a redução de esforços de correntes em semicondutores, menor tamanho de filtros e menores interferências eletromagnéticas (MUKHERJEE, 2019). Apresentam como desvantagens um grande número de componentes e complexidade de controle. Contudo o impacto da complexidade de controle vem sendo minizado com o avanço e ampla aplicação de processadores digitais (*Digital Signal Processor-DSP* e *Field-Programmable Gate Array-FPGA*) (LUPON, 2014).

A alta THD causa vários problemas na rede elétrica, como distorção da tensão da rede e aquecimento nos capacitores de correção do fator de potência – FP (ITOH et al. 2011). Estes componentes harmônicos geram potência reativa e baixo fator de potência (GWEC, 2014), que são indesejáveis.

Para aplicações que necessitem de alta tensão e/ou grande capacidade de fornecimento de energia, a maior preocupação do *boost* PFC convencional é o volume do indutor e o peso, e a perdas nos componentes (ZHANG et al. 1995) que afetam diretamente no custo, eficiência e capacidade de fornecimento de energia.

1.2.1 PREMISSAS OU HIPÓTESES

As simulações iniciais do circuito objeto dos estudos mostram resultados satisfatórios em relação a PFC e THD. O objetivo secundário é fazer a análise e cálculo do circuito e comprovar a eficácia destas características fundamentais à aplicação. Na terceira parte fica a cargo de comprovar estes resultados através da implementação em laboratório de um protótipo.

1.3 OBJETIVOS

1.3.1 OBJETIVO GERAL

A presente dissertação de mestrado tem por objetivo geral propor uma nova topologia de Retificador de Cinco Níveis elevador e apresentar uma análise dos modos de operação, teórica focada no equacionamento dos esforços de corrente sobre os componentes, estratégia de controle, comparação dos resultados teóricos e simulados, implementar um protótipo, coletar os resultados experimentais e realizar uma análise entre resultados teóricos, simulados e experimentais.

1.3.2 OBJETIVOS ESPECÍFICOS

Os objetivos específicos desta dissertação compreendem:

- Estudo bibliográfico do estado da arte de retificadores multiníveis;
- Propor uma nova topologia de retificador multinível;
- Apresentação do conversor proposto;
- Princípio de operação e análise em modo de condução contínua - CCM;
- Analisar matematicamente da estrutura proposta;
- Estudo e desenvolvimento da melhor estratégia de controle;
- Definição dos parâmetros do projeto;
- Simular e apresentar resultados simulados;
- Validar os resultados teóricos por meio da comparação com os resultados da simulação numérica;
- Implementar, ensaiar e aferir os resultados com os obtidos teoricamente;
- Contrastar resultados experimentais, com simulados e teóricos.

1.4 JUSTIFICATIVAS

Os conversores CA-CC têm grande aplicação em diversas áreas e são a topologia mais popular para correção do fator de potência (LIN e HUNG, 2002). Para atingir a atuação do PFC aos níveis desejados os conversores do tipo *boost* têm sido amplamente utilizados (CREVIER et al, 2005). A atuação PFC inclui modelar a forma de onda da corrente da entrada e a regulação da tensão de saída.

Para rede de baixa tensão, a tecnologia de conversores de multiníveis é uma das soluções para retificação com alto fator de potência, pois tem por maior vantagem a redução das perdas de comutação nos interruptores em $1/(N-1)$ da tensão CC de saída (ITOH et al, 2011), sendo N o número de níveis do conversor.

O estudo propõe o desenvolvimento de uma nova técnica de conversão de energia que sejam mais eficientes e/ou tenham menor custo. Por se tratar de uma topologia ainda não estudada e ensaiada, este projeto de pesquisa tem grande potencial em relação ao desenvolvimento de nova técnica que possa trazer maior eficiência ou custo e potencial futuro de novas pesquisa. E, portanto, justifica-se o estudo desse projeto para contribuir com o objetivo de pesquisa e desenvolvimento.

1.5 PROCEDIMENTOS METODOLÓGICOS

O trabalho seguirá a seguinte metodologia afim de verificar as características do conversor proposto:

1. Revisão bibliográfica: o trabalho proposto está fundamentado em embasamento da pesquisa bibliográfica de artigos, principalmente, pertencentes a base de dados da IEEE, dissertações e teses relacionadas ao tema deste trabalho.
2. Análise sistemático das etapas de operação do conversor proposto operando em regime permanente, por meio da descrição dos circuitos e formas de onda relevantes;

3. Análise quantitativa: representação matemática dos estados topológicos e de equações pertinentes ao projeto do conversor com os respectivos esforços nos interruptores, capacitores e no indutor.
4. Estudo do projeto de controle em malha fechada do conversor através do modelo por valores médios e modelamento matemático do projeto do controlador.
5. Avaliar o funcionamento do conversor e validar os estudos teóricos. Assim como a aplicação dos modelos matemáticos que definem as perdas nos componentes por condução.
6. Comparação dos resultados teóricos com os resultados numéricos simulados para validação de ambas análises.
7. Implementação do conversor: dimensionar e confeccionar um protótipo experimental a fim de validar os estudos, tanto resultados teóricos, com os simulados e o prático.
8. Análise sobre os resultados obtidos: realização de uma avaliação dos resultados obtidos.

1.6 ESTRUTURA DO TRABALHO

No Capítulo 1, será apresentada a introdução onde será exposto os principais elementos para compreensão do projeto proposto, como o tema, o problema e os objetivos da pesquisa, assim como as justificativas, os procedimentos metodológicos, estrutura do trabalho e publicações referentes ao objeto desta pesquisa.

No Capítulo 2, é apresentada a revisão da literatura de retificadores monofásicos multinível monofásicos elevadores PFC. Ao final do Capítulo 2 é apresentado um resumo e comentários sobre o capítulo.

No Capítulo 3, é apresentada a estrutura proposta, etapas de operação, esquema de modulação proposto, a análise matemática detalhada dos esforços de corrente e tensão, estes esforços normalizados em relação a corrente de entrada e ondulação sobre os capacitores do conversor proposto. Ao final do Capítulo 3 é apresentado um resumo e comentários sobre o capítulo.

No Capítulo 4, é apresentado a modelagem orientada ao controle é calculado a função de transferência do conversor, a fim de orientar a implementação prática da malha de controle fechada e as estratégias para controle da corrente de entrada, tensão de saída e balanceamento de tensão sobre os capacitores flutuantes e de saída. Ao final do Capítulo 4 é apresentado um resumo e comentários sobre o capítulo.

No Capítulo 5, é apresentado a definição do projeto, escolha dos parâmetros para as análises teóricas, simuladas e experimentais, cálculo das perdas, apresentar os resultados simulados e os comparar aos resultados teóricos, apresentar os resultados experimentais, THD medidas e rendimento em relação a potência do conversor proposto. Ao final deste capítulo é apresentado um resumo e comentários sobre o capítulo.

No Capítulo 6, são expostas as discussões e conclusões do trabalho referente aos objetivos específicos, além de sugestões para trabalhos futuros.

1.7 PUBLICAÇÕES

A partir dos estudos realizados a seguinte publicação relacionada a aplicação do conversor proposto foi aceita:

KOHLER, Michel Andrey Freitas de Souza; CORTEZ, Daniel Flores; Single-Phase Five-Level Flying-Capacitor Rectifier Using Three Switches; **In: IEEE Open Journal of Power Electronics**, 2020.

- DOI: 10.1109/OJPEL.2020.3023624.

2 REVISÃO BIBLIOGRÁFICA

2.1 CONVERSORES PFC PWM MULTINÍVEIS MONOFÁSICOS

Neste capítulo é apresentado uma revisão das principais topologias multiníveis PFC monofásicos. Segundo HELDWEIN et al. (2010) a pesquisa de retificadores unidirecionais multinível PFC do tipo *boost*, muitos derivados de topologias bidirecionais de três níveis, tem comprovado seus benefícios de acordo com os padrões de qualidade da energia, apresentando grande eficiência, baixo volume, tamanho e peso.

Principais fatores a considerar: PFC, rendimento, THD, volume dos indutores, perdas de comutação e condução. As principais vantagens dos conversores multiníveis é a menor distorção da tensão gerada, conseqüente redução da THD e redução dos componentes magnéticos (SOUSA, 2014). Quanto maior o número de níveis menores são os esforços de tensão sobre os semicondutores, a ondulação da corrente e as perdas de comutação (LIAO, 2011). As correntes harmônicas residuais na rede elétrica causam vários problemas, como distorção da tensão da linha e aquecimento nos capacitores de correção do Fator de Potência - FP (ITOH et al, 2011). Os conversores multiníveis fornecem uma solução para a redução das correntes harmônicas.

O FP é a relação entre potência útil e a potência aparente drenada pelo sistema por uma dada carga elétrica. É um índice que reflete o quão eficiente um sistema é em converter energia elétrica em trabalho útil (ÖSBAKIR, 2016). A correção do fator de potência (PFC) envolve modelar a forma de onda corrente de linha, mantê-la em fase com a tensão da rede (LIAO, 2011). Os conversores multiníveis, principalmente os de maiores números de níveis, são capazes de gerar tensões com valores médios instantâneos que se aproximam as tensões senoidais puras da rede (HELDWEIN, 2010). Assim os conteúdos harmônicos produzidos são menores, permitindo menores filtros de entrada, em conseqüência o custo e o tamanho dos indutores são menores, proporcionais a indutância (LIAO, 2011).

Conversores com corrente de entrada próxima a senoidal tem sido amplamente utilizado para aumentar o FP e reduzir as componentes harmônicas para atender os limites das normas IEC 1000-3-2 (LIN e HUNG, 2002) e IEC 61000-3-2 (CHEN e LIAO, 2014).

Retificadores PWM de média tensão requerem semicondutores que comportem altos esforços de tensão. Estes semicondutores têm problemas conhecidos, como perdas de comutação e baixas velocidades de comutação. Por não comportarem comutação em alta frequência necessitam de filtros grandes e caros (ITOH, 2011). Segundo Lago (2015), para os níveis de tensão praticados atualmente de média tensão, um único interruptor não tem a capacidade de bloqueio da tensão total requerida e fabricantes utilizam técnicas para divisão das tensões, tipicamente entre diversos interruptores. Neste contexto os conversores multiníveis se tornam a melhor aplicação.

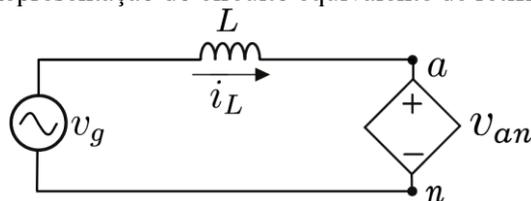
Conversores multiníveis, devido, principalmente, à divisão dos esforços de tensão nos semicondutores, possibilitando o desenvolvimento de conversores com potências cada vez mais elevadas (SOUSA, 2014). Como apresentam uma forma onda da tensão na entrada do circuito mais próxima a senoidal, reduzem significativamente o volume dos indutores (YUAN, 2014) e reduzem as correntes derivadas das THD. Em geral um conversor de n -níveis pode reduzir a tensão sobre a chave em um fator de $1/(N-1)$ da tensão de saída V_o (ITOH, 2011).

A título de revisão será apresentado a classificação em relação ao número de níveis, vantagens e desvantagens dos multiníveis, topologias mais conhecidas, dois níveis, três níveis (Viana, *Double Boost*, *Neutral Point Clamped-NPC*, também chamada de *Diode Clamped-DCLP*, *Flying Capacitor-FC*, conversores com mais de três níveis, *Hybrid Neutral Point Clamped-HNPC*, *Active Neutral Point Clamped-ANPC*, *Cascaded H-bridge-CHB*, *Neutral Point Clamped H-bridge*, *Modular Multi-level Converter- MMC* e os princípios básicos de funcionamento de cada topologia, e por serem as mais utilizadas industrialmente.

2.2 CLASSIFICAÇÃO EM RELAÇÃO AO NÚMERO DE NÍVEIS-N

Um dos principais fatores empregado para a classificação das topologias de conversores PFC é o número de níveis gerados na tensão de entrada do conversor (v_{an} , Figura 2.1), que pode variar entre dois, para a topologia mais simples, até dezenas de níveis. Conversores com três níveis ou mais são denominados multiníveis (SOUSA, 2014).

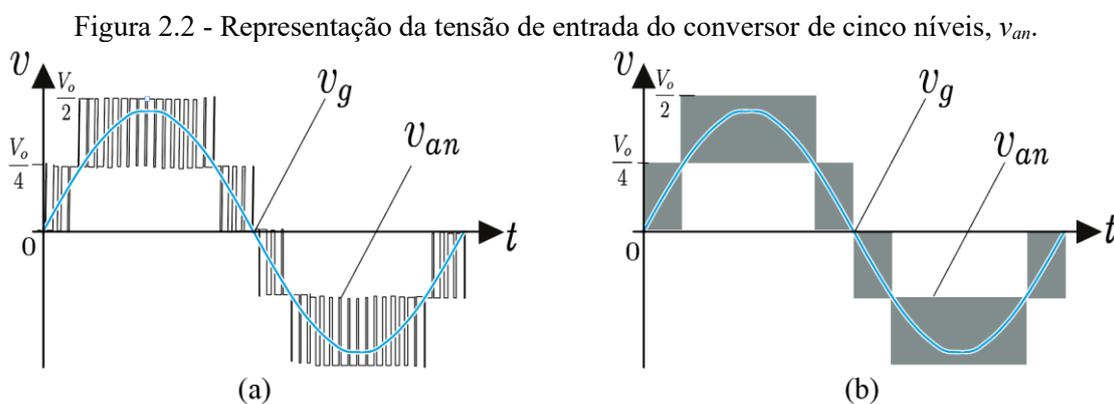
Figura 2.1 - Representação do circuito equivalente de retificadores PWM.



Fonte: Autoria própria.

Abaixo segue ilustração das tensões de entradas dos conversores PWM PFC mais típicos de dois níveis, três, cinco, sete e nove níveis e um circuito correspondente para ilustrar. Como o objetivo é o conversor de cinco níveis, vamos focar mais nestas topologias do que nas outras.

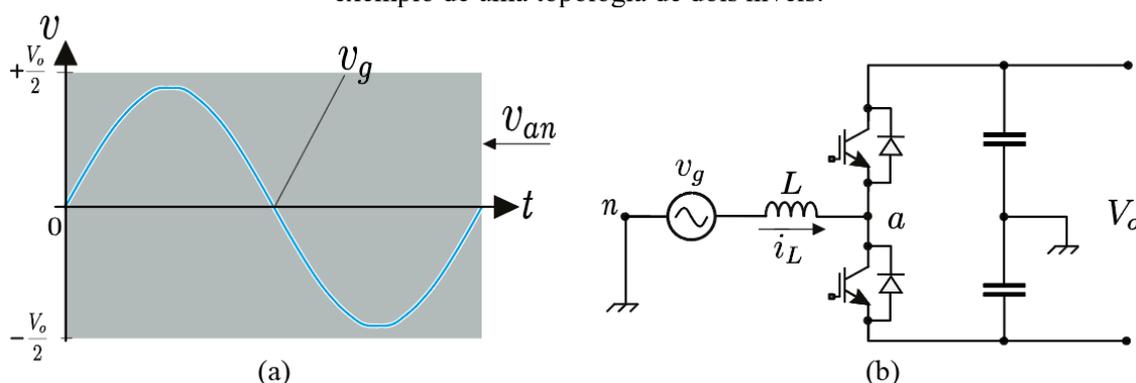
Vale salientar que a tensão de entrada dos conversores multiníveis apresenta alta frequência de comutação representado pela Figura 2.2 (a) na qual observasse a tensão de entrada do conversor v_{an} comutando em alta frequência durante um período da rede v_g . Para efeito de representação vamos usar a representação da Figura 2.2 (b), usada por exemplo por ITOH (2011). Contudo observar que esta segunda é a representação simplificada da tensão de entrada do conversor multinível.



Fonte: Autoria própria.

A Figura 2.3 (a) representa a forma de tensão na entrada (v_{an}) de um conversor de dois níveis, a tensão da rede v_g e a tensão de saída do conversor V_o . Nota-se que a tensão na entrada do conversor percorre dois patamares distintos de tensão dominantes, de $+V_o/2$ a $-V_o/2$. A Figura 2.3 (b) representa um exemplo de uma topologia com essa característica.

Figura 2.3 - (a) representação da tensão de entrada v_{an} de um conversor de dois níveis; (b) exemplo de uma topologia de dois níveis.

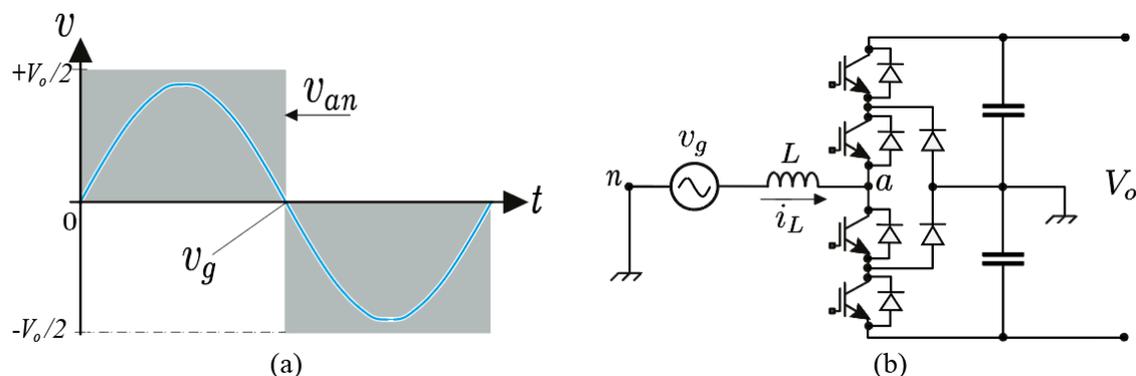


Fonte: Autoria própria.

A Figura 2.4 (a) representa a forma de tensão na entrada (v_{an}) de um conversor de três níveis, a tensão da rede v_g e a tensão de saída do conversor V_o . Nota-se que a tensão na entrada do conversor percorre três patamares distintos de tensão dominantes, de $+V_o/2$, 0 e $-V_o/2$.

A Figura 2.4 (b) representa um exemplo de uma topologia de três níveis, chamado de *Neutral Point Clamped – NPC* ou *Diode Clamped – DCLP*.

Figura 2.4 - (a) representação da tensão de entrada v_{an} de um conversor de três níveis; (b) exemplo de uma topologia de três níveis (*Neutral Point Clamped-NPC*).

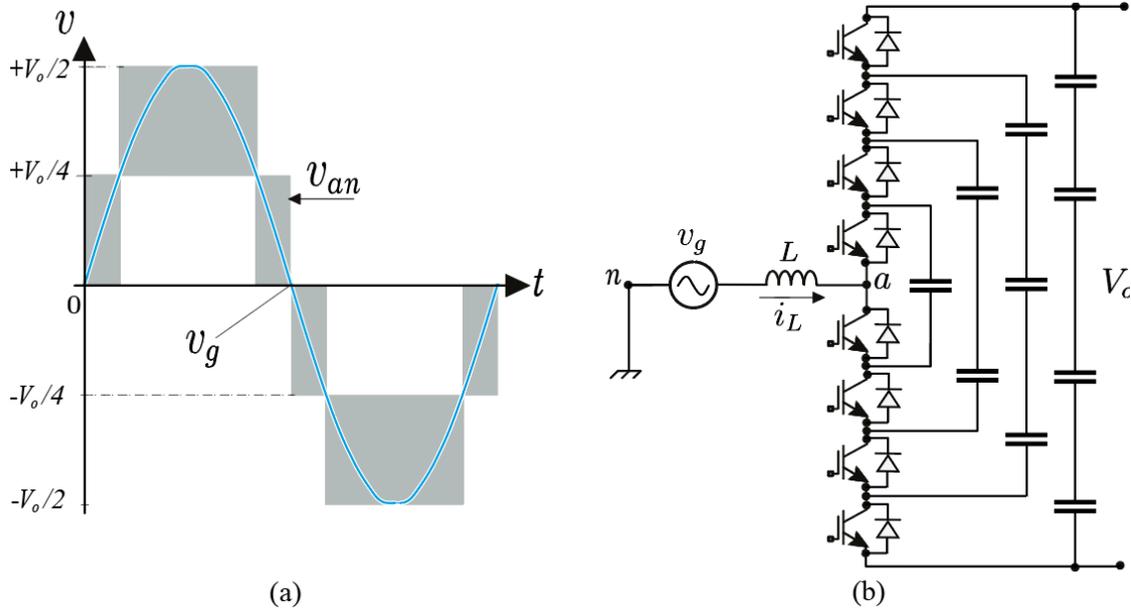


Fonte: Autoria própria.

A Figura 2.5 (a) representa a forma de tensão na entrada (v_{an}) de um conversor de cinco níveis, a tensão da rede v_g e a tensão de saída do conversor V_o . Nota-se que a tensão na entrada do conversor percorre cinco patamares de tensão dominantes, a notar:

$+V_o/2$, $+V_o/4$, 0 , $-V_o/4$ e $-V_o/2$. A (b) representa um exemplo de uma topologia de cinco níveis, chamado de *Flying Capacitor – FC* (ITOH, 2011).

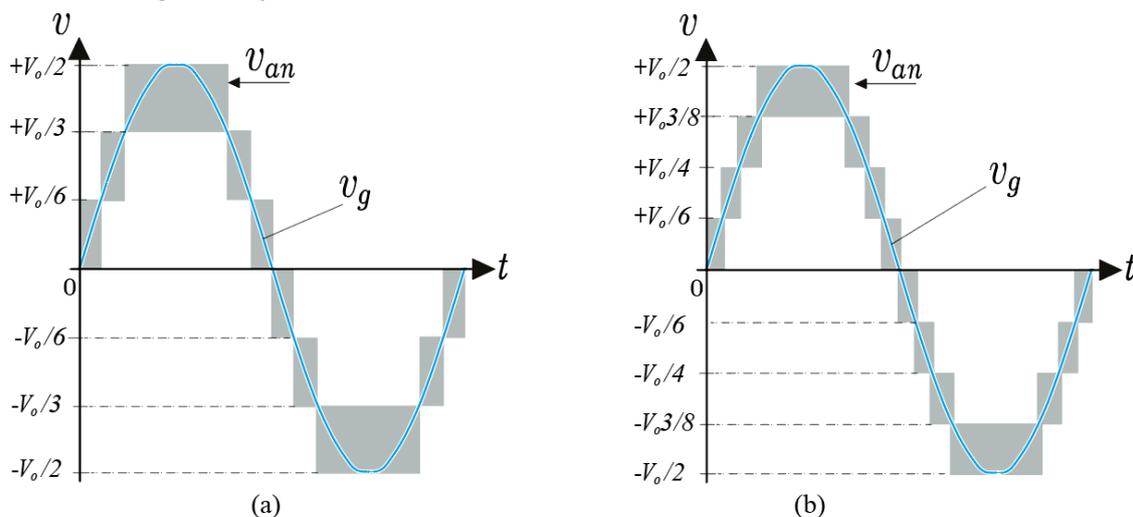
Figura 2.5 - (a) representação da tensão de entrada de van de um conversor de cinco níveis;
(b) exemplo de uma topologia de cinco níveis (*Flying Capacitor-FC*).



Fonte: adaptado de ITOH, 2011.

A Figura 2.6 (a) e (b) contêm a forma de tensão na entrada (v_{an}), a tensão da rede v_g e a tensão de saída do conversor V_o de um conversor de sete níveis (a) e nove níveis (b). Notasse que a tensão na entrada v_{an} do conversor (a) percorre sete patamares distintos de tensão dominantes, a notar: $[+V_o/2, +V_o/3, +V_o/6, 0, -V_o/6, -V_o/3 e -V_o/2]$. Da mesma forma que a tensão na entrada v_{an} do conversor (b) percorre nove patamares de tensão dominantes, a notar: $[+V_o/2, +3V_o/8, +V_o/4, +V_o/8, 0, -V_o/8, -V_o/4, -3V_o/8 e -V_o/2]$.

Figura 2.6 - (a) representação da tensão de entrada de van de um conversor de sete níveis; (b) representação da tensão de entrada de v_{an} de um conversor de nove níveis.



Fonte: Autoria própria.

Aspectos importantes desta etapa é salientar a forma de onda resultante de uma topologia com maior número de níveis, como no caso Figura 2.6 (b) de nove níveis, tem uma forma de onda mais próxima da tensão da rede v_g o que resulta em uma menor THD. Na contrapartida, há uma necessidade maior de um complexo controle dos interruptores. Na sequência, será ponderado as vantagens e desvantagens destas topologias de maior número de chaves.

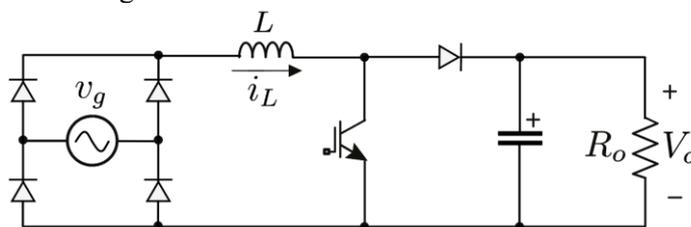
2.3 VANTAGENS E DESVANTAGENS DOS MULTINÍVEIS

Conversores PFC multiníveis, devido as baixas perdas de comutação, redução do tamanho dos filtros necessários (indutores e capacitores) e grande capacidade de fornecimento de potência, estão sendo utilizado em aplicações em que a qualidade da tensão de saída, a redução do tamanho do conversor e peso são importantes (YUAN, 2014). Quanto maior o número de níveis de um conversor, menor a distorção da tensão gerada. Por outro lado, o uso de topologias com um grande número de interruptores controlados requer sistemas de controle e moduladores avançados (SOUSA, 2014).

2.4 TOPOLOGIAS MAIS COMUNS DE ACORDO COM OS NÍVEIS DE TENSÃO

Geralmente grande parte dos conversores PFC tem por principal função modelar a forma de onda da corrente e regular a tensão de saída (CHEN, 2014). São compostos por associações entre uma ponte retificadora de onda completa a diodos e um conversor CC-CC. A topologia mais popular é o retificador *boost* convencional apresentada na Figura 2.7 que apresenta baixo custo de produção, limite de tensão de saída, limite de capacidade de potência até 1 kW (LANGE, 2012) e suas principais desvantagens está o grande tamanho do indutor de entrada e alta THD.

Figura 2.7 - Retificador *boost* convencional.

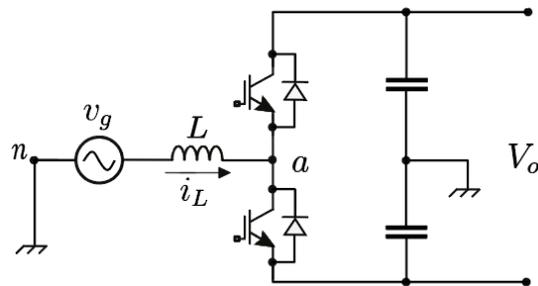


Fonte: Autoria própria.

2.4.1 CONVERSOR PFC DE 2-NÍVEIS

Com relação aos retificadores convencionais, o conversor CA-CC de dois-níveis, Figura 2.8, apresenta maior capacidade de tensão de saída V_o e de potência (LAGO, 2015). Contudo, apresenta perdas de comutação significativamente maiores, a alta distorção harmônica, tornando necessário o uso de filtros, aumentando a circulação de reativos e diminuindo a eficiência do sistema (SOUSA, 2014).

Figura 2.8 - Conversor de dois níveis.



Fonte: A autoria própria.

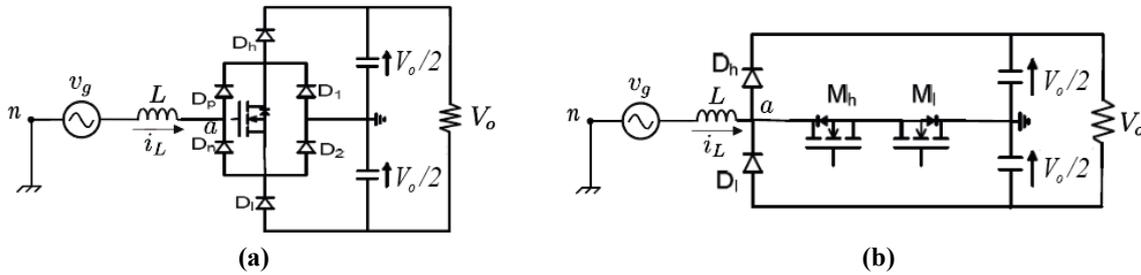
2.5 CONVERSORES PFC DE 3-NÍVEIS

Topologias de três níveis do tipo *boost* PFC, são as soluções indicadas para aplicações que precisam de grande capacidade de fornecimento de energia e alta eficiência (ÖSBAKIR, 2016). A maior desvantagem dos conversores três níveis em geral é o maior número de componentes que formam o conversor. Os conversores NPC e FC são os conversores de três níveis bidirecionais mais conhecidos, tanto na indústria como na pesquisa (SOUSA, 2014).

2.5.1 CONVERSORES PFC DE 3-NÍVEIS VIENA E *BIDIRECIONAL NEUTRAL POINT CLAMPED-BNPC*

O conversor PFC Viena, Figura 2.9 (a), é mais econômico, apresenta apenas um interruptor com grande limitação na capacidade de fornecimento de energia (PHAM et al., 2009) e é considerado o retificador da topologia unidirecional do tipo *boost* PFC mais popular (FLORICAU et al. 2015). Já o *Bidirecional Neutral Point Clamp-BNPC*, Figura 2.9 (b), tem maior capacidade de fornecimento de energia, mas os seus diodos têm de comportar a tensão V_o total (PHAM et al., 2009).

Figura 2.9 - (a) Conversor PFC Viena; (b) Conversor PFC *Bidirecional Neutral Point Clamp*-BNPC.

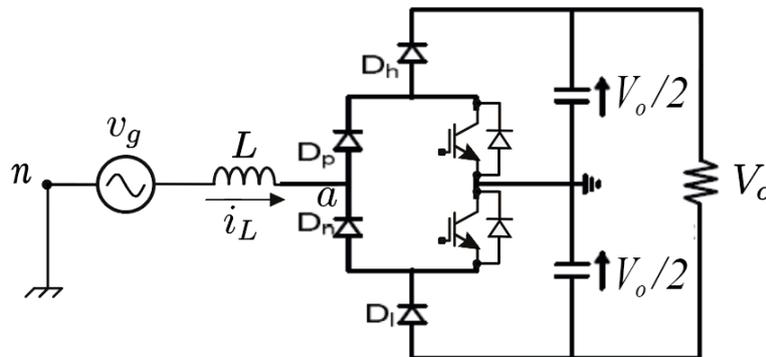


Fonte: Adaptado de Pham et al. (2009, p. 2).

2.5.2 CONVERSOR PFC DE 3-NÍVEIS *DOUBLE BOOST*

Com relação aos conversores Viena e BNPC, o conversor *Double-boost* Figura 2.10 tem capacidade de fornecimento de energia maior, perdas de comutação menor e tensão de saída dobrada ($+V_o$ e $-V_o$) (PHAM, 2009).

Figura 2.10 - Conversor PFC 3N *Double Boost*.

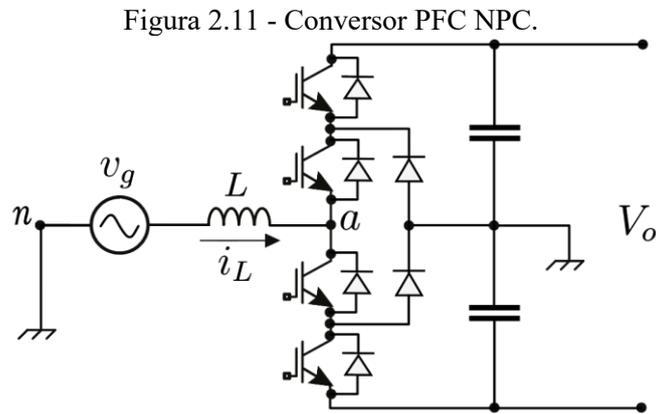


Fonte: Adaptado de Pham et al. (2009, p. 2).

2.5.3 CONVERSOR PFC DE 3-NÍVEIS *NEUTRAL POINT CLAMP*-NPC.

O conversor PFC de 3-níveis *Neutral Point Clamp*-NPC da Figura 2.11, tem seu funcionamento baseado na divisão da tensão do barramento CC entre os semicondutores em duas partes iguais, formando um barramento bipolar equilibrado (LAGO, 2015). A desvantagem deste conversor é a distribuição desigual das perdas no conversor, que limita

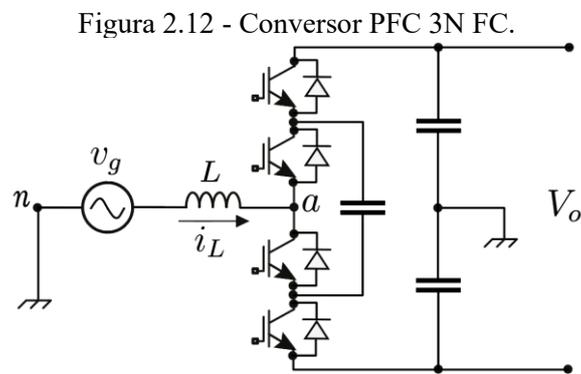
a potência máxima de funcionamento devido a questões térmicas (SOUSA, 2014). Outra desvantagem, é necessário elaborar um sistema de modulação e controle complexo para garantir a divisão equilibrada de tensão entre os capacitores de barramento (BATSCHAUER, 2011).



Fonte: Adaptado de Sousa (2014, p. 7).

2.5.4 CONVERSOR PFC DE 3-NÍVEIS *FLYING CAPACITOR* - FC.

Com relação ao NPC, a topologia FC apresentado na Figura 2.12 tem menor quantidade de semicondutores. Contudo é necessário o balanceamento da tensão de saída dos capacitores, pré-carga dos capacitores e para que os capacitores tenham valor e tamanho reduzidos, os interruptores operando em alta frequência é recomendado (SOUSA, 2014).



Fonte: Adaptado de Sousa (2014, p. 8).

2.6 CONVERSORES PFC COM MAIS DE 3-NÍVEIS (MULTINÍVEIS)

Para tensões de saída V_o maiores e/ou capacidade de fornecimento de energia maiores (MW) é bastante popular na indústria (LAGO, 2015) a aplicação de topologias multinível maiores, baseado em dividir o barramento CC em diversos segmentos de menor tensão, sendo que cada chave fica submetido apenas a esta parcela reduzida de tensão. Assim mantendo os semicondutores dentro dos limites com os quais possam comutar com segurança.

A única alternativa para o aumento da tensão com a qual um conversor pode operar é o desenvolvimento de topologias multiníveis que permitam uma divisão ainda maior dos esforços de tensão (SOUSA, 2014).

Vale aqui salientar que apesar de ser apresentados bastante argumentos quanto a altas tensões e altas potência, isto é trazido em destaque pois são características relevantes apontadas pelos autores citados de acordo cada topologia estudada.

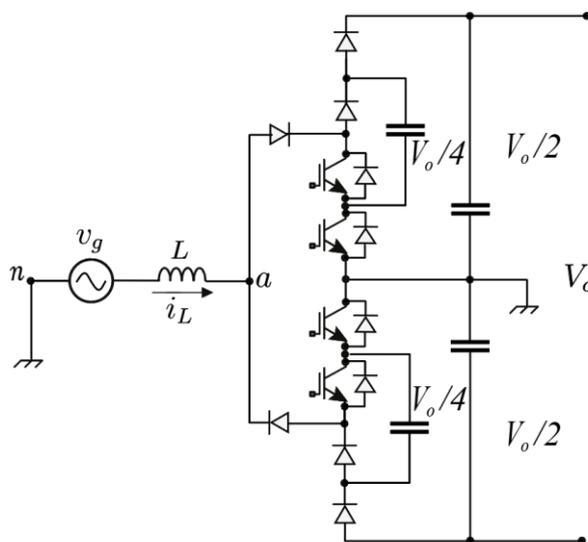
2.7 CONVERSORES PFC DE 5-NÍVEIS

2.7.1 CONVERSOR PFC DE 5-NÍVEIS *DOUBLE-BOOST* E BNPC

O retificador *double-boost* se baseia no retificador *boost* convencional, apresentado na Figura 2.7 e que tem por características circuito simples, baixo custo e perdas de condução. O retificador se caracteriza por um arranjo de uma única célula interruptor-diodo. Já os retificadores do tipo *double-boost* vão se caracterizar por um arranjo de duas células interruptor-diodo, saída de tensão CC dobrada e densidade e perdas reduzidas, (PHAM, 2009).

A Figura 2.13 mostra exemplo de um arranjo de conversor PFC de 5 níveis *double-boost* PFC, que é uma das topologias amplamente utilizadas em muitas aplicações (OSBAKIR, 2016). Esta topologia apresenta baixas perdas, baixa densidade e somente um quarto da tensão de saída sobre os semicondutores, (PHAM, 2009).

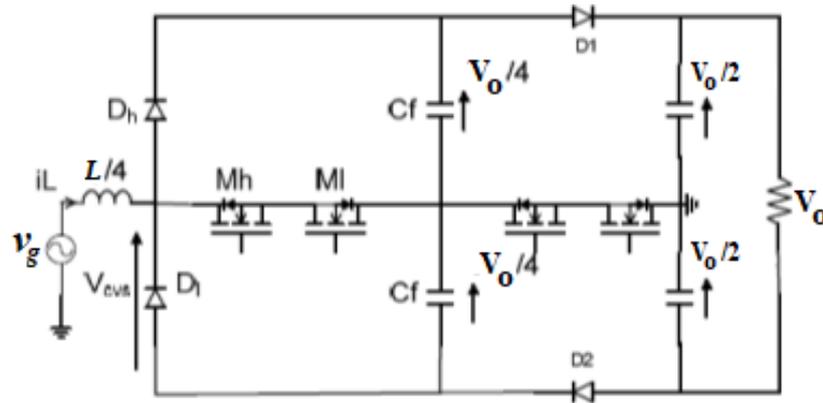
Figura 2.13 - Conversor PFC 5N *Double Boost*.



Fonte: Adaptado de Pham et al. (2009, p. 4).

A Figura 2.14 mostra o conversor de 5-níveis baseado no BNPC, sendo um BNPC de 3-níveis cascateado com outro, nomeado de 5-níveis PFC empilhado (*stacked*). Os capacitores flutuantes (*flying capacitor*) são estimados em relação a frequência de chaveamento e não em relação a frequência da rede, devem tolerar somente um esforço de tensão de $V_o/4$ e suporta uma corrente em metade do período CA. Estas propriedades de utilizar a frequência de chaveamento para especificar os capacitores, tensão reduzida e metade do período CA de operação permitem a aplicação de capacitores flutuantes muito menores, tanto em tamanho como capacitância e baixas correntes eficazes (RMS) comparados a topologia PFC FC (PHAM, 2009).

Figura 2.14 - Conversor PFC 5N BNPC.

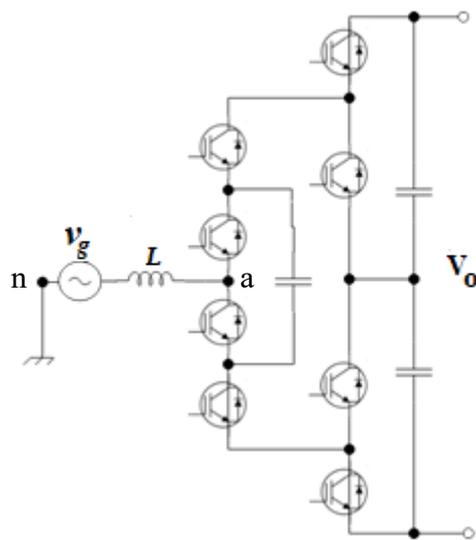


Fonte: Adaptado de Pham et al. (2009, p. 4).

2.7.2 CONVERSOR PFC DE 5-NÍVEIS HÍBRIDO GRAMPEADO - ANPC

O conversor híbrido grampeado de cinco níveis, também conhecido como Active Neutral Point Clamped-ANPC mostrado na Figura 2.15 tem o número mínimo de componentes para manter a tensão de grampeamento do capacitor e capacidade de controle da tensão no ponto central (YUAN, 2014). Conseqüentemente menor custo, mas maior esforço sobre os interruptores.

Figura 2.15 - Conversor PFC 5N ANPC.

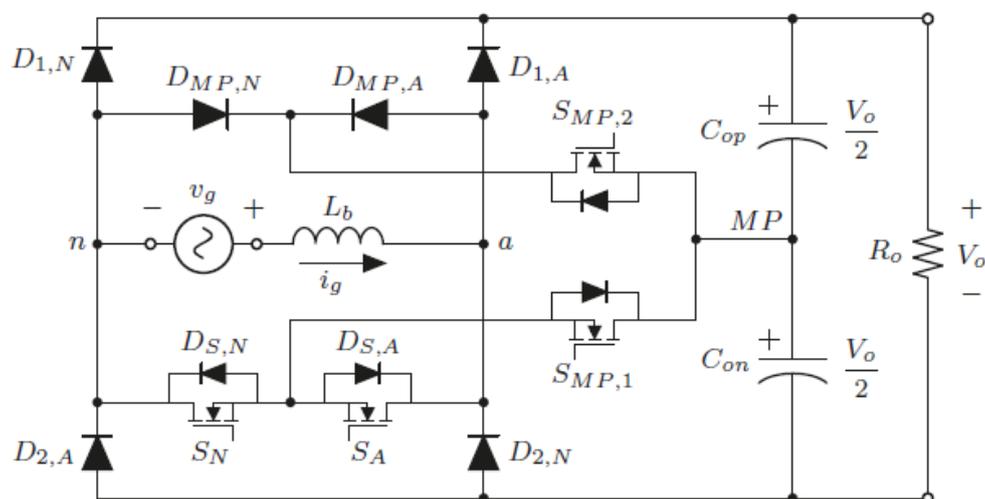


Fonte: Adaptado de Yuan (2014, p. 5394).

2.7.1 O CONVERSOR *BRIDGELESS*

Na estrutura da Figura 2.16 é apresentada uma variação da topologia denominada *bridgeless* (sem ponte), em referência à integração da ponte retificadora de diodos no arranjo de semicondutores de potência. Nesta topologia a corrente sempre circula através de três dispositivos semicondutores, visando aumentar o rendimento dos estágios retificadores, através da integração entre as etapas de retificação e da conversão CC-CC em um mesmo estágio, (LANGE, 2012).

Figura 2.16 - Conversor *bridgeless*.



Fonte: Lange, 2012.

2.7.2 CONVERSOR MULTINÍVEL CASCATA DE PONTE H – CASCADED *H-BRIDGE* - CHB

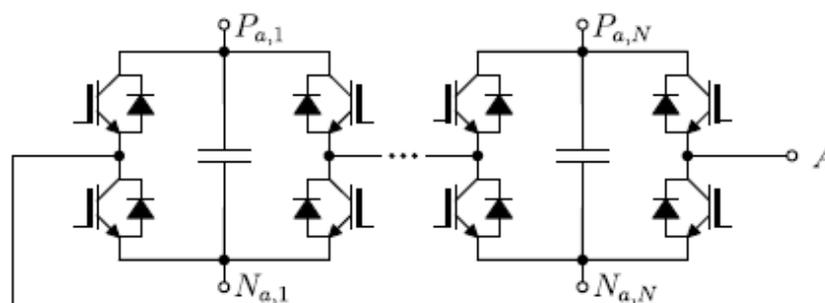
O cascadeamento de conversores é uma maneira eficaz de diminuir a tensão sobre os interruptores, aumentando o número de níveis, assim reduzindo significativamente a distorção harmônica e o volume dos filtros (SOUSA, 2014). O conversor multinível mais difundido é o conversor cascata Ponte H ou *Cascade H-Bridge-CHB*, na Figura 2.17 cada uma das células é individualmente alimentada e cada uma possui seu próprio barramento CC. O funcionamento básico da estrutura consiste em conectar ou desconectar estes

barramentos individuais da carga, de modo a compor a tensão de saída desejada (LAGO, 2015).

Segundo Sousa (2014) principal vantagem do CHB é a simplicidade do esquema de modulação e controle, além de uma distribuição equitativa de perdas e ótimo FP na entrada. Sua principal desvantagem é o grande número de fontes isoladas necessárias (BAUTSCHAUER, 2011), transformadores, uma por módulo, sendo assim, este conversor é usualmente empregado em sistemas unidirecionais.

Para o conversor multinível cascata ponte H é necessário um bom balanceamento dos capacitores e um bom cuidado com a modulação se faz necessário para garantir o equilíbrio do sistema.

Figura 2.17 - Conversor Multinível cascata Ponte H.



Fonte: Adaptado de Sousa (2014, p. 10).

2.8 RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO

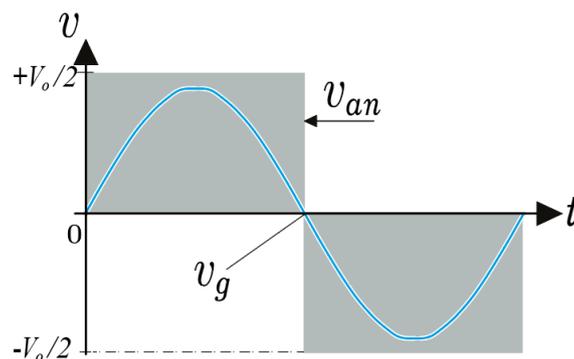
Este capítulo apresentou uma revisão bibliográfica com os conversores retificadores multinível, suas vantagens e desvantagens em relação a quantidade de níveis. As principais vantagens dos conversores multiníveis são PFC, alto rendimento, baixa THD, volume dos indutores menores, perdas de comutação e condução.

A principal classificação está relacionada a tensão de entrada do conversor, que tem por característica ser uma tensão comutada em alta frequência com níveis de tensão bem definidos. Quanto maior o número de níveis menores são os esforços de tensão sobre os semicondutores, a ondulação da corrente e as perdas de comutação.

Como o objetivo do trabalho é o estudo e desenvolvimento experimental de uma nova topologia foi feita uma extensiva pesquisa sobre topologias de 3-níveis, com foco principalmente nos *FC*, *double-boost* e nos 5-níveis que as bases do conversor proposto.

Dos conversores de 3-níveis foram apresentadas diferentes topologias que tem como característica comum a tensão de entrada do conversor comutada em alta frequência representada pela Figura 2.18.

Figura 2.18 - Representação da tensão comutada de entrada v_{an} de um conversor de 3-níveis.



Fonte: Autoria própria.

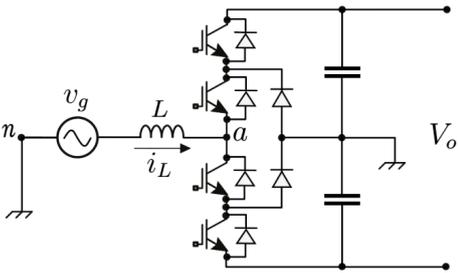
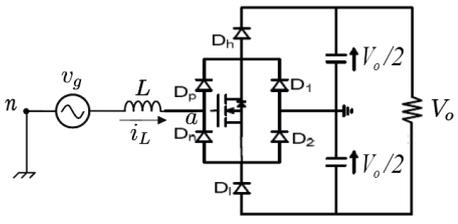
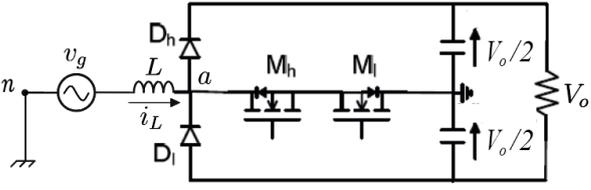
Pela análise das diferentes topologias de 3-níveis apresentadas neste capítulo, foi elaborada a Tabela 2.1 que apresenta um quadro resumo das principais topologias, na qual é possível observar de cada uma o esquema do circuito, número de interruptores ativos, diodos e capacitores.

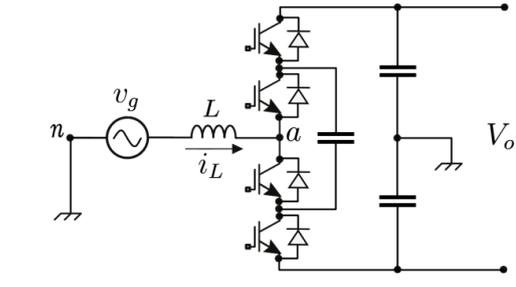
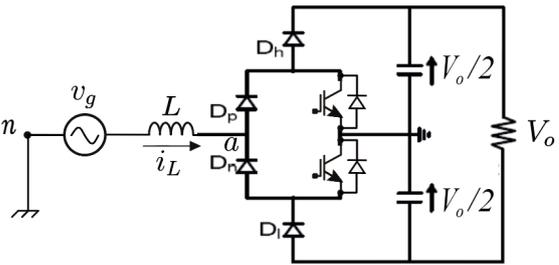
O número de interruptores ativos é um dado importante, pois quanto menor a quantidade, menores os gastos com *gate-drivers* isolados e possivelmente uma menor complexidade na implementação do controle.

O número de diodos é outro aspecto importante, pois quanto menor a quantidade, menores as perdas por condução e comutação. As perdas por comutação nos diodos são significativas para altas frequências de comutação, algo maior do que 40 kHz, dependendo da característica dos componentes e tendem a se aplicar a todos os conversores multiníveis.

O número de capacitores é relevante, pois quanto maior a quantidade de capacitores maior o volume e maior a necessidade de controle da tensão sobre os capacitores para garantir o equilíbrio do sistema.

Tabela 2.1 - Quadro resumo das principais topologias de 3-níveis, circuito, interruptores ativos, diodos e capacitores.

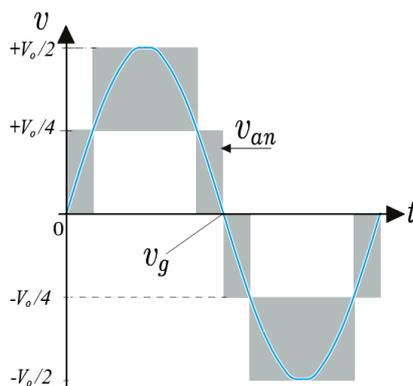
Topologia e referência	Circuito de exemplo	Interruptores ativos	Diodos	Capacitores
<p><i>Neutral Point Clamped-NPC</i></p>		4	2	2
<p>Conversor PFC Viena Adaptado de Pham et al. (2009, p. 2).</p>		1	6	2
<p>Conversor PFC Bidirecional Neutral Point Clamp-BNPC Adaptado de Pham et al. (2009, p. 2).</p>		2	2	2

<p>Conversor PFC <i>Flying Capacitor-FC</i> Adaptado de Sousa (2014, p. 8).</p>		4	0	3
<p>Conversor PFC <i>Double Boost</i>. Adaptado de Pham et al. (2009, p. 2).</p>		2	4	2

Fonte: Autoria própria.

Para os conversores de 5-níveis foram apresentadas diferentes topologias que tem como característica comum a tensão de entrada do conversor comutada em alta frequência representada pela Figura 2.19.

Figura 2.19 - Representação da tensão comutada de entrada v_{an} de um conversor de 5-níveis.



Fonte: Autoria própria.

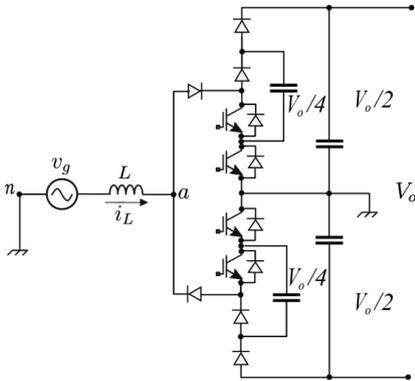
Pela análise das diferentes topologias de 5-níveis apresentadas neste capítulo, foi elaborada a Tabela 2.2 que apresenta um quadro resumo das principais topologias, na qual é possível observar de cada uma o esquema do circuito, número de interruptores ativos, diodos e capacitores.

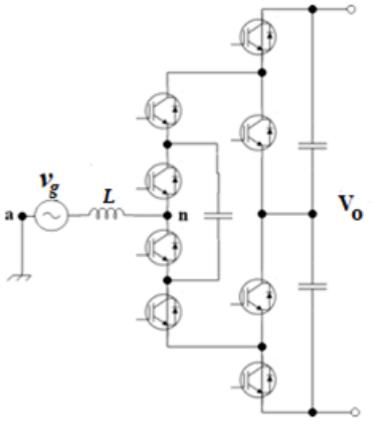
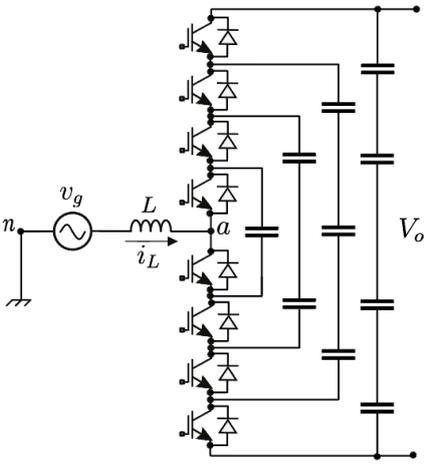
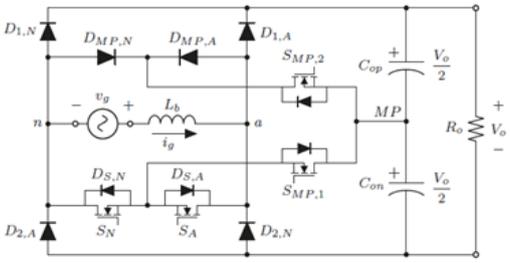
O número de interruptores ativos é um dado importante, pois quanto menor a quantidade, menores os gastos com *gate-drivers* isolados e possivelmente uma menor complexidade na implementação do controle.

O número de diodos é outro aspecto importante, pois quanto menor a quantidade, menores as perdas por condução e comutação. As perdas por comutação nos diodos são significativas para altas frequências de comutação, dependendo da característica dos componentes e tendem a se aplicar a todos os conversores multiníveis.

O número de capacitores é relevante, pois quanto maior a quantidade de capacitores maior é o volume e maior a necessidade de controle da tensão sobre os capacitores para garantir o equilíbrio do sistema.

Tabela 2.2 - Quadro resumo das principais topologias de 5-níveis, circuito, interruptores ativos, diodos e capacitores.

Topologia e referência	Circuito de exemplo	Interruptores ativos	Diodos	Capacitores
Conversor PFC 5N <i>Double Boost.</i> Adaptado de Pham et al. (2009, p. 4).		4	6	4

<p>Conversor Active Neutral Point Clamped-ANPC Adaptado de Yuan (2014, p. 5394).</p>		6	0	3
<p><i>Flying Capacitor-</i> FC</p>		8	0	4
<p>Conversor <i>bridgeless.</i> Fonte: Lange, 2012</p>		4	6	2

Fonte: Autoria própria.

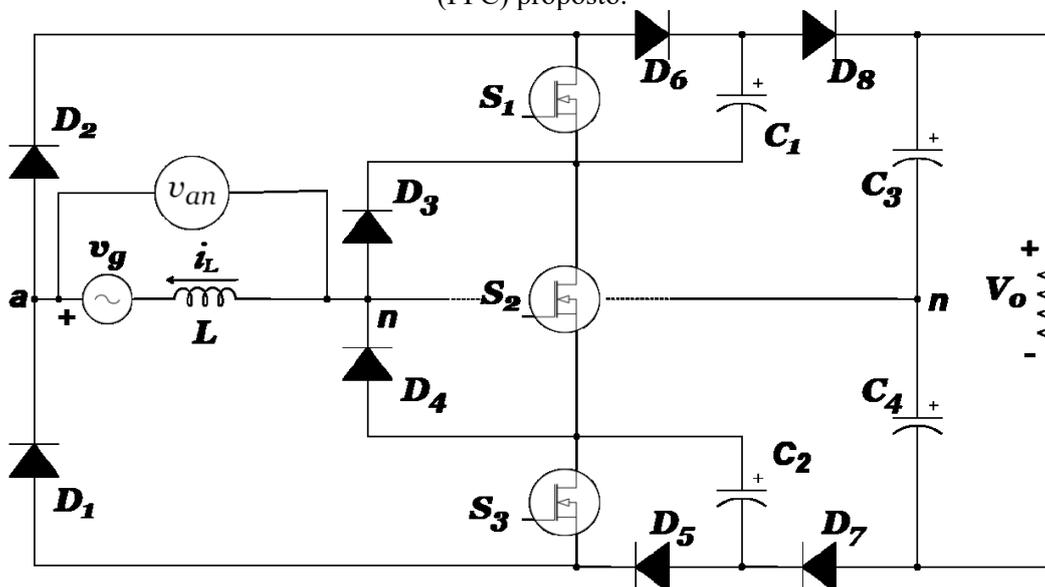
3 RETIFICADOR CINCO NÍVEIS PROPOSTO

O objetivo deste capítulo é apresentar o estudo analítico do retificador proposto pela demonstração do princípio de funcionamento. Através do levantamento das equações de esforços de correntes encontradas é possível demonstrar as características de operação do mesmo.

Este trabalho propõe a topologia mostrada na Figura 3.1. Este conversor apresenta quantidade reduzida de componentes, 3 interruptores (S_1 , S_2 e S_3), 2 capacitores de grampeamento (C_1 e C_2), 4 diodos de grampeamento (D_5 , D_6 , D_7 e D_8) e 4 diodos retificadores (D_1 , D_2 , D_3 e D_4).

As etapas de operações serão demonstradas usando a rede CA de entrada como referência e os capacitores de saída serão substituídos por fontes de tensão para efeito da apresentação deste estudo.

Figura 3.1 - Retificador PWM Monofásico de cinco níveis com Correção do Fator de Potência (PFC) proposto.



Fonte: Autoria própria.

A principal vantagem deste retificador é que com poucos interruptores controlados e se atinge 5 níveis de tensão na entrada e assim os esforços devem ser iguais a $\frac{1}{4}$ da tensão de saída, com exceção de D_1 e D_2 que são submetidos a $\frac{1}{2}$ da tensão de

saída. Por desvantagem apresentam grande quantidade de diodos (interruptores não controlados).

3.1 ETAPAS DE OPERAÇÃO DO RETIFICADOR

3.1.1 ANÁLISE PARA O SEMICICLO POSITIVO

Os estágios de operação, válidos para o modo de condução contínua – CCM, os componentes são considerados ideais e que a frequência de comutação é muito maior que a frequência da rede. Os capacitores estão carregados com seus valores nominais $V_{C1} = V_{C2} = V_o/4$; $V_{C3} = V_{C4} = V_o/2$. Os estágios de operação para o semiciclo positivo da rede, são mostrados na Figura 3.2 e têm 4 etapas de operações descritas a seguir. Cada etapa de operação está relacionada a um estado resultante do comportamento do circuito. Assim a etapa de operação 1, resulta em um estado de comportamento do circuito chamado de estado 1 e subsequentemente cada etapa resulta num estado respectivo até a etapa 4 representada pelo estado 4.

Na etapa de operação 1, mostrada na Figura 3.2 (a), os interruptores S_1 e S_2 estão conduzindo. Nesta etapa ocorre a transferência de energia da fonte v_g para o indutor L e a tensão v_{an} é igual a zero. Nessa condição não há injeção de corrente no barramento CC e o indutor armazena energia.

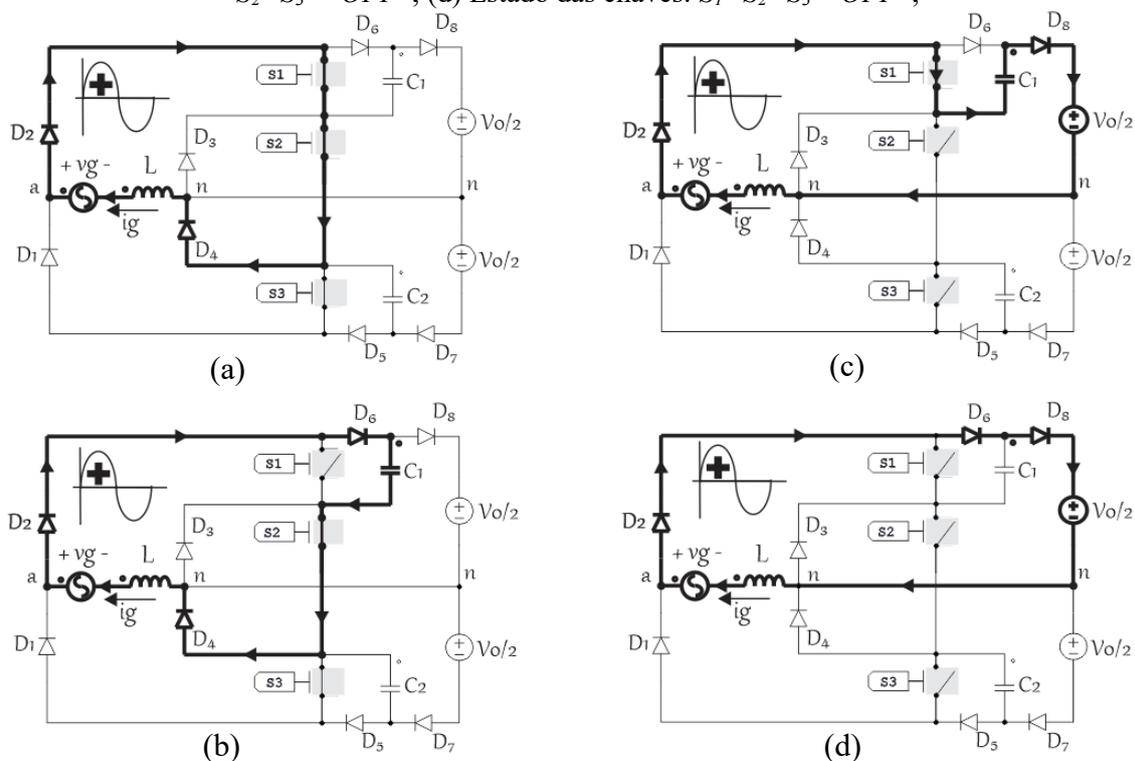
Na etapa de operação 2, mostrada na Figura 3.2 (b), inicia-se por meio do bloqueio do interruptor S_1 e condução do interruptor S_2 . Nesta etapa $v_{an} = V_o/4$ e o capacitor C_1 é carregado. Se o módulo da tensão de entrada é menor do que um quarto da tensão de saída $|v_g| < V_o/4$, então a energia armazenada no indutor L é transferida para o capacitor C_1 . Se o módulo da tensão de entrada for maior do que um quarto da tensão de saída $|v_g| > V_o/4$, então ocorre o armazenamento de energia no indutor L da diferença de tensão entre v_g e $V_o/4$. Nesta etapa há transferência de energia para o capacitor C_1 , capacitor carregando.

Na etapa de operação 3, mostrada na Figura 3.2 (c), inicia quando o interruptor S_1 entra em condução e o interruptor S_2 em bloqueio. Esta etapa resulta num estado do

circuito chamado de estado 3. Nesta etapa $v_{an}=V_o/4$ e o capacitor C_1 é descarregado e há a transferência de energia para a saída. Assim, as etapas de operações 2 e 3 podem ser utilizadas para o balanceamento de tensão através do capacitor C_1 .

Na etapa de operação 4, mostrada na Figura 3.2 (d) inicia quando o interruptor S_1 e o interruptor S_2 , ambos estão em bloqueio. Esta etapa resulta num estado do circuito chamado de estado 4. Nesta etapa a tensão v_{an} é igual a $V_o/2$, não há corrente fluindo pelo capacitor C_1 e há a transferência de energia para a saída.

Figura 3.2 - Etapas de operação no semiciclo positivo. (a) Estado das chaves: $S_1=S_2=S_3=$ "ON"; (b) Estado das chaves: $S_1=$ "OFF", $S_2=S_3=$ "ON"; (c) Estado das chaves: $S_1=$ "ON", $S_2=S_3=$ "OFF"; (d) Estado das chaves: $S_1=S_2=S_3=$ "OFF";



Fonte: Autoria própria.

3.1.2 ANÁLISE PARA O SEMICICLO NEGATIVO

Na etapa de operação 1, mostrada na Figura 3.3 (a), os interruptores S_2 e S_3 estão conduzindo. Nesta etapa ocorre a transferência de energia da fonte v_g para o indutor L e a tensão v_{an} é igual a zero. Esta etapa resulta num estado do circuito chamado de estado

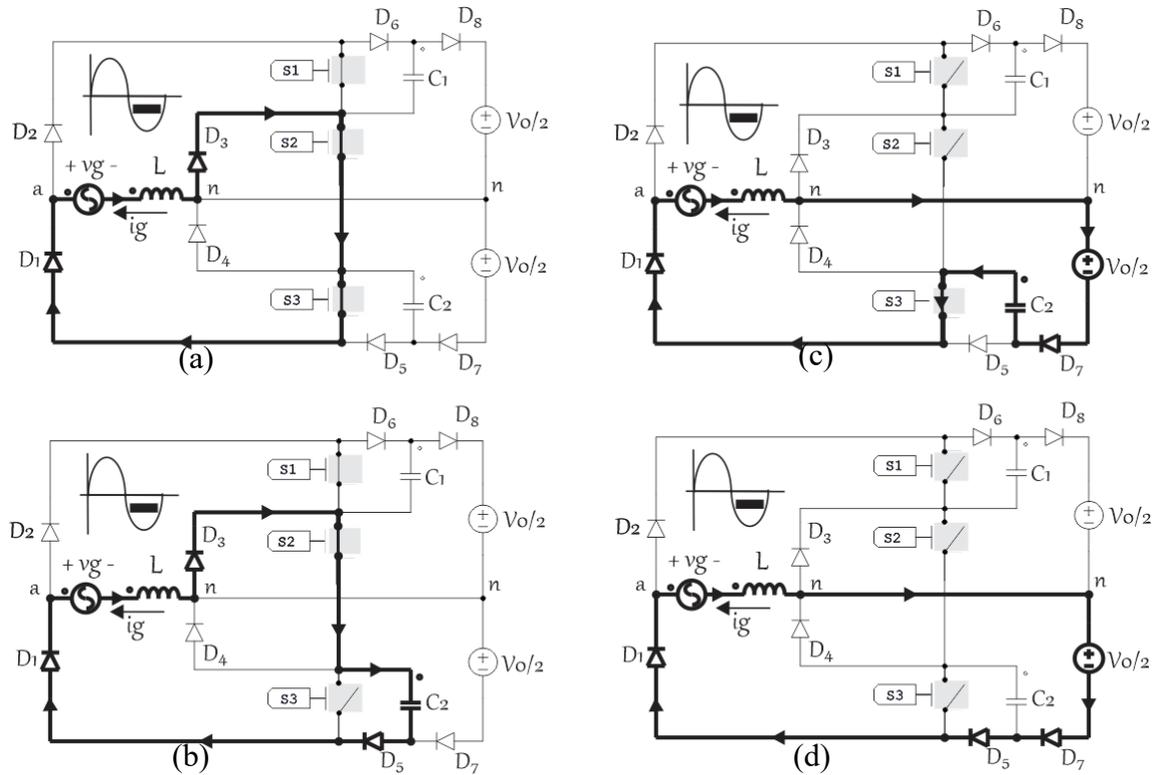
1. Nessa condição não há injeção de corrente no barramento CC e o indutor armazena energia.

Na etapa de operação 2, mostrada na Figura 3.3 (b), inicia-se por meio do bloqueio do interruptor S_3 e condução do interruptor S_2 . Esta etapa resulta num estado do circuito chamado de estado 2. Nesta etapa $v_{an} = V_o/4$ e o capacitor C_2 é carregado. Se o módulo da tensão da rede é menor do que um quarto da tensão de saída $|v_g| < V_o/4$, então a energia armazenada no indutor L é transferida para o capacitor C_2 . Se o módulo da tensão da rede for maior do que um quarto da tensão de saída $|v_g| > V_o/4$, então ocorre o armazenamento de energia no indutor L da diferença de tensão entre v_g e $V_o/4$. Nesta etapa há transferência de energia para o capacitor C_2 , capacitor carregando.

Na etapa de operação 3, mostrada na Figura 3.3 (c), inicia-se quando o interruptor S_3 entra em condução e o interruptor S_2 em bloqueio. Esta etapa resulta num estado do circuito chamado de estado 3. Nesta etapa $v_{an} = V_o/4$ e o capacitor C_2 é descarregado e há a transferência de energia para a saída. Assim, as etapas de operações 2 e 3 podem ser utilizadas para o balanceamento de tensão através do capacitor C_2 .

Na etapa de operação 4, mostrada na Figura 3.3 (d), inicia-se quando o interruptor S_2 e o interruptor S_3 , ambos estão em bloqueio, esta etapa resulta num estado do circuito chamado de estado 4. Esta etapa a tensão v_{an} é igual a $V_o/2$ e não há corrente fluindo pelo capacitor C_2 e há a transferência de energia para a saída.

Figura 3.3 - Etapas de operação no semiciclo negativo. (a) Estado das chaves: $S_1=S_2=S_3=$ "ON"; (b) Estado das chaves: $S_1=S_2=$ "ON", $S_3=$ "OFF"; (c) Estado das chaves: $S_1=S_2=$ "OFF", $S_3=$ "ON"; (d) Estado das chaves: $S_1=S_2=S_3=$ "OFF";

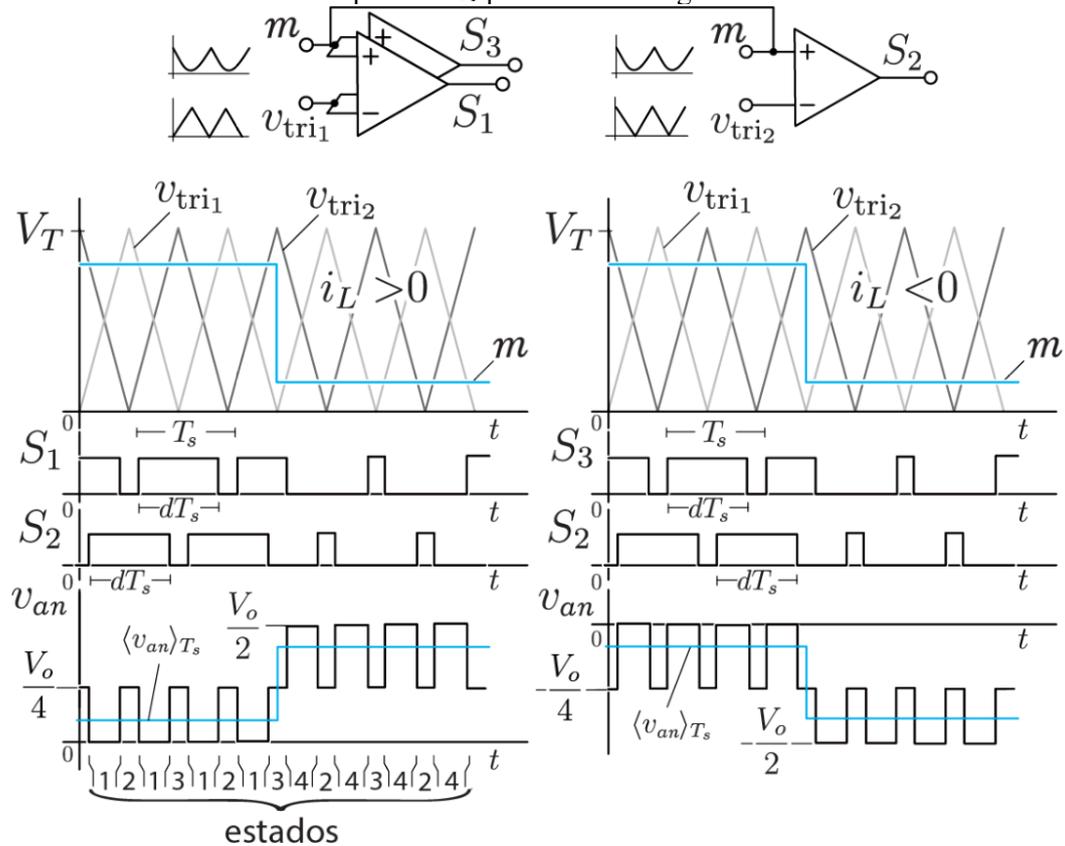


Fonte: Autoria própria.

3.1.3 ESQUEMA DE MODULAÇÃO PROPOSTO

Os estados topológicos são determinados pelo esquema de modulação PWM mostrado na Figura 3.4, de acordo com a direção da corrente de entrada i_g (ou i_L , pois $i_g = i_L$) e a amplitude do sinal de modulação m . Os padrões de comutação dos interruptores são gerados por meio de três comparadores, em que o sinal de modulação m em comparação com uma portadora triangular v_{tri1} , de amplitude V_T , gera os sinais para os interruptores S_1 ou S_3 , dependendo do sinal de i_L . O terceiro padrão de comutação é gerado para o interruptor S_2 pela comparação do sinal de modulação m com uma portadora triangular, v_{tri2} , deslocado de 180° em relação a v_{tri1} , de amplitude V_T . Além disso, pode ser visto na figura os cinco níveis de tensão de v_{an} ($+V_o/2$, $+V_o/4$, 0 , $-V_o/4$, $-V_o/2$).

Figura 3.4 - Padrão de modulação PWM, padrão de comutação dos interruptores e tensão entre os nós a e n , v_{an} , para os dois semiciclos da corrente de entrada i_L . O interruptor S_1 deve operar para $i_L > 0$ enquanto S_3 permanece desligado. Para $i_L < 0$, o interruptor S_3 deve operar enquanto o S_1 permanece desligado.



Fonte: Autoria própria.

Também é observado na Figura 3.4 a representação da resultante dos 4 estágios de operação descritos anteriormente na análise de operação do circuito para cada semiciclo. Aqui também apontados os estados resultantes, de 1 a 4, as formas de onda de tensão de pico da portadora triangular V_T , S_1 , S_2 , e v_{an} , que representam as operações quando $i_L > 0$, ou seja, semiciclo positivo.

3.2 ESFORÇOS TEÓRICOS DE CORRENTE SOBRE OS COMPONENTES

Para as análises de esforços de corrente e tensão será considerado que os componentes do conversor são ideais, todos os capacitores são suficientemente grandes para manter a tensão constante no período de chaveamento T_s , o conversor opera em modo

de operação contínuo (*Continuous Conduction Mode-CCM*) e a frequência de comutação f_s deve ser muito maior do que a frequência da rede f_g .

Considerando-se também que o conversor opera com alto fator de potência, alimentação por tensão puramente senoidal, define-se a tensão instantânea da rede v_g como:

$$v_g = V_{gp} \cdot \text{sen}(\omega t) \quad (3.1)$$

Onde:

V_{gp} – valor de pico da tensão da rede, senoidal;

ω – frequência angular da rede, em rad/s;

t – tempo, s.

Seguindo a consideração do conversor com alto fator de potência, para a corrente de entrada i_g temos consideramos que esta é puramente senoidal, em fase com a tensão v_g e tem valor de pico I_{gp} , representada pela equação (3.2).

$$i_g = I_{gp} \cdot \text{sen}(\omega t) \quad (3.2)$$

Os esforços de corrente são calculados pela metodologia a seguir. Considerando que um interruptor ativo S conduz corrente por um intervalo de tempo onde ocorre as etapas de operação, define-se o valor médio quase instantâneo $\langle i_{T_s} \rangle$ como sendo a corrente média que percorre o componente durante o período de comutação. Assim podemos representar esta expressão pela equação (3.3).

$$\langle i_{T_s} \rangle = \frac{1}{T_s} \int_t^{t+T_s} i(t) dt \quad (3.3)$$

De maneira similar o valor eficaz quase instantâneo é dado pela equação (3.4) abaixo.

$$\langle i_{ef} \rangle = \sqrt{\frac{1}{T_s} \int_t^{t+T_s} i^2(t) dt} \quad (3.4)$$

Assume-se que é conhecido a fração de tempo de T_s em que a corrente flui pelo interruptor S para cada valor de ωt ao longo de um semiciclo da rede. Assim tem-se para o valor médio de corrente igual a equação (3.5)(3.7) para um período da rede elétrica.

$$I = \frac{1}{\pi} \int_0^{\pi} \langle i_{T_s} \rangle d\omega t \quad (3.5)$$

Da mesma forma, o valor da corrente eficaz para um período da rede é dado por:

$$I_{ef} = \sqrt{\frac{1}{\pi} \int_0^{\pi} \langle i_{ef} \rangle^2 d\omega t} \quad (3.6)$$

Para interruptores que conduzem somente em um semiciclo, seja positivo ou negativo, o valor médio de corrente igual a equação (3.7).

$$I = \frac{1}{2\pi} \int_0^{\pi} \langle i_{T_s} \rangle d\omega t \quad (3.7)$$

Da mesma forma a equação (3.8) demonstra a corrente eficaz para um semiciclo, seja positivo ou negativo.

$$I_{ef} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} \langle i_{ef} \rangle^2 d\omega t} \quad (3.8)$$

Considerando a tensão sobre o induto L como desprezível dentro do período de comutação T_s , tem-se que $v_g \approx \langle v_{an} \rangle_{T_s}$, sendo que $\langle v_{an} \rangle_{T_s}$ representa a tensão média calculada dentro do período de T_s . Considerando a tensão de saída V_o constante, logo a tensão nos terminais comutados do conversor $\langle v_{an} \rangle_{T_s}$ depende diretamente da razão cíclica d e da função do sinal da corrente de entrada i_L , é definida pela equação (3.9):

$$\langle v_{an} \rangle_{T_s} = \frac{V_o}{2} (1 - d) \cdot \text{sign} \{i_L\} \quad (3.9)$$

Como a tensão na entrada do retificado é igual a:

$$v_g = V_{gp} \cdot \text{sen}(\omega t) \approx \langle v_{an} \rangle_{T_s} \quad (3.10)$$

Assim substituindo a equação (3.9) em (3.10) e isolando a razão cíclica (d) tem-se a equação (3.11):

$$d = 1 - \frac{2 \cdot V_{gp}}{V_o} \cdot |\text{sen}(\omega t)| \quad (3.11)$$

Para efeito de simplificação vamos adotar a equação (3.12), chamado de índice de modulação, M .

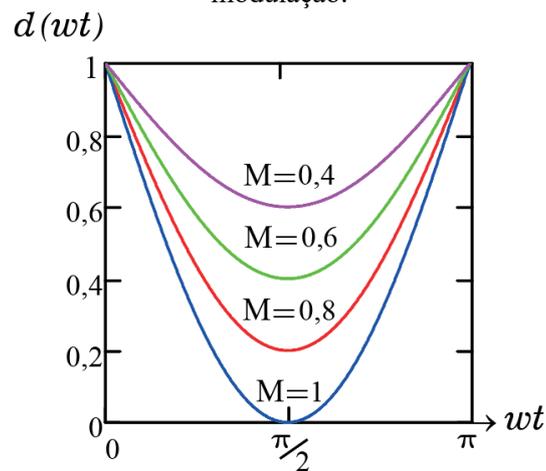
$$M = \frac{2 \cdot V_{gp}}{V_o} \quad (3.12)$$

Simplificando a equação da razão cíclica (3.7) utilizando a equação (3.8), temos:

$$d = 1 - M \cdot |\text{sen}(\omega t)| \quad (3.13)$$

Na Figura 3.5 é plotada a equação (3.13) em função de uma variação do índice de modulação de 0,4 a 1. Como o índice de modulação é a razão entre a tensão de pico da entrada V_{gp} pela tensão de saída V_o , esta é uma relação importante pois a mesma irá ser determinada pela tensão de saída a ser atingida pelo projeto.

Figura 3.5 - Comportamento da razão cíclica d em função de ωt para vários índices de modulação.



Fonte: Autoria própria.

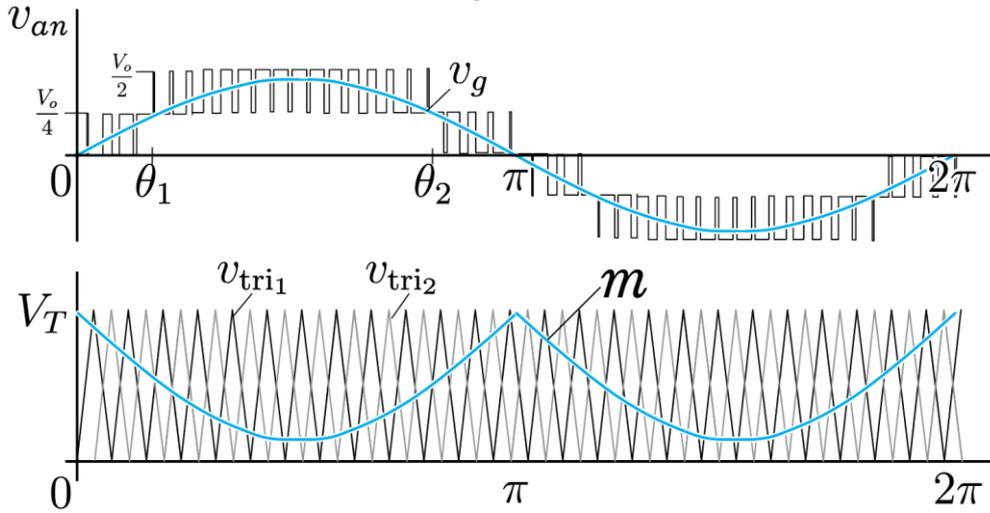
3.2.1 ONDULAÇÃO DE CORRENTE SOBRE O INDUTOR *BOOST*

Para a análise da ondulação de corrente no indutor *boost*, considera-se que a frequência de comutação f_s é muito maior que a frequência da rede f_g . Assim é possível supor que a tensão instantânea na rede não varia significativamente ao longo de um período de comutação da rede.

A Figura 3.6 ilustra as formas de onda obtidas para o retificador operando idealmente com alto fator de potência, com a técnica de modulação em um período da rede. É possível observar as tensões da rede v_g , v_{an} e o sinal de modulação m . Ficam claras as duas regiões distintas de em que duas regiões de operações distintas podem ser observadas:

- i. se $|v_g| \leq V_o/4$, a tensão de $|v_{an}|$ irá alternar entre 0 e $V_o/4$;
- ii. se $|v_g| > V_o/4$, a tensão de $|v_{an}|$ irá alternar entre $V_o/4$ e $V_o/2$;

Figura 3.6 - Formas de ondas ideais para o retificador operando com alto fator de potência, válido para $M > \frac{1}{2}$.



Fonte: Autoria própria.

Os ângulos θ_1 e θ_2 correspondem a região limite onde ocorre a transição inicial de $V_o/4$ para $V_o/2$ e $V_o/2$ para $V_o/4$, respectivamente, e são dados por:

$$\theta_1 = \arcsen\left(\frac{V_o}{4V_{gp}}\right) = \arcsen\left(\frac{1}{2M}\right) \quad (3.14)$$

$$\theta_2 = \pi - \arcsen\left(\frac{V_o}{4V_{gp}}\right) = \pi - \arcsen\left(\frac{1}{2M}\right) \quad (3.15)$$

A ondulação de corrente pico-a-pico no indutor *boost* Δi_L é diretamente proporcional a variação de tensão no indutor Δv_L e intervalo de tempo em que está operando $d \cdot T_s$, que é a razão cíclica, e inversamente proporcional a indutância L . É expressa pela equação (3.15) aonde também evidenciamos o período de comutação T_s que é inversamente igual sua frequência de comutação f_s .

$$\Delta i_L = \frac{\Delta v_L}{L} \cdot d \cdot T_s = \frac{v_g - v_{an}}{L \cdot f_s} \cdot d \quad (3.16)$$

Existe as duas regiões distintas para os valores de v_{an} , $v_{an} = V_o/4$ e $v_{an} = V_o/2$, quando a razão cíclica d está operando, evidenciadas na Figura 3.6. A primeira que vale para valores de $|v_g| < V_o/4$ em que $v_{an} = V_o/4$ e a segunda região em que $|v_g| > V_o/4$ em que $v_{an} = V_o/2$. Assim, as operações se repetem ao longo do período da rede v_g , a primeira em

que v_{an} é igual a $V_o/4$ e outra em que v_{an} é igual a $V_o/2$. Substituindo (3.10), (3.13) em (3.16), tem-se que a ondulação no indutor Δi_L varia para as regiões acima, como descrito nas equações (3.17) e (3.18).

$$\Delta i_{L1} = \frac{V_{gp}}{L \cdot f_s} \cdot \left[\text{sen}(\omega t) - \frac{2V_{gp}}{V_o} \cdot \text{sen}^2(\omega t) \right] \quad (3.17)$$

, para $|v_g| \leq \frac{V_o}{4}$ e $v_{an} = \frac{V_o}{4}$

$$\Delta i_{L2} = \frac{V_{gp}}{L \cdot f_s} \cdot \left[3 \cdot \text{sen}(\omega t) - \frac{2V_{gp}}{V_o} \cdot \text{sen}^2(\omega t) - \frac{V_o}{V_{gp}} \right] \quad (3.18)$$

, para $|v_g| > \frac{V_o}{4}$ e $v_{an} = \frac{V_o}{2}$

3.2.2 ONDULAÇÃO DE CORRENTE PARAMETRIZADA DA CORRENTE DE ENTRADA

A ondulação de corrente sobre o indutor normalizada $\bar{\Delta} i_L$ é expressa pela equação (3.19).

$$\bar{\Delta} i_L = \frac{\Delta i_L \cdot 4 \cdot L \cdot f_s}{V_o} \quad (3.19)$$

Assim substituindo as equações (3.17) e (3.18) em (3.19), usando a equação do índice de modulação M (3.12) e simplificando, tem-se que a ondulação de corrente normalizada $\bar{\Delta} i_L$ a será expressa pela expressão. Como θ_1 também representa o limiar de de transição de v_{an} , em rad, pois a maior parte dos termos está em função da frequência angular da rede ωt , em rad/s.

$$\bar{\Delta} i_L = \begin{cases} M \cdot \text{sen}(\omega t) - 2M \cdot \text{sen}^2(\omega t) & , \quad \omega t \leq \theta_1 \\ 3M \cdot \text{sen}(\omega t) - 2M \cdot \text{sen}^2(\omega t) - 1 & , \quad \omega t > \theta_1 \end{cases} \quad (3.20)$$

O valor máximo de ondulação da corrente de entrada Δi_{Lmax} para o retificador corresponde a 1/8 de $\bar{\Delta i}_L$. Assim a indutância pode ser calculada de acordo com a equação (3.23).

$$L = \frac{V_o}{\Delta i_L \cdot 32 \cdot f_s} \quad (3.21)$$

3.2.3 EQUACIONAMENTO DAS CORRENTES MÉDIAS DOS INTERRUPTORES S_1, S_3 E DIODOS D_3 E D_4

Utilizando a equação (3.4) para integração em relação a frequência de comutação e a equação (3.11) que estipula o tempo que os interruptores ficam em condução, $d.T_s$, temos:

$$\langle \overline{i_{T_s S_1}} \rangle = \frac{1}{T_s} \int_0^{\left(1 - \frac{2 \cdot V_{gp}}{V_o} \cdot |\text{sen}(\omega t)|\right) \cdot T_s} I_{gp} \cdot \text{sen}(\omega t) dt \quad (3.22)$$

Resolvendo a equação (3.22) usando os termos da equação (3.13), temos:

$$\langle \overline{i_{T_s S_1}} \rangle = I_{gp} \cdot \text{sen}(\omega t) \cdot (1 - M \cdot |\text{sen}(\omega t)|) \quad (3.23)$$

Substituindo a equação (3.23) em (3.7) para encontrar o valor da corrente média para os interruptores S_1, S_3 e os diodos D_3 e D_4 e simplificando, temos:

$$I_{S_1} = \frac{1}{2\pi} \int_0^\pi \langle \overline{i_{T_s S_1}} \rangle d\omega t = \frac{I_{gp} \cdot (4 - \pi M)}{4\pi} \quad (3.24)$$

3.2.4 EQUACIONAMENTO DAS CORRENTES EFICAZES DOS INTERRUPTORES S_1, S_3 E DIODOS D_3 E D_4

Utilizando a equação quase instantânea eficaz (3.4) para integração em relação a frequência de chaveamento e a equação (3.11), $d.T_s$, temos:

$$\begin{aligned} \langle i_{efS_1} \rangle &= \sqrt{\frac{1}{T_s} \int_t^{(1-M \cdot |\text{sen}(\omega t)|)T_s} (I_{gp} \cdot \text{sen}(\omega t))^2 dt} = \\ &= \sqrt{I_{gp}^2 \cdot (M \cdot |\text{sen}(\omega t)| - 1) \cdot (\cos(\omega t)^2 - 1)} \end{aligned} \quad (3.25)$$

Substituindo (3.23) em (3.6) para encontrar o valor da corrente eficaz para os interruptores S_1, S_3 e os diodos D_3 e D_4 :

$$I_{efS_1} = \sqrt{\frac{1}{2\pi} \int_0^\pi \langle i_{efS_1} \rangle^2 d\omega t} = \sqrt{\frac{I_{gp}^2 \cdot (3\pi - 8M)}{12\pi}} \quad (3.26)$$

3.2.5 EQUACIONAMENTO DA CORRENTE MÉDIA DO INTERRUPTOR S_2

Como o intervalo de operação é de metade do ciclo, este é o valor de referência para o período de operação. Substituindo (3.13) em (3.7):

$$I_{S_2} = \frac{1}{\pi} \int_0^\pi \langle \overline{i_{T_s S_1}} \rangle d\omega t = \frac{I_{gp}(4 - \pi M)}{2\pi} \quad (3.27)$$

3.2.6 EQUACIONAMENTO DA CORRENTE EFICAZ DO INTERRUPTOR S_2

Da mesma forma, como o período de atuação do interruptor é igual a meio ciclo da rede, substituímos (3.23) em (3.24) com período igual a π :

$$I_{efS_2} = \sqrt{\frac{1}{\pi} \int_0^{\pi} \langle i_{efS_1} \rangle^2 d\omega t} = \sqrt{\frac{I_{gp}^2 \cdot (3\pi - 8M)}{6\pi}} \quad (3.28)$$

3.2.7 EQUACIONAMENTO DA CORRENTE MÉDIA E EFICAZ DOS DIODOS D_1 E D_2

Como os esforços sobre estes itens tem somente a atuação da rede, e o vamos considerar que idealmente eles são iguais, o equacionamento é feito como abaixo:

$$I_{D_1} = \frac{1}{2\pi} \int_0^{\pi} I_{gp} \cdot \text{sen}(\omega t) d\omega t = \frac{I_{gp}}{\pi} \quad (3.29)$$

$$I_{efD_1} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} (I_{gp} \cdot \text{sen}(\omega t))^2 d\omega t} = \sqrt{\frac{I_{gp}^2}{4}} \quad (3.30)$$

3.2.8 EQUACIONAMENTO DA CORRENTE MÉDIA DOS DIODOS D_5, D_6, D_7 E D_8

Para os cálculos dos esforços de corrente nos diodos D_5, D_6, D_7 e D_8 precisamos considerar o tempo da razão cíclica complementar. Sendo o intervalo de 0 a $d.T_s$ o intervalo da razão cíclica, o intervalo de $d.T_s$ à T_s é o intervalo da razão cíclica complementar. Utilizando a equação quase instantânea média (3.3) para integração em

relação a frequência de comutação e a equação (3.11), mas com relação a razão cíclica complementa de $d.T_s$ à T_s , temos:

$$\langle i_{T_s D_5} \rangle = \frac{1}{T_s} \int_{(1-M \cdot |\text{sen}(\omega t)) T_s}^{T_s} I_{gp} \cdot \text{sen}(\omega t) dt \quad (3.31)$$

Resolvendo a equação (3.31), temos:

$$\langle i_{T_s D_5} \rangle = I_{gp} \cdot M \cdot \text{sen}(\omega t) \cdot |\text{sen}(\omega t)| \quad (3.32)$$

Substituindo (3.32) em (3.7) para encontrar o valor da corrente média para os diodos D_5, D_6, D_7 e D_8 .

$$I_{D_5} = \frac{1}{2 \cdot \pi} \int_0^\pi \langle i_{T_s D_5} \rangle d\omega t = \frac{I_{gp} \cdot M}{4} \quad (3.33)$$

3.2.9 EQUACIONAMENTO DA CORRENTE EFICAZ DOS DIODOS D_5, D_6, D_7 E D_8 .

Da mesma forma resolvendo utilizando a equação quase instantânea eficaz (3.4) para integração em relação a frequência de chaveamento e a equação (3.11), mas com relação a razão cíclica complementa de $d.T_s$ à T_s , temos:

$$\begin{aligned} \langle i_{ef D_5} \rangle &= \sqrt{\frac{1}{T_s} \int_{(1-M \cdot |\text{sen}(\omega t)) T_s}^{T_s} (I_{gp} \cdot \text{sen}(\omega t))^2 dt} = \\ &= \sqrt{I_{gp}^2 \cdot M \cdot \text{sen}(\omega t)^2 \cdot |\text{sen}(\omega t)|} \end{aligned} \quad (3.34)$$

Substituindo (3.34) em (3.6) para encontrar o valor da corrente eficaz para os diodos D_5, D_6, D_7 e D_8 :

$$I_{efD_5} = \sqrt{\frac{1}{2\pi} \int_0^\pi \langle i_{efD_5} \rangle^2 d\omega t} = \sqrt{\frac{2 \cdot I_{gp}^2 \cdot M}{3\pi}} \quad (3.35)$$

3.2.10 EQUACIONAMENTO DA CORRENTE EFICAZ DOS CAPACITORES DO BARRAMENTO DE SAÍDA C_1 E C_2 .

A corrente média sobre o capacitor é nula e por isto não será considerado para levantamento de esforços de corrente.

Há corrente fluindo sobre estes capacitores somente a cada meio ciclo da rede elétrica e considerando os componentes como ideal, pode-se considerar a corrente eficaz no capacitor C_1 igual a corrente eficaz em C_2 . Por notação vamos adotar I_{efC_m} , onde C_m representa o capacitor C_1 e C_2 , $m \in \{1, 2\}$. A expressão da corrente eficaz sobre os capacitores é definida por duas componentes $\langle i_{efC_a} \rangle$ e $\langle i_{efC_b} \rangle$, expressas abaixo:

$$\langle i_{efC_a} \rangle = \sqrt{\frac{2}{T_s} \left[\int_{(1-M \cdot |\text{sen}(\omega t)|)T_s}^{T_s} (I_{gp} \cdot \text{sen}(\omega t))^2 dt \right]} \quad (3.36)$$

$$\langle i_{efC_b} \rangle = \sqrt{\frac{2}{T_s} \left[\int_0^{(1-M \cdot |\text{sen}(\omega t)|)T_s} (I_{gp} \cdot \text{sen}(\omega t))^2 dt \right]} \quad (3.37)$$

Assim como temos a equação da corrente eficaz nos capacitores C_m descrita abaixo:

$$I_{efC_m} = \sqrt{\frac{1}{2\pi} \left[2 \cdot \int_0^\theta \langle i_{efC_a} \rangle^2 d\omega t + 2 \cdot \int_\theta^{\frac{\pi}{2}} \langle i_{efC_b} \rangle^2 d\omega t \right]} \quad (3.38)$$

Substituindo (3.36) e (3.37) em (3.38), temos I_{efC_m} igual a:

$$I_{efC_m} = \sqrt{\frac{6I_{gp}^2 \cdot (8M + 3\pi - 6\theta_1 + 3\text{sen}(2\theta_1) + 2M\cos(3\theta_1) - 18M \cos(\theta_1))}{6\pi}} \quad (3.39)$$

Os ângulos θ_1 e θ_2 correspondem a região limite onde ocorre a transição entre estas regiões são dados por (3.14). Assim a corrente eficaz I_{efC_m} tem resposta igual a corrente eficaz \bar{I}_{efD_j} até o limite de transição e responde conforme a equação (3.39) após a região de transição. Esta condição é representada pela expressão (3.40).

$$I_{efC_m} = \begin{cases} \sqrt{\frac{2 \cdot I_{gp}^2 \cdot M}{3\pi}}, & \omega t \leq \theta_1 \\ \sqrt{\frac{6I_{gp}^2 \cdot (3\pi + 8M + \beta)}{6\pi}}, & \omega t > \theta_1 \end{cases} \quad (3.40)$$

Sendo,

$$\beta = -6\theta_1 + 3 \text{sen}(2\theta_1) + 2M \cos(3\theta_1) - 18M \cos(\theta_1) \quad (3.41)$$

3.2.11 EQUACIONAMENTO DA CORRENTE EFICAZ DOS CAPACITORES DO BARRAMENTO DE SAÍDA C_3 E C_4 .

Por notação vamos adotar I_{efC_n} , onde C_n representa os capacitores C_3 e C_4 , $n \in \{3, 4\}$. Os capacitores do barramento de saída representados por C_3 e C_4 na Figura 3.1 estão interligados no ponto n e interligados a rede. A expressão da corrente eficaz sobre estes capacitores é definida pela soma da corrente dos diodos \bar{I}_{efD_j} menos uma componente de corrente que passa por n , expressa pela equação (3.42).

$$I_{efc_n} = \bar{I}_{efD_j} - \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{I_{gp} M}{2} \cdot \text{sen}(\omega t) \right)^2 d\omega t} \quad (3.42)$$

Resolvendo a equação (3.42), temos:

$$I_{efc_n} = \sqrt{\frac{I_{gp}^2 M \cdot (32 - 3\pi M)}{48\pi}} \quad (3.43)$$

3.3 ESFORÇOS DE CORRENTE NORMALIZADOS

A corrente normalizada dos esforços de corrente sobre os semicondutores é feita em relação a corrente de entrada I_{gp} . Assim um componente genérico S , tem-se a corrente média normalizado dada pela expressão abaixo:

$$\bar{I}_S = \frac{I_S}{I_{gp}} \quad (3.44)$$

A normalização permite observar os esforços de corrente em relação ao índice de modulação. A Tabela 3.1 resume o equacionamento dos esforços de corrente de todos os semicondutores, o correspondente componente e sua respectiva referência normalizada.

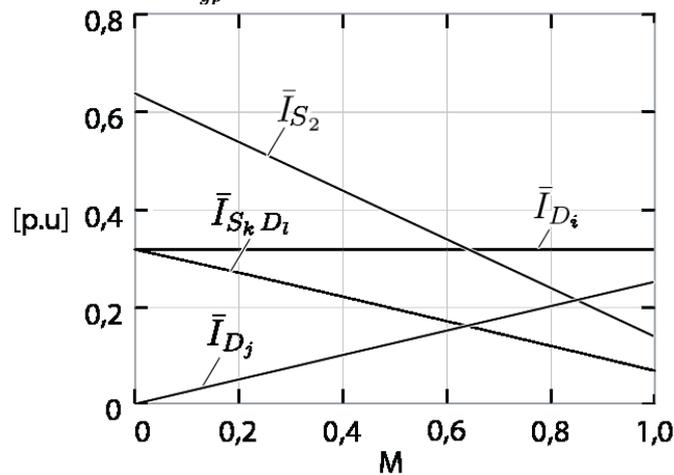
Tabela 3.1 - Resumo do equacionamento dos esforços de corrente médio dos componentes e sua respectiva referência normalizada.

Parâmetro	Equação
Corrente Média Normalizada	
$I_{S_1}, I_{S_3}, I_{D_3}, I_{D_4}$ $\bar{I}_{S_k D_l}$, sendo $k \in \{1, 3\}$ e $l \in \{3, 4\}$	$\frac{I_{gp}(4 - \pi M)}{4\pi}$
I_{S_2} \bar{I}_{S_2}	$\frac{I_{gp}(4 - \pi M)}{2\pi}$
I_{D_1}, I_{D_2} \bar{I}_{D_i} , sendo $i \in \{1, 2\}$	$\frac{I_{gp}}{\pi}$
$I_{D_5}, I_{D_6}, I_{D_7}, I_{D_8}$ \bar{I}_{D_j} , sendo $j \in \{5, \dots, 8\}$	$\frac{I_{gp} \cdot M}{4}$

Fonte: Autoria própria.

A Figura 3.7 mostra o comportamento normalizado da corrente média em todos os semicondutores em relação a corrente de pico de entrada I_{gp} , mostrado na equação (3.44) este em função do índice de modulação M . Sendo que M compreende o intervalo de valores entre 0 e 1.

Figura 3.7 - Normalização dos esforços de corrente médios em função do índice de modulação M : $\bar{I}_S = \frac{I_S}{I_{gp}}$, $k \in \{1, 3\}$, $l \in \{3, 4\}$, $i \in \{1, 2\}$, $j \in \{5, \dots, 8\}$.



Fonte: Autoria própria.

De forma similar, o valor normalizado da corrente eficaz de S seria dado por:

$$\bar{I}_{efs} = \frac{I_{efs}}{I_{gp}} \quad (3.45)$$

A normalização permite observar os esforços de corrente em relação ao índice de modulação. A Tabela 3.2 resume o equacionamento dos esforços de corrente eficaz dos componentes levantados, o correspondente componente e sua respectiva referência normalizada.

Tabela 3.2 - Resumo do equacionamento dos esforços de corrente eficaz dos componentes e sua respectiva referência normalizada.

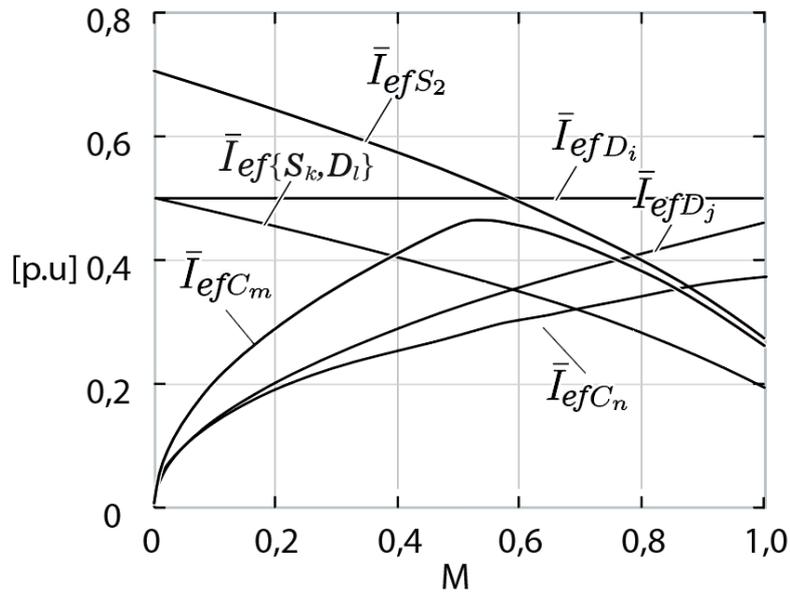
Parâmetro	Equação
Corrente Eficaz Normalizada	
$I_{efs_1}, I_{efs_3}, I_{efd_3}, I_{efd_4}$ $\bar{I}_{ef\{S_k, D_l\}}$, sendo $k \in \{1, 3\}$ e $l \in \{3, 4\}$	$\sqrt{\frac{I_{gp}^2 \cdot (3\pi - 8M)}{12\pi}}$
I_{efs_2} \bar{I}_{efs_2}	$\sqrt{\frac{I_{gp}^2 \cdot (3\pi - 8M)}{6\pi}}$
I_{efd_1}, I_{efd_2} \bar{I}_{efd_i} , sendo $i \in \{1, 2\}$	$\sqrt{\frac{I_{gp}^2}{4}}$
$I_{efd_5}, I_{efd_6}, I_{efd_7}, I_{efd_8}$ \bar{I}_{efd_j} , sendo $j \in \{5, \dots, 8\}$	$\sqrt{\frac{2 \cdot I_{gp}^2 \cdot M}{3\pi}}$
I_{efc_1}, I_{efc_2} \bar{I}_{efc_m} , sendo $m \in \{1, 2\}$	$\sqrt{\frac{2 \cdot I_{gp}^2 \cdot M}{3\pi}}, \quad M \leq \frac{1}{2}$ $\sqrt{\frac{6I_{gp}^2 \cdot (3\pi + 8M + \beta)}{6\pi}}, \quad M > \frac{1}{2}$
I_{efc_3}, I_{efc_4} \bar{I}_{efc_n} , sendo $n \in \{3, 4\}$	$\sqrt{\frac{I_{gp}^2 M \cdot (32 - 3\pi M)}{48\pi}}$

Fonte: Autoria própria.

A Figura 3.8 mostra o comportamento normalizado da corrente média em todos os semicondutores em relação a corrente de pico de entrada I_{gp} , mostrado na equação (3.45) este em função do índice de modulação M . Sendo que M compreende o intervalo de valores entre 0 e 1.

Figura 3.8 - Normalização dos esforços de corrente eficaz em função do índice de modulação

$$M : \bar{I}_{efs} = \frac{I_s}{I_{gp}}, k \in \{1, 3\}, l \in \{3, 4\}, i \in \{1, 2\}, j \in \{5, \dots, 8\}, m \in \{1, 2\} \text{ e } n \in \{3, 4\}.$$



Fonte: Autoria própria.

As Figura 3.7 e Figura 3.8 mostram que trabalhar com índice de modulação M alto é melhor em termos de esforços de corrente resultantes menores. Em especial nos valores de índice de modulação entre 0,4 e 1, no qual tem-se que o maior esforço de corrente de cerca de 58% da corrente da entrada sobre o interruptor S_2 .

Quanto menor o valor o índice de modulação, maior a tensão de saída. Esta relação entre tensão de pico de entrada e tensão de saída foi expressa pela equação (3.12). Nesta é possível obter que para um índice de modulação igual a 1, a tensão de saída será igual ao dobro da tensão de pico da entrada. Para um índice de modulação igual a 0,5, tem-se a tensão de saída igual a quatro vezes a tensão de pico da entrada.

3.4 ONDULAÇÃO DE TENSÃO NOS CAPACITORES DE SAÍDA

Assumindo que os capacitores C_1 e C_2 possuem baixa capacitância, então a ondulação da tensão de saída ΔV_o é determinada pelos capacitores de saída C_3 e C_4 . A ondulação pode ser determinada pelo conceito de balanço de energia, expressa pela

equação (3.46), onde P_i e P_o correspondem às potências de entrada e saída, considerando que não há dissipação de energia.

$$P_i = P_o \quad (3.46)$$

Considerando que a tensão de entrada e saída estão em fase, pode-se estabelecer que:

$$V_{gp} \cdot I_{gp} \cdot \sin^2(\omega t) = V_o \cdot I_o \quad (3.47)$$

Decompondo a parcela esquerda em dois termos de (3.16), tem-se:

$$V_{gp} \cdot I_{gp} \cdot \left(\frac{1 - \cos(2\omega t)}{2} \right) = V_o \cdot I_o \quad (3.48)$$

Isolando I_o de (3.48), tem-se:

$$I_o = \frac{V_{gp} \cdot I_{gp}}{2V_o} - \frac{V_{gp} \cdot I_{gp}}{2V_o} \cdot \cos(2\omega t) \quad (3.49)$$

Na equação (3.49) observa-se que corrente de saída do conversor I_o é composta de duas parcelas, uma que é direcionada para a carga e outra oscilante que é absorvida pelos capacitores de saída. Assim a corrente oscilante que flui pelos capacitores de saída i_{Co} pode ser expressa por (3.50).

$$i_{Co} = \frac{V_{gp} \cdot I_{gp}}{2V_o} \cdot \cos(2\omega t) = \frac{P_o}{V_o} \cdot \cos(2\omega t) \quad (3.50)$$

A tensão de saída sobre o capacitor de saída é expressa por (3.51).

$$v_{Co} = \frac{1}{C_o} \int i_{Co} dt \quad (3.51)$$

Substituindo (3.50) em (3.51) tem-se

$$v_{Co} = \frac{P_o}{V_o \cdot C_o} \int \cos(2\omega t) dt \quad (3.52)$$

Resolvendo (3.52) tem-se

$$v_{Co} = \frac{P_o \cdot \text{sen}(2\omega t)}{V_o \cdot C_o \cdot 2\omega} \quad (3.53)$$

A tensão máxima é máxima sobre o capacitor de saída quando $t = \frac{\pi}{4\omega}$. Considerando isto e substituindo em (3.53), tem-se a ondulação sobre o equivalente sobre os capacitores de saída fica igual a

$$\Delta v_{Co,max} = \frac{P_o}{V_o \cdot C_o \cdot 4\pi \cdot f_g} \quad (3.54)$$

Como os capacitores de saída C_3 e C_4 estão em série, podemos rescrever a expressão (3.54) e tem-se

$$\Delta v_{Co,max} = \frac{P_o \cdot (C_3 + C_4)}{V_o \cdot C_3 \cdot C_4 \cdot 4\pi \cdot f_g} \quad (3.55)$$

Considerando que os capacitores de saída são iguais $C_3 = C_4 = C_n$, com $n \in \{3, 4\}$, temos

$$\Delta v_{Co,max} = \frac{P_o}{V_o \cdot C_n \cdot 2\pi \cdot f_g} \quad (3.56)$$

A equação (3.56) pode ser utilizada para definir o valor dos capacitores de saída de forma a atenderem uma ondulação máxima da tensão de saída, expressa pela equação (3.57).

$$C_n > \frac{P_o}{V_o \cdot \Delta v_{Co,max} \cdot 2\pi \cdot f_g} \quad (3.57)$$

3.5 RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO

Neste capítulo foi apresentado o retificador de 5-níveis proposto, suas etapas de operação, o levantamento teórico dos esforços de corrente média e eficaz sobre os componentes, os esforços de corrente normalizado e a ondulação de tensão sobre os capacitores de saída.

Foi apresentado o esquema do conversor proposto que é composto 3 interruptores controlados ($S1$, $S2$ e $S3$), 8 diodos, 1 indutor de entrada e 4 capacitores de saída.

Para cada semiciclo da rede, um positivo e outro negativo, 4 estágios de operações são possíveis, de acordo com os estados possíveis para cada interruptor controlado que atua em cada semiciclo. São 4 estágios possíveis, pois como há dois interruptores atuando em cada semiciclo, com mesma frequência de comutação, defasados de 180° , há 4 estados possíveis para estes interruptores (00, 01, 10 e 11).

Uma descrição de um esquema de modulação proposto para o conversor está ilustrada na Figura 3.4 juntamente com sua descrição de funcionamento de acordo com a comparação de dois sinais triangulares com um sinal modulante para gerar o acionamento das chaves e sua resposta na tensão de entrada do conversor.

Todo o equacionamento de esforços de corrente para esta nova topologia foi apresentado para ondulação sobre o indutor, interruptores diodos e capacitores. Foi levantado os valores normalizados em referência a corrente de entrada do conversor proposto e um quadro resumo da corrente média sobre estes componentes foi apresentada na Tabela 3.1. e na Tabela 3.2 um resumo da corrente eficaz normalizadas para os componentes.

O levantamento os esforços de corrente média normalizada sobre os componentes em relação ao índice de modulação foi traçada na Figura 3.7 na qual é possível observar que todos os componentes apresentam esforços menores do que 50% da corrente de entrada para índices de modulação entre 0,4 e 1,0. De forma similar foi traçados os esforços de corrente eficazes para os componentes em relação ao índice de modulação na Figura 3.8 e mostra que trabalhar com índice de modulação M alto é melhor em termos de esforços de corrente. Para um índice de modulação entre 0,4 e 1,0, tem-se esforços de corrente sobre os componentes menor do que 58% da corrente da entrada.

Vale salientar que quanto menor o valor o índice de modulação, maior a tensão de saída. Esta relação entre tensão de pico de entrada e tensão de saída foi expressa pela equação (3.12). Como referência, para um índice de modulação igual a 1, a tensão de saída será igual ao dobro da tensão de pico da entrada e para um índice de modulação igual a 0,5, tem-se a tensão de saída será igual a quatro vezes a tensão de pico da entrada.

4 MODELAGEM DO CONTROLE DO RETIFICADOR MONOFÁSICO PROPOSTO

Para que o retificador proposto opere de modo satisfatório, dentro do objetivo para que foi projetado, é imprescindível que haja no mínimo um controle sobre o nível de tensão de saída. Para que o retificador opere com alto fator de potência é necessário que o retificador se comporte como um resistor do ponto de vista da rede, exigindo que a corrente de entrada seja controlada.

O controle no retificador proposto é feito pela atuação ordenada dos interruptores S_1 , S_2 e S_3 . Este acionamento dos interruptores basicamente é realizado por meio de um sinal modulador m comparado a uma portadora triangular V_T . O objetivo é gerar sinais modulares que controlem os interruptores de forma a drenar da rede elétrica uma corrente mais senoidal possível.

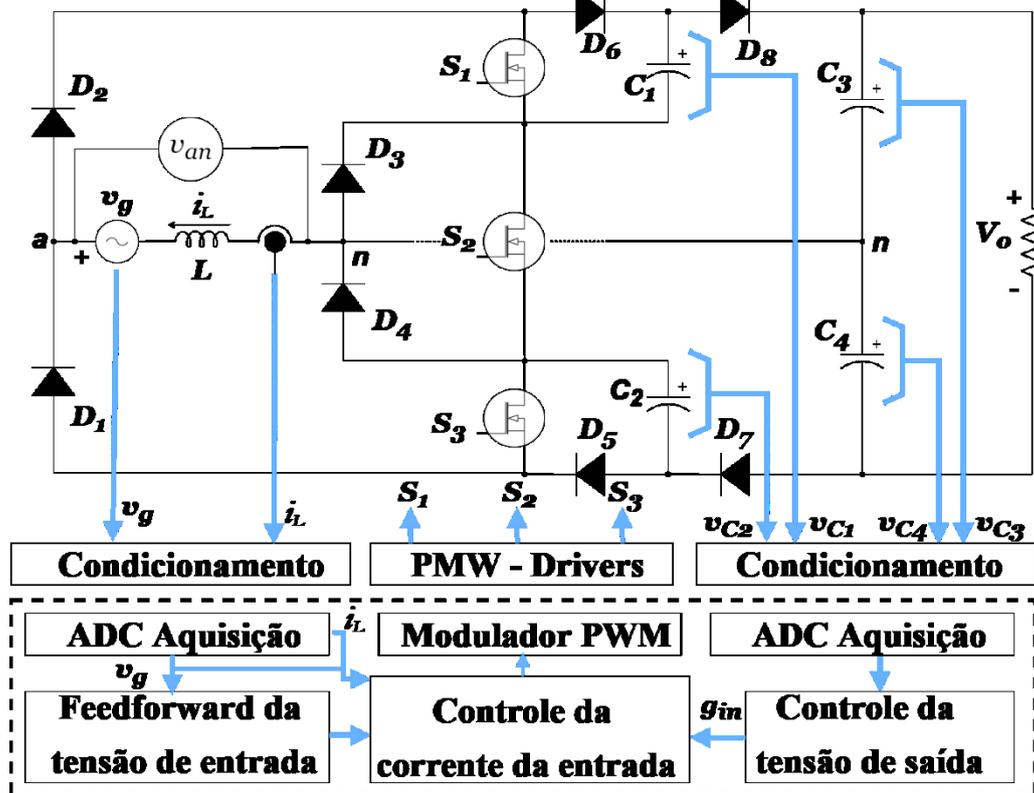
Uma forma gerar o sinal modulador m é pela comparação da corrente medida na entrada com uma referência pré-estabelecida. Esta variação entre a referência e a corrente lida, multiplicada por um ganho ou função (controlador genérico), resultara em um sinal modulador m que irá coordenar o acionamento dos interruptores. A determinação destes parâmetros será feita pela simplificação do sistema, por uma análise matemática.

Portanto, este capítulo apresentará uma modelagem do sistema de controle de forma determinar a melhor forma de executar o controle do conversor CA-CC proposto. Com ênfase nos modelos matemáticos, blocos de representação de controle e a análise do comportamento de forma a determinar qual é a resposta dos controles estudados.

4.1 ESTRATÉGIA DE CONTROLE

A Figura 4.1 apresenta a estratégia de controle básica escolhida para o retificador proposto. A partir desta descrição é possível planejar uma estratégia de controle adequada com foco no controle da tensão barramento de saída, dos capacitores C_3 e C_4 e corrente de entrada i_L .

Figura 4.1 - Estrutura básica de controle do circuito proposto.



Fonte: Autoria própria.

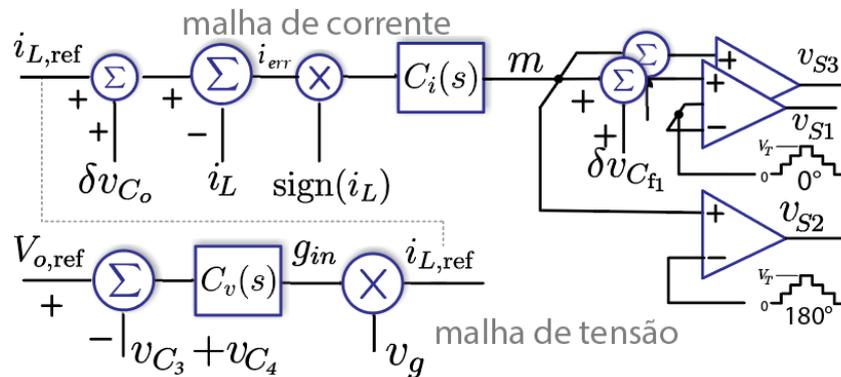
Os sinais lidos pelos sensores de corrente e tensão são condicionados para atender aos requisitos do conversor analógico digital *ADC-Analog-to-Digital Converter*. Esses são processados por uma lógica de controle que tem por objetivo o cálculo dos níveis da razão cíclica que o retificador deve ser submetido.

Um esquema de controle PWM adequado para operação do conversor proposto com correção do fator de potência é mostrado na Figura 4.2. Basicamente, existem duas malhas de controle responsáveis pelo controle da tensão de saída e pelo controle da corrente de entrada.

Para o controle da tensão de saída é necessário medir as tensões nos capacitores C_3 e C_4 . Essas tensões são comparadas com uma referência de tensão $V_{o,ref}$, onde o erro de tensão alimenta o regulador de tensão $C_v(s)$. A saída desse regulador é responsável por gerar o sinal de condutância, g_{in} . Este sinal multiplicado pela tensão de entrada v_g produzirá a forma onda da corrente de entrada de referência, $i_{L,ref}$. Para minimizar as distorções em $i_{L,ref}$, o sinal de saída de $C_v(s)$ deve ser o mais constante possível. Isso impõe

que a largura de banda da malha de controle de tensão seja restrita a frequências inferiores à frequência da rede.

Figura 4.2 - Estratégia de controle da tensão de saída e da corrente de entrada na operação com PFC.



Fonte: Autoria própria.

A malha de controle da corrente de entrada começa comparando i_L e $i_{L,ref}$. Antes de entrar no regulador de corrente $C_i(s)$, o sinal de erro da corrente i_{err} é multiplicado pelo sinal de i_L . O sinal de saída de $C_i(s)$ produz o sinal de modulação m que é sintetizado pelos moduladores PWM, os quais o funcionamento já foi descrito no capítulo 3. A fim de garantir um pequeno erro de corrente, a atuação de $C_i(s)$ deve ser rápida.

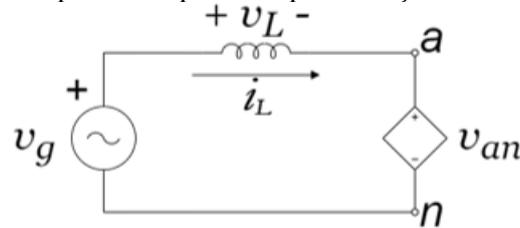
Para evitar o desequilíbrio de tensão nos capacitores, são necessárias malhas adicionais para o controle das mesmas. Este controle será descrito com mais detalhes na seção 4.5, controle da tensão sobre os capacitores.

4.2 MODELAGEM DO CIRCUITO EQUIVALENTE POR VALORES MÉDIOS DA CORRENTE DE ENTRADA

Como o objetivo é controlar os parâmetros essenciais como os de tensão e corrente para tanto vamos iniciar utilizando o circuito equivalente da Figura 4.3, onde foram desprezadas as perdas resistivas. O conversor será substituído por uma fonte controlada, cujo valor é representado pelo valor médio quase instantâneo da tensão entre

os pontos a e n , ao longo do período de comutação. Considerando a tensão de saída V_o constante, este valor médio torna-se proporcional ao sinal modulante m .

Figura 4.3 - Circuito equivalente para a implementação da estratégia de controle.



Fonte: Autoria própria.

A corrente i_L no indutor é do circuito da Figura 4.3 pode ser expressa pela equação (4.1).

$$i_L = \frac{1}{L} \int v_L dt = \frac{1}{L} \int (v_g - v_{an}) dt \quad (4.1)$$

Considerando os componentes de tensão de v_{an} do circuito da Figura 4.3 pode ser representada pela equação (4.2).

$$v_{an} = v_g(t) - v_L(t) \quad (4.2)$$

E considerando o valor da indutância pequeno, resulta numa componente de tensão v_L muito baixa, podendo ser desprezada. Assim temos:

$$v_{an} \approx v_g = V_{gp} \cdot \text{sen}(\omega t) = m \cdot \frac{V_o}{2} \cdot \text{sign}(i_L) \quad (4.3)$$

Substituindo-se a equação acima na equação (4.1), obtém-se a equação abaixo:

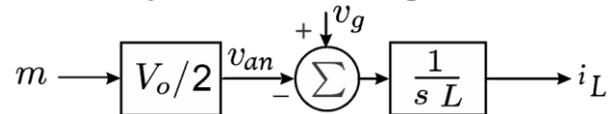
$$i_L = \int \left(v_g - m \cdot \frac{V_o}{2} \right) dt \quad (4.4)$$

Aplicando-se a transformada de Laplace na equação acima, obtém-se:

$$i_L(s) = \frac{1}{s \cdot L} \cdot \left[v_g(s) - m(s) \cdot \frac{V_o}{2} \right] \quad (4.5)$$

Pela relação matemática obtida na equação (4.5) é possível representá-la pelo diagrama de blocos da Figura 4.4 que será utilizado como para da modelagem da técnica de controle.

Figura 4.4 - Diagrama de bloco representando a modelagem de controle da corrente de entrada.



Fonte: autoria própria.

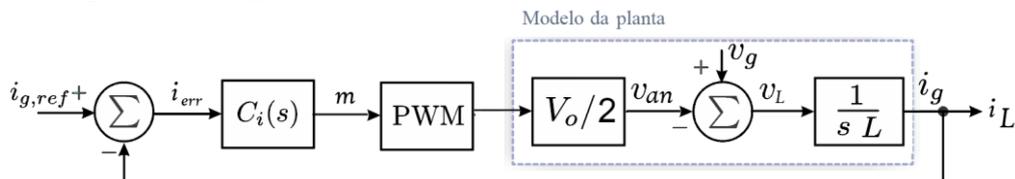
A partir da Figura 4.4, a função de transferência da corrente pode ser definida como:

$$G_i(s) = \frac{i_L(s)}{m(s)} = -\frac{V_o}{2 \cdot L \cdot s} \quad (4.6)$$

4.3 CONTROLE DA CORRENTE DA ENTRADA

A técnica mais difundida para controle da corrente de entrada em retificadores *boost* operando em condução contínua é conhecida por controle por valores médios (LANGE, 2015). Nesta técnica, o sinal modulante m é gerado através da variação de um sinal de erro i_{err} , gerado pela comparação da corrente de entrada com uma corrente de referência $i_{g,ref}$. O sinal de erro i_{err} passa por um fator multiplicador ou um controlador genérico $C_i(s)$. O Diagrama de blocos do controle de corrente é mostrado na Figura 4.5.

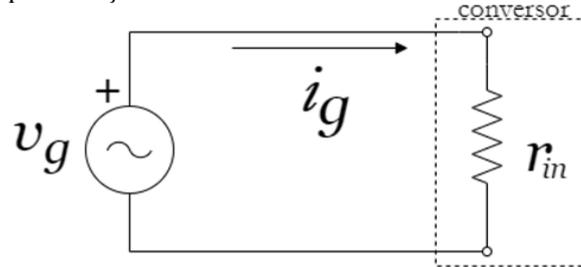
Figura 4.5 - Diagrama de Blocos do controle da corrente por valores médios.



Fonte: Autoria própria.

Considerando o retificador proposto com um fator de potência próximo a um, pode ser visto pela entrada uma fonte de tensão conecta a uma impedância que se comporta como uma resistência, r_{in} como mostrado na Figura 4.6.

Figura 4.6 - Representação do conversor como uma resistência visto pela entrada.



Fonte: Autoria própria.

A Figura 4.6 pode ser representada pela equação (4.7), abaixo:

$$i_g = \frac{v_g}{r_{in}} = \frac{V_{gp}}{r_{in}} \cdot \text{sen}(\omega t) \quad (4.7)$$

Para efeito de controle vamos renomear a corrente de entrada i_g , como $i_{g,ref}$, pois está é a corrente de entrada que será lida para efeito de controle. Ainda nesta equação substituiremos $1/r_{in}$ por sua condutância g_{in} , ficando a equação como descrita abaixo:

$$i_{g,ref} = g_{in} \cdot V_{gp} \cdot \text{sen}(\omega t) \quad (4.8)$$

Da mesma forma para a relação de potência instantânea p_{in} , condutância, resistência de entrada e tensão de pico da entrada, temos:

$$g_{in} = \frac{1}{r_{in}} = \frac{2 \cdot p_{in}}{V_{gp}^2} \quad (4.9)$$

Como é necessário o processamento de diferentes níveis de potência pelo circuito proposto, mantendo a tensão de saída V_o regulada e respondendo a variações de carga, faz-se necessária uma segunda malha de controle para o processamento destas variáveis. Esta variação para controle da instantâneo pode ser obtida pelo valor da

potência instantânea do sistema p_{in} em relação a potência nominal do sistema P_{nom} , este fator resultante vamos chamar de potência instantânea normalizada $\overline{p_{in}}$, expressa pela equação (4.10).

$$\overline{p_{in}} = \frac{p_{in}}{P_{nom}} \quad (4.10)$$

De forma análoga temos que a admitância instantânea normalizada é a relação entre a admitância instantânea pela admitância nominal. Para efeito de facilitar as substituições futuras vamos descrever esta relação como na equação (4.11):

$$g_{in} = \overline{g_{in}} \cdot G_{nom} \quad (4.11)$$

Isolando a potência instantâneas processada pelo conversor p_{in} expressa na equação (4.9) e substituindo a admitância de entrada instantânea g_{in} , temos que:

$$p_{in} = \frac{\overline{g_{in}} \cdot G_{nom} \cdot V_{gp}^2}{2} \quad (4.12)$$

Substituindo a admitância de entrada instantânea da equação (4.11) na corrente de entrada instantâneo da equação (4.8), temos que a corrente de referência na entrada para efeito de controle será expressa pela equação (4.13):

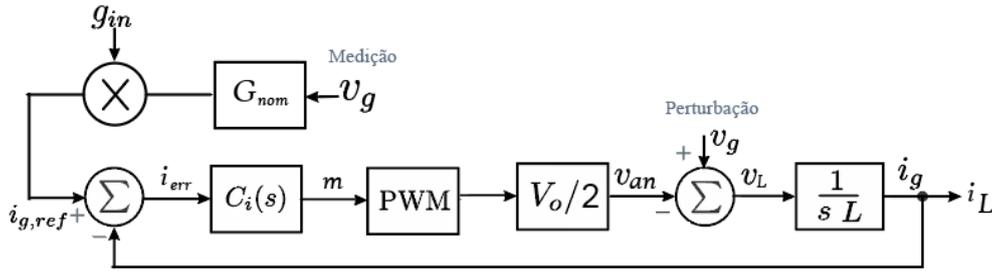
$$i_{g,ref} = \overline{g_{in}} \cdot G_{nom} \cdot V_{gp} \cdot \text{sen}(\omega t) \quad (4.13)$$

A relação $\overline{g_{in}}$ deve variar conforme houver distorções no comportamento da carga vista para entrada do conversor e é responsável por gerar o fator que irá controlar a malha de tensão. Substituindo a igualdade referente a tensão da fonte v_g da equação (4.3) em (4.14), tem-se que:

$$i_{g,ref} = \overline{g_{in}} \cdot G_{nom} \cdot v_g \quad (4.14)$$

Na Figura 4.7 temos a representação do diagrama de blocos da equação representada a partida atenção de entrada do conversor v_g , gerando a corrente de referência de entrada do conversor para a estratégia de controle $i_{g,ref}$.

Figura 4.7 – Diagrama de blocos do controle por valores médios com característica de entrada resistiva.



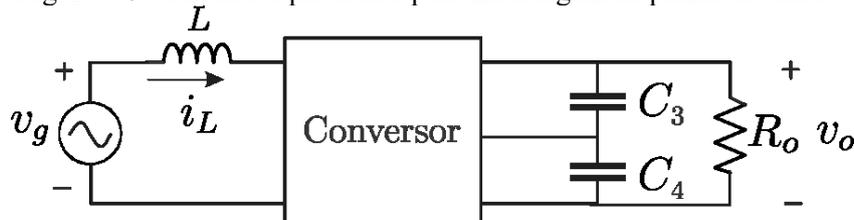
Fonte: Adaptado de Lange (2015).

Na Figura 4.7 temos a geração da corrente de referência $i_{g,ref}$ a partir da tensão de entrada v_g , esta corrente então é subtraída da corrente medida no indutor i_L , produzindo um erro i_{err} . Este erro é então aplicado a um controlador genérico, representado por $C(s)$, que produz um controle modulante m e conseqüentemente sobre o a tensão de entrada do conversor v_{an} .

4.4 CONTROLE DA TENSÃO DE SAÍDA

Para que o controle da tensão de saída seja realizado é necessário que o controlador de tensão $C_v(s)$ faça ajustes no sinal de condutância g_{in} a fim de ajustar a amplitude da corrente de referência. Para tanto é necessário obter a função de transferência que relaciona a tensão de saída com o sinal de condutância. Essa função de transferência para a planta de tensão $G_v(s)$ pode ser extraída e linearizada a partir do princípio de conservação, do balanço de potência nos elementos do circuito, considerando os elementos como ideais.

Figura 4.8 - Circuito equivalente para modelagem da planta de tensão.



Fonte: Autoria própria.

Por meio do circuito equivalente da Figura 4.8 pode-se escrever a seguinte equação para o balanço de potência nos elementos:

$$P_{in} = P_L + P_{C_3} + P_{C_4} + P_{R_0} \quad (4.15)$$

Onde:

P_{in} : potência instantânea da fonte de entrada;

P_L : potência instantânea no indutor L ;

P_{C_3} : potência instantânea no capacitor C_3 de saída.

P_{C_4} : potência instantânea no capacitor C_4 de saída.

P_{R_0} : potência instantânea na carga R_0 .

Cada uma das potências instantâneas da equação (4.15) são definidas a seguir:

$$P_{in} = \frac{g_{in} \cdot V_{gp}^2}{2} \quad (4.16)$$

$$P_L = \frac{1}{2} \cdot L \cdot \frac{d}{dt} I_{gp}^2 \quad (4.17)$$

$$P_{C_3} = \frac{1}{2} \cdot C_3 \cdot \frac{d}{dt} \left(\frac{v_o}{2} \right)^2 \quad (4.18)$$

$$P_{C_4} = \frac{1}{2} \cdot C_4 \cdot \frac{d}{dt} \left(\frac{v_o}{2} \right)^2 \quad (4.19)$$

$$P_{R_0} = \frac{v_0^2}{R_0} \quad (4.20)$$

Assim, substituindo as equações (4.16), (4.17), (4.18), (4.19), (4.20) na equação (4.15), obtém-se:

$$\frac{g_{in} \cdot V_{gp}^2}{2} = \frac{L}{2} \cdot \frac{d}{dt} I_{gp}^2 + \frac{C_3}{2} \cdot \frac{d}{dt} \left(\frac{v_o}{2} \right)^2 + \frac{C_4}{2} \cdot \frac{d}{dt} \left(\frac{v_o}{2} \right)^2 + \frac{v_0^2}{R_0} \quad (4.21)$$

A componente v_o é representada por uma parcela constante V_o e uma pequena componente que varia no tempo \tilde{v}_o , de tal forma que:

$$v_o = V_o + \tilde{v}_o \quad (4.22)$$

Analogamente, a corrente g_{in} é representada por uma parcela G_{in} e uma componente que varia com o tempo \tilde{g}_{in} , como apresentado:

$$g_{in} = G_{in} + \tilde{g}_{in} \quad (4.23)$$

A partir das equações descritas entre (4.22) e (4.23) é possível reescrever (4.21):

$$\begin{aligned} \frac{V_{gp}^2}{2} \cdot (G_{in} + \tilde{g}_{in}) = \\ \frac{L}{2} \cdot \frac{d}{dt} (I_{gp} + \tilde{i}_L)^2 + \frac{C_3}{2} \cdot \frac{d}{dt} \left(\frac{V_o + \tilde{v}_o}{2} \right)^2 + \frac{C_4}{2} \cdot \frac{d}{dt} \left(\frac{V_o + \tilde{v}_o}{2} \right)^2 + \frac{(V_o + \tilde{v}_o)^2}{R_o} \end{aligned} \quad (4.24)$$

Aplicando-se a transformada de Laplace na equação (4.24), obtém-se:

$$\begin{aligned} \frac{V_{gp}^2}{2} \cdot (G_{in} + \tilde{g}_{in}(s)) = \\ \frac{sL}{2} \cdot (I_{gp} + \tilde{i}_L(s))^2 + \frac{sC_3}{8} \cdot (V_o + \tilde{v}_o(s))^2 + \frac{sC_4}{8} \cdot (V_o + \tilde{v}_o(s))^2 + \frac{(V_o + \tilde{v}_o(s))^2}{R_o} \end{aligned} \quad (4.25)$$

Desprezando as parcelas constantes e de segunda ordem da expressão (4.25), obtém-se:

$$\begin{aligned} \frac{V_{gp}^2}{2} \cdot (\tilde{g}_{in}(s)) = \\ sL \cdot [I_{gp} \cdot \tilde{i}_L(s)] + \frac{sC_3}{8} \cdot [2 \cdot V_o \cdot \tilde{v}_o(s)] + \frac{sC_4}{8} \cdot [2 \cdot V_o \cdot \tilde{v}_o(s)] + \frac{[2 \cdot V_o \cdot \tilde{v}_o(s)]}{R_o} \end{aligned} \quad (4.26)$$

Evidenciando os parâmetros em comum e como C_3 é igual a C_4 , temos:

$$\left[(C_3 + C_4) \cdot s \cdot \frac{V_0}{4} + \frac{[2 \cdot V_0]}{R_0} \right] \cdot \tilde{v}_0(s) = \left[\frac{V_{gp}^2}{2} - s \cdot L \cdot I_{gp} \right] \cdot \tilde{g}_{in}(s) \quad (4.27)$$

Reescrevendo a equação (4.27) em função da tensão de saída e da corrente de entrada, obtém-se a função de transferência que representa o modelo linearizado da planta de tensão a ser controlada:

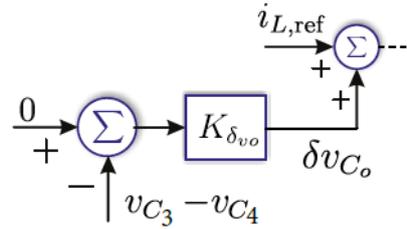
$$G_v(s) = \frac{\tilde{v}_0(s)}{\tilde{g}_{in}(s)} = \frac{\left(\frac{V_{gp}^2}{2} - s \cdot L \cdot I_{gp} \right)}{\left((C_3 + C_4) \cdot s \cdot \frac{V_0}{4} + \frac{[2 \cdot V_0]}{R_0} \right)} \quad (4.28)$$

4.5 CONTROLE DA TENSÃO DOS CAPACITORES

Para evitar desequilíbrio de tensão nos capacitores, é necessário malhas adicionais para o controle do balanceamento da tensão nos mesmos.

A tensão de balanceamento nos capacitores do barramento CC, v_{C3} e v_{C4} , é garantida através do diagrama de blocos da Figura 4.9. Esta malha consiste basicamente em forçar o desvio de tensão nos capacitores de saída para zero pela subtração de v_{C3} e v_{C4} . Para que a tensão sobre os capacitores esteja equilibrada, é necessário que esta variação seja próxima a zero. Esta variação resultando do desbalanceamento da tensão sobre os capacitores do barramento de saída é multiplicada por uma constante $K_{\delta v_{Co}}$ que geram um sinal δv_{Co} . O sinal gerado pela malha de controle δv_{Co} é adicionada à referência da corrente de entrada $i_{L,ref}$ produzindo um pequeno deslocamento (*offset*) que vai resultar na correção da tensão dos capacitores do barramento de saída do conversor.

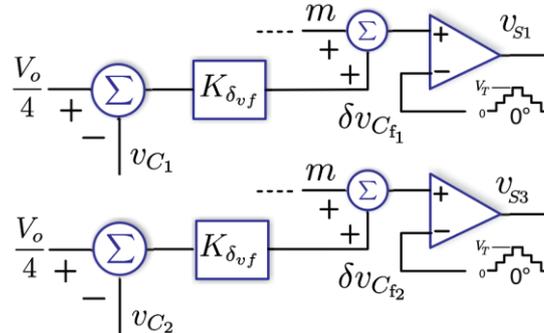
Figura 4.9 - Malha adicionais para garantir o balanceamento da tensão nos capacitores do barramento CC, C_3 e C_4 .



Fonte: Autoria própria.

A tensão de balanceamento nos capacitores flutuantes C_1 e C_2 é garantida através do diagrama de blocos mostrado na Figura 4.10. Conforme discutido na seção 3.1, o processo de carga e descarga dos capacitores flutuantes C_1 e C_2 é alcançado pelos estados topológicos 3 e 4 (ver Figura 3.2 e Figura 3.3). Portanto, a tensão de balanceamento de C_1 e C_2 pode ser realizada ajustando o tempo de condução dos interruptores S_1 e S_3 , dependendo do ciclo da rede. Este ajuste é realizado pelo sinal δv_C , que, adicionado ao sinal de modulação m , altera a razão cíclica de S_1 e/ou S_3 .

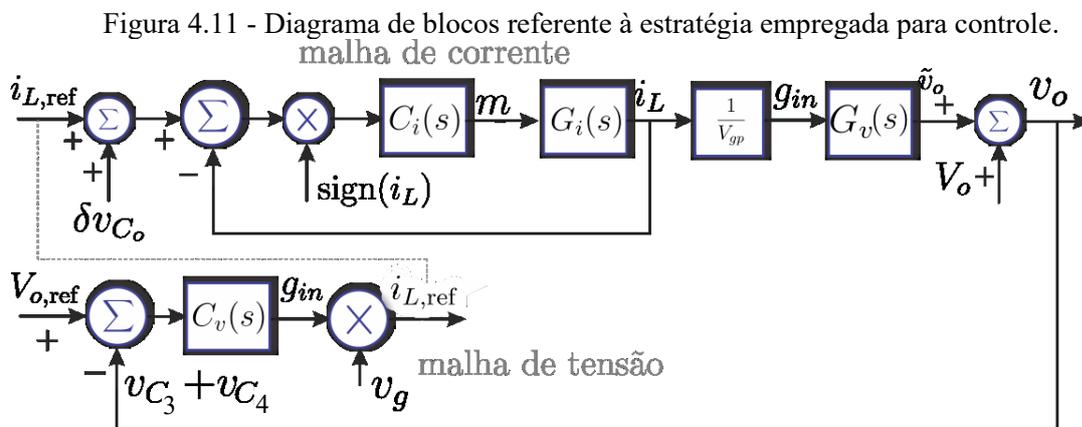
Figura 4.10 - Malha adicional para garantir o balanceamento da tensão nos capacitores flutuantes C_1 e C_2 .



Fonte: Autoria própria.

4.6 DIAGRAMA DO MODELO DE CONTROLE PARA O RETIFICADOR PROPOSTO

Na Figura 4.11 foi utilizado o tradicional controle multimalhas para representar o diagrama de blocos da estratégia empregada para no controle em malha fechada do conversor. A malha interna que é a malha de corrente que controla a corrente o indutor e precisa de uma resposta rápida com a planta de corrente $G_i(s)$ expressa pela equação (4.6). A malha de tensão que é a malha externa, de resposta mais lenta.



Fonte: Autoria própria.

4.7 RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO

Este capítulo se destinou a modelagem orientada ao controle do conversor proposto. Foi empregada a abordagem por valores médios tanto para corrente de entrada como de saída em malha fechada, levantada as funções de transferências de tensão e corrente e os diagramas de bloco de controle.

Foi apresentada a estratégia de controle, modelagem do circuito equivalente, a apresentação de como será feita o controle da corrente de entrada, da tensão de saída e dos capacitores. Diante dos resultados obtidos através de simulações foi possível confrontar as expressões encontradas, validando assim o método empregado.

Importante salientar que para um funcionamento adequado do conversor proposto é necessário um controle de balanceamento de tensão sobre os capacitores de saída C3 e C4. Assim como um controle de balanceamento individualizado sobre os capacitores flutuantes C1 e C2, representado pela Figura 4.10.

5 PROJETO, PERDAS, SIMULAÇÃO, COMPARAÇÃO E RESULTADOS EXPERIMENTAIS

5.1 DEFINIÇÃO DO PROJETO

5.1.1 ESCOLHA DOS PARÂMETROS

Esta seção do trabalho é dedicada a apresentação das especificações do projeto implementado e dos componentes que serão utilizados para a validação através das simulações, dos experimentos práticos e das análises matemáticas.

Salienta-se os seguintes pontos referentes a escolha dos componentes e parâmetros:

1. muitos componentes foram escolhidos conforme a disponibilidade em laboratório, uma vez que o objetivo principal deste trabalho é comprovar o funcionamento e estudos;
2. Seguindo esta premissa a tensão de entrada de 127 V, escolheu-se pois este é o padrão no estado do Paraná, mas poderia ser utilizado 220 V;
3. Para tensão de saída foi escolhido 400 V, por conta do limite de tensão de saída dos capacitores de 250 V, mas o conversor pode atingir tensões maiores.
4. A escolha dos MOSFET e diodos foi realizada de acordo com a disponibilidade. Foi levado em consideração que os mesmos apresentam limites de tensão muito maiores do que os limites projetados, e que isto representa em perdas de comutação.

Na Tabela 5.1 as especificações do projeto do conversor são apresentadas.

Tabela 5.1 - Especificação dos parâmetros do projeto do conversor

Parâmetro	Valor
Tensão de entrada – Rede CA, $V_{g,rms}$	127 V \pm 15% / 60 Hz
Tensão de saída total V_o	400 V
Potência de saída P_o	1000 W
Frequência de comutação (f_s)	50 kHz

Fonte: Autoria própria.

O valor da tensão de saída de 400 V que considerando a tensão de entrada 127 V e de acordo com a equação do ganho apresentada no capítulo 3 é viável para o conversor. Para essa condição o índice de modulação é:

$$M = \frac{180 \cdot 2}{400} = 0,9 \quad (5.1)$$

Baseando-se na tensão do barramento de saída total V_o e com a análise realizada no capítulo 3 é possível afirmar que a maior tensão reversa que os semicondutores estarão submetidos é no máximo 100 V, ou seja, 1/4 da tensão total de saída.

Na Tabela 5.2 são mostrados os componentes empregados no conversor.

Tabela 5.2 - Especificação dos componentes utilizados

Componente	Valor/especificação
Indutor de entrada (L)	300 μ H/ Magnetics©
	71 voltas / 15 AWG
Capacitores de comutação (C_1 e C_2)	470 μ F / 450 V
	B43501-S977-M33
Capacitor de saída (C_3 e C_4)	1 mF - CD293 - 250 V- Suntain
MOSFET (S_1 , S_2 e S_3)	IPW60R041P6
	650 V/ 49 A
	$r_{DS(on)} = 41 \text{ m}\Omega$
Diodos (D_1 , D_2 , D_3 , D_4 , D_5 , D_6 , D_7 e D_8)	IDH16G65C5
	600 V/ 16 A
	SiC Schottky Diode
	$V_{S,0} = 970 \text{ mV}$ $R_S = 38,5 \text{ m}\Omega$

Fonte: Autoria própria.

5.1.2 ONDULAÇÃO DE CORRENTE DO INDUTOR

Isolando Δi_L da equação (3.21) pode-se determinar a máxima ondulação de corrente considerada no projeto. Assim,

$$\Delta i_L = \frac{V_o}{32 \cdot f_s \cdot L} = \frac{400}{32 \cdot 50\text{kHz} \cdot 300\mu\text{H}} = 0,8333 \text{ A} \quad (5.2)$$

Em termos percentuais a equação (5.2) equivale a uma ondulação de corrente de aproximadamente 8%.

5.1.3 ONDULAÇÃO DE TENSÃO DE SAÍDA

Usando a equação (3.56) pode-se calcular a tensão considerada no projeto.

$$\Delta v_{Co} = \frac{P_o}{V_o \cdot C_n \cdot 2\pi \cdot f_g} = \frac{1000}{400 \cdot 1\text{m} \cdot 2\pi \cdot 60} = 6,63 \text{ V} \quad (5.3)$$

Em termos relativos, o capacitor escolhido fornece uma ondulação de aproximadamente 1,7% da tensão de saída V_o .

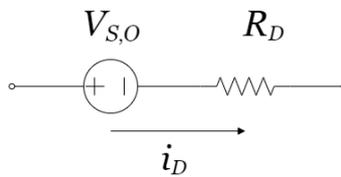
5.2 ESTIMATIVA DAS PERDAS

5.2.1 METODOLOGIA

Através dos esforços de corrente para cada componente do conversor proposto levantados no capítulo 3 para corrente média para corrente eficaz, das características de cada componente apresentado na Tabela 5.2 e das condições nominais de operação proposta apresentado na Tabela 5.1 é possível calcular as perdas em cada componente de potência.

Para o cálculo das perdas nos diodos vamos utilizar o modelo linearizado apresentado na Figura 5.1, que representa o circuito equivalente para um diodo real em condução. Os parâmetros R_D e $V_{S,0}$ são obtidos através da curva que define a característica estática deste diodo específico (BARBI, 2006) e expressa pela equação (5.4).

Figura 5.1 - Modelo do diodo para o cálculo das perdas.



Fonte: Autoria própria.

$$P_{S,con} = I_{efs}^2 \cdot R_D + I_D \cdot V_{S,0} \quad (5.4)$$

Para o cálculo das perdas no interruptor do tipo MOSFET as perdas serão calculadas por (5.5), em que R_S representa a resistência do canal quando o interruptor está em condução.

$$P_{S,con} = I_{efs}^2 \cdot R_S \quad (5.5)$$

As perdas de comutação serão ignoradas por falta de dados do datasheet.

5.2.2 PERDAS DE CONDUÇÃO NOS INTERRUPTORES

As perdas em condução nos interruptores são calculadas utilizando as equações de esforços de corrente eficaz sobre os componentes Tabela 3.2 de referência, as características de cada componente apresentado na Tabela 5.2 e as condições nominais de operação proposta para com o conversor Tabela 5.1 de referência.

As perdas de condução nos interruptores S_1 e S_3 são calculadas pela equação (5.5), sendo $k \in \{1, 3\}$.

$$P_{S_k,con} = I_{efs_k}^2 \cdot r_{DS(on)} \quad (5.6)$$

Calculando para o conversor nas condições nominais de operação, tem-se que cada interruptor terá perda por condução estimada de

$$P_{S_k,con} = 0,299 W \quad (5.7)$$

As perdas em condução nos interruptores S_2 é calculada pela equação (5.8).

$$P_{S_2,con} = I_{efS_2}^2 \cdot r_{DS(on)} \quad (5.8)$$

Calculando para o conversor nas condições nominais de operação, tem-se que cada interruptor terá perda por condução estimada de

$$P_{S_2,con} = 0,597 W \quad (5.9)$$

Assim a soma das perdas nos interruptores S_1 , S_2 e S_3 para as condições nominais, conclui-se que

$$P_{S_{Tot},con} = 2 \cdot P_{S_k,con} + P_{S_2,con} = 1,195 W \quad (5.10)$$

5.2.3 PERDAS DE CONDUÇÃO NOS DIODOS

As perdas em condução nos diodos são calculadas utilizando a metodologia resumida na equação (5.4). Os termos de esforços de corrente média e eficaz sobre os componentes estão resumidos na Tabela 3.1 e Tabela 3.2 respectivamente, as características de cada componente apresentado na Tabela 5.2 e as condições nominais de operação proposta para com o conversor Tabela 5.1 de referência.

As perdas de condução dos diodos D_1 e D_2 são calculadas pela equação (5.11), sendo $i \in \{1, 2\}$.

$$P_{D_i,con} = I_{efD_i}^2 \cdot R_D + I_{D_i} \cdot V_{S,0} \quad (5.11)$$

Calculando para o conversor nas condições nominais de operação, tem-se que cada diodo terá perda por condução estimada de

$$P_{D_i,con} = 4,618 W \quad (5.12)$$

As perdas de condução dos diodos D_3 e D_4 são calculadas pela equação (5.13), sendo $k \in \{3, 4\}$.

$$P_{D_k,con} = I_{efD_k}^2 \cdot R_D + I_{Dk} \cdot V_{S,0} \quad (5.13)$$

Calculando para o conversor nas condições nominais de operação, tem-se que cada diodo terá perda por condução estimada de

$$P_{D_k,con} = 1,286 W \quad (5.14)$$

As perdas de condução dos diodos D_5 , D_6 , D_7 e D_8 são calculadas pela equação(5.15), sendo $j \in \{5, \dots, 8\}$.

$$P_{D_j,con} = I_{efD_j}^2 \cdot R_D + I_{Dj} \cdot V_{S,0} \quad (5.15)$$

Calculando para o conversor nas condições nominais de operação, tem-se que cada diodo terá perda por condução estimada de

$$P_{D_j,con} = 3,333 W \quad (5.16)$$

Assim a soma das perdas nos diodos D_1 , D_2 , D_3 , D_4 , D_5 , D_6 , D_7 e D_8 para as condições nominais, conclui-se que

$$P_{D_{Tot},con} = 2 \cdot P_{D_i,con} + 2 \cdot P_{D_l,con} + 4 \cdot P_{D_j,con} = 26,336 W \quad (5.17)$$

5.2.4 PERDAS DE CONDUÇÃO NO INDUTOR DE ENTRADA

As perdas no indutor de entrada serão representadas somente pelas perdas ôhmicas nos enrolamentos, uma vez que, as perdas magnéticas representam uma parcela pequena comparada às perdas por condução nos enrolamentos.

Foi escolhido para o conversor o magnético produzido pela empresa Magnetics, núcleo toroidal – 77440A7, construído com 71 espiras – 15 AWG e com uma resistência equivalente de $r_{L,cc} = 0,098 \Omega$.

Para estimar a perda temos que

$$P_L = I_{efg}^2 \cdot r_{L,CC} = 6,049 W \quad (5.18)$$

5.2.5 TOTAL DE PERDAS E RENDIMENTO TEÓRICO

O total de perdas de condução estimando para o conversor é calculado pela expressão (5.19):

$$P_{Tot,con} = P_{S_{Tot,con}} + P_{D_{tot,con}} + P_{L,con} = 32,39 W \quad (5.19)$$

O rendimento estimado para a operação nominal é então dado pela equação:

$$\eta = \frac{P_o}{P_o + P_{Tot,con}} = 97\% \quad (5.20)$$

Na equação (5.20) não foi considerada as perdas por comutação devido à falta de informação no catálogo do fabricante.

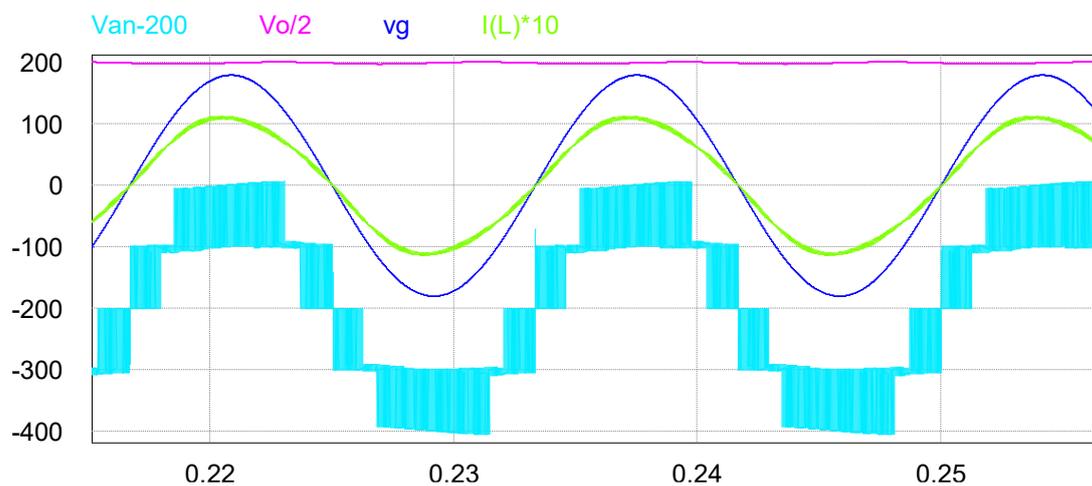
5.3 RESULTADOS DE SIMULAÇÕES

Todos os resultados de simulação do conversor proposto aqui apresentados foram extraídos utilizando o *software* PSIM® utilizando as condições nominais de operação contidas na Tabela 5.1 e especificações de componentes contidas na Tabela 5.2. As simulações foram realizadas com o conversor operando em malha fechada, com controle de corrente de entrada e tensão de saída.

Na Figura 5.2 são apresentados os resultados de simulação do conversor operando em condições nominais. São mostradas a tensão da rede v_g , a tensão de comutação do conversor v_{an} , a tensão de saída V_o e a corrente sobre o indutor i_L . Para oferecer uma melhor comparação em relação aos resultados experimentais que serão expostos na próxima seção, os resultados experimentais apresentados na Figura 5.2 foram arranjados da seguinte forma: v_{an} , está com um *offset* de -200 em seus valores, i_L foi

escalonado num fator de 10 vezes o seu valor e a tensão de saída v_o escalonada num fator de 0,5 dos seus valores.

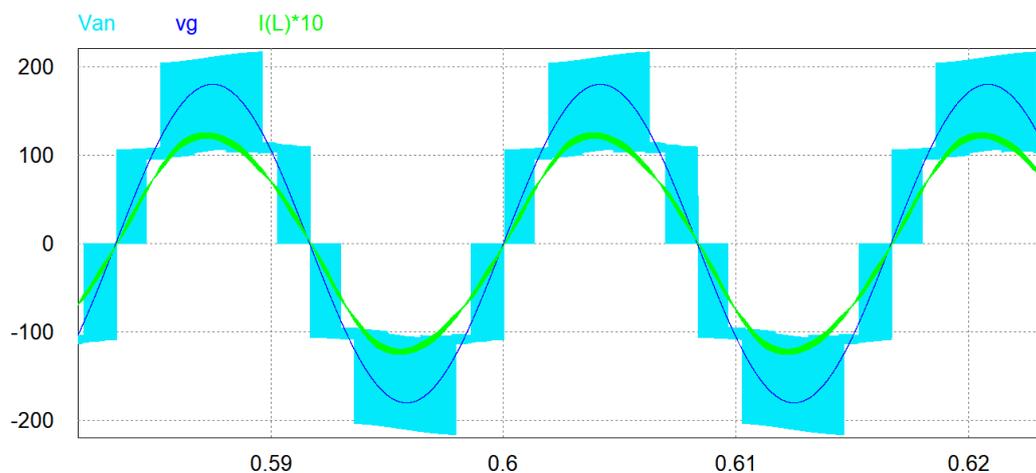
Figura 5.2 - Resultado das simulações: tensão da rede v_g , tensão comutada do conversor v_{an} , corrente sobre o indutor de entrada i_L e tensão de saída.



Fonte: Autoria própria.

Na Figura 5.3 é possível observar que a tensão de v_{an} alterna nos níveis +200 V, +100 V, 0, -100 V e -200 V, correspondentes a $+V_o/2$, $+V_o/4$, 0, $-V_o/4$ e $-V_o/2$ respectivamente e portanto apresenta 5 níveis distintos. Outro aspecto importante é que a tensão e corrente de entrada i_L estejam em fase, acarretando um fator de potência próximo a unidade.

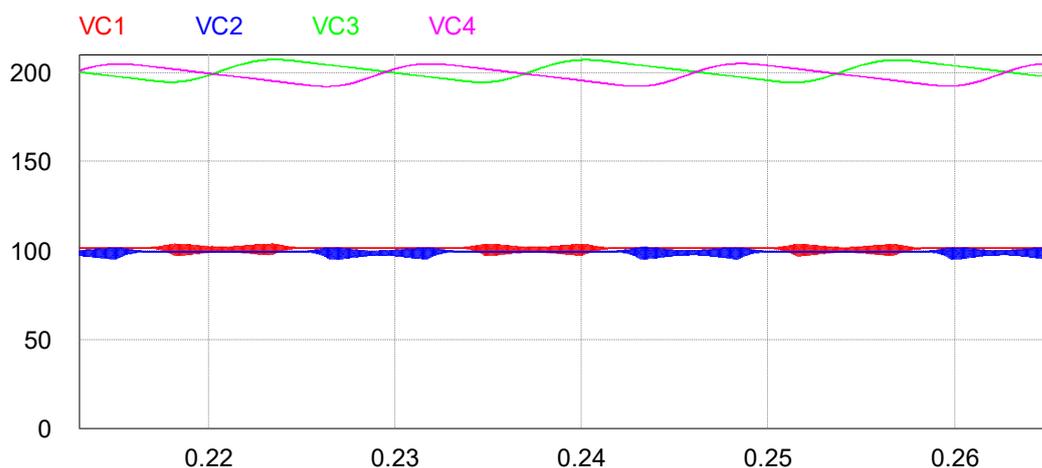
Figura 5.3 - Resultado das simulações: tensão da rede v_g , tensão comutada do conversor v_{an} e corrente sobre o indutor de entrada i_L .



Fonte: Autoria própria.

Na Figura 5.4 é apresentada a resposta e tensão sobre os capacitores C_1 e C_2 , e dos capacitores de saída C_3 e C_4 em é possível observar a operação em tornos dos valores previstos de $+V_o/2$ e $+V_o/4$.

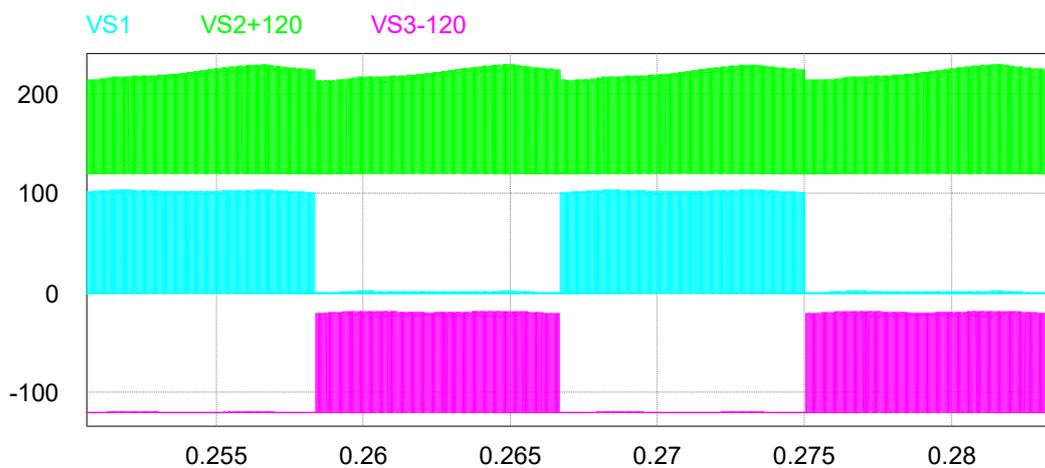
Figura 5.4 - Resultado das simulações: tensão da sobre os capacitores C_1 e C_2 , e dos capacitores de saída C_3 e C_4



Fonte: Autoria própria.

A Figura 5.5 apresenta a tensão sobre os interruptores e possível observar que o maior esforço de tensão sobre eles é igual a $V_o/4$ assim como que S_1 e S_3 operam e cada semiciclo da rede.

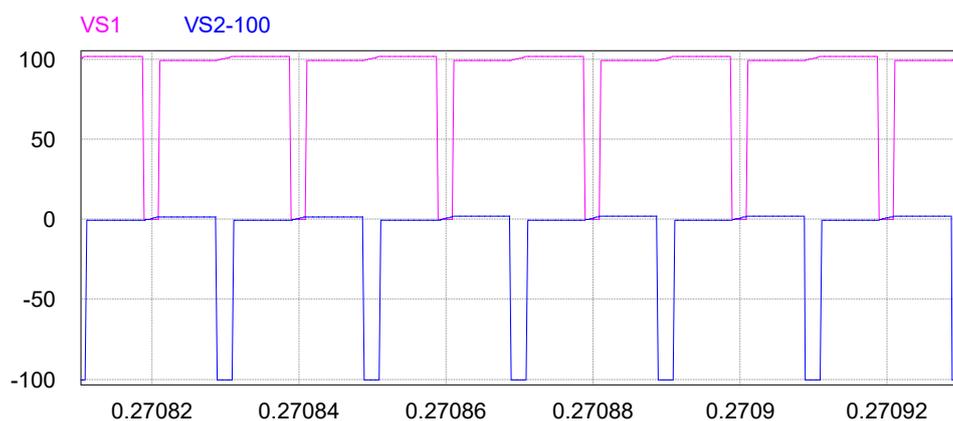
Figura 5.5 - Resultado das simulações: tensão da sobre os interruptores S_1 , S_2 e S_3 .



Fonte: Autoria própria.

Já na Figura 5.6 apresenta em detalhe a resposta de tensão da atuação dos interruptores S_1 e S_2 , atuando no mesmo semiciclo, em que é possível observar os dois interruptores atuam com mesmo ciclo de trabalho $d.T_s$, para o mesmo período de comutação T_s , com defasamento de 180° entre os dois interruptores.

Figura 5.6 - Resultado das simulações: detalhe da atuação da tensão da sobre os interruptores S_1 e S_2 .



Fonte: Autoria própria.

5.4 COMPARAÇÃO ENTRE MODELO TEÓRICO E SIMULADO

5.4.1 PARÂMETROS PARA A COMPARAÇÃO ENTRE MODELO TEÓRICO E SIMULADO

A Tabela 5.3 apresenta todos os parâmetros que foram utilizados no levantamento das respostas de corrente de entrada i_L e tensão de saída v_o nas comparações entre a respostas de simulação e do modelo teórico.

Tabela 5.3 - Tabela com os parâmetros utilizado para a comparação entre modelo teórico e simulação, do degrau.

Parâmetro	Valor
Tensão de saída V_o , inicial:	400 VDC
Tensão de saída V_o , final:	420 VDC
Tempo Inicial	0,85 s
L	300 μ H
$C_1 = C_2$	10 μ F
$C_3 = C_4$	2 mF
P_o	1000 W
f_s	50 kHz
V_{gp}	180 V
f_g	60 Hz

Fonte: Aatoria própria.

5.4.2 COMPARATIVO ENTRE ESFORÇOS DE CORRENTES TEÓRICOS E SIMULADOS

Com o intuito de validar as análises teóricas dos esforços de corrente e a dinâmica do conversor, simulações numéricas foram realizadas. Os resultados dos comparativos entre esforços de está exposto e o erro relativo estão expostos na Tabela 5.4. É possível observar que os erros relativos são menores do que 3% para todos os componentes, fato este que comprova a precisão das expressões obtidas.

Tabela 5.4 - Comparativo entre os esforços de corrente teóricos e simulados para a operação nominal do conversor

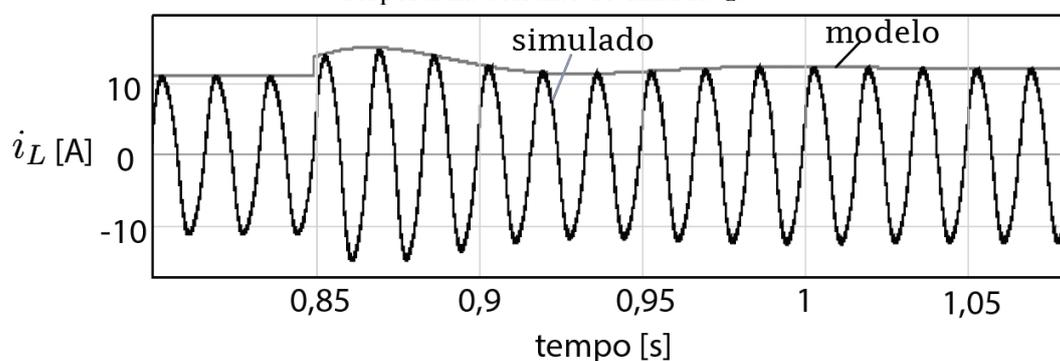
Parâmetro	Teórico [A]	Simulado [A]	Erro relativo [%]
$I_{S_1}, I_{S_3}, I_{D_3}, I_{D_4}$ $I_{S_k D_l}, k \in \{1, 3\}$ e $l \in \{3, 4\}$	1,037	1,060	-2,993%
I_{S_2}	2,074	2,040	1,618%
I_{D_1}, I_{D_2} $I_{D_i},$ sendo $i \in \{1, 2\}$	3,537	3,430	3,019%
$I_{D_5}, I_{D_6}, I_{D_7}, I_{D_8}$ $I_{D_j},$ sendo $j \in \{5, \dots, 8\}$	2,500	2,456	1,760%
$I_{efS_1}, I_{efS_3}, I_{efD_3}, I_{efD_4}$ $I_{ef\{S_k, D_l\}},$ sendo $k \in \{1, 3\}$ e $l \in \{3, 4\}$	2,699	2,680	0,711%
I_{efS_2}	3,817	3,862	-1,172%
I_{efD_1}, I_{efD_2} $I_{efD_i},$ sendo $i \in \{1, 2\}$	5,556	5,541	0,262%
$I_{efD_5}, I_{efD_6}, I_{efD_7}, I_{efD_8}$ $I_{efD_j},$ sendo $j \in \{5, \dots, 8\}$	4,856	4,849	0,139%
I_{efC_1}, I_{efC_2} $I_{efC_m},$ sendo $m \in \{1, 2\}$	3,656	3,769	-3,091%
I_{efC_3}, I_{efC_4} $I_{efC_n},$ sendo $n \in \{3, 4\}$	4,163	4,213	-1,207%

Fonte: Autoria própria.

5.4.3 COMPARAÇÃO DA RESPOSTA A UM DEGRAU DE TENSÃO PARA O MODELO TEÓRICO E SIMULADO

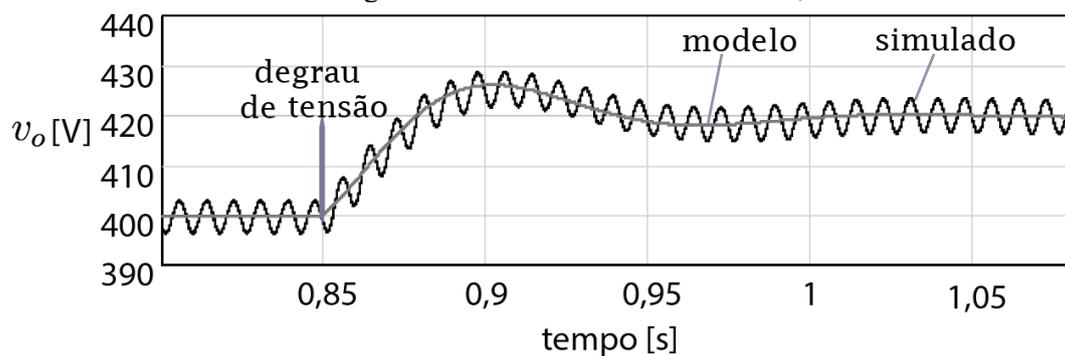
Com o objetivo de validar a planta de tensão obtida, foi realizada a simulação do conversor e comparado como o modelo matemático obtido. A Figura 5.7 mostra o comportamento da corrente de entrada i_L e a tensão de saída v_o operando em malha fechada. Para esta avaliação foi simulado um degrau de referência de tensão de saída de 5% em torno do ponto de operação. Pode-se observar uma boa aproximação entre o conversor simulado e o modelo matemático obtido.

Figura 5.7 - Simulação do conversor e modelo para um degrau de 5% na referência de tensão, resposta na corrente de entrada i_L .



Fonte: Autoria própria.

Figura 5.8 - Comportamento da tensão de saída v_o simulado e do modelo matemático, diante de um degrau de referência na tensão de saída, v_o .



Fonte: Autoria própria.

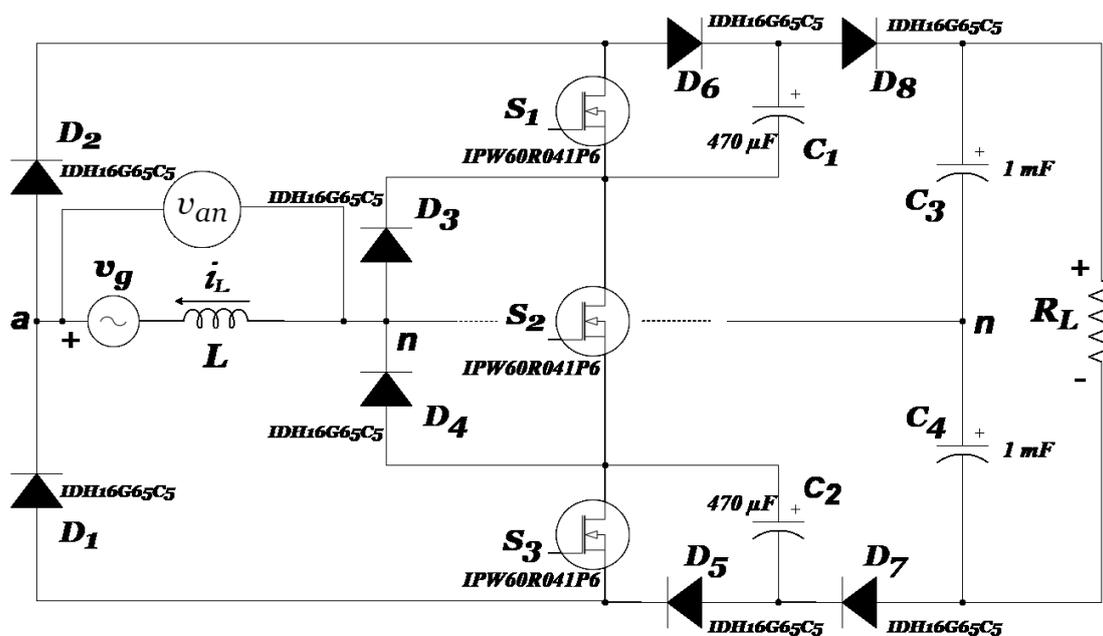
A Figura 5.8 apresenta o comportamento da corrente tensão de saída v_o simulado e do modelo matemático diante de um degrau de 5% na referência de tensão de saída v_o . Está sobreposto o modelo do circuito comutado. Igualmente é possível observar uma boa aproximação entre o modelo e o circuito simulado, validando, desta forma a modelagem adotada.

5.5 RESULTADOS EXPERIMENTAIS

Esta seção tem por objetivo apresentar os resultado experimentais obtidos em laboratório através do protótipo construído com as especificações contidas nas Tabela 5.1 e Tabela 5.2.

A partir do diagrama da Figura 5.9 foi construído um protótipo experimental com a finalidade de validar os conceitos teóricos. Para a construção do barramento de saída foram empregados capacitores eletrolíticos, pois este estágio precisa de elevada capacitância e a com o objetivo de reduzir a ondulação de 120 Hz presente na tensão de saída de conversores PFC monofásico.

Figura 5.9 – Esquemático utilizado no emprego do protótipo experimental.

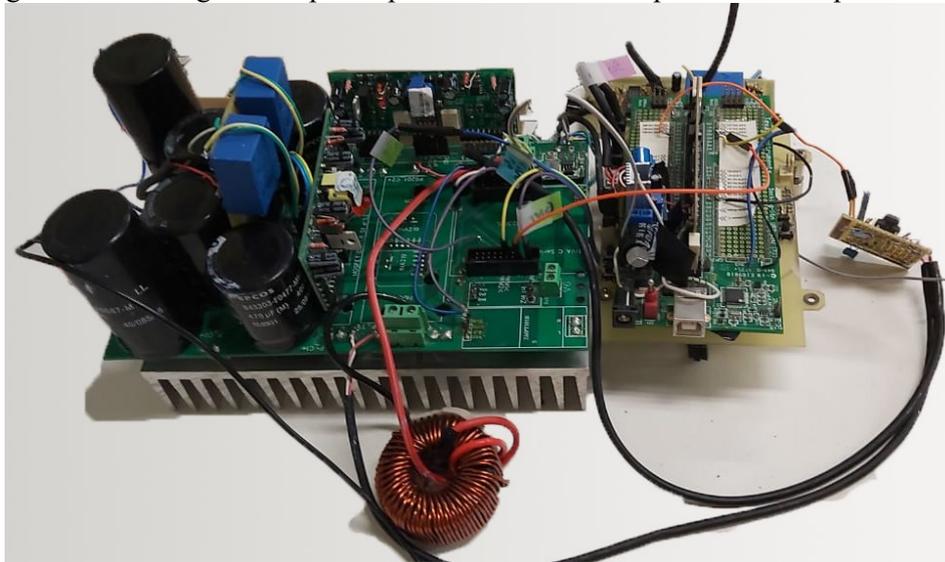


Fonte: Autoria própria.

Na Figura 5.10 apresentada a imagem do protótipo construído em laboratório. Na imagem é possível observar alguns itens que compõem o conversor com o indutor de entrada, capacitores, sensores, DSP, etc.

Para os algoritmos de modulação e controle do conversor foi empregado o controlador de sinal digital de ponto-flutuante DSP TMS320F28335 da empresa *Texas Instruments*®. Já para o sensoriamento foram utilizados sensores do tipo *hall*, com o objetivo de manter o isolamento entre o estágio de controle e potência. O protótipo construído serviu para a extração dos resultados experimentais mostrados a seguir e todos os testes foram realizados com carga resistiva.

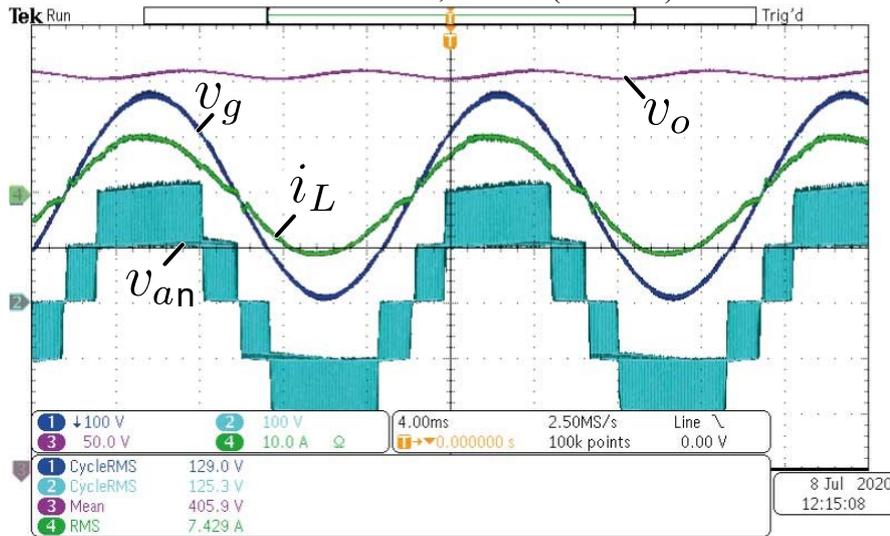
Figura 5.10 - Fotografia do protótipo construído e usado para ensaios experimentais.



Fonte: Autoria própria.

Na Figura 5.11 são apresentados os resultados experimentais do conversor operando em regime permanente e com potência nominal. São mostradas a tensão da rede v_g e corrente de entrada i_L (canal 1 e 4, respectivamente), a tensão de comutação do conversor v_{an} (canal 2) a tensão de saída V_o (canal 3). É possível observar que a corrente no indutor i_L apresenta forma senoidal e em fase com a tensão da rede v_g . Assim, performando um alto fator de potência. A tensão de saída V_o se mantém constante ao valor nominal do projeto. Além disto é possível de se observar a formação de um de tensão v_{an} com cinco níveis.

Figura 5.11 - Resultado experimental: tensão de rede v_g Canal 1 (100 V/div); corrente sobre o indutor de entrada i_L Canal 4 (10 A/div); tensão v_{an} , Canal channel 2 (100 V/div); tensão de saída v_o , Canal 3 (50 V/div).

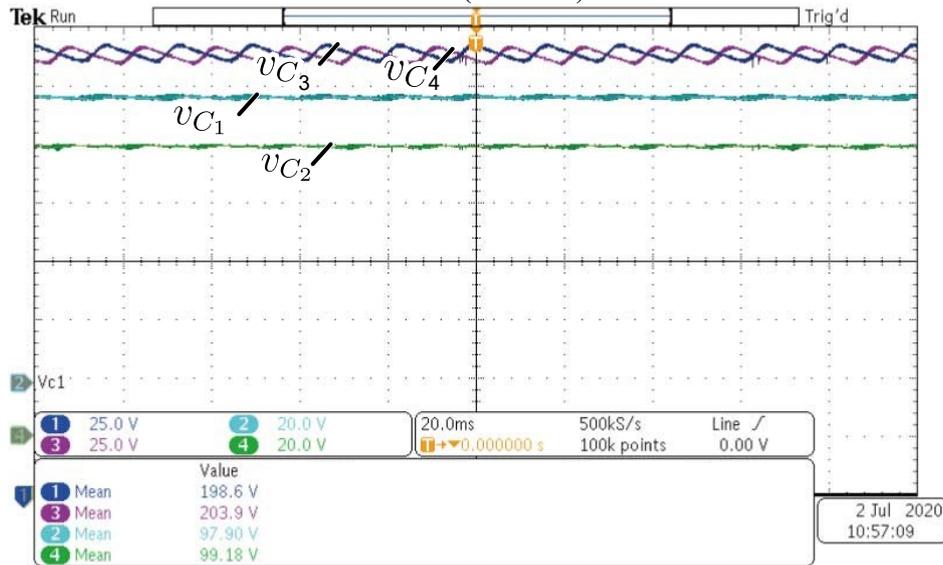


Fonte: Autoria própria.

Na Figura 5.11 é possível observar que a tensão de v_{an} alterna nos níveis +200 V, +100 V, 0, -100 V e -200 V, correspondentes a $+V_o/2$, $+V_o/4$, 0, $-V_o/4$ e $-V_o/2$ respectivamente e portanto apresenta 5 níveis distintos. Pode-se concluir, a partir da imagem, que a tensão e corrente de entrada i_L estejam em fase, acarretando um fator de potência próximo a unidade.

Na Figura 5.12 é apresentado a resposta e tensão sobre os capacitores C_1 e C_2 (canal 2 e 4), e dos capacitores de saída C_3 e C_4 (canal 1 e 3). É possível observar uma boa regulação de tensão, em que v_{C3} e v_{C4} operam em tornos dos valores previstos pela análise teórica de $+V_o/2$ (200 V) e v_{C1} e v_{C2} estão sujeitos a uma tensão máxima de $+V_o/4$ (100 V).

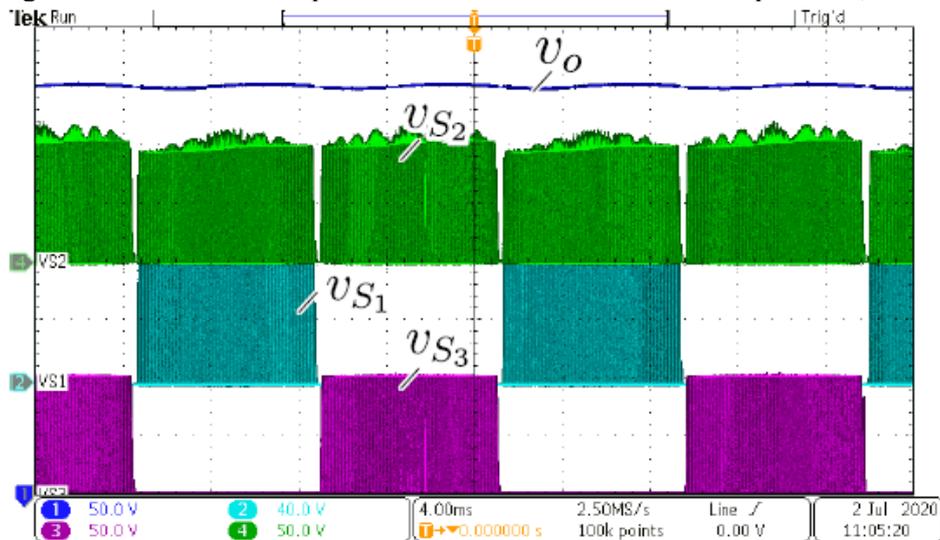
Figura 5.12 - Resultado experimental: tensão da sobre os capacitores flutuante C_1 e C_2 (canal 2 e 4, respectivamente, com 20 V/div), e dos capacitores de saída C_3 , canal 1 (25 V/div) e C_4 , canal 3 (25 V/div).



Fonte: Autoria própria.

A Figura 5.13 apresenta o comportamento da tensão de saída v_o e as tensões sobre os interruptores S_1 , S_2 e S_3 operando em carga nominal. De acordo com a análise teórica é possível observar que o maior esforço de tensão sobre os interruptores é igual a $V_o/4$ (100 V) assim como que S_1 , canal 2 e S_3 , canal 3 operam em cada semiciclo da rede e que S_2 opera em ambos semiciclos da rede.

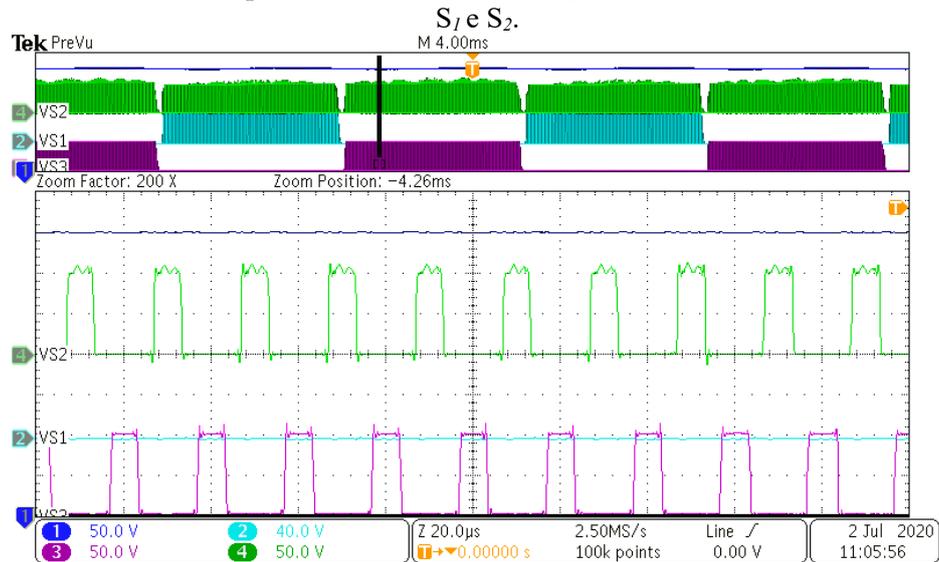
Figura 5.13 - Resultado experimental: tensão da sobre os interruptores S_1 , S_2 e S_3 .



Fonte: Autoria própria.

Já na Figura 5.14 apresenta em detalhe a resposta de tensão da atuação dos interruptores S_1 e S_2 , atuando no mesmo semiciclo, em que é possível observar as as tuas chave atuam com mesmo ciclo de trabalho $d.T_s$, para o mesmo período de comutação T_s , com defasamento de 180° entre os dois interruptores.

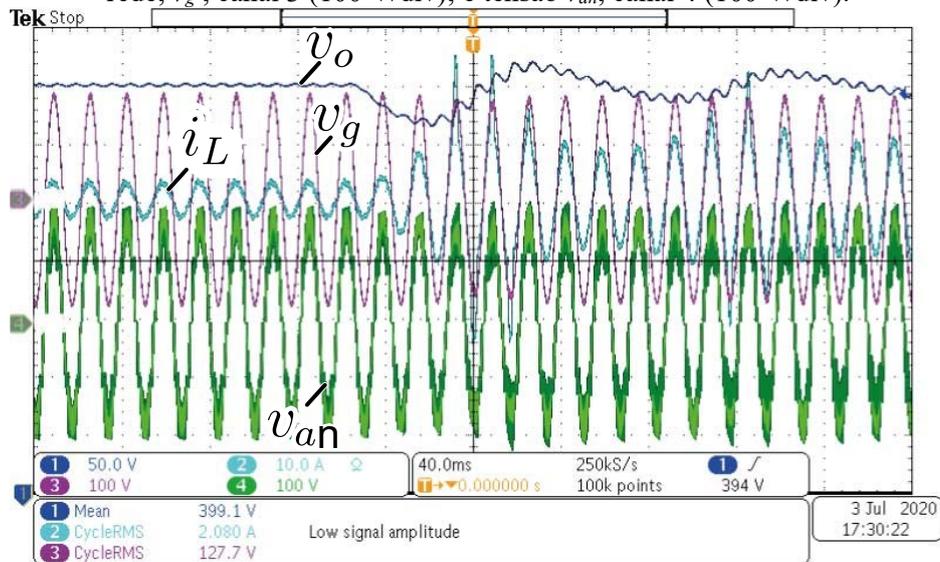
Figura 5.14 - Resultado experimental: detalhe da atuação da tensão da sobre os interruptores



Fonte: Autoria própria.

A Figura 5.15 apresenta o desempenho dinâmico da proposta conversor para um teste com um degrau de de carga: de 50% a 100% P_o . Pode ser visto que a tensão de saída apresenta um comportamento não amortecido. Este ocorre devido à ação do regulador de tensão $C_v(s)$, consultar Figura 4.2. Esse desempenho dinâmico pode ser aprimorado com reajuste de $C_v(s)$.

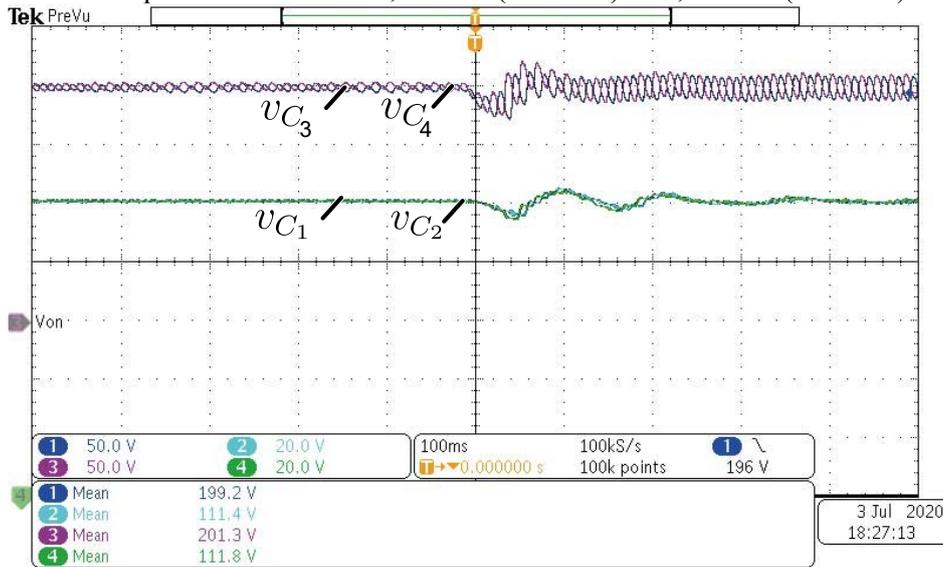
Figura 5.15 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão de saída, v_o , canal 1 (50 V/div); corrente de entrada i_L , canal 2 (10 A/div); tensão da rede, v_g , canal 3 (100 V/div); e tensão v_{an} , canal 4 (100 V/div).



Fonte: Autoria própria.

A Figura 5.16 mostra o desempenho dinâmico das tensões nos capacitores para uma etapa de carga: de 50% a 100% da potência nominal P_o . Pode-se observar que durante o transitório, ambas as parcelas de tensão de do barramento de saída (v_{C3} , v_{C4}) e tensão no capacitor flutuante (v_{C1} , v_{C2}) não apresentam desvios de tensão entre si.

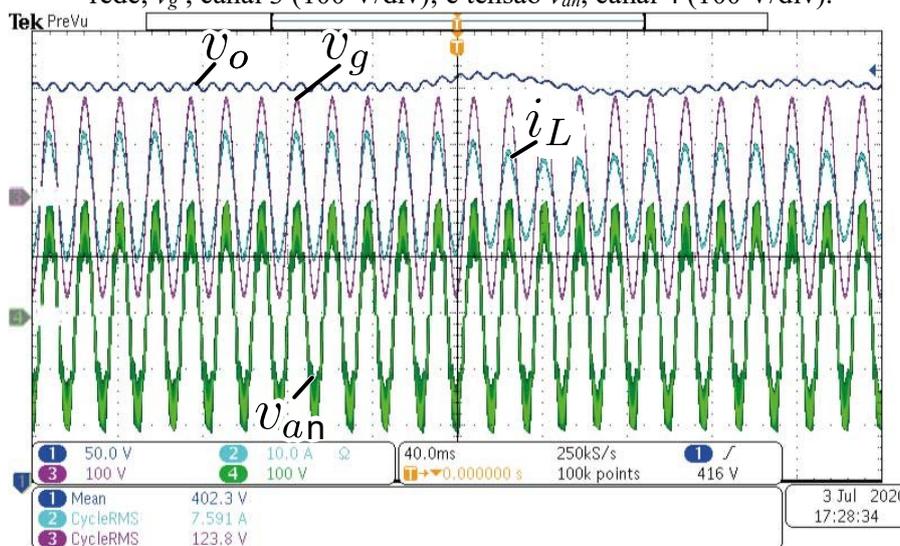
Figura 5.16 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão da sobre os capacitores flutuante C_1 e C_2 (canal 2 e 4, respectivamente, com 20 V/div), e dos capacitores de saída C_3 , canal 1 (50 V/div) e C_4 , canal 3 (50 V/div).



Fonte: Autoria própria.

A Figura 5.17 apresenta o desempenho dinâmico do conversor proposto para a etapa de carga: de 100% a 50% da potência nominal P_o . Novamente, um bom desempenho dinâmico pode ser visto neste teste. É mostrado que após a perturbação, a tensão de saída retorna ao valor nominal sem afetar a qualidade da corrente do indutor.

Figura 5.17 - Resultado experimental com um degrau de 50% da carga nominal a 100%: tensão de saída, v_o , canal 1 (50 V/div); corrente de entrada i_L , canal 2 (10 A/div); tensão da rede, v_g , canal 3 (100 V/div); e tensão v_{an} , canal 4 (100 V/div).

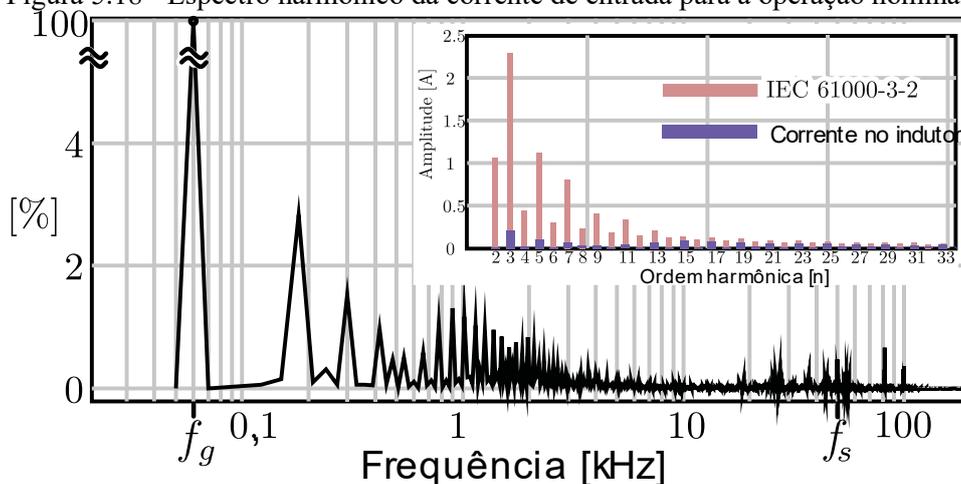


Fonte: Autoria própria.

5.5.1 THD

O espectro harmônico da corrente de entrada em relação a componente fundamental para o conversor proposto operando com potência nominal é mostrado na Figura 5.18. O espectro de corrente foi obtido a partir da corrente mostrada na Figura 5.11, na qual um $THDi = 5,6\%$ foi obtido. Os componentes harmônicos são comparados com os limites da norma IEC 61000-3-2 para equipamentos de classe A, limites que foram atendidos para a condição de carga medida.

Figura 5.18 - Espectro harmônico da corrente de entrada para a operação nominal.



Fonte: Autoria própria.

5.5.2 RENDIMENTO EM RELAÇÃO A VARIAÇÃO DA POTÊNCIA DE SAÍDA

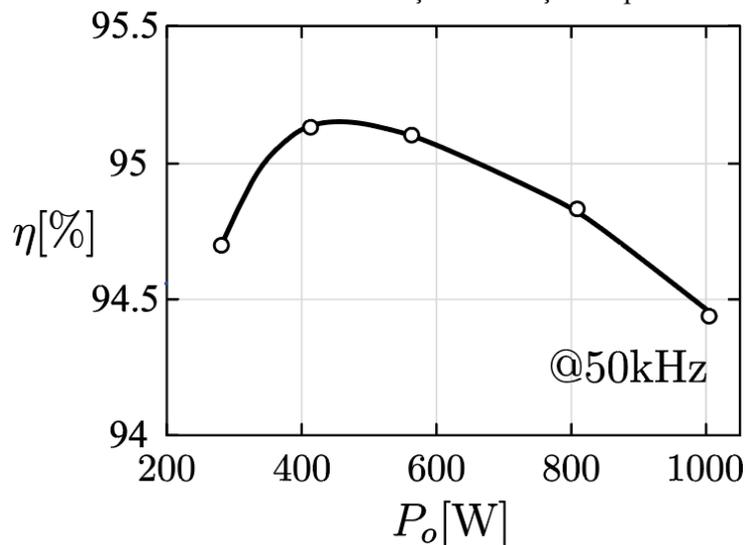
A Figura 5.19 foi obtida pela medição em laboratório do rendimento do conversor de acordo com a variação da potência. O rendimento ficou entre 94,8% a 95,13%, para uma variação de potência de saída entre 300 W a 1 kW.

Para o levantamento desta curva de rendimento em relação a carga foi um analisador de carga Fluke Norma 4000 e os MOSFETs foram substituídos por IRFP4668Pbf – 250 V/ 93 A. Os MOSFETs foram substituídos por modelos com menor

limite de tensão, pois estes têm menores perdas de comutação, como discutido ao longo do trabalho.

O rendimento para uma potência de 1 kW ficou em cerca 94,8%, próximo aos 97% calculados. A diferença 2.2% se faltado dos cálculos das perdas por comutação que não foram calculas por falta de alguns dados.

Figura 5.19 - Rendimento medido em relação a variação da potência de saída.



Fonte: Autoria própria.

5.6 RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO

Este capítulo se destinou a apresentar a definição do projeto, escolha dos parâmetros para as análises teóricas, simuladas e experimentais, cálculo das perdas, apresentar os resultados simulados e os comparar aos resultados teóricos, apresentar os resultados experimentais, THD medidas e rendimento em relação a potência do conversor proposto.

Em relação as escolhas dos parâmetros, vale salientar que muitos foram escolhidos devido a disponibilidade de alguns componentes em laboratório. Como por exemplo, para a tensão de saída foi escolhido a tensão de 400 VDC pois limites de tensão de saída dos capacitores usados no experimento é de 250 VDC. Como cada capacitor do

barramento fica submetido a $\frac{1}{2}$ de V_o , tem-se 50 V de margem de segurança. Vale salientar que o conversor proposto pode ser utilizado para tensões de saída muito maiores. Para a tensão da rede foi utilizado 127 V, pois este é o padrão no estado do Paraná, mas poderia ter sido utilizado 220 V ou outra tensão de rede.

O rendimento do sistema para potência de saída de 1000 W ficou em cerca de 94,8%. Tem uma diferença de 2.2 % em relação ao rendimento teórico que se deve a falta das estimativas de perdas por comutação.

A comparação entre os resultados teóricos e simulados de corrente média e eficaz calculados, se mostrou muito congruente, sendo o maior erro relativo entre os valores correspondente igual a 3%. Estes dados estão expostos na Tabela 5.3.

De forma similar se comparar as formas de ondas obtidas no capítulo 5.3 Resultados simulados com as equivalentes para capítulo 5.5 Resultados Experimentais, tem-se respostas iguais para as tensões sobre os interruptores, a corrente e tensão de entrada do conversor e tensão dos capacitores e de saída do conversor.

Considerando que os resultados e respostas de modelo teórico, simulado e experimentais convergem, demonstra que o conversor proposto atende ao objetivo de ser uma topologia de 5-níveis, PFC, principalmente.

6 CONCLUSÃO

O objetivo geral, ao início da presente dissertação de mestrado, propôs uma nova topologia de Retificador de Cinco Níveis elevador e apresentar uma análise dos modos de operação, teórica focada no equacionamento dos esforços de corrente sobre os componentes, estratégia de controle, comparação dos resultados teóricos e simulados, implementar um protótipo, coletar os resultados experimentais e realizar uma análise entre resultados teóricos, simulados e experimentais. Todos os pontos foram cobertos dos capítulos 2 ao 5.

Os objetivos específicos foram cobertos na seguinte disposição: capítulo 2, estudo bibliográfico do estado da arte de retificadores multiníveis; capítulo 3: propor uma nova topologia de retificador multinível; apresentação do conversor proposto; Princípio de operação e análise em modo contínuo; Analisar matematicamente da estrutura proposta; Capítulo 4, estudo e desenvolvimento da melhor estratégia de controle; Capítulo 5: Definição dos parâmetros do projeto; Simular e apresentar resultados simulados; Validar os resultados teóricos por meio da comparação com os resultados da simulação numérica; Implementar, ensaiar e aferir os resultados com os obtidos teoricamente; Contrastar resultados experimentais, com simulados e teóricos.

A topologia proposta empregada cumpriu com as vantagens apontadas no início do trabalho como os limites de tensão mais baixos sobre os semicondutores, tensões de equilíbrio natural nos capacitores do barramento de saída e boa distribuição de perdas entre os dispositivos de comutação. Comparado com estruturas monofásicas convencionais de cinco níveis, este novo conversor multinível oferece a possibilidade de correção do fator de potência usando apenas três chaves ativas. Esse recurso permite redução geral de custos através: do corte de circuitos de acionadores de portas (*gate-drivers*); redução da complexidade de modulação / controle; redução do espaço destinado a dissipador de calor.

Uma análise matemática extensa compreendendo modelagem dinâmica e de estado estacionário foi apresentada. Um esquema de controle adequado que permite o controle da tensão de saída, balanceando a tensão nos capacitores flutuantes (FC), a corrente de entrada também foi descrita. Finalmente, um protótipo de laboratório de 1.000

kW / 127 V a 400 V / 50 kHz foi construído e testado, onde resultados experimentais atestam a viabilidade desse conceito de tecnologia.

As validações entre análise matemática/teórica e modelamento, simulação a protótipo experimental se mostraram congruentes e satisfatórias, do ponto de vista, dos objetivos estabelecidos para este trabalho.

Todas as características apresentadas indicam que o conversor estudado, com a metodologia de projeto aplicada mostra-se bastante atrativo para fontes de alimentação com entrada CA monofásica.

Para trabalhos futuros, sugere-se o a estimativa das perdas de comutação, o estudo e aplicação de diodos e MOSFETs melhor dimensionados aos parâmetros do conversor e com menores perdas, a aplicação em um sistema de 3 fases, o estudo como conversor 3-níveis e verificar a possibilidade se atingir maiores níveis, a aplicação da topologia como inversor e verificar se é possível fazer uma topologia bidirecional.

REFERÊNCIAS

BARBI, I. **Eletrônica de Potência**. 6a edição. ed. Florianópolis: Edição do autor, 2006. 315 p.

BATSCHAUER, A. L. **Inversor Multinível Híbrido Trifásico Baseado em Módulos Meia-ponte**. 330 f. Tese (Doutorado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2011.

CHEN, H.; LIAO, J. **Multiloop Interleaved Control for Three-Level Switch-Mode Rectifier in AC/DC Applications**. IEEE Transactions on Industrial Electronics, Volume: 61, Issue: 7, PAGES: 3210-3219, July 2014.

CREBIER, J. C.; REVOL, B.; FERRIEUX, J. P. **Boost-chopper-derived PFC rectifiers: Interest and reality**, IEEE Trans. Ind. Electron., vol. 52, no. 1, pp. 36–45, Feb. 2005.

CORTEZ, D. F.; **Família de Retificadores PWM Unidirecionais três-níveis Híbridos a Capacitor Chaveado com Elevado Fator de Potência**. 252 f. Tese (Doutorado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2015.

CUZNER, R. M.; VANDERMEER, J. C. **Impacts to the Power Density of Ship Electric Drives**, IEEE Power Electronic Society Newsletter, vol. 16, no. 3, pp. 10–12, Jul.–Sep. 2004.

FLORICAU, D.; TUDORACHE, T. **A Novel Generalization of Boost-type PFC Topologies with Multiple Switching Cells**. The 9th International Symposium on Advanced Topics in Electrical Engineering-IEEE. May 7-9, 2015, Bucharest, Romania.

GWEC - Global Wind Energy Council, **Global Wind Report Annual market update 2013**, www.gwec.net, pp.1-80, 9 Apr. 2014.

HELDWEIN, M. L.; MUSSA, S. A.; BARBI, I; **Three-Phase Multilevel PWM Rectifiers Based on Conventional Bidirectional Converters**. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 25, NO. 3, pp. 545 – 549. MARCH 2010

ITOH, J.; NOGE, Y.; ADACHI, T. **A Novel Five-Level Three-Phase PWM Rectifier With Reduced Switch Count**, pp. 2221-2228. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 26, NO. 8, AUGUST 2011

LAGO, J. **Técnicas de Modulação Síncrona Otimizada Para a Melhoria de Desempenho de Conversores Multiníveis no Acionamento de Máquinas Elétricas**. 272 f. Tese (Doutorado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2015.

LANGE, A. DE B. **Retificador PFC Monofásico PWM *Bridgeless* Três-Níveis de Alto Desempenho**. 232 f. Dissertação (Mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2012.

LIN, B.; HUNG, T. **A SINGLE-PHASE THREE-LEVEL BOOST TYPE RECTIFIER**. Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on Circuits and Systems. Proceedings. Volume 4, pp. 353-356, 2002.

LIAO, J.; CHEN, H.; **Multiloop Interleaved Control for Two-Switch Two-Capacitor Three-level SMR without Capacitor Voltage Balancing Loop**. Energy Conversion Congress and Exposition (ECCE), IEEE, pp. 3766 – 3772. Setembro 2011.

LIN, B.; HUNG, T. **A SINGLE-PHASE THREE-LEVEL BOOST TYPE RECTIFIER**, National Yunlin University of Science and Technology. IEEE International Symposium on Circuits and Systems. Proceedings, 2002.

LUPON, E.; BUSQUETS-MONGE, S.; NICOLAS-APRUZZESE, J., **FPGA IMPLEMENTATION OF A PWM FOR A THREE-PHASE DC-AC MULTILEVEL ACTIVE-CLAMPED CONVERTER**, IEEE Transactions on Industrial Informatics, vol. 10, no. 2, pp. 1296–1306, 2014.

MUKHERJEE, D; KASTHA, D., **A REDUCED SWITCH HYBRID MULTILEVEL UNIDIRECTIONAL RECTIFIER**, IEEE Transactions on Power Electronics, vol. 34, no. 3, pp. 2070–2081, 2019.

OZBAKIR, B. **Benchmarking Three-level Power Factor Correction Topologies.** Power Electronics Europe, Issue 3, pp. 25 a 28, Munich, 2016.

PHAM, L.; RICARDEAU, F.; HELALI, H.; GATEAU, G.; COUSINEAU, M.; ITURRIZ, M. **5-LEVEL DOUBLE-BOOST PFC WITH FAULT-TOLERANT CAPABILITY.** 9 f. 13th European Conference on Power Electronics and Applications, IEEE, 2009.

SALAET, J.; BUSQUETS, S.; BORDONAU, J.; ALEPUZ, S. **A New Strategy for Decoupling Direct and Quadrature Currents in a Rotating Frame Current Regulator. Application to a Single-Phase Three-Level Boost Rectifier,** 37th IEEE Power Electronics Specialists Conference, 2006.

SOUSA, J. M.; **ESTUDO DE CONVERSORES MODULARES MULTINÍVEIS (MMC) UNI- E BIDIRECIONAIS.** 293 f. Dissertação (Mestrado) - Universidade Federal de Santa Catarina, Centro Tecnológico, Programa de Pós-Graduação em Engenharia Elétrica, Florianópolis, 2014.

WEN, B; BOROYEVICH, D.; MATTAVELLI, B. **Investigation of tradeoffs Between Efficiency, Power Density and Switching Frequency in Three-Phase Two-Level PWM Boost Rectifier,** Proceedings of the 2011 14th European Conference on Power Electronics and Applications, pp 1-10, 2011.

WU, Y. L.; K. SUN; Y. XING. **Phase-Shift-Controlled Isolated Buck-Bust Converter with Active-Clamped Three-level Rectifier (AC-TLR) Featuring Soft-Switching Within Wide Operation Range.** IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 31, NO. 3, pp 2372-2386, MARCH 2016.

YUAN, X. **A Non-regenerative Five-level Rectifier,** 2014 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 5391-5398, Sep. 2014.

ZHANG, M. T.; JIANG, Y.; LEE, F. C.; JOVANOVIĆ, M. M. **Single-Phase Three-Level Boost Power Factor Correction Converter”,** Applied Power Electronics Conference and Exposition, Tenth Annual 1995. APEC '95. Conference Proceedings 1995