

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ**

**EDUARDO HENRIQUE PEREIRA**

**ESTUDO E COMPARAÇÃO ENTRE TRÊS MALHAS DE CAPTURA DE FASE  
PARA MICRORREDES ELÉTRICAS**

**MEDIANEIRA**

**2022**

**EDUARDO HENRIQUE PEREIRA**

**ESTUDO E COMPARAÇÃO ENTRE TRÊS MALHAS DE CAPTURA DE FASE  
PARA MICRORREDES ELÉTRICAS**

**Study and comparison between three phase locked loops for electrical  
microgrids**

Trabalho de conclusão de curso de graduação apresentado como requisito para obtenção do título de Bacharel em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná (UTFPR).

Orientador: Diogo Marujo

Coorientador: Filipe Marangoni

**MEDIANEIRA**

**2022**



[4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/)

Esta licença permite remixe, adaptação e criação a partir do trabalho, para fins não comerciais, desde que sejam atribuídos créditos ao(s) autor(es) e que licenciem as novas criações sob termos idênticos. Conteúdos elaborados por terceiros, citados e referenciados nesta obra não são cobertos pela licença.

**EDUARDO HENRIQUE PEREIRA**

**ESTUDO E COMPARAÇÃO ENTRE TRÊS MALHAS DE CAPTURA DE FASE  
PARA MICRORREDES ELÉTRICAS**

Trabalho de Conclusão de Curso de Graduação  
apresentado como requisito para obtenção do título  
de Bacharel em Engenharia Elétrica da Universidade  
Tecnológica Federal do Paraná (UTFPR).

Data de aprovação: 16/novembro/2022

---

Diogo Marujo  
Doutorado  
Universidade Tecnológica Federal do Paraná

---

Filipe Marangoni  
Doutorado  
Universidade Tecnológica Federal do Paraná

---

Thiago Naufal Santelo  
Doutorado  
Universidade Tecnológica Federal do Paraná

---

Juliano Scholz Slongo  
Mestrado  
Universidade Tecnológica Federal do Paraná

**MEDIANEIRA**

**2022**

## **AGRADECIMENTOS**

Primeiramente a Deus, pela minha vida e por me ajudar a ultrapassar todos os obstáculos encontrados no caminho.

Aos meus pais, irmãos e familiares, que me incentivaram em momentos difíceis e nunca deixaram de me apoiar.

A minha namorada por me apoiar e acreditar em mim, mesmo em momentos de dificuldade.

Agradeço também ao meu orientador Prof. Diogo Marujo e meu coorientador Prof. Filipe Marangoni, por iluminarem e orientarem meu caminho, permitindo apresentar um melhor desempenho em meu processo de formação profissional.

Às pessoas com quem convivi ao longo desses anos de curso, que me incentivaram e que certamente tiveram impacto na minha formação acadêmica.

## RESUMO

As microrredes exercem um papel muito importante na integração de geradores distribuídos e um dos principais fatores para seu funcionamento estável é dado pelo comportamento dos conversores de tensão junto à controladores bem configurados. Para que estas condições sejam alcançadas, se faz necessário a utilização de uma ferramenta que possa acompanhar a frequência do sistema sincronizando o conversor com a rede. Neste trabalho foram considerados os modelos SRF-PLL, MAF-PLL e DSOGI-PLL por possuírem arquiteturas mais simples que os demais métodos. Foram feitas as simulações no Matlab reproduzindo eventos como degraus de frequência, presença de harmônicos e tensões desequilibradas levando-se em conta parâmetros como o amortecimento e a frequência natural. O resultado demonstra que para os parâmetros escolhidos, os três modelos apresentaram estabilidade para os eventos de degrau de frequência, porém somente o DSOGI-PLL e o MAF-PLL se mantiveram estáveis sob tensões desequilibradas e apenas o MAF-PLL se manteve estável na simulação com a adição de harmônicos.

**Palavras-chave:** eletrônica de potência; máquinas elétricas síncronas; redes elétricas inteligentes; sistemas de controle por realimentação.

## ABSTRACT

Microgrids play a very important role in the integration of distributed generators and one of the main factors for their stable operation is given by the behavior of voltage converters together with well-configured controllers. For these conditions to be achieved, it is necessary to use a tool that can monitor the system frequency by synchronizing the converter with the grid. In this paper, the SRF-PLL, MAF-PLL and DSOGI-PLL models were considered because they have simpler architectures than the other methods. Simulations were performed in Matlab reproducing events such as frequency step, presence of harmonics and unbalanced voltages, taking into account parameters such as damping and natural frequency. The result demonstrates that for the chosen parameters, the three models presented stability for the frequency step events, but only the DSOGI-PLL and the MAF-PLL remained stable under unbalanced voltages and only the MAF-PLL remained stable in the simulation with the addition of harmonics.

**Palavras-chave:** power electronics; electric machinery, synchronous; smart power grids; feedback control systems.

## LISTA DE ILUSTRAÇÕES

Figura 1 - Estrutura do conversor eletrônico de potência.....	6
Figura 2 - Tensões no plano $\alpha\beta$ .....	7
Figura 3 - Representação dos sinais nos eixos (a) abc e (b) $\alpha\beta$ . .....	8
Figura 4 - Correntes no plano dq0.....	9
Figura 5 - Representação dos sinais nos eixos (a) abc e (b) dq0. ....	10
Figura 6 - Malha de Controle Simplificada.....	11
Figura 7 - Arquitetura do Conversor e suas malhas de controle. ....	12
Figura 8 - Malha de Controle de corrente.....	14
Figura 9 - Malha de captura de fase (PLL).....	15
Figura 10 - Estrutura simplificada de um SRF-PLL .....	16
Figura 11 - Estrutura básica do MAF-PLL .....	18
Figura 12 - Estrutura do MAF .....	19
Figura 13 - Diagrama de Bode do MAF-PLL .....	20
Figura 14 - Estrutura SOGI.....	22
Figura 15 - Diagrama de bode do SOGI.....	23
Figura 16 - Estrutura DSOGI-PLL .....	24
Figura 17 - Diagrama Simplificado da MR conectada .....	26
Figura 18 - Estrutura da MR conectada.....	27
Figura 19 - Linha de transmissão e Carga Local.....	28
Figura 20 - Disposição da rede principal conectada por linhas de transmissão .....	28
Figura 21 - Conversor de fonte de Tensão.....	29
Figura 22 - Disposição das malhas de controle dos conversores .....	30
Figura 23 - Transformadas de Park.....	31
Figura 24 - Malha de controle de potência no simulador.....	32
Figura 25 - Malha de controle de corrente no simulador .....	33
Figura 26 - Transformada inversa de Park.....	33
Figura 27 - Estrutura interna do PLL .....	34
Figura 28 - Estrutura do SRF-PLL no simulador .....	35
Figura 29 - Filtro de Média Móvel (MAF).....	35
Figura 30 - Estrutura do MAF-PLL no simulador .....	36
Figura 31 - Estrutura do Duplo SOGI .....	36
Figura 32 - DSOGI-PLL no Simulink .....	37
Figura 33 - Desempenho do controle de corrente no eixo dq0.....	38
Figura 34 - Desempenho do controle de potência.....	39
Figura 35 - Controle de potência ativa e reativa nos conversores 1 e 2.....	39
Figura 36 - Resposta ao Degrau .....	41
Figura 37 - Resposta referente a inicialização dos PLL nos dois conversores.....	42
Figura 38 - Simulação sob um degrau de frequência de 3 Hz.....	43
Figura 39 - Simulação sob um desequilíbrio da tensão $V_a$ de 1,5 p.u. ....	44

Figura 40 - $V_q$ e $V_d$ sob desequilíbrio na tensão $V_a$ de 1,5 p.u. ....	45
Figura 41 - Simulação sob presença de harmônico de 3ª ordem de 0,1 p.u. ....	45



## LISTA DE TABELAS

Tabela 1 - Valores Utilizados para sintonizar os controladores.....	37
Tabela 2 - Características de cada PLL .....	40
Tabela 3 - Desempenho de cada PLL.....	46

## LISTA DE ABREVIATURAS E SIGLAS

CEP	Conversor eletrônico de potência
CSC	Current-sourced converter
DQ0	Sinais direto, quadratura e zero
DSOGI	Dual second order generalized integrator
EDO	Equação diferencial ordinária
EPE	Empresa de Pesquisa Energética
FT	Função de transferência
GD	Geradores distribuídos
MAF	Moving averaged filter
MR	Microrrede
PI	Proporcional integral
PID	Proporcional integrativo e derivativo
PLL	Phase locked loop
PR	Proporcional ressonante
PWM	Pulse width modulation
SOGI	Second order generalized integrator
SRF	Synchronous reference frame
VCO	Voltage controlled oscillator
VSC	Voltage-sourced converter

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>1</b>
<b>2</b>	<b>OBJETIVO PRINCIPAL .....</b>	<b>4</b>
<b>2.1</b>	<b>Objetivos Específicos .....</b>	<b>4</b>
<b>3</b>	<b>FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>5</b>
<b>3.1</b>	<b>Conversor eletrônico de potência.....</b>	<b>5</b>
<b>3.2</b>	<b>Transformadas de Clarke e Park.....</b>	<b>7</b>
<b>3.3</b>	<b>Malhas de controle .....</b>	<b>10</b>
3.3.1	Controle de potência .....	12
3.3.2	Controle de corrente.....	13
<b>3.4</b>	<b>Malha de captura de fase.....</b>	<b>15</b>
<b>3.5</b>	<b>Malha de captura de fase no referencial síncrono .....</b>	<b>16</b>
<b>3.6</b>	<b>Malha de captura de fase com filtro de média móvel .....</b>	<b>18</b>
<b>3.7</b>	<b>Malha de captura de fase com duplo integrador generalizado de segunda ordem.....</b>	<b>21</b>
<b>4</b>	<b>METODOLOGIA .....</b>	<b>26</b>
<b>4.1</b>	<b>Estrutura da microrrede.....</b>	<b>26</b>
4.1.1	Configurações para a carga local .....	27
4.1.2	Configurações para a rede principal .....	28
<b>4.2</b>	<b>Implementação do conversor de tensão .....</b>	<b>28</b>
<b>4.3</b>	<b>Bloco de controle .....</b>	<b>29</b>
4.3.1	Mudança de referencial .....	30
4.3.2	Controle de potência .....	31
4.3.3	Controle de corrente.....	32
<b>4.4</b>	<b>Malha de captura de fase.....</b>	<b>33</b>
4.4.1	SRF-PLL.....	34
4.4.2	MAF-PLL .....	35
4.4.3	DSOGI-PLL .....	36
<b>5</b>	<b>RESULTADOS E DISCUSSÕES .....</b>	<b>38</b>
<b>6</b>	<b>CONCLUSÃO .....</b>	<b>47</b>
	<b>REFERÊNCIAS.....</b>	<b>48</b>

## 1 INTRODUÇÃO

A energia elétrica é um dos recursos mais importantes que a sociedade dispõe, pois está diretamente ligada às necessidades básicas do ser humano. Em análises de projeções de demanda, a Empresa de Pesquisa Energética (2017) constatou que haverá um aumento da demanda de energia de 3.1% ao ano até 2026, crescimento este que está relacionado à expansão dos setores industriais e o aumento demográfico.

Sabendo-se que o aumento da demanda energética, alinhada à dificuldade da implantação de grandes geradoras é um problema que pode se agravar a longo prazo, são constantemente realizados estudos com o objetivo de encontrar soluções alternativas para o fornecimento de energia, com qualidade e de maneira ininterrupta. Os trabalhos de Farhangi (2010) e Pepermans et al. (2005), por exemplo, propõem a implantação de Geradores Distribuídos (GDs) através da utilização de microrredes (MRs). Os GDs podem ser caracterizados por geradores de pequeno ou médio porte acoplados diretamente no sistema de distribuição de energia elétrica, geralmente localizados próximo às cargas a fim de diminuir perdas por linhas de transmissão e aumentar a eficiência entre a potência gerada e consumida. As MRs podem ser compreendidas como sendo sistemas de potência em menor escala que visam facilitar a integração de GDs no sistema elétrico, sendo compostas por fontes de geração, cargas e sistemas de armazenamento (LASSETER *et al.*, 2002).

Segundo Cagnano *et al.* (2020), a microrrede dispõe de dois modos de operação: o modo conectado, onde a MR trabalha em conjunto com a rede principal (sistema de distribuição), tal que há a possibilidade de intercâmbio de potência; e o modo isolado/ilhado, em que a MR opera separada da rede principal, onde os próprios elementos presentes na MR devem ser capazes de controlar a tensão e a frequência, através do controle de suas fontes de geração. Rocabert *et al.* (2012) também adiciona que um dos principais desafios para a implantação eficiente de uma MR depende da utilização de um controle adequado em seus conversores.

Existem várias técnicas e métodos para efetuar o controle de uma MR, podendo ser implantado com a utilização de um referencial síncrono (dq0) em conjunto com o controle Proporcional Integral (PI) como descrito por Serban *et al.*

(2017); Em um referencial estacionário ( $\alpha\beta$ ) utilizando um controle Proporcional Ressonante (PR) como descrito por Blaabjerg *et al.* (2006); No referencial estacionário (abc) utilizando também um controlador Proporcional Ressonante (PR) como descrito por Mohan *et al.*, (2006). Contudo, para que o controle consiga atuar de forma correta nestes referenciais, se faz necessário a utilização de alguma ferramenta ou método para monitorar a frequência do sistema para que as transformadas de Park e Clarke possam ser utilizadas visando simplificar os sinais processados pelos controladores (OROURKE *et al.*, 2019). Neste contexto de seguimento da referência surge a malha de captura de fase ou *Phase Locked Loop* (PLL).

Segundo Rodriguez *et al.* (2013), o PLL é uma sistema de controle que tem como objetivo determinar a frequência do sistema em tempo real fazendo com que o sinal de saída, que é dado por um ângulo, se mantenha em sincronia com o sinal de referência proveniente de um método de detecção de fase, esta sincronização é feita utilizando uma malha de controle interna com realimentação negativa.

Devido sua importância, várias técnicas de PLL foram desenvolvidas, sendo elas tanto para sistemas com entradas monofásicas como observado em Silva *et al.* (2004), quanto para entradas trifásicas, como em Rani *et al.* (2012). Em ambos os casos podem ser utilizadas as transformadas de Park e Clark como métodos de detecção de fase.

Apesar da configuração básica do sistema PLL ser, de modo geral, semelhante, cada método e configuração tem como objetivo focar a implantação sob condições específicas. Royan *et al.* (2019) mostrou a efetividade do PLL frente a harmônicos em entradas trifásicas através da adição de um integrador generalizado de segunda ordem ou *second order generalized integrator* (SOGI). Golestan *et al.* (2014), por sua vez, mostrou que a implantação de um filtro média movel ou *moving averaged filter* acoplado ao PLL (MAF-PLL) diminui de forma efetiva os harmônicos através da atenuação de frequências específicas. Rodriguez *et al.* (2007), demonstra que em sistemas trifásicos desbalanceados o PLL falha em manter o sincronismo de fase, portanto, se faz necessário um desacoplamento entre a sequência positiva e a negativa a fim de gerar duas entradas para a referência de tensão, desta forma, a operação do PLL em sistemas trifásicos desbalanceados é habilitada.

Outra situação que pode ocorrer na implantação de um PLL é a operação fora de uma faixa especificada de frequência, dificultando seu funcionamento e sua eficácia. Neste contexto, o estudo de Lino *et al.* (2021) apresenta uma proposta chamada de *second-order generalized Integrator phase locked loop* (SOGI-PLL), onde é utilizado um filtro de Fourier de um ciclo, a fim de atenuar as tensões do referencial  $\alpha\beta$  geradas pelo SOGI, melhorando a dinâmica em rastrear mudanças repentinas no sinal de frequência, concedendo a possibilidade de uma operação tanto para sincronismo de fase quanto detecção de faltas no sistema.

A escolha errônea de um método ou técnica de malha de captura de fase ou a configuração incorreta de parâmetros pode acarretar em problemas de sincronização da MR com a rede principal e na instabilidade dos controladores e dos conversores, isso acontece pelo fato de que o PLL trabalha em conjunto com as transformadas de Park transformando os sinais medidos nas entradas que serão processadas pelos controladores.

Neste sentido visando efetuar a melhor escolha para cada caso, é necessário saber quais as vantagens e desvantagens das principais metodologias de PLL disponíveis na literatura. Em casos ideais, onde o sistema trifásico está equilibrado e suas correntes não possuem distorções harmônicas, a implantação de um PLL trifásico pode muito bem satisfazer os requisitos e trabalhar de forma eficiente acompanhando a frequência do sistema, porém, em casos reais, onde problemas tendem a acontecer no sistema elétrico, se faz necessário a utilização de uma técnica de PLL mais robusta além da tradicional. Portanto, é fundamental avaliar as principais técnicas de malha de captura de fase disponíveis na literatura.

## 2 OBJETIVO PRINCIPAL

Estudar três métodos de malha de captura de fase (PLL) disponíveis na literatura e compara-los através da aplicação de diferentes eventos elétricos em uma microrrede simulada utilizando o *software* Matlab e sua plataforma Simulink.

### 2.1 Objetivos Específicos

- Compreender o funcionamento e a importância do PLL na operação de MR conectadas;
- Revisar na literatura três técnicas de PLL aplicadas a MRs;
- Implementar no Matlab Simulink uma MR operando no modo conectado a fim de criar uma base de teste para a simulações dos PLLs;
- Apresentar a metodologia de ajuste dos PLLs considerando requisitos em comum, tais que permitam a comparação entre as metodologias;
- Comparar o desempenho das metodologias de PLLs estudadas diante de eventos, tais como degrau de frequência, presença de harmônicos e desequilíbrio de tensão a fim de destacar vantagens e desvantagens de cada estratégia escolhida;

### 3 FUNDAMENTAÇÃO TEÓRICA

Para que seja possível atingir o objetivo principal do trabalho, é necessário realizar uma fundamentação teórica dos principais temas necessários para o estudo, principalmente no que tange à modelagem dos seguintes elementos presentes na MR: conversor eletrônico de potência; técnicas de controle de potência e de corrente; e as características da malha de captura de fase (PLL). Alguns dos principais conceitos e modelos são apresentados a seguir.

#### 3.1 Conversor eletrônico de potência

A conversão de Corrente Contínua para corrente alternada (CC/CA) pode ser realizada utilizando conversores eletrônicos de potência (CEPs), promovem a conexão entre as fontes de energia e a MR possuindo diferentes modos de atuação: O modo PQ ou conversor alimentador de rede, onde o conversor trabalha de forma conectada à rede principal e fornece potência ativa e reativa para o sistema; o modo V/f ou conversor formador de rede, onde o CEP atua de forma ilhada a rede principal e tem como objetivo estabelecer os níveis de tensão e frequência para a microrrede (YASDANI e IRAVANI, 2010).

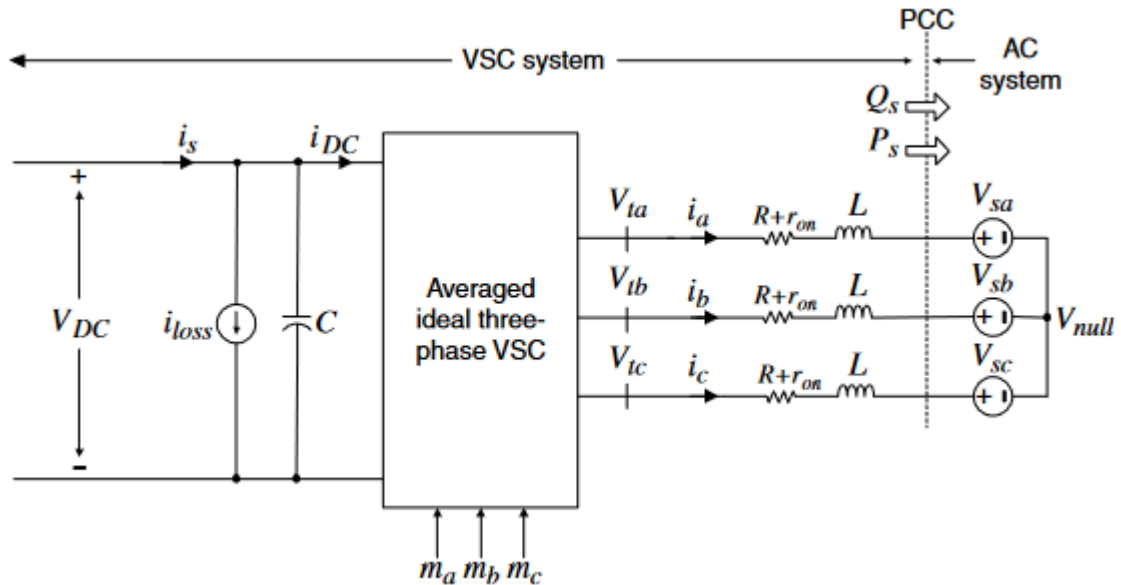
Os CEPs podem ser classificados levando em consideração suas formas de onda de corrente e tensão: o conversor por fonte de corrente ou current-sourced converter (CSC) tem como característica a retenção da mesma polaridade e direção da corrente seu lado CC, dessa forma, a direção do fluxo de potência é baseada na polaridade da tensão, já o conversor por fonte de tensão ou voltage-sourced converter (VSC) mantém polaridade de tensão no lado CC, permitindo que o fluxo de potência seja definido pela polaridade da corrente. Levando em consideração que o CSC requer interruptores bipolares para seu funcionamento e que esses componentes são menos atraentes comercialmente, escolheu-se o VSC para representar os CEPs neste trabalho, pois utilizam interruptores de condução reversa que são componentes eletrônicos mais comuns no mercado (YASDANI e IRAVANI, 2010).

O VSC foi configurado para operar no modo PQ, alimentado por uma fonte DC ( $V_{dc}$ ) que tem como objetivo representar um gerador não despachável. O CEP



também dispõe de uma resistência  $(R + r_{on})$  e uma indutância  $L$  representando todos os seus parâmetros internos que podem ser observados na Figura 1 (YASDANI e IRAVANI, 2010).

Figura 1 - Estrutura do conversor eletrônico de potência.



Fonte: Yasdani e Iravani (2010)

Também é possível observar as tensões  $V_{s_{abc}}$  que representam os níveis de tensão dos pontos de conexão entre a MR e a rede principal e que são utilizadas para o controle de potência apresentado na seção 3.3.1.

O conversor pode ser configurado utilizando-se do modelo de valores médios, de forma que sua função de transferência contemple apenas o regime permanente, suprimindo os efeitos causados pelo chaveamento (YASDANI e IRAVANI, 2010). Esta configuração faz com que a tensão interna do conversor  $V_t$  necessite apenas do sinal modulador  $m$ , e sua entrada dada pela fonte  $V_{dc}$  como pode ser observado na Equação 1.

$$V_t = m \frac{V_{dc}}{2} \quad (1)$$

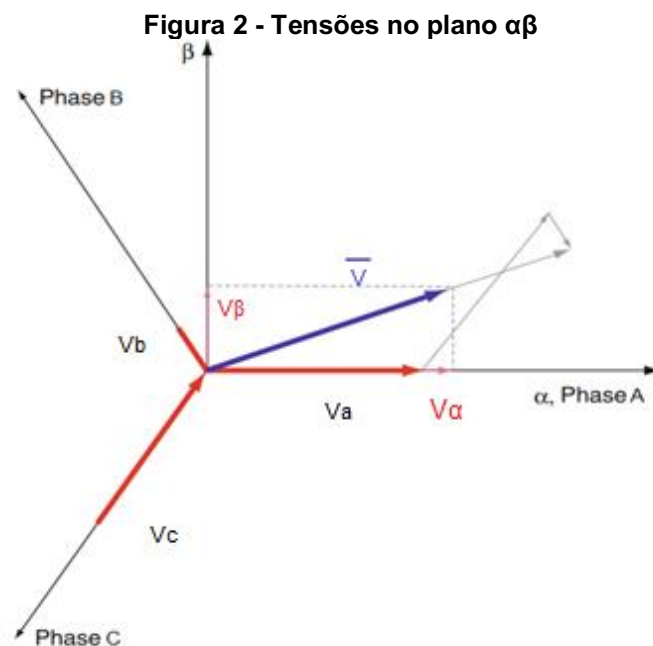
Com a utilização da tensão interna  $V_t$ , os parâmetros internos do conversor  $(R + r_{on})$  e a tensão de saída da MR  $V_s$ , se torna possível modelar a equação diferencial ordinária (EDO) que representa o comportamento da corrente de saída como na Equação 2.

$$L \frac{di_{abc}}{dt} = -(R + r_{on})i_{abc} + V_{t_{abc}} - V_{s_{abc}} \quad (2)$$

### 3.2 Transformadas de Clarke e Park

Tendo em vista que tanto os métodos de malha de captura de fase escolhidos quanto os controladores utilizam a transformada de Clarke e a transformada de Park, se faz necessário uma breve explicação sobre ambas.

A transformada de Clark tem como objetivo expressar o sinal trifásico  $V_{abc}$  em apenas dois eixos, o eixo  $\alpha$  e o eixo  $\beta$ , diminuindo o número de sinais a serem processados para dois, e diminuindo também o número de controladores e o esforço computacional (CHATTOPADHYAYA et al., 2008). Tanto os sinais trifásicos quanto os sinais nos eixos  $\alpha$  e  $\beta$  podem ser observados na Figura 2.



Fonte: Adaptado de Chattopadhyay et al. (2011)

Dessa forma, sabendo que as tensões de um sistema trifásico equilibrado podem ser representadas da seguinte maneira:

$$V_{abc} = V_m \begin{bmatrix} \cos\theta \\ \cos\left(\theta - \frac{2\pi}{3}\right) \\ \cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \quad (3)$$

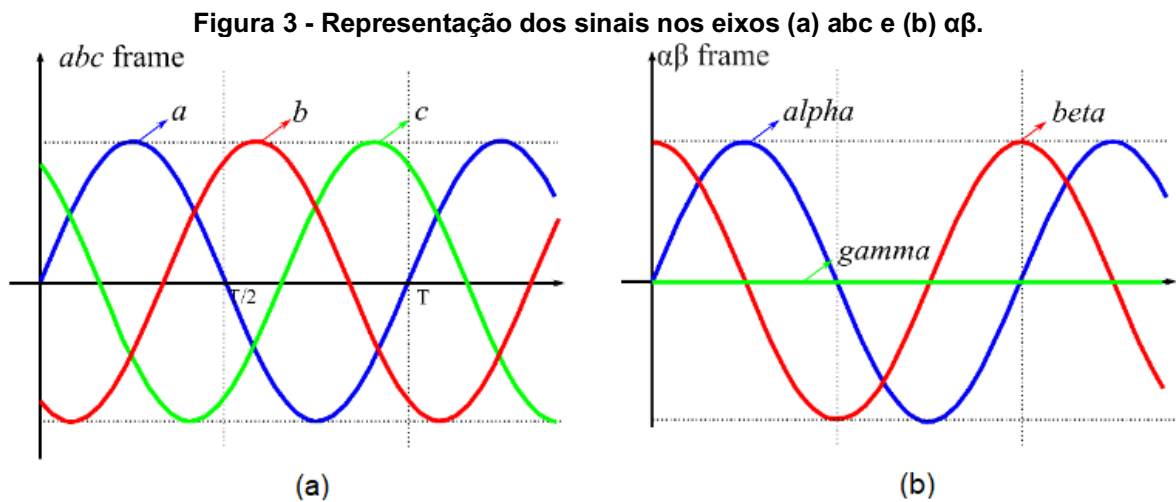
onde  $V_m$  é a tensão de pico e  $\theta$  o ângulo da fase, dito isso, a Equação 3 pode ser representada no referencial estacionário da seguinte forma:

$$V_{\alpha\beta} = [T_{\alpha\beta}] * V_{abc} \quad (4)$$

onde  $T_{\alpha\beta}$  denota a matriz da transformada de Clarke, que é dada por:

$$T_{\alpha\beta} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & -\frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \quad (5)$$

Ao multiplicar os sinais trifásicos pela transformada  $T_{\alpha\beta}$  obtém-se dois sinais senoidais ao invés de três, como pode ser observado na Figura 3, Isso resulta em uma vantagem computacional ao controlar ou processar estes sinais (CHUNG *et al.*, 2000).



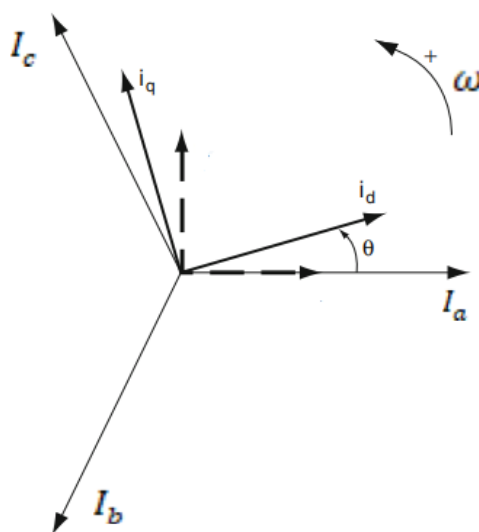
Fonte: Typhoon hil (2022).

Já a transformada de Park tem como característica transformar sinais trifásicos variantes no tempo (abc) em sinais contínuos situados nos eixos direto e quadratura (dq0) do referencial síncrono ou *Synchronous reference frame* (SRF) (CHUNG *et al.*, 2000).

A mudança desse referencial estático para um referencial rotacionando na frequência síncrona tem como objetivo diminuir a complexidade dos controladores a serem utilizados (CHUNG *et al.*, 2000).

Adotando um referencial síncrono se torna possível representar os sinais do sistema trifásico abc em componentes contínuas do eixo dq0 através de uma relação de senos e cossenos, que podem ser resumidas em uma única matriz T (equações 6 e 7). A Figura 4 demonstra tanto o sistema trifásico quanto o SRF que estão oscilando a uma frequência angular  $\omega$  e possuem uma defasagem de  $\theta$ .

**Figura 4 - Correntes no plano dq0**



Fonte: Adaptado de Chattopadhyay *et al.* (2011).

As correntes apresentadas na Figura 4 podem ser expressas matematicamente da seguinte forma:

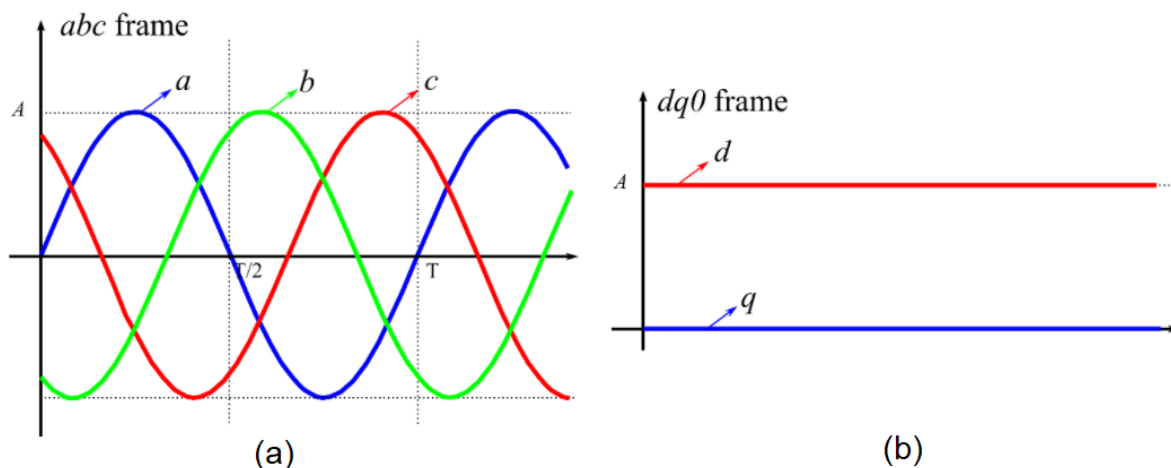
$$\begin{bmatrix} I_q \\ I_d \\ I_0 \end{bmatrix} = [T] * \begin{bmatrix} I_a \\ I_b \\ I_c \end{bmatrix} \quad (6)$$

onde  $T$  é a transformada de Park, que é dada por:

$$T = \frac{2}{3} * \begin{bmatrix} \cos(\theta) & \cos(\theta - 120^\circ) & \cos(\theta + 120^\circ) \\ -\text{sen}(\theta) & -\text{sen}(\theta - 120^\circ) & -\text{sen}(\theta + 120^\circ) \\ 0.5 & 0.5 & 0.5 \end{bmatrix} \quad (7)$$

Ao multiplicar os sinais trifásicos pela matriz  $T$ , obtém-se uma saída com sinais contínuos, como pode ser observado na Figura 5. A característica de continuidade dos sinais no eixo dq0 possibilita a implementação de controladores mais simples como o PI e o PID (CHUNG *et al.*, 2000).

Figura 5 - Representação dos sinais nos eixos (a) abc e (b) dq0.



Fonte: Typhoon hil (2022).

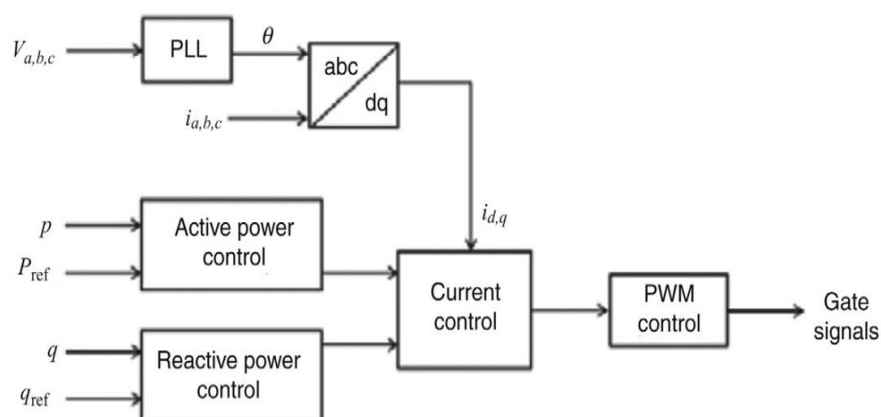
### 3.3 Malhas de controle

No modo conectado da MR, o controle dos conversores foca em manter os níveis de potência demandados pela carga local e pela rede. Por este motivo utiliza-se de uma técnica de controle pelo modo de corrente ou *current-mode control*, pois além de cumprir com os objetivos requeridos, também protege o sistema contra grandes variações de corrente (YASDANI e IRAVANI, 2010).

A malha de controle de um conversor em uma MR conectada é separada em dois níveis, onde a primeira parte tem como objetivo controlar a potência gerada pelo conversor e a segunda visa controlar a corrente através da variação de tensão  $V_t$  gerada pelo sinal enviado para a Modulação por Largura de Pulso (PWM do inglês, *Pulse Width Modulation*) como visto na Equação 1.

Os dois níveis trabalham de forma conjunta e podem ser observados na Figura 6 e 7 onde  $P_{ref}$  e  $Q_{ref}$  são as potências de referência que a rede demanda.

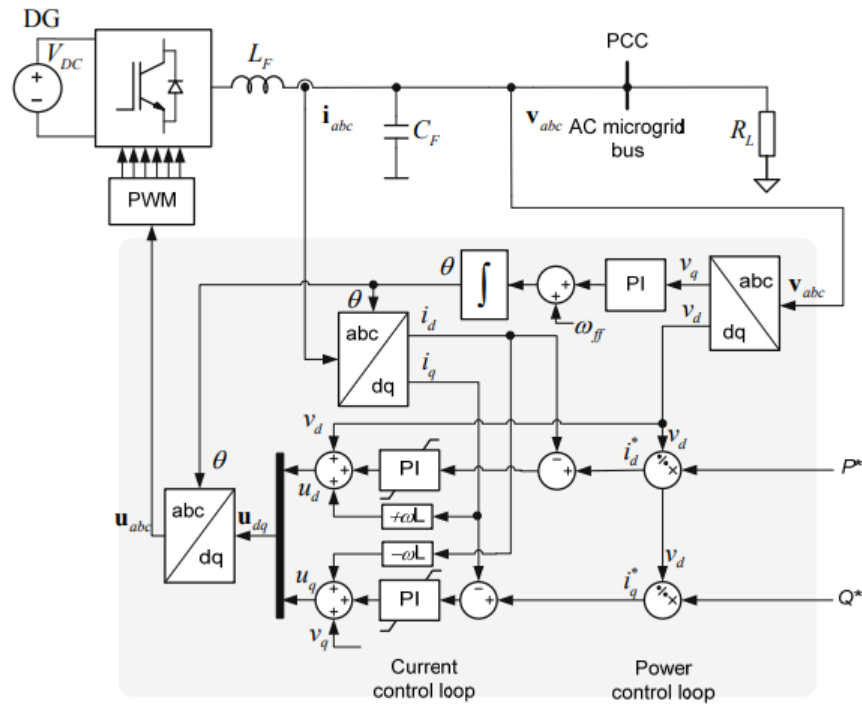
**Figura 6 - Malha de Controle Simplificada**



**Fonte: Funabashi (2016)**

Na Figura 7 pode se observar a fonte VDC, o CEP e o ponto de conexão PCC. A parte com fundo cinza representa a malha de controle (que será detalhada na seção 3.3.1 e 3.3.2), na qual pode ser observado as referências de potência ativa e reativa e as entradas de sinais como a corrente e a tensão da rede, que após passarem pelas transformadas de Park ( $abc/dq$ ), são utilizadas pelo controle de potência e pelo controle de corrente fornecendo o PWM para o conversor (CEP). O PLL também pode ser observado fornecendo o ângulo e a frequência para as transformadas de Park.

Figura 7 - Arquitetura do Conversor e suas malhas de controle.



Fonte: Rodriguez *et al.* (2013)

### 3.3.1 Controle de potência

O controle de Potência do conversor utiliza a teoria das potências instantâneas ou teoria PQ, na qual é possível obter a potência ativa com a utilização do produto escalar entre os vetores de tensão, dados por  $V_d$  e  $V_q$ , e os vetores de corrente  $I_d$  e  $I_q$ , ambos vetores estando no SRF. O mesmo pode ser considerado para a potência reativa, que é obtida através do produto vetorial de  $V_d$ ,  $V_q$ ,  $I_d$  e  $I_q$ , como pode ser observado nas Equações 8 e 9 (AFONSO *et al.* 2003).

$$P = [V_d \ V_q] * \begin{bmatrix} I_d \\ I_q \end{bmatrix} = V_d I_d + V_q I_q \quad (8)$$

$$Q = \begin{bmatrix} V_d & V_q \\ I_d & I_q \end{bmatrix} = V_d I_q - V_q I_d \quad (9)$$

Agrupando as Equações 8 e 9 obtêm-se, através de inversões matriciais, uma forma de representar as correntes de referência do sistema através da potência

ativa e reativa, que podem ser observadas nas Equações 10 e 11. A entrada é determinada pelos valores de tensão do ponto de conexão  $V_s$  e pela potência ativa e reativa demandadas, resultando em uma saída dada pelas correntes de referência  $i_{dref}$  e  $i_{qref}$ , que serão utilizadas nas malhas dos controladores de corrente.

$$\begin{bmatrix} i_{dref} \\ i_{qref} \end{bmatrix} = K * \begin{bmatrix} V_d & -V_q \\ V_q & V_d \end{bmatrix} * \begin{bmatrix} P_{ref} \\ Q_{ref} \end{bmatrix} \quad (10)$$

$$K = \frac{2}{3} * \frac{1}{V_d^2 + V_q^2} \quad (11)$$

### 3.3.2 Controle de corrente

Segundo Yazdani e Iravani (2010), para a arquitetura da malha de corrente é necessário levar em consideração a dinâmica do conversor dada pela EDO da Equação 2. Desta forma, com o auxílio das transformadas de Park, separando a função em parte do eixo direto e quadratura e acrescentando manipulações matemáticas, é possível chegar nas seguintes equações:

$$L \frac{di_d}{dt} = L\omega(t)i_q - (R + r_{on})i_d + V_{td} - V_s \cos(\omega_0 t + \theta_0 - \rho) \quad (12)$$

$$L \frac{di_q}{dt} = L\omega(t)i_d - (R + r_{on})i_q + V_{tq} - V_s \sin(\omega_0 t + \theta_0 - \rho) \quad (13)$$

$$\frac{d\rho}{dt} = \omega(t) \quad (14)$$

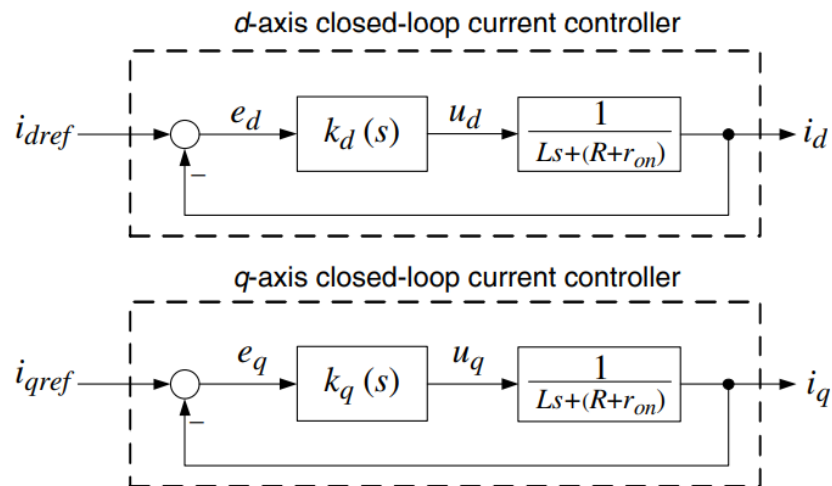
Apesar das duas Equações estarem dispostas em eixos separados, sendo a Equação 12 representada no eixo direto e a Equação 13 no eixo da quadratura, é possível observar que ainda existe uma interdependência  $L\omega(t)i_{dq}$  que não permite que as Equações estejam totalmente separadas. Por esse motivo se faz necessário um desacoplamento que pode ser obtido através da utilização de uma alimentação direta nos controladores (YASDAMI, 2010).



Devido às características das Equações 12 e 13 serem semelhantes após o desacoplamento feito pela alimentação direta, é possível modelar controladores Proporcionais Integrais (PI) para o controle de corrente de forma igual tanto para o eixo direto quanto ao eixo de quadratura.

Desta forma, após o desacoplamento, é possível representar a arquitetura da malha de corrente como na Figura 8.

**Figura 8 - Malha de Controle de corrente**



Fonte: Yasdani e Iravani (2010)

A função de transferência de malha aberta dos dois compensadores pode ser escrita como a multiplicação do controlador PI  $k_q(s)$  junto com a dinâmica do conversor, onde a entrada é dada pelas correntes de referência  $i_{dref}$  e  $i_{qref}$  e a saída é definida pelas correntes resultantes da atuação do conversor, como é possível observar na Equação 15:

$$\frac{i}{i_{ref}} = \left( \frac{k_p}{Ls} \right) \frac{s + k_i/k_p}{s + (R + r_{on})/L} \quad (15)$$

Onde  $k_q(s)$  é o controlador PI e tem sua função de transferência dada por:

$$H_{pi}(s) = \frac{e_{dq}}{u_{dq}} = \frac{k_p s + k_i}{s} \quad (16)$$

Utilizando a função de transferência de malha fechada, Yazdani e Iravani (2010) deduziram que, para o compensador PI atuar de forma eficaz, os ganhos  $K_i$  e  $K_p$  devem ser parametrizados de forma similar as Equações 17 e 18. A variável  $\tau_i$  representa a constante de tempo de atuação da malha de controle e deve ser pelo menos 10 vezes menor que a frequência de chaveamento do sistema PWM.

$$k_p = \frac{L}{\tau_i} \quad (17)$$

$$k_i = \frac{(R + r_{on})}{\tau_i} \quad (18)$$

### 3.4 Malha de captura de fase

Segundo Gupta (1975), o PLL é um sistema de controle de realimentação negativa amplamente utilizado em sistemas de potência, habilitando o sincronismo entre geradores e permitindo acompanhar as medições de fase e frequência do sistema, o PLL tem como objetivo diminuir a diferença entre o sinal entrada e o sinal de saída através do funcionamento de suas três estruturas principais ilustradas na Figura (9).



Fonte: Adaptado de Gupta (1975).

O controle do PLL da Figura 9 pode ser separado em três blocos: o detector de fase, o filtro ou controle e o gerador de sinal ou *voltage-controlled oscillator* (VCO), onde o detector de fase gera um sinal erro a partir da diferença entre o sinal de saída e o sinal de entrada do PLL, que em seguida é utilizado pelo filtro ou controle, gerando um sinal que é lido pelo VCO resultando em um sinal de saída cada vez mais próximo ao sinal de entrada, dessa forma, quando o sinal de erro for zero, é possível dizer que a fase e frequência geradas pelo sinal do VCO

apresentam as mesmas características que o sinal de entrada medido (GUPTA, 1975).

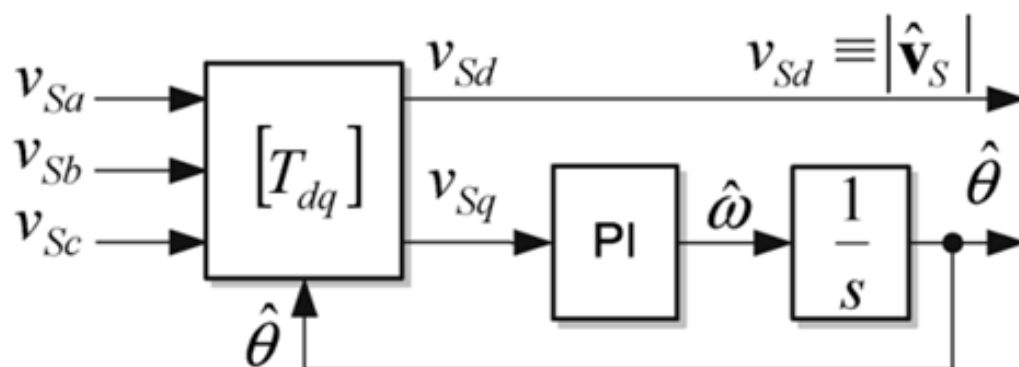
### 3.5 Malha de captura de fase no referencial síncrono

Como é possível observar na Figura 6, o PLL trabalha de forma direta no sistema de controle, definindo em tempo real o ângulo e a frequência para a operação correta dos compensadores.

O PLL atua junto à transformada de Park para transportar os sinais do referencial trifásico para o SRF facilitando o funcionamento dos controladores. Por este motivo, a configuração e a arquitetura usada no PLL são de suma importância para o desempenho dos conversores e da MR (RODRIGUEZ *et al.*, 2013).

Uma das metodologias mais conhecidas para a utilização da malha de captura de fase, devido a sua eficácia e simplicidade de implantação, é chamada de *Synchronous reference frame phase locked loop* ou SRF-PLL. Esta arquitetura é caracterizada por ter um controlador PI atuando em conjunto com um integrador em malha fechada, que através das transformadas de Park, lê o sinal de quadratura como um sinal de erro e trabalha com o objetivo de forçar este sinal a zero, através do incremento do ângulo  $\theta$ , como pode ser observado na Figura 10.

Figura 10 - Estrutura simplificada de um SRF-PLL



Fonte: Rodriguez *et al.* (2007)

Nesta configuração, a entrada do controlador PI, que geralmente é dada por um sinal de erro, é representada pela tensão de saída do conversor  $V_{sq}$  e o sinal de controle que sai do compensador PI representa a velocidade angular do sistema  $\omega$ , portanto, é alocado um integrador na saída do PLL com o objetivo de obter o ângulo  $\theta$  para habilitar as transformadas de Park.

Segundo Rodriguez *et al.* (2007), a presença de distorções harmônicas pode atrapalhar o desempenho do SRF-PLL em MR conectadas e a largura de banda do controlador está diretamente relacionada a dinâmica com que o PLL atua.

Neste contexto, um PLL com uma pequena largura de banda pode apresentar uma característica de filtro atenuando ruídos e harmônicos, mas tendo como desvantagem uma resposta mais lenta. Em contrapartida, um PLL com uma largura de banda maior, teria maior velocidade de resposta obtendo rapidamente a sincronização, porém ruídos e harmônicos podem passar pelo controlador e se tornar parte do sinal de saída. Portanto, ao projetar um PLL é necessário saber o seu propósito a fim de configurar de forma correta os parâmetros de atuação (RODRIGUEZ *et al.*, 2007).

Sabendo que a função de transferência do controlador PI é dada pela Equação (16) e utilizando como base a Figura 10 que mostra o controlador em conjunto com um integrador, é possível escrever a função de transferência em malha fechada do SRF-PLL da seguinte maneira:

$$H(s) = \frac{\hat{\theta}}{V_{sq}} = \frac{k_p s + k_i}{s^2 + k_p s + k_i} \quad (19)$$

Segundo Freijedo *et al.* (2009), para funções de transferência semelhantes a Equação 19 é possível sintonizar os ganhos do controlador escolhendo parâmetros como a frequência natural do sistema e seu coeficiente de amortecimento.

Tal abordagem é observada nas Equações 20 e 21 e pode ser utilizada até mesmo se existirem filtros em conjunto com o laço, desde que os polos do controlador PI sejam dominantes.

$$H(s) = \frac{s}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (20)$$

$$\begin{cases} k_p = 2\xi\omega_n \\ k_i = \omega_n^2 \end{cases} \quad (21)$$

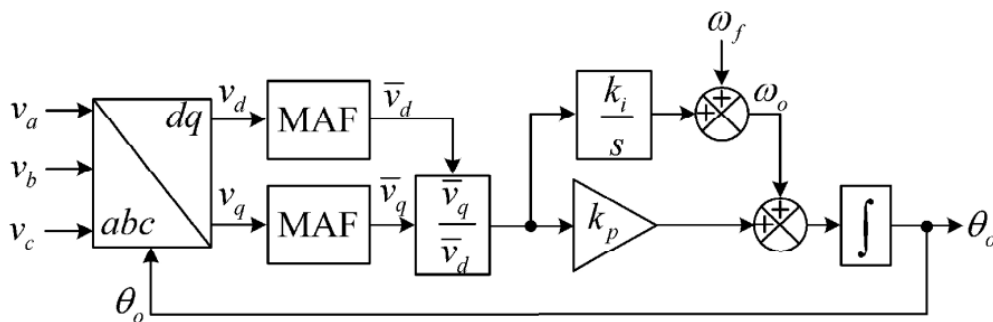
A utilização deste método permite o acesso a configuração de variáveis importantes para o desempenho do PLL possibilitando uma comparação mais sólida com outros métodos.

### 3.6 Malha de captura de fase com filtro de média móvel

A malha de captura de fase com filtro de média móvel, também conhecida como *Moving average filter phased locked loop* (MAF-PLL), é um filtro de fase linear que pode agir como filtro passa baixa em condições ideais e é geralmente utilizado em conjunto do SRF-PLL para trabalhar com a presença de frequências indesejadas (GOLESTAN *et al.*, 2014).

A estrutura mais comum do MAF-PLL pode ser observada na Figura 11 e tem como característica a presença de filtros de média móvel entre as transformadas de Park e o controlador PI.

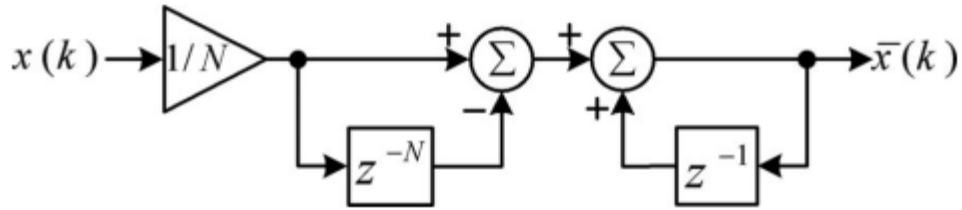
Figura 11 - Estrutura básica do MAF-PLL



Fonte: Golestan *et al.* (2014)

A disposição dos elementos que compõem o MAF pode ser observada na Figura 12, onde o N denota o número de amostras a serem trabalhadas pelo filtro.

Figura 12 - Estrutura do MAF



Fonte: Golestan *et al.* (2014)

É possível observar nas Figuras 10 e 11 que a diferença entre o MAF-PLL e o SRF-PLL é a presença de um estágio de pré-filtro onde o sinal é tratado, diminuindo o ruído que é processado pelos controladores.

O filtro de média móvel observado na Figura 12, pode ser descrito tanto na forma contínua quanto na forma discreta por meio das seguintes funções de transferência:

$$G_{MAF}(s) = \frac{\bar{x}}{\tilde{x}} = \frac{1 - e^{-T_{\omega}s}}{T_{\omega}s} \quad (22)$$

$$G_{MAF}(z) = \frac{\bar{x}}{\tilde{x}} = \frac{1}{N} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \quad (23)$$

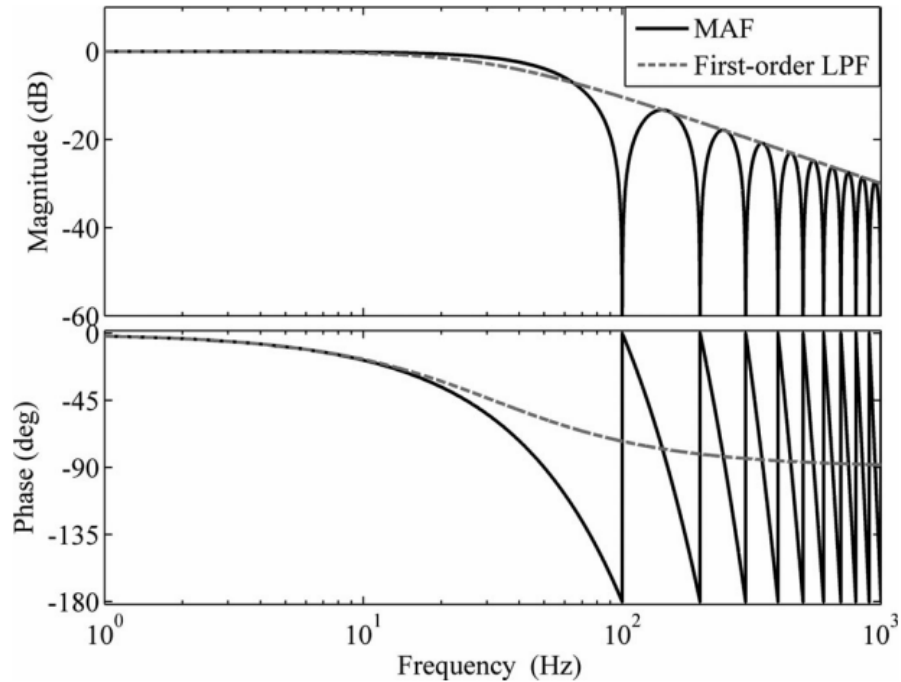
Onde  $T_{\omega}$  é a janela de tempo da amostragem e  $N$  é a quantidade de valores amostrados nesta mesma janela. Observa-se que devido à presença de um atraso na função de transferência da Equação 22 o tempo de resposta do sistema é igual a sua janela de tempo  $T_{\omega}$  (GOLESTAN *et al.*, 2014).

Com a substituição de  $s$  por  $j\omega$  na Equação 23 e fazendo algumas operações matemáticas, a magnitude e a fase do MAF podem ser definidas como na Equação 24 (GOLESTAN *et al.*, 2014).

$$G_{MAF}(j\omega) = \left| \frac{\sin\left(\frac{\omega T_{\omega}}{2}\right)}{\frac{\omega T_{\omega}}{2}} \right| \angle -\frac{\omega T_{\omega}}{2} \quad (24)$$

É possível observar na Figura 13 o comportamento da magnitude e fase do MAF-PLL através de seu diagrama de bode que, por sua vez, apresenta uma certa semelhança com um filtro passa baixa de primeira ordem.

**Figura 13 - Diagrama de Bode do MAF-PLL**



**Fonte: Golestan *et al.* (2014)**

Pode-se notar tanto pela Equação 24 quanto na Figura 13 que apenas na frequência igual a zero o ganho é unitário e para frequências múltiplas de  $f = \frac{n}{T_{\omega}}$  ( $n = 1, 2, 3, \dots$ ) o ganho drasticamente reduzido, esta característica do MAF-PLL habilita a utilização com o objetivo de filtrar múltiplas frequências como harmônicos de baixa ordem (ULLAH *et al.*, 2019).

Ao simplificar o atraso da Equação 22 através da aproximação de Padé, que é uma técnica de aproximação de funções discretas através do uso de funções racionais, é possível obter a seguinte função de transferência que se assemelha ao filtro passa-baixa observado na Figura 13 (GOLESTAN *et al.*, 2014).

$$G_{\text{MAF}}(s) = \frac{1}{\frac{T_{\omega}s}{2} + 1} \quad (25)$$

Utilizando das Equações 16 e 25 em conjunto com o integrador do PLL, obtém-se a função de transferência de malha aberta do MAF-PLL.

$$H_{MAFC}(s) = \frac{k_p s + k_i}{s^2 \left( \frac{T_\omega s}{2} + 1 \right)} \quad (26)$$

Segundo o método de simétrico ótimo descrito por Golestan *et al.* (2014), para uma função de transferência semelhante a Equação 26, seus parâmetros podem ser sintonizados da seguinte forma.

$$\omega_c = \frac{2}{bT_\omega} \quad (27)$$

$$k_p = \omega_c \quad (28)$$

$$k_i = \frac{\omega_c^2}{b} \quad (29)$$

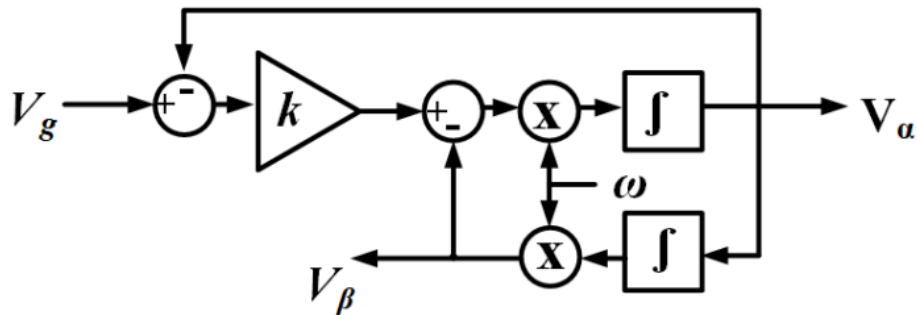
Onde  $\omega_c$  é a frequência de corte e  $b$  é uma constante de design que deve ser escolhida de acordo com a margem de estabilidade e o tempo de resposta desejados.

### 3.7 Malha de captura de fase com duplo integrador generalizado de segunda ordem

Segundo Lamo *et al.* (2020), a estrutura também conhecida como *Second order generalized integrator* (SOGI) tem como característica a presença de dois integradores em sua arquitetura que além de gerar dois sinais defasados em 90°, sendo um direto e outro em quadratura, também atua como um filtro adaptativo atenuando componentes harmônicas de frequência.



Figura 14 - Estrutura SOGI



Fonte: Prakash *et al.* (2019)

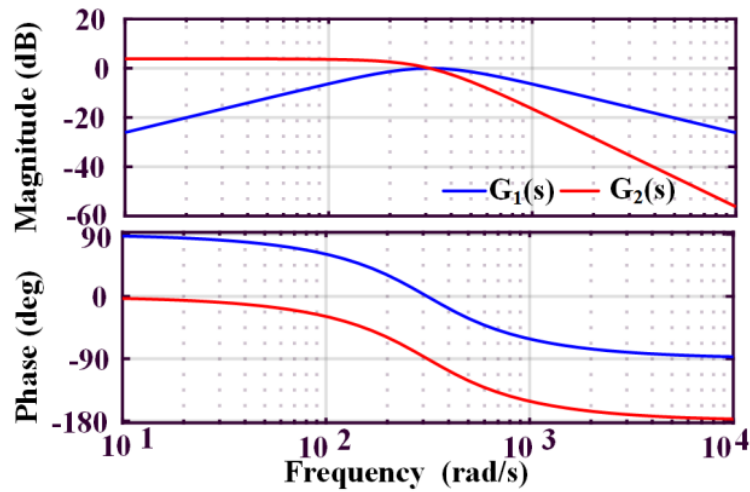
É possível observar na Figura 14 a disposição dos dois integradores, onde  $\omega$  é a frequência nominal do sistema e  $k$  o seu coeficiente de amortecimento, observa-se também o sinal de entrada  $V_g$  e os dois sinais de saída, o direto  $V_\alpha$  e o em quadratura  $V_\beta$ . Dito isso, a função de transferência do SOGI é dada pelas seguintes equações.

$$G_1(s) = \frac{V_g}{V_\alpha} = \frac{k\omega s}{s^2 + k\omega s + \omega^2} \quad (30)$$

$$G_2(s) = \frac{V_g}{V_\beta} = \frac{k\omega^2}{s^2 + k\omega s + \omega^2} \quad (31)$$

A Figura 15 mostra o diagrama de Bode do SOGI obtido através das Equações 30 e 31 e observa-se que a função  $G_1$  (azul) atua como um filtro passa banda iniciando com fase  $0^\circ$ , já a função  $G_2$  (vermelho) atua como um filtro passa baixa tendo  $90^\circ$  de atraso de fase em relação a  $G_1$  (PRAKASH *et al.*, 2019).

Figura 15 - Diagrama de bode do SOGI



Fonte: Prakash *et al.* (2019)

Em sistemas trifásicos um dos métodos utilizados para o sincronismo é chamado de *Dual second order generalized integrator phase locked loop* (DSOGI-PLL) que tem o objetivo de extrair a sequência positiva do sinal de entrada, sendo uma possível estratégia para utilização em sistemas com desequilíbrio de tensão (NAZIB *et al.*, 2018). Segundo Rodriguez *et al.* (2006) essa extração de sequência positiva ocorre através da associação entre as transformadas de Clarke e a utilização de componentes simétricas resultando, na Equação 32.

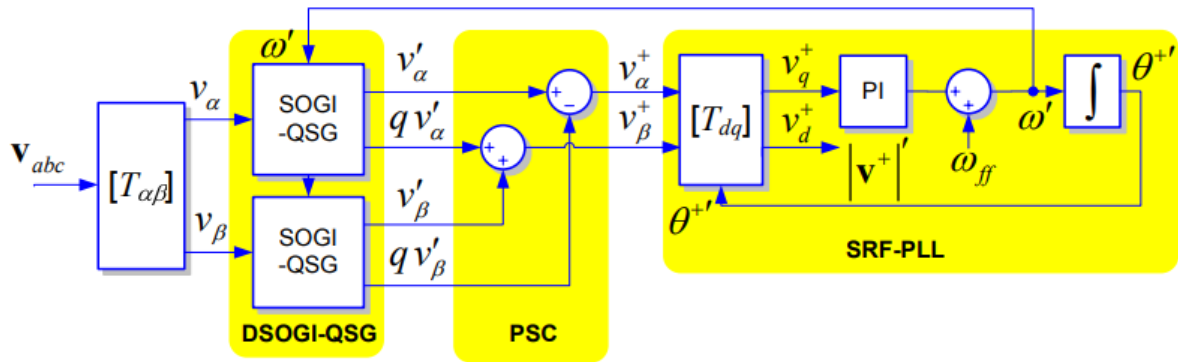
$$V_{\alpha\beta}^+ = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} V_{\alpha\beta} \quad (32)$$

Onde  $q$  é um operador de mudança de fase no domínio do tempo que denota o sinal em quadratura (90° de atraso) e pode ser observado na Equação 33.

$$q = e^{-j\frac{\pi}{2}} \quad (33)$$

O DSOGI tem na sua configuração dois blocos SOGI desacoplados ligados ao PLL que através da Equação 32 extraem a sequência positiva do sinal de entrada, sendo uma das estratégias utilizadas em sistemas com desequilíbrio de tensão (NAZIB *et al.*, 2018).

Figura 16 - Estrutura DSOGI-PLL



Fonte: Rodriguez *et al.* (2006)

Segundo Xiao *et al.* (2017), a estrutura do DSOGI representada pelas equações 30 e 31 pode ser simplificada em regime permanente, resultando em uma função de transferência de primeira ordem dada pela Equação 34.

$$G_{SOGI}(s) = \frac{1}{\tau_p s + 1} \quad (34)$$

Em que  $\tau_p$  é a constante de tempo do SOGI e é dada pela Equação 35.

$$\tau_p = \frac{2}{k\omega} \quad (35)$$

Dessa forma, utilizando as Equações 19 e 34 obtém-se a função de transferência de malha aberta do DSOGI desacoplado em conjunto com o PLL na Equação 36.

$$H_{SOGI_c}(s) = \frac{k_p s + k_i}{s^2(\tau_p s + 1)} \quad (36)$$

Segundo Golestan *et al.* (2014), os ganhos de  $k_p$  e  $k_i$  podem ser definidos com o auxílio do método de simétrico ótimo apresentado nas equações 28 e 29. Tal método altera apenas a frequência de corte que leva em consideração a constante de tempo do SOGI resultando na seguinte equação:

$$\omega_c = \frac{\omega k}{2b} \quad (37)$$

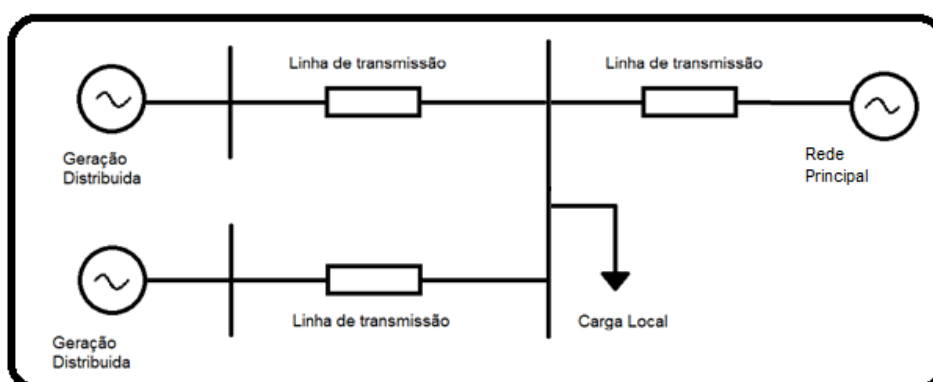
Dessa forma é possível sintonizar o controlador PI de modo que tanto a frequência natural do sistema quanto o coeficiente de amortecimento permaneçam igual ou semelhante aos demais PLLs.

## 4 METODOLOGIA

Nesta seção é apresentada a metodologia utilizada neste trabalho. Para isso, utilizou-se a plataforma Simulink do *software* Matlab, visando simular a desempenho da MR junto com a atuação dos controladores e do PLL. Como parâmetro de sua configuração foi empregado um passo discreto de  $10^{-5}$  segundos, contemplando um bom nível de detalhes sem implicar muito tempo de processamento no computador utilizado (com processador Intel(R) Core(TM) i5-5200U).

A MR é representada como um sistema simplificado, composto por dois geradores com apenas um elemento de carga, sendo conectados à rede principal através de linhas de transmissão como pode ser observado na Figura 17.

**Figura 17 - Diagrama Simplificado da MR conectada**



**Fonte: Autoria própria (2022)**

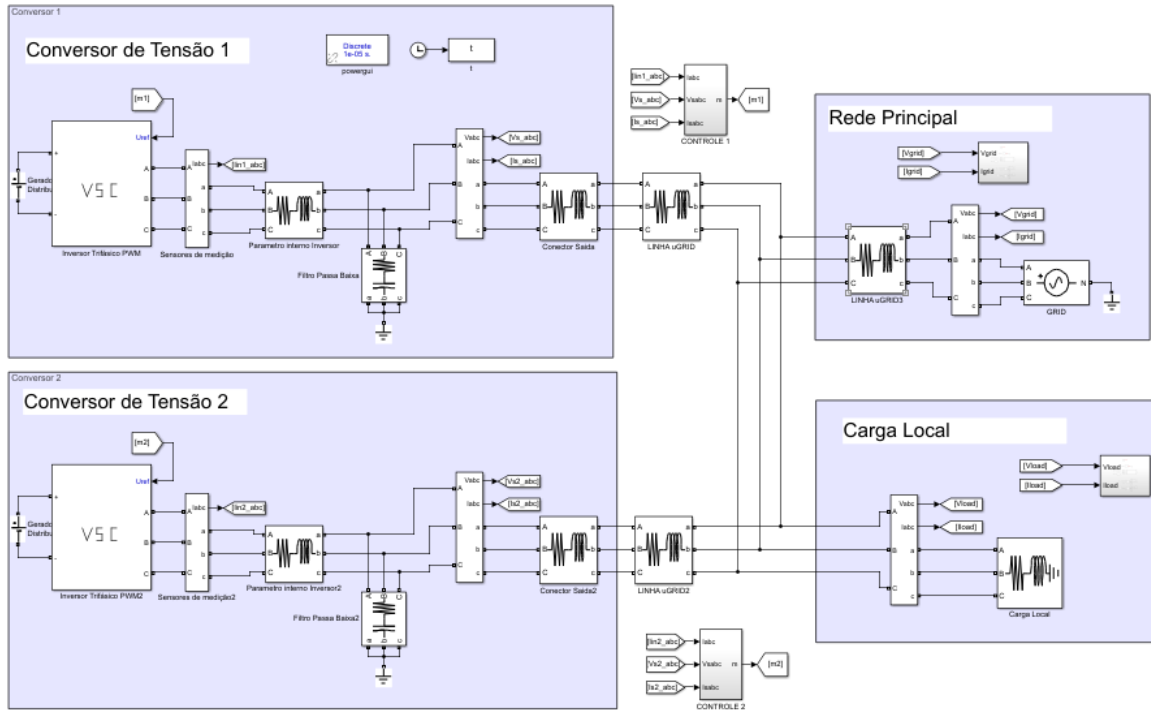
A seguir são descritas, de forma detalhada, as etapas de implementação da MR, dos seus conversores e controladores e os métodos de PLL, sendo eles: o SRF-PLL; MAF-PLL; DSOGI-PLL. Em seguida, no Capítulo 5, serão avaliados os resultados provenientes do desempenho entre os métodos de PLL.

### 4.1 Estrutura da microrrede

Para elaborar um sistema com o objetivo de simular as malhas de controle e avaliar o desempenho dos métodos de PLL, foi desenvolvido uma microrrede na plataforma Simulink utilizando como base o diagrama apresentado na Figura 17. A arquitetura da MR desenhada no Simulink pode ser observada na Figura 18, onde

foi estruturada utilizando apenas ferramentas e funções presentes na biblioteca do simulador.

**Figura 18 - Estrutura da MR conectada**

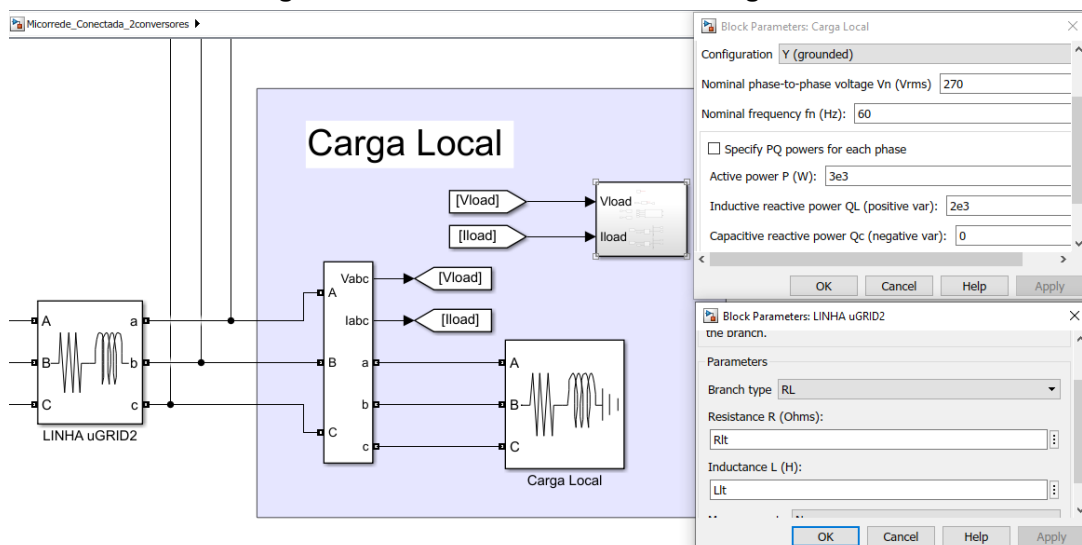


**Fonte: Autoria própria (2022)**

#### 4.1.1 Configurações para a carga local

Para a representação da carga local foi utilizado o bloco *three-phase series RLC load* configurado para absorver potência ativa e reativa. As linhas de transmissão foram emuladas a partir do bloco *three-phase series RLC branch* onde é possível colocar a resistência e a indutância da linha. Todos os blocos podem ser observados junto a suas configurações na Figura 19.

**Figura 19 - Linha de transmissão e Carga Local**

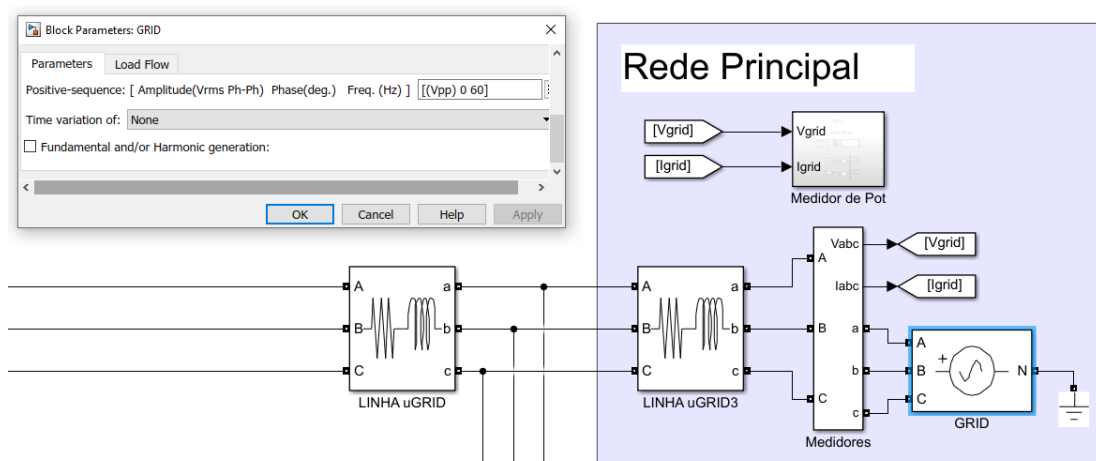


Fonte: Autoria própria (2022)

#### 4.1.2 Configurações para a rede principal

Para a rede principal foi adicionado um gerador na configuração de barra *Swing* que pode ser encontrado na biblioteca com o nome de *Three-phase programmable voltage source*. Tanto os parâmetros do gerador quanto sua disposição no simulador podem ser observados na Figura 20.

**Figura 20 - Disposição da rede principal conectada por linhas de transmissão**



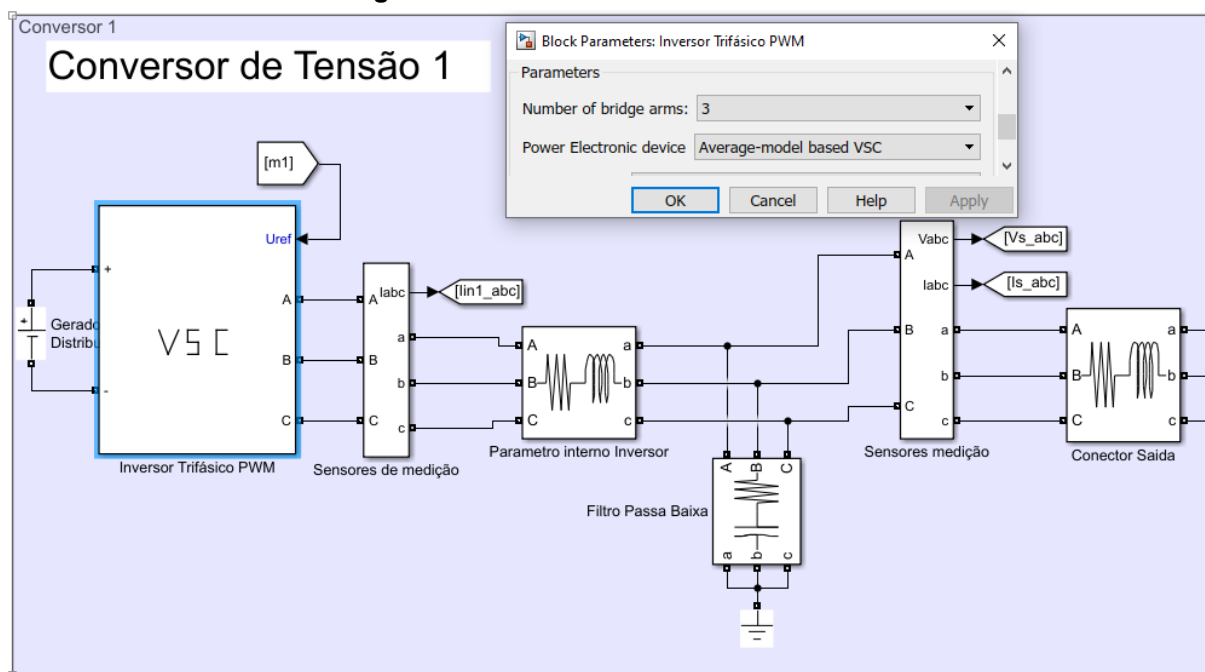
Fonte: Autoria própria (2022)

#### 4.2 Implementação do conversor de tensão

Para estabelecer o inversor trifásico PWM, foi utilizado o bloco *Universal Bridge*, que tem como característica a capacidade de emular diferentes fontes chaveadas dependendo de sua configuração. Por este motivo, se faz necessário

parametrizar o bloco utilizando o formato de conversor de tensão com valores médios como pode ser observado na Figura 21.

**Figura 21 - Conversor de fonte de Tensão**



**Fonte: Autoria própria (2022)**

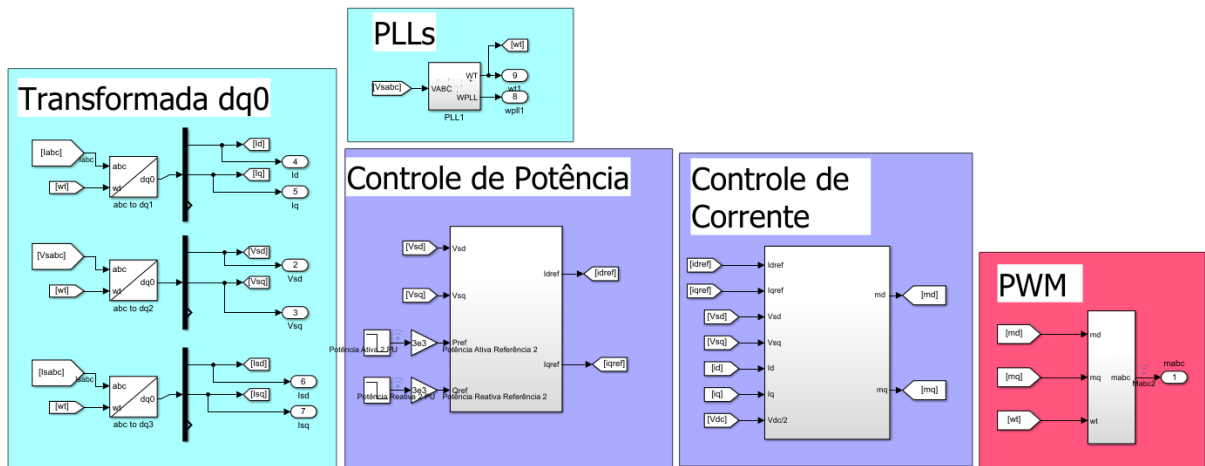
Para complementar o sistema do conversor, foram adicionados sensores internos de tensão e corrente que podem ser vistos na Figura 21. Também se fez necessário adicionar um bloco de resistência e indutância representando os parâmetros internos do conversor, como apresentado na seção 3.1, e por fim, foi implementado um filtro com o objetivo de atenuar ruídos de alta frequência, que podem ser causados por irregularidades ou pelo chaveamento quando não há a utilização do modelo de valores médios do conversor.

### 4.3 Bloco de controle

O sistema completo referente ao controle foi separado em 3 etapas que podem ser observadas na Figura 22. Observa-se primeiramente a etapa de mudança de referencial abc para dq0 (representada pela cor azul), seguida pela etapa que contempla as malhas de controle de corrente e de potência (representadas pela cor roxa) e, por fim, a etapa de reversão do referencial síncrono para o trifásico e geração do sinal modulador (representada pela cor vermelha).



**Figura 22 - Disposição das malhas de controle dos conversores**



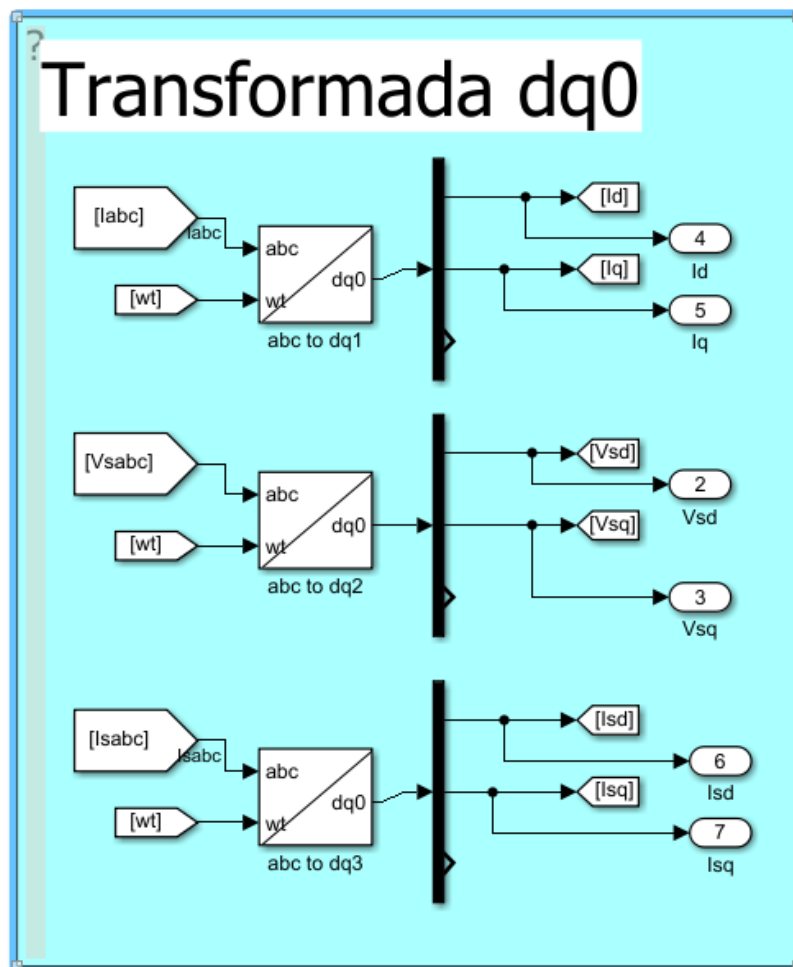
**Fonte: Autoria própria (2022)**

#### 4.3.1 Mudança de referencial

Como mostrado tanto na Seção 3.2, referente as transformadas de Park, quanto na Seção 3.5, que mostra o PLL, é de grande importância para os controladores que ocorra a conversão do referencial trifásico para o SRF, portanto, para alcançar este requisito foi implementado um subsistema que engloba os três métodos de PLL para a obtenção da fase propostos nas Seções , 3.6 e 3.7. O subsistema pode ser observado na Figura 22 em azul com o nome de PLLs e será melhor explicado na seção 4.4.

Também foi necessário adicionar 3 blocos de conversão dq0 para obter as variáveis de tensão interna  $V_t$ , tensão externa  $V_s$  e corrente de saída do conversor  $i$  a fim de habilitar o trabalho dos controladores PI.

Figura 23 - Transformadas de Park

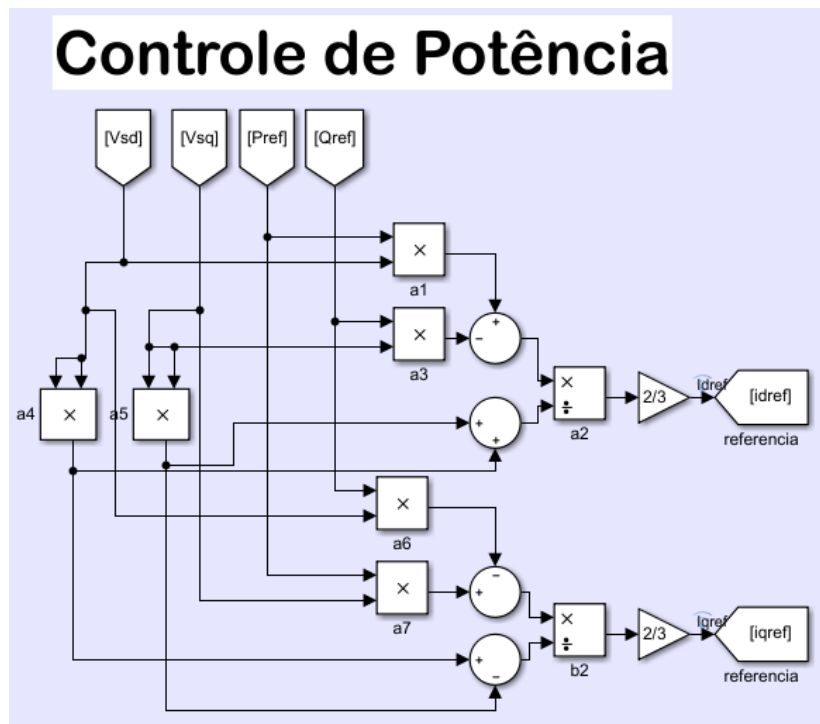


Fonte: Autoria própria (2022)

#### 4.3.2 Controle de potência

Utilizando apenas blocos de soma, multiplicação e divisão, e tendo como base as Equações 10 e 11 que representam a potência ativa e reativa através de sinais de tensão e corrente no referencial síncrono (dq0), foi possível implementar o controle de potência como pode ser observado na Figura 24.

Figura 24 - Malha de controle de potência no simulador



Fonte: Autoria própria (2022)

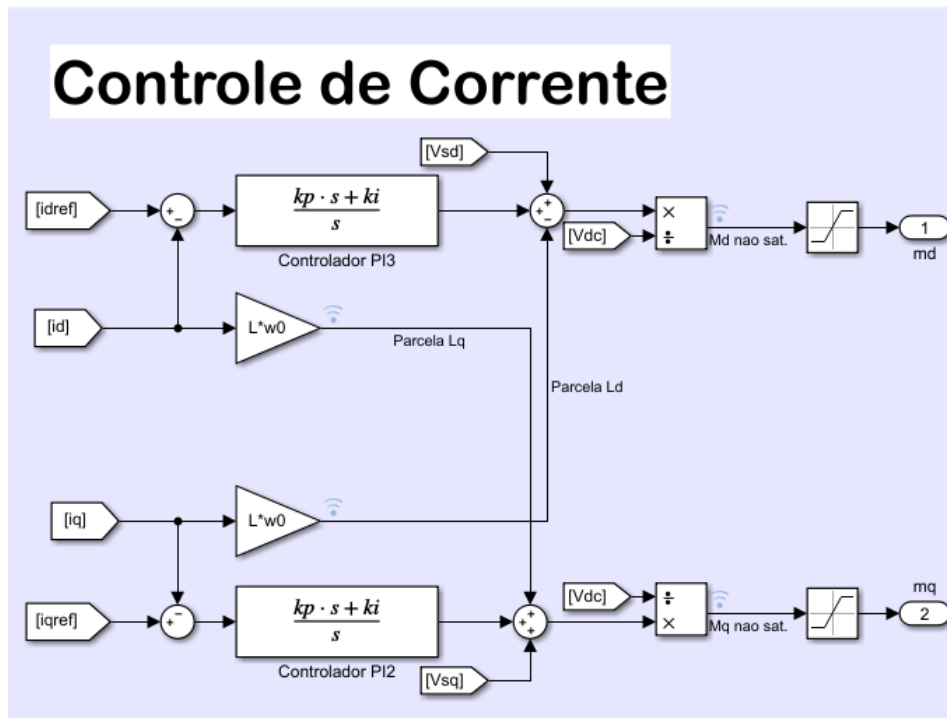
#### 4.3.3 Controle de corrente

A malha de controle de corrente foi implementada utilizando os ganhos representados pelas deduções de Yazdani e Iravani (2010) que podem ser observadas nas Equações 17 e 18.

Na Figura 25 é possível perceber a presença do desacoplamento dos controladores através de uma alimentação direta. Também é possível observar um bloco de saturação na saída dos controladores que tem como objetivo limitar o sinal modulador  $m$  em  $\pm 1$ .

O bloco utilizado para os controladores PI é o bloco *transfer fcn* que trabalha representando a função de transferência dada pela Equação 15. A Figura 25 mostra a malha de controle de corrente e sua disposição no Simulink.

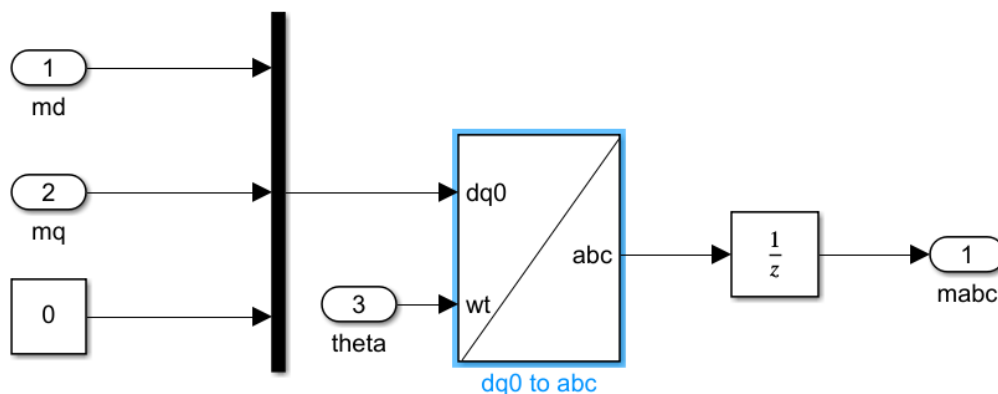
Figura 25 - Malha de controle de corrente no simulador



Fonte: Autoria própria (2022)

Como o conversor de tensão PWM necessita de um sinal modulador no referencial trifásico, foi adicionada uma transformada de Park inversa na saída dos controladores cujo nome do bloco pode ser encontrado por *dq0 to abc* como pode ser observado na Figura 26.

Figura 26 - Transformada inversa de Park



Fonte: Autoria própria (2022)

#### 4.4 Malha de captura de fase

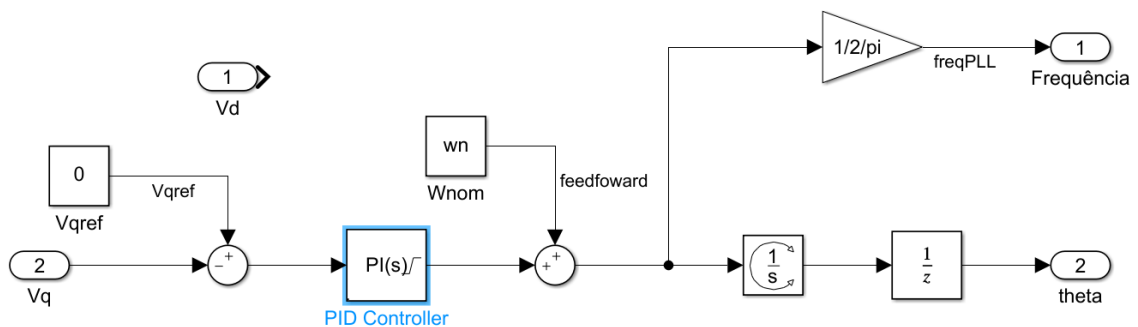
A comparação entre os três métodos de PLL descritos na seção 3.5 foi realizada utilizando os trabalhos de Golestan *et al.* (2014) e Freijedo *et al.* (2009).

Nesse sentido, cada método foi projetado considerando dois parâmetros controle iguais: a frequência natural do sistema  $\omega_n = 100$  e o seu coeficiente de amortecimento  $\xi = 0.7$ . Dessa forma, tanto o tempo de estabelecimento quanto o sobressinal tendem a ser semelhantes.

Vale ressaltar que, devido ao fato de que a diferença entre os métodos utilizados estar situada fora do laço de controle, se comportando como uma espécie de filtro, a estrutura do PLL utilizada foi a mesma para os três métodos comparados, mudando apenas seus valores de  $K_p$  e  $K_i$  que podem ser vistos na Tabela 1 ao final desta mesma seção.

A Figura 27 mostra a estrutura interna do PLL implementada no simulador (Simulink), onde é possível observar o sinal de entrada  $V_q$ ; sua referência  $V_{qref}$ ; e também a presença de uma alimentação direta  $\omega_{nom}$  que impõe uma condição inicial e diminui o trabalho do controlador.

**Figura 27 - Estrutura interna do PLL**



**Fonte: Autoria própria (2022)**

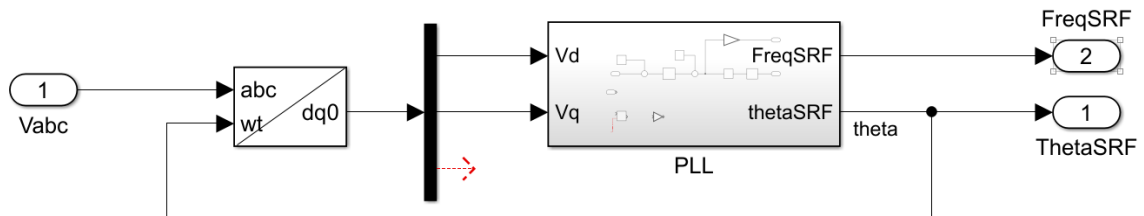
O bloco de controle utilizado foi o *PID controller* configurado para agir somente como um controlador PI, que possui como saída um sinal de frequência angular, que por sua vez, com o auxílio de um integrador adicional, resulta em duas saídas sendo elas: frequência (Hz) e ângulo ( $\theta$ ).

#### 4.4.1 SRF-PLL

Devido a sua simplicidade, a implementação do SRF-PLL tem sua estrutura formada apenas utilizando um bloco de transformada de Park abc-dq0, que atua

com o objetivo de habilitar a entrada do sinal em quadratura  $V_q$  para o laço do PLL, que pode ser visto na Figura 28.

**Figura 28 - Estrutura do SRF-PLL no simulador**

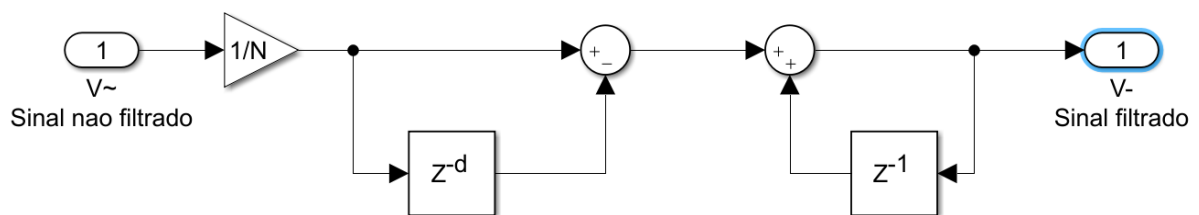


**Fonte: Autoria própria (2022)**

#### 4.4.2 MAF-PLL

A forma mais comum de implementação do MAF é feita utilizando sua representação no tempo discreto representada pela Figura 12 e pela Equação 23, resultando na seguinte estrutura no Simulink.

**Figura 29 - Filtro de Média Móvel (MAF)**

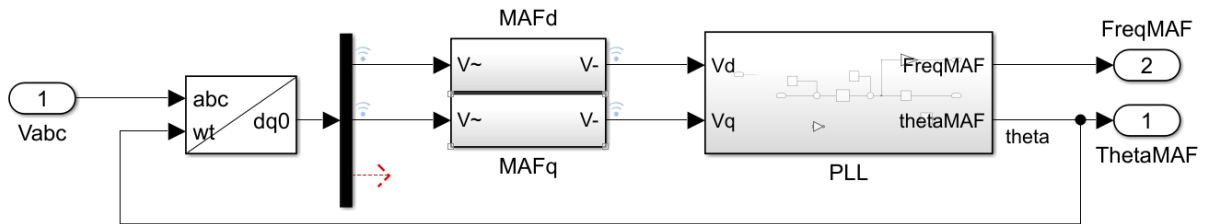


**Fonte: Autoria própria (2022)**

A Figura 29 mostra a entrada ( $V\sim$ ), sua saída filtrada ( $V-$ ), um bloco de ganho e dois blocos de atraso discreto, onde ambos os valores de  $d$  e  $N$  correspondem ao número de valores medidos na janela de tempo  $\frac{T_{\omega}}{2}$ .

A estrutura do MAF-PLL foi montada seguindo a Figura 11 onde o MAF é utilizado para filtrar o sinal de tensão do eixo direto e em quadratura dado pela transformada de Park, essa estrutura pode ser observada na Figura 30.

**Figura 30 - Estrutura do MAF-PLL no simulador**



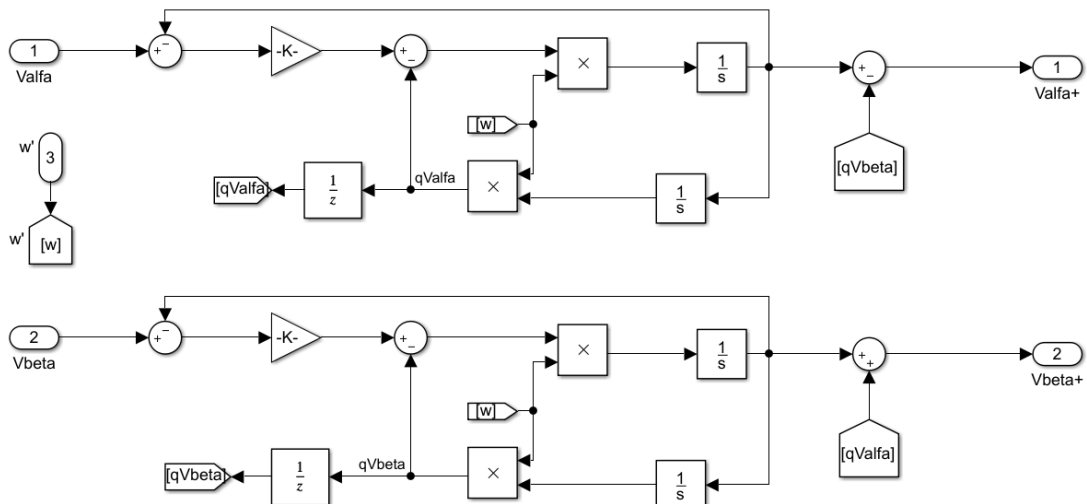
Fonte: Autoria própria (2022)

É possível observar na Figura 30 o bloco de transformada de Park, dois blocos de filtro de média móvel representados pela Figura 29 filtrando os valores do eixo dq0 e o bloco de malha de captura de fase.

#### 4.4.3 DSOGI-PLL

A implementação do SOGI-PLL foi feita utilizando tanto a Figura 14 quanto a Figura 16 como base, onde a estrutura do DSOGI é utilizada antes da malha de captura de fase para filtrar e extrair a sequência positiva do sinal de entrada.

**Figura 31 - Estrutura do Duplo SOGI**

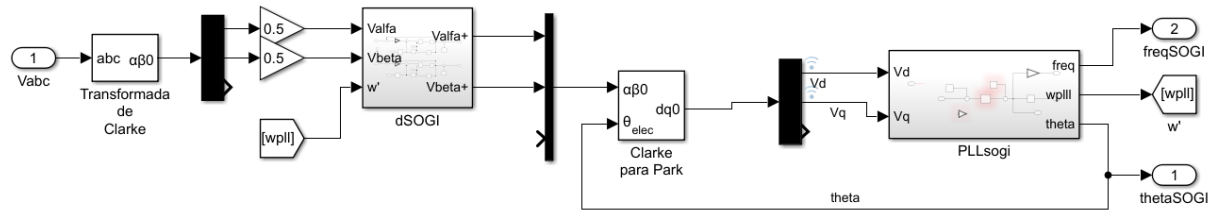


Fonte: Autoria própria (2022)

A Figura 31 mostra as entradas situadas no eixo  $\alpha\beta$ , o coeficiente de amortecimento  $K$ , a frequência central  $\omega$ , os integradores e também o desacoplamento entre o eixo  $\alpha$  e  $\beta$ .

A estrutura completa do DSOGI-PLL pode ser observada na figura abaixo.

Figura 32 - DSOGI-PLL no Simulink



Fonte: Autoria própria (2022)

Antes do DSOGI foi adicionado um bloco de transformada de Clarke a fim de habilitar seu trabalho utilizando sinais no eixo  $\alpha\beta$ , e após o DSOGI foi utilizado um bloco para transformar esses sinais para o eixo dq0 através do bloco *Clarke to Park transform*.

Todos os valores utilizados para sintonizar as malhas de controle dos três PLLs escolhidos podem ser encontrados na Tabela 1.

Tabela 1 - Valores Utilizados para sintonizar os controladores

Parâmetro	Valor
$K_p^{NRF}$	140
$K_i^{NRF}$	$10^4$
$K_p^{MAF}$	100
$K_i^{MAF}$	4166,7
$T_\omega$	0,083
$K_p^{SOGI}$	100.14
$K_i^{SOGI}$	4178,4
$K$	1.275
$\omega$	377
$\tau_p$	0,042

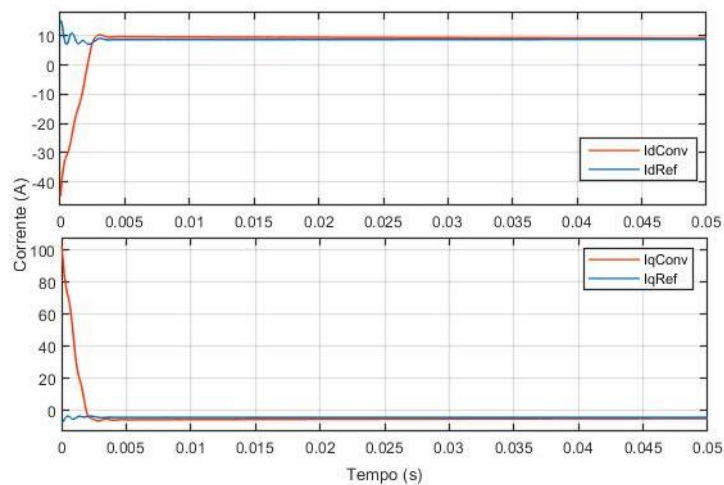
Fonte: Autoria própria (2022)



## 5 RESULTADOS E DISCUSSÕES

O desempenho dos controles de corrente e de potência dos conversores da microrrede foram avaliados inicialmente utilizando apenas a primeira metodologia de PLL (SRF-PLL). A partir desta consideração, a resposta do controle de corrente pode ser observada na Figura 33.

**Figura 33 - Desempenho do controle de corrente no eixo dq0**

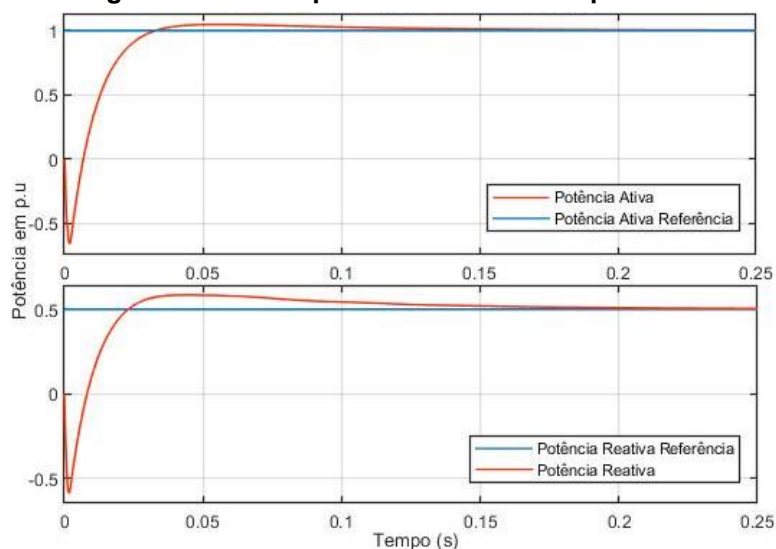


**Fonte: Autoria própria (2022)**

É possível observar na Figura 33 que o controlador praticamente consegue alcançar seu objetivo, que se resume a igualar o sinal de referência de corrente com o sinal de corrente da saída do conversor. O controlador alcança esse erro nulo de regime permanente em um intervalo de tempo de aproximadamente 0,01 segundos, o que demonstra um funcionamento adequado para uma condição inicial de operação.

O desempenho do controle de potência ativa e reativa pode ser visto na Figura 34, que de certa forma apresenta um comportamento mais lento que o controle de corrente da Figura 33 atingindo o erro nulo de regime permanente em aproximadamente 0,2 segundos.

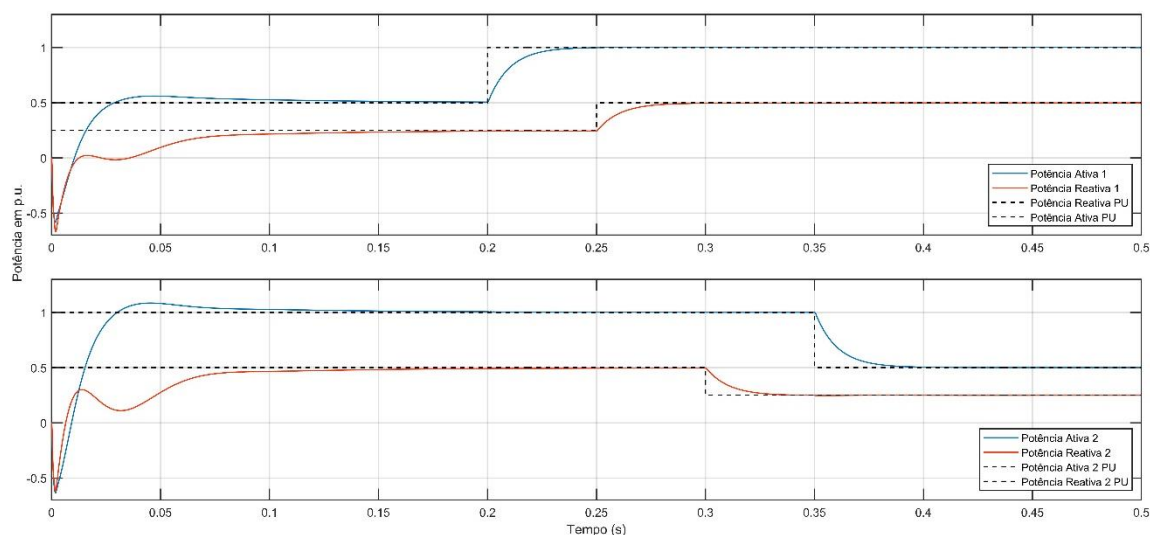
**Figura 34 - Desempenho do controle de potência**



**Fonte: Autoria própria (2022)**

Seguindo a com a intenção de avaliar o funcionamento das malhas de controle utilizadas foram consideradas em ambos os conversores, mudanças nas referências de potência ativa e reativa de 0.5 p.u. e 0.25 p.u. respectivamente, como pode ser visto na Figura 35.

**Figura 35 - Controle de potência ativa e reativa nos conversores 1 e 2**



**Fonte: Autoria própria (2022)**

É possível notar na Figura 35 que após o controle de potência atingir o regime permanente (0,1 segundos), o controle de potência consegue alcançar seus novos valores de referência de forma mais rápida e sem *overshoot*.

Ao comparar os três métodos de PLL escolhidos, foram considerados três eventos que podem ocorrer em qualquer rede elétrica, sendo eles: um degrau de

frequência; o desequilíbrio de tensão; e a presença de harmônicos nas tensões trifásicas (ALI *et al.*, 2018). Conforme descrito no Capítulo 4, utilizou-se dos parâmetros de frequência natural de  $\omega_n = 100$  e coeficiente de amortecimento  $\xi = 0.7$  a fim de deixar a comparação justa entre os métodos de PLL, Tal estratégia gerou as seguintes funções de transferência em malha fechada, nas quais é utilizado o ponto como separador decimal por ser o padrão utilizado pelo Matlab.

$$SRF_{closed} = \frac{140 (s + 71.43)}{s^2 + 140s + 10^4} \quad (38)$$

$$MAF_{closed} = \frac{24000 (s + 41.67)}{(s + 100)(s^2 + 140s + 10^4)} \quad (39)$$

$$SOGI_{closed} = \frac{24068 (s + 41.73)}{(s + 100)(s^2 + 140.2 + 10030)} \quad (40)$$

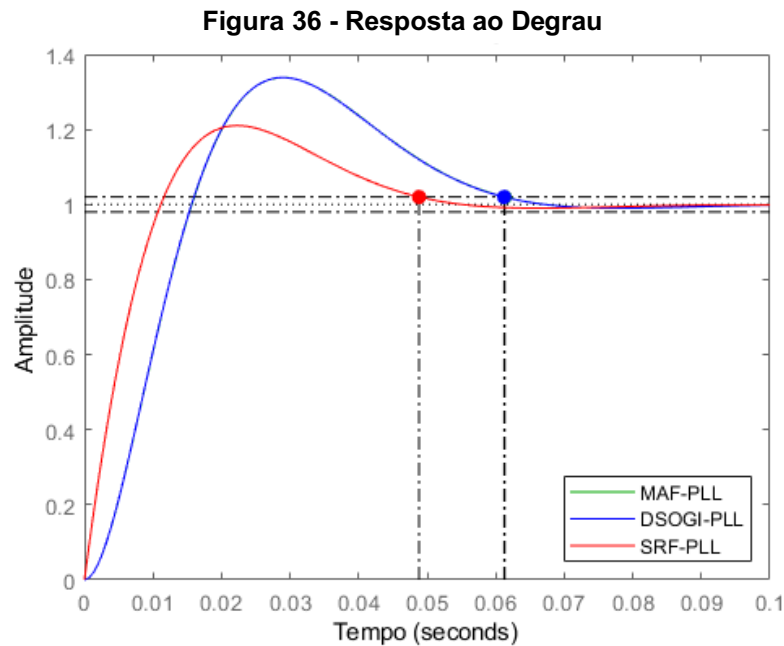
Com a utilização das funções de transferência das Equações 38, 39 e 40 é possível determinar o amortecimento e a frequência natural de cada polo utilizando o comando *damp()* em cada uma das FTs, resultando nos valores que são representados pela Tabela 2.

<b>Tabela 2 - Características de cada PLL</b>			
<b>Parâmetros</b>	<b>SRF-PLL</b>	<b>SOGI-PLL</b>	<b>MAF-PLL</b>
Polo 1	$-70 - i71.4$	$-70 - i71.5$	$-70 - i71.4$
Polo 2	$-70 + i71.4$	$-70 + i71.5$	$-70 + i71.4$
Polo 3	-	$-100.0$	$-100.0$
Amortecimento	0.7	0.7	0.7
Frequência Natural	100.0	100.0	100.0

**Fonte: Autoria própria (2022)**

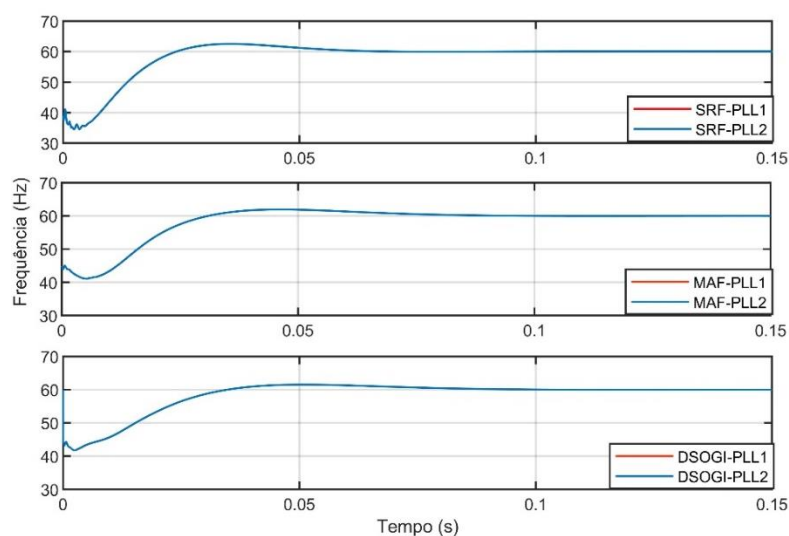
Utilizou-se o comando *step()* nas funções de transferência de cada PLL para observar a resposta ao degrau unitário e verificar a o resultado de suas sintonizações que, apesar de configuradas com um coeficiente de amortecimento de 0,7 para possuírem *overshoot* reduzido, ainda assim resultaram na presença de um sobressinal nos três métodos como pode ser visto na Figura 36. Esse efeito ocorre pois os métodos de controle descritos na seção 3.5 não consideram o zero na

origem da Equação 20, diminuindo a influência do amortecimento  $\xi$  em PLLs com ganhos baixos nos controladores (FREIJEDO *et al.* 2009). Também é possível observar a sobreposição do MAF-PLL e do DSOGI-PLL e que o tempo de acomodação dos dois foi de aproximadamente 0,061 segundos enquanto o SRF-PLL foi de 0,049 segundos.



**Fonte: Autoria própria (2022)**

Apesar dos parâmetros internos e as configurações dos controladores serem iguais entre os dois conversores, utilizou-se a simulação da MR para verificar se a resposta dos métodos de PLL no conversor 1 e 2 na inicialização da simulação era igual. O resultado do teste pode ser observado na Figura 37.

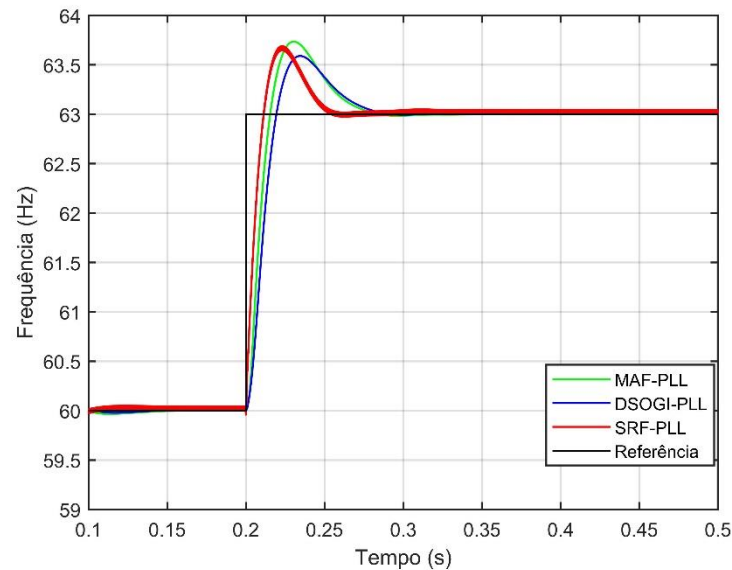
**Figura 37 - Resposta referente a inicialização dos PLL nos dois conversores**

**Fonte: Autoria própria (2022)**

A Figura 37 mostra que as respostas dos dois conversores foram iguais (sobreposição) para os três métodos avaliados. Por este motivo, adotou-se apresentar apenas os sinais do conversor 1 para realizar as comparações descritas no trabalho.

A comparação realizada na Figura 38 considera uma variação em degrau da frequência, com amplitude de 3 Hz, a fim de testar a velocidade da resposta dos três métodos.

**Figura 38 - Simulação sob um degrau de frequência de 3 Hz**



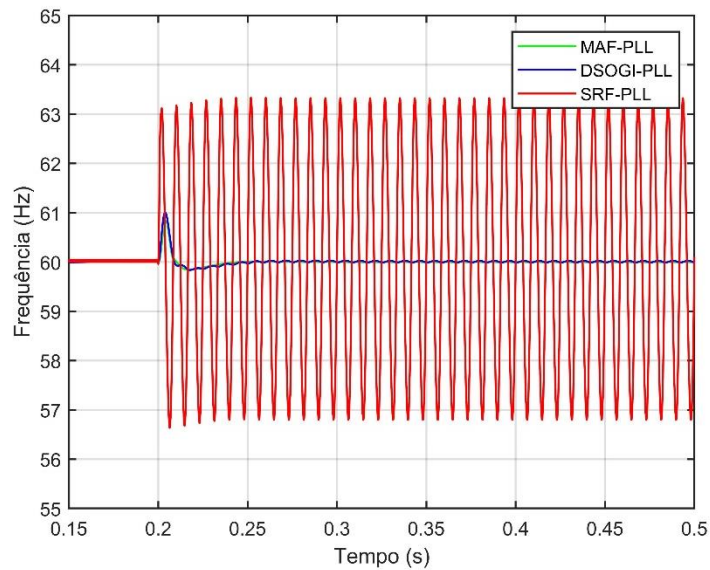
**Fonte: Autoria própria (2022)**

Foi possível observar na Figura 38, semelhanças entre a simulação dos métodos propostos e suas respectivas respostas provenientes do comando *step()* da Figura 36, pois todos apresentaram um *overshoot* na resposta ao degrau.

O tempo de acomodação nas respostas ao degrau para cada um dos três métodos de PLL foi de: aproximadamente 0,053 segundos para o SRF-PLL, 0,083 segundos para o DSOGI-PLL e por fim, 0,071 segundos para o MAF-PLL, estes valores encontrados, apesar de diferentes, se mostraram próximos aos valores encontrados na resposta ao degrau da Figura 36. Também é possível notar diferenças entre as curvas do DSOGI-PLL e o MAF-PLL que não haviam ocorrido anteriormente, essas diferenças podem ter sido causadas tanto pela dinâmica da MR que não são consideradas na função *step()* quanto pela simplificação das FTs de cada metodologia (Equações 25 e 34) de forma respectiva.

A segunda comparação realizada considerando a alteração da tensão  $V_a$  para 1.5 p.u., a fim de observar o comportamento dos PLLs em capturar a fase quando o sinal trifásico é desequilibrado, uma vez que as demais fase são mantidas em 1.0 p.u., com mostra a Figura 34.

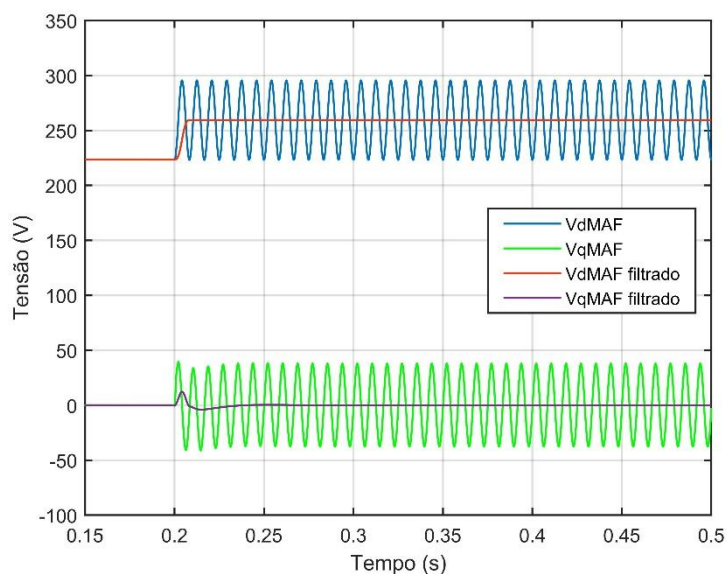
**Figura 39 - Simulação sob um desequilíbrio da tensão  $V_a$  de 1,5 p.u.**



**Fonte: Autoria própria (2022)**

Note na Figura 39 que o SRF-PLL não obteve êxito em manter sincronismo com a frequência do sistema. Isso acontece devido a existência de uma componente que é gerada quando se transforma sinais desequilibrados do eixo estacionário abc para o eixo  $dq0$ , já que esta componente tem como característica variar duas vezes mais rápido que a frequência do sistema. Tal componente de frequência dupla pode ser observada na Figura 40 sendo filtrada pelos filtros do MAF-PLL mantendo a estabilidade e o sincronismo com a rede. O DSOGI-PLL também conservou a estabilidade no teste proposto, porém de forma diferente àquela do MAF-PLL, já que o este desacoplou e isolou apenas a componente positiva, impedindo o surgimento da componente de frequência dupla causada pela presença de componentes negativas nas entradas de seu PLL.

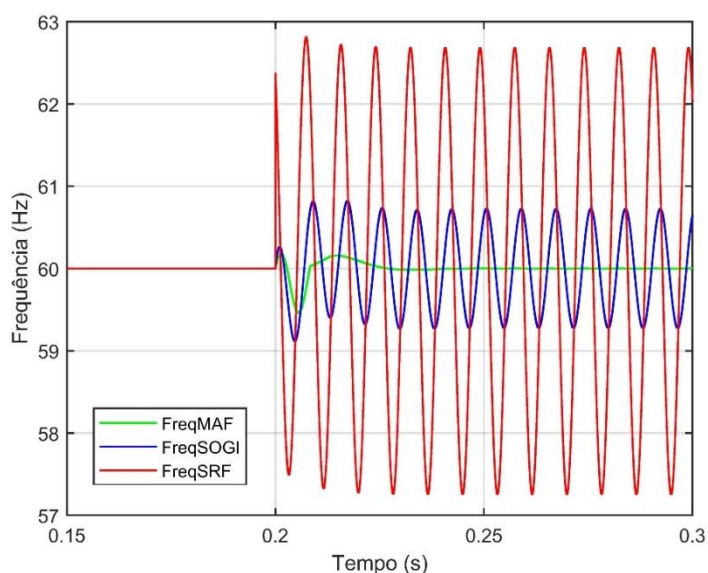
**Figura 40 - Vq e Vd sob desequilíbrio na tensão Va de 1,5 p.u.**



**Fonte: Autoria própria (2022)**

Na terceira análise realizada, adicionou-se um ruído harmônico de terceira ordem com 0,1 p.u. de amplitude nas tensões trifásicas, a fim de testar a estabilidade dos PLLs sob circunstâncias de uma rede com presença de harmônicos. O resultado obtido é mostrado na Figura 41.

**Figura 41 - Simulação sob presença de harmônico de 3ª ordem de 0,1 p.u.**



**Fonte: Autoria própria (2022)**

Observa-se na Figura 41 que apenas o MAF-PLL conseguiu filtrar os componentes harmônicos e manter a frequência no valor de referência, já o DSOGI-PLL filtrou parcialmente o sinal e o SRF-PLL não teve êxito nesse quesito, gerando um sinal de frequência instável.



De forma a facilitar o entendimento sobre o desempenho dos PLLs estudados, elaborou-se uma tabela que detalha informações referentes as suas respostas dinâmicas como tempo de estabelecimento e *overshoot*, ao mesmo tempo que mostra de forma resumida sobre a estabilidade de cada metodologia nos determinados eventos.

**Tabela 3 - Desempenho de cada PLL**

Métodos de PLL	Resposta ao Degrau		Estimação precisa durante		
	Tempo de estabelecimento (s)	Overshoot (%)	Degrau de Frequência	Desequilíbrio de Tensão	Presença de Harmônicos
SRF-PLL	0.053	22	Sim	Não	Não
DSOGI-PLL	0.083	19	Sim	Sim	Não
MAF-PLL	0.071	24	Sim	Sim	Sim

**Fonte: Autoria própria (2022)**

As colunas referentes a Resposta ao Degrau da Tabela 3 foram preenchidas com base na Figura 38 onde o tempo de estabelecimento e o *overshoot* foram calculados de forma aproximada utilizando recursos de medição do visualizador de sinais *Simulation Data Inspector*. É possível notar que apesar das simplificações utilizadas nas FTs, os métodos de sintonização dos PLLs resultaram em valores de tempo de estabelecimento e overshoot próximos.

A Tabela 3 mostra de forma resumida o desempenho de cada PLL nos três eventos simulados, podendo ser observado que para o evento referente ao degrau de frequência, todos os PLLs mediram precisamente a fase e a frequência do sinal de entrada, porém, no segundo evento onde a MR funcionava com tensões desequilibradas, o SRF-PLL deixou de medir corretamente os sinais de entrada, e por fim, no terceiro evento onde a MR possuía a presença de harmônicos nas tensões, tanto o SRF-PLL quanto o DSOGI-PLL deixaram de funcionar de forma precisa e apenas o MAF-PLL continuou estimando a fase e a frequência corretamente.

## 6 CONCLUSÃO

Neste trabalho foi realizada uma revisão bibliográfica contemplando o estado da arte associado a estratégias e configurações de PLL já existentes, possuindo como fonte de estudo pesquisas como artigos, periódicos, livros e dissertações. O objetivo era avaliar as principais características das configurações de PLL, destacando vantagens e desvantagens frente a alguns cenários operativos e eventos que podem ocorrer durante a operação de uma MR.

Após a revisão, foi implementada uma microrrede teste, visando simular o desempenho dos diferentes métodos de PLL estudados. Para isso, foram definidos alguns requisitos de projeto dos PLLs, sendo eles a frequência natural e o coeficiente de amortecimento, possibilitando uma comparação mais justa entre as metodologias. Em seguida, foram avaliados os seguintes eventos: variação em um degrau no sinal de frequência, o desequilíbrio de tensão e a adição de harmônicos nas tensões do sistema.

Com base os resultados obtidos, foi observado, considerando os pontos de operação avaliados, que as metodologias de PLL utilizadas tiveram resultados satisfatórios tanto para a inicialização do sistema, quanto para a captura de fase considerando um degrau de frequência, demonstrando estabilidade e tempo de resposta próximos entre os três. Também foi possível notar que ao desequilibrar as tensões da rede, o SRF-PLL deixou de capturar a fase e apresentou instabilidades. O último evento demonstrou que com a adição de um harmônico de terceira ordem nos sinais trifásicos, surgem problemas de instabilidade tanto para o SRF-PLL quanto para o DSOGI-PLL enquanto o MAF-PLL filtra as componentes e se mantém estável.

Como trabalhos futuros, o autor recomenda a análise dos efeitos causados na dinâmica das respostas dos PLL pelo aumento no número de detalhes nos conversores, cargas e outros elementos da MR, assim como o estudo e utilização de outras técnicas para a sintonização dos PLLs, melhorando a confiabilidade entre as comparações, ou até mesmo a utilização de técnicas mais robustas e mais complexas de PLL a fim de promover maior estabilidade durante os testes na MR.

## REFERÊNCIAS

- Typhoon HIL Documentation, **ABC to  $\alpha\beta\gamma$** , 2022, Disponível em: <[https://www.typhoon-hil.com/documentation/typhoon-hil-software-manual/References/abc\\_to\\_alpha\\_beta.html](https://www.typhoon-hil.com/documentation/typhoon-hil-software-manual/References/abc_to_alpha_beta.html)>. Acesso em: 22 de julho de 2022.
- Typhoon HIL Documentation, **ABC to DQ**, 2022, Disponível em: <[https://www.typhoon-hil.com/documentation/typhoon-hil-software-manual/References/abc\\_to\\_dq.html](https://www.typhoon-hil.com/documentation/typhoon-hil-software-manual/References/abc_to_dq.html)>. Acesso em: 18 de fevereiro de 2022.
- AFONSO, J L. et al. **pq Theory power components calculations**. In: 2003 IEEE International Symposium on Industrial Electronics (Cat. No. 03TH8692). IEEE, 2003. p. 385-390.
- ALI, Z *et al.* **Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review**. Renewable and Sustainable Energy Reviews, v. 90, p. 434–452, 2018.
- CAGNANO, A.; DE TUGLIE, E.; MANCARELLA, P. **Microgrids: Overview and guidelines for practical implementations and operation**. Applied Energy, v. 258, p. 114039, 2020.
- CHATTOPADHYAYA, A *et al.* **Area based approach for three phase power quality assessment in clarke plane**. J. Electr. Syst, v. 4, n. 3, p. 60-76, 2008.
- CHATTOPADHYAY, S; MITRA, M; SENGUPTA, S. **Electric power quality**. In: Electric power quality. Springer, Dordrecht, 2011. p. 5-12.
- CHUNG, Se-Kyo *et al.* A phase tracking system for three phase utility interface inverters. **IEEE Transactions On Power Electronics**, [S.L.], v. 15, n. 3, p. 431-438, maio 2000. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/63.844502>.
- Empresa de Pesquisa Energética - EPE. **Projeção de Demanda de Energia Elétrica (2017-2026)**. Rio de Janeiro. 2017.
- FARHANGI, H. **The path of the smart grid**. IEEE Power And Energy Magazine, [S.L.], v. 8, n. 1, p. 18-28, jan. 2010. Institute of Electrical and Electronics Engineers (IEEE).
- FREIJEDO, F.D. *et al.* **Tuning of Phase-Locked Loops for Power Converters Under Distorted Utility Conditions**. IEEE Transactions On Industry Applications, [S.L.], v. 45, n. 6, p. 2039-2047, 2009. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tia.2009.2031790>.
- FUNABASHI, T. (Ed.). **Integration of distributed energy resources in power systems: implementation, operation and control**. Academic Press, 2016.
- GOLESTAN, S. *et al.* **Moving Average Filter Based Phase-Locked Loops: performance analysis and design guidelines**. IEEE Transactions On Power Electronics, [S.L.], v. 29, n. 6, p. 2750-2763, jun. 2014. Institute of Electrical and Electronics Engineers (IEEE).

- GOLESTAN, S. *et al.* **MAF-PLL With Phase-Lead Compensator.** *Ieee Transactions On Industrial Electronics*, [S.L.], p. 1-1, 2014. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tie.2014.2385658>.
- GOLESTAN, S. *et al.* **Moving Average Filter Based Phase-Locked Loops: performance analysis and design guidelines.** *Ieee Transactions On Power Electronics*, [S.L.], v. 29, n. 6, p. 2750-2763, jun. 2014. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2013.2273461>.
- GUPTA, S.C. **Phase-locked loops.** *Proceedings of the IEEE*, v. 63, n. 2, p. 291–306, 1975.
- LAMO, P. *et al.* **Evaluation of Quadrature Signal Generation Methods with Reduced Computational Resources for Grid Synchronization of Single-Phase Power Converters through Phase-Locked Loops.** *Electronics*, [S.L.], v. 9, n. 12, p. 2026, 30 nov. 2020. MDPI AG. <http://dx.doi.org/10.3390/electronics9122026>.
- LASSETER, R. *et al.* **Integration of distributed energy resources. The CERTS Microgrid Concept.** [s.l.: s.n.], 2002. United States. <https://doi.org/10.2172/799644>.
- LINO, F. *et al.* **Enhanced SOGI-PLL by one-cycle Fourier algorithm.** *Eletrônica de Potência*, [S.L.], v. 26, n. 1, p. 94-103, 26 mar. 2021. Associação Brasileira de Eletrônica de Potência SOBRAEP.
- MOHAN, S.; LOSANSKY, J.; GUELDNER, H. **Discrete stationary frame control for a front-end converter.** *In: 2006 India International Conference on Power Electronics.* Chennai, India: IEEE, 2006, p. 46–50. Disponível em: <<http://ieeexplore.ieee.org/document/4685339/>>
- NAZIB, A. *et al.* **Decoupled DSOGI-PLL for Improved Three Phase Grid Synchronisation. 2018 International Power Electronics Conference (Ipec-Niigata 2018 -Ecce Asia)**, [S.L.], p. 3670-3677, maio 2018. IEEE. <http://dx.doi.org/10.23919/ipec.2018.8507364>.
- PEPERMANS, G. *et al.* **Distributed generation: definition, benefits and issues.** *Energy Policy*, [S.L.], v. 33, n. 6, p. 787-798, abr. 2005. Elsevier BV.
- PRAKASH, S. *et al.* **Comprehensive Analysis of SOGI-PLL Based Algorithms for Single-Phase System. 2019 National Power Electronics Conference (Npec)**, [S.L.], p. 1-6, dez. 2019. IEEE. <http://dx.doi.org/10.1109/npec47332.2019.9034724>.
- RODRIGUEZ, P. *et al.* **Decoupled Double Synchronous Reference Frame PLL for Power Converters Control.** *Ieee Transactions On Power Electronics*, [S.L.], v. 22, n. 2, p. 584-592, mar. 2007. Institute of Electrical and Electronics Engineers (IEEE).
- RODRIGUEZ, P. *et al.* **Control of grid-connected power converters based on a virtual admittance control loop. 2013 15Th European Conference On Power Electronics And Applications (Epe)**, [S.L.], p. 1-10, set. 2013. IEEE.
- RODRIGUEZ, P. *et al.* **New Positive-sequence Voltage Detector for Grid Synchronization of Power Converters under Faulty Grid Conditions. 37Th Ieee Power Electronics Specialists Conference**, [S.L.], p. 1-7, 2006. IEEE. <http://dx.doi.org/10.1109/pesc.2006.1712059>.

ROYAN et al. **Comparison of SOGI-FLL with SOGI-PLL for Single-Phase Grid-Connected Inverters**. E3S Web Of Conferences, [S.L.], v. 125, p. 14005, 2019. EDP Sciences.

SERBAN, I; ION, C.P. **Microgrid control based on a grid-forming inverter operating as virtual synchronous generator with enhanced dynamic response capability**. International Journal of Electrical Power & Energy Systems, v. 89, p. 94–105, 2017.

SILVA, S.M. et al. **Performance evaluation of PLL algorithms for single-phase grid-connected systems**. Ieee Industry Applications Conference, Seattle, Wa, Usa, v. 4, p. 2259-2263, nov. 2004

ULLAH, I. *et al.* **Comparison of Synchronization Techniques Under Distorted Grid Conditions**. Ieee Access, [S.L.], v. 7, p. 101345-101354, 2019. Institute of Electrical and Electronics Engineers (IEEE).  
<http://dx.doi.org/10.1109/access.2019.2930530>.

XIAO, F. *et al.* **A Frequency-Fixed SOGI-Based PLL for Single-Phase Grid-Connected Converters**. Ieee Transactions On Power Electronics, [S.L.], v. 32, n. 3, p. 1713-1719, mar. 2017. Institute of Electrical and Electronics Engineers (IEEE).  
<http://dx.doi.org/10.1109/tpel.2016.2606623>.

YAZDANI, Amirnaser; IRAVANI, Reza. **Voltage-Sourced Converters in Power System**. Wiley-IEEE Press: Hoboken, NY, USA, v. 17, p. 91-107, 2010.