

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO DE ENGENHARIA ELETRÔNICA

IDALBERTO CARDOZO DA SILVA JÚNIOR

**PROJETO E ANÁLISE DE UM CIRCUITO INTEGRADO DO TIPO AMPLIFICADOR
OPERACIONAL 741**

TRABALHO DE CONCLUSÃO DE CURSO

CAMPO MOURÃO

2019

IDALBERTO CARDOZO DA SILVA JÚNIOR

**PROJETO E ANÁLISE DE UM CIRCUITO INTEGRADO DO TIPO AMPLIFICADOR
OPERACIONAL 741**

Trabalho de conclusão de curso, apresentado à disciplina de TCC2, do curso Superior de Engenharia Eletrônica do Departamento Acadêmico de Eletrônica - DAELN - da Universidade Tecnológica Federal do Paraná - UTFPR, como requisito parcial para obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Roberto Ribeiro Neli

CAMPO MOURÃO

2019



TERMO DE APROVAÇÃO DO TRABALHO DE CONCLUSÃO DE CURSO INTITULADO

**PROJETO E ANÁLISE DE UM CIRCUITO INTEGRADO DO TIPO AMPLIFICADOR
OPERACIONAL 741**

DO DISCENTE

IDALBERTO CARDOZO DA SILVA JÚNIOR

Trabalho de Conclusão de Curso apresentado no dia 29 de novembro de 2019 ao Curso Superior de Engenharia Eletrônica da Universidade Tecnológica Federal do Paraná, Campus Campo Mourão. O discente foi arguido pela Comissão Examinadora composta pelos professores abaixo assinados. Após deliberação, a comissão considerou o trabalho aprovado.

Prof. André Luiz Régis Monteiro
(UTFPR)

Prof. Lucas Ricken Garcia
(UTFPR)

Prof. Roberto Ribeiro Neli
Orientador
(UTFPR)

LISTA DE ABREVIATURAS, SIGLAS E ACRÔNIMOS

μs	microssegundo
Amp. Op.	Amplificador Operacional
C	Capacitor
CI	Circuito Integrado
dB	Decibel
Dec	Década
MHz	Megahertz
MOS	Metal Óxido Semicondutor
MOSFET	Transistor de Efeito de Campo MOS
mW	Miliwatts
pF	pico Farad
SiO ₂	Óxido de Silício
SR	<i>Slew-rate</i>
TBJ	Transistor Bipolar de Junção
V	Volt
VLSI	<i>Very Large Scale Integration</i>

RESUMO

CARDOZO, I. S. J. **PROJETO E ANÁLISE DE UM CIRCUITO INTEGRADO DO TIPO AMPLIFICADOR OPERACIONAL 741**. Trabalho de Conclusão de Curso – Bacharelado em Engenharia Eletrônica, Universidade Tecnológica Federal do Paraná. Campo Mourão 2019.

Os amplificadores operacionais apresentam aplicações nas áreas de instrumentação, sistemas de controle, sistemas de regulação de tensão e corrente, processamento de sinais, entre outros. Essas aplicações são usadas em equipamentos médicos, bens de capital no ramo da telecomunicação e em diversas outras.

Para o desenvolvimento de um componente competitivo, é necessário primeiro a criação de um modelo simples e funcional. A partir de então estudar seu comportamento em pequenos sinais e como o circuito irá reagir com a inserção de novos blocos no seu projeto.

Como a maioria dos amplificadores operacionais CMOS são projetados para serem usados como parte de um circuito de VLSI, sua aplicação resulta em especificações menos rigorosas, simplificando o circuito e ocupando uma menor área no silício.

Este trabalho de conclusão de curso tem como tema o projeto e análise de um circuito integrado do tipo amplificador operacional 741. O projeto foi desenvolvido no software Microwind, utilizando dimensionamentos básicos fornecidos na literatura e posteriormente analisando como o circuito iria se comportar com a alteração desses dimensionamentos.

Palavras-chaves: amplificador operacional, dois estágios, cascode invertido, microwind

ABSTRACT

CARDOZO, I. S. J. **DESIGN AND ANALYSIS OF AN INTEGRATED OPERATIONAL AMPLIFIER TYPE 741**. Course Conclusion Paper - Bachelor of Electronic Engineering, Federal Technological University of Paraná. Campo Mourão 2019.

The operational amplifiers feature applications in the areas of instrumentation, control systems, voltage and current regulation systems, signal processing, among others. These applications are used in medical equipment, capital goods in the telecommunications sector and in several others.

For the development of a competitive component, it is necessary to create a simple and functional model first. From then on study your behavior in small signals and how the circuit will react with inserting new blocks in your project.

As most CMOS operating amplifiers are designed to be used as part of a VLSI circuit, their application results in less stringent specifications, simplifying the circuit and occupying a smaller area in silicon.

This course completion work has as its theme the design and analysis of an integrated circuit of the type 741 operational amplifier. The project was developed in the Microwind software, using basic dimensionings provided in the literature and subsequently analyzing how the circuit would behave with the alteration of these dimensionings.

Key words: operational amplifier, two stage, inverted cascode, Microwind

LISTA DE FIGURAS

Figura 1. Ligação covalente entre dois átomos.....	16
Figura 2. Dopagem com elemento pentavalentes (semicondutor tipo N).....	17
Figura 3. Dopagem com elemento trivalente (semicondutor tipo P).....	18
Figura 4. Transistor pnp e npn.....	19
Figura 5. Variação do β com β e temperatura.	20
Figura 6. A estrutura física do NMOS tipo enriquecimento: (a) vista em perspectiva; (b) secção transversal. Tipicamente, L varia de 0,1 a 3 μm , W varia de 0,2 a 100 μm e a espessura da camada de óxido é da ordem de 2 a 50 nm.....	21
Figura 7. Um transistor NMOS com $v_{GS} > V_t$ e com um pequeno valor v_{GS} aplicado...22	
Figura 8. Circuito Espelho de Corrente.....	24
Figura 9. Curva de entrada e curva de saída do MOSFET de canal n.....	25
Figura 10. A configuração básica do Amp. Op. CMOS de dois estágios.....	26
Figura 11. Estrutura do amp op CMOS cascode invertido.....	28
Figura 12. Parâmetros da inversora considerando $W=1$ no nMOS e $W=3$ no pMOS.....	29
Figura 13. Transistores CMOS utilizados no Microwind: (a) NMOS colorido; (b) PMOS colorido; (c) NMOS preto/branco; (d) PMOS preto/branco.....	31
Figura 14. Circuito dois estágios, desenvolvidos no software Microwind.....	33
Figura 15. Resultado do circuito dois estágios com alimentação +5 V e 0 V.....	34
Figura 16. Comportamento do circuito com um capacitor na saída.....	35
Figura 17. Resultado do novo dimensionamento dos transistores com alimentação +5 V e 0 V.....	36
Figura 18. Comportamento do circuito pela alteração do dimensionamento do transistor M8.....	37
Figura 19. Ganho do circuito: Entrada x Saída.....	38
Figura 20. Resposta em frequência do circuito dois estágios.....	38
Figura 21. Circuito desenvolvido do amplificador operacional na configuração dois estágios no software Microwind.....	39
Figura 22. Circuito cascode invertido, desenvolvidos no software Microwind.....	39
Figura 23. Estrutura desenvolvida do amp. op. CMOS cascode invertido.....	40
Figura 24. Resultado do circuito dois estágios com alimentação +5V e 0V.....	41

Figura 25. Comportamento do circuito com um capacitor na saída.....	42.
Figura 26. Resultado do novo dimensionamento dos transistores com alimentação +5 V e 0 V.....	43
Figura 27. Ganho do circuito: Entrada x Saída.	44
Figura 28. Resposta em frequência do circuito cascode invertido.....	45
Figura 29. Circuito desenvolvido do amplificador operacional na configuração cascode invertido no software Microwind.....	45

LISTA DE QUADROS

Quadro 1. Comparação entre MOSFETs e Bipolar.....	22
Quadro 2. Conjunto de parâmetros-chave.....	32
Quadro 3. Dimensões dos transistores indicadas pelo livro Microeletrônica do Sedra/Smith 4ª edição.....	34
Quadro 4. Novo dimensionamento dos transistores, seguindo a lógica de múltiplos de 0.8µm.....	35
Quadro 5. Dimensões dos transistores indicadas pelo livro Microeletrônica do Sedra/Smith 4ª edição.....	40
Quadro 6. Novo dimensionamento dos transistores, seguindo a lógica de múltiplos de 0.8µm.....	42
Quadro 7. Comparações entre os circuitos dois estágios e cascode invertido.....	46

SUMÁRIO

1 INTRODUÇÃO	11
1.1 JUSTIFICATIVA	13
1.2 OBJETIVOS.....	14
1.2.1 OBJETIVO GERAL	14
1.2.2 OBJETIVOS ESPECÍFICOS	14
2 FUNDAMENTAÇÃO TEÓRICA.....	15
2.1 ESTRUTURA DA MATÉRIA	15
2.1.1 CAMADA DE VALÊNCIA	15
2.1.2 LIGAÇÃO COVALENTE.....	15
2.1.3 SEMICONDUTORES	16
2.1.4 DOPAGEM.....	16
2.2 DIODO	18
2.3 TRANSISTORES BIPOLARES DE JUNÇÃO (TBJ)	18
2.4 TRANSISTORES DE EFEITO DE CAMPO MOS (MOSFETs).....	20
2.5 COMPARAÇÃO DO MOSFET COM O TRANSISTOR BIPOLAR DE POTÊNCIA	22
2.6 ESPELHO DE CORRENTE.....	23
2.7 AMPLIFICADOR OPERACIONAL CMOS DE DOIS ESTÁGIOS	25
2.8 AMPLIFICADOR OPERACIONAL CMOS CASCODE INVERTIDO	27
3 METODOLOGIA.....	29
4 RESULTADOS E DISCUSSÕES	31
4.1 RESULTADOS DA TOPOLOGIA DOIS ESTÁGIOS	32
4.2 RESULTADOS DA TOPOLOGIA CASCODE INVERTIDO	39
4.3 COMPARAÇÃO DOS RESULTADOS DAS TOPOLOGIAS DOIS ESTÁGIOS E CASCODE INVERTIDO.....	46
5 CONCLUSÃO.....	47
REFERÊNCIAS.....	49

1 INTRODUÇÃO

No início do século 20 houve um grande progresso na teoria física, com o desenvolvimento da mecânica quântica, por Bohr, Louis de Broglie, Heisenberg e Schrödinger. Durante os anos 20, foi proposto um primeiro conceito de desenvolvimento de um transistor de efeito de campo em estado sólido, sendo patenteado por Lilienfeld em 1928. Porém, Lilienfeld não obteve êxito na realização prática da sua proposta. Já nos anos 30, foram desenvolvidos pelos trabalhos de Peieris, Wilson, Mott e Franck, os conceitos de bandas de energias, banda proibida, mecânica estatística e portadores. Com os conceitos mais desenvolvidos, em 1936 a empresa Bell Labs cria um grupo de pesquisas para o desenvolvimento de dispositivos semicondutores. Em 1940, R. Ohi identifica pela primeira vez semicondutores de Si tipo p e tipo n. No mesmo ano, J. Scaff e H. Theuerer mostram que o nível e o tipo de condutividade do Si são devido à presença de traços de impurezas. Entretanto, com o decorrer da II Guerra mundial, a Bell Labs suspendeu essas pesquisas (SWART, 2018).

Com o fim da guerra, em 1946 a Bell Labs retorna a pesquisa em estado sólido, agora sob a liderança de William Shockley, concentrando esforços na pesquisa dos semicondutores Ge e Si e de transistores de efeito de campo. Persistindo na pesquisa da invenção do FET, no final de 1947, Bardeen e Brattain descobrem por acaso o efeito de transistor bipolar, mas quem desenvolveu a teoria e explicação sobre o funcionamento foi W. Shockley em 1948. Apesar da demonstração do primeiro transistor JFET em 1952, desenvolvida por I. Ross e G. Dacey, as pesquisas do transistor de efeito de campo continuaram. O desenvolvimento da microeletrônica foi contribuído pelo fato da Bell Labs licenciar seu invento a outras empresas, através de um workshop realizado na Bell Labs em abril de 1952. Quando Shockley deixa a Bell Labs e cria sua própria empresa em 1955, a Shockley Semiconductor, marca a origem do Vale do Silício, no estado da Califórnia nos EUA. A empresa em si não foi marcante, no entanto os pesquisadores e empreendedores que trabalhavam nela, fundaram a Fairchild (1957) e Intel (1968) (SWART, 2018).

A partir do processo de fabricação de transistores, J. Kilby, da Texas Instruments demonstra uma ideia de construir um circuito sobre um único bloco de Si, contendo um transistor, um capacitor e um resistor. Como esses circuitos eram interconectados por meio de fios soldados, um grupo da Fairchild desenvolveu um

processo superior, chamado de processo planar, processo que é usado atualmente. O início da comercialização de circuitos integrados (CIs) inicia-se a partir do ano de 1961, não parando mais de crescer em termos de volume e de densidade de transistores por chip. A evolução no processo planar foi devido a difusão de dopantes doadores e aceitadoras, desenvolvida em 1951 pelo C. Fuller da Bell Labs; O uso de camadas de SiO_2 para delimitar as áreas de difusão, desenvolvida em 1955 por Frosch e Derick; O desenvolvimento de materiais tipo fotorresistente para a litografia e gravação de padrões em filmes de SiO_2 , realizadas por Andrus e Bond em 1955. Graças aos estudos e desenvolvimento de processos de oxidação de Si, foi possível o desenvolvimento do transistor MOSFET. Em 1960, D. Kahng e M. Atalla, demonstraram o transistor MOS, com uma interface de boa qualidade, baixa densidade de estados de superfície. Mas os dispositivos apresentavam péssima estabilidade, devido à falta de controle de contaminação de impurezas de sódio, que geravam cargas positivas dentro do isolante de porta, causando um desvio na tensão de limiar. A combinação de transistores MOS de canal n e de canal p no mesmo substrato, levou F. Wanlass a propor a tecnologia CMOS em 1963. O uso de filme de silício policristalino dopado com material de porta de transistores em 1966 e o uso da técnica de implantação de íons para o ajuste da tensão de limiar, pela dopagem da região de canal com muita precisão, contribuíram para o aperfeiçoamento das tecnologias MOS (SWART, 2018).

Os amplificadores operacionais (amp. op.) foram desenvolvidos na década de 40 e eram construídos com válvulas, com o objetivo de realizar operações matemáticas, necessárias à computação analógica. Evidentemente as características desses primitivos amp. op. eram bastante precárias. Com o advento do transistor, no final da década de 40, foi possível a construção de amp. op. com características razoáveis. Porém, em 1963, surgiu o primeiro amp. op. monolítico (Circuito Integrado) lançado pela Fairchild (EUA): $\mu\text{A}702$. Esse amp. op. apresentava uma série de problemas, tais como: baixa resistência de entrada, baixo ganho, alta sensibilidade a ruídos, necessidade de alimentação positiva e negativa de valores diferentes (-6V e $+12\text{V}$). Foi então que a própria Fairchild, graças aos esforços de uma equipe chefiada por Robert Widlar, lançou em 1965 o conhecido $\mu\text{A}709$. Este último é considerado o primeiro amp. op. realmente confiável lançado no mercado. A seguir, a mesma equipe projetou o famoso $\mu\text{A}741$, o qual foi lançado pela Fairchild em 1968. Até hoje esse amp. op. ocupa posição de destaque (PERTENCE, 2015).

1.1 JUSTIFICATIVA

Os países que romperam com o atraso investiram em educação e inovação. O mercado brasileiro importa anualmente cerca de US\$3,6 bilhões em semicondutores e em 2017 teve um saldo negativo de US\$ 23,8 bilhões na balança comercial do setor eletroeletrônico (FAPESP, 2018). A participação do Brasil na indústria da microeletrônica no complexo eletrônico é pouco significativa, conseqüentemente o déficit comercial cresce continuamente, devido a importação de grande quantidade de componentes. Como a microeletrônica reúne um rol de tecnologias que o país não domina e há pouco interesse da iniciativa privada, os esforços de incentivo pesam no custo público e os efeitos produtivos e avanços tecnológicos das ações ainda estão abaixo do desejado (FACHINI, 2014).

Os circuitos integrados respondem por uma parcela cada vez maior de valor de custo de bens e equipamentos em setores como equipamentos médicos, bens de capital, telecomunicações, entre outros. Para o desenvolvimento de equipamentos mais robustos, é necessário a utilização de amplificadores operacionais (amp. op.). Os amp. op. apresentam aplicações em instrumentação, sistemas de controle, sistemas de regulação de tensão e corrente, processamento de sinais. Essas aplicações necessitam que o amp. op. seja bem preciso, para o desenvolvimento de um componente mais competitivo, é necessário primeiro a criação de um modelo mais simples como o amp. op. 741, a partir de então aperfeiçoar e elaborar um amp. op. com desempenho melhor. Para atingir esse objetivo é preciso que o conhecimento da microeletrônica, seja disseminado nas universidades brasileiras e semeando interesse nos alunos de ensino médio, mostrando que é possível construir aparelhos nacionais complexos, como exemplo do primeiro microcontrolador brasileiro ZR16S08 reconhecido oficialmente pelo Ministério da Ciência, Tecnologia, Inovação e Comunicações (MCTIC).

1.2 OBJETIVOS

Nesta seção serão apresentados os objetivos gerais e específicos, do trabalho de conclusão de curso.

1.2.1 OBJETIVO GERAL

Projetar um circuito integrado 741 utilizando software Microwind, analisando a clássica topologia de dois estágios com a topologia cascode invertido. Afim de compara-los no ganho da tensão, na resposta em frequência e na taxa máxima da tensão de saída (*slew rate*).

1.2.2 OBJETIVOS ESPECÍFICOS

- Projetar um circuito integrado 741 utilizando a topologia de dois estágios no software Microwind;
- Projetar um circuito integrado 741 utilizando a topologia cascode invertido no software Microwind;
- Analisar o ganho da tensão entre as topologias dois estágios e cascode invertido;
- Analisar a resposta em frequência entre as topologias dois estágios e cascode invertido;
- Analisar a taxa máxima da tensão de saída entre as topologias dois estágios e cascode invertido.

2 FUNDAMENTAÇÃO TEÓRICA

Visando atingir o entendimento do leitor, neste segmento serão abordados alguns conceitos partindo da estrutura atômica dos semicondutores até o amplificador operacional 741, garantindo o entendimento básico de cada parte deste trabalho.

2.1 ESTRUTURA DA MATÉRIA

Os materiais sólidos utilizados em dispositivos eletrônicos, em geral não são encontrados na natureza. Eles são produzidos artificialmente a partir de compostos químicos com alto grau de pureza, através de diversos processos (REZENDE, 2004).

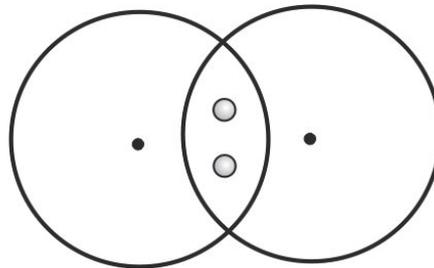
2.1.1 CAMADA DE VALÊNCIA

A camada de valência é a última a receber elétron ou o nível de maior número quântico na distribuição eletrônica, também é a camada que fica mais distante do núcleo atômico. De acordo com a regra do octeto, a camada de valência precisa de oito elétrons para se estabilizar (ATKINS, 2006).

2.1.2 LIGAÇÃO COVALENTE

Na ligação covalente os elétrons de valência são compartilhados entre átomos vizinhos, como visto na Figura 1. Neste caso, a atração é devida à presença dos elétrons entre os átomos, que atraem simultaneamente átomos vizinhos que foram deixados positivos com a sua ausência. Os sólidos covalentes têm em geral um ponto de fusão menor que os iônicos, porém tem maior dureza. Alguns dos importantes materiais covalentes são os semicondutores, silício e germânio (REZENDE, 2004).

Figura 1. Ligação covalente entre dois átomos.



Fonte: ROCHA (2011)

2.1.3 SEMICONDUTORES

Os semicondutores são sólidos, nos quais a diferença de energia entre a banda de valência e a banda de condução é pequena. Essa diferença é denominada intervalo entre bandas. Caso sejam resfriados ao zero absoluto, os elétrons ocuparão os níveis energéticos mais baixos possíveis. A banda de condução estará completamente vazia e o material será um isolante perfeito. Entretanto, a temperatura ambiente, alguns elétrons podem ser termicamente excitados da banda de valência para a banda de condução e nessa condição o material pode conduzir eletricidade. A condutividade observada se situa entre a dos isolantes e de um metal, e depende do número de elétrons na banda de condução. O principal semicondutor utilizado na microeletrônica é o silício (LEE, 1999).

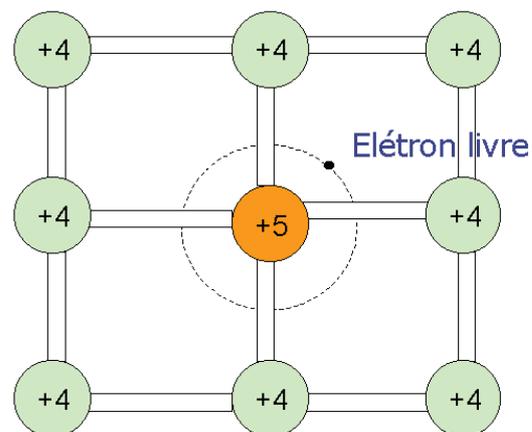
2.1.4 DOPAGEM

Com o rompimento da ligação de valência ocorre liberação do elétron, de modo que o espaço vazio originado por tal rompimento, denominado lacuna, comporta-se como uma carga positiva que pode se mover de um lado a outro do cristal. Quando os elétrons e as lacunas se movimentam, há a possibilidade de ambos se recombinarem, eliminando dessa maneira um par de portadores móveis. Desta forma, nem as lacunas nem os elétrons conservam-se livres indefinidamente. A dopagem é o nome do processo utilizado para constituir os semicondutores do tipo P e N, por meio da adição ao Si ou ao Ge de quantidades bem reduzidas de impurezas

(elementos trivalentes ou pentavalentes), tem como objetivo aumentar a condutividade do semicondutor (CIPELLI, 2010).

Os semicondutores do tipo N são aqueles em que há adição de átomos pentavalentes ao silício no processo de fusão, como visto na Figura 2. Alguns exemplos de átomos pentavalentes são o antimônio e o fósforo. Como esses materiais doam um elétron extra para o cristal de silício, as vezes são chamados de impurezas doadoras (MALVINO, 2009).

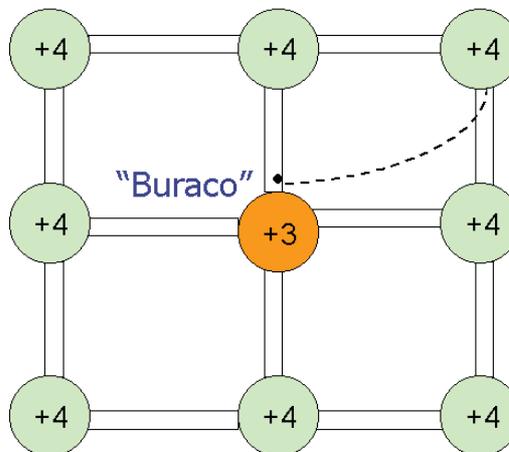
Figura 2. Dopagem com elemento pentavalentes (semicondutor tipo N).



Fonte: EECIS (2018)

Os semicondutores do tipo P são aqueles em que à adição de átomos trivalentes ao silício no processo de fusão, como visto na Figura 3. Alguns exemplos de átomos trivalentes são o alumínio, boro e gálio. Como o átomo trivalente originalmente tinha apenas três elétrons de valência e cada átomo vizinho cede um de seus elétrons, restam apenas sete elétrons na órbita de valência. Isso significa que existe uma lacuna na órbita de valência de cada átomo trivalente. Um átomo trivalente também é chamado de receptor, porque cada lacuna contribui para receber um elétron livre durante a recombinação (MALVINO, 2009).

Figura 3. Dopagem com elemento trivalente (semicondutor tipo P).



Fonte: EECIS (2018)

2.2 DIODO

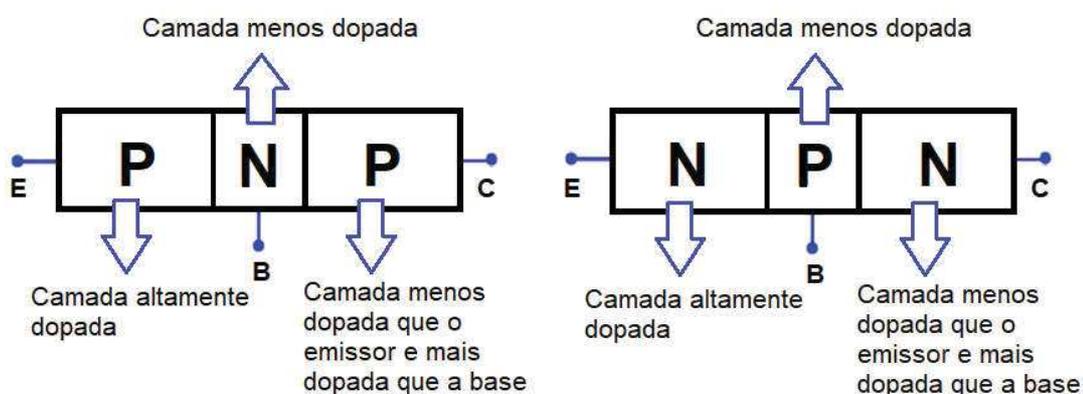
O diodo é a união de um material tipo P a um tipo N de maneira a construir um cristal único, esse cristal será denominado de junção PN ou diodo de junção. A área em que ocorre o ligamento entre o material P e N é denominado junção. Como o material N apresenta um grande número de elétrons e o material P, um grande número de lacunas, a área em torno da junção fica livre de portadores de carga, devido à recombinação entre esses portadores e suas conseqüentes anulações, essa região descoberta constituída de íons positivos e negativos é chamada de região depleção devido a depleção de portadores nessa região. Com o acúmulo de íons positivos do lado N da junção e negativos do lado P, cria-se uma barreira de potencial, cuja diferença de potencial vale aproximadamente 0,6V para o silício e 0,3V para o germânio, a temperatura ambiente (CIPELLI, 2010).

2.3 TRANSISTORES BIPOLARES DE JUNÇÃO (TBJ)

O princípio básico envolvido nesses dispositivos é o uso de uma tensão entre dois terminais para controlar o fluxo de corrente no terceiro terminal. O TBJ consiste em três regiões semicondutoras: a região do emissor, a região da base e a região do

coletor. Esse dispositivo é chamado transistor npn ou pnp (SEDRA, 2007). Sendo o emissor fortemente dopado. Sua função é injetar elétrons livres na base. A base é fracamente dopada e muito estreita, passando a maior parte dos elétrons livres injetados pelo emissor para o coletor, mostrado na Figura 4. O nível de dopagem do coletor é entre a forte dopagem do emissor e fraca dopagem da base (MALVINO, 2009).

Figura 4. Transistor pnp e npn.

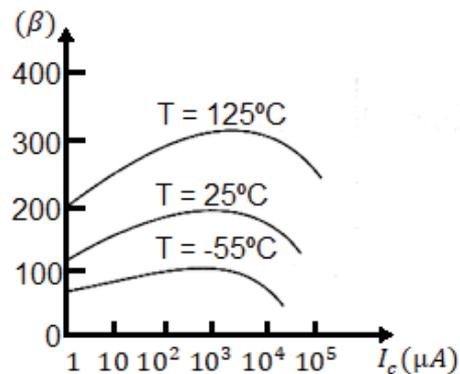


Fonte: Autoria própria

Um terminal é conectado em cada uma das três regiões semicondutoras do transistor. Dependendo da condição da polarização, são obtidos diferentes modos de operação do TBJ. O modo ativo é aquele em que o transistor é utilizado para operar como um amplificador. Os modos de corte e de saturação são usados em aplicações de chaveamento (SEDRA, 2007).

O ganho de corrente depende do valor da corrente no coletor e da temperatura na junção. Conforme é visto na Figura 5, o ganho de corrente varia demasiadamente (MALVINO, 2009).

Figura 5. Variação do β com I_c e temperatura.

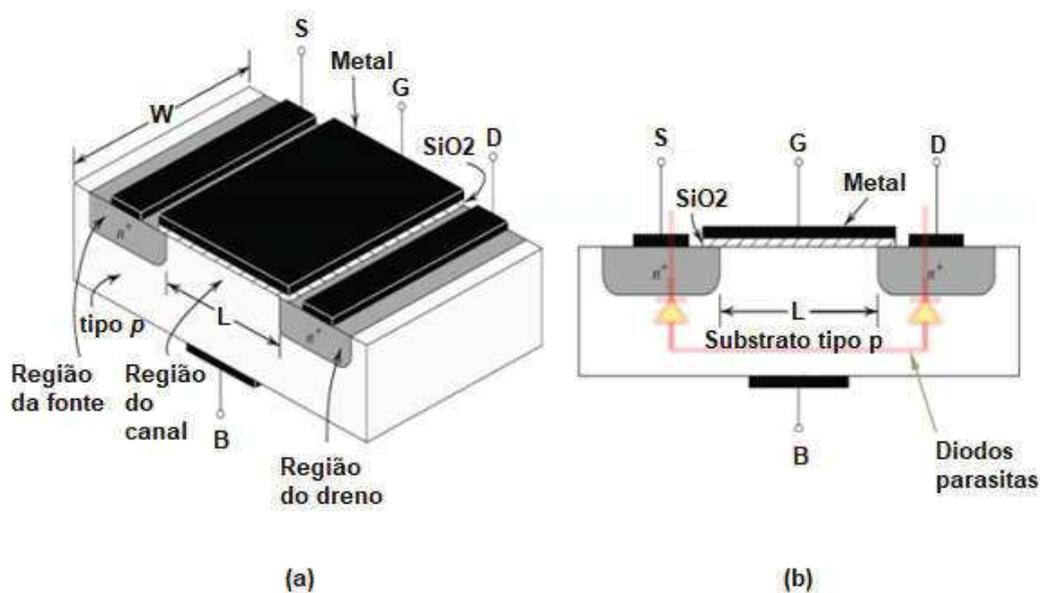


Fonte: TEIXEIRA (2008)

2.4 TRANSISTORES DE EFEITO DE CAMPO MOS (MOSFETs)

Assim como no TBJ, o MOSFET tem como princípio básico o uso de uma tensão entre dois terminais para controlar o fluxo de corrente no terceiro terminal. O transistor é fabricado sobre um substrato do tipo p, que é uma lâmina de silício cristalino que serve de suporte físico para o dispositivo. Duas regiões fortemente dopadas do tipo n, indicadas na Figura 6 como regiões da fonte e do dreno n^+ , são difundidas no substrato. Uma camada fina de dióxido de silício (SiO_2), que é crescido sobre a superfície do substrato cobrindo a área entre as regiões da fonte e do dreno. Um metal é depositado por cima da camada de óxido para formar o eletrodo da porta do dispositivo. São feitos contatos de metal para as regiões da fonte, do dreno e do substrato, conhecido como corpo. Portanto, saem quatro terminais: o terminal da porta (*gate* - G), o terminal da fonte (*source* - S) e o terminal do dreno (*drain* - D) e o terminal do substrato ou corpo (*body* - B). O MOSFET é um dispositivo simétrico, portanto, sua fonte e seu dreno podem ser trocados sem alterações nas características do dispositivo (SEDRA, 2007).

Figura 6. A estrutura física do NMOS tipo enriquecimento: (a) vista em perspectiva; (b) secção transversal. Tipicamente, L varia de 0,1 a 3 μm , W varia de 0,2 a 100 μm e a espessura da camada de óxido é da ordem de 2 a 50 nm .

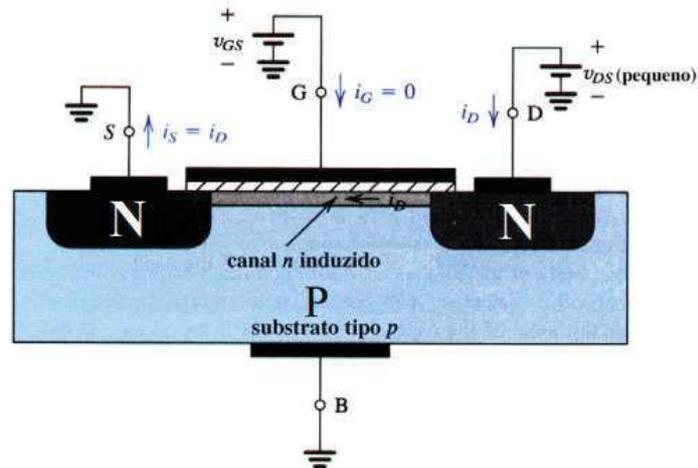


Fonte: ALMEIDA (2015)

Na Figura 6 pode-se notar que as duas regiões n^+ encontram-se separadas pelo substrato p, se for conectados Fonte e Dreno com uma bateria, qualquer corrente entre ambos será extremamente baixa. Por meio de uma adequada polarização à porta, pode-se induzir um canal n entre as duas regiões n^+ . A porta acha-se isolada da estrutura por uma fina camada de material isolante. Logo, o contato metálico da porta, o material isolante e o substrato p vão formar um capacitor, no qual o dielétrico será o SiO_2 . Por efeito capacitivo pode-se induzir cargas negativas na região do substrato abaixo da porta. Ao aplicar à porta uma tensão positiva, induz na placa inferior do capacitor cargas negativas, de modo a estabelecer um contato entre Fonte e Dreno, a corrente que circular entre esses dois elementos, dependerá da tensão positiva aplicada à porta, que vai controlar a largura do canal (CIPELI, 2010).

O MOSFET canal n, mostrado na Figura 7, pode ser chamado de um transistor NMOS, o valor v_{GS} para o qual um número suficiente de elétrons móveis se acumulam na região do canal para formar um canal de condução é chamado tensão de limiar e é representado por V_t (SEDRA, 2007).

Figura 7. Um transistor NMOS com $v_{GS} > V_t$ e com um pequeno valor v_{DS} aplicado.



Fonte: SEABRA (2014)

2.5 COMPARAÇÃO DO MOSFET COM O TRANSISTOR BIPOLAR DE POTÊNCIA

O Quadro 1 mostra algumas comparações entre os transistores bipolares e os MOSFETs.

Quadro 1. Comparação entre MOSFETs e Bipolar.

MOSFETs	BIPOLAR
Dispositivo de portadores de carga majoritários.	Dispositivo de portadores de carga minoritários.
Não apresenta efeitos de armazenamento de cargas.	Apresenta efeitos de armazenamento de cargas entre a base e o coletor.
Alta velocidade de comutação, menos sensível à temperatura que os bipolares.	Baixa velocidade de comutação, sensível à temperatura.
Corrente de Drift (processo rápido).	Corrente de difusão (processo lento).
Excitado por tensão.	Excitado por corrente.
Impedância de entrada puramente capacitiva; não exige corrente DC.	Baixa impedância de entrada; exige corrente DC.
Circuito de excitação simples.	Circuito de excitação completa devido à alta corrente de base exigida.
Coeficiente de temperatura predominantemente negativo na resistência.	Coeficiente de temperatura predominantemente positivo na corrente de coletor.
Sem deriva térmica.	Apresenta deriva térmica.

MOSFETs	BIPOLAR
Os dispositivos podem ser ligados em paralelo com algumas precauções.	Os dispositivos não podem ser ligados em paralelo facilmente devido a problemas de casamento de V_{be} e concentração local de correntes.
Menos susceptível à segunda barreira de ruptura.	Susceptível à segunda barreira de ruptura.
Característica I-V seguindo a lei do quadrado em baixas correntes, e característica I-V linear para altas correntes.	Característica I-V exponencial.
Operação linear maior e menos harmônicas.	Maiores produtos de intermodulação e modulação cruzada.
Baixa resistência no estado on (baixa tensão de saturação) devido a modulação de condutividade da região de alta condutividade.	Alta resistência no estado on e portanto maiores perdas de condução.
Corrente de dreno proporcional à largura do canal.	Corrente de coletor aproximadamente proporcional ao comprimento da linha de emissor e sua área.
Baixa transcondutância.	Alta transcondutância.
Alta tensão de ruptura devido a região levemente dopada da região de bloqueio do canal de dreno.	Alta tensão de ruptura devido a região levemente dopada da junção base-coletor.

Fonte: BRAGA (2018)

2.6 ESPELHO DE CORRENTE

Os espelhos de corrente utilizam o princípio de que, se os potenciais V_{gs} de dois transistores MOS idênticos são iguais, as correntes de dreno I_d devem ser iguais para um dado potencial, V_{ds} , também igual. Assume-se que a corrente de referência I_{ref} é fixa e definida por uma fonte de corrente ou por outro circuito externo e a corrente de cópia é a saída ou corrente "espelhada" (ALLEN, 2002).

Como se vê na Figura 8, o transistor M1, está curto-circuitando o dreno com a sua porta, forçando sua operação no modo de saturação. Nesta operação a equação da corrente de dreno é vista na Equação 1.

$$i_D = \frac{1}{2} k' * \left(\frac{W}{L}\right)_1 * (v_{GS} - v_t)^2 \quad (1)$$

Sendo $k' = \mu_n * C_{OX}$, onde C_{OX} é a capacitância formada entre a porta e a região do canal, tendo como dielétrico a camada de óxido no MOSFET, o μ_n representa a mobilidade de elétrons no canal (SEDRA, 2007).

A partir disso pode-se definir que se todos os transistores operarem na região de saturação esse circuito irá atuar como um espelho de corrente. Sua corrente de cópia, devido à igualdade dos transistores e tensões de polarizações, irá depender apenas das características físicas construtivas desses transistores (CORTEZ, 2014).

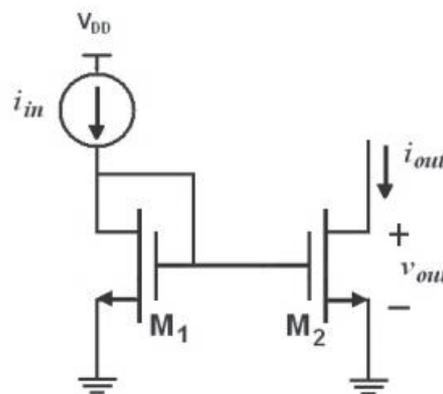
A relação da corrente de saída pela corrente de entrada, no modo de saturação é dada pela Equação 2.

$$\frac{i_{out}}{i_{in}} = \frac{\frac{1}{2} k' * \left(\frac{W}{L}\right)_2 * (v_{GS} - v_t)^2}{\frac{1}{2} k' * \left(\frac{W}{L}\right)_1 * (v_{GS} - v_t)^2} \quad (2)$$

Ou seja,

$$\frac{i_{out}}{i_{in}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (3)$$

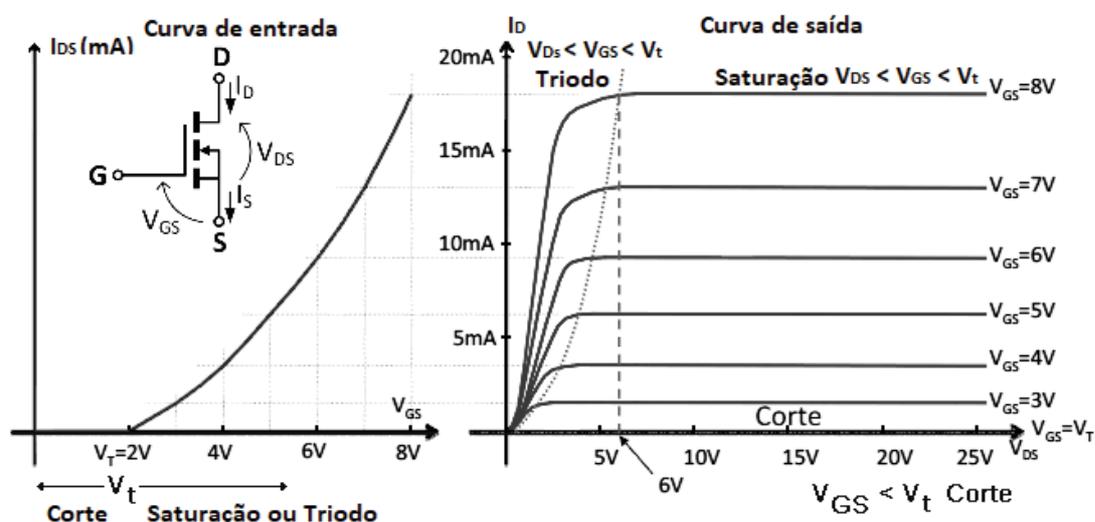
Figura 8. Circuito Espelho de Corrente.



Fonte: GOUVEIA (2008)

A Figura 9 mostra as curvas de entrada e saída de um MOSFET de canal n, com um $V_t = 2V$ conectado em fonte comum. Assim, é possível analisar a característica que o transistor deverá possuir para atingir a saturação (GARCIA, 2012).

Figura 9. Curva de entrada e curva de saída do MOSFET de canal n.



Fonte: GARCÍA (2012)

2.7 AMPLIFICADOR OPERACIONAL CMOS DE DOIS ESTÁGIOS

A Figura 10 mostra o circuito dois estágios de ganho: o primeiro estágio é formado pelo par diferencial $Q_1 - e Q_2$, juntos com o seu espelho de corrente com carga $Q_3 - Q_4$. Esse circuito de par diferencial, permite um ganho de tensão que está tipicamente na faixa de $20V/V$ até $60V/V$, assim como realiza a conversão da forma diferencial para a saída simples, permitindo uma razoável relação de rejeição de modo comum (CMRR).

O par diferencial está polarizado pela fonte de corrente Q_5 , o qual é um dos dois transistores de saída do espelho de corrente formado por Q_8 , Q_5 e Q_7 . O espelho de corrente é alimentado pela corrente de referência I_{REF} , a qual pode ser gerada simplesmente pela conexão de um resistor de precisão (externo ao integrado) à fonte

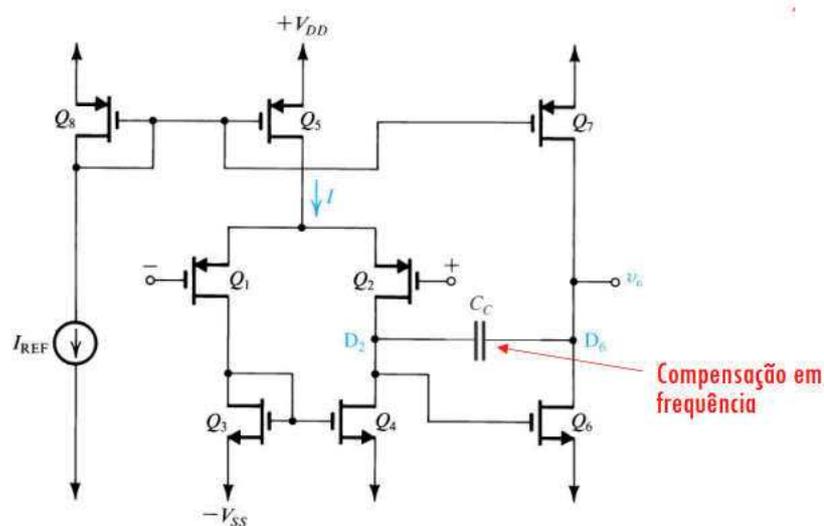
de alimentação negativa $-V_{SS}$ ou à mais precisa fonte de referência negativa se estiver disponível no mesmo circuito integrado.

O segundo estágio de ganho consiste em um transistor com fonte comum Q_6 e sua carga tipo fonte de corrente Q_7 . O segundo estágio tipicamente fornece um ganho de 50V/V a 80V/V. Além disso, faz parte do processo de compensação da frequência, para garantir que o Amp Op vai operar no modo estável, quando a realimentação negativa estiver aplicada, o ganho em malha aberta é ajustado de forma a deslocar a frequência em uma taxa uniforme de $-\frac{20dB}{decáda}$. Isso é alcançado por meio da introdução de um polo em uma frequência relativamente baixa, de forma que este domine a determinação da resposta em frequência. É implementado uma capacitância de compensação C_c conectada no caminho da realimentação negativa do segundo estágio amplificador representado pelo trânsito Q_6 (SEDRA, 2007).

O deslocamento cc pode ser eliminado por meio do dimensionamento dos transistores, satisfazendo a relação mostrada na Equação 4:

$$\left(\frac{W}{L}\right)_6 = 2 * \left(\frac{W}{L}\right)_7 \left(\frac{W}{L}\right)_4 \quad (4)$$

Figura 10. A configuração básica do Amp. Op. CMOS de dois estágios.



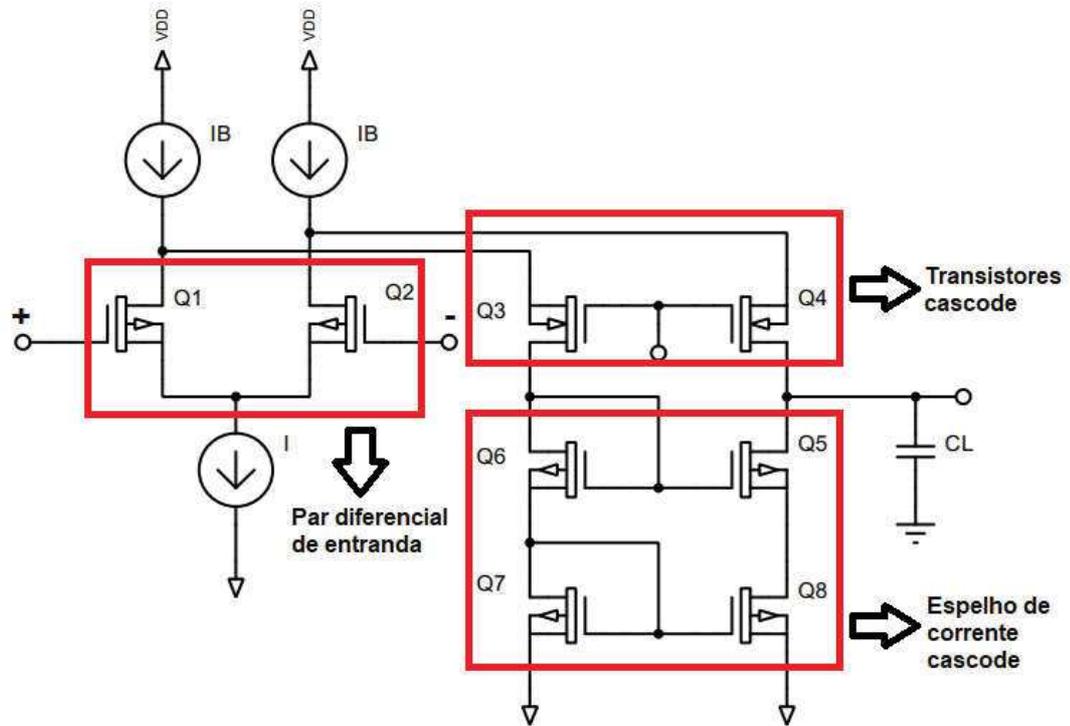
Fonte: SEABRA (2016)

2.8 AMPLIFICADOR OPERACIONAL CMOS CASCODE INVERTIDO

O circuito do amp. op. que está baseado na configuração cascode é considerado como um amp. op. de estágio simples. Como se vê na Figura 11, Q_1 e Q_2 formam o par diferencial de entrada e Q_3 e Q_4 são os transistores cascode. Para sinais de entrada diferencial, cada um dos transistores Q_1 e Q_2 atua como amplificador de fonte comum. Os terminais das portas de Q_3 e Q_4 são conectados a uma tensão cc constante, conseqüentemente, estão no sinal de terra. Para o sinal de entrada diferencial, cada um dos pares de transistores $Q_1 - Q_3$ e $Q_2 - Q_4$ atua como um amplificador cascode invertido. A entrada do par diferencial está polarizada com uma fonte de corrente constante I . Logo, Q_1 e Q_2 estão operando com uma corrente $I/2$. A equação do nó em cada um de seus drenos mostra que a corrente de polarização de Q_3 e Q_4 é $(I_B - I/2)$. Selecionando $I_B = I$ força todos os transistores a operarem na mesma corrente de polarização de $I/2$ (SEDRA, 2007).

Caso a vantagem da resistência de saída seja alcançada por meio de um cascode, a resistência de saída da carga da fonte de corrente deve ser igualmente elevada. Essa é a razão para usar o espelho de corrente cascode Q_5 até Q_8 . A capacitância C_L indica a capacitância total no nó de saída, que inclui as capacitâncias internas dos transistores, uma existente carga capacitiva e uma possível capacitância adicional deliberadamente introduzida para a compensação da frequência. Na maioria dos casos, a capacitância de carga será consideravelmente grande, evitando a necessidade de providenciar uma capacitância adicional para alcançar a compensação de frequência desejada. Contrário ao circuito de dois estágios, que requer a introdução de um capacitor de compensação separado C_c . Aqui a capacitância de carga contribui para a compensação de frequência. Os dois transistores Q_9 e Q_{10} , fornecem uma corrente constante I_B , e o transistor Q_{11} , fornece uma corrente constante I utilizada para polarizar o par diferencial (SEDRA, 2007).

Figura 11. Estrutura do amp op CMOS cascode invertido.

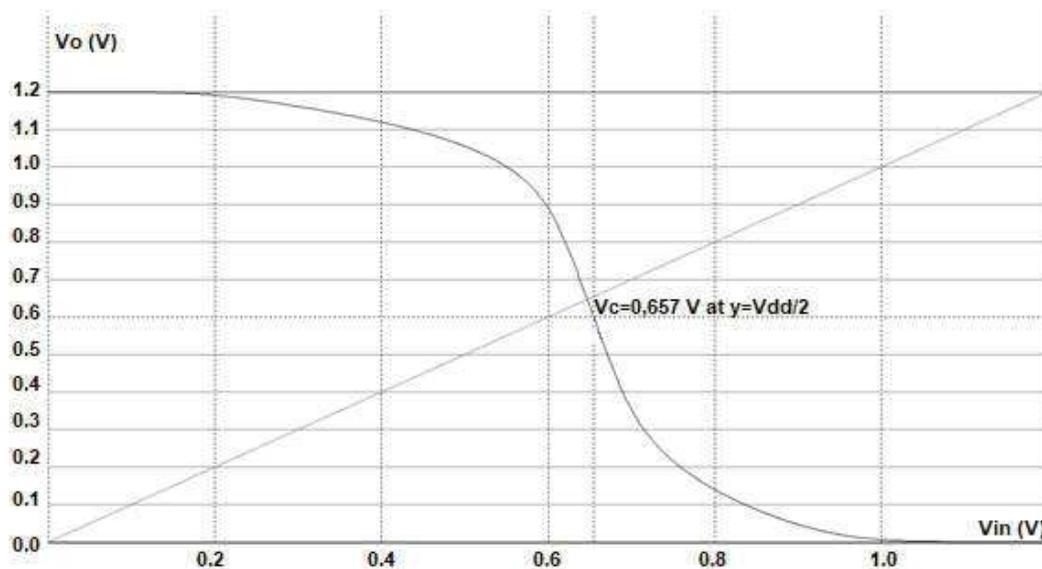


Fonte: Autoria própria

3 METODOLOGIA

O projeto foi desenvolvido no software Microwind, utilizando transistores com tecnologia CMOS. Nesta tecnologia, foram usados nMOS e pMOS, sendo o portador do canal acelerado por uma velocidade média proporcional ao campo elétrico lateral, que é a diferença entre a tensão do dreno e da fonte, dividido pelo comprimento do canal. Pelo comportamento físico da mobilidade no silício das lacunas serem mais baixas que nos elétrons, significa que quando for comparado transistores nMOS com pMOS de mesmo tamanho, os transistores pMOS fornecerão menos corrente que os transistores nMOS. Essa taxa de mobilidade apresenta a seguinte relação: $\frac{\mu_n}{\mu_p} = 2 - 3$ (WESTE, 2011).

Figura 12. Parâmetros da inversora considerando $W=1$ no nMOS e $W=3$ no pMOS.



Fonte: Autoria própria

A característica da Figura 12 é desejável pois apresenta boa imunidade ao ruído e permite que uma carga capacitiva seja carregada e descarregada em tempos iguais, fornecendo recursos de fonte e dissipador de corrente iguais. Nos transistores ideais a inclinação (nMOS e pMOS saturados) seria mais abrupta que a mostrada no gráfico da Figura 9, permitindo que $V_{in} = \frac{V_{DD}}{2}$, correspondendo ao ganho infinito. Os transistores reais têm resistência de saída finita por conta da modulação de

comprimento de canal, e assim apresenta declives finitos sobre essa região (WESTE, 2011).

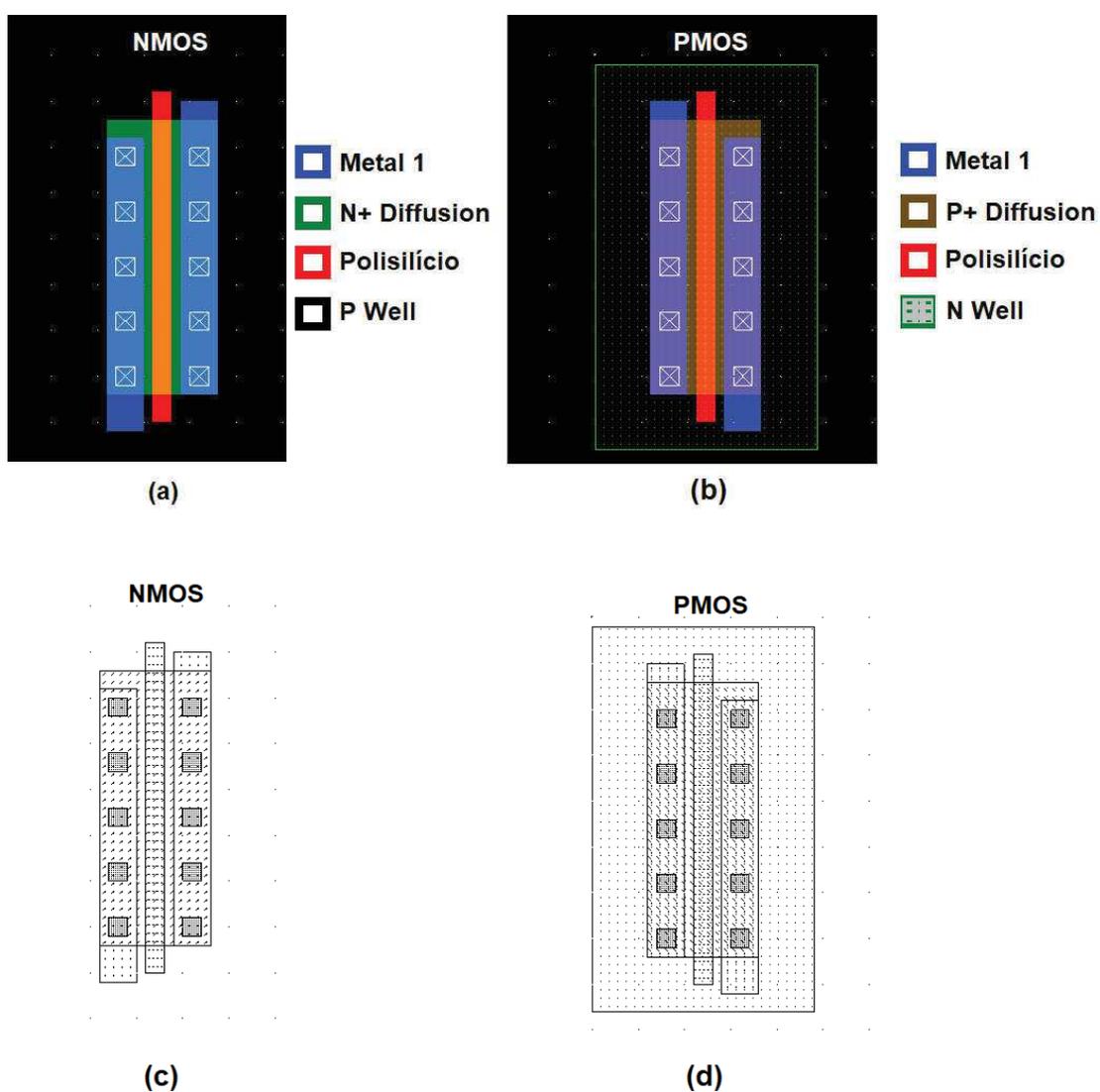
No desenvolvimento do circuito das topologias cascode invertido e dois estágios, será utilizado o recurso 3/1 (pMOS/nMOS) para um melhor desempenho. Ao final do desenvolvimento do projeto, será realizada uma análise da resposta em frequência, o ganho da tensão e a taxa máxima da tensão de saída entre as duas topologias.

4 RESULTADOS E DISCUSSÕES

Nesta seção iremos apresentar os resultados obtidos no software Microwind na construção das topologias dois estágios e cascode invertido.

Os transistores NMOS e PMOS desenvolvidos no Microwind são mostrados na Figura 13.

Figura 13. Transistores CMOS utilizados no Microwind: (a) NMOS colorido; (b) PMOS colorido; (c) NMOS preto/branco; (d) PMOS preto/branco.



Fonte: Autoria própria

É importante destacar os dois modos: colorido e preto/branco, pois no desenvolvimento do projeto no software, é utilizado o modo colorido quando é necessário dar o zoom de aproximação, quando for necessário visualizar todo o circuito é utilizado o modo preto/branco, essas alterações servem para melhorar a renderização.

O Quadro 2 lista um conjunto de parâmetros-chave e sua evolução com a tecnologia.

Quadro 2. Conjunto de parâmetros-chave.

Litografia	Ano	Tensão Fornecida (V)	Tamanho chip (mm)	Arquivo de regras do Microwind
1.2 μ m	1986	5.0	5x5	Cmos12.rul
0.8 μ m	1988	5.0	7x7	Cmos08.rul
0.6 μ m	1992	3.3	10x10	Cmos06.rul
0.35 μ m	1994	3.3	15x15	Cmos035.rul
0.25 μ m	1996	2.5	17x17	Cmos025.rul
0.18 μ m	1998	1.8	20x20	Cmos018.rul
0.12 μ m	2001	1.2	22x20	Cmos012.rul
90nm	2003	1.0	25x20	Cmos90n.rul
65nm	2005	0.8	25x20	Cmos70n.rul

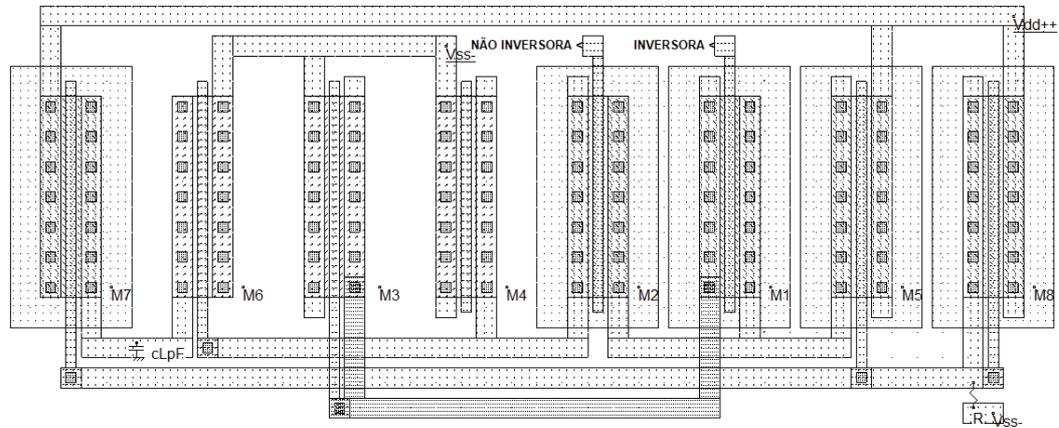
Fonte: Autoria própria

Os transistores utilizados nos circuitos, tiveram suas dimensões baseadas na litografia 0.8 μ m com o arquivo de regra do Microwind sendo o Cmos08.rul.

4.1 RESULTADOS DA TOPOLOGIA DOIS ESTÁGIOS

Para uma melhor visualização e compreensão, a Figura 14 mostra uma representação fora de escala do circuito dois estágios desenvolvido no software Microwind.

Figura 14. Circuito dois estágios, desenvolvidos no software Microwind.



Fonte: Autoria própria.

Nesta configuração, o circuito pode ser dividido em três ramos: ramo de polarização; estágio diferencial; estágio fonte-comum.

Ramo de Polarização: Formado pelos transistores M8 e R, são responsáveis pela definição das correntes que polarizam os dois estágios de amplificação.

Estágio diferencial: Formado pelos transistores M1 e M2, que formam o par diferencial para M3 e M4 que atuam como carga-ativa na forma de espelho de corrente. Neste ramo todos os transistores estão na configuração auto polarizados, trabalhando no modo saturado. A corrente do ramo é definida pela queda de tensão em R. Está corrente é replicada através do espelho de corrente nos transistores M5 e M7

Estágio fonte-comum: Formado pelos transistores M6 e M7, que atuam como amplificador fonte-comum, onde M6 opera como elemento de amplificação e M7 trabalha como carga-ativa, M7 também atua como fonte de corrente para polarizar M6, controlado pelo ramo de polarização.

Através do software Microwind, foi desenvolvido o circuito mostrado na Figura 10. A construção dos transistores seguiu o dimensionamento visto no Quadro 3, indicado pelo livro Microeletrônica do Sedra/Smith 4ª edição.

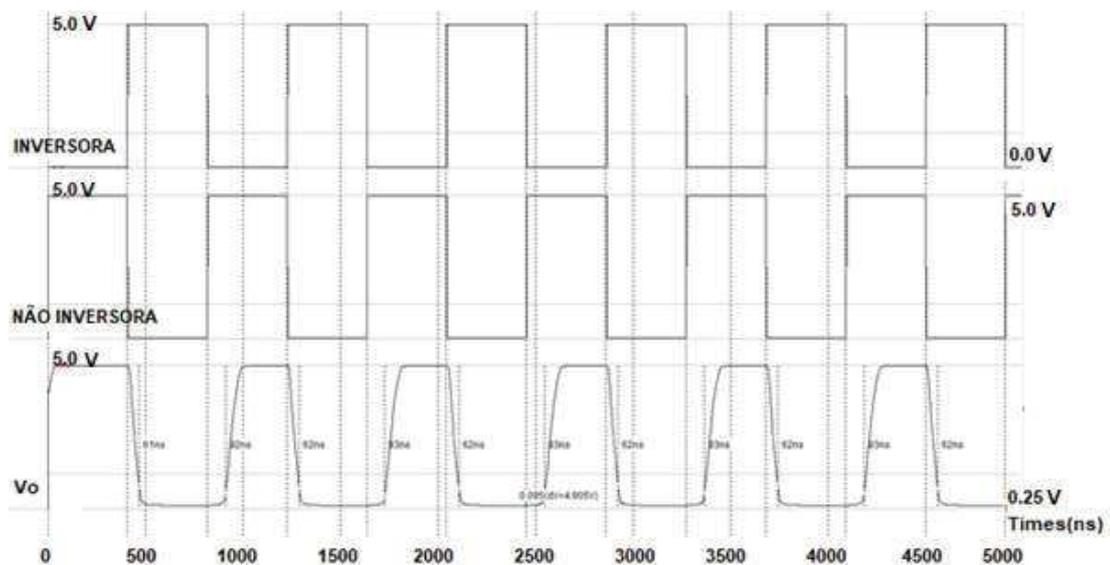
Quadro 3. Dimensões dos transistores indicadas pelo livro Microeletrônica do Sedra/Smith 4ª edição.

	M1	M2	M3	M4	M5	M6	M7	M8
W(μm)	120	120	50	50	150	100	150	150
L(μm)	8	8	10	10	10	10	10	10
W/L	15	15	5	5	15	10	15	15
Tipo	PMOS	PMOS	NMOS	NMOS	PMOS	NMOS	PMOS	PMOS

Fonte: Autoria própria

A Figura 15 mostra a reação do circuito alimentado com uma fonte assimétrica de +5 V e 0 V (VDD e *ground*), com dois *clock* de 1,22 MHz com amplitude 5.0 V comutados nas entradas da inversora e da não inversora.

Figura 15. Resultado do circuito dois estágios com alimentação +5 V e 0 V.

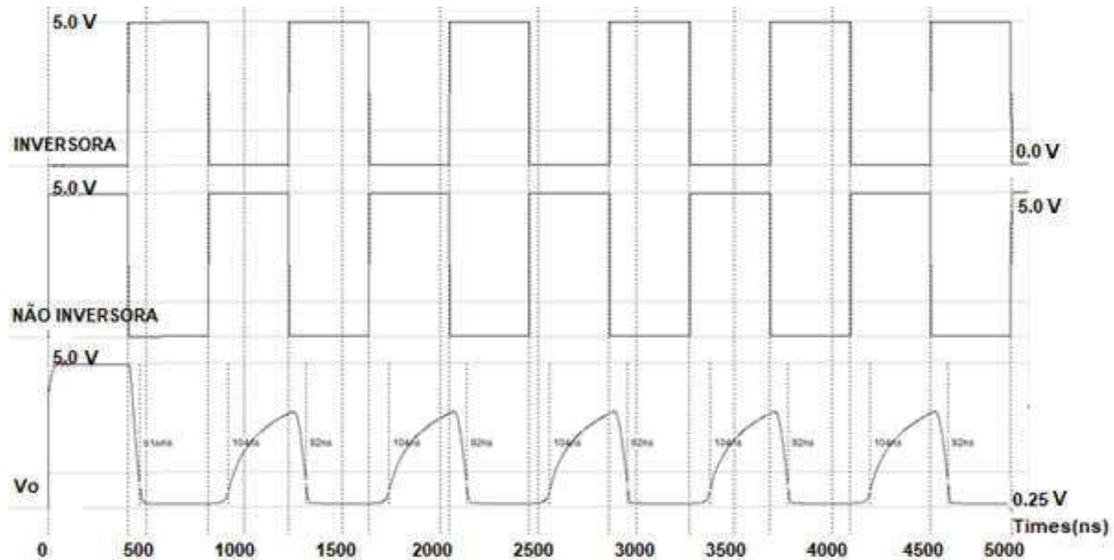


Fonte: Autoria própria.

Os resultados obtidos no circuito foram coerentes com um amp. op. Como este tipo de amplificador normalmente é inserido na entrada de outros circuitos CMOS, podemos considerar que a carga terá predominância capacitiva, logo foi inserido um

capacitor C_L de 5 pF. A Figura 16 mostra a reação do circuito com o mesmo dimensionamento, porém com o acréscimo de um capacitor.

Figura 16. Comportamento do circuito com um capacitor na saída.



Fonte: Autoria própria

Com a finalidade de obter uma resposta com menor influência da carga capacitiva, foi realizado um teste com proporções diferentes e todos múltiplos de $0.8\mu\text{m}$. Com o acréscimo de três novos transistores NMOS atuando como fonte de corrente de Wilson. A fonte de corrente de Wilson atua aumentando a resistência de saída, ideal para o caso proposto. O Quadro 4 mostra o novo dimensionamento.

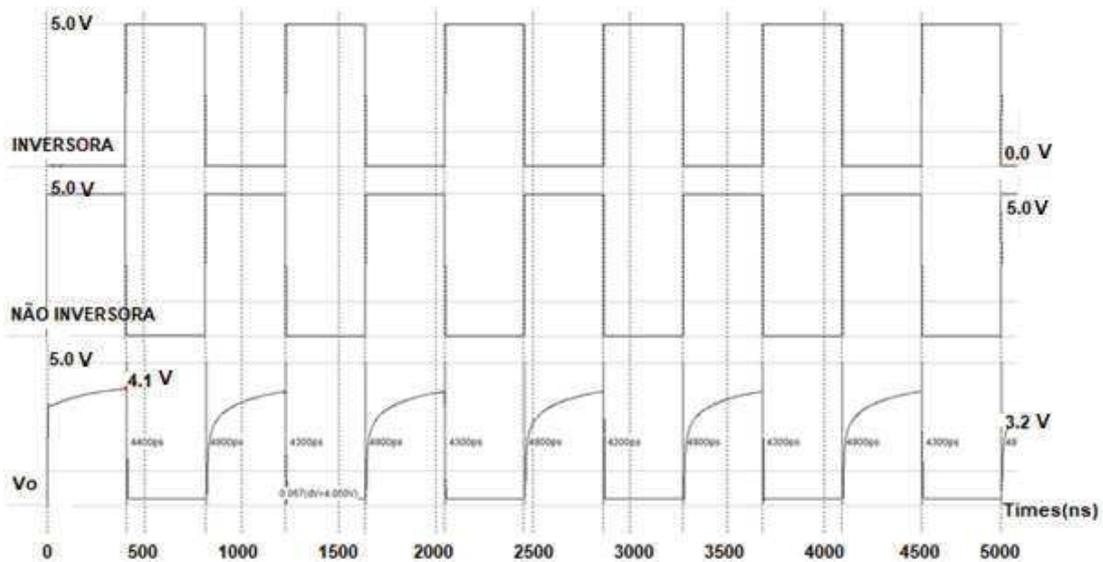
Quadro 4. Novo dimensionamento dos transistores, seguindo a lógica de múltiplos de $0.8\mu\text{m}$.

	M1	M2	M3	M4	M5	M6	M7	M8	M9,10,11
W(μm)	36	36	8	8	72	76	76	76	2,4
L(μm)	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8
W/L	45	45	10	10	90	90	90	90	3
Tipo	PMOS	PMOS	NMOS	NMOS	PMOS	NMOS	PMOS	PMOS	NMOS

Fonte: Autoria própria

A Figura 17 mostra a reação do circuito com carga capacitiva, alimentado com uma fonte assimétrica de +5 V e 0 V (VDD e *ground*), com dois *clock* de 1,22 MHz com amplitude 5.0 V comutados nas entradas da inversora e da não inversora.

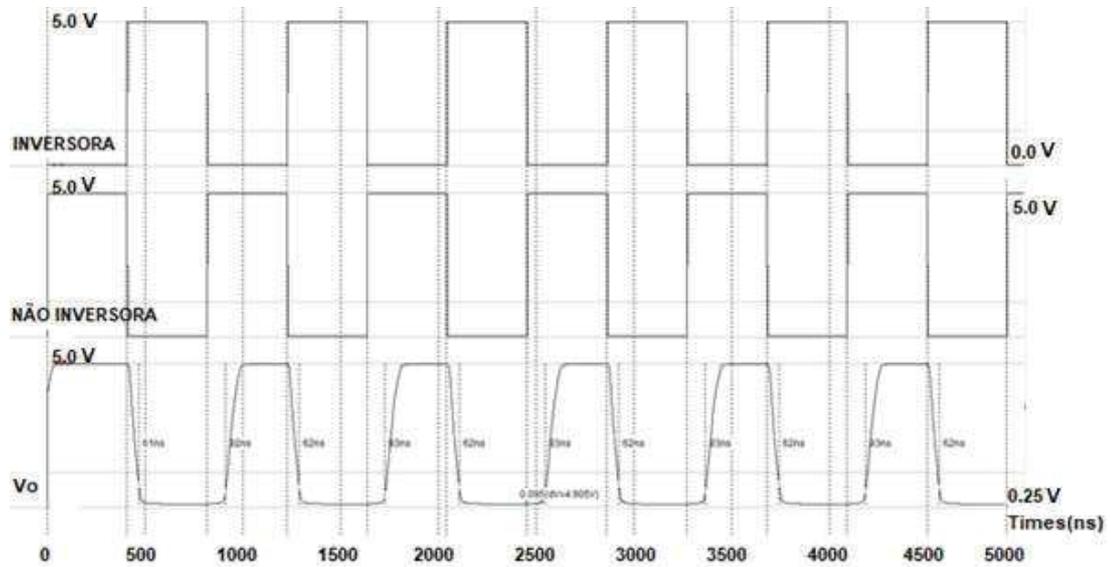
Figura 17. Resultado do novo dimensionamento dos transistores com alimentação +5 V e 0 V.



Fonte: Autoria própria

O circuito melhorou consideravelmente, porém ainda apresentou uma baixa amplitude de saída, além do comportamento capacitivo devido a presença de capacitância parasita. Para melhorar a amplitude e diminuir a capacitância parasita, foi realizado outro teste, desta vez só foi alterado a dimensão do transistor M8 de $\frac{76}{0,8}$ para $\frac{3,2}{0,8}$. A Figura 18 mostra o resultado da alteração.

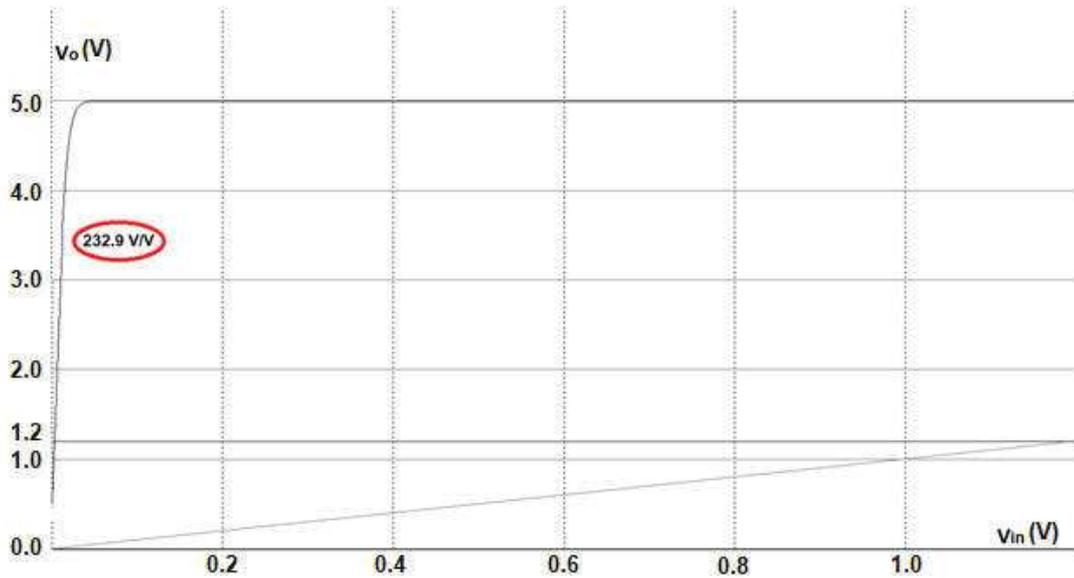
Figura 18. Comportamento do circuito pela alteração do dimensionamento do transistor M8.



Fonte: Autoria própria.

O comportamento do circuito deste último teste foi satisfatório para o objetivo do projeto da topologia dois estágios, apresentando um SR de 111,28 V/ μ s, com um consumo de 19,34 mW. Na Figura 19 é possível visualizar o ganho do circuito que é de 232,9 V/V.

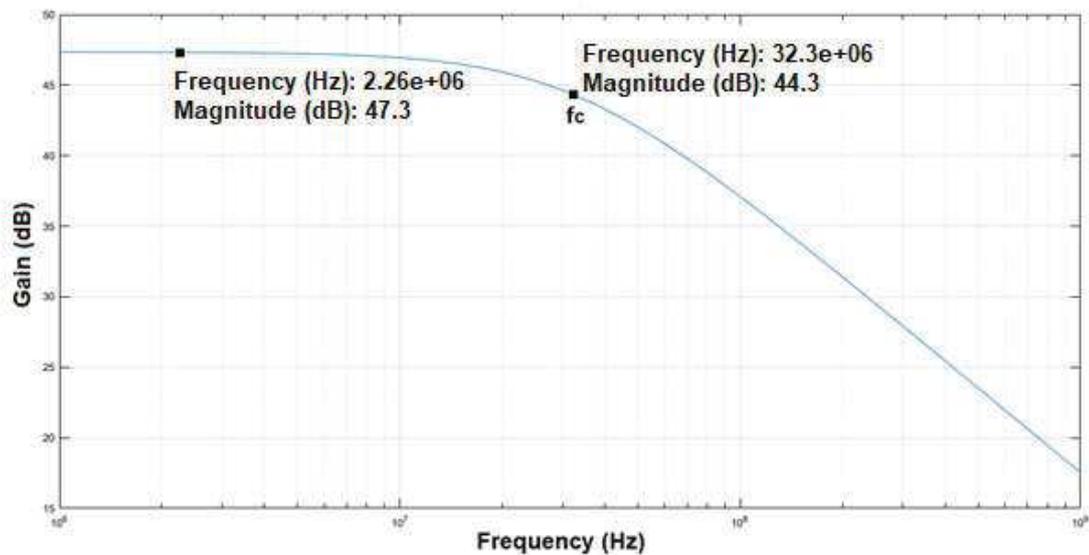
Figura 19. Ganho do circuito: Entrada x Saída.



Fonte: Autoria própria

Como o software microwind não possibilita a visualização do gráfico da resposta em frequência, foi feito um gráfico com base nas informações do ganho, da frequência de corte e do declive de -20 dB/dec. O gráfico desenvolvido é visto na Figura 20.

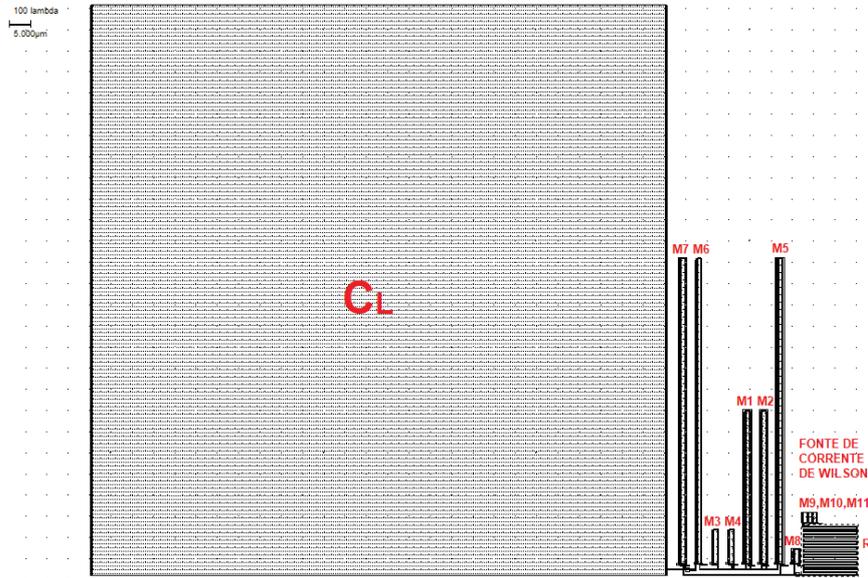
Figura 20. Resposta em frequência do circuito dois estágios.



Fonte: Autoria própria

O circuito final desenvolvido no software Microwind é mostrado na Figura 21.

Figura 21. Circuito desenvolvido do amplificador operacional na configuração dois estágios no software Microwind.

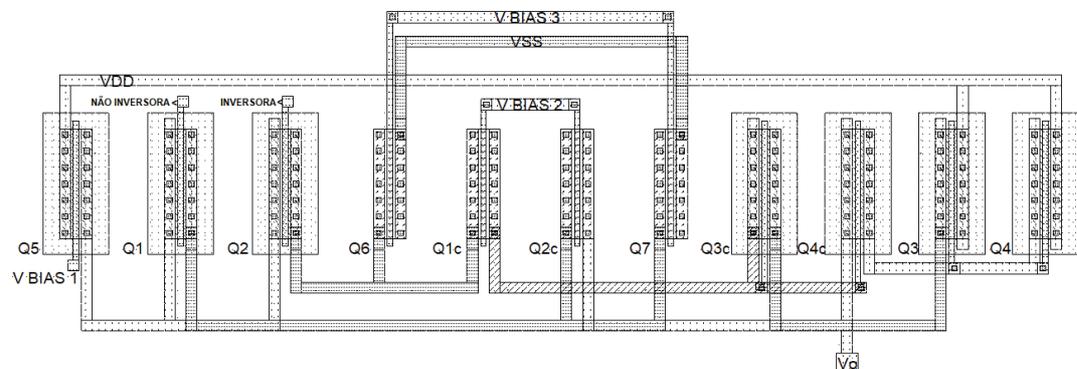


Fonte: Autoria própria

4.2 RESULTADOS DA TOPOLOGIA CASCODE INVERTIDO

Para uma melhor visualização e compreensão, a Figura 22 mostra uma representação fora de escala do circuito cascode invertido desenvolvido no software Microwind.

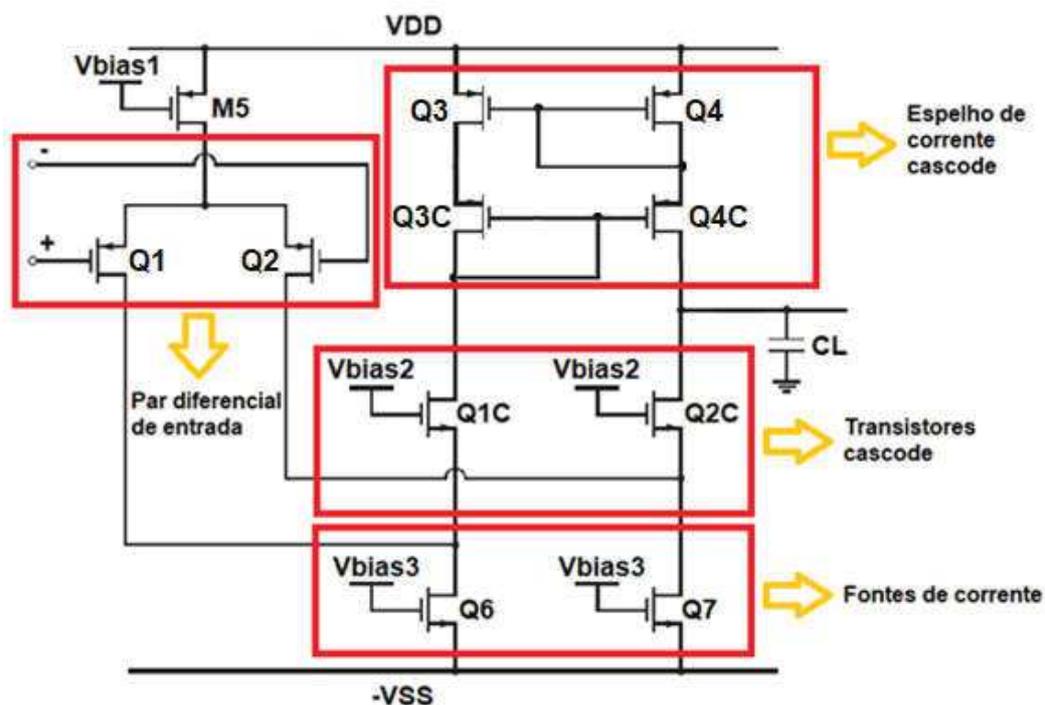
Figura 22. Circuito cascode invertido, desenvolvidos no software Microwind.



Fonte: Autoria própria.

Através do software Microwind, foi desenvolvido o circuito mostrado na Figura 23.

Figura 23. Estrutura desenvolvida do amp. op. CMOS cascode invertido.



Fonte: Autoria própria

A construção dos transistores seguiu o dimensionamento visto no Quadro 5, indicado pelo livro Microeletrônica do Sedra/Smith 4ª edição.

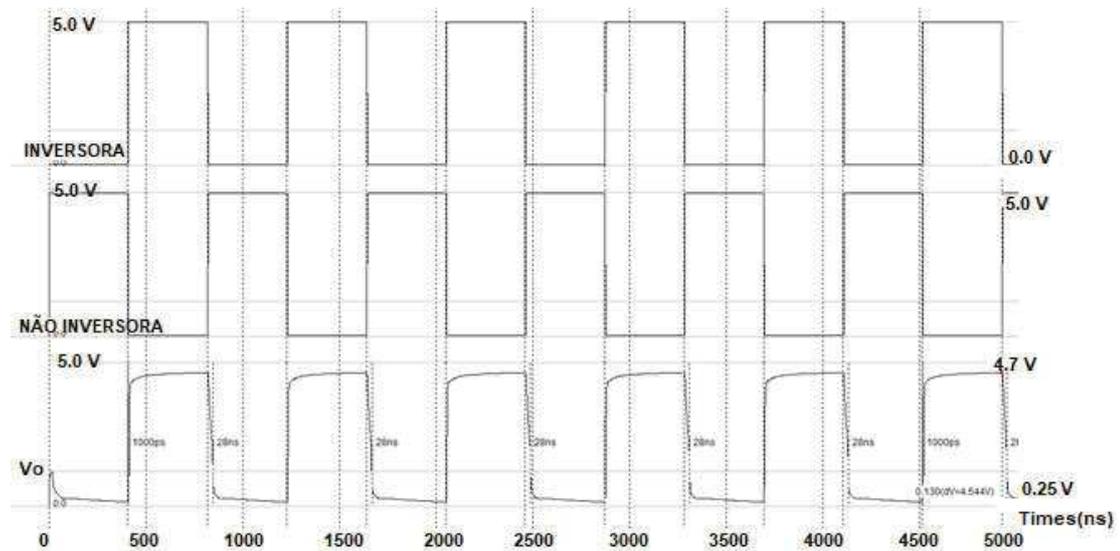
Quadro 5. Dimensões dos transistores indicadas pelo livro Microeletrônica do Sedra/Smith 4ª edição.

	Q1	Q1C	Q2	Q2C	Q3	Q3C	Q4	Q4C	Q5	Q6	Q7
W(μm)	120	60	120	60	8	120	8	120	120	8	8
L(μm)	8	8	8	8	8	8	8	8	8	8	8
W/L	15	7,5	15	7,5	1	15	1	15	15	1	7,5
Tipo	PMOS	NMOS	PMOS	NMOS	PMOS	PMOS	PMOS	PMOS	PMOS	NMOS	NMOS

Fonte: Autoria própria.

A Figura 24 mostra o comportamento do circuito alimentado com uma fonte assimétrica de +5 V e 0 V (VDD e *ground*), com dois *clock* de 1,22 MHz com amplitude 5.0 V comutados nas entradas da inversora e da não inversora.

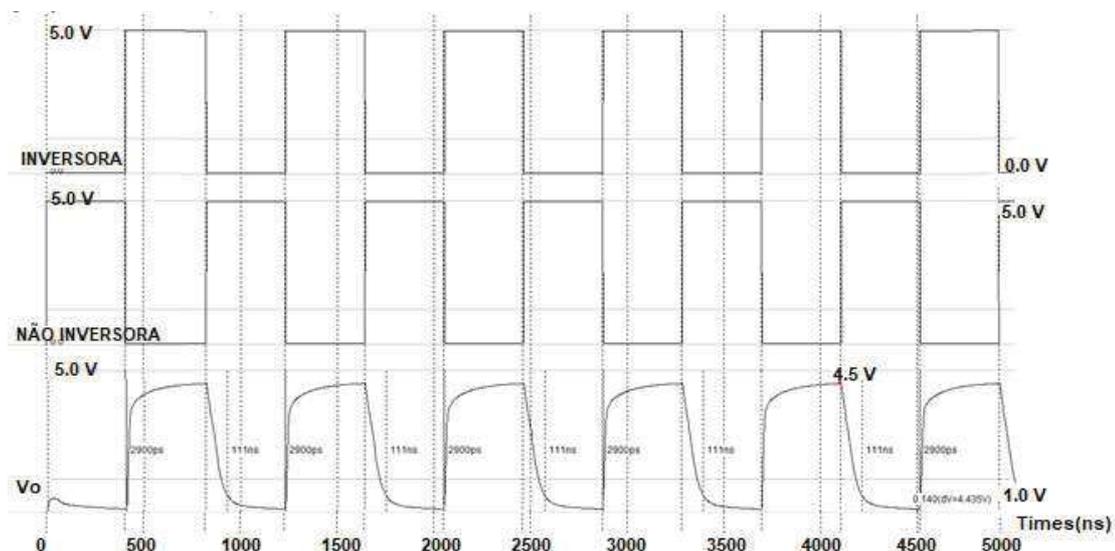
Figura 24. Resultado do circuito dois estágios com alimentação +5V e 0V.



Fonte: Autoria própria.

Assim como na topologia dois estágios, foi considerado que a carga predominante seria capacitiva, logo foi inserido um capacitor C_L de 5 pF. A Figura 25 mostra a reação do circuito com o mesmo dimensionamento, porém com o acréscimo de um capacitor.

Figura 25. Comportamento do circuito com um capacitor na saída.



Fonte: Autoria própria.

Com a finalidade de obter uma resposta com menor influência da carga capacitiva, foi realizado um teste diminuindo o tamanho dos transistores e alterando as proporções entre os componentes, padronizando todo dimensionamento múltiplos de $0.8 \mu\text{m}$. O Quadro 6 mostra o novo dimensionamento.

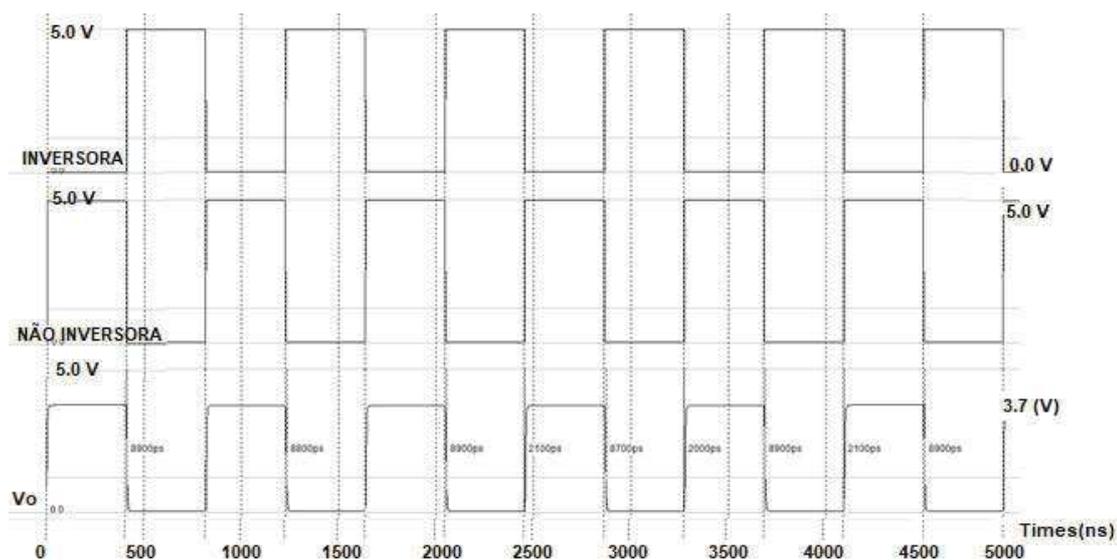
Quadro 6. Novo dimensionamento dos transistores, seguindo a lógica de múltiplos de $0.8 \mu\text{m}$.

	Q1	Q1C	Q2	Q2C	Q3	Q3C	Q4	Q4C	Q5	Q6	Q7
W(μm)	36	18	36	18	8	8	8	8	72	8	8
L(μm)	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8	0,8
W/L	45	22,5	45	22,5	10	10	10	10	90	10	10
Tipo	PMOS	NMOS	PMOS	NMOS	PMOS	PMOS	PMOS	PMOS	PMOS	NMOS	NMOS

Fonte: Autoria própria.

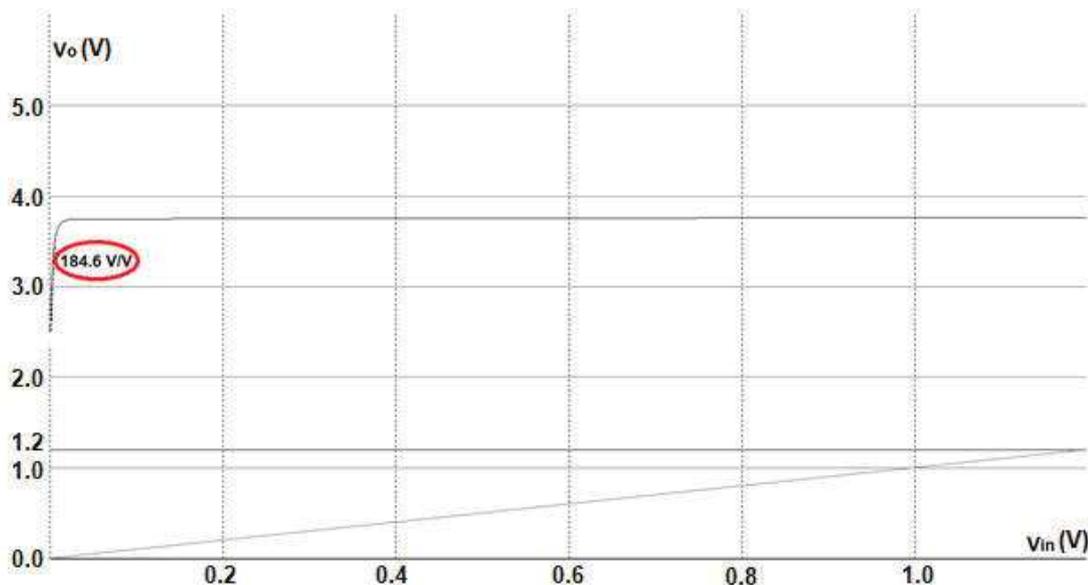
A Figura 26 mostra a reação do circuito com carga capacitiva, alimentado com uma fonte assimétrica de +5 V e 0 V (*VDD* e *ground*), com dois *clock* de 1,22 MHz com amplitude 5.0 V comutados nas entradas da inversora e da não inversora.

Figura 26. Resultado do novo dimensionamento dos transistores com alimentação +5 V e 0 V.



Fonte: Autoria própria.

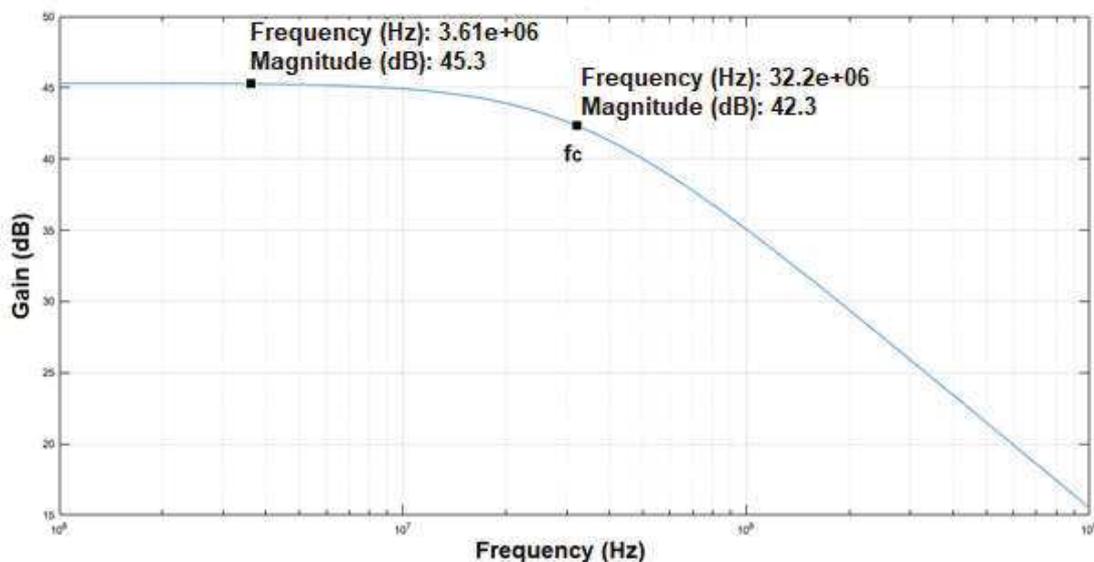
O circuito apresentou um resultado satisfatório, apesar de sua amplitude ter saturado em 3,75 V, apresentou imunidade as interferências das capacitâncias parasitas, além de um SR de 295,41 V/ μ s, com um consumo de 11,42 mW. Na Figura 27 é possível visualizar o ganho do circuito que é de 184,6 V/V.

Figura 27. Ganho do circuito: Entrada x Saída.

Fonte: Autoria própria

Como explicado na seção 4.1, o software Microwind não possibilita a visualização do gráfico da resposta em frequência, então foi desenvolvido um gráfico com base na informação do ganho, da frequência de corte e do declive de -20 dB/dec. O gráfico desenvolvido é visto na Figura 28.

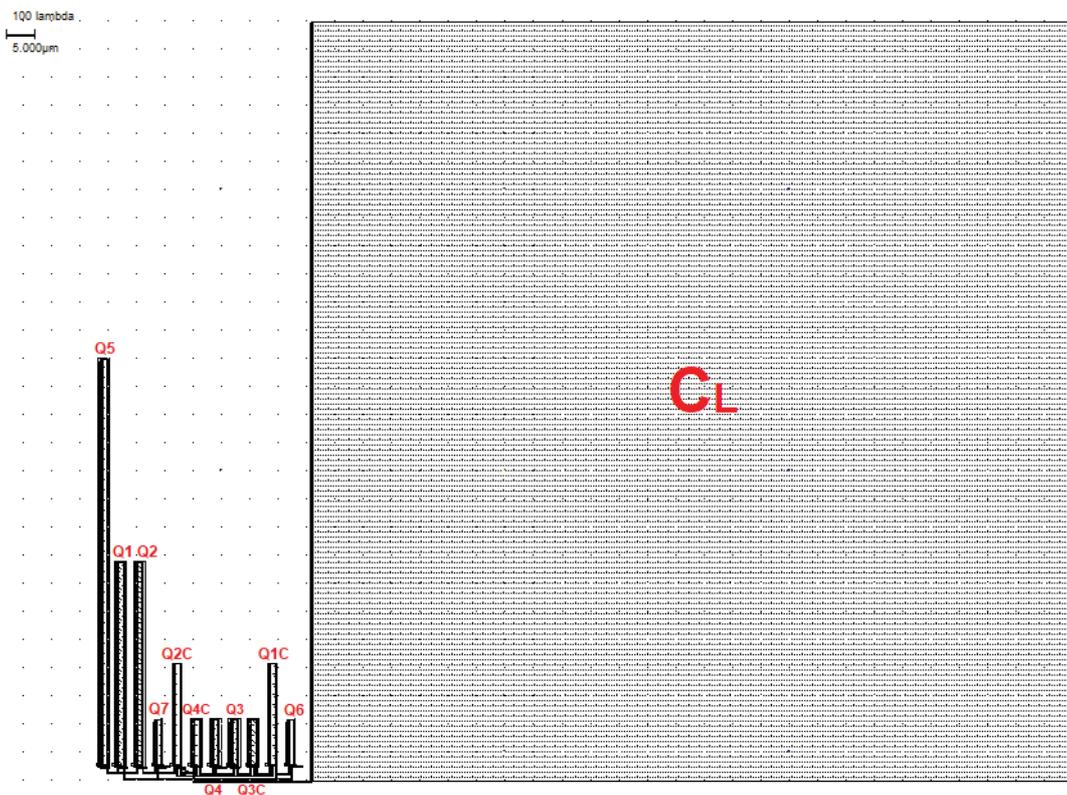
Figura 28. Resposta em frequência do circuito cascode invertido.



Fonte: Autoria própria

O circuito final desenvolvido no software Microwind é mostrado na Figura 2.

Figura 29. Circuito desenvolvido do amplificador operacional na configuração cascode invertido no software Microwind.



Fonte: Autoria própria.

4.3 COMPARAÇÃO DOS RESULTADOS DAS TOPOLOGIAS DOIS ESTÁGIOS E CASCODE INVERTIDO

A Tabela 6 mostra as comparações feita entre os circuitos dois estágios e cascode invertido.

Tabela 6. Comparações entre os circuitos dois estágios e cascode invertido.

	Dois Estágios	Cascode Invertido
Amplitude (V)	4,98	3,75
<i>Off-set</i> (V)	0,70	0,02
<i>Slew-rate</i> (V/ μ s)	111,28	295,41
Ganho de tensão (V/V)	232,9	184,6
Frequência de corte (MHz)	32,2	32,3
Consumo (mW)	19,34	11,42
Área (μ m ²)	24.582	23.635

Fonte: Autoria própria

Pela comparação vista, os dois circuitos apresentam vantagens e desvantagens, enquanto a topologia dois estágios apresentam um SR menor e com um maior consumo de energia, a topologia cascode invertido apresenta uma amplitude 24,7% menor.

5 CONCLUSÃO

No início do trabalho foi estipulado uma sequência de explicações, desde o nível atômico até a explicação dos transistores de efeito de campo, possibilitando ao leitor um entendimento básico do trabalho desenvolvido.

A principal dificuldade foi a busca de informações sobre o comportamento do circuito referente as alterações das dimensões dos transistores CMOS, devido á carência brasileira de conteúdo sobre microeletrônica. O desenho do circuito é facilmente encontrado nas literaturas, porém, quando replicado em softwares para observar seu comportamento, o resultado é diferente do esperado. O circuito pode estar perfeitamente projetado, sem erro de conexão entre os componentes e sem sobreposição de metais, mas se alterar as suas dimensões, os resultados serão diferentes, pois cada dimensão apresenta uma curva de transcondutância diferente e altera os ganhos no espelho de corrente.

O ponto de partida para o desenvolvimento do circuito foi replicar o dimensionamento sugerido nas literaturas. Como o tipo de amplificador elaborado normalmente é usado na entrada de outros circuitos CMOS, a carga terá predominância capacitiva. Porém quando foi aplicado uma carga capacitiva na saída, os resultados obtidos deixaram a desejar.

A solução encontrada foi analisar e comparar as proporções utilizadas nos projetos desenvolvidos em artigos, dissertações e teses de mestrado, e adaptando essas proporções no circuito desenvolvido até que o comportamento de saída fosse relevante com a proposta.

Os resultados finais obtidos usando o software Microwind foram satisfatórios, pois o circuito foi baseado em blocos simples e funcionais. Assim o plano para continuar este projeto no futuro, seria uma análise mais aprofundada, calculando de maneira meticulosa a influência das dimensões em pequenos sinais e a inserção de outros blocos para aumentar o SR e o ganho do circuito, tornando o projeto mais complexo e a partir dos cálculos de pequenos sinais, desenvolver um algoritmo que ao informar as características que o usuário deseja, o programa informa as dimensões que cada transistor deve ter.

Para uma produção inicial, primeiro deve ser analisado aonde o amp. op. vai ser usado, se o circuito VLSI precisar de uma tensão próxima de 5 V a topologia dois estágios é a mais indicada pois a topologia cascode invertida oferece uma amplitude máxima de 3,75 V, se o circuito VLSI funcionar com uma tensão inferior, o mais recomendado seria a topologia cascode invertido, pois seu consumo é 40,95% menor.

Neste trabalho de conclusão de curso com o tema “Projeto e análise de um circuito integrado do tipo amplificador operacional 741” surgiu como uma sugestão do prof. Dr. Roberto Ribeiro Neli. O desenvolvimento foi sugerido com o objetivo de enriquecer a área de microeletrônica brasileira.

REFERÊNCIAS

ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. 2.ed. New York: Oxford University press, 2002.

ALMEIDA, P. S. **O transistor de efeito de campo de porta isolada (MOSFET)**. Disponível em: <http://www.ufjf.br/pedro_almeida/files/2015/04/CEL099---005-Transistores-de-Efeito-Campo-MOS-MOSFET.pdf>. Acesso em: 13 out. 2018.

ATKINS, P. W.; JONES, L. **Princípios de química: questionando a vida moderna e o meio ambiente**. 3. ed. Porto Alegre: Bookman, 2006.

BRAGA, N. C. **Comparação entre MOSFETs de Potência e Transistores Bipolares de Potência**. Disponível em: <<http://newtoncbraga.com.br/index.php/almanaque-tecnologico/192-c/193-comparacao-entre-mosfets-de-potencia-e-transistores-bipolares-de-potencia>>. Acesso em: 12 out. 2018.

CIPELLI, A. M. V.; MARKUS O.; SANDRINI W. J. **Teoria e Desenvolvimento de Projetos de Circuitos Eletrônicos**. 4. ed. São Paulo: Érica, 2010.

CORTEZ, M. **Análise de Topologias de Espelhos de Corrente com Tecnologia MOS**. Disponível em: <<http://seer.unipampa.edu.br/index.php/siepe/article/viewFile/16918/5966>>. Acesso em: 12 out. 2018.

EECIS, U. **Memórias Semicondutoras: tipos, aplicações e tecnologias**. Disponível em: <<https://www.eecis.udel.edu/~portnoi/academic/academic-files/memorias.html>>. Acesso em: 13 out. 2018.

FACHINI, J. F.; ANTONIO, M. S. **Internalização da Indústria Microeletrônica no Brasil**. Disponível em: <http://www.abepro.org.br/biblioteca/enegep2014_TN_STO_197_118_24984.pdf>. Acesso em: 13 out. 2018.

FAPESP. **O sonho do chip**. Disponível em: <<https://revistapesquisa.fapesp.br/2018/04/19/o-sonho-do-chip/>>. Acesso em: 13 out. 2018.

GARCIA, V. **EL TRANSISTOR MOSFET**. Disponível em: <<https://www.diarioelectronicohoy.com/blog/el-transistor-mosfet>>. Acesso em: 27 out. 2018.

GARCÍA, V. **EI transistor MOSFET**. Disponível em: <<https://www.diarioelectronicohoy.com/blog/el-transistor-mosfet>>. Acesso em: 13 out. 2018.

GOUVEIA, O. C. F. **Espelhos de corrente**. Disponível em: <<http://www.eletrica.ufpr.br/ogouveia/te823/aula7.pdf>>. Acesso em: 13 out. 2018.

LEE, J. D. **Química inorgânica não tão concisa**. 5. ed. São Paulo: E. Blucher, 1999.

MALVINO, A. P. **Eletrônica**. 4. ed. São Paulo: Pearson, 2009.

PERTENCE, A. J. **Amplificadores operacionais e filtros ativos: eletrônica analógica**. 8. ed. Porto Alegre: Bookman, 2015.

REZENDE, S. M. **Materiais e Dispositivos Eletrônicos**. 2. ed. São Paulo: Livraria da Física, 2004.

ROCHA, F. **Em uma ligação covalente, dois núcleos atraem os mesmos elétrons**. Disponível em: <<https://canal.cecierj.edu.br/recurso/8154>>. Acesso em: 13 out. 2018.

SEABRA, A. C. **Amplificadores de múltiplos estágios – Um amp. op. CMOS**. Disponível em: <https://edisciplinas.usp.br/pluginfile.php/4357694/mod_resource/content/19/PSI3322-22017%20A22.pdf>. Acesso em: 13 out. 2018.

SEABRA, A. C. **O transistor de efeito de campo**. Disponível em: <http://www.lsi.usp.br/~acseabra/grad/2223_files/Aula%2014-17%20Sedra42021_ch03c%20versao%20rede-8.pdf>. Acesso em: 13 out. 2018.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson, 2007.

SWAR, J. W. **Evolução de Microeletrônica a Micro-Sistemas**. Disponível em: <<https://www.ccs.unicamp.br/cursos/ee941/download/cap01.pdf>>. Acesso em: 01 out. 2018.

TEIXEIRA, D. D. **Traçador das curvas características de transistores de junção bipolar (BJT) e de efeito de campo (FET)**. Disponível em: <<http://monografias.poli.ufrj.br/monografias/monopoli10003301.pdf>>. Acesso em: 13 out. 2018.

WEST, N. H. E.; HARRIS, D. M. **CMOS VLSI Design: A Circuits and Systems Perspective**. 4. ed. Pearson, 2011.