

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
CÂMPUS PATO BRANCO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

ANDERSON LUIZ FERNANDES

**ARQUITETURA HÍBRIDA COM DSP E FPGA PARA
IMPLEMENTAÇÃO DE CONTROLADORES DE
FILTROS ATIVOS DE POTÊNCIA**

DISSERTAÇÃO

**PATO BRANCO
2016**

ANDERSON LUIZ FERNANDES

**ARQUITETURA HÍBRIDA COM DSP E FPGA PARA
IMPLEMENTAÇÃO DE CONTROLADORES DE
FILTROS ATIVOS DE POTÊNCIA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do título de “Mestre em Engenharia Elétrica”. Área de Concentração: Sistemas de Processamento de Energia.

Orientador: Prof. Dr. Emerson Giovani Carati
Coorientador: Prof. Dr. Fábio Favarim

PATO BRANCO

2016

F363a Fernandes, Anderson Luiz.

Arquitetura híbrida com DSP e FPGA para implementação de controladores de filtros ativos de potência / Anderson Luiz Fernandes. -- 2016.

95 f. : il. ; 30 cm

Orientador: Prof. Dr. Emerson Giovani Carati

Coorientador: Prof. Dr. Fábio Favarim

Dissertação (Mestrado) - Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica. Pato Branco, PR, 2016.

Bibliografia: f. 88 – 95.

1. Processamento paralelo. 2. Processamento de sinais. 3. Filtros elétricos ativos. 4. Arranjos de lógica programável em campo. I. Carati, Emerson Giovani, orient. II. Favarim, Fábio. III. Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica. IV. Título.

CDD 22. ed. 621.3

Ficha Catalográfica elaborada por
Suélem Belmudes Cardoso CRB9/1630
Biblioteca da UTFPR Campus Pato Branco



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Câmpus Pato Branco
Diretoria de Pesquisa e Pós-Graduação
Programa de Pós-Graduação em Engenharia Elétrica



TERMO DE APROVAÇÃO

Título da Dissertação n° 050

Arquitetura Híbrida com DSP e FPGA para Implementação de Controladores de Filtros
Ativos de Potência

por

Anderson Luiz Fernandes

Dissertação apresentada às oito horas do dia dezoito de agosto de dois mil e dezesseis, como requisito parcial para obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA. Programa de Pós-Graduação em Engenharia Elétrica (Área de Concentração: Sistemas e Processamento de Energia), Universidade Tecnológica Federal do Paraná, Câmpus Pato Branco. O candidato foi arguido pela Banca Examinadora composta pelos professores abaixo assinados. Após deliberação, a Banca Examinadora considerou o trabalho APROVADO.

Banca examinadora:

Prof. Dr. Emerson Giovani Carati
UTFPR/PB (Orientador)

Prof. Dr. Fábio Favarim
UTFPR/PB (Coorientador)

Prof. Dr. Jean Patric da Costa
UTFPR/PB

Prof. Dr. Leandro Buss Becker
UFSC/SC

Prof. Dr. Ricardo Vasques de Oliveira
Coordenador do PPGEE

A via original, devidamente assinada, encontra-se na Biblioteca da UTFPR – Câmpus Pato Branco.

AGRADECIMENTOS

A Deus, por permitir que eu alcançasse este objetivo, por ter colocado as pessoas certas em meu caminho, e por não ter permitido que em meus momentos de fraqueza eu desistisse.

A maior incentivadora, minha amada e querida esposa Jocelaine. Obrigado pela compreensão dos meus momentos de ausência, pelo carinho, paciência, confiança e afago nas horas difíceis. Inúmeras foram as vezes em que suas palavras me encorajaram e me inspiraram, seus gestos enobreceram ainda mais esta conquista.

Mãe e Pai, mais uma grande etapa foi vencida, este é o resultado do caminho que vocês me ensinaram já na infância a percorrer, obrigado por me educarem sob os princípios da honestidade, ética, humildade e perseverança. Estes que sempre foram balizados por outra fonte de inspiração em minha vida, meu irmão! Vocês são meus os alicerces.

Me faltam adjetivos para agradecer ao Prof. Fábio Favarim, que abriu as portas para essa conquista, obrigado por ter acreditado em meu potencial, suas palavras e atitudes me inspiram na academia e na vida pessoal, mais que o conhecimento acadêmico, levo para minha vida seus exemplos de bondade, honestidade e sensatez. Obrigado por me ensinar através dos seus gestos a ser uma pessoa melhor, pelas orientações e toda paciência.

Soma-se a essas pessoas quem me mostrou o “caminho das pedras”, Prof. Emerson G. Carati, obrigado por toda compreensão e paciência (em doses extras), seus ensinamentos e seus esforços me transmitiram mais que conhecimento, me trouxeram confiança e exemplos de profissionalismo que carregarei eternamente comigo.

Agradeço ao amparo e sábios concelhos do Prof. e colega Géri N. Dutra, pessoa a qual sempre foi fonte de inspiração em minha vida, sua humildade, determinação e postura profissional sempre me inspiraram, mais que um grande companheiro, um fiel parceiro das longas, cansativas e revigorantes corridas, as quais sempre renovaram meus pensamentos.

A Faculdade Mater Dei, por permitir e compreender o meu afastamento parcial, pela manifestação contínua dos seu colabores, estás sempre me motivaram e encorajaram. Permitam-me eximir-me de citar nomes, certamente necessitaria de algumas páginas.

Agradeço também a UTFPR por todo apoio e infraestrutura, ao PPGEE, a todos os professores os quais tive a honra de que enriquecessem meus conhecimentos, aos membros da banca e em especial ao professor Jean P. da Costa, o qual demonstrou uma postura profissional louvável durante todo o curso. Ao acadêmico da iniciação científica André Marasca, pessoa a qual foi essencial para concretização deste trabalho e também ao meu colega de curso Marcelo G. Kuhl, incentivador e parceiro na obtenção dos créditos acadêmicos.

RESUMO

FERNANDES, Anderson Luiz. **Arquitetura híbrida com DSP e FPGA para implementação de controladores de filtros ativos de potência.** 2016. 100 f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Tecnológica Federal do Paraná. Pato Branco, 2016.

A presença de cargas não-lineares em um ponto do sistema de distribuição pode deformar a forma de onda de tensão devido ao consumo de correntes não senoidais. O uso de filtros ativos de potência permite uma redução significativa do conteúdo harmônico da corrente de alimentação. Entretanto, as estruturas digitais de controle para estes filtros, particularmente o cálculo das correntes de referência, pode necessitar de processamento de alto desempenho. Neste trabalho se propõe o desenvolvimento de estruturas de controle com alto desempenho de processamento, para aplicação em filtros ativos de potência. Neste sentido, é considerada uma arquitetura que permite processamento paralelo utilizando dispositivos lógicos programáveis. A estrutura desenvolvida utiliza um modelo híbrido com um DSP e uma FPGA. O DSP é utilizado para aquisição de sinais de tensão e corrente, controladores adicionais relacionados a fundamental e acionamento PWM. A FPGA é utilizada para o processamento intensivo do sinal de compensação de harmônicas. Desta forma, através da análise experimental são obtidas reduções significativas nos tempos de processamento comparadas as abordagens tradicionais utilizando somente DSP. Os resultados experimentais validam a estrutura projetada e são comparados com outras arquiteturas relatadas na literatura.

Palavras-chave: processamento paralelo; processamento de sinais; FPGA; distorção harmônica; filtro ativo.

ABSTRACT

FERNANDES, Anderson Luiz. **Hybrid architecture with DSP and FPGA for control implementation in active power filters**. 100 p. Dissertation (Graduation Program in Electrical Engineering) – Federal University of Technology – Paraná. Pato Branco, 2016.

The presence of non-linear loads at a point in the distribution system may deform voltage waveform due to the consumption of non-sinusoidal currents. The use of active power filters allows significant reduction of the harmonic content in the supply current. However, the processing of digital control structures for these filters may require high performance hardware, particularly for reference currents calculation. This work describes the development of hardware structures with high processing capability for application in active power filters. In this sense, it considers an architecture that allows parallel processing using programmable logic devices. The developed structure uses a hybrid model using a DSP and an FPGA. The DSP is used for the acquisition of current and voltage signals, calculation of fundamental current related controllers and PWM generation. The FPGA is used for intensive signal processing, such as the harmonic compensators. In this way, from the experimental analysis, significant reductions of the processing time are achieved when compared to traditional approaches using only DSP. The experimental results validate the designed structure and these results are compared with other ones from architectures reported in the literature.

Keywords: parallel processing; signal processing; FPGA; harmonic distortion; active power filter.

LISTA DE FIGURAS

Figura 1 - Crescimento das cargas não-lineares no Brasil.....	14
Figura 2 - Filtro Ativo de Potência Paralelo	20
Figura 3 - Diagrama simplificado (monofásico): FAP, rede, carga e estratégia de controle	21
Figura 4 - Circuito equivalente em coordenadas $\alpha\beta$	22
Figura 5 - Controle de corrente em eixos rotativos.....	28
Figura 6 - Estratégia baseada na DFT	29
Figura 7 - Sistema de potência e controle síncrono através de diagrama em blocos	30
Figura 8 – Determinação dos compensadores de harmônicas a partir da DFT.	32
Figura 9 - Modelo de execução de um pipeline linear	40
Figura 10 - Classificação dos modelos de pipeline: (a) pipeline de instruções, (b) pipeline aritmético e (c) pipeline de processadores.....	41
Figura 11 - Arquitetura genérica de uma FPGA	44
Figura 12 - Estrutura básica de um código VHDL	46
Figura 13 - (a) Circuito comparador de 1 bit, (b) Código de implementação do comparador	47
Figura 14 - Fases de implementação de um projeto de processamento digital de sinais em FPGA	48
Figura 15 - Etapas de codificação e implementação de um circuito em FPGA.....	49
Figura 16 - Diagrama de processamento paralelo em cluster	51
Figura 17 – Rede de alimentação não ideal com cargas retificadora e linear.	54
Figura 18 – Tensões do sistema sem compensação, no ponto de conexão das cargas (V_{PCC}) e na carga não linear (V_{NL})	55
Figura 19 – Correntes do sistema sem compensação, na rede (i_L), na carga não linear (i_{NL}) e na carga linear (i_{CL})	55
Figura 20 – Corrente de alimentação antes e após a compensação das 3ª, 5ª e 7ª harmônicas: Análise no tempo (superior) e espectro harmônico (inferior).	56
Figura 21 - Corrente de alimentação antes e após a compensação de todas as harmônicas ímpares até 19ª harmônica: Análise no tempo (superior) e espectro harmônico (inferior).	57

Figura 22 - Valores dos coeficientes do compensador seletivo com $N=240$, para $N_h=\{3, 5, 7, 11\}$	59
Figura 23 - Resposta em frequência do compensador seletivo com $N=240$, para $N_h=\{3, 5, 7, 11\}$	60
Figura 24 – Corrente de alimentação antes e após a compensação das 3 ^a , 5 ^a , 7 ^a e 11 ^a harmônicas: Análise no tempo (superior) e espectro harmônico (inferior)	61
Figura 25 – Filtro ativo de potência com estrutura híbrida de processamento por DSP e FPGA.....	63
Figura 26 – Hardware utilizado na arquitetura híbrida de processamento com DSP e FPGA.	64
Figura 27 – Algoritmo de processamento para controladores de FAPs utilizando FPGA e DSP	65
Figura 28 - Máquina de estados responsável por coordenar as ações entre os dispositivos.....	66
Figura 29 - Plataforma experimental com o TMS320F28069 e com a XC3S500E....	69
Figura 30 - Gráfico temporal de execução das tarefas.....	70
Figura 31 - Representação gráfica do fluxo de execução na FPGA.....	72
Figura 32 - Circuito parcial gerado pela FPGA para: (a) 30 amostras e (b) 240 amostras.....	76
Figura 33 - <i>Setup</i> para execução prática do experimento.....	77
Figura 34 - Bancada com o experimento sendo executado.	78
Figura 35 - Resultados experimentais para $N=240$ e $N_h=\{3,5,7,11\}$: (1) corrente de carga, (2) corrente da rede compensada.	79
Figura 36 - Resultados experimentais para $N=240$ e $N_h=\{3,5,7,11\}$: FFT da corrente de carga.	80
Figura 37 - Resultados experimentais para $N=240$ e $N_h=\{3,5,7,11\}$: FFT da corrente de entrada compensada.....	80
Figura 38 - Tela de medição do tempo de processamento para 240 amostras	81

LISTA DE QUADROS

Quadro 1 - Definições formais das Máquinas de Estados de Mealy e de Moore	42
Quadro 2 - Implementação da Máquina de Moore para controle do processo pela FPGA.	67
Quadro 3 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=30.....	74
Quadro 4 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=240.....	75
Quadro 5 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=780.....	75

LISTA DE TABELAS

Tabela 1 - Fabricantes e suas nomenclaturas para Blocos Lógicos	44
Tabela 2 - Principais configurações da FPGA XC3S500E.....	64
Tabela 3 - Principais configurações do DSP Piccolo controlSTICK TMS320F28069.	64
Tabela 4 - Conexões e pinagem da FPGA e do DSP para comunicação na arquitetura híbrida.	69
Tabela 5 - Tempos de processamento entre as diferentes arquiteturas.	83

LISTA DE SIGLAS

ABRADEE	Associação Brasileira de Distribuidores de Energia Elétrica
ADC	<i>Analog Digital Converter</i> (Conversor Analógico Digital)
A/D	Analógico/Digital
ANEEL	Agência Nacional de Energia Elétrica
CI	Circuito Integrado
CLB	<i>Configurable Logic Blocks</i> (Blocos Lógicos Configuráveis)
CPLD	<i>Complex Programmable Logic Devices</i> (Dispositivos Complexo de Lógica Programável)
CPU	<i>Central Processing Unit</i> (Unidade Central de Processamento)
CUDA	<i>Compute Unified Device Architecture</i> (Arquitetura Unificada de Dispositivo de Computação)
DAC	<i>Digital Analog Converter</i> (Conversor Digital Analógico)
DFT	<i>Discrete Fourier Transform</i> (Transformada Discreta de Fourier)
DSP	<i>Digital Signal Processor</i> (Processador Digital de Sinais)
E/S	Entrada/Saída
FAP	Filtros Ativos de Potência
FFT	<i>Fast Fourier Transform</i> (Transformada Rápida de Fourier)
FPGA	<i>Field Programmable Gate Array</i> (Arranjo de Portas Programável em Campo)
GPU	<i>Graphics Processing Unit</i> (Unidade de Processamento Gráfico)
HDL	<i>Hardware Description Language</i> (Linguagem de Descrição de Hardware)
ICE	<i>International Electrotechnical Commission</i> (Comissão Eletrotécnica Internacional)
IEEE	<i>Institute of Electrical and Electronics Engineers</i> (Instituto de Engenheiros Eletricistas e Eletrônicos)
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
LAN	<i>Local Area Network</i> (Rede Local)
LUT	<i>Look-UP Table</i> (Tabela de Pesquisa)

MME	Ministério de Minas e Energia
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (transistor de efeito de campo metal)
OpenCL	<i>Open Computing Language</i>
PI	Proporcional Integral
PID	Proporcional Integral Derivativo
PLA	<i>Programmable Logic Arrays</i> (Matriz Lógico Programavel)
PR	Proporcional Ressonante
PROCEL	Programa Nacional de Conservação de Energia Elétrica
PRODIST	Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional
PTX	<i>Parallel Thread Execution</i> (Execução Paralela de Thread)
PWM	<i>Pulse-Width Modulation</i> (Modulação por largura de pulsos)
RTL	<i>Register Transfer Level</i> (Registrador de Nível de Transferência)
SIMD	<i>Single Instruction Multiple Data</i> (Instrução Individual de Múltiplos Dados)
SMP	<i>Symmetric MultiProcessor</i> (Multiprocessador Simétrico)
SPI	<i>Serial Peripheral Interface</i> (Interface Periférica Serial)
SRAM	<i>Static Random Access Memory</i> (Memória Estática de Acesso Aleatório)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
ULA	Unidade Lógica Aritmética
VHDL	<i>VHSIC Hardware Description Language</i> (Linguagem de descrição de hardware VHSIC)
VHSIC	<i>Very High Speed Integrated Circuits</i> (Circuito Integrado de Velocidade Muito Alta)
VLSI	<i>Very Large Scale Integration</i> (Integração em Escala Muito Grande)
VSI	<i>Voltage Source Inverter</i> (Inversor Fonte de Tensão)

SUMÁRIO

1	INTRODUÇÃO	16
1.1	CONSIDERAÇÕES INICIAIS	16
1.2	QUALIDADE DA ENERGIA E HARMÔNICAS	12
1.3	MOTIVAÇÃO DO TRABALHO	15
1.4	OBJETIVOS	17
1.5	ESTRUTURA DO TRABALHO	18
2	FILTROS ATIVOS DE POTÊNCIA E COMPENSAÇÃO SELETIVA DE HARMONICAS.....	19
2.1	FILTROS ATIVOS DE POTÊNCIA.....	19
2.1.1	Estrutura de um Sistema de Controle para um FAP Acoplado em Paralelo...	20
2.1.2	Modelo do Filtro Ativo de Potência	22
2.2	SISTEMAS DE CONTROLE PARA FILTROS ATIVOS DE POTÊNCIA	24
2.2.1	Transformações de Coordenadas $abc/\alpha\beta 0$ e $abc/dq0$	24
2.2.2	Técnicas de Geração de Correntes de Referência para Compensação de Harmônicas	26
2.2.3	Estratégias de Controle Baseado em Compensador Seletivo de Harmônicas	28
2.3	ANÁLISE DO COMPENSADOR DE HARMÔNICOS OBTIDO PELA DFT	34
2.4	RESUMO DO CAPÍTULO	35
3	PROCESSAMENTO PARALELO	37
3.1	ARQUITETURAS DE PROCESSAMENTO PARALELO.....	37
3.2	TÉCNICAS PARA IMPLEMENTAÇÃO DE PROCESSAMENTO PARALELO	39
3.2.1	Pipeline.....	39
3.2.2	Máquina de Estados Finitos	41
3.3	IMPLEMENTAÇÃO DE PROCESSAMENTO PARALELO UTILIZANDO FPGA .	43
3.3.1	FPGA - <i>Field Programmable Gate Arrays</i>	44
3.3.2	VHDL - <i>VHSIC Hardware Description Language</i>	45
3.4	PROCESSAMENTO DE SINAIS EM FPGA.....	48

3.5	APLICAÇÃO DE FPGA EM FILTROS ATIVOS DE POTÊNCIA	50
3.6	RESUMO DO CAPÍTULO	52
4	ARQUITETURA HÍBRIDA DE PROCESSAMENTO PARA ESTRATÉGIAS DE CONTROLE EM FILTROS ATIVOS DE POTÊNCIA	53
4.1	ANÁLISE NUMÉRICA DE COMPENSADORES BASEADOS NA DFT	53
4.1.1	Simulação de um sistema de alimentação com cargas retificadoras	54
4.1.2	Análise Numérica de um FAP Utilizando Compensador Baseado na DFT para Carga do Tipo Retificador	56
4.1.3	Análise Numérica de um FAP Utilizando Compensador Baseado na DFT para Corrente de Carga Definida por Harmônicas	58
4.2	PROJETO DA ARQUITETURA HÍBRIDA DE PROCESSAMENTO PARA FILTROS ATIVOS DE POTÊNCIA	61
4.3	DESCRIÇÃO DOS PROCESSOS NA FPGA	71
4.4	ANÁLISE EXPERIMENTAL DA ARQUITETURA HÍBRIDA DE PROCESSAMENTO	74
4.5	RESULTADOS EXPERIMENTAIS	76
4.6	COMPARAÇÕES E DISCUSSÕES.....	81
4.7	RESUMO DO CAPÍTULO	84
5	CONCLUSÃO E PROPOSTA DE TRABALHOS FUTUROS	85
5.1	CONCLUSÕES	85
5.2	PROPOSTA DE TRABALHOS FUTUROS	86
6	REFERÊNCIAS.....	88

1 INTRODUÇÃO

A contextualização dos fatores que motivam a pesquisa em torno de qualidade de energia e o uso de filtros ativos de potência para melhoria da qualidade energia, são inicialmente apresentados neste capítulo. Na sequência são abordadas arquiteturas de hardware utilizadas para cálculo da estrutura digital de controle destes filtros e a motivação deste trabalho. Os objetivos e a organização da dissertação concluem o capítulo.

1.1 CONSIDERAÇÕES INICIAIS

A busca pela “qualidade” tem sido realizada incessantemente em relação a produtos e serviços em diversos aspectos. Com a energia elétrica não tem sido diferente. Entretanto, o termo “qualidade de energia” é definido em função da disponibilidade dos serviços de fornecimento e tensões com valores dentro das normas e procedimentos estabelecidos, como no “Módulo 8 – Qualidade da Energia Elétrica” da Agência Nacional de Energia Elétrica (ANEEL, 2010).

A demanda cada vez maior de energia, aliada ao crescente uso cotidiano de equipamentos que frequentemente causam perturbações na rede, fez com que pesquisas aplicadas a qualidade de energia tomassem uma amplitude maior no cenário científico. O objetivo da manutenção da forma de onda de tensão de forma senoidal é que a energia fornecida não comprometa a operação dos dispositivos e não cause prejuízos econômicos aos usuários finais. Este cenário indica que o fornecimento de energia não se detém apenas a disponibilidade do serviço, mas também considera fatores de monitoramento das tensões e correntes, quanto a magnitude, frequência e forma de onda em relação ao sinal senoidal definido pelas agências reguladoras do fornecimento energia elétrica.

1.2 QUALIDADE DA ENERGIA E HARMÔNICAS

A manutenção do fornecimento de energia com qualidade, tem levado a um grande número de pesquisas na busca do aperfeiçoamento e desenvolvimento de novas tecnologias para garantir o atendimento das normas reguladoras, estas cada vez mais rígidas. Nesta busca são considerados fatores como manutenção ininterrupta de serviços, conservação dos equipamentos consumidores de energia e, como um dos maiores motivadores, o fator econômico. Problemas atrelados a fornecimento de energia, em indústrias e outros setores que tenham a rede elétrica como fonte de energia, significam prejuízos que podem variar desde a redução até mesmo a interrupção completa da produção.

O uso cada vez maior da eletrônica de potência tem feito com que os equipamentos desenvolvidos possam ter um maior rendimento e precisão em suas funcionalidades. Em contrapartida estes mesmos equipamentos, se tornam mais sensíveis a distúrbios na rede de alimentação. Como exemplo, cita-se o caso dos microprocessadores, que são extremamente sensíveis a distúrbios na alimentação, e, no caso de a fonte não compensar um distúrbio da rede, os mesmos podem ser facilmente danificados. Por outro lado, o modo de operação dos semicondutores pode consumir corrente da rede de forma não linear. Por exemplo, nas fontes de alimentação convencionais geralmente são empregados circuitos retificadores que, com um capacitor de filtro, apenas drena corrente da rede nas regiões próximas aos máximos e mínimos da tensão de entrada. Desta forma, tais circuitos podem provocar queda da tensão da rede nestas regiões. Assim, os mesmos semicondutores que agregam desempenho e precisão no desenvolvimento de tarefas, em diversos casos também são responsáveis por provocar distúrbios na própria rede elétrica em que estão consumindo energia. Entre os efeitos destes distúrbios podem-se citar problemas como ressonância paralela entre bancos de capacitores, erros na leitura de medidores convencionais de energia, sobreaquecimento por perdas adicionais em motores, transformadores e geradores, o que implica também na redução de sua vida útil. Tais distúrbios, síncronos com a tensão de alimentação, podem ser analisados como harmônicas da frequência fundamental.

Com o intuito de melhorar a qualidade de energia, foram criadas regulamentações por instituições internacionais IEEE e IEC, como os padrões IEEE

STD 519-1992, IEEE STD 929-2000, e IEC STD 61000-3-2-2005. No Brasil, a Agência Nacional de Energia Elétrica (ANEEL) criou o Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST (PRODIST, 2010). Tais normas e padrões tem o objetivo de regular vários aspectos que visam a melhoria da qualidade de energia junto aos distribuidores (concessionárias).

A qualidade de energia pode ser verificada por diversos fatores, dentre os quais a Distorção Harmônica Total (THD) é de extrema importância. A análise harmônica consiste na determinação das magnitudes e fases da componente fundamental e das componentes harmônicas do sinal periódico a ser analisado. A ferramenta matemática geralmente empregada na análise harmônica é a Transformada Rápida de Fourier (FFT – *Fast Fourier Transform*), a qual mapeia o sinal do domínio do tempo em componentes de frequência. A representação gráfica das componentes do sinal e o espectro harmônico, pode ser decomposto em harmônicas pares, ímpares e em uma componente CC. As componentes harmônicas de ordem par são raras, já que a maioria das cargas não-lineares, que são as grandes geradoras de harmônicos (como retificadores e inversores), funcionam de forma simétrica e periódica com tensão de alimentação. Já os harmônicos de ordem elevada normalmente têm seus valores reduzidos, já que sua amplitude é atenuada pelas indutâncias do sistema elétrico (PROCEL, 2006). Assim, as normas geralmente estabelecem valores limites de cada componente harmônica em relação a fundamental, considerando as componentes ímpares e de ordem reduzida (da 3^a à 39^a). A norma estabelecida pela IEC 61000-3-2 do ano de 2005 tem o objetivo de definir os limites da inserção de correntes harmônicas, definindo em uma condição específica os limites máximos das componentes harmônicas da corrente de entrada, (para equipamentos menores ou igual a 16A para cada fase).

De acordo com os dados disponibilizados pelo Programa Nacional de Conservação de Energia Elétrica (PROCEL), a influência de harmônicas vem crescendo substancialmente devido ao uso de cargas não-lineares. Ainda, estes dados informam que aproximadamente 70% do consumo de energia elétrica transita por algum dispositivo eletrônico (PROCEL, 2006). Ravagnani (2008) utilizou-se de informações fornecidas pela Eletrobrás, pela Associação Brasileira de Distribuidores de Energia Elétrica (ABRADEE) e pelo Ministério de Minas e Energia (MME) para estimar o crescimento das cargas não-lineares no Brasil nas últimas décadas,

conforme apresenta a Figura 1. Nesta figura percebe-se que o uso das cargas não-lineares cresce em uma escala elevada, sendo que por volta do ano 2005 o uso destas já representava mais de 50% da carga total instalada. Embora não tenham sido encontrados dados mais atualizados, a tendência de crescimento apontada no gráfico permite visualizar um alto índice de cargas não lineares no sistema elétrico brasileiro em 2016, acima de 60%. Tal índice deve-se pelo uso cada vez mais frequente de cargas com elementos chaveados como retificadores, TRIACs, entre outros.

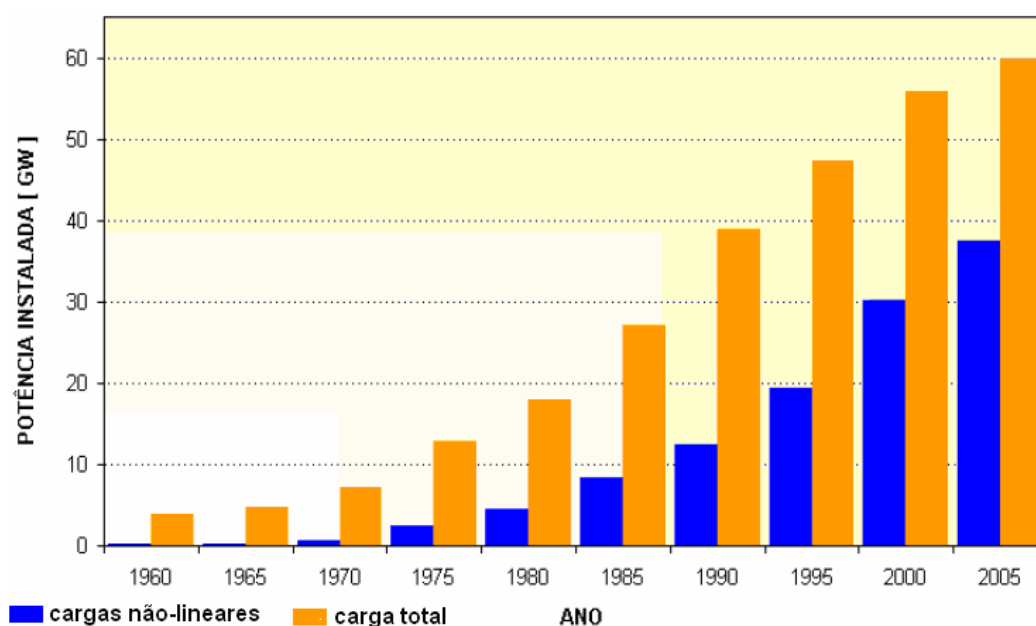


Figura 1 - Crescimento das cargas não-lineares no Brasil
 Fonte: Ravagnani (2008).

Os cuidados que tangem o uso das cargas não-lineares são norteados pelos distúrbios ocasionados por tais cargas. Esses efeitos normalmente não são perceptíveis aos consumidores residenciais, mas em contrapartida as concessionárias e os sistemas de distribuição são afetados substancialmente pelas distorções de correntes harmônicas. Este fato tem motivado uma busca crescente na minimização deste problema e, como consequência, a melhoria da qualidade de energia. A utilização de Filtros Ativos de Potência (FAP) para correção de perturbações geradas por cargas lineares e não lineares vem sendo empregada com diferentes implementações, dado o fato desta solução ser dinâmica e adaptável a diferentes situações. O objetivo é realizar a compensação dos diversos tipos de distúrbios, de forma que apenas a corrente senoidal seja drenada do sistema elétrico.

FAPs geralmente são constituídos por circuitos inversores, comandados através de sinais modulados por largura de pulso (PWM), e filtros passivos para conexão com o sistema de potência, que reduzem as harmônicas decorrentes da modulação. Os sinais de comando dos FAPs são gerados por algoritmos de controle, que geralmente envolvem etapas de controle da fundamental e etapas de compensação das harmônicas de corrente. A estrutura completa resulta em um sinal de referência para a corrente, que deve ser injetada pelo FAP de forma a compensar as harmônicas de carga e adequar características de interesse, como, por exemplo, o fator de potência.

1.3 MOTIVAÇÃO DO TRABALHO

A melhoria da qualidade no fornecimento de energia vem sendo alvo de intensas pesquisas recentemente, envolvendo sistemas de controle digital aplicado aos filtros ativos de potência. Diversas classes de controladores podem ser empregadas neste tipo de sistema, desde controladores do tipo PID (Proporcional Integral e Derivativo) e adaptativos (Stefanello, 2014), em eixos síncronos, até controladores ressonantes. No entanto, a dificuldade de utilização de algumas destas técnicas nesses dispositivos está na grande quantidade de cálculos que necessitam ser realizados em tempo real. Normalmente estes cálculos são executados de maneira sequencial e dependendo do algoritmo podem resultar em tempo de cálculo superior ao período de amostragem, como descrevem Mattavelli e Fasolo (2000) e Montagner, Carati, & Gründling (2000). Este tempo depende da velocidade do processador, da arquitetura do mesmo e da quantidade de ciclos que são necessários para execução do algoritmo. A implementação de sistemas de controle digital em tempo discreto tem sido feita principalmente em dispositivos com processadores de apenas um núcleo, como microcontroladores, DSP (*Digital Signal Processor*). Recentemente tem sido utilizado também dispositivos com múltiplos núcleos (multiprocessados), como FPGAs (*Field Programmable Gate Array*). Entretanto, mesmo dispondo de alta frequência de operação, tais estruturas podem resultar em tempo de cálculo superior ao período de amostragem, principalmente quando utilizadas para processar um número elevado de operações, como relatam Mattavelli e Fasolo (2000) e Lopes (2012).

Uma alternativa que pode ser aplicada a resolução de tal problema, é a otimização do hardware utilizando processamento paralelo (ROSE and NAVAU, 2008, STALLINGS, 2010), que consiste na divisão das tarefas entre diferentes núcleos de processamento. Nesta abordagem, a cada ciclo de processador é executada uma quantidade de instruções igual ao número de núcleos disponíveis na arquitetura, possibilitando a execução da mesma quantidade de instruções do modelo sequencial em um menor tempo. Contudo, essa solução não pode ser utilizada por dispositivos que possuem um único núcleo de processamento, tais como DSP e microcontroladores. Por outro lado, a execução paralela de informações, se adequadamente projetada, pode ser executada em dispositivos como FPGAs, que são compostas por grupos de blocos lógicos configuráveis (CLB).

O trabalho desenvolvido por Lopes (2012) considera a utilização de FPGAs com diversos núcleos para processamento paralelo dos cálculos necessários na implementação de compensadores harmônicos para FAPs. Para tal, Lopes (2012) emprega a técnica de compensação proposta por Mattavelli e Fasolo (2000). Esta técnica utiliza a transformada discreta de Fourier para projetar filtros FIR que geram correntes de referência, as quais compensam as harmônicas selecionadas. Para uma compensação mais efetiva é necessário utilizar maior frequência de chaveamento, o que implica em um número maior de amostras por ciclo e, por consequência, filtros FIR de ordem mais elevada. A técnica de implementação aplicada por Lopes (2012) leva ao esgotamento de recursos na FPGA considerada para um filtro de 50ª ordem. Assim, para implementar compensadores seletivos de 100ª ordem o autor utiliza um *cluster* (ROSE and NAVAU, 2008, STALLINGS, 2010) de duas FPGAs para o processamento paralelo dessas instruções. Desta forma, consegue-se obter resultados em tempo bastante reduzido (~265ns), quando comparado com implementações em DSP (5,2µs) realizada por Mattavelli e Fasolo (2000). Embora exista uma janela temporal de 12 anos entre as duas implementações, e sabendo-se que atualmente existem DSPs com velocidades mais elevadas, o uso da implementação de controladores de forma sequencial não é tão eficiente quando comparado com a aplicação em paralelo.

A utilização desta abordagem permite realizar a compensação seletiva em termos de tempo de processamento, mas limita o número de amostras das harmônicas à capacidade de processamento do *cluster*. Mais ainda, além do custo

elevado em se utilizar diversas FPGAs, outro grande problema desta abordagem se dá ao fato dos recursos de hardware não serem efetivamente reutilizados (maiores detalhes de reutilização de recursos serão discutidos na Seção 4.3). Além disso, neste caso a definição dos CLB é feita de forma manual e aplicável somente ao dispositivo específico para o qual foi programado.

Considerando as restrições apontadas acima, verifica-se que diversas questões estão abertas na implementação de arquiteturas de processamento para tais compensadores. Assim, a motivação de trabalho é apresentar o projeto de uma arquitetura de hardware que reduza as restrições apontadas anteriormente e seja flexível para implementação de outras classes de controladores e aplicações.

1.4 OBJETIVOS

O objetivo geral deste trabalho é a implementação de uma estrutura de controle híbrida empregando paralelismo de hardware, que permita a compensação seletiva de um amplo conjunto de harmônicas em filtros ativos de potência, no sentido de atender as normas de qualidade de energia. Para tal, o trabalho utiliza uma estrutura composta de uma FPGA, com múltiplos núcleos de processamento paralelizáveis, e um DSP, com processamento sequencial.

Com base no objetivo geral estabelecido, o trabalho é planejado considerando os seguintes objetivos específicos:

- Analisar a literatura para exploração de técnicas de compensação de harmônicas em FAPs que permitam o uso de paralelismo no cálculo do algoritmo de controle;
- Realizar a simulação numérica da técnica escolhida para compensação de harmônicas em filtros ativos de potência;
- Projetar e analisar estruturas de implementação para compensação de um amplo conjunto de harmônicas em filtros ativos de potência, utilizando dispositivos que permitam flexibilidade (DSP) e alta taxa de processamento (FPGA);

- Implementar as estruturas analisadas em DSP e FPGA visando a redução do tempo computacional a partir do uso de processamento paralelo em múltiplos núcleos de processamento;
- Realizar a validação experimental das estruturas de controle propostas, utilizando FPGA como coprocessador de um DSP, e comparar os resultados experimentais com os trabalhos desenvolvidos por Matavelli e Fasolo (2000) e Lopes (2012).

1.5 ESTRUTURA DO TRABALHO

Esta dissertação está organizada em uma estrutura de 5 capítulos. Neste primeiro capítulo foi apresentada uma contextualização do problema, trabalhos relevantes detalhados na literatura, juntamente com a motivação do trabalho. Finalizando este capítulo são apresentados os objetivos do presente trabalho.

Na sequência, o Capítulo 2 descreve o princípio de funcionamento dos filtros ativos de potência, bem como a técnica de compensação de harmônicas baseada na Transformada Discreta de Fourier, a qual pode ser implementada de forma paralela em dispositivos com múltiplos núcleos de processamento.

O Capítulo 3 aborda as arquiteturas, técnicas de software e hardware para aplicação de processamento paralelo, discutindo modelos de implementação de paralelismo de operações e exemplificando casos particulares aplicados a FAPs.

O Capítulo 4 apresenta a proposta de aplicação de processamento paralelo em um FAP, utilizando uma arquitetura de operação híbrida (sequencial e paralelo) entre um DSP e uma FPGA. São apresentadas simulações numéricas da técnica considerada, o projeto da arquitetura e resultados experimentais da implementação. Também é apresentada uma comparação com abordagens de diferentes autores.

Por fim, no Capítulo 5 são apresentadas as conclusões e propostas de trabalhos futuros.

2 FILTROS ATIVOS DE POTÊNCIA E COMPENSAÇÃO SELETIVA DE HARMONICAS

O conceito de um Filtro Ativo de Potência (FAP) consiste na inserção de correntes harmônicas conforme originadas pela carga não linear, possibilitando a compensação reativa e tornando as correntes de casa fase senoidais (SILVEIRA, 2013). O problema do emprego dessa abordagem com um amplificador linear é o baixo desempenho do mesmo, o que o torna ineficiente para sistemas de potência (PENG, AKAGI, NABAE, 1988). Gyugyi e Strycula (1976) apresentam os princípios de funcionamento de diversos filtros ativos compostos por conversores PWM (*Pulse-Width Modulation*) com transistores de potência.

Atualmente existem componentes semicondutores de alta potência como IGBTs (*Insulated Gate Bipolar Transistor*) e MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*), assim como dispositivos de processamento (DSPs e FPGAs) para controle dinâmico em tempo discreto de bom desempenho, o que vem motivando inúmeros trabalhos nesta área ao longo dos últimos anos.

Neste capítulo são apresentados os conceitos básicos de funcionamento de um FAP, algumas das técnicas de controle utilizadas, como proporcional ressonante (PR), juntamente com a estratégia de controle baseada na Transformada de Fourier discreta (DFT) proposta por Mattavelli e Fasolo (2000). O princípio das transformações de coordenadas $abc/\alpha\beta/dq0$ é também apresentado neste capítulo, dado o fato da sua utilização ser essencial para simplificação do sistema em bifásico, podendo assim desacoplar os eixos de controle.

2.1 FILTROS ATIVOS DE POTÊNCIA

Na busca pela melhoria da qualidade de energia, a literatura apresenta a inserção de filtros ativos de potência na rede como uma alternativa que contribui para diminuição dos distúrbios na rede e a atenuação das distorções harmônicas.

Os FAPs utilizam conversores estáticos para compensar, atenuando harmônicas de corrente (ou tensão), minimizando os problemas causados por tais

harmônicas a cargas sensíveis. O princípio de funcionamento de um FAP é que o mesmo deve fornecer as componentes harmônicas de cargas não lineares. Desta forma, a corrente drenada da fonte de alimentação será senoidal mesmo na presença de cargas não lineares (AFONSO et al, 2001). As harmônicas injetadas pelo filtro ativo são geradas a partir da comutação de transistores de potência operados por sinais modulados em largura de pulso (PWM).

Os filtros ativos de potência podem ser aplicados a rede de forma paralela, em série ou em configurações híbridas (série-paralela). A aplicação paralela apresenta melhores resultados na compensação das harmônicas de corrente (GYUGYI e STRYCUDA, 1976). Essa é a estrutura do FAP que será considerada neste trabalho.

O diagrama de blocos de um filtro ativo de potência paralelo elementar é apresentado na Figura 2. Este filtro é composto por uma fonte de corrente controlada (FAP) acoplada em paralelo com a carga que origina as distorções (carga com correntes harmônicas a serem compensadas). Desta forma, o filtro exerce a função de compensador, inserindo ou absorvendo correntes harmônicas da rede em que está acoplado, a fim de que a carga seja vista pela fonte de alimentação como sendo linear.

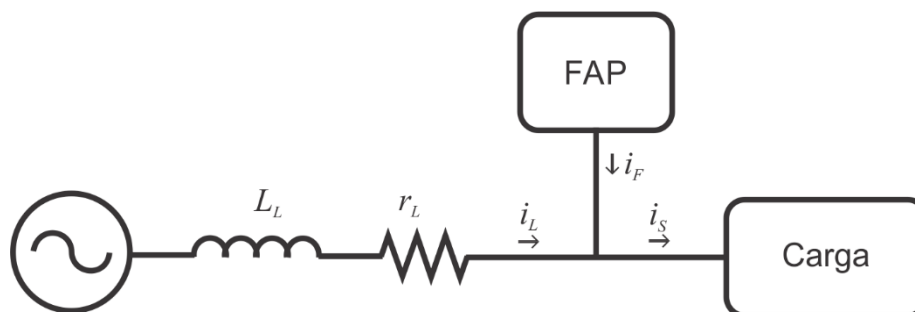


Figura 2 - Filtro Ativo de Potência Paralelo

2.1.1 Estrutura de um Sistema de Controle para um FAP Acoplado em Paralelo

Uma visão expandida da Figura 2 é apresentada na Figura 3, onde estão detalhados subsistemas que compõem um FAP paralelo. Nesta figura é apresentado um sistema elétrico com cargas não lineares conectadas a rede, também como um filtro ativo de potência. O filtro ativo é composto basicamente por um filtro passivo, um conversor do tipo inversor de tensão e uma unidade digital de processamento, para implementação da estratégia de controle do FAP.

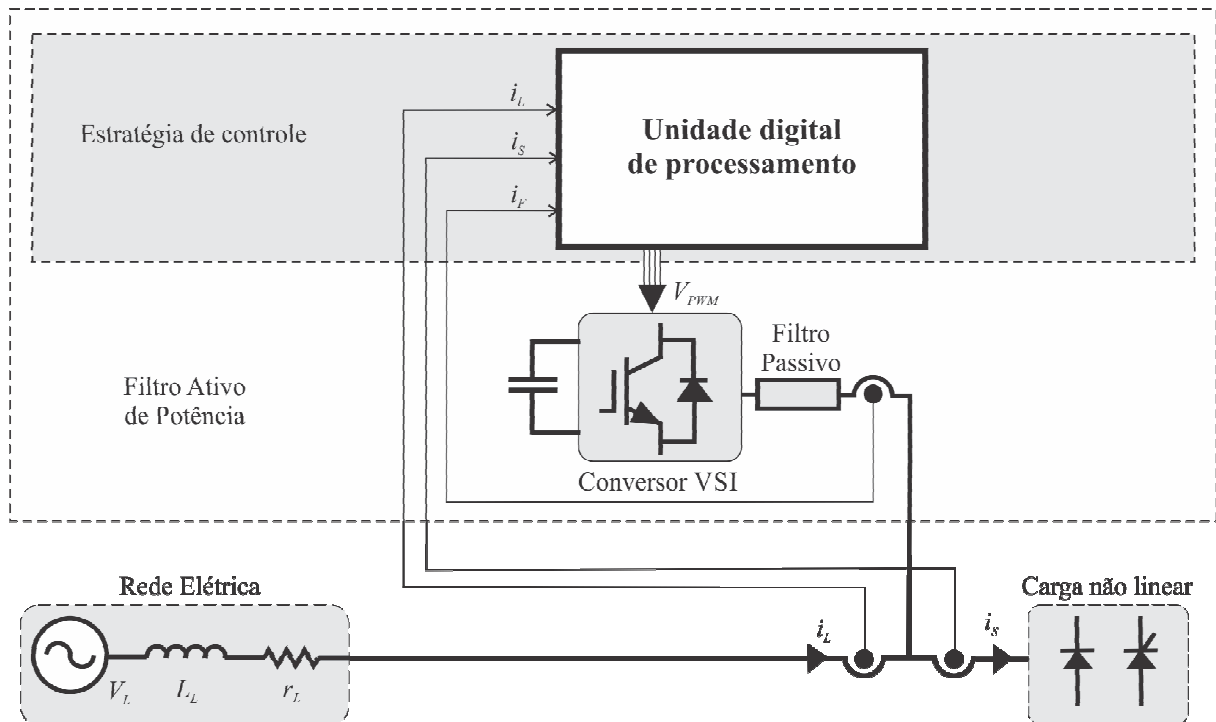


Figura 3 - Diagrama simplificado (monofásico): FAP, rede, carga e estratégia de controle

Os subsistemas que compõem a Figura 3 estão divididos em blocos e detalhados como segue:

- **Rede:** constituída por uma fonte de tensão alternada V_L e uma impedância série, composta pela indutância L_L e pela resistência r_L , pela qual circula a corrente i_L que alimenta a carga;
- **Carga (não linear):** normalmente um circuito eletrônico que drena corrente (i_S) de forma não linear com a tensão, resultando em harmônicas de corrente;
- **FAP:** é constituído por um filtro passivo (com indutância L_F e resistência r_F) e um conversor VSI (*Voltage Source Inverter*), que é acionado por uma estratégia de controle através de sinais PWM. O conversor aplica tensões ao filtro de forma que sejam geradas as componentes harmônicas (i_F) de corrente necessárias para a corrente de carga (i_S), de forma que da rede seja consumida corrente senoidal da rede (i_L);
- **Estratégia de Controle:** sistema digital com conversores A/D (analógico-digital), gerador de PWM e sistema de processamento para o algoritmo de controle. Este algoritmo utiliza operações matemáticas para analisar a forma de onda e definir a corrente que deve ser drenada ou injetada pelo inversor em cada intervalo de chaveamento de forma a compensar os harmônicos

selecionados. Através de um controlador de corrente é gerado um sinal de tensão adequado (V_{PWM}) para implementar a corrente de referência (i_{Fk}^*) no filtro passivo.

2.1.2 Modelo do Filtro Ativo de Potência

Nesta seção é realizada a modelagem do FAP paralelo acoplado a um sistema trifásico. O objetivo é entender o comportamento da corrente de compensação em relação as principais grandezas do sistema. O FAP deve ser projetado de forma que se aproxime o máximo possível de uma fonte de corrente ideal. Quanto mais próximo de uma fonte de corrente ideal, melhor será a compensação das harmônicas de corrente da carga.

A partir da Figura 3, a representação por fase em coordenadas $\alpha\beta$ é apresentada a seguir, conforme Figura 4. A representação do sistema dado na Figura 4 descreve apenas uma aproximação de um FAP real. Em um dispositivo real, sistemas como este apresentam uma quantidade expressiva de dinâmicas que não são passíveis de serem modeladas, ou ainda, que tornam o modelo matemático extremamente complexo. Assim, são consideradas apenas as dinâmicas mais relevantes para a geração da corrente de compensação.

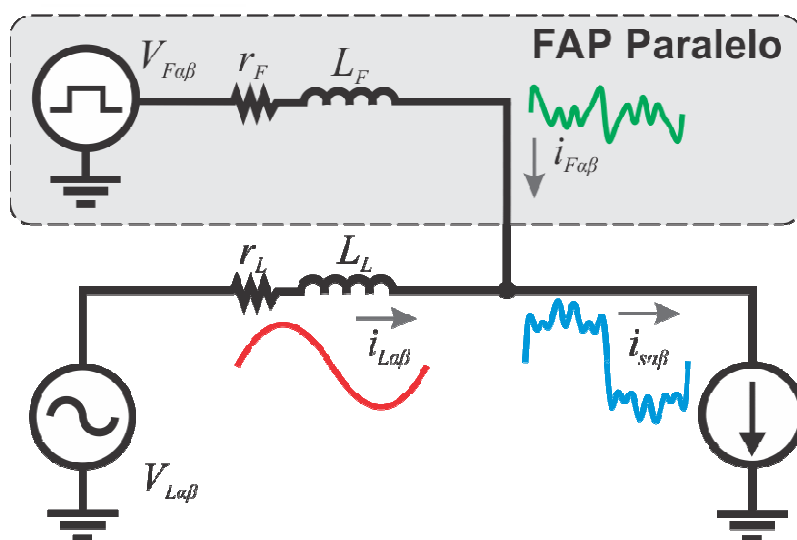


Figura 4 - Circuito equivalente em coordenadas $\alpha\beta$.
Fonte: Adaptado Lopes (2012).

Analisando a Figura 4, conforme Lopes (2012), a dinâmica da corrente de compensação, em cada eixo $\alpha\beta$, pode ser obtida como:

$$\frac{d}{dt}i_F(t) = ai_F(t) + bv_F(t) + b_1v_L(t) + b_2i_S(t) \quad (2.1)$$

em que $a = -\frac{r_F + r_L}{L_F + L_L}$, $b = \frac{1}{L_F + L_L}$, $b_1 = -\frac{r_L}{L_F + L_L}$ e $b_2 = \frac{-1}{L_F + L_L}$.

Na equação (2.1) verifica-se que as indutâncias do filtro passivo e da linha contribuem para suavizar a corrente $i_F(t)$ e, portanto, realizam papel significativo na compensação das harmônicas da corrente $i_S(t)$. Assim, se espera que no projeto do filtro passivo se considere que tais indutâncias limitam a banda passante das harmônicas a serem geradas.

Conforme reporta Stefanello (2010), a execução de forma digital da estratégia de controle de um FAP insere um efeito de atraso de transporte na equação de tempo discreto. De (2.1), discretizando a corrente i_F pode-se reescrever a mesma como:

$$i_F(k+1) = g i_F(k) + h v_F(k) + h_1 v_L(k) + h_2 i_S(k) \quad (2.2)$$

em que $g = e^{aT_s}$, $h = b \int_0^{T_s} e^{a\lambda} d\lambda$, $h_1 = b_1 \int_0^{T_s} e^{a\lambda} d\lambda$ e $h_2 = b_2 \int_0^{T_s} e^{a\lambda} d\lambda$.

Inserindo o atraso de transporte em um modelo de espaço de estados através da variável $\psi(k+1)$ em relação a $V_F(k)$, resulta:

$$X(k+1) = A_1 X(k) + B_1 U(k), \quad y_F(k) = [1 \ 0] X(k), \quad (2.3)$$

onde os vetores de estado e de entrada são escolhidos como

$$X(k) = \begin{bmatrix} i_F(k) \\ \psi(k) \end{bmatrix}, \quad U(k) = \begin{bmatrix} v_F(k) \\ v_L(k) \\ i_S(k) \end{bmatrix}$$

e as matrizes de estado e de entradas são dadas por

$$A_1 = \begin{bmatrix} g & h \\ 0 & 0 \end{bmatrix}, \quad B_1 = \begin{bmatrix} 0 & h_1 & h_2 \\ 1 & 0 & 0 \end{bmatrix}.$$

O modelo apresentado em (2.3) pode ser utilizado para simulações numéricas do filtro ativo de potência, comandado por uma estratégia de controle específica. Entretanto, como o foco deste trabalho consiste no projeto e implementação de arquiteturas de hardware para processamento de algoritmos de controle de FAPs, as simulações numéricas considerarão o FAP como uma fonte de corrente ideal.

2.2 SISTEMAS DE CONTROLE PARA FILTROS ATIVOS DE POTÊNCIA

Como discutido anteriormente, devido a intensa pesquisa que vem sendo realizada em torno de filtros ativos de potência, um grande número de estratégias de controle tem sido aplicado aos mesmos. Tais estratégias incluem diferentes técnicas de controle para objetivos distintos como redução de reativos para a frequência fundamental, compensação de harmônicas, mudança de coordenadas e controladores de corrente.

Embora a estratégia de controle possa ser vista como um conjunto de técnicas que individualmente são utilizadas para atender cada objetivo, particularmente as técnicas de compensação de harmônicas geralmente demandam processamento mais intensivo. O cálculo da corrente de referência para compensação de um conjunto de harmônicas pode ser realizado por diferentes técnicas, seja em referencial estacionário ou referencial girante. Neste sentido é importante a aplicação de transformações de coordenadas, como a $abc/\alpha\beta 0$ e $abc/dq0$, que permitem redução do número e o desacoplamento de fases ou a aplicação de controladores síncronos em referenciais girantes.

É importante ressaltar que este trabalho está direcionado para ao projeto da arquitetura de hardware para implementação de compensadores de correntes harmônicas. Desta forma, as seções que seguem apresentam conceitos de técnicas de compensação de forma a se obter um compensador de tempo discreto adequado a implementação paralela. Inicialmente são discutidas as transformações de coordenadas e os controladores mais tradicionais geralmente aplicados a esses casos. Na sequência será apresentado o conceito de compensação utilizando um filtro FIR obtido a partir da transformada discreta de Fourier e compensadores ressonantes.

2.2.1 Transformações de Coordenadas $abc/\alpha\beta 0$ e $abc/dq0$

A transformação de $abc/\alpha\beta 0/dq0$, também denominada de transformação de Clarke e Park, tem a função de representar um sistema trifásico abc utilizando um equivalente bifásico $\alpha\beta$, ou ainda, em um referencial síncrono com a rede em dq (KRAUSE, 2002). A representação desse novo sistema é constituída de coordenadas

ortogonais, de maneira que não estejam mais defasadas igualmente em 120° , como quando estavam representadas no sistema abc (FONT, 2003). O produto desta transformação resulta em um sistema estacionário com campo girante de igual velocidade, assim sendo, o sistema girante permanecerá estático em relação ao seu referencial girante (KRAUSE, 2002).

A transformação para um referencial girante (dq) resulta em sistema de referência síncrona com a rede, em que o eixo direto é denominado de “ d ”, o eixo em quadratura de “ q ”. Ainda, a forma completa destas transformações inclui uma componente zero (0) denominada de homopolar, que em alguns casos pode ser não nula, como na alimentação de sistemas a quatro fios.

A representação das variáveis de correntes e tensões do sistema (abc) sendo aplicada ao sistema $dq0$, pode ser escrita como

$$\mathbf{V}_{dq0} = \mathbf{B}^{-1} \mathbf{V}_{abc}. \quad (2.4)$$

A matriz de transformação $abc/dq0$ é dada por:

$$\mathbf{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\text{sen}(\omega t) & -\text{sen}(\omega t - 120^\circ) & -\text{sen}(\omega t + 120^\circ) \end{bmatrix}. \quad (2.5)$$

O termo $\mathbf{P} = \sqrt{2/3}$ é utilizado para que a potência seja invariante na transformação. Os vetores de tensões de são:

$$\overrightarrow{V}_{abc} = \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix}, \quad \overrightarrow{V}_{dq0} = \begin{bmatrix} V_0 \\ V_d \\ V_q \end{bmatrix}. \quad (2.6)$$

Ainda, é possível converter a resultante $dq0$ novamente nas variáveis do sistema síncrono abc através da matriz inversa da Equação (2.5).

2.2.2 Técnicas de Geração de Correntes de Referência para Compensação de Harmônicas

A estratégia de controle é utilizada para gerar um sinal de comando para o conversor VSI de forma que o FAP compense na corrente de alimentação as deformações da corrente de carga. O recente avanço dos dispositivos de processamento tem levado ao uso quase que exclusivo de técnicas de controle em tempo discreto em FAPs. Estas também chamadas de técnicas de controle digital, devido a forma de implementação em dispositivos de processamento digital. Assim, neste trabalho são analisadas técnicas de controle digital, que permitem desenvolvimento de algoritmos com grande versatilidade. Em contrapartida, a utilização do tempo discreto possui limitações decorrentes do processo de amostragem e tempo de processamento do algoritmo.

A literatura atual aborda diversas técnicas de controle para compensação de harmônicas em FAPs, dentre as quais destaca-se as técnicas de controle digital por histerese, controladores PI (Proporcional Integral), *deadbeat*, lógica *fuzzy*, entre outras. Buso (1998) destaca que as técnicas de controle linear e por histerese podem apresentar bons resultados em aplicações práticas no controle de filtros ativos.

As abordagens mais tradicionais de controle empregam um controlador linear que se baseia na subtração dos valores de referência (I_{ref}) pela corrente lida da alimentação (I_k). A resultante dessa operação é denominada de valor do erro (I_e):

$$I_e = I_{ref} - I_k \quad (2.7)$$

O erro é então processado por uma técnica de controle de tempo discreto em um processador digital de sinais de forma a gerar um sinal de comando para o conversor VSI. A partir do sinal de comando gerado pelo controlador, um sinal equivalente é modulado através de um contador de tempo resultando em dois níveis (PWM) com energia equivalente ao sinal calculado pela estratégia de controle.

Entre as técnicas de controle empregadas, a implementação de controladores digitais baseados em PID tem sido a mais utilizada. Um controlador PID é capaz de realizar ações do tipo proporcional (P), integral (I) e derivativa (D), que atuam sobre o sinal de erro de um determinado sistema. Estudos como o apresentado por Aström e Hägglund (2001) apontam que, na época, cerca de 90% das malhas de controle utilizavam essa técnica. O elevado índice de utilização desta técnica deve-se a uma

série de fatores como baixo custo computacional, fácil implementação e desempenho satisfatório em boa parte dos casos práticos (QIN e BADGWELL, 2003). Entretanto, equipamentos que requerem condicionar energia, necessitam que sejam gerados sinais com amplo espectro de frequências múltiplas da fundamental. No caso dos filtros ativos esse contexto pode abordar desde um sinal senoidal de sequência positiva até sinais não senoidais de amplo espectro harmônico (AREDES, 1996).

Uma alternativa interessante é o uso de um controlador girante que pode ser desenvolvido abordando dois principais enfoques: o princípio do modelo interno; e transformação de um controlador PI para um referencial síncrono com a rede, de forma que as variáveis a serem controladas são vistas como estacionárias pelo controlador.

Na abordagem estabelecida a partir do princípio do modelo interno, o próprio princípio estabelece que a saída do sistema realimentado é habilitada a rastrear a referência sem qualquer erro em regime permanente, rejeitando perturbações, desde que o sistema atenda as seguintes condições: 1 – esteja em malha fechada e estável; 2 – o modelo matemático do sinal de entrada com os distúrbios está contido na função de transferência em malha aberta (FUKUDA e YODA, 2001). Entretanto, incluir diretamente o modelo dos distúrbios em um filtro ativo pode ser uma tarefa complicada. Uma alternativa é incluir os modelos das harmônicas mais significativas na forma de funções ressonantes. Esta técnica dá origem ao conceito do controlador proporcional ressonante (PR) que tem sido utilizado em diversas aplicações, como em geração distribuída e em filtros ativos de potência, e será discutido na próxima seção.

Um controlador PI em referencial síncrono com a rede produz erro nulo em regime permanente para sinais na frequência do referencial (ZMOOD e HOLMES, 2003). Assim, pode-se desenvolver um controlador PR utilizando controladores PI a partir da transformada de Park. A Figura 5 apresenta a representação de uma estrutura com controladores PR utilizando uma transformação de Park para um referencial síncrono com frequência ω_0 . Neste caso os erros das correntes são representados pelos sinais e_α e e_β em eixos ortogonais e referencial estacionário. Na sequência, estes são transformados em eixos rotativos (e_d, e_q) através da transformada Park e aplicados a controladores do tipo PI. A transformação inversa é então aplicada aos sinais de controle (V_d, V_q) para se obter a tensão de compensação (V_α, V_β) que serão utilizadas para geração do sinal PWM, e acionar o conversor VSI.

Embora esta técnica seja interessante para controlar sinais senoidais, quando o número de harmônicas é elevado a mesma se torna de difícil implementação pois são necessárias transformações de coordenadas e controladores individuais para cada harmônica, em cada eixo.

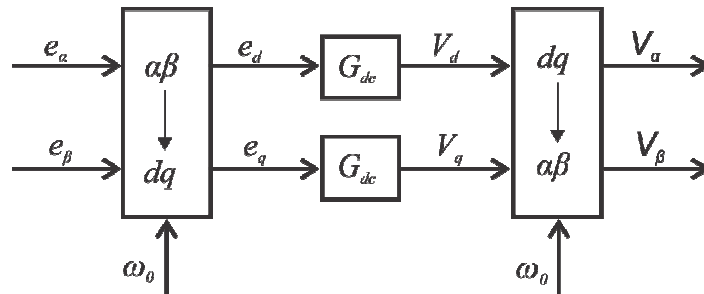


Figura 5 - Controle de corrente em eixos rotativos

2.2.3 Estratégias de Controle Baseado em Compensador Seletivo de Harmônicas

A estratégia fundamentada na DFT, é uma metodologia utilizada para obtenção de correntes de referência no domínio da frequência. Através desta, é possível obter a fase e amplitude das componentes harmônicas em tempo discreto. Entretanto, um dos grandes problemas de se utilizar a DFT de forma direta, é que os algoritmos baseados nesta técnica exigem um grande custo computacional. Uma forma de se realizar os mesmos cálculos de maneira mais eficiente é utilizar da Transformada Rápida de Fourier (FFT – *Fast Fourier Transform*), que realiza a DFT, de forma mais eficiente e reduz o número de operações de N^2 para $N \cdot \log_2(N)$ (ASIMINOAEI, et al. 2005). Assim, é possível, de forma seletiva, compensar apenas as harmônicas de interesse, porém, é importante que a corrente na fonte permaneça senoidal. Se a obtenção das correntes for de forma indireta, o algoritmo pode ser ligeiramente simplificado, determinando apenas a componente fundamental das correntes de linha (i_{aL1} , i_{bL1} , e i_{cL1}) através da subtração das mesmas pelas respectivas correntes das cargas, tal como é exibido em (2.8).

$$\begin{cases} i_{aref} = i_{aL1} - i_{aL} \\ i_{bref} = i_{bL1} - i_{bL} \\ i_{cref} = i_{cL1} - i_{cL} \end{cases} \quad (2.8)$$

A Figura 6 apresenta o diagrama de blocos que ilustra a estratégia na obtenção das correntes de referência através da DFT.

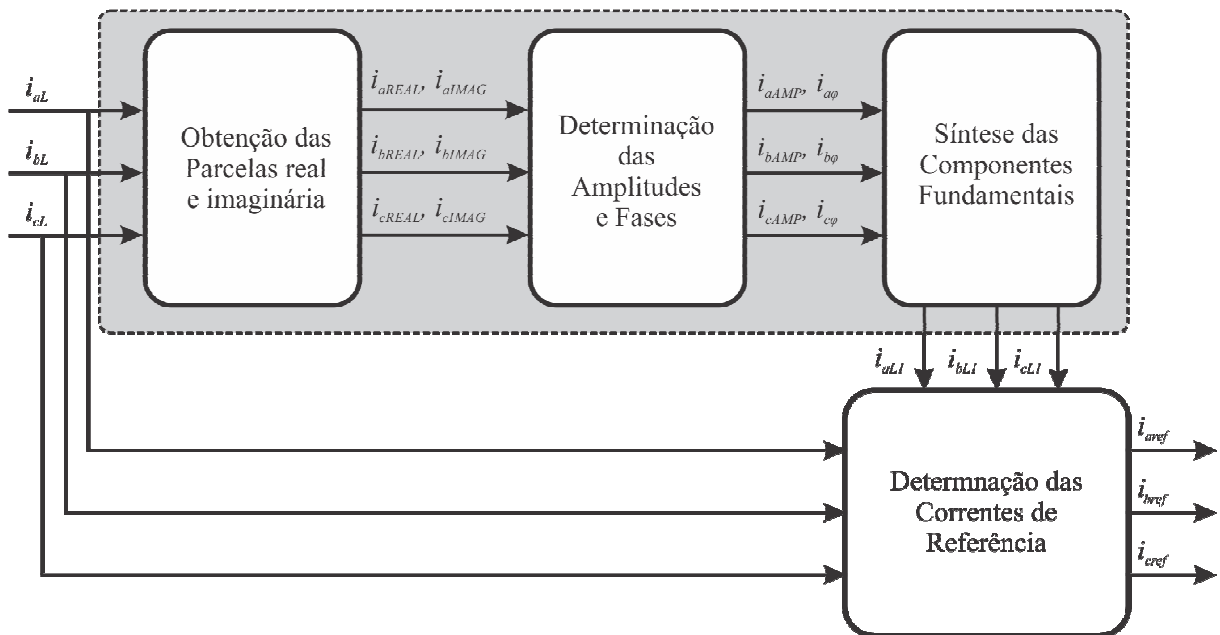


Figura 6 - Estratégia baseada na DFT

A estratégia apresentada na Figura 6 apresenta correntes de referência com todo o espectro harmônico, o que é praticamente impossível de se implementar em situações reais, pois exigiria uma fonte de corrente ideal. Em aplicações reais o número de comutações do conversor VSI é limitado e normalmente somente é considerada a compensação das harmônicas mais relevantes. Tal problema é amplamente discutido na literatura, destacando-se o trabalho proposto por Mattavelli e Fasolo (2000), o qual é utilizado como uma das bases para o desenvolvimento deste trabalho.

Com o objetivo de superar as dificuldades do uso da DFT, Mattavelli e Fasolo (2000) realizaram o controle de eixos síncronos para frequências pré-determinadas, aplicando a rotação de eixos para componentes de sequência positiva e negativa. Os autores realizam modificações para uso de ponto fixo, que permitem a redução de erros desta natureza, juntamente com o uso de um controle convencional para regulação das variações de carga. A proposta de Mattavelli e Fasolo (2000) é baseada no diagrama de blocos da Figura 7. Este diagrama apresenta um FAP paralelo utilizado para compensar a corrente da carga não linear (i_s). Um controlador de corrente utiliza o sinal de referência, gerado pelo compensador de harmônicas, e um

signal de um controlador convencional, relacionado a fundamental, para inserir uma corrente de compensação (i_F) no ponto de conexão.

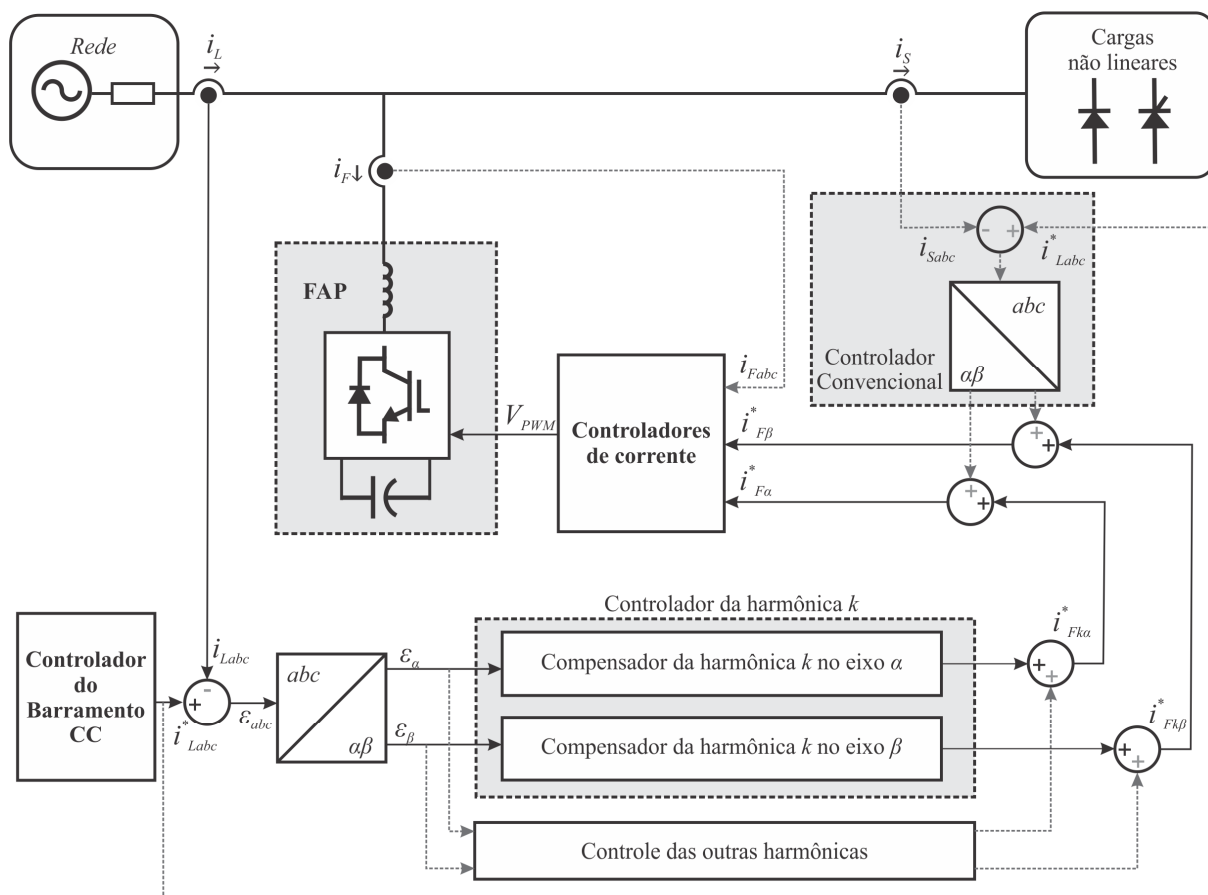


Figura 7 - Sistema de potência e controle síncrono através de diagrama em blocos
Fonte: Adaptado de Mattavelli e Fasolo (2000).

Analisando a Figura 7 observa-se que:

- Para compensação de cada harmônica adicional é necessário um controlador adicional em paralelo ao controlador da k -ésima harmônica;
- A função do controlador convencional é garantir que somente a potência ativa da carga seja drenada da rede, compensando reativos na frequência fundamental ω_0 ;
- O controlador de corrente irá acionar o FAP para gerar uma corrente i_L com base nas referências $i_{F\alpha}^*$ e $i_{F\beta}^*$, que são obtidas da soma da saída dos compensadores de harmônicas e do controlador convencional.

Na Figura 8 é apresentada a decomposição do controlador síncrono em componentes ressonantes e a posterior obtenção dos filtros FIR dados por $HC(z)$. As entradas dos controladores, os erros representados por ϵ_α e ϵ_β , são utilizados para

gerar as correntes de referência $i_{F\alpha}^*$ e $i_{F\beta}^*$ para compensação das harmônicas. O objetivo é obter uma única expressão para o compensador $HC(z)$ que compense todas as harmônicas de interesse.

Na Figura 8(a), os reguladores $HC_k(s)$ geram a compensação com erro nulo de estado estacionário para sequências positivas e negativas de cada harmônica. Assim, cada harmônica necessita de quatro controladores síncronos e das respectivas transformações de coordenadas. É importante notar que cada transformação exige os ângulos adequados θ_k que devem ser determinados através de algoritmos de sincronismo. Os deslocamentos ϕ_k são utilizados para compensação de atrasos referentes ao processamento, no momento em que novamente é realizada a conversão para eixos de referência estacionária.

A Figura 8(b) apresenta o processo descrito acima, para uma harmônica k , de forma equivalente considerando uma modulação síncrona. A simplificação permite representar as transformações de coordenadas como funções trigonométricas. Assim, é possível representar em uma única expressão cada compensador harmônico, incluindo as transformações de coordenadas, para as componentes de sequência positiva e negativa, como:

$$\begin{aligned} HCT_k(s) = & \cos \phi_k [HC_k(s - jk\omega_0) + HC_k(s + jk\omega_0)] + \dots \\ & \dots + j \sin \phi_k [HC_k(s - jk\omega_0) - HC_k(s + jk\omega_0)] \end{aligned} \quad (2.9)$$

O uso deste tipo de regulador permite que sejam eliminados erros de estado estacionário para as frequências selecionadas. Ainda, Mattavelli e Fasolo (2000) utilizaram controladores integrais na expressão (2.9) nas sequências positivas e negativas para redução de erros em regime estacionário de forma que:

$$HC_k(s) = \frac{K_{ik}}{s}. \quad (2.10)$$

Grande parte do esforço computacional para cálculo da estratégia de controle está concentrado na execução dos reguladores $HCT_k(s)$ dados em (2.9). Levando em consideração as transformações de eixos girantes, o sistema de compensação exige alta complexidade e grande esforço computacional para processamento das transformações de coordenadas e de $HCT_k(s)$ para diversas harmônicas. Assim, é conveniente representar o sistema da Figura 8(a) como um compensador ressonante $HC_{kAC}(s)$, para cada harmônica, vide Figura 8(c).

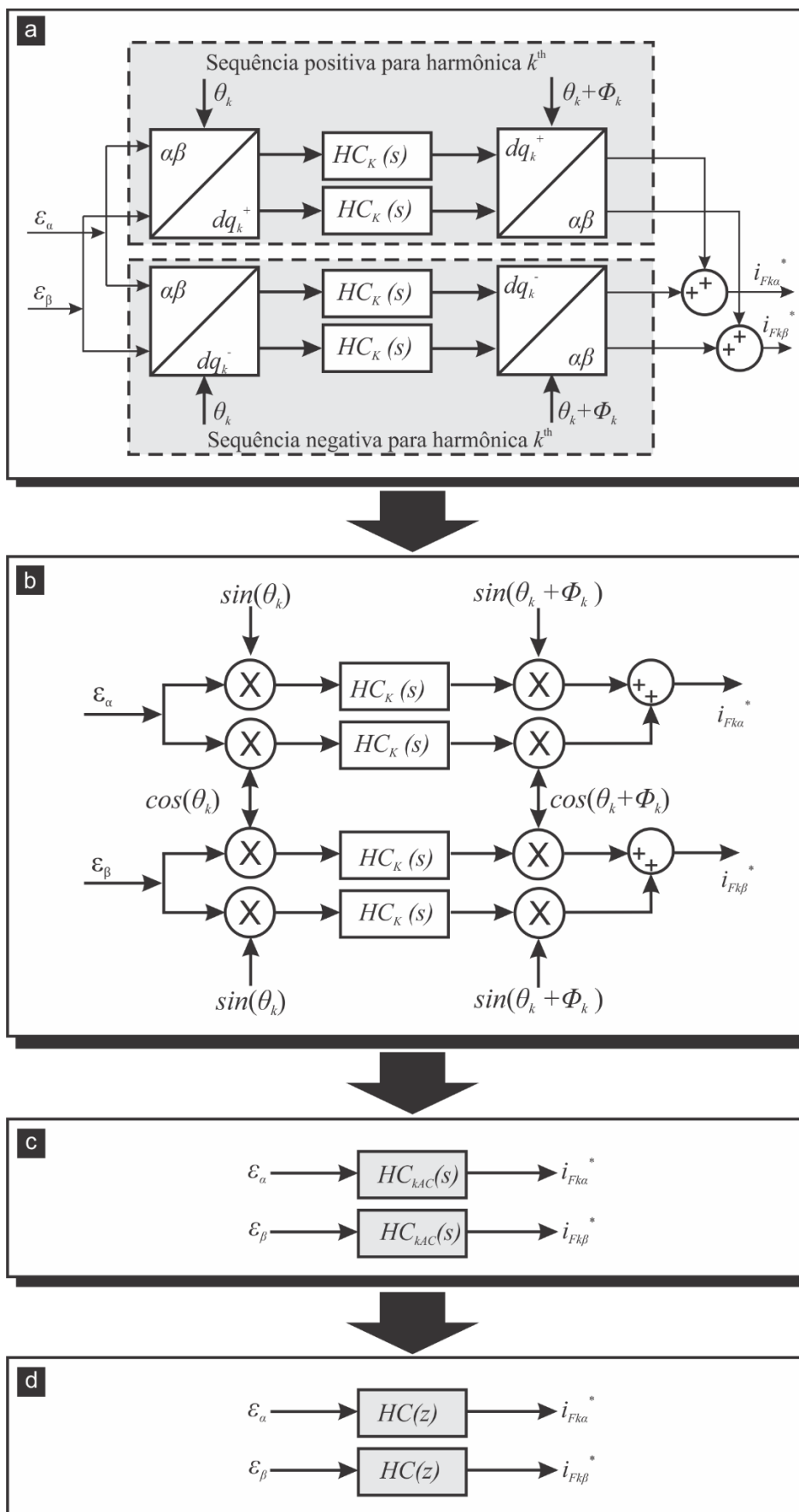


Figura 8 – Determinação dos compensadores de harmônicas a partir da DFT. Fonte: Adaptado de Mattavelli e Fasolo (2000).

Aplicando (2.10) em (2.9) é possível obter:

$$HC_{kAC}(s) = 2K_{lk} \left(\frac{s \cos(\phi_k) - k\omega_0 \sin(\phi_k)}{s^2 + (k\omega_0)^2} \right). \quad (2.11)$$

Segundo Mattavelli e Fasolo (2000), pode-se expressar o compensador girante considerando $\phi_k = 0$ sem alterações significativas quando o tempo de cálculo é reduzido no período de amostragem. Assim, o compensador de harmônicas para todo o conjunto de harmônicas selecionadas a serem compensadas pode ser expresso por:

$$HC_{AC}(s) = \sum_{h \in N_h} HC_{AC}(s) = \sum_{h \in N_h} \frac{2K_{lh}s}{s^2 + (h\omega_0)^2}. \quad (2.12)$$

em que h o índice da harmônica e N_h é o conjunto de harmônicas (ex.: $N_h = \{3, 5, 7, \dots\}$). O projeto dos ganhos de cada harmônica pode ser realizado considerando:

$$\sum_{h \in N_h} \frac{2K_{lh}s}{s^2 + (h\omega_0)^2} = \sum_{h \in N_h} \frac{K_{Fh}F_h}{1 - F_h}. \quad (2.13)$$

Em (2.13), F_h é um filtro passa banda dado por

$$F_h = \frac{s}{s^2 + 2\xi_h h\omega_0 s + \omega_0^2} \quad (2.14)$$

e o ganho K_F é dado por:

$$K_{Fh} = 2K_{lh} \quad (2.15)$$

ou ainda:

$$K_{Fh} = \frac{K_{lh}}{\xi_h h\omega_0} \quad (2.16)$$

A eliminação do termo de primeira ordem do denominador pode ocorrer através da escolha $2\xi_h h\omega_0 = 1$.

A Transformada Inversa de Laplace dos filtros em (2.12) resulta

$$\sum_{h \in N_h} \frac{K_{Fh}s}{s^2 + (h\omega_0)^2} \rightarrow \sum_{h \in N_h} K_{Fh} \cos(h\omega_0 t) \quad (2.17)$$

Um filtro digital FIR pode ser obtido aplicando-se a Transformada Discreta de Fourier na função temporal de (2.17). Assim, considerando que a frequência de amostragem é escolhida como um múltiplo N da frequência fundamental ($\omega_s = N \cdot \omega_0$), o compensador de harmônicas em tempo discreto pode ser escrito como:

$$HC(z) = \sum_{h \in N_h} F_h(z) \quad (2.18)$$

em que:

$$F_h(z) = \frac{2}{N} \sum_{i=0}^{N-1} K_{Fh} \cos\left(\frac{2\pi}{N} hi\right) z^{-i} \quad (2.19)$$

ou

$$F_h(z) = \beta_{h0} + \beta_{h1}z^{-1} + \beta_{h2}z^{-2} + \dots + \beta_{hN-1}z^{-N+1} \quad (2.20)$$

A expressão (2.19) é a transformada Z da resposta ao impulso de um filtro FIR. Assim, de forma equivalente, a expressão (2.18) é também a resposta ao impulso de um filtro FIR, onde cada coeficiente pode ser obtido somando-se os coeficientes dos filtros de cada harmônica, ou seja:

$$\alpha_i = \sum_{h \in N_h} \beta_{hi}, \quad i = [1, N] \quad (2.21)$$

Utilizando-se (2.21), e aplicando a Transformada Z Inversa, obtém-se um filtro FIR que pode ser utilizado para compensar um conjunto seletivo de harmônicas (N_h) em um FAP, como mostrado em (2.22).

$$i_f^*(k) = \alpha_0 i_s(k) + \alpha_1 i_s(k-1) + \alpha_2 i_s(k-2) + \dots + \alpha_{N-1} i_s(k-N+1) \quad (2.22)$$

É importante notar que embora a estrutura proposta por Mattavelli e Fasolo (2000) considere o erro de corrente como entrada no compensador harmônico, a expressão (2.22), da mesma forma que em Lopes (2012), considera a corrente de carga. No capítulo 4 será demonstrado que tal modificação pode ser utilizada para compensação pois os geradores periódicos incluídos na malha aberta compensam as harmônicas selecionadas.

2.3 ANÁLISE DO COMPENSADOR DE HARMÔNICOS OBTIDO PELA DFT

A expressão (2.22) é de extrema importância neste trabalho pois permite calcular compensação de diversas harmônicas através de uma única expressão e sem a utilização de referenciais síncronos. Além disso, o cálculo desta expressão através de dispositivos de processamento digital, que requer N multiplicações e $N-1$ somas, pode ser realizado por diferentes tipos de arquiteturas:

- **Processamento sequencial:** mesmo em arquiteturas em que a CPU possua multiplicador por hardware, o cálculo de (2.22) tomará $2N-1$ ciclos, para cada eixo do compensador de harmônicos. Considerando um exemplo, em que se deseja compensar até a 39ª harmônica da fundamental de 60 Hz, com 20 amostras por ciclo desta harmônica (para compensação significativa), se necessita executar filtros de ordem $N=780$ em uma fração do período de amostragem de $21\mu\text{s}$ ($f_s=46800$ Hz). Desta forma, para cálculo da estratégia de controle de forma sequencial são necessários milhares de ciclos em processadores digitais de sinais com frequência de operação na ordem de GHz.
- **Processamento paralelo:** no caso em que é possível paralelizar diversos núcleos de processamento, a expressão (2.22) pode ser igualmente calculada de forma paralela, pois em um intervalo de amostragem todos os elementos do cálculo são independentes. Assim, considerando o exemplo acima em uma arquitetura com 100 núcleos paralelizáveis, o respectivo sistema de processamento tomaria em torno de 15 a 20 ciclos para calcular cada eixo do compensador. Desta forma, o compensador pode ser implementado mesmo em frequências de processamento relativamente reduzidas ($\sim 50\text{MHz}$). Assim, este tipo de arquitetura é particularmente apropriada para a estratégia de controle discutida, ainda mais quando se considera que atualmente existem diversas opções de hardware para implementação de processamento paralelo, como unidades gráficas de processamento (GPU) e FPGAs, entre outras opções. Estas tecnologias de hardware serão discutidas em maiores detalhes no próximo capítulo.

2.4 RESUMO DO CAPÍTULO

Neste capítulo foi discutido o princípio de funcionamento dos filtros ativos, dando ênfase a estratégia de controle. Considerando vantagens apontadas por Mattavelli e Fasolo (2000), como a baixa influência de erros de quantização, é apresentado o compensador seletivo de harmônicas baseado em DFT. A contrapartida dessa abordagem é o alto custo computacional, especificamente a

capacidade de processamento para implementações com processamento sequencial. Assim, é feita também uma breve análise considerando as vantagens da expressão resultante e sua aplicabilidade em diferentes tipos de arquiteturas de processamento. A eficiência desta estratégia em gerar referências que efetivamente compensem harmônicas de cargas não lineares na corrente de entrada será analisada computacionalmente no capítulo 4.

Como o foco deste trabalho é o desenvolvimento de uma arquitetura de hardware para implementação de estratégias de controle, no capítulo que segue são tratadas as questões pertinentes aos dispositivos de hardware, que podem ser utilizados para tal, juntamente com técnicas de codificação que permitam acelerar o processo de projeto e maximizar o uso dos recursos.

3 PROCESSAMENTO PARALELO

No capítulo anterior foram discutidos e analisados conceitos de filtros ativos e compensação de harmônicas utilizando um algoritmo baseado na DFT. A análise realizada sugeriu o uso de dispositivos de processamento paralelo para implementação do respectivo algoritmo. Considera-se como processamento paralelo, quando dois ou mais núcleos de processamento cooperam entre si para solucionarem determinada tarefa. A utilização de processamento paralelo permite processar dados de maneira eficiente com dedicação ao uso de recursos que explorem eventos concorrentes no processo computacional (HWANG e BRIGGS, 1984). O processamento paralelo contempla de maneira genérica, desde a aplicação, a divisão de algoritmos em tarefas paralelas, linguagens de desenvolvimento, compiladores e arquiteturas. Enfim, toda a complexa rede de componentes que estão envolvidos em um processo computacional deve estar preparada para cooperar no processamento paralelo.

Este capítulo aborda: nos aspectos de hardware, os dispositivos e arquiteturas disponíveis atualmente no mercado para processamento paralelo; e, no contexto de software, linguagens e técnicas de desenvolvimento que permitam este tipo de processamento. A discussão é direcionada para os objetivos deste trabalho, descrevendo assim como é realizado o processamento de sinais em FPGAs, propondo o uso de técnicas para otimização no processamento. Finalizando o capítulo é analisado um caso de processamento paralelo aplicado a filtros ativos de potência.

3.1 ARQUITETURAS DE PROCESSAMENTO PARALELO

A história recente tem demonstrado em nosso dia-a-dia que não só computadores, mas qualquer dispositivo capaz de efetuar algum processamento, com o passar do tempo tem evoluído para velocidades cada vez maiores. Essa crescente demanda é imposta não só pela necessidade de agilidade nas respostas, mas pelo número cada vez maior de variáveis envolvidas, dada a complexidade dos problemas, o que implica na elevação da quantidade de operações.

Recentemente Tanenbaum e Austin afirmaram em uma de suas publicações que apesar da crescente frequência de operação, projetistas de computadores de alta performance encontram problemas, principalmente devido ao tempo de propagação dos sinais nos circuitos eletrônicos (TANENBAUM e AUSTIN, 2013). Uma solução que tem sido utilizada pela indústria de processadores é a consecutiva redução do tamanho dos transistores. Embora esta solução tenha auxiliado em elevar a capacidade de processamento a mesma não poderá ser realizada indefinidamente. Em situações em que os transistores venham a ser compostos por um número reduzido de átomos os efeitos da mecânica quântica deverão ser considerados pelos projetistas. Exemplo disso é o efeito da incerteza de Heisenberg, que basicamente impõem restrições a precisão das medidas a nível subatômico (TANENBAUM e AUSTIN, 2013). Problemas desta ordem podem induzir que seja impossível projetar um único processador capaz de efetuar 10^{12} cálculos por segundo, ou seja, com tempo de ciclo de 0,001ns. Entretanto, esta taxa de processamento pode ser obtida através do uso de mil CPUs (Unidade Central de Processamento), operando simultaneamente com um tempo de ciclo de 1ns para cada uma delas. Mesmo utilizando processadores mais lentos, a técnica denominada de “processamento paralelo” pode tornar tal taxa de processamento possível, dependendo do número de CPUs utilizadas.

O paralelismo pode ser implementado em vários níveis da arquitetura. Atualmente a implementação em nível mais baixo é feita diretamente no chip através da técnica de *pipeline*, que é discutida na Seção 3.2.1.

A exploração do paralelismo em operações, consiste na capacidade de realizar um número maior de operações simultaneamente. Neste sentido, o uso da integração em escala muito grande (VLSI – *Very Large Scale Integration*) facilitou o desenvolvimento de mais de uma CPU, com elevada capacidade de processamento em um único chip. Ao uso de múltiplas CPUs compartilhando recursos entre si, através da mesma memória, tem sido atribuída a denominação de “multiprocessamento” (TANENBAUM e AUSTIN, 2013). CPUs desenvolvidas com características de processamento específicas são capazes de manipular múltiplas *threads*¹ simultaneamente. Outra forma de implementação de paralelismo é através da integração de múltiplos núcleos em único chip (multiprocessador).

¹ Permite que um processo seja dividido em múltiplas tarefas e as execute concorrentemente. Esse recurso é fornecido pelo sistema operacional ou implementado através de uma linguagem de programação específica.

É também possível realizar multiprocessamento através da técnica de uso de circuitos auxiliares com funções “especialistas”. Essa técnica permite que uma parcela do hardware se dedique a funções específicas, como criptografia e o processamento de recursos multimídia. Exemplo disso foi o pacote MMX lançado pela Intel na década de 1990.

A integração das técnicas citadas acima pode contribuir para um fator de processamento extremamente alto, como os supercomputadores. Ainda, o uso de múltiplos computadores dotados de recursos como *pipeline*, *threads* e circuitos auxiliares originam o conceito de multicomputadores (*cluster*). Este conceito permite que mesmo computadores que estão geograficamente distantes, trabalhem de maneira coordenada para execução de uma determinada tarefa. Entretanto, dada a mobilização de uma grande quantidade de recursos, essa técnica normalmente é empregada no uso do processamento de um grande volume de tarefas, como simulações nucleares, decodificação genética e simulação modelos relacionados a mudanças climáticas.

3.2 TÉCNICAS PARA IMPLEMENTAÇÃO DE PROCESSAMENTO PARALELO

Na busca pela redução no tempo de processamento de dados em dispositivos embarcados, se faz necessário buscar o máximo aproveitamento de todos os recursos disponíveis de hardware e software. O uso pleno de todos os recursos só é possível com a utilização de técnicas de codificação, que estejam sincronizadas e muito bem definidas de acordo com o escopo do conjunto de dados que deve ser processado.

As seções seguintes descrevem o conceito das técnicas de pipeline e de máquina de estados. Essas técnicas são fundamentais para o desenvolvimento deste trabalho.

3.2.1 Pipeline

A técnica de pipeline consiste, basicamente, na divisão de uma tarefa em subtarefas menores que podem ser executadas simultaneamente. Machado e Maia

(2013) conceituam pipeline como: “*uma técnica que permite ao processador executar múltiplas instruções paralelamente em estágios diferentes*”.

A execução destes múltiplos estágios resulta na concretização da tarefa completa. A Figura 9 ilustra o conceito básico de um pipeline linear, em que é possível observar que os diferentes estágios estão separados por registradores, os quais tem a função de armazenar o resultado do processamento do estágio anterior para seu uso posterior (DE ROSE e NAVAUX, 2008).



Figura 9 - Modelo de execução de um pipeline linear
Adaptado: De Rose e Navaux (2008).

O tempo de cada estágio deve ser o mais invariável possível, para que não ocorra ociosidade entre as tarefas e as perdas sejam minimizadas. O uso dos registradores implica na criação de um delimitador temporal, o qual é definido a partir da tarefa mais lenta. Este delimitador irá definir o compasso de execução do pipeline (HANDLER, 1977). Ainda, segundo Handler (1977), a classificação de pipeline pode ser feita em três categorias: instruções, aritmético e de processadores.

No pipeline de instruções, vide Figura 10 (a), tem-se os estágios divididos em razão da minimização do tempo de execução das instruções. Para tanto o mesmo é dividido entre a busca de instrução na memória, interpretação da instrução, busca do operando na memória e finalmente a execução. Em algumas arquiteturas esse tipo de pipeline pode ser dividido em ainda mais tarefas, o que implica na redução do tempo de processamento para grandes volumes de instruções.

Microprocessadores e outros componentes similares são dotados de pipeline aritmético (Figura 10 (b)). Este método consiste especificamente em dividir a unidade lógica aritmética (ULA) em blocos, que obedecem a definição básica de execução em pipeline.

O pipeline de processadores consiste na divisão das tarefas entre diferentes processadores, fazendo com que cada um desses processadores seja destinado a uma função específica, executando subtarefas de maneira coordenada entre si (DE ROSE E NAVAUX, 2008). A Figura 10 (c) exemplifica o princípio de funcionamento deste modelo. Após a execução da primeira tarefa, pelo primeiro processador (P1), o

resultado é armazenado em uma memória a qual o segundo processador (P2) irá acessar e processar. Na sequência o resultado será armazenado em outra posição de memória, fazendo com que este ciclo se repita até o final da sequência de processadores empregada no modelo.

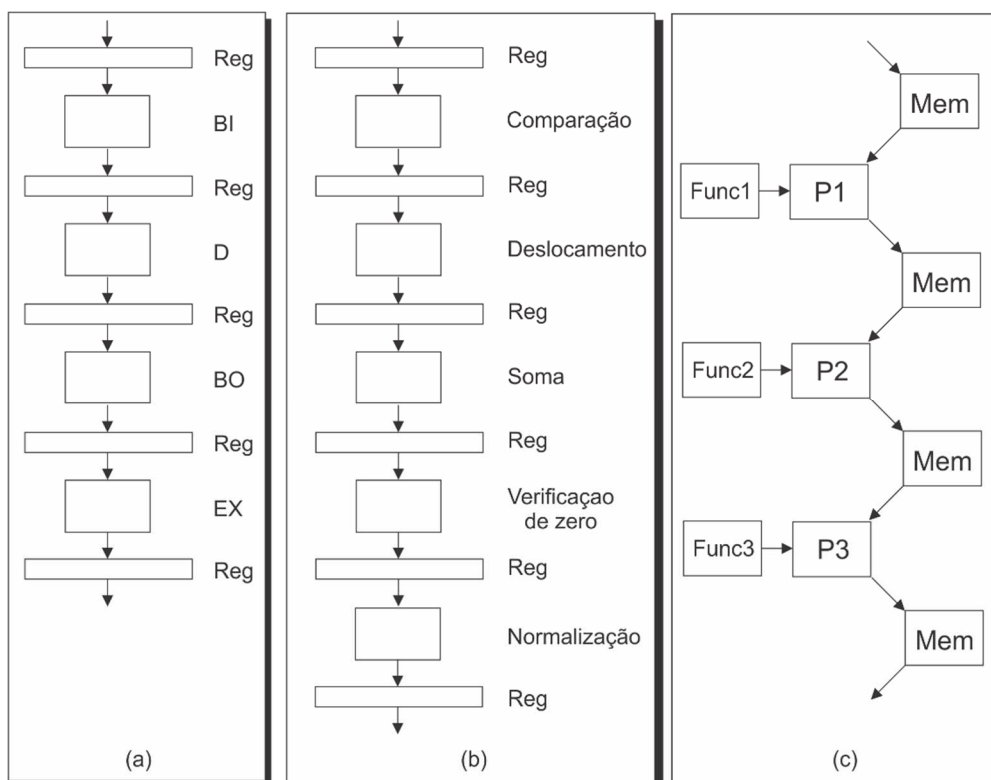


Figura 10 - Classificação dos modelos de pipeline: (a) pipeline de instruções, (b) pipeline aritmético e (c) pipeline de processadores Adaptado: Handler (1977).

3.2.2 Máquina de Estados Finitos

Uma máquina de estados (autômato) finitos pode ser definida por um conjunto de circuitos lógicos ou modelo matemático, que durante sua execução deve estar em apenas um dos seus finitos estados, ao qual é denominado de “estado atual”. Esses sistemas podem ser divididos em dois grupos diferentes, conhecidos como máquinas tradutoras e reconhecedoras (TOCCI et al, 2011).

As máquinas tradutoras, também conhecidas como autômatos finitos com saída, tem em sua característica principal o fato de possuírem uma única entrada e uma única saída. Já as máquinas reconhecedoras ou simplesmente autômatos finitos,

são máquinas que permitem a utilização de múltiplas entradas e para cada uma delas são atribuídas duas saídas, uma para cada sentença (válidas ou inválidas) (TIMOTHY, 1997).

A aplicação das máquinas de estado é restrita, dado o fato da informação de saída ser limitada aos estados verdadeiro/falso (lógica binária). As saídas de um autômato podem ser atribuídas a uma palavra de saída, que por sua vez podem ser associadas a transições (máquina de Mealy) ou a estados (máquina de Moore). Nas duas situações o estado não pode ser usado como memória auxiliar (PALAZZO, 2002).

Os autômatos associados a estados geram em sua saída uma palavra para cada estado da máquina. Este estado inclusive pode ser vazio, o que faz com que a máquina seja dependente do estado atual. Já autômatos que geram transições em suas saídas, possuem uma palavra para cada transição entre estados em sua saída, o que torna a máquina dependente do valor das entradas e de seu estado atual.

O Quadro 1 descreve as representações formais dos autômatos associados a transições e estados, bem como suas definições dos elementos que a compõem.

Máquina de Mealy (transições) $M = (\Sigma, Q, \delta, q_0, F, \Delta)$		Máquina de Moore (estados) $M = (\Sigma, Q, \delta, q_0, F, \Delta, \delta S)$	
Σ	Contém todas as possibilidades de entrada	Σ	Contém todas as possibilidades de entrada
Q	Conjunto finito dos estados possíveis	Q	Conjunto finito dos estados possíveis
δ	Função de transição	δ	Função de transição
q_0	Estado inicial (q_0 pertence a Q)	q_0	Estado inicial (q_0 pertence a Q).
F	Agregado de estados finais (F pertence a Q)	F	Agregado de estados finais (F pertence a Q)
Δ	Contém todas as possibilidades de saída	Δ	Contém todas as possibilidades de saída
		δS	Atribuição total de saída ($\delta S : Q \rightarrow \Delta^*$)

Quadro 1 - Definições formais das Máquinas de Estados de Mealy e de Moore
Adaptado: BRITO et al (2003).

As máquinas finitas de Mealy e Moore podem ser equivalentes, com exceção a casos em que uma possível saída vazia possa ocorrer. Neste caso, enquanto a máquina de Moore gera uma saída igual ao seu estado inicial, na máquina de Mealy não é possível definir a saída para essa condição, pois a mesma não é passível de executar qualquer transição para esta circunstância. Levando em consideração está

exceção, qualquer máquina de Mealy pode ser simulada por uma máquina de Moore (TIMOTHY, 1997).

Autômatos de Moore são amplamente utilizados por contemplarem todas as possibilidades de entrada, o que reflete de maneira positiva na simplificação da elaboração do algoritmo. A implementação da máquina de estados utilizada neste trabalho é descrita com maiores detalhes na Seção 4.2.

3.3 IMPLEMENTAÇÃO DE PROCESSAMENTO PARALELO UTILIZANDO FPGA

O hardware para implementação de processamento paralelo está cada vez mais presente no processamento computacional, aliado a constante evolução das arquiteturas de chips, tem permitido que tarefas sejam executadas em tempos cada vez menores. Dispositivos dotados de CPUs, GPUs e FPGAs estão cada vez mais disponíveis no mercado e com custos acessíveis.

Processadores modernos têm utilizados significativamente essa abordagem, os quais possuem recursos *multicore*. Tal recurso faz com que em um único circuito integrado (CI) possam existir dois ou mais processadores funcionando coordenadamente. O desempenho elevado desses processadores se dá pelo fato do processamento ser executado em paralelo, ou seja, vários cálculos são realizados simultaneamente (AKHTER, ROBERTS, 2006).

O emprego de GPUs no processamento paralelo têm evoluído de tal maneira que muitas aplicações têm sido implementadas e executadas neste dispositivo, de forma significativamente mais rápidas que em sistemas *multicore*. Duas tecnologias se destacam para o desenvolvimento de aplicações que executam a partir de GPUs: a arquitetura CUDA (*Compute Unified Device Architecture*) e o seu hardware correspondente da NVIDIA®; e, a tecnologia denominada de OpenCL (*Open Computing Language*). Esta última tem padrões abertos, mas é limitada ao baixo número de linguagens de programação suportadas, quando comparado ao CUDA.

3.3.1 FPGA - *Field Programmable Gate Arrays*

Os dispositivos FPGAs surgiram em meados da década de 1980, tendo como principal objetivo projetos mais complexos com alto desempenho, tais como aplicações de telecomunicações e HDTV (PEDRONI, 2010). Estes dispositivos possuem a característica de terem o hardware programável, possibilitando a construção de qualquer tipo de circuito digital, tornando sua importância em projetos eletrônicos cada vez maior. As FPGAs podem ser definidas como circuitos programáveis, que são compostos por um conjunto de células lógicas ou blocos lógicos alocados em forma de uma matriz. Estes elementos possuem diferentes nomenclaturas, variando de acordo com cada fabricante. A Tabela 1 apresenta os nomes dos blocos lógicos dos principais fabricantes destes dispositivos (ORDONEZ et al, 2003).

Tabela 1 - Fabricantes e suas nomenclaturas para Blocos Lógicos
Fonte: Adaptado Ordóñez et al (2003)

Fabricante	Modelo	Nome do Bloco Lógico
Xilinx	Todos	CLB (<i>Configurable Logic Block</i>)
Actel	Todos	LM (<i>Logic Modules</i>)
Altera	Séries 8000 e 1000	LE (<i>Logic Element</i>)
	Séries 5000, 7000 e 9000	Macrocell

Embora a nomenclatura dos elementos que compõem as FPGAs seja variante, diversos desses elementos são fundamentais e estão presentes em todos os dispositivos. Blocos como IOB (*In/Out Block*), CLB (*Configurable Logic Block*) e SB (*Switch Box*) constituem a arquitetura genérica de uma FPGA. A Figura 11 apresenta a organização comumente utilizada desses elementos.

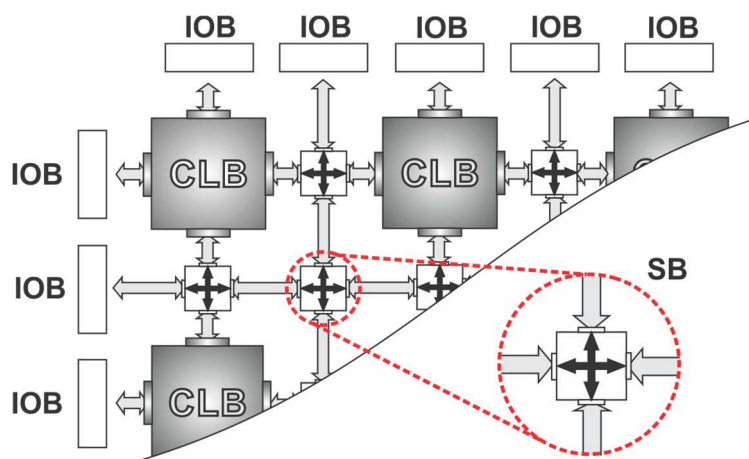


Figura 11 - Arquitetura genérica de uma FPGA

Os IOBs normalmente estão localizados fisicamente nas partes de fácil acesso da FPGA e são blocos com entradas e saídas, responsáveis pela conexão com o ambiente externo.

Os blocos lógicos programáveis, aqui denominados de CLBs, são as unidades lógicas da FPGA, estes são compostos por duas fatias (*slices*), de tipo L ou Tipo M. Embora parecidos, a diferença é que os *slices* M possuem a capacidade adicional de quando não utilizada a última LUT (*Look-UP-Table*), a mesma pode ser utilizada como uma SRAM distribuída de 64bits, ou ainda, como registrador de deslocamento de uso geral de 32 bits (PEDRONI, 2010).

Os canais de roteamento que ocorrem entre os blocos lógicos, são utilizados para conectar diversas LUTs. Os canais de roteamento são controlados por SBs, as quais são formadas por um elemento de memória SRAM. Este arranjo de SBs permite uma grande quantidade de lógica programável, fazendo com que dispositivos FPGA possam realizar diferentes funcionalidades.

Além dos elementos básicos, as FPGAs normalmente contam com um grande número de flip-flops e portas lógicas. Assim, apresentam características como alta velocidade, baixo custo e capacidade de modificação rápida (PEDRONI, 2010).

3.3.2 VHDL - VHSIC *Hardware Description Language*

Geralmente, a construção dos circuitos digitais em FPGAs é sintetizada e simulada antes de qualquer construção física, a partir de uma linguagem de descrição de hardware (VHDL). Esse tipo de linguagem não está atrelado a nenhum fabricante, o que possibilita a reutilização dos códigos em diferentes plataformas. O princípio de funcionamento do VHDL é descrever o comportamento da estrutura que se deseja, modelando o hardware em um elevado nível de abstração, que posteriormente será compilado e construído no dispositivo.

Segundo Ordonez et al (2003) a linguagem VHDL possui duas formas para a descrição de circuitos digitais: a estrutural e a comportamental. Na estrutural são indicados os diferentes componentes que devem fazer parte do circuito, juntamente com suas interconexões, assim pode-se especificar um circuito e saber como é o seu funcionamento. Na forma comportamental o circuito é descrito pensando no seu

funcionamento e comportamento, como consequência, essa estrutura facilita a descrição de circuitos onde a estrutura interna não está acessível, porém o comportamento e funcionamento são passíveis de interpretação. Esta forma de implementação ainda pode ser feita através da descrição algorítmica ou de fluxo de dados.

A descrição de um circuito lógico em VHDL é feita em uma estrutura de três partes, denominadas de: declarações, entidades e arquitetura, estruturadas conforme a Figura 12. Pedroni, (2010), descreve essas três estruturas da forma que segue.

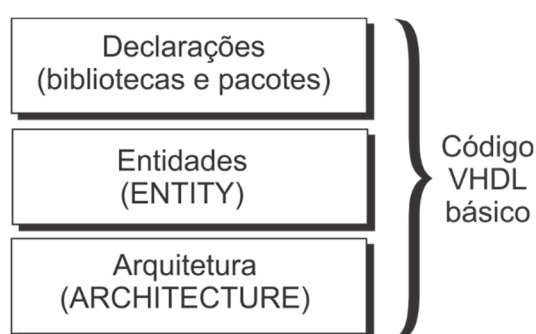


Figura 12 - Estrutura básica de um código VHDL
Adaptado: Pedroni (2010).

- a) A primeira parte do código é definida como o espaço das **declarações**, onde contém as bibliotecas e pacotes que são necessários para o compilador gerar o circuito, por padrão as bibliotecas *std* e *work* são disponibilizadas automaticamente, não necessitando declara-las. As declarações de bibliotecas e pacotes são feitas a partir de duas definições, onde na primeira é preciso indicar o nome da biblioteca, e a segunda o nome do pacote.
- b) No centro da estrutura do código está a definição das **entidades**, que possuem como principais conteúdos as seções PORT e GENERIC, ao passo que, o uso da seção GENERIC é opcional, enquanto a PORT é obrigatória. Uma seção GENERIC é empregada para declarar constantes genéricas de maneira global, enquanto que uma seção PORT nada mais é do que uma lista de especificações das portas (entradas e saídas) do circuito, tendo como padrão os sinais IN (entrada), OUT (saída), INOUT (bidirecional) ou ainda BUFFER (saída interna).
- c) O último bloco de código, é um dos mais fundamentais dentro de uma estrutura VHDL, é na seção de **arquitetura** que o princípio de funcionamento do circuito

irá ocorrer. Nesta seção toda a lógica de funcionamento do sistema é implementada. A critério de exemplificação é apresentado na Figura 13(a) o circuito simplificado de um comparador de 1 bit. O comparador de 1 bit funciona a partir dos valores lógicos das portas de entrada (E1 e E2) que são comparados para fornecer uma saída (S). Sempre que E2 for menor que E1 a saída S do circuito receberá o valor lógico '1', caso contrário, '0'. Na Figura 13(b) é exibido o código que implementa este circuito comparador de 1 bit em VHDL. Observa-se que nas linhas 1 a 3 está contido as declarações do código, enquanto as linhas 4 a 7 apresentam a estrutura das entidades, por fim, as linhas de 9 a 19 contém a lógica de implementação do circuito.

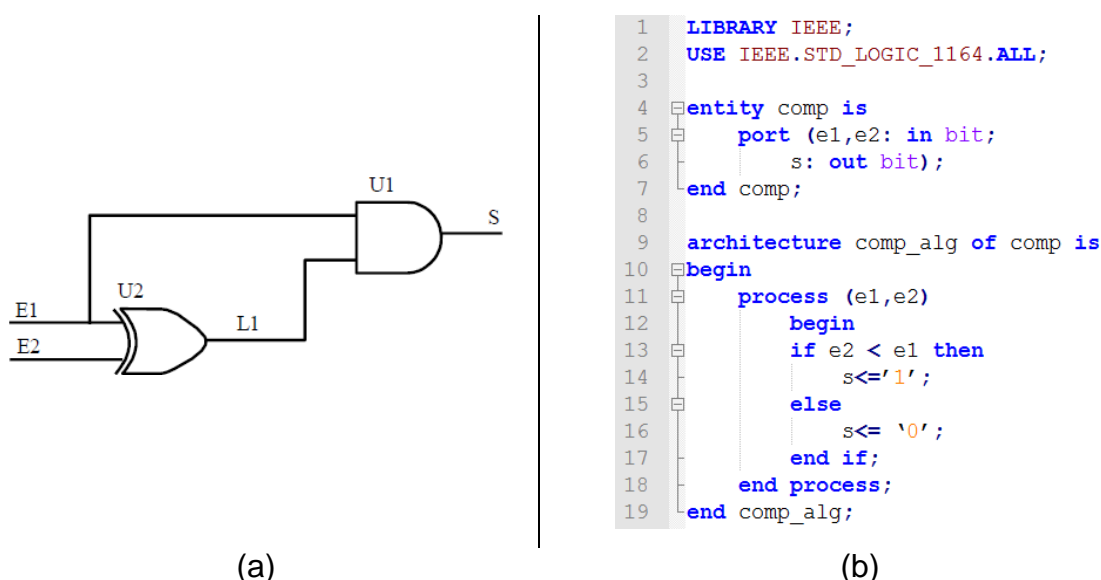


Figura 13 - (a) Circuito comparador de 1 bit, (b) Código de implementação do comparador Adaptado: Ordonez et al (2003).

Um código VHDL pode ser implementado de maneira sequencial ou concorrente. Implementações sequenciais são utilizadas para circuitos sequenciais ou combinacionais, enquanto implementações concorrentes são normalmente utilizadas apenas para circuitos combinacionais (D'AMORE, 2012). As construções de circuitos a partir de VHDL são definidas como “código” ao invés de “programa”, uma vez que suas instruções executam de maneira paralela, ou seja, a primeira linha tem a mesma precedência que a última. A linguagem ainda prove mecanismos para executar estruturas de maneira sequencial, em caso de necessidade (PEDRONI, 2010).

É importante ainda destacar que os circuitos construídos em FPGAs possuem dois importantes parâmetros para medição de desempenho, eles são definidos como

ocupação espacial e desempenho temporal (ORDONEZ et al, 2003). Na ocupação espacial o desempenho é medido pela quantidade de componentes utilizados para implementar o circuito, enquanto o desempenho temporal determina o tempo de atraso do sinal através do circuito (ORDONEZ et al, 2003).

3.4 PROCESSAMENTO DE SINAIS EM FPGA

Como já mencionado na seção anterior a descrição de hardware em FPGAs é feita através de linguagem da descrição de hardware (VHDL). Como toda linguagem de baixo nível seu desenvolvimento é complexo quando comparado a linguagens de alto nível. Dadas estas circunstancias o projeto de um sistema de processamento digital de sinais em FPGAs é frequentemente dividido em duas fases (vide Figura 14), descritas a seguir:

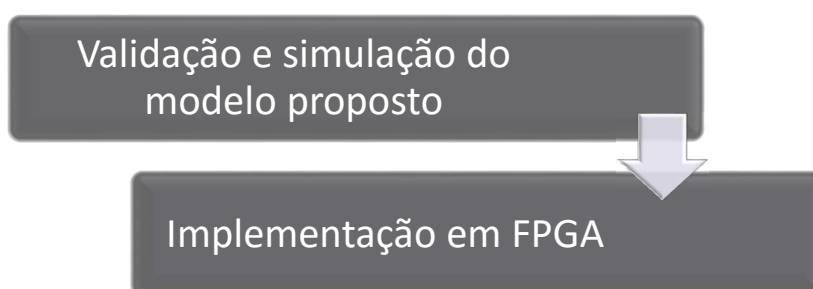


Figura 14 - Fases de implementação de um projeto de processamento digital de sinais em FPGA

- Primeira fase: nesta fase o algoritmo deve ser desenvolvido, simulado e testado em um ambiente de alta produtividade, como Matlab®, que foi utilizado neste trabalho. Após a obtenção de resultados adequados e validados, juntamente com uma estrutura “modelo” de desenvolvimento é iniciada a segunda fase.
- Segunda fase: esta fase consiste no processo de codificação da estrutura gerada no ambiente de alto nível em VHDL. Neste momento da implementação esta fase é dividida em diversas outras etapas, conforme apresenta a Figura 15. Estas são utilizadas para análise do processo e verificação se a descrição de hardware (código VHDL) é possível de ser implementada fisicamente na FPGA.

A partir do código VHDL criado, é feita simulação em RTL (*Register Transfer Level*), que permite visualizar o comportamento do circuito a nível de fluxo de sinais para fins de comparação com os resultados obtidos na concepção do modelo (Matlab®). A partir da simulação RTL, é realizada a sintetização do circuito que é responsável por transformar o resultado RTL em um circuito de portas lógicas. Este circuito é então utilizado para a análise de tempos considerando os atrasos de propagação dos componentes internos utilizados, o que permite realizar a simulação do circuito e gerar o código binário considerando todas as possíveis variáveis de implementação. Após a execução das etapas anteriores é realizado o transporte (*upload*) do código binário para a FPGA, transformando o código em um circuito interno gravado no dispositivo físico.



Figura 15 - Etapas de codificação e implementação de um circuito em FPGA.

A partir da análise apresentada, pode-se desenvolver sistemas de processamento de sinais de alto desempenho utilizando FPGAs e linguagem VHDL.

A utilização de múltiplos núcleos simultaneamente pode acelerar a taxa de processamento e, conseqüentemente, diminuir o tempo de cálculo de um algoritmo. Entretanto, o uso de tal tipo de arquitetura não implica necessariamente na otimização do sistema de processamento. Em situações específicas, o uso de processamento paralelo nem sempre resolve o problema de tempo de processamento, pois o volume de dados ou a interdependência entre as variáveis não permite acelerar significativamente a taxa de cálculo. Além disso, questões como custo, memória disponível e heurística do algoritmo inviabilizam a paralelização do sistema. Assim, a escolha adequada das ferramentas de hardware e a análise cuidadosa do algoritmo são fundamentais para a obtenção de um sistema de processamento de sinais otimizado a cada aplicação.

3.5 APLICAÇÃO DE FPGA EM FILTROS ATIVOS DE POTÊNCIA

Na implementação realizada por Lopes (2012) foi desenvolvido um sistema de processamento paralelo baseado em FPGAs para o cálculo do compensador de harmônicos discutido no capítulo 2. A implementação utilizou a expressão (2.22) para dois casos de filtros FIR: 50ª e 100ª ordem, ou seja, $N=50$ e $N=100$, respectivamente. Foram consideradas FPGAs, do modelo XC3S500E, que possui 10.476 células lógicas, 20 multiplicadores dedicados e velocidade de operação de 50MHz.

No caso da implementação da expressão (2.22) com 50ª ordem, a arquitetura desenvolvida resultou em um sistema de processamento de sinais de alto desempenho permitindo o cálculo do filtro em 226ns, utilizando apenas uma FPGA. Entretanto, não foram realizadas as demais tarefas do algoritmo de controle do FAP, como controle de reativos, controle de corrente, entre outras. Ainda, foram utilizados conversores analógico/digital dedicados e para geração de PWM foi necessário o desenvolvimento de contador de tempo interno na FPGA. Analisando os resultados apresentados por Lopes (2012), também como os de Matavelli e Fasolo (2000), verifica-se que a compensação harmônica com um filtro FIR de 50ª ordem é somente razoável para harmônicas de ordem reduzida ($N_{hi}=\{3, 5\}$).

Para ampliar a capacidade e o espectro de compensação é então realizada a implementação da expressão (2.22) com 100ª ordem. Neste caso, devido ao estrangulamento de recursos da FPGA para implementação completa do algoritmo desenvolvido com $N=100$ foram necessárias duas FPGAs, conectadas entre si através de uma arquitetura em *cluster*, como representado no diagrama da Figura 16. Observa-se que cada uma das FPGAs é responsável por cerca de 50% do processamento (50 termos do filtro FIR). O processo em cada FPGA é praticamente idêntico, apenas alterando a ordem dos coeficientes e amostras, de forma que na FPGA mestre são processados os termos 1-50 e na FPGA escrava os termos 51-100.

Analisando os resultados obtidos por Lopes (2012) para $N=100$ verifica-se uma melhoria significativa da compensação harmônica ($N_{hi}=\{3, 5\}$). Entretanto, a compensação efetiva de harmônicas de 11ª a 19ª ordem necessita de compensadores de ordem 200 ou mais. Assim, a maior limitação da arquitetura proposta por Lopes (2012) está na ordem dos compensadores processáveis por cada FPGA (50 pontos). Essa característica torna a arquitetura complexa para o processamento de sinais com

maior resolução. Sistemas de processamento para compensadores de 200ª ordem necessitariam de quatro FPGAs, o que implica em uma maior complexidade de montagem e codificação, também como elevado custo de aquisição de componentes e de prototipagem de placas. É possível afirmar que a utilização desta arquitetura é praticamente inviável em compensadores com ordem superior a 100. Ainda, em casos $N \leq 200$ a implementação por DSP pode ser realizada sem a necessidade de dispositivos de custo de elevado, como realizado por Matavelli e Fasolo (2000).

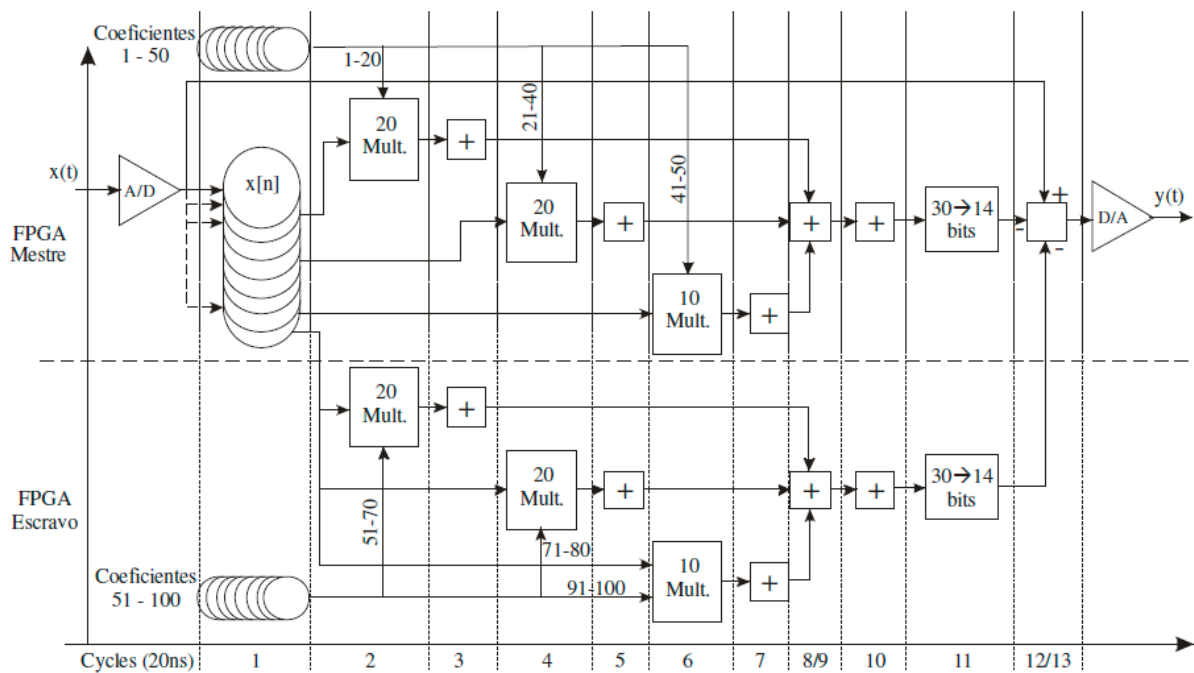


Figura 16 - Diagrama de processamento paralelo em cluster
Fonte: Lopes (2012).

Apesar dos resultados por Lopes (2012) não atender a compensação de um conjunto significativo de harmônicas, a arquitetura proposta pelo autor lança uma possibilidade interessante de pesquisa para solução da velocidade de processamento no cálculo de algoritmos de controle para filtros ativos de potência. O uso racional de recursos considerando as possibilidades de implementação em DSPs e FPGAs pode oferecer soluções de alto desempenho e alta versatilidade. A investigação da união de tecnologias em uma arquitetura para cálculo de compensadores para FAPs será realizada no próximo capítulo.

3.6 RESUMO DO CAPÍTULO

Neste capítulo foram inicialmente apresentadas algumas das principais arquiteturas utilizadas no emprego de processamento paralelo, como o paralelismo a nível de CPU (*multicore*), multicomputadores e computação em *cluster*. As técnicas de pipeline e máquina de estados finitos, que serão utilizadas para implementação do processamento paralelo no próximo capítulo, foram discutidas na sequência. Estas possibilitam o uso de múltiplos recursos simultaneamente (pipeline) e a coordenação das múltiplas tarefas (máquina de estados finitos). Os hardwares com suporte a processamento paralelo foram apresentados na seção seguinte, com ênfase em FPGAs. Foram também discutidas a programação de FPGAs utilizando VHDL e as fases de implementação para programação de algoritmos em FPGA.

O conceito de implementação de sistemas de processamento de sinais utilizando FPGA é discutido na Seção 3.4. Na sequência é apresentada uma análise da aplicação de FPGAs com processamento paralelo em FAPs, realizada por Lopes (2012). Verificou-se que apesar de bons resultados para compensadores de ordem reduzida, a arquitetura apresentada levou ao esgotamento dos recursos de FPGA para casos onde $N > 50$.

No próximo capítulo são utilizadas as técnicas de otimização de processamento paralelo, aqui descritas, na proposta de uma nova arquitetura para implementação de estratégias de controle em filtros ativos de potência.

4 ARQUITETURA HÍBRIDA DE PROCESSAMENTO PARA ESTRATÉGIAS DE CONTROLE EM FILTROS ATIVOS DE POTÊNCIA

No capítulo 2 discutiu-se sobre filtros ativos de potência e compensadores de harmônicas. Conforme análise apresentada, a abordagem de compensação por DFT que resulta em um filtro FIR é interessante para aplicações de processamento paralelo. No capítulo 3 foi apresentada uma discussão sobre técnicas e tecnologias para implementação de processamento paralelo. Foi também analisada uma proposta de implementação do referido compensador utilizando FPGA e verificou-se a necessidade de tornar o sistema mais flexível e expandir a capacidade de compensação de harmônicas para componentes de ordem mais elevada. Desta forma, neste capítulo é abordada a proposta de uma nova arquitetura de processamento para filtros ativos de potência, envolvendo dispositivos DSP e FPGA, com o objetivo de permitir flexibilidade para a implementação de estratégias de controle. Ainda, é apresentado um algoritmo que melhora a utilização dos recursos da FPGA, permitindo implementar compensadores de ordem mais elevada.

4.1 ANÁLISE NUMÉRICA DE COMPENSADORES BASEADOS NA DFT

O cenário em que os filtros ativos de potência veem sendo aplicados é bastante amplo, as cargas geradoras de harmônicas variam significativamente entre as aplicações. Entretanto, circuitos retificadores são cargas com alto índice de utilização, principalmente em fontes de energia CC e em conversores estáticos, como os populares inversores de frequência. Desta forma, para apresentar o problema de forma quantitativa, será apresentada na sequência uma análise numérica das correntes envolvidas utilizando simulações computacionais desenvolvidas no software de simulação de circuitos elétricos PSIM®. A partir desta análise inicial será aplicada a compensação de harmônicas utilizando o compensador obtido pela DFT. Neste caso, o FAP será considerado uma fonte de corrente ideal, pois o objetivo principal deste trabalho consiste no projeto de uma arquitetura de processamento. O projeto de

controladores de corrente, de filtros de potência e conversores VSI não serão considerados nesta análise pois fogem do escopo deste trabalho.

4.1.1 Simulação de um sistema de alimentação com cargas retificadoras

Para simular o cenário proposto é considerado um circuito simplificado (Figura 17) com uma rede, modelada por uma fonte de tensão ideal e uma impedância (indutiva-resistiva) série, e cargas linear (resistiva) e não linear. Como carga não linear é utilizado um circuito retificador com carga capacitiva-resistiva.

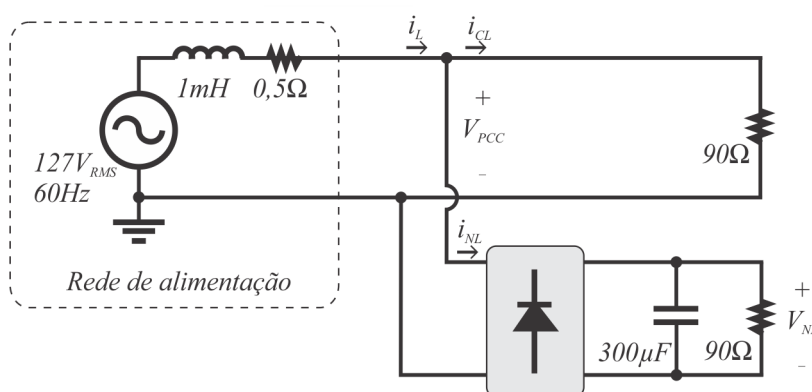


Figura 17 – Rede de alimentação não ideal com cargas retificadora e linear.

Este circuito foi analisado no simulador de circuitos elétricos PSIM®. O objetivo desta análise é apresentar o efeito de uma carga não linear em uma rede não ideal. Na Figura 18 são apresentadas as formas de ondas de tensão na carga retificadora e no ponto de conexão das cargas com a rede. Pode-se notar a tensão no ponto de conexão é significativamente deformada nos instantes em que a carga retificadora carrega o capacitor.

Na Figura 19 são apresentadas as formas de onda das correntes da rede (i_L), da carga não linear (i_{NL}) e da carga linear (i_{CL}). Pode-se perceber que embora a corrente da rede é também não linear, pois possui picos de corrente nos instantes de carga do capacitor. Tais picos geram as distorções na forma de onda da tensão no ponto de conexão e afetam também outras cargas conectadas, como pode-se notar na corrente da carga linear.

A análise harmônica dos sinais envolvidos permite avaliar numericamente as distorções geradas pela carga não linear. A distorção harmônica total da corrente da

rede de alimentação, calculada no Matlab®, resultou em $\text{THD}(i_L)=80,57\%$, na presença da carga não linear. Este alto valor de THD provocou a alteração da forma de onda de tensão no ponto de conexão das cargas resultando em $\text{THD}(V_{PCC})=4,96\%$.

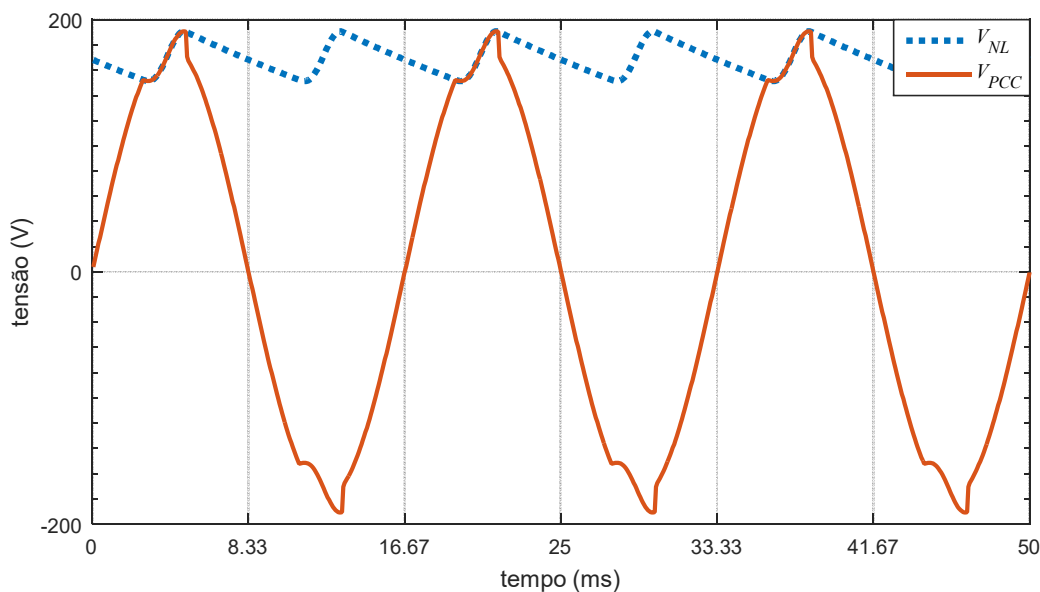


Figura 18 – Tensões do sistema sem compensação, no ponto de conexão das cargas (V_{PCC}) e na carga não linear (V_{NL})

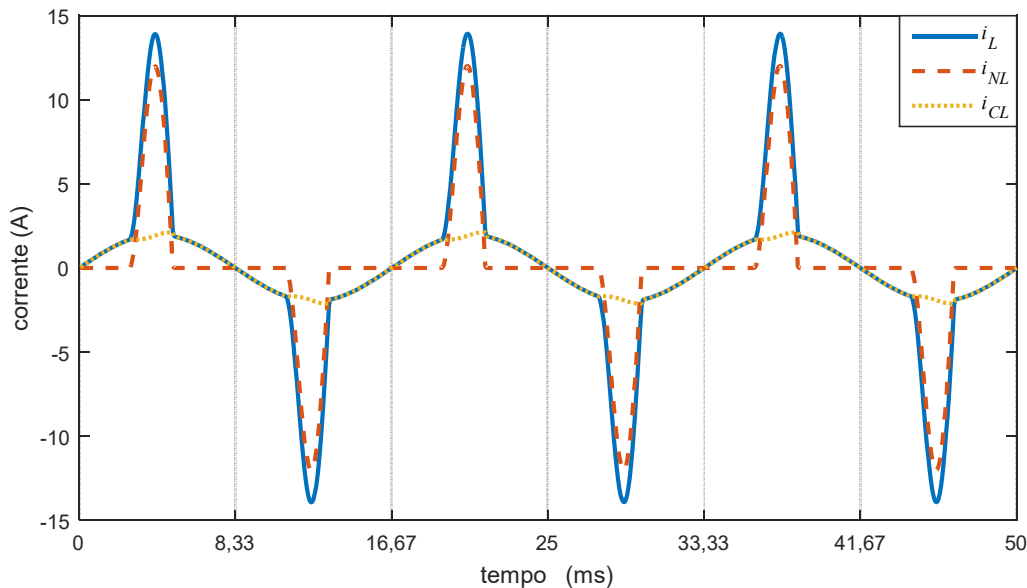


Figura 19 – Correntes do sistema sem compensação, na rede (i_L), na carga não linear (i_{NL}) e na carga linear (i_{CL})

A análise realizada indica a necessidade de um dispositivo de compensação para a carga não linear, de forma que o uso da mesma não gere distorções na corrente da rede ou na tensão do ponto de conexão. Assim, na sequência é apresentada uma

análise da implementação de um filtro ativo ideal, com o compensador de harmônicas discutido no Capítulo 2, para redução do conteúdo harmônico na corrente da rede.

4.1.2 Análise Numérica de um FAP Utilizando Compensador Baseado na DFT para Carga do Tipo Retificador

O circuito da Figura 17 foi utilizado com um FAP ideal atuando no ponto de conexão das cargas. Desta forma, o FAP considera a abordagem apresentada no Capítulo 2, com o compensador harmônico dado na expressão (2.22), para calcular a corrente de referência que compensa as harmônicas da corrente da carga não linear na corrente da rede. Foi utilizado um filtro FIR de 240ª ordem, de modo que seja possível compensar um conjunto significativo de harmônicas. No gráfico superior da Figura 20 é apresentada a forma de onda da corrente da rede antes e após a utilização do FAP. Neste caso os coeficientes da expressão (2.22) foram calculados a partir de (2.21) para compensação somente das 3ª, 5ª e 7ª harmônicas, ou seja $N_h=\{3,5,7\}$. No gráfico inferior da Figura 20 é apresentado o espectro harmônico da corrente da rede nas mesmas condições.

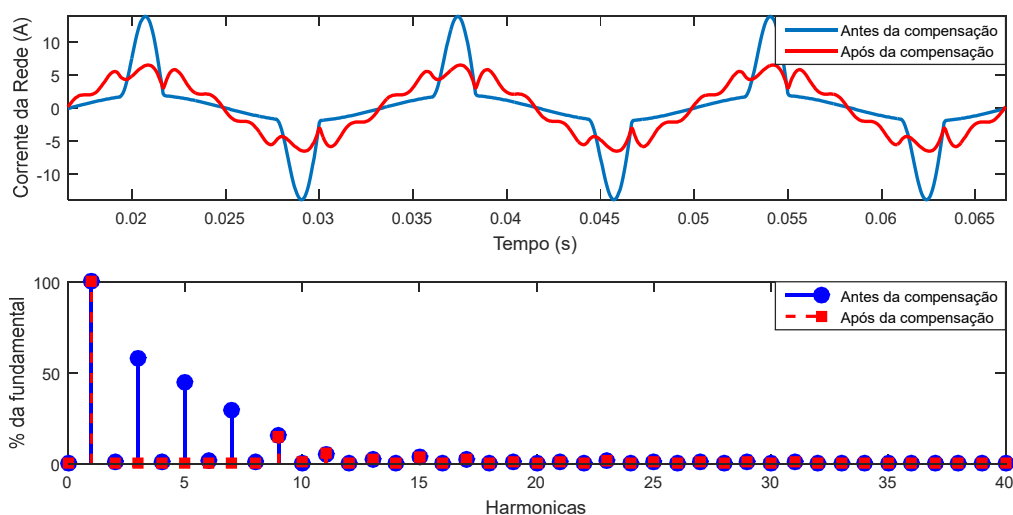


Figura 20 – Corrente de alimentação antes e após a compensação das 3ª, 5ª e 7ª harmônicas: Análise no tempo (superior) e espectro harmônico (inferior).

A partir da análise da Figura 20 foi calculada a taxa de distorção harmônica da corrente de rede após a compensação, resultando em $\text{THD}(i_L)=17,09\%$. Incluindo as 9ª e 11ª harmônicas, ou seja fazendo $N_h=\{3,5,7,9,11\}$ em (2.21) e repetindo a análise anterior utilizando (2.22), a compensação resultou em $\text{THD}(i_L)=6,1\%$. Assim, verifica-

se que a inclusão de apenas duas harmônicas adicionais resultou em uma significativa diminuição do conteúdo harmônico da corrente da rede de alimentação.

É possível reduzir ainda mais as distorções da corrente da rede de alimentação incluindo harmônicas adicionais no compensador. Entretanto, embora o esforço computacional seja o mesmo para um compensador de ordem 240, independentemente do número de harmônicas selecionadas, em situações práticas é importante um balanço adequado nesta escolha, pois a limitação da banda passante, introduzida pelo controlador de corrente, pela frequência de chaveamento e pelo filtro indutivo passivo, pode comprometer a aplicação do sinal de referência. Os padrões internacionais IEC 61000-3-2 (2005) e IEEE Standard 519-1993 estabelecem padrões de qualidade de energia, orientando que a compensação de harmônicas significativas seja feita até a 39ª ordem. Por outro lado, percebe-se um reduzido valor nas amplitudes das harmônicas superiores a 19ª ordem. Desta forma, é realizada uma terceira análise considerando $N_h=\{3, 5, 7, 9, 11, 13, 15, 17, 19\}$ em (2.21). A compensação obtida resultou em $\text{THD}(i_L)=2,83\%$. Na Figura 21 são apresentadas as análises no domínio tempo e domínio frequência da corrente da rede de alimentação, antes e após a compensação com este conjunto de harmônicas. É possível notar que a forma de onda da corrente após a compensação tem característica praticamente senoidal, com pequenas oscilações nos instantes próximos a interrupção da carga não linear.

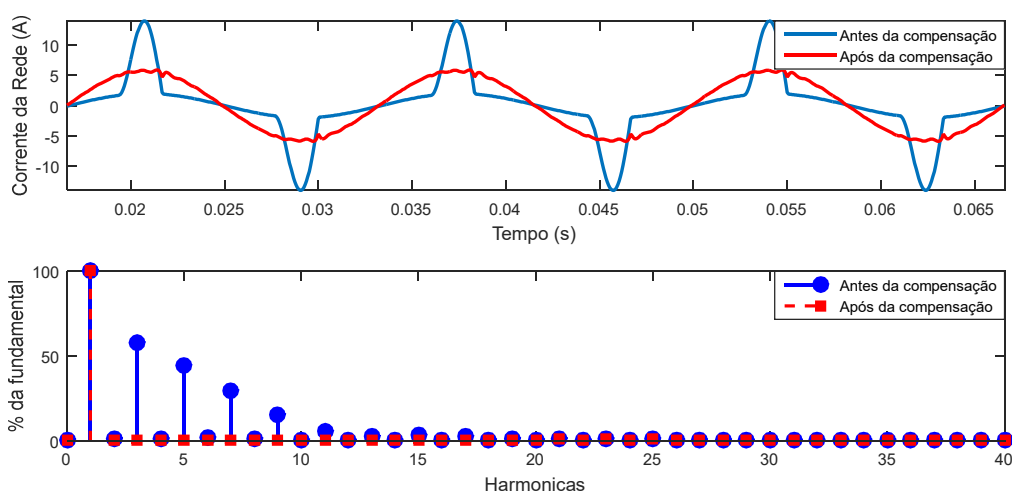


Figura 21 - Corrente de alimentação antes e após a compensação de todas as harmônicas ímpares até 19ª harmônica: Análise no tempo (superior) e espectro harmônico (inferior).

As análises anteriores demonstraram a eficiência do compensador harmônico baseado na DFT em reduzir as distorções da corrente da rede de alimentação na presença de cargas não lineares. Embora as cargas variem significativamente em relação ao conteúdo harmônico, a utilização de filtros ativos geralmente é empregada para compensação de harmônicas até 19ª ordem. Considerando as recomendações dos padrões IEC 61000-3-2 (2005) e IEEE Standard 519 (1993), verificou-se que a compensação até a 39ª ordem resultou em $THD(i_L)=1,03\%$. Embora tenha ocorrido redução da taxa de distorção harmônica da corrente, é necessária uma elevada banda passante ($60\text{Hz}\cdot 39\text{harm.}\cdot 20\text{harm.}=46800\text{Hz}$) do FAP para aplicação efetiva da corrente de referência gerada pelo compensador harmônico. Desta forma, a relação custo/benefício na utilização de FAPs para compensação de harmônicas superiores a 19ª deve ser cuidadosamente analisada na implementação de um FAP real. Outras abordagens podem ser mais adequadas para frequências elevadas como, por exemplo, filtragem passiva seletiva.

4.1.3 Análise Numérica de um FAP Utilizando Compensador Baseado na DFT para Corrente de Carga Definida por Harmônicas

Uma vez que o compensador apresentado no Capítulo 2 expos bons resultados nas análises, e considerando uma carga não linear do tipo retificador, nesta seção será analisado um caso em que harmônicas específicas estão presentes na corrente de carga. O objetivo é verificar e realizar a comparação dos resultados numéricos, decorrentes desta análise, com os resultados experimentais que serão apresentados nas seções seguintes, da análise experimental da implementação da arquitetura proposta.

A corrente de carga foi definida como sendo composta por uma componente fundamental de 60Hz e pelas harmônicas de 3ª, 5ª, 7ª e 11ª ordem, todas com 20% da amplitude da fundamental. As harmônicas inseridas foram definidas com base nas análises anteriores e consideram os seguintes fatores: conforme a teoria de Fourier, todo sinal periódico e simétrico possui somente componentes ímpares (IRWIN e NELMS, 2013); as harmônicas mais significativas na corrente da carga do tipo retificador foram da 3ª a 11ª ordem; e, a harmônica de 9ª ordem foi eliminada

intencionalmente para verificar a resposta do compensador a descontinuidade do espectro discreto de compensação.

Utilizando (2.21) para calcular os coeficientes da expressão (2.22) com $N_h=\{3, 5, 7, 11\}$ obteve-se a função de transferência $HC(z)$ do compensador harmônico. A Figura 22 exibe graficamente os valores dos coeficientes do compensador para a referida análise, normalizados em uma escala de 10 bits. O diagrama de Bode deste compensador é apresentado na Figura 23. É possível notar que somente as frequências de 180Hz, 300Hz, 420Hz e 660Hz apresentam ganho unitário. Estas correspondem as harmônicas definidas no compensador $HC(z)$ para fundamental de 60Hz.

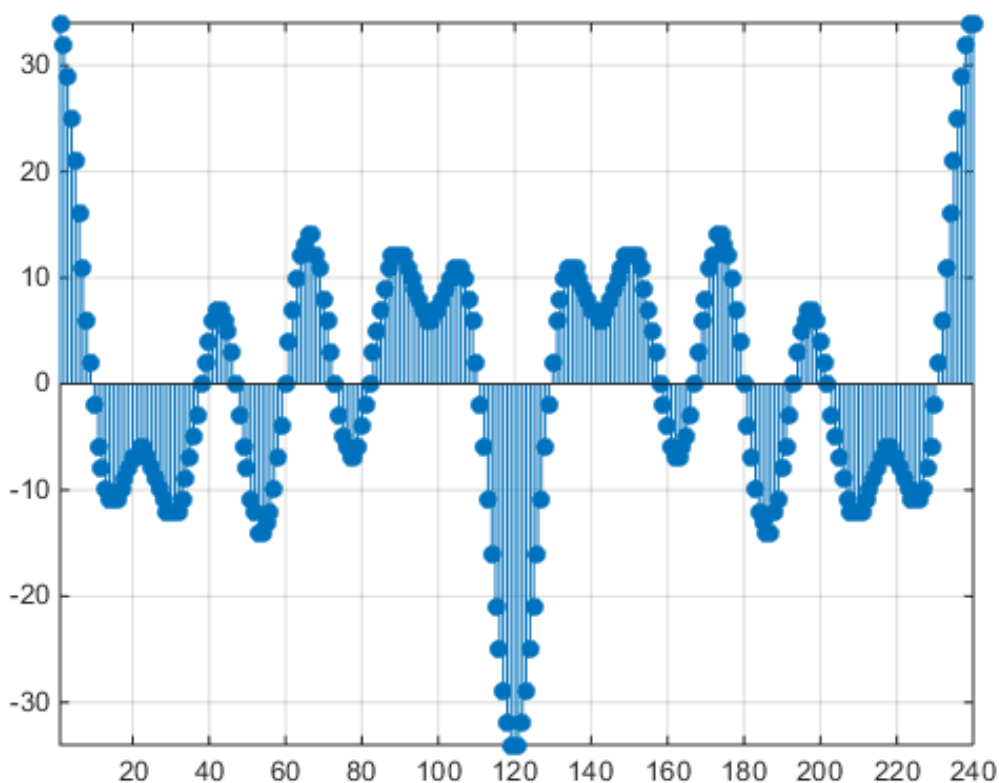


Figura 22 - Valores dos coeficientes do compensador seletivo com $N=240$, para $N_h=\{3, 5, 7, 11\}$.

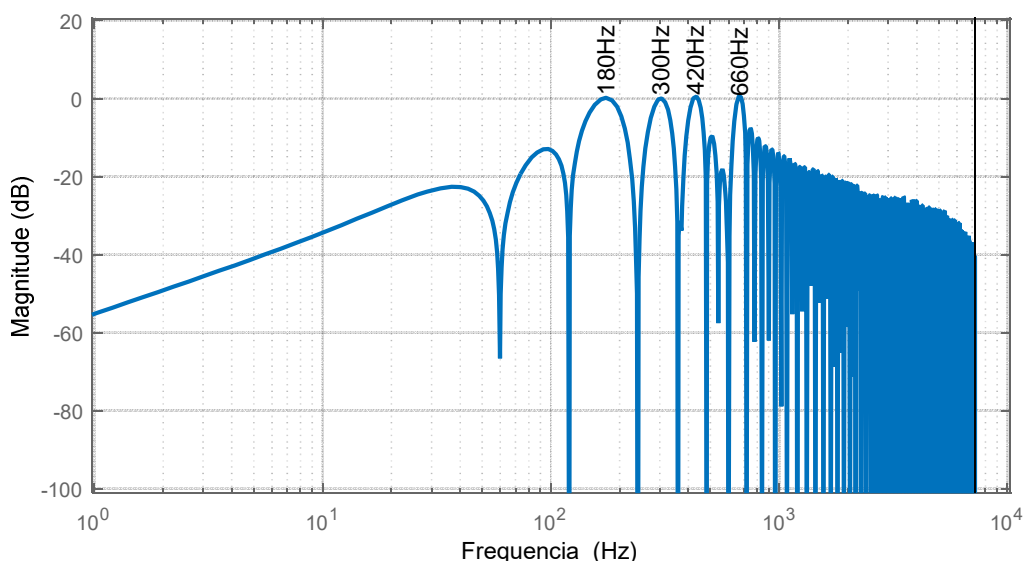


Figura 23 - Resposta em frequência do compensador seletivo com $N=240$, para $N_{hi}=\{3, 5, 7, 11\}$.

O compensador harmônico projetado acima foi utilizado para compensar as harmônicas da carga na corrente da rede de alimentação. É importante destacar que nesta análise numérica já foram consideradas questões como quantização, com resolução de 10 bits, tanto nas variáveis medidas quanto na corrente de referência gerada pelo compensador harmônico. Desta forma, pretende-se avaliar fielmente os resultados que serão obtidos na implementação experimental da arquitetura proposta utilizando este compensador. A resolução de 10 bits foi determinada baseada na capacidade do conversor A/D e no número de portas de entrada e saída (I/O) disponíveis nos dispositivos utilizados na análise experimental.

Na Figura 24 são apresentados os gráficos resultantes da simulação computacional em regime permanente. No gráfico superior são apresentadas as formas de onda da corrente da rede de alimentação, antes e depois da compensação. No gráfico inferior são apresentados os espectros harmônicos para as mesmas condições da corrente de rede. A taxa de distorção harmônica total da corrente de alimentação antes da compensação é de $THD(i_L)=39,61\%$. Após a compensação esta distorção foi reduzida a $THD(i_L)=0,87\%$. Analisando as formas de onda, os espectros harmônicos dos sinais e os valores de THD, antes e após a aplicação do compensador harmônico, fica clara a efetiva compensação realizada pela técnica escolhida.

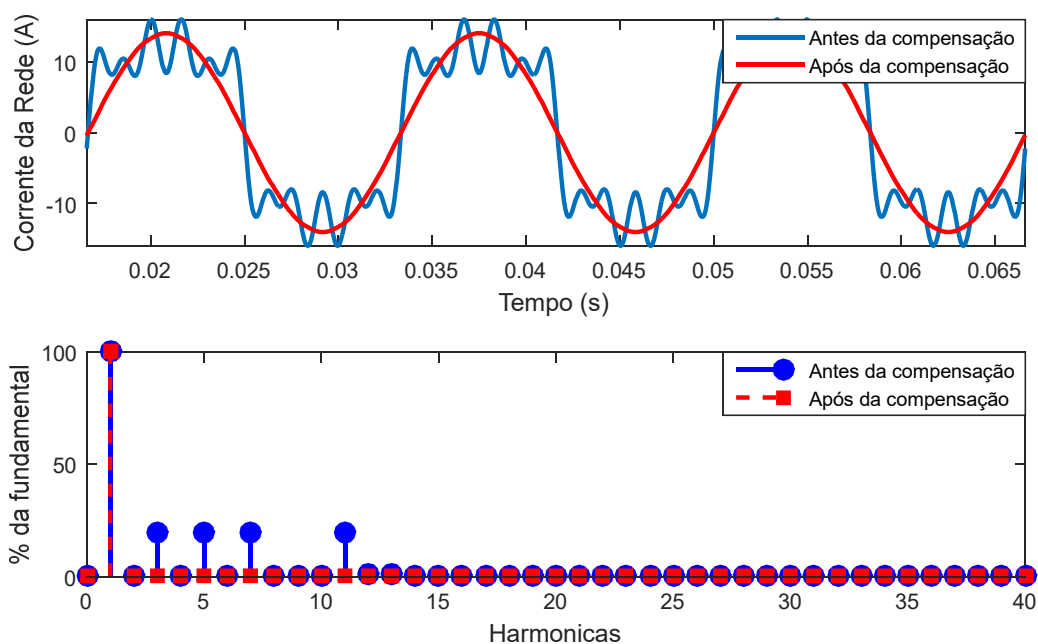


Figura 24 – Corrente de alimentação antes e após a compensação das 3^a, 5^a, 7^a e 11^a harmônicas: Análise no tempo (superior) e espectro harmônico (inferior)

As análises realizadas acima comprovam a capacidade de compensação da estrutura proposta por Matavelli e Fasolo (2000). Ainda, os resultados de simulação fornecem uma base de comparação para os resultados experimentais. A similaridade entre os mesmos permitirá concluir sobre o desempenho do algoritmo implementado. Quanto aos tempos de processamento, os mesmos serão avaliados e comparados com arquiteturas reportadas na literatura.

4.2 PROJETO DA ARQUITETURA HÍBRIDA DE PROCESSAMENTO PARA FILTROS ATIVOS DE POTÊNCIA

As técnicas aplicadas em cada abordagem de controle que é desenvolvida para filtros ativos de potência podem variar significativamente de acordo com o projetista, com a cenário de aplicação ou, até mesmo, nas modificações de uma estratégia de controle buscando aumento de desempenho. Em determinadas situações um controlador de corrente do tipo *deadbeat* pode ser mais adequado, enquanto que em outras o uso de controladores PID resolve satisfatoriamente o problema. Em casos onde existe a preocupação com dinâmicas não modeladas, o uso de controladores

com maior robustez pode ser escolhido. Assim, um dos principais objetivos deste trabalho é o projeto de uma arquitetura de hardware, com flexibilidade para implementação de diferentes estratégias de controle para FAPs.

Dispositivos como processadores digitais de sinais têm sido largamente utilizados para implementação de estratégias de controle em diversas aplicações. Alguns dos principais motivos são a flexibilidade de programação de diferentes técnicas utilizando linguagens de alto nível e a alta precisão com núcleo de processamento de ponto flutuante. Ainda, em tecnologias recentes tem sido adotado o encapsulamento combinado com periféricos como conversores analógico digitais (ADC – *Analog Digital Converters*), contadores de tempo para geração de PWM e interfaces de comunicação digital. Por outro lado, os DSPs utilizam processamento sequencial para execução de um conjunto de tarefas, o que pode demandar um tempo significativo dependendo do tamanho deste conjunto. As FPGAs, como destacado no Capítulo 3, podem ser configuradas para processamento paralelo de tarefas, o que permite reduzir significativamente o tempo de execução comparadas aos DSPs de mesma frequência de operação. Assim, uma estrutura híbrida que otimize as características de DSPs e FPGAs pode ser uma solução interessante para aplicações que demandam flexibilidade e alta taxa de processamento.

A concepção do sistema de processamento de estratégias de controle para FAPs foi realizada tomando as seguintes premissas:

- a) Utilizar um dispositivo do DSP como uma interface com o FAP, por meio de conversores analógico/digital e geradores de PWM, e para implementação de controladores e filtros digitais com reduzido número de operações ou que não suportem paralelismo;
- b) Utilizar uma FPGA para processar os sinais já digitalizados pelo DSP, em algoritmos de controle que requeiram elevado número de operações e que possam ser paralelizados.

Utilizando tais premissas e o sistema descrito na Figura 3, o sistema com filtro ativo e arquitetura híbrida para processamento de estratégias de controle é apresentado na Figura 25.

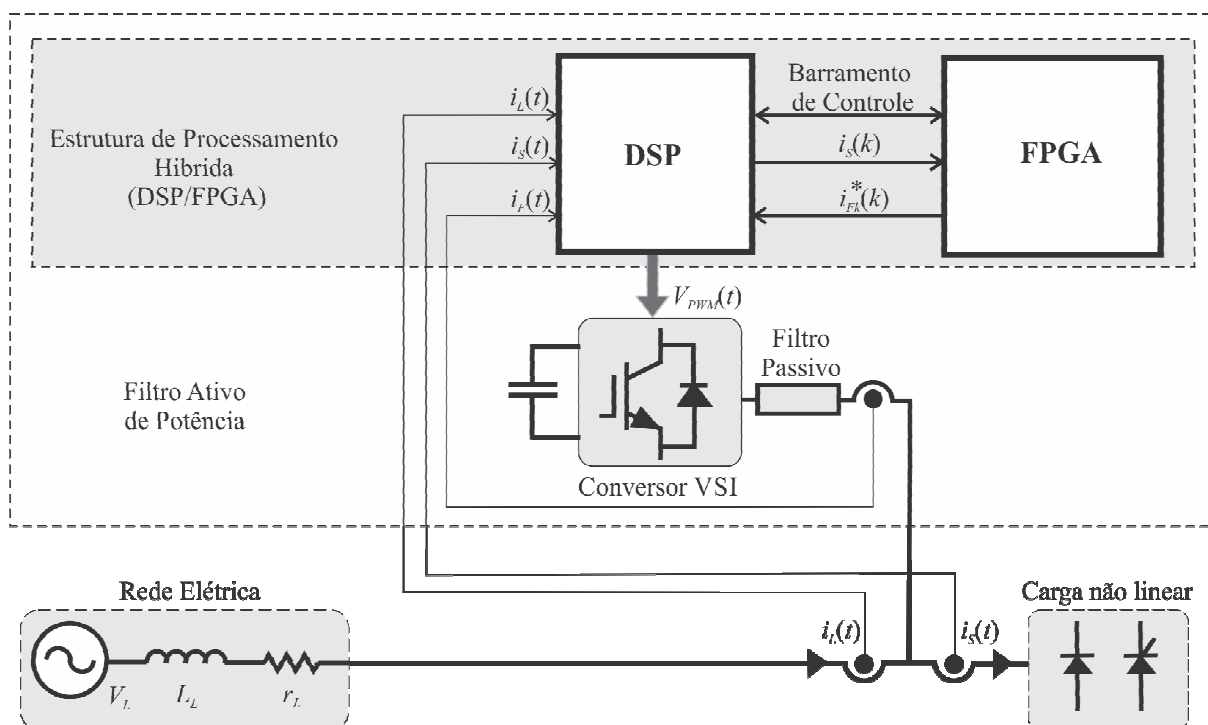


Figura 25 – Filtro ativo de potência com estrutura híbrida de processamento por DSP e FPGA.

Para definição dos dispositivos de processamento foram consideradas as implementações de controladores para FAPs que utilizaram dispositivos DSP (Matavelli e Fasolo (2000)) e FPGA (Lopes (2012)), separadamente. Ainda, a escolha do DSP considerou a continuidade dos trabalhos, a disponibilidade e a experiência com o dispositivo pelo grupo de pesquisa. A FPGA considerou também a disponibilidade do dispositivo em laboratório e a possibilidade de comparação com o trabalho de Lopes (2012). Assim, a FPGA utilizada foi uma XC3S500E, do fabricante Xilinx, que foi ser configurada através do kit de desenvolvimento Spartan-3E. Quanto ao DSP, foi utilizado um TMS320F28069, do fabricante Texas Instruments, programado através de um kit de desenvolvimento Piccolo controlSTICK. As principais características da FPGA são apresentadas na Tabela 2 e do DSP na Tabela 3. É importante destacar que a XC3S500E possui 20 multiplicadores dedicados que são fatores determinantes para a paralelização do processamento. Ainda, quanto ao DSP, este possui características interessantes para este tipo de aplicação como 12 canais ADC de alta velocidade, 16 canais de PWM, além de núcleo de ponto flutuante.

Tabela 2 - Principais configurações da FPGA XC3S500E.
Fonte: Xilinx (2013).

System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits	Block RAM bits	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
		Rows	Columns	Total CLBs	Total Slices						
500K	10.476	46	34	1.164	4.656	73K	360K	20	4	232	92

Tabela 3 - Principais configurações do DSP Piccolo controlSTICK TMS320F28069.
Fonte: Texas Instruments (2015).

CPU Model	CPU Architecture	Frequency (MHz)	RAM (KB)	Flash (KB)	PWM Channels	ADC (2) Resolution	ADC Conversion Time (ns)	ADC Channels	GPIO (shared with ADC and PWM)
C28x	Floating Point	90	100	256	16	12-bit	289	12	16

A Figura 26 apresenta a imagem dos dispositivos utilizados em seus kits de desenvolvimento. Conforme representado, são utilizados os conectores de I/O para comunicação digital entre os dispositivos. O DSP ainda utiliza este mesmo conector para aquisição dos sinais analógicos e para geração de PWM. Assim, o conector do kit de desenvolvimento do DSP se tornou limitado, e 10 bits foram utilizados para comunicação entre os dispositivos.

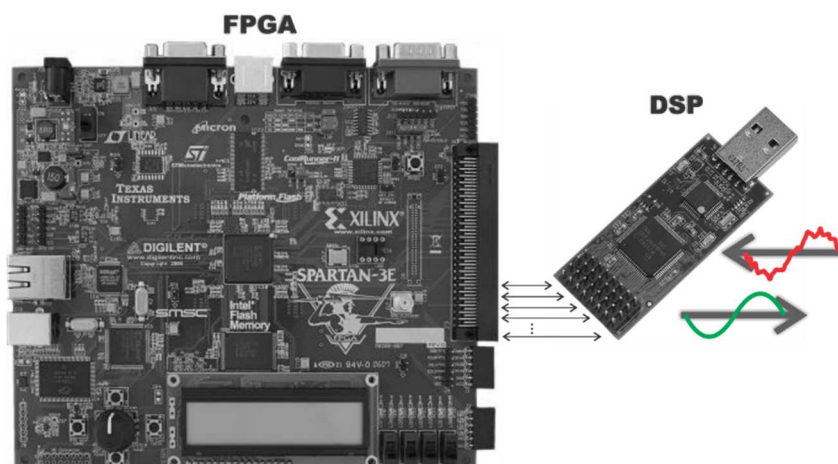


Figura 26 – Hardware utilizado na arquitetura híbrida de processamento com DSP e FPGA.

A partir da definição dos dispositivos, foi elaborado um algoritmo de implementação do sistema de controle para FAPs com o compensador de harmônicos. O princípio deste algoritmo é apresentado na Figura 27.

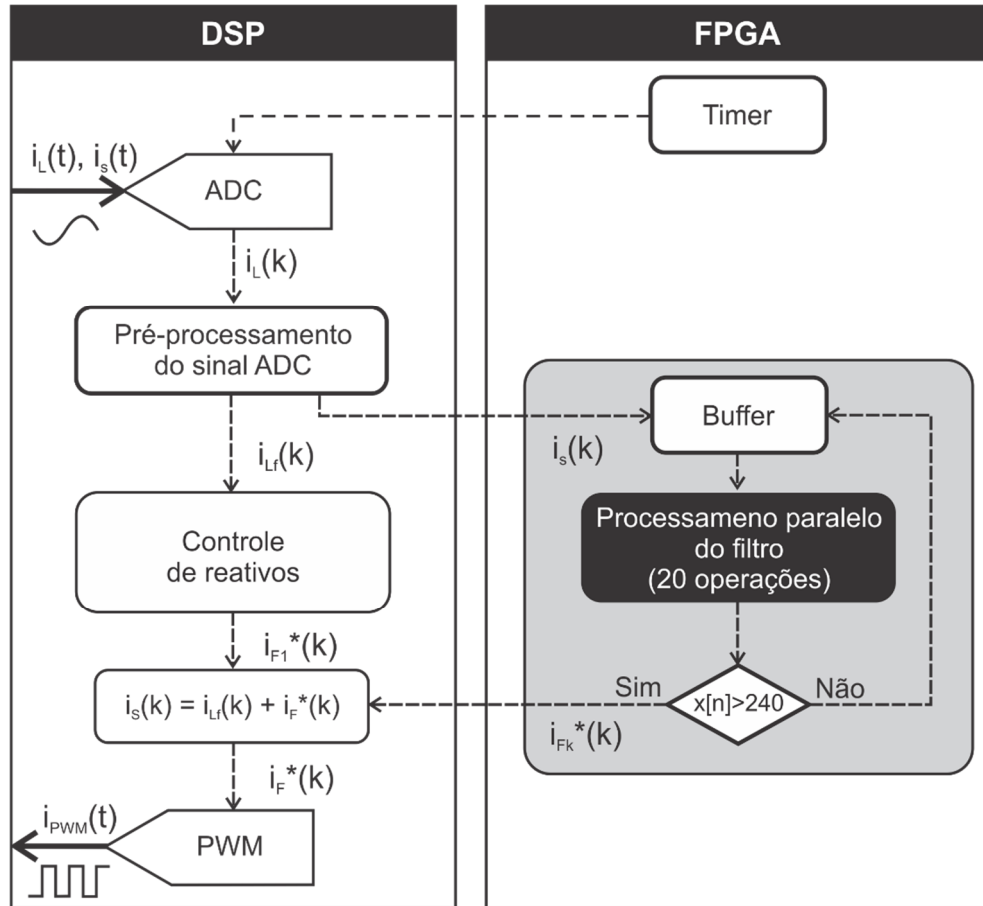


Figura 27 – Algoritmo de processamento para controladores de FAPs utilizando FPGA e DSP

O processo se inicia com o término de um tempo de contagem em *timer* da FPGA, que gera uma interrupção no DSP. O tratamento da interrupção realiza primeiramente uma conversão analógico digital e então envia a amostra para a FPGA. Enquanto a FPGA processa o compensador de harmônicas, o DSP pode realizar cálculos relativos a outras malhas de controle ou de gerenciamento geral do FAP. Na FPGA, o vetor de entradas é atualizado com a amostra recebida do DSP e é realizado o cálculo do compensador a partir de (2.22), utilizando os multiplicadores dedicados no menor número de ciclos possível. Finalizado o cálculo do compensador, a FPGA retorna um valor de corrente de referência ao DSP por meio de uma nova interrupção. Este, pode somar a parcela harmônica da corrente de referência ao resultado das demais malhas de controle. Com um controlador de corrente, o DSP pode calcular

valores adequados de tensão para gerar a corrente desejada no filtro passivo e envia ao conversor VSI através de *timers* PWM. Uma vez que o foco não é a etapa de potência e sim a arquitetura de processamento, na validação experimental a corrente de referência é somada a corrente de carga emulando assim um filtro ativo ideal. O sinal é então convertido em PWM e através de um filtro passa-baixa de segunda ordem é obtida emulação da corrente da rede de alimentação já compensada. É importante ressaltar que os demais controladores como, por exemplo, controle de corrente, controle de reativos, controle do barramento CC, não estão contemplados no escopo deste trabalho, cujo foco é a implementação da arquitetura flexível de cálculo com processamento paralelo para controle de harmônicas.

A utilização de um modelo híbrido, ou ainda, a utilização de dois ou mais dispositivos que trabalhem em ações coordenadas exige que um deles seja eleito para coordenar as ações, neste caso, a FPGA exerce esta função, fazendo com que as operações do DSP sejam acionadas por ela e respondidas a ela. A adoção da FPGA como dispositivo coordenador das operações, se deu em razão de grande parte da lógica de funcionamento estar implementada neste dispositivo.

A comunicação entre os dispositivos é assíncrona. Suas ações são coordenadas através de uma máquina de estados. Isso permite que os dispositivos trabalhem de forma independente, executando diferentes tarefas ao mesmo tempo, porém de forma cooperativa, o que possibilita a execução separadamente dos diversos blocos da estratégia de controle. A máquina de estados implementada na FPGA é exibida na Figura 28.

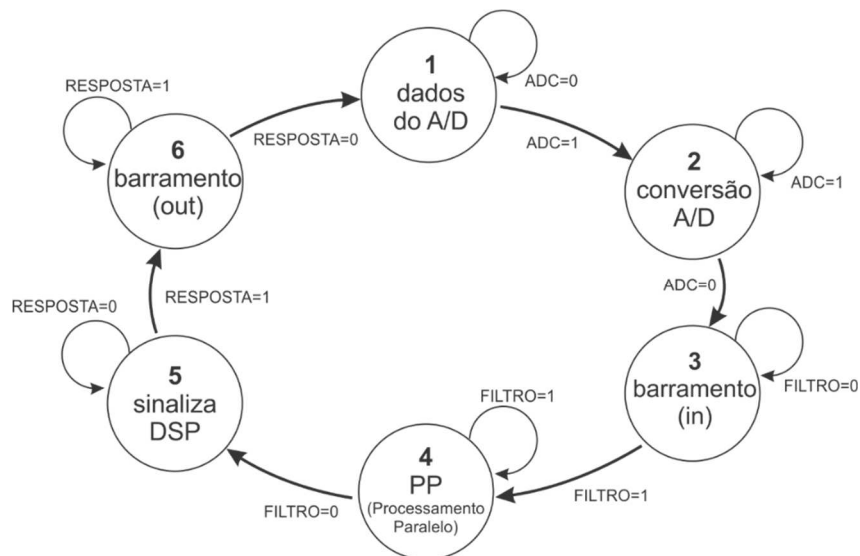


Figura 28 - Máquina de estados responsável por coordenar as ações entre os dispositivos.

A máquina de estados é baseada no princípio de solicitação/resposta, ou seja, a cada solicitação a máquina fica aguardando uma resposta para evolução do estado seguinte. O fluxo de execução é descrito pela seguinte sequência:

1. **Dados do A/D:** o *timer* da FPGA dispara uma solicitação para o DSP, o mesmo responde (ADC=1) possibilitando a troca de estado.
2. **Conversão A/D:** A FPGA fica aguardando o DSP coletar uma amostra $i_s(t)$ e converte-la para $i_s(k)$.
3. **Barramento (in):** Muda o estado do barramento da FPGA para *in* e lê os dados do barramento (amostra $i_s(k)$) e solicita a execução do filtro fazendo FILTRO=1.
4. **PP (Processamento Paralelo):** Realiza o processamento (em paralelo) das amostras coletadas até a amostra N e então atualiza FILTRO=0.
5. **Sinaliza DSP:** Envia um sinal para o DSP indicando que os dados foram processados e aguarda até que RESPOSTA=1.
6. **Barramento (out):** Muda o estado do barramento da FPGA para *out* envia a corrente de referência para que o DSP possa utilizar. Permanece aguardando a confirmação (RESPOSTA=0) para alterar o barramento para o ciclo seguinte.

O código VHDL que implementa esta máquina de estados na FPGA é apresentado no Quadro 2.

Quadro 2 - Implementação da Máquina de Moore para controle do processo pela FPGA.

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY COMUNICADOR IS
    PORT (CLK: IN STD_LOGIC;
          TEMPO: OUT STD_LOGIC;
          OUTPUT_ENABLE: OUT STD_LOGIC;
          ADC_SOLICITA, DAC_SOLICITA, SOMA_SOLICITA: OUT STD_LOGIC;
          ADC_RESPOSTA, DAC_RESPOSTA, SOMA_RESPOSTA: IN STD_LOGIC);
END COMUNICADOR;

ARCHITECTURE DESCRICAO OF COMUNICADOR IS
    TYPE STATE_TYPE IS (A, B, C, D, E, F);
    SIGNAL ESTADO_ATUAL, ESTADO_PROXIMO : STATE_TYPE := A;
BEGIN
    PROCESSO_PRINCIPAL: PROCESS(ESTADO_ATUAL, ADC_RESPOSTA, DAC_RESPOSTA, SOMA_RESPOSTA)
    BEGIN
        CASE ESTADO_ATUAL IS
            WHEN A =>
                TEMPO <= '0';
                OUTPUT_ENABLE <= '0';
                DAC_SOLICITA <= '0';
                ADC_SOLICITA <= '1';
                SOMA_SOLICITA <= '0';
                IF(ADC_RESPOSTA = '1') THEN
                    ESTADO_PROXIMO <= B;
                ELSE
                    ESTADO_PROXIMO <= A;
                END IF;
            WHEN B =>
                TEMPO <= '0';

```



```

        OUTPUT_ENABLE <= '0';
        DAC_SOLICITA <= '0';
        ADC_SOLICITA <= '0';
        SOMA_SOLICITA <= '0';
        IF(ADC_RESPOSTA = '0') THEN
            ESTADO_PROXIMO <= C;
        ELSE
            ESTADO_PROXIMO <= B;
        END IF;
    WHEN C =>
        TEMPO <= '1';
        OUTPUT_ENABLE <= '0';
        DAC_SOLICITA <= '0';
        ADC_SOLICITA <= '0';
        SOMA_SOLICITA <= '1';
        IF(SOMA_RESPOSTA = '1') THEN
            ESTADO_PROXIMO <= D;
        ELSE
            ESTADO_PROXIMO <= C;
        END IF;
    WHEN D =>
        TEMPO <= '1';
        OUTPUT_ENABLE <= '0';
        DAC_SOLICITA <= '0';
        ADC_SOLICITA <= '0';
        SOMA_SOLICITA <= '0';

        IF(SOMA_RESPOSTA = '0') THEN
            ESTADO_PROXIMO <= E;
        ELSE
            ESTADO_PROXIMO <= D;
        END IF;
    WHEN E =>
        TEMPO <= '0';
        OUTPUT_ENABLE <= '1';
        DAC_SOLICITA <= '1';
        ADC_SOLICITA <= '0';
        SOMA_SOLICITA <= '0';
        IF(DAC_RESPOSTA = '1') THEN
            ESTADO_PROXIMO <= F;
        ELSE
            ESTADO_PROXIMO <= E;
        END IF;
    WHEN F =>
        TEMPO <= '0';
        OUTPUT_ENABLE <= '1';
        DAC_SOLICITA <= '0';
        ADC_SOLICITA <= '0';
        SOMA_SOLICITA <= '0';
        IF(DAC_RESPOSTA = '0') THEN
            ESTADO_PROXIMO <= A;
        ELSE
            ESTADO_PROXIMO <= F;
        END IF;
    END CASE;
END PROCESS PROCESSO_PRINCIPAL;
ATUALIZA_ESTADO: PROCESS (CLK, ESTADO_PROXIMO)
BEGIN
    IF (CLK'EVENT AND CLK = '1') THEN
        ESTADO_ATUAL <= ESTADO_PROXIMO;
    END IF;
END PROCESS ATUALIZA_ESTADO;
END DESCRICAO;

```

Utilizando a máquina de estados descrita acima, é implementada a plataforma experimental com o TMS320F28069 e com a XC3S500E apresentada na Figura 29. Esta figura apresenta as operações e conexões utilizadas na arquitetura híbrida, para aquisição do sinal da corrente de carga, processamento do compensador harmônico e emulação da corrente de rede compensada.

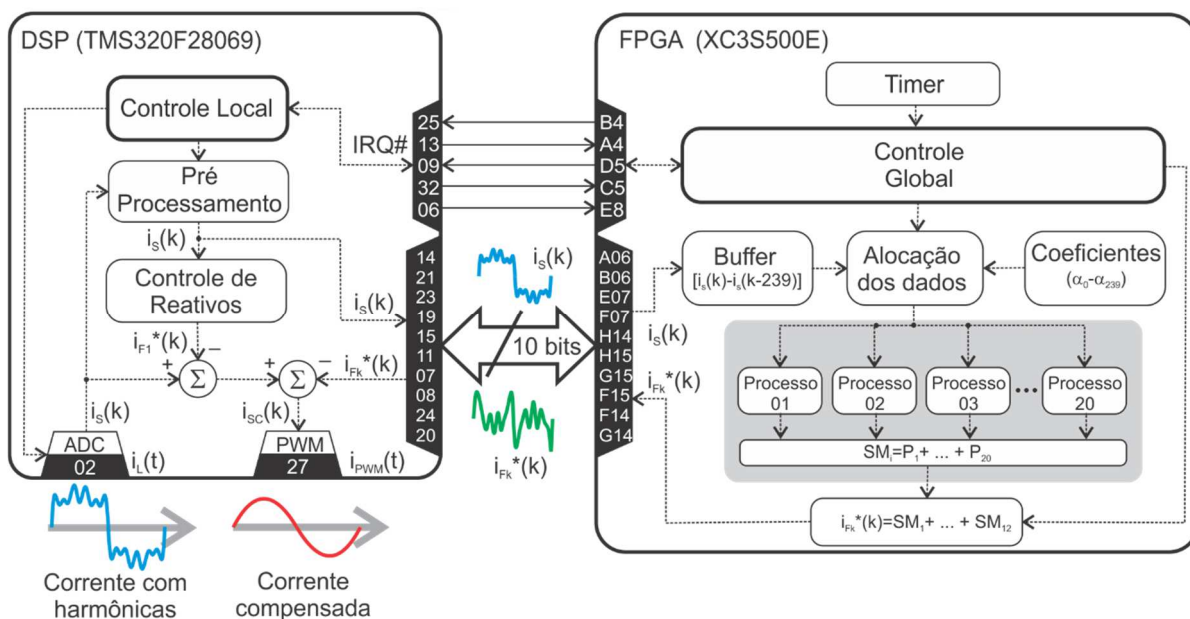


Figura 29 - Plataforma experimental com o TMS320F28069 e com a XC3S500E.

A conexão entre o DSP e a FPGA é dividida em dois barramentos, controle e dados. No barramento de controle são realizadas as sinalizações entre os dispositivos sobre a disponibilidade e direção do fluxo no barramento de dados. O barramento de dados utiliza 10 linhas bidirecionais para comunicação paralela entre os dispositivos. Na Tabela 4 são apresentados os detalhes com a pinagem utilizada na arquitetura desenvolvida.

Tabela 4 - Conexões e pinagem da FPGA e do DSP para comunicação na arquitetura híbrida.

	Descrição	FPGA	DSP	Fluxo
CONTROLE	Interrupção para o DSP (amostragem)	B4	25	FPGA→DSP
	Informa disponibilidade da corrente amostrada no barramento de dados	A4	13	DSP→FPGA
	Informa disponibilidade da corrente de referência no barramento de dados	D5	09	FPGA→DSP
	Finalização da malha de controle	C5	32	DSP→FPGA
	Medição do tempo de processamento	E8	06	DSP→FPGA
DADOS	Valor de corrente (amostrada ou referência) - Bit 01	A06	14	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 02	B06	21	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 03	E07	23	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 04	F07	19	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 05	H14	15	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 06	H15	11	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 07	G15	07	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 08	F15	08	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 09	F14	24	Bidirecional
	Valor de corrente (amostrada ou referência) - Bit 10	G14	20	Bidirecional

Conforme representado na Figura 29, a FPGA realiza solicitação de amostra da corrente através da conexão "B4→25". Uma interrupção é acionada no DSP que

ativa o ADC de 12 bits e responde a FPGA pela conexão “13→A4”. Por questões de limitação do conector do DSP, os valores são normalizados em 10 bits para comunicação entre os dispositivos, desprezando os 2 bits menos significativos resultantes do ADC. Na sequência, a conexão “06→E8” é colocada em nível “alto”. Este procedimento foi implementado para poder medir o tempo de processamento da FPGA, sendo que quando a FPGA finalizar o processamento do compensador a mesma sinaliza o ADC, e esta conexão é colocado em nível “baixo”. A FPGA então atualiza um *buffer* de amostras, e passa a processar o compensador. O conjunto de multiplicações e somas é dividido em etapas, como apresentado no gráfico temporal da Figura 30. O número de processos simultâneos que ocorrem em cada etapa é definido pelas limitações do hardware que está sendo utilizado (FPGA). Neste caso, com uma FPGA XC3S500E o fator limitante é o número de multiplicadores dedicados, 20 conforme apresentado na Tabela 2. As operações de multiplicação e a cadeia de somas em paralelo são acumuladas ao término de cada etapa, até que o número de pontos especificado seja atendido.

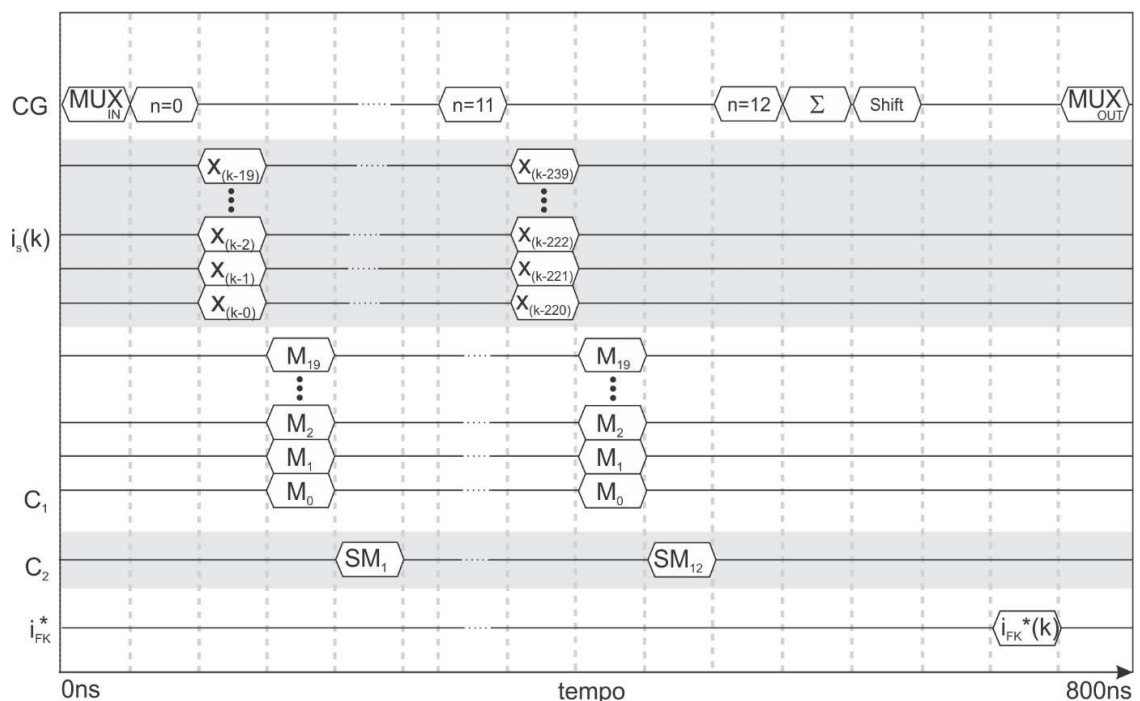


Figura 30 - Gráfico temporal de execução das tarefas.

No caso exemplificado são necessários 12 ciclos com os 20 multiplicadores, uma vez que $N=240$. Na sequência, o resultado do processamento, a corrente de

referência relativa as harmônicas, é enviado ao DSP e é sinalizado através da conexão “D5→O9”, que gera uma interrupção no DSP. Para geração de um sinal de emulação da corrente da rede compensada é realizada a subtração da corrente de referência da corrente de carga. O valor resultante é alocado em um *timer* PWM, que possui saída no pino 27 do DSP o qual é conectado a um filtro analógico de 2ª ordem com frequência de corte de 1,5kHz. A conclusão deste processo é sinalizada para a FPGA através da conexão “32→C5”, completando assim o ciclo de operações na arquitetura proposta.

Neste momento é importante destacar que a alteração dos processos executados no DSP não afeta o algoritmo utilizado, contanto que o tempo total de operações no mesmo seja inferior ao tempo configurado no timer da FPGA. Assim, podem ser executadas diferentes técnicas de controle referentes aos controladores de corrente, controlador do barramento CC, controladores de reativos e processamento de sinais. A emulação da corrente de rede compensada foi realizada apenas para verificar a validade dos resultados do compensador harmônico e seguiu o mesmo conceito empregado por Lopes (2012).

4.3 DESCRIÇÃO DOS PROCESSOS NA FPGA

A implementação estratégias de controle do FAP com processamento paralelo descrita nesta seção aplica o conceito de reutilização dos recursos. O objetivo não é apenas a redução do tempo de processamento, mas também possibilitar que o sistema seja flexível, não dependendo de um único modelo de FPGA, permitindo sua utilização em FAPs com diferentes configurações de hardware. Neste trabalho foi utilizada a ferramenta de desenvolvimento Spartan-3E (XC3S500E), mesmo modelo utilizado por Lopes (2012), a fim de efetuar comparações de desempenho.

A abordagem utilizada baseia-se na divisão de grupos de operações em estágios. Estes estágios consistem em blocos de processamento. Os blocos têm seu tamanho definido através da capacidade de operações suportadas pelo dispositivo. A execução destes blocos de operações é coordenada através de uma máquina de estados de Moore (descrita na Seção 4.2). Desta maneira é possível ordenar a execução de múltiplas operações concorrentes. Para exemplificar o funcionamento

das operações, o filtro obtido na expressão (2.22) será considerado de 240ª ordem, ou seja, seriam possíveis 240 operações concorrentes. Este valor permite compensar um número significativo de harmônicas. Entretanto, uma vez que a FPGA XC3S500E possui apenas 20 multiplicadores dedicados, no projeto considera-se esse número o máximo de operações simultâneas. A execução dos estágios de processamento é coordenada pela separação de tarefas, cuja divisão de operações é feita em estágios, como pode-se observar a representação do gráfico temporal exibido na Figura 30. O fluxograma da execução das tarefas na FPGA é apresentado na Figura 31.

As tarefas na FPGA iniciam a partir do recebimento de uma nova amostra enviada pelo DSP através do MUX configurado como entrada. A amostra recebida é normalizada pelo DSP em uma escala de 10 bits, dada a limitação física de conexões entre o DSP e a FPGA. O número de estágios (NE) é determinado *a priori* pela razão do número de amostras (N), em cada ciclo de onda fundamental, pelo número de multiplicadores disponíveis pela FPGA ($NMULT$), conforme (4.1).

$$NE = \frac{(\text{número amostras por ciclo da fundamental})}{(\text{número de multiplicadores da FPGA})}. \quad (4.1)$$

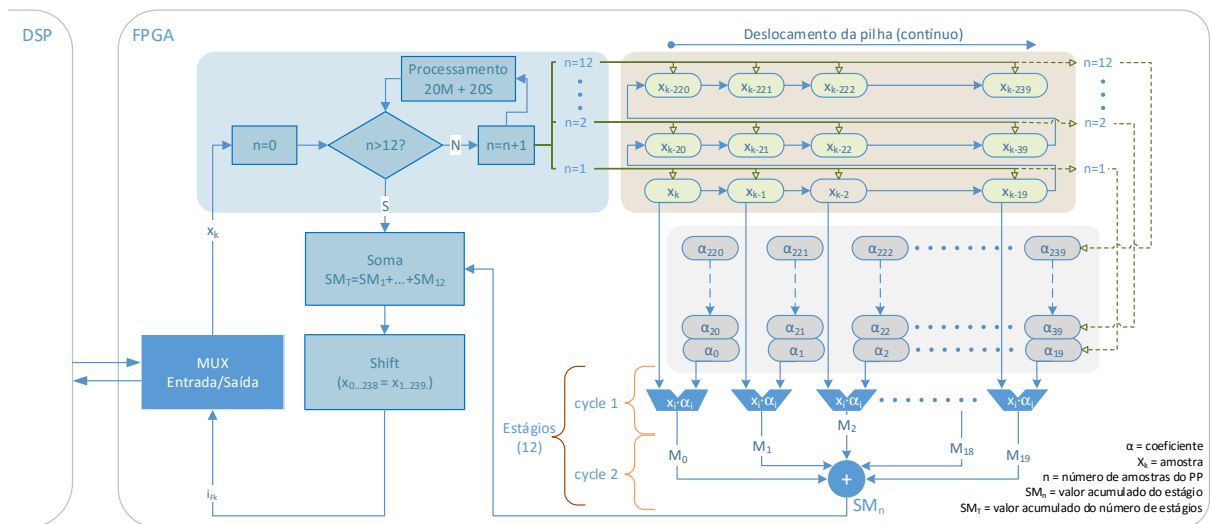


Figura 31 - Representação gráfica do fluxo de execução na FPGA

Uma vez que nesta aplicação foram definidas 240 amostras, foram necessários 12 estágios de execução (240 amostras / 20 multiplicadores). Ainda no primeiro estágio, o contador de estágios é inicializado com zero ($n = 0$).

A cada estágio verifica-se se $n = NE$. Caso $n < NE$, o contador de estágios é incrementado em um, e então são multiplicadas as 20 primeiras amostras ($x(k) - x(k-19)$) pelos 20 primeiros coeficientes do filtro ($\alpha_0 - \alpha_{19}$). No ciclo seguinte os resultados destas multiplicações são somados em uma variável que armazena o valor de cada estágio. Após a operação de soma novamente é verificado se o estágio atual é igual ao número total de estágios. Este ciclo de operações se repete até que esta condição seja satisfeita. A cada passo em que a mesma não é atendida o contador de estágio é incrementado em um, e o índice de amostras e coeficientes é incrementado em 20, sendo que no último estágio ($n=12$) são multiplicadas as amostras $x(k-220) - x(k-239)$ pelos coeficientes $\alpha_{220} - \alpha_{239}$.

Quando $n = NE$ significa que não são mais necessárias operações de multiplicação e soma, desviando o fluxo para o tratamento do sinal e posterior envio ao DSP. A primeira ação a ser realizada nesse sentido, é calcular o total das somas de todas as etapas anteriores, desta maneira o valor resultante é a corrente de referência gerada pelo compensador harmônico. Este valor é então normalizado para 10 bits, de forma a ser enviado paralelamente ao DSP pelo MUX. Paralelamente ocorre o processo de deslocamento das amostras, fazendo com que a amostra mais antiga seja descartada e as demais tenham seu índice incremento em 1. Esse processo otimiza recursos de comunicação, reaproveitando as amostras anteriores. Conforme representado na Figura 31, após a FPGA finalizar este algoritmo de processamento do compensador harmônico a corrente de referência calculada é enviada ao DSP.

O modelo apresentado permite a sua utilização em compensadores com diferentes resoluções. Obviamente que quanto maior for a resolução, ou seja, o número de pontos por ciclo da fundamental, maior será a ordem do compensador e, conseqüentemente, o número de operações para processamento. Todavia, o modelo também é adaptável a diferentes plataformas de FPGAs, o que implica na redução do tempo total de acordo com o aumento da capacidade do hardware disponível, tanto em frequência de operação quanto em número de multiplicadores disponíveis.

4.4 ANÁLISE EXPERIMENTAL DA ARQUITETURA HÍBRIDA DE PROCESSAMENTO

A construção do sistema proposto neste trabalho teve o desenvolvimento do algoritmo que efetua o processamento do filtro, testado e implementado com diferentes resoluções. Desta maneira, verificou-se a utilização da placa FPGA com o aumento do número de amostras, principalmente, no que diz respeito a construção e mapeamento dos circuitos.

Com o intuito de verificar o comportamento do sistema, primeiramente, implementou-se um filtro com análise de 30 amostras por ciclo. Com este cenário já é possível observar o comportamento do dispositivo fazendo a utilização da técnica de pipeline. Ressalta-se que a FPGA utilizada (XC3S500E) possui apenas 20 multiplicadores dedicados, implicando em dois estágios de multiplicação, o primeiro com 20 multiplicações e o segundo com as 10 restantes. No Quadro 3 é exibido um resumo dos recursos da FPGA utilizados para esta implementação, salientando-se a utilização dos multiplicadores (MULT18X18ISO = 100%) e o baixo número de LUTs (*Input LUTs* = 4%) e de *slices* ocupados (*Occupied Slices* = 8%).

Quadro 3 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=30.

Device Utilization Summary					
Logic Utilization	Used	Available	Utilization	Note(s)	
Number of Slice Flip Flops	286	9,312	3%		
Number of 4 input LUTs	431	9,312	4%		
Number of occupied Slices	375	4,656	8%		
Number of Slices containing only related logic	375	375	100%		
Number of Slices containing unrelated logic	0	375	0%		
Total Number of 4 input LUTs	446	9,312	4%		
Number used as logic	430				
Number used as a route-thru	15				
Number used as Shift registers	1				
Number of bonded IOBs	13	232	5%		
IOB Flip Flops	6				
Number of BUFGMUXs	3	24	12%		
Number of MULT18X18SIOs	20	20	100%		
Average Fanout of Non-Clock Nets	1.80				

A capacidade máxima da FPGA foi alcançada para resolução de 240 amostras por ciclo, ou seja, $N=240$. No Quadro 4 constata-se o uso pleno dos recursos do dispositivo, evidenciando os 4.654 *slices* utilizados, que correspondem a 99% da capacidade total e um aumento significativo no uso das LUTs. Da mesma forma que para $N=30$, tem-se todos os multiplicadores utilizados (MULT18X18ISO = 100%).

Uma nova implementação foi realizada com o objetivo de possibilitar compensação efetiva até a 39^o harmônica, utilizando 780 amostras por ciclo da fundamental. Esta implementação resultou na saturação dos recursos. Mesmo utilizando-se de recursividade, não foi possível encontrar soluções para mapear o algoritmo para este conjunto de amostras na FPGA. O resumo dos recursos utilizados é apresentado no Quadro 5, no qual os recursos escassos para esta implementação são destacados pela observação “*overmapped*”. A saturação dos recursos ocorre em razão da necessidade de mapear o roteamento dos *slices* e LUTs, pois para cada etapa do pipeline, novas rotas são criadas. Ainda, o acesso a todas as amostras e coeficientes gera rotas adicionais na proporção do incremento das amostras.

Quadro 4 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=240.

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	2,518	9,312	27%	
Number of 4 input LUTs	6,571	9,312	70%	
Number of occupied Slices	4,654	4,656	99%	
Number of Slices containing only related logic	4,654	4,654	100%	
Number of Slices containing unrelated logic	0	4,654	0%	
Total Number of 4 input LUTs	7,099	9,312	76%	
Number used as logic	6,411			
Number used as a route-thru	528			
Number used as Shift registers	160			
Number of bonded IOBs	16	232	6%	
IOB Flip Flops	20			
Number of BUFGMUXs	13	24	54%	
Number of MULT18X18SIOs	20	20	100%	
Average Fanout of Non-Clock Nets	1.72			

Quadro 5 - Recursos utilizados pela XC3S500E para implementação do HC(z) com N=780.

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	7,656	9,312	82%	
Number of 4 input LUTs	19,081	9,312	204%	OVERMAPPED
Number of occupied Slices	13,111	4,656	281%	OVERMAPPED
Number of Slices containing only related logic	13,111	13,111	100%	
Number of Slices containing unrelated logic	0	13,111	0%	
Total Number of 4 input LUTs	20,883	9,312	224%	OVERMAPPED
Number used as logic	18,361			
Number used as a route-thru	1,802			
Number used as Shift registers	720			
Number of bonded IOBs	16	232	6%	
IOB Flip Flops	20			
Number of BUFGMUXs	24	24	100%	
Number of MULT18X18SIOs	20	20	100%	
Average Fanout of Non-Clock Nets	1.58			

A Figura 32(a) apresenta o circuito gerado para a implementação com 30 amostras. A área exibida é de aproximadamente um quarto do circuito total. Observa-se que o mapeamento entre os componentes é espaçado e não ocupa toda a área disponível para implementação. O mesmo não ocorre com a Figura 32(b), na qual o mapeamento do circuito para implementação com 240 amostras é apresentado. Percebe-se que a saturação dos recursos para a criação de novas rotas. Esta situação impede a ampliação no número de amostras para valores maiores que 240 do compensador harmônico no dispositivo XC3S500E.

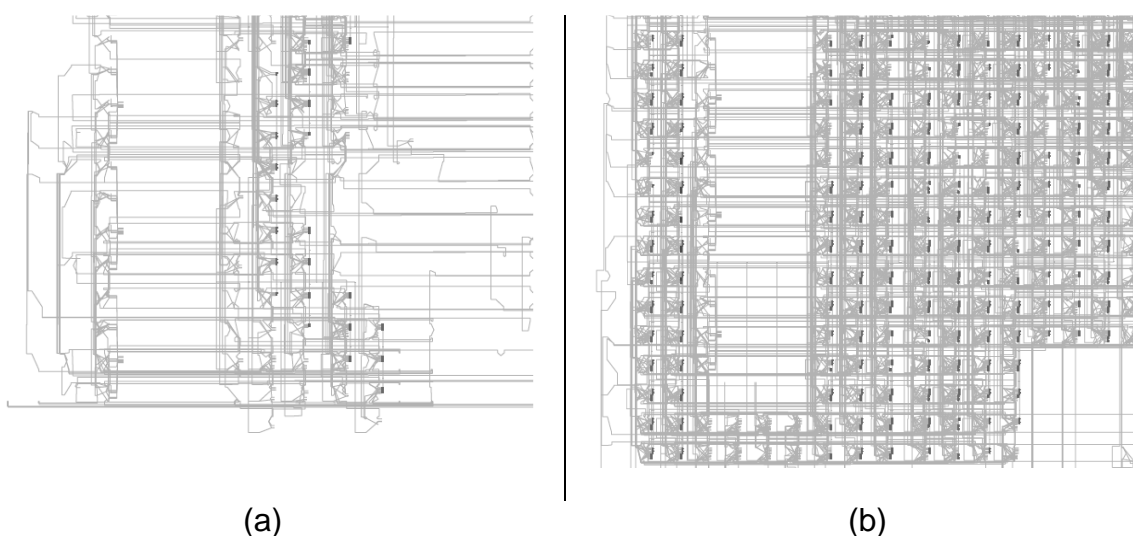


Figura 32 - Circuito parcial gerado pela FPGA para: (a) 30 amostras e (b) 240 amostras.

4.5 RESULTADOS EXPERIMENTAIS

Após realizar simulações computacionais, com a finalidade de verificar se os métodos implementados são efetivamente funcionais (Seção 4.1), foi executada a implementação física da arquitetura proposta com a mesma ordem e parâmetros da simulação computacional.

Para averiguar o comportamento e desempenho do sistema, a parametrização do compensador ocorreu da mesma forma que simulação computacional da Seção 4.1.2, considerando as mesmas harmônicas ($N_h=\{3,5,7,9,11\}$) na corrente de carga e utilizando um compensador de harmônicas de mesma ordem ($N=240$), ou seja, com frequência de amostragem de 14400 Hz.

Para geração do sinal da corrente de carga para medição pelo DSP, foi utilizado um gerador de função Tektronix AFG-3022, que possui capacidade de produzir sinais com frequência de até 25MHz, com 250 MS/s e com resolução de 14 bits. Para visualização da corrente da rede já compensada a mesma foi emulada através de PWM e de um filtro passa-baixas de 2ª ordem, com frequência de corte em 1,5 kHz e amortecimento 0,3. Esta frequência de corte foi definida para filtrar adequadamente o sinal PWM ao mesmo tempo que evita interferência na compensação das harmônicas em análise (de 180 a 660Hz), ou seja, minimiza a atenuação das possíveis harmônicas não compensadas pelo filtro seletivo. Para visualização dos sinais de corrente emulados foi utilizado um osciloscópio Tektronix DPO4104B, de 1GHz, com 5GS/s.

Ainda compõem a plataforma experimental, fontes independentes para alimentação da FPGA e do filtro passa-baixas, e um computador, que no momento da execução do experimento apenas exerce a função de alimentar o DSP através da interface USB. A Figura 33 apresenta os principais dispositivos e sinaliza as conexões entre os mesmos.

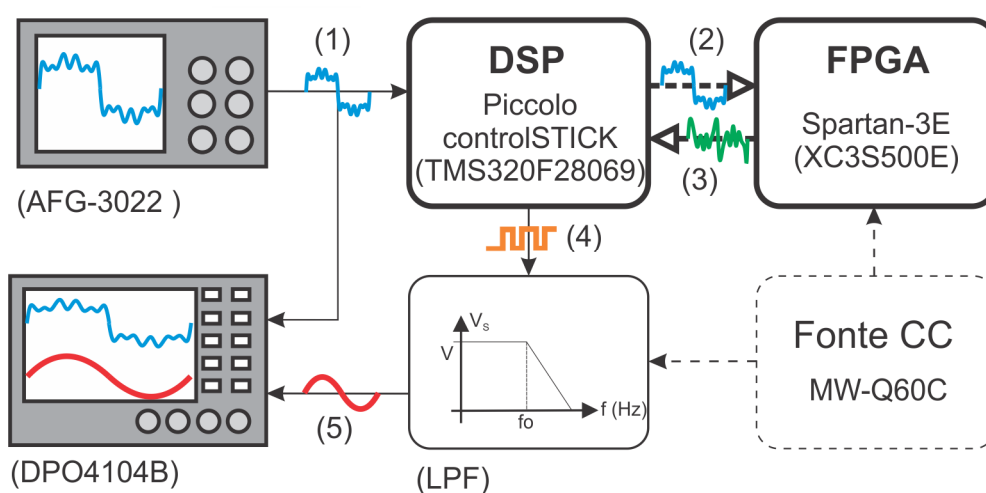


Figura 33 - Setup para execução prática do experimento

A plataforma experimental, conforme Figura 33, opera da seguinte forma:

- (1). O gerador de funções produz um sinal de emulação da corrente de carga (i_s) com harmônicas que é medido pelo DSP através do conversor A/D, ao mesmo tempo que medido pelo osciloscópio;
- (2). Após o tratamento do sinal pelo DSP conforme descrito na Figura 27, cada amostra do ADC é enviada para a FPGA;

- (3). A FPGA realiza o processamento do compensador harmônico e ao finalizar retorna o sinal da corrente de referência (i_{Fh}^*) para o DSP;
- (4). O DSP então subtrai corrente de referência da corrente de carga e aplica a corrente de rede (i_L) resultante ao timer PWM;
- (5). O sinal PWM é aplicado ao filtro analógico passa-baixas, para minimizar o efeito da modulação PWM, e então medido pelo osciloscópio

Na Figura 34 é apresentada a foto do experimento na bancada de testes, juntamente com todos os equipamentos necessários para validação do projeto.

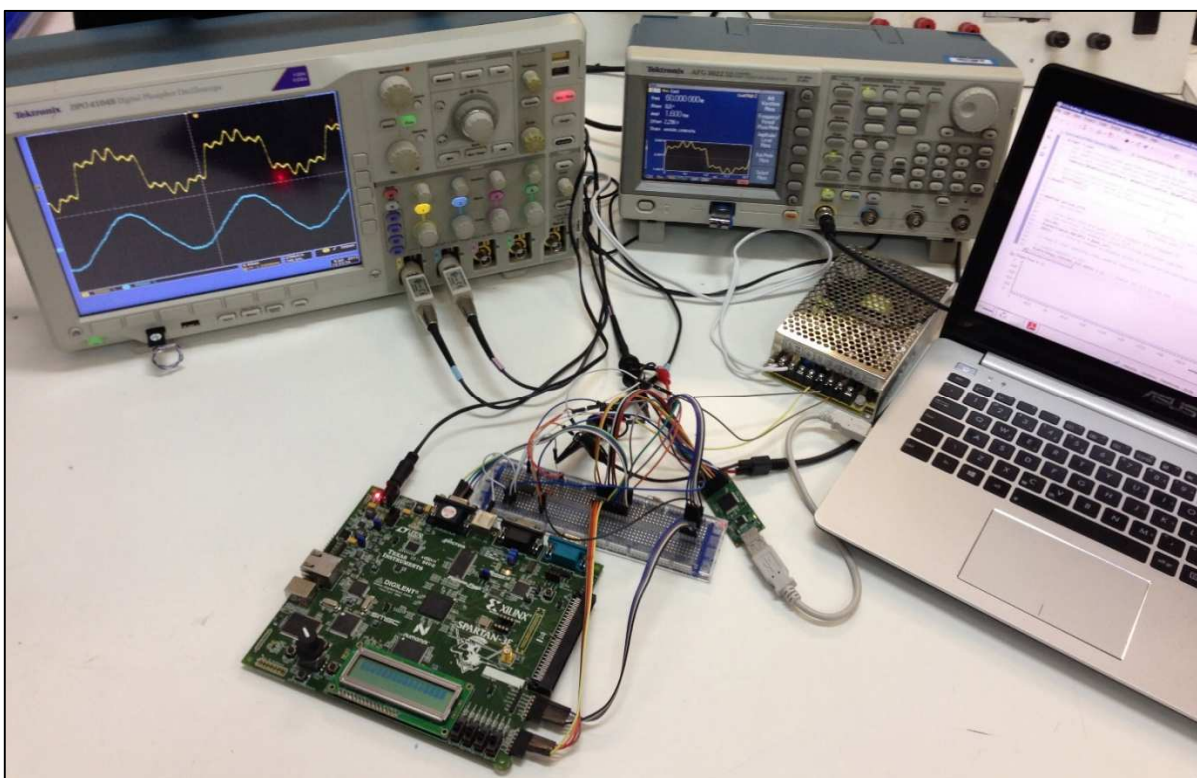


Figura 34 - Bancada com o experimento sendo executado.

Com o objetivo de realizar comparações, a corrente de carga emulada e a corrente da rede, já compensada, foram capturadas pelo osciloscópio, as formas de onda são apresentadas na Figura 35. No canal 1 é apresentado o sinal gerado pelo AFG-3022, composto pela fundamental de 60 Hz e das harmônicas de 180 Hz, 300 Hz, 420Hz e 660 Hz. Esse sinal é também adquirido pelo DSP, que após receber a corrente de referência da FPGA gera o sinal PWM referente a corrente da rede compensada. O sinal que emula esta corrente é apresentado no canal 2 do osciloscópio.

Como pode-se notar nas formas de onda das correntes emuladas, apresentadas na Figura 35, a corrente de carga possui significativo conteúdo harmônico, a corrente da rede de alimentação, compensada utilizando a arquitetura desenvolvida, é praticamente senoidal. Este resultado demonstra a correta implementação do compensador harmônico, dado em (2.22), pelo algoritmo proposto. Ainda, comparando as formas de onda com os resultados apresentados por Lopes (2012), verifica-se uma significativa melhoria na compensação da corrente da rede.

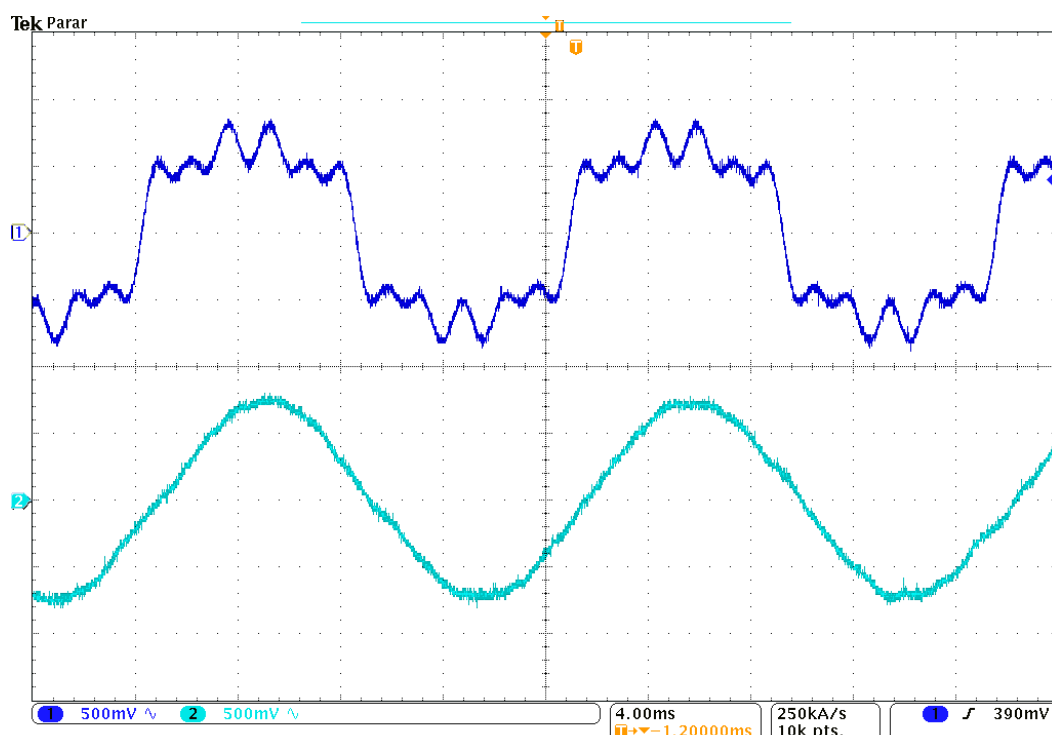


Figura 35 - Resultados experimentais para $N=240$ e $Nh=\{3,5,7,11\}$: (1) corrente de carga, (2) corrente da rede compensada.

A análise harmônica das formas de onda apresentadas na Figura 35 foi realizada utilizando a função matemática FFT do osciloscópio DPO4104B. A Figura 36 exibe as formas de onda das correntes emuladas descritas acima, durante 2s de execução, juntamente com a FFT do canal 1 (corrente da carga com harmônicas). É possível verificar a presença das harmônicas conforme especificado na simulação numérica da seção 4.1.3, ou seja, harmônicas com a 20% da fundamental nas frequências 180 Hz, 300 Hz, 420Hz e 660 Hz. Na sequência, a Figura 37 apresenta as formas de onda durante o mesmo período (2s) e a FFT do canal 2 (corrente da rede compensada). É fácil notar a efetiva compensação das harmônicas selecionadas. Assim, pode-se concluir que a arquitetura desenvolvida com DSP e FPGA de fato

atendeu ao objetivo de compensação harmônica e pode ser aplicada a filtros ativos de potência.

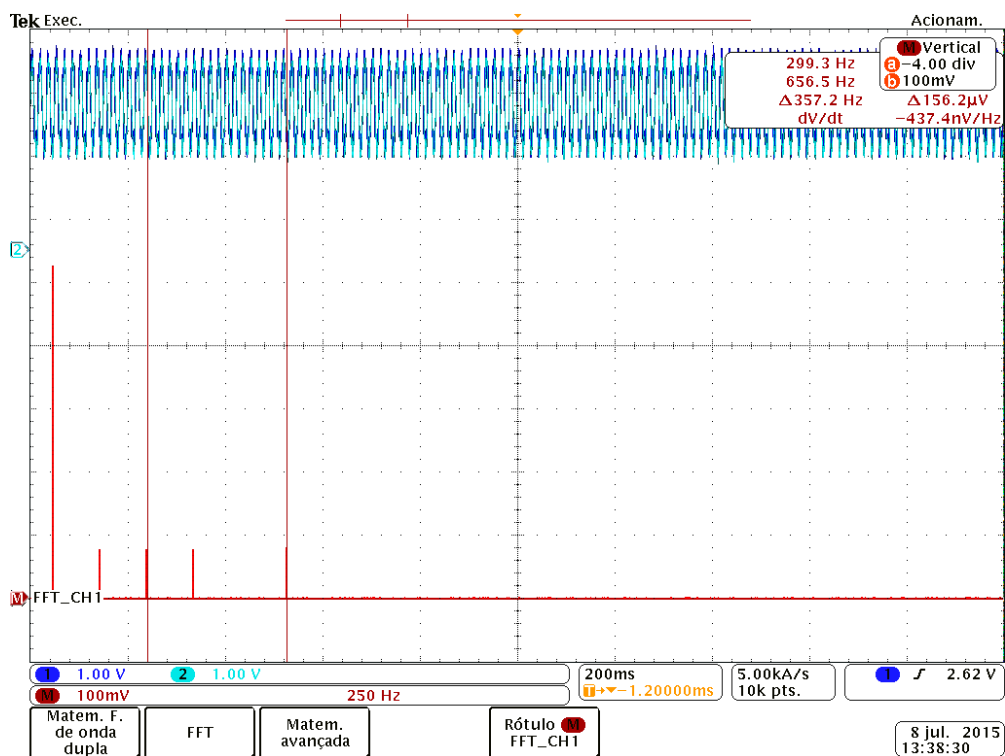


Figura 36 - Resultados experimentais para $N=240$ e $Nh=\{3,5,7,11\}$: FFT da corrente de carga.

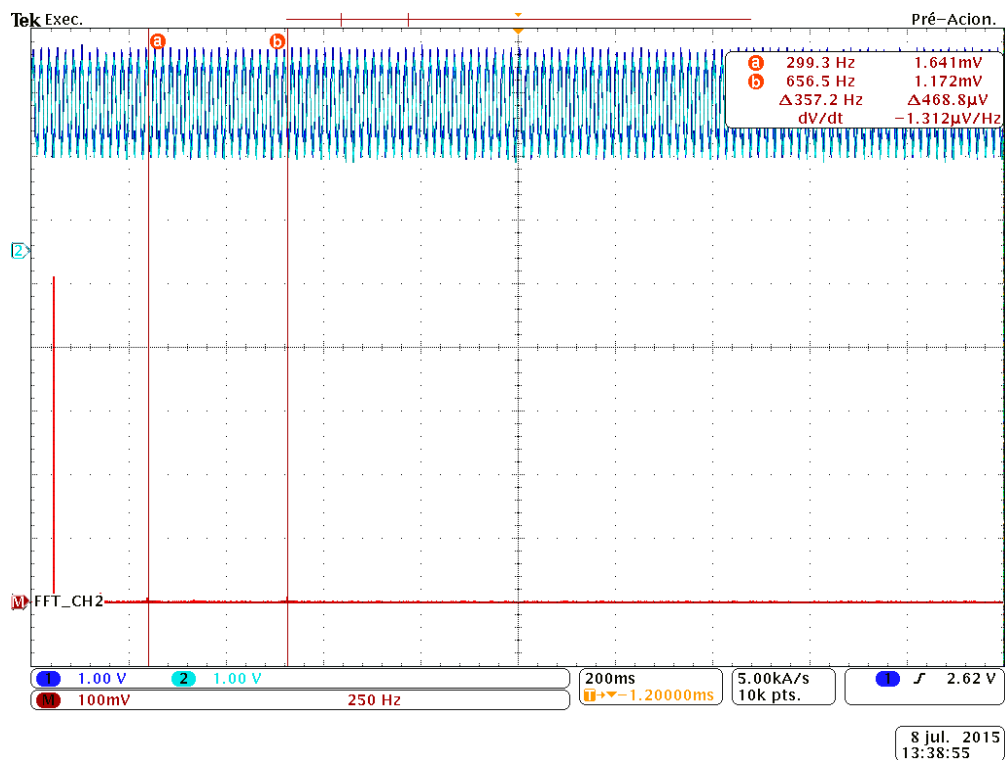


Figura 37 - Resultados experimentais para $N=240$ e $Nh=\{3,5,7,11\}$: FFT da corrente de entrada compensada.

O tempo de processamento da arquitetura proposta, exclusivamente para o compensador harmônico realizado pela FPGA, foi medido conforme a descrição feita Seção 4.2. O pino 06 do conector do DSP tem seu nível lógico colocado como alto no início do processamento, e quando concluído o processamento seu nível lógico é retorna para nível baixo. O resultado desta operação é apresentado na Figura 38. Assim, verificou-se o tempo de processamento da FPGA para um compensador de 240ª ordem foi de 800,4ns. Nesse tempo estão incluídos além dos cálculos matemáticos as demais operações necessárias para operação, bem como o deslocamento das amostras e demais operações necessárias para o compensador harmônico, conforme ilustradas da Figura 31.

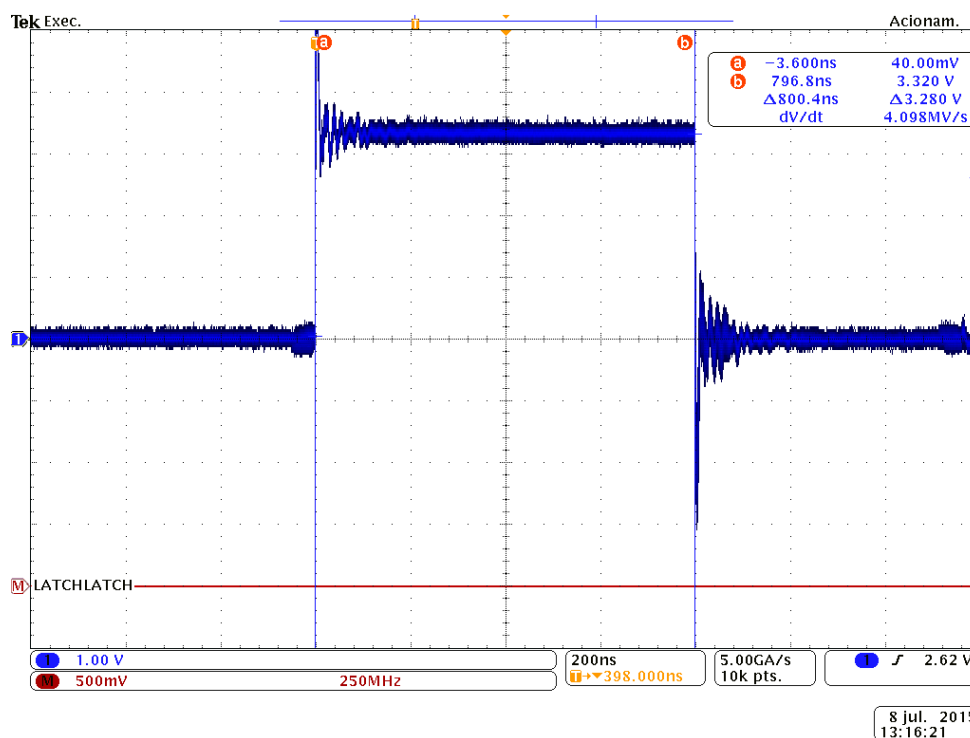


Figura 38 - Tela de medição do tempo de processamento para 240 amostras

4.6 COMPARAÇÕES E DISCUSSÕES

As motivações deste trabalho consideraram as análises apresentadas por Lopes (2012) e Mattavelli e Fasolo (2000). Com base em nos resultados apresentados pelos autores foi visualizada a possibilidade de integração das plataformas DSP e FPGA para alcançar compensação de harmônicas de ordem mais elevada, tendo por base as recomendações estabelecidas pelos padrões IEEE STD 519-1992 e IEC

61000-3-2-2005, que orientam a compensação de até a 39ª harmônica. Tal compensação requer frequências de amostragem e chaveamento na ordem de 46800 Hz, elevando a ordem dos compensadores para 780ª. Muito embora a compensação até 39ª harmônica não tenha sido abordada neste trabalho, viabilizou-se a possibilidade através da arquitetura proposta. A mesma pode ser implementada em uma FPGA com maior número de multiplicadores dedicados ou LUTs adicionais. Da família SPARTAN 3E, o dispositivo XC3S1600E, possui capacidades significativamente maiores que o XC3S500E, como 36 multiplicadores (1,8x), 3.688 CLBs (~3x) e 14.752 Slices (~3x). Na família SPARTAN 6LX, atualmente uma das mais populares do fabricante, o dispositivo XC6SLX100, de custo inferior a XC3S1600E, possui 180 multiplicadores (9x), 126.576 CLBs (~100x) e 101.261 Slices (~20x). A implementação nestes dispositivos não foi realizada por indisponibilidade dos mesmos e em razão da necessidade de comparar os resultados com a abordagem proposta por Lopes (2012), que utilizou o mesmo dispositivo XC3S500E.

O trabalho apresentado por Mattavelli e Fasolo (2000), realizado com DSP, foi utilizado como base da técnica para compensação das harmônicas. Entretanto, os resultados apresentados pelo autor tiveram seus tempos de processamento na ordem de vários microssegundos (vide Tabela 5). A utilização do mesmo sistema é inviável para um número maior de harmônicas, como compensadores de 780ª ordem e frequência de amostragem de 46800 Hz. A implementação destes compensadores em dispositivos com processamento sequencial requer frequência de operação na ordem de GHz, devido à grande quantidade de ciclos necessários para processamento dos compensadores.

A solução híbrida, composta por processamento paralelo (Lopes (2012)) e processamento sequencial (Mattavelli e Fasolo (2000)), apresenta diversas vantagens, como o uso de dispositivos de baixo custo, flexibilidade de projeto para outras técnicas de controle e alta capacidade de processamento para cálculos paralelizáveis. Ainda, a arquitetura e implementação proposta por Lopes (2012) se mostrou limitada a compensadores de 50ª ordem para cada XC3S500E, o que inviabiliza compensação efetiva até mesmo para harmônicas de ordem reduzida ($N_h=\{3,5\}$), uma vez que para 20 amostras por harmônica para a 5ª harmônica resultaria um compensador de 100ª ordem. Lopes (2012), buscando a compensação de harmônicas de ordem maior, implementou um cluster de processamento utilizando

duas FPGAs. Desta forma, o autor conseguiu implementar compensador de 100ª ordem. Neste caso, a compensação das harmônicas de ordem reduzida ($N_h=\{3,5\}$) foi significativamente mais eficiente.

Com a finalidade de comparar os resultados obtidos neste trabalho com as outras duas abordagens, estabeleceu-se como parâmetro os tempos de processamento necessários para cálculo dos compensadores de ordem 50, 100 e 200. Estes tempos são apresentados na Tabela 4, na qual destaca-se os resultados alcançados nas abordagens incluindo processamento paralelo.

Tabela 5 - Tempos de processamento entre as diferentes arquiteturas.

Ordem do compensador	Mattavelli e Fasolo (DSP)	Lopes (FPGA)	Arquitetura Proposta (DSP+FPGA)
50 ^a	3,2 μ s	226ns	178ns
100 ^a	5,2 μ s ²	265ns ³	342ns
200 ^a	9,2 μ s	420ns ^{2, 3}	670ns

Para o processamento do compensador de 50ª ordem a arquitetura proposta apresentou uma redução de 48ns no tempo de processamento em relação a implementação de Lopes (2012). Na implementação para 100ª ordem, a proposta teve um acréscimo de 77ns. Isso se deve a utilização do cluster com duas FPGA, realizado por Lopes (2012), que elevou o número de multiplicações por ciclo de 20 para 40.

Apesar do cluster conseguir um ganho significativo no tempo de processamento, é importante ressaltar que o uso de dois dispositivos ou mais, além de tornar o projeto mais custoso, aumenta significativamente sua complexidade de implementação, o que praticamente inviabiliza seu uso em compensadores com ordem superior a 100. A análise de compensadores de 200ª ordem não foi realizada na prática por Lopes (2012). Na tabela acima é apresentada uma estimativa para um cluster com 4 FPGAs baseada no aumento dos tempos de comunicação e operações adicionais nas FPGAs. Obviamente que com a disponibilidade de 80 multiplicadores o tempo de execução é menor que o obtido nesta proposta que aplicou 20 multiplicadores em todos os casos. Entretanto, a complexidade de implementação física com 4 ou mais FPGAs torna a proposta de Lopes (2012) praticamente inviável em situações reais.

² Tempo estimado.

³ Requer múltiplas FPGAs

Embora a arquitetura proposta neste trabalho utilizado 800ns para o processamento de 240 amostras, é importante destacar que este processo foi realizado em apenas uma FPGA, e obtida compensação efetiva até a 11^a harmônica.

4.7 RESUMO DO CAPÍTULO

O projeto, a implementação e a análise de uma estrutura híbrida para aquisição de sinais, processamento paralelo de um compensador harmônico e implementação da corrente de referência foram apresentados neste capítulo. O projeto baseou-se na utilização de um DSP e uma FPGA. O DSP é utilizado como dispositivo de aquisição de sinais, cálculo de controladores de menor necessidade de processamento e geração de PWM. A FPGA foi utilizada para processamento de compensadores de maior necessidade de cálculos, a qual possibilita o desenvolvimento de estruturas complexas de processamento e a exploração da possibilidade de processamento paralelo.

As análises numéricas realizadas em Matlab® permitiram verificar o desempenho do compensador harmônico utilizado para diversos casos e foram utilizados para comparação com a análise experimental. Verificou-se que os resultados numéricos e experimentais são bastante correlatos e atingiu-se significativa redução do conteúdo harmônico para a corrente de entrada de um filtro ativo de potência. Ainda, na análise experimental, o desempenho obtido é comparado em termos de processamento com implementações da literatura. É feita também uma breve análise da capacidade de implementação com diferentes dispositivos e arquiteturas.

5 CONCLUSÃO E PROPOSTA DE TRABALHOS FUTUROS

Neste último capítulo são apresentadas as conclusões do trabalho, que abordou o desenvolvimento de uma arquitetura híbrida com DSP e FPGA, para aplicação no processamento de estratégias de controle em filtros ativos de potência. Na sequência, são apresentadas as sugestões de implementação para trabalhos futuros.

5.1 CONCLUSÕES

O uso cada vez mais intensivo de cargas não lineares vem aumentando e conseqüentemente, degradando a qualidade de energia elétrica nos sistemas de distribuição. Buscando apresentar uma alternativa para minimizar este problema, o presente trabalho apresentou uma breve análise de compensadores ressonantes para aplicação em filtros ativos de potência, visando sua aplicação e implementação em tempo real através de processamento paralelo. Desta forma, é possível uma significativa redução do tempo de processamento e o cancelamento de um número maior de harmônicas.

O desenvolvimento deste trabalho considerou principalmente os trabalhos de Mattavelli e Fasolo (2000), sobre compensadores harmônicos baseados em DFT, e de Lopes (2012), sobre implementação de processamento paralelo para tais compensadores. A partir de tais princípios foi desenvolvida uma arquitetura híbrida para cálculo de estratégias de controle com DSP e FPGA, que permite flexibilidade e alta capacidade de processamento. Assim, este trabalho apresenta quatro características que se destacam na linha evolutiva do segmento estudado:

- Minimização de tarefas lentas que traziam prejuízos nos tempos de processamento, no modelo proposto por Lopes (2012), tais como a comunicação por SPI (Serial Peripheral Interface) e PWM da própria FPGA, que foi utilizada. Desta forma, a arquitetura híbrida permite considerar a FPGA como um coprocessador do DSP, dedicado exclusivamente para processar grandes

volumes de operações matemáticas, neste caso as multiplicações dos coeficientes pelas amostras e suas respectivas somas;

- Redução dos tempos de processamento, comparados com DSP (Mattavelli e Fasolo (2000)) e com o mesmo modelo de FPGA (XC3S500E) adotado por Lopes (2012);
- Eliminação da necessidade de uso de clusters de FPGAs. O emprego desta técnica implica em significativo aumento na complexidade de implementação, pois quanto maior o número de dispositivos utilizados, maior será o desafio de delegar tarefas a cada um e sincronizar os respectivos sinais. Dependendo da quantidade de dispositivos, a estrutura pode se tornar tão complexa a ponto de inviabilizar o seu uso, pois seria necessário dedicar muito tempo de processamento a lógica de controle e sincronização do que a própria execução da tarefa, ou seja, sua utilização para esta tarefa não é escalável;
- Flexibilidade e alta capacidade de processamento para implementação de diferentes estratégias de controle. Esta característica é obtida utilizando as possibilidades de processamento sequencial do DSP para tarefas com menor número de cálculos e de processamento paralelo para técnicas de controle que possuam um número elevado de cálculos paralelizáveis.

Por fim, a arquitetura desenvolvida demonstrou aplicabilidade a filtros de potência e melhoria dos tempos de processamento. Sua utilização para implementação de compensadores de ordem mais elevada resultou também em compensação mais efetiva para harmônicas até 11ª ordem. Comparados com as simulações computacionais os resultados experimentais demonstram o correto funcionamento da estrutura no cálculo dos compensadores de harmônicas.

5.2 PROPOSTA DE TRABALHOS FUTUROS

Como continuidade deste trabalho sugere-se as seguintes abordagens a serem investigadas em trabalhos futuros:

- Utilizar a arquitetura desenvolvida neste trabalho para outras aplicações, além de FAPs;

- Implementar o modelo concebido em outras arquiteturas de hardware, como GPUs e processadores multinúcleos;
- Implementação em FPGAs com maior capacidade de processamento, visando atingir todas as harmônicas recomendadas das normas do IEEE (até 39ª harmônica);
- Desenvolver um módulo de comunicação visual, que possa ser acoplado ao dispositivo e exiba informações sobre a qualidade do sinal que está sendo processado;
- Executar experimentalmente um FAP com o processamento da estratégia de controle realizada pela arquitetura proposta neste trabalho.

6 REFERÊNCIAS

AFONSO, João L.; SILVA, Henrique J. R. da; MARTINS, Júlio S. **Active Filters for Power Quality Improvement**. IEEE Power Tech'2001. Porto, Portugal, p. 10-13, set. 2001.

AKHTER, S., ROBERTS, J. **Multi-Core Programming, Increasing Performance through Software Multi-threading**, Intel Press, 336p., April 2006.

ANDERSON, T.E.; CULLER, D.E.; PATTERSON, D.A.; the NOW team. **A Case for NOW (Networks of Workstations)**. IEE Micro Magazine, janeiro 1995.

ANEEL - PRODIST. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST. Módulo 8 – Qualidade da Energia Elétrica**, 2010. Revisão 2, vigente a partir de 01/01/2011.

AREDES, M. **Active power line conditioners**. PhD thesis, Technischen Universität Berlin, 1996.

ASIMINOAEI, L. BLAABJERG, F. HANSEN, S. **Evaluation of harmonic detection methods for active power filter applications**. Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE.

ASTRÖM, K.; HÄGGLUND, T. **The future of PID control**. *Control Engineering Practice*, v. 9, p. 1163-1175, 2001.

BETZ, V. **FPGA Architecture for the Challenge**. Disponível em: http://www.eecg.toronto.edu/~vaughn/challenge/fpga_arch.html. Acessado em 2 de março de 2014.

BANERJEE, P. **An Overview of a Compiler for Mapping MATLAB Programs onto FPGAs**. Proc. ASPDAC, 2003. 477 - 482.

BLOCH, Erich. **The engineering design of the stretch computer.** Proc. IRE/AIEE/ACM Eastern Joint Computer Conference, New York, 1959.

BORGONOVO, D. **Modelagem e controle de retificadores PWM trifásico empregando a transformação de Park.** 175f. dissertação (Engenharia Elétrica) – Universidade Federal de Santa Catarina, Florianópolis, 2001.

BRITO, R. C.; MARTENDAL, D. M; OLIVEIRA, H. E. M.; **Máquinas de estados finitos de Mealy e Moore.** Universidade Federal de Santa Catarina, 2003.

BROWN, Stephen; VRANESIC, Zvonko. **Fundamentals of Digital Logic with VHDL Design.** 2^a. ed. New York: McGraw-Hill, 2004.

BUSO, S., MALESANI, L., MATTAVELLI, P. **Comparison of Current Control Techniques for Active Filter Applications.** Trans. On Industrial Electronics, Vol 45, NO. 5, OCT. 1998.

CARRILLO, Jorge E.; CHOW, Paul. **The Effect of Reconfigurable Units in Superscalar Processors.** Proc. Ninth International Symposium on Field Programmable Gate Arrays, FPGA 2001, New York, 2001.

CASILLO, Leonardo A. et al. **Projeto e Implementação em um FPGA de um processador com conjunto de instrução reconfigurável utilizando VHDL.** In proceedings of XI Workshop Iberchip, Salvador, 2005.

CASTILHO CARDIM, Marcio H. RTRASSOC51: **Módulo de Pipeline para um Processador com Arquitetura Harvard Superescalar Embarcado (PAHSE).** Dissertação de Mestrado, Centro Universitário “Eurípedes de Marília” – UNIVEM. Marília. 2006.

ELECTRICAL ENGINEERING TIMES, **Fundamentals of FPGAs.** Disponível em: <http://www.eetimes.com/electrical-engineers/education->

training/courses/4000134/Fundamentals-of-FPGAs. Acessado em 2 de fevereiro de 2016.

D'AMORE, Roberto. **VHDL: descrição e síntese de circuitos digitais**. 2. ed. Rio de Janeiro, RJ: LTC, xiii, 292 p. 2012.

DE ROSE, César A. F.; NAVAUX, Philippe O. **A. Arquiteturas Paralelas**. Porto Alegre: Bookman, 2008.

DOTÉ, Yasuhiko; HOFT, Richard G. Intelligent Control - **Power Electronic Systems**. [S.l.]: Oxford University Press Inc, 1998.

ECKERT, J. P. et al. **Design of Univac®-LARC system**. I. Proc. IRE/AIEE/ACM Eastern Joint Computer Conference, New York, 1959.

EXCITE. eXCite. Disponível em: <<http://www.yxi.com/products.php>>. Acesso em: 3 fevereiro 2016.

FONT, C.H.I.; BATISTA, F.A.B.; ALVES, R.L., **Retificador Trifásico PWM com Elevado Fator de Potência Utilizando a Transformação de Park: Abordagem por Variáveis de Fase**. Relatório Interno. INEP. Florianópolis. 2003.

FPGA Central. **History of the Programmable Logic**. Disponível em: <http://www.fpgacentral.com/docs/fpga-tutorial/history-programmable-logic>. Acessado em 2 de março de 2014.

FUKUDA, S.; YODA T. **A novel current-tracking method for active filters based on a sinusoidal internal model**. IEEE Transactions on Industry Applications, vol. 37, no. 3, 2001.

GUPTA, N.; MANDAL, S.; MALAVE, J.; MANDAL, A.; MAHAPATRA, R. N. **A Hardware Scheduler for Real Time Multiprocessor System on Chip**. Proc. 23. Int'l Conf. on VLSI Design, IEEE, 2010.

GYUGYI, L., STRYCUDA, E. C., **Active ac Power Filters**, in Proc. IEEE Ind. Appl. Ann. Meeting, vol. 19-C, pp. 529-535, 1976.

HALDAR, Malay et al. **A system for synthesizing optimized FPGA hardware from Matlab**. IEEEACM International Conference on Computer Aided Design ICCAD 2001, 2001.

HANDLER, W.; **The Impact of Classification Schemes on Computer Architecture**. The international conference on parallel processing, 1977.

HWANG, K.; BRIGGS, F.A. **Computer Architecture and Parallel Processing**. McGrawHill, 1984.

IEC 61000-3-2 (2005). Technical report. **Electromagnetic compatibility (EMC) Part 3-2: Limits for harmonic current emissions**. IEC Std 61000-2005.

IEEE Std 519-1992 (1992). **IEEE Recommended practices and requirements for harmonic control in electrical power systems**. IEEE Std 519-1992.

IEEE Standard 519 (1993). Technical report. **Recommended practices and requirements for harmonic control in electric power systems**. IEEE Std 519-1993.

IEEE Std 929-2000 (2000). **IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) Systems**. IEEE Std 929-2000.

IRWIN, J. David; NELMS, R. Mark. **Análise básica de circuitos para engenharia**. 10. ed. Rio de Janeiro, RJ: LTC, 2013. xvi, 679 p.

KRAUSE, Paul C.; WASYNCZUK, Oleg; SUDHOFF, Scott D. **Analysis of electric machinery and drive systems**. 2nd. ed. Hoboken, NJ: IEEE Press, 2002. xvi, 613 p. (IEEE press power engineering series).

LOPES, A. B. (2012). **Desenvolvimento de estruturas paralelas em fpga e implementação de controladores digitais para aplicação em filtros ativos de potência**. 92 f. dissertação (Engenharia Elétrica) – Universidade Tecnológica Federal do Paraná, Pato Branco 2012.

LOPES, A. B.; FAVARIM F.; CARATI E. G. **Active Power Filters Compensator Implementation Using Parallel Structures in FPGA Devices**. Em: 10th IEEE/IAS International Conference on Industry Applications - INDUSCON 2012, 2012.

MACHADO B.; MAIA P. F. **Arquitetura de Sistemas Operacionais**, 5ª edição. LTC, 2013.

MATTAVELI P. **Repetitive-Based Control for Selective Harmonic Compensation in Active Power Filters**, IEEE Transactions On Industrial Electronics, Vol. 51, No. 5, October 2004.

MATTAVELI, P. **Synchronous-Frame Harmonic Control for High-Performance AC Power Supplies**, IEEE Transactions On Industry Applications, Vol. 37, No. 3, May/June 2001.

MATTAVELI, P. FASOLO, S. **Implementation of synchronous frame harmonic control for high- performance ac power supplies**. In *Industry Applications Conference*, volume 3, pages 1988-1995. IEEE Computer Society. 2000.

MISHRA, A. K.; VIJAYKRISHNAN, N.; DAS, C. R. **A Case for Heterogeneous On-Chip Interconnects for CMPs**. Proc. 38th Int'l Symp on Computer Arch. ACM, 2011.

MONTAGNER, V. F., CARATI, E. G., & GRÜNDLING, H. A. **An Adaptive Linear Quadratic Regulator with Repetitive Controller Applied to Uninterruptible Power Supplies**. *Industry Applications Conference*, pp. 2231 – 2236, 2000.

NVIDIA. **Nvidia Cuda Zone**. Disponível em: <https://developer.nvidia.com/cuda-zone>. Acessado em 1 de março de 2014.

ORDONEZ, E. D. M.; PEREIRA, F. D.; PENTEADO, C. G.; PERICINI, R. de A. **Projeto, Desempenho e Aplicações de Sistemas Digitais em Circuitos Programáveis (FPGAs)**. – Pompéia: Bless, 240p, 2003.

PALAZZO, L. A. M.; **Propriedades das Linguagens Regulares e Autômatos com Saída**. Pelotas: Universidade Católica de Pelotas – Escola de informática, 2002.

PEDRONI, Volnei A. **Eletrônica digital moderna e VHDL**. Rio de Janeiro, RJ: Elsevier, 619 p. 2010.

PENG, F.Z., AKAGI H., NABAE, A., **A New Approach to Harmonic Compensation in Power Systems**. IAS Annual Meeting, 1988, Conference Record off the 1988 IEEE, pp874-880.

PROCEL. **Conservação de energia: eficiência energética de equipamentos e instalações**. 3. ed. Eletrobrás, Procel Educação, Universidade Federal de Itajubá, 2006.

PRODIST. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional: Módulo 8 – Qualidade da Energia Elétrica**, Revisão 1, ANNEL, jan 2010.

QIN, S.; BADGWELLI, T. **A Survey of Industrial Model Predictive Control Technology**, *Control Eng. Practice*, v. 11, p. 733-764, 2003.

RAMAMOORTHY, C.V; LI, H.F. **Pipeline – Architecture**. ACM Computing Surveys, New York, v.9, n.1, p.61-102, Mar. 1977.

RAVAGNANI, L. L. **Sistemas Híbridos para Mitigação de Harmônicos: Modelagem e Estudos Experimentais**. 2008. 192 f. Tese (Doutorado em Engenharia Elétrica) - Universidade Estadual Paulista "Júlio de Mesquita Filho", Ilha Solteira, 2008.

ROSE, C. A. F. D. and NAVAU, P. O. A. **Arquiteturas Paralelas**. Bookman, 15 edition. 2008.

SÉQUIN, C.H. PATTERSON, D. A., **Design and Implementatio of Risc I**. in Proc. Advanced Course on VLSI Architecture. University of Bristol, England, July, 1982.

SILVEIRA, R. F. **Filtro Ativo de Potência: Conceito e Ferramentas Matemáticas**. Instituto Federal de Educação, Ciência e Tecnologia de Goiás. Goiás. Junho, 2013.

SODERSTROM, T. **Overclocking Guide Part 1: Risks, Choices and Benefits**. Disponível em: <http://www.tomshardware.com/reviews/overclocking-guide-part-1,1379.html>. Acessado em 1 de março de 2014.

STALLINGS, William. **Arquitetura e Organização de Computadores**. 8ª Ed. São Paulo: Prentice Hall, 2010.

STEFANELLO, M. GRUNDLING, H. A. **Robust Adaptive Variable Structure Controller for Shunt Active Power Filters**, 40th Annual Conference of the IEEE Industrial Electronics Society, 2014.

STEFANELLO, M. **Controle Adaptativo Robusto de Estrutura Variável por Modelo de Referência Aplicado a Filtros ativos de Potência**. Universidade Federal de Santa Maria. Santa Maria. 2010.

TANENBAUM, A. S.; AUSTIN, T. **Organização Estruturada de Computadores**. 6ª Ed. São Paulo: Pearson Education do Brasil. 2013.

TEODORESCU, R.; BLAABJERG, F.; LISERRE, M.; LOH, P.C. **Proportional-resonant controllers and filters for grid-connected voltage-source converters**. IEE Proceedings - Electric Power Applications , vol.153, no.5, pp.750-762, September 2006.

TEXAS INSTRUMENTS. **TMS320F28069 Piccolo Microcontroller**. Disponível em: <http://www.ti.com/product/tms320f28069>. Acessado em 9 de julho de 2015.

TIMOTHY, Kam. **Synthesis of Finite State Machines: Functional Optimization.** Kluwer Academic Publishers, Boston 1997.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas digitais: princípios e aplicações.** 11. ed. São Paulo, SP: Pearson Prentice Hall, xxii, 817 p. 2011.

XILINX; **Spartan-3E FPGA Family Data Sheet.** DS312 July, 2013.

ZMOOD D.; HOLMES D. **Stationary frame current regulation of PWM inverters with zero steady-state error.** IEEE Transactions on Power Electronics, vol. 18, no. 3, 2003.